

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5242399号
(P5242399)

(45) 発行日 平成25年7月24日 (2013. 7. 24)

(24) 登録日 平成25年4月12日 (2013. 4. 12)

(51) Int. Cl.

F I

H04N 5/355 (2011.01)

H04N 5/335 550

請求項の数 11 (全 20 頁)

(21) 出願番号	特願2008-532372 (P2008-532372)	(73) 特許権者	508084940
(86) (22) 出願日	平成18年9月21日 (2006. 9. 21)		アール・ジェイ・エス・テクノロジー・インコーポレイテッド
(65) 公表番号	特表2009-509473 (P2009-509473A)		R J S TECHNOLOGY, INC
(43) 公表日	平成21年3月5日 (2009. 3. 5)		.
(86) 国際出願番号	PCT/US2006/036785		アメリカ合衆国、03049 ニュー・ハンプシャー州、ホリス、フラッグ・ロード、19
(87) 国際公開番号	W02007/035858	(74) 代理人	100107766
(87) 国際公開日	平成19年3月29日 (2007. 3. 29)		弁理士 伊東 忠重
審査請求日	平成20年8月12日 (2008. 8. 12)	(74) 代理人	100070150
(31) 優先権主張番号	60/719, 304		弁理士 伊東 忠彦
(32) 優先日	平成17年9月21日 (2005. 9. 21)	(74) 代理人	100091214
(33) 優先権主張国	米国 (US)		弁理士 大貫 進介
(31) 優先権主張番号	60/719, 305		
(32) 優先日	平成17年9月21日 (2005. 9. 21)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 ゲインを制御した高ダイナミックレンジ感度センサ素子またはアレイのためのシステムおよび方法

(57) 【特許請求の範囲】

【請求項 1】

ピクセル構造から高ダイナミックレンジ読出信号を得るための方法であって、
ピクセル構造の感光素子によって与えられる入力信号にゲインを適用して、ゲイン制御された入力信号を与えるステップと、

発振器と、前記ゲイン制御された入力信号に応答して該発振器によって供給される信号で変化する位相の数を積算する積算器とを有する前記ピクセル構造の位相積分器に、前記ゲイン制御された入力信号を転送するステップとを備え、

前記入力信号に適用される前記ゲインは、前記発振器によって供給される前記信号で変化する位相の数に
応答して制御され、

前記積算器は、露光期間の間に前記発振器によって供給される前記信号で変化する位相を積算し、前記ゲインは、前記露光期間の間に変化する、方法。

【請求項 2】

前記ゲインは、前記積算器の連続的な出力に従って変化する、請求項 1 に記載の方法。

【請求項 3】

前記ゲインは、前記積算器の不連続な出力である、請求項 1 に記載の方法。

【請求項 4】

前記ゲインは前記位相積分器の出力の逆数に比例する、請求項 1 に記載の方法。

【請求項 5】

前記ゲインは前記位相積分器の出力に比例する、請求項 1 に記載の方法。

【請求項 6】

ピクセル構造であって、
ゲイン制御された信号を供給するゲインコントローラと、
出力が前記ゲインコントローラの入力に結合される、電磁放射に応答して信号を生成するための感光素子と、
発振器及び積算器を有し、前記発振器が、前記ゲイン制御された信号を受信し、出力信号を前記積算器に与えるよう前記ゲインコントローラに結合され、前記積算器が、前記発振器の前記出力信号で変化する位相の数を積算し、当該ピクセル構造が受ける放射を表す位相積分された信号を生成する、位相積分器とを備え、

前記ゲインコントローラは、前記発振器によって供給される信号で変化する位相の数に応答して制御されるゲインを適用し、前記積算器は、露光期間の間に前記発振器の前記出力信号で変化する位相を積算し、前記ゲインは、前記露光期間の間に変化する、ピクセル構造。

10

【請求項 7】

前記ゲインは前記位相積分器の前記積算器の連続的な出力に関係している、請求項 6 に記載のピクセル構造。

【請求項 8】

前記ゲインは前記位相積分器の前記積算器の不連続な出力に関係している、請求項 6 に記載のピクセル構造。

【請求項 9】

前記ゲインは前記位相積分器の出力の逆数に比例する、請求項 6 に記載のピクセル構造。

20

【請求項 10】

前記ゲインは前記位相積分器の出力に比例する、請求項 6 に記載のピクセル構造。

【請求項 11】

前記位相積分器は、前記感光素子に結合され、位相情報を用いて露光期間にわたる電磁放射に対する前記感光素子の応答を積分する、請求項 6 に記載のピクセル構造。

【発明の詳細な説明】

【技術分野】

30

【0001】

発明の分野

この発明は電子画像化の分野に一般的に関し、より特定的には、測光を用いた改良された撮像および記録のための方法および装置に関する。

【背景技術】

【0002】

発明の背景

写真は、光の作用によって画像を作り出すプロセスである。光とは、人間の目に見える周波数範囲の電磁放射について一般的に用いられる用語である。被写体から反射または発せられた光のパターンは、時間設定された露光を通して画像センサによって記録される。画像センサは、写真フィルムなどの化学的性質のもの、またはデジタルスチルおよびビデオカメラが用いる CCD および CMOS 画像センサなどの固体の性質のものであり得る。

40

【0003】

デジタルカメラは、光を焦点合せしてシーンの画像を作成する一連のレンズを有する。しかし、デジタルカメラは、従来のカメラのようにこの光を 1 枚のフィルムに焦点合せする代わりに、光の電磁放射を電荷に変換する画像センサに光を焦点合せする。画像センサは画素または「ピクセル」と称される。電荷は、画像センサが感知する電磁放射の相対的な強度を示し、一般的に光強度値をピクセルと関連付けるのに用いられる。

【0004】

図 1 は、デジタル画像処理システム 10 に含まれ得る典型的なコンポーネントブロック

50

を図示する。システム 10 は、信号源 100 と、積分器 110、アナログ - デジタル変換器 (ADC) 120 および DSP 130 からなる信号処理チェーンとを含む。信号源 100 はたとえば、それに当たる光などの電磁放射に応答して電氣的応答を生成する光強度センサなどのセンサであり得る。

【0005】

積分器 110 の出力である V_{OUT} は ADC 120 に入力される。ADC 120 はアナログ - デジタル変換機能を果たす。アナログ - デジタル変換機能は当該技術分野で周知である。ADC 120 入力に存在するアナログ信号 V_{OUT} は、ある離散レベルの集合のうち 1 つをとり得る信号 V_D に変換される。

【0006】

信号の品質は信号 V_{IN} を積分する積分器 110 によって改善される。図 2 は、信号改善の性質を図示する。波形 200 は、信号源 100 が生成する一定値の信号と、一定値の信号を乱す付加的なノイズとの組合せである。波形 210 は、入力信号波形 200 に応答して生成される積分器出力である。付加的なノイズによって引起される信号の変動は波形 210 では減少することが容易にわかる。

【0007】

信号源 100 は、一般的には露光時間と称される特定の持続時間の間だけセンサが光に晒されるデジタルカメラ適用例などの、時間設定された適用例で用いられる光強度センサであり得る。次に積分器 110 は、露光時間の間に受けるすべての光子によって生じるセンサ 100 の応答を、たとえば露光時間の終わりに、読出すべき電圧などの 1 つの値に積分するという機能も果たす。

【0008】

図 3 は、典型的な画像センサ回路を図示する。信号源 1000 はたとえばフォトダイオードと言える光センサである。キャパシタ 1040 は単純な積分器である。積分器への入力は信号源 1000 の出力である。キャパシタ 1040 は、積分プロセスの開始前に、閉じた位置にあるスイッチ 1050 によってリセットされる。積分プロセスの始めにスイッチ 1050 が開き、キャパシタ 1040 両端の電圧が信号源 1000 から発する入力信号に応答して変化し始める。積分プロセスの終わりに、スイッチ 1030 が閉じて、積分器出力 1060 である V_{OUT} がサンプリングされる。図 3 は例示的な図である。同一機能を有する他の同様の積分器の実現例が当業者には周知である。

【0009】

積分器出力 1060 である V_{OUT} は、一般的に、利用可能な電源電圧が課す上限を超えることができない。電源電圧は厳しい電力消費要件のために現状技術の機器では低減している。積分器出力 1060 は電源電圧を超えることができず、積分器出力信号が電源電圧レベルに達した後も増大し続けると飽和してしまう。図 4 A に飽和状態が図示される。飽和は、出力電圧が利用可能な電源電圧に達して入力信号のさらなる変化に応答できなくなると起こる。信号の飽和はシステム性能の劣化を引起す。図 4 A から図 4 C は、感光素子構造、およびより特定のには積分器構造のダイナミックレンジ限界による、光センサ 100 および積分器 110 からなるピクセル構造の出力での潜在的な歪みを図示する。

【0010】

図 4 A の区間 (a) は、異なるレベルの一定の入力信号に応答した積分器 110 出力の線形の増加を図示する。画像センサ構造は、区間 (a) の線形出力を生じさせる入力光強度の範囲については十分に働く。画像センサ構造は、区間 (b) の飽和した出力を生じさせる入力光強度の範囲については十分に働かない。

【0011】

積分器出力応答は、ダイナミックレンジが限られていることを示す。図 4 A に図示されるように、画像センサは暗い部分の細部を十分に描画する (render) が、明るい部分の細部を描画しない。図 4 B および図 4 C に図示されるように応答をシフトさせることが可能である。図 4 B および図 4 C では、画像センサのダイナミックレンジは同じままであるが、応答特性がシフトしている。図 4 B の応答特性は暗い部分および明るい部分の細部を失

10

20

30

40

50

ってしまっているが、良好な中間範囲の応答を保持している。図 4 C の応答特徴は、良好な明るい部分の細部を維持するために、暗い部分の細部および部分的な中間部分の細部を失ってしまっている。

【 0 0 1 2 】

図 5 A は、図 4 A などの複数のピクセルが飽和まで駆動された、露出過度で撮像されたピクセル強度のヒストグラムを図示する。図 5 A に見られるように、最大ピクセル構造出力値は「 2 5 5 」であり、用いられる単位は、ピクセル出力電圧に対応する A D C 1 2 0 出力である。光の強度により、多くの光センサ 1 0 0 が値を出力したが、この値は、露光期間の間に露光が進むにつれて積分器 1 1 0 を飽和させた。積分器 1 1 0 出力の最大（飽和）値のために、A D C は、8 ビット A D C の最大出力コードである出力コード「 2 5 5 」を生成した。撮像は、高強度光入力を受けるピクセルが十分に高い出力レベルを達成できないために、最適な品質よりも低くなってしまう。積分器 1 1 0 のゲインがより低ければ、高強度光入力を受ける光画像センサの出力は、2 5 5 より低い出力をレジスタに入れて、ハイエンドの歪みを回避したであろう。

10

【 0 0 1 3 】

図 5 B は、複数のピクセルが最小限の出力値を達成するのに十分な程度の光に晒されなかった、露光不足で撮像されたピクセル強度のヒストグラムを図示する。図 5 B に見られるように、最小ピクセル構造出力値は「 0 」であり、用いられる単位はピクセル出力電圧に対応する A D C 1 2 0 出力である。光強度により、多くの光センサ 1 0 0 が値を出力したが、この値は、露光期間の間に露光が進むにつれて最小限の A D C 出力コードを生じさせるのに十分に高い値を積分器 1 1 0 に出力させることができなかった。

20

【 0 0 1 4 】

撮像は、低強度の光入力を受けるピクセルが十分に高い出力レベルを達成できないために、最適な品質よりも低くなってしまう。図 5 B のヒストグラムに図示される歪みは、図 4 C の個々のピクセル歪みに対応する。積分器 1 1 0 のゲインがより高ければ、低強度の光入力を受ける光画像センサの出力は 0 よりも大きい出力をレジスタに入れて、ローエンドの歪みを回避したであろう。

【 0 0 1 5 】

図 6 はダブルスロープ（double slope）技術を用いて構築されたピクセル構造の応答曲線を図示する。図 6 に図示されるダイナミックレンジの非線形の延長部は飽和効果を回避するが、しかしながら、センサに当たる電磁エネルギーの強度とセンサの出力との間の非線形の関係により、光強度のレベルが高い場合に、撮像される画像の分解能が低くなってしまう。

30

【 0 0 1 6 】

条件付スロープ切換と対数応答ピクセル構造とを組合せる複数露光などの他の方策が公開されている。条件付スロープ切換と対数応答ピクセル構造とを組合せる複数露光は性能が劣るため、高性能画像取得という課題には不適當である。

【 0 0 1 7 】

積分器飽和はピクセル構造のダイナミックレンジ性能における制約因子である。積分器飽和の問題の解決策が公開されている。公開されている解決策が共通に有する 1 つの特徴は、積分器出力をモニタして飽和状態の始まりを検出することであり、そのとき積分器が放電し、その事象が記録される。この種の解決策は、アナログ構成要素および非標準的アナログ実現例の精度要件のために、集積回路（I C）で効率的に実現するのは困難である。積分器出力が飽和し始める、電源電圧近くのノイズの多い環境で動作する高精度のコンパレータの実現は、望まれない動作特徴である、過剰な電力を消費する困難な取組みである。

40

【 0 0 1 8 】

アナログ I C 設計は実現が困難でありかつ時間がかかる。サイズ、電力消費および性能について完全にデバッグされ、最適化された標準的な構築ブロックを用いることが有利である。公開された種類の解決策はこの要件を満たしていない。

50

【発明の開示】

【課題を解決するための手段】

【0019】

発明の概要

この発明の1つの局面に従うと、ピクセル構造から高ダイナミックレンジ読出信号を得るための方法は、ピクセル構造の感光素子が与える入力信号にゲインを適用するステップを含み、ゲインはピクセル構造のフィードバックに関する。

【0020】

この発明の別の局面に従うと、ピクセル構造は、電磁放射に応答して信号を生成するための感光素子と、入力に感光素子出力に結合され、出力が積分器入力に結合されたゲインコントローラとを含む。

10

【0021】

このような構成により、センサに当たる電磁エネルギーの強度に関わらず、撮像すべき画像の忠実な再生を行なうことができ、ダイナミックゲイン調節能力を有する固体ピクセルが提供される。この発明のこれらおよびその他の利点は以下の図面に関して説明されるであろう。

【発明を実施するための最良の形態】

【0022】

詳細な説明

(位相積分)

20

この発明の1つの局面に従うと、位相領域積分技術を用いて高強度および低強度画像を正確に撮像する高ダイナミックレンジ感度センサ素子またはアレイが提供される。この発明のセンサ素子は先行技術の固体ピクセル構造が呈するダイナミックレンジ特性によって限定されないもので、電磁放射の全スペクトルを捕捉して高品質の出力画像を提供することができる。

【0023】

図7Aは本発明の技術を用いて構築されたセンサ素子の応答を図示する。センサ素子の拡張されたダイナミックレンジは、電磁放射強度の全範囲にわたってピクセル応答を有し、衝突する放射に対する応答を可能にするのに十分である。その結果、センサ素子は、撮像すべき画像の明るい部分の飽和の影響を回避しつつ、最も暗い部分の十分な電荷を捕捉することができる。純粋な効果としては、センサに当たる電磁エネルギーの強度に関わらず、撮像すべき画像を忠実に再生できることである。

30

【0024】

図7Bは、すべてのピクセル出力が0から255までの8ビットADCのダイナミックレンジ内に入る、適正に露光された撮像のピクセル強度のヒストグラムを図示する。

【0025】

本発明のセンサ素子は、周波数発振回路に基づく新規の積分器の実現を含む。周波数発振器回路は、標準的なICコンポーネントブロックであり、先行技術の固体デバイスの欠点を有していない。また、本明細書中に開示される新規のセンサ素子は、利用可能な電源電圧をはるかに超える出力信号値に対応することができ、非常に高い精度および非常に高いダイナミックレンジを有する高精度の積分器を用いる。

40

【0026】

高性能の画像取得のためには、単一のセンサ読出ステップを用いて高分解能かつ高ダイナミックレンジの画像取得が可能な画像センサを有することが望ましい。図8は、本発明の例示的なピクセル構造を図示する。図8のピクセル構造は、図3の従来の信号取得構造を用いるが、時間領域積分器110を新規の位相領域積分器210で置換えている。図9は本発明の位相領域積分器をより詳細に示す。

【0027】

本発明では、信号源100(図8)の出力は図9の位相領域積分器の入力800に接続されている。積分期間が終わると、入力信号の積分が位相領域積分器出力840で位相の

50

形態で読出される。

【0028】

画像センサアセンブリおよび特定のには積分器部分は2つの基準を満たす。すなわち、
a) 感光素子からの弱い入力信号に応答して大きな出力を発生する、およびb) 感光素子からの入力信号が大きい場合の飽和を回避する。これらの2つの基準は固体構造では相互に相容れない。しかしながら、本発明は、図9のものなどの位相領域積分器を用いて2つの基準を満たし得ることが分かる。

【0029】

位相領域積分器の動作は、積分、位相および周波数、ならびにそれらの相互関係の概念を考察することによって最も十分に理解することができる。積分関数または積分は、当該技術分野で周知の数学的関数である。簡単に述べると、積分は、面積または面積の一般化として解釈可能な数学的対象である。信号が曲線としてプロットされる場合、信号の積分は曲線の中の面積である。積分器は、その入力に存在する信号を積分し、その出力で入力信号の積分結果を生成するデバイスである。

10

【0030】

位相と周波数とは微分関係を有する。持続時間 T の間に発振器出力 V_{out} で変化する全位相は、数学的には以下のように与えられる。

【0031】

$$= f_{inst} dt = (f_{nom} + f_{gain} \cdot S_{in}) dt$$

式中、積分範囲は持続時間 T を超える。積分項を以下のように分解する。

20

【0032】

$$= (f_{nom} + f_{gain} \cdot S_{in}) dt = f_{nom} dt + f_{gain} \cdot S_{in} dt$$

$$= K + f_{gain} \cdot S_{in} dt$$

式中、項 K は一定値 f_{nom} と T (積分時間) との関数であり、したがって周知である。

【0033】

$f_{nom} = 0$ である特別な場合、 $K = 0$ であり、かつ

$$= f_{gain} \cdot S_{in} dt$$

である。

【0034】

30

第2項は一定値乗数 f_{gain} および入力信号 S_{in} の積分である項 $S_{in} dt$ からなる。項 $f_{gain} \cdot S_{in} dt$ は、期間 T の終わりの S_{in} の値から K の値を減算することによって容易に得ることができる。

【0035】

$$f_{gain} \cdot S_{in} dt = \dots - K \quad \text{かつ} \quad S_{in} dt = (\dots - K) / f_{gain}$$

$$f_{nom} = 0 \text{ である特別な場合は } K = 0 \text{ であり、 } S_{in} dt = \dots / f_{gain} \text{ である。}$$

【0036】

以上の関係は、VCO制御入力信号 S_{in} と、期間 T の間のVCOまたは発振器出力で変化する位相 ϕ との間の微分関係を確立する。図10Aおよび図10Bは、この等価であることをグラフで図示する。図10Aは、時間の関数としての、VCO出力の変化する位相をプロットする。図10Bは、入力制御信号 S_{IN} の時間に対する積分をプロットする。

40

【0037】

図11Aは、図11Bに図示される入力信号 S_{IN} に応答して生成される電圧制御発振器出力波形を図示する。 S_{IN} は、2つの一定値の区間からなり、図11Bで720の符号を付された第1の部分は、図11Bで730の符号を付された第2の区間よりも値が小さい。

【0038】

図10Bに戻って、積分器出力区間620は、低いほうの値の S_{IN} 区間720が積分器に入力された際の時間の関数としての積分出力である。積分器出力区間630は、高いほう

50

うの値の S_{IN} 区間 730 が積分器に入力された際の時間の関数としての積分出力である。

【0039】

低いほうの値の S_{IN} 区間 720 により、VCO は、高いほうの値の S_{IN} 区間 730 よりも低い周波数で発振した。図 11A の波形区間 700 は、低いほうの VCO 発振周波数を図示する。VCO 入力での高いほうの値の S_{IN} 区間 730 により、VCO は、低いほうの値の S_{IN} 区間よりも高い周波数で発振する。図 11A の波形区間 710 は高いほうの VCO 発振周波数を図示する。

【0040】

図 10A は、時間の関数として、VCO の変化する位相をプロットする。区間 600 は VCO 出力区間 700 に対応する。区間 610 は VCO 出力区間 710 に対応する。

10

【0041】

区間 600 は区間 610 よりも低い位相積算レートを示す。位相積算レートは、単位時間あたりの、VCO の変化する位相の積分であり、1 秒あたりのラジアンという単位で表わすことができる。VCO が単位位相に変化する速度が発振周波数であり、これも 1 秒あたりのラジアンという単位で表わされる。

【0042】

VCO 制御信号入力波形区間 720 により、VCO は波形区間 700 を出力するようになる。時間の関数としての VCO 出力位相をプロットすると、曲線区間 600 が生成される。VCO 制御信号入力波形区間 730 により、VCO が波形区間 710 を出力するようになる。時間の関数としての VCO 出力位相をプロットすると、曲線区間 610 が生成される。図 9a および図 9b にプロットされる波形は同じ形状であり、 $f_{nom} = 0$ およびしたがって $K = 0$ である場合、定数 f_{gain} によって関連付けられる。 $f_{nom} = 0$ およびしたがって $K = 0$ である場合、図 10A および図 10B にプロットされる波形は定数 f_{gain} および K によって関連付けられる。

20

【0043】

したがって、入力信号 S_{IN} の時間領域積分は入力信号 S_{IN} の位相領域積分と機能的に均等であることが理解される。入力信号 S_{IN} の時間領域積分と、入力信号 S_{IN} の位相領域積分とは 2 つの定数によって関連しており、そのうちの 1 つは、 $f_{nom} = 0$ である特別な場合については 0 に等しい。

【0044】

30

信号積分を行なうのに本明細書中に開示される方法を用いることは、従来の積分器に対して有利であり、従来の積分器に関連の困難な性能の問題を解決する。1 つの利点は、積分器出力を飽和する潜在性の解決である。VCO または発振器出力は、いかなる状況でも超えられることがない上限および下限（ピーク値）によって厳しく拘束されている。したがって出力飽和状態は起こり得ない。

【0045】

別の利点は量子化ノイズの問題の解決である。図 12 に図示されるように、低レベル信号 310 は、値の近い入力強度によって発生する出力電圧間の識別性がほとんどない、顕著かつ受入れ不可能な量子化ノイズを被り得る。位相測定に基づく積分は、積分時間 T の間に発振器出力の変化する位相を測定する。積分時間 T の間に発振器出力が変化する位相は積分時間 T の間の入力制御信号の積分に比例し、この 2 つが比例する。最小限の値は最も小さな積分出力について発生する。しかし

40

$$f_{gain} \cdot S_{in} dt = -K$$

である。

【0046】

式中 K は定数である。したがって、単に VCO ゲイン f_{gain} を調節することにより、 $-K$ を、その最小値を含む $S_{in} dt$ のいずれの所与の値についても、独立して特定の値に設定することができる。積分器のゲインおよびしたがって測定された積分器出力変数の最小値を設定できることにより、従来の積分器に関連の量子化ノイズの問題が排除される。

50

【 0 0 4 7 】

さらに別の利点は、可変発振器回路は多様なシステムの一般的かつ基本的な構築ブロックであるということである。したがってそれらは広く利用可能であり、高度に最適化されている。

【 0 0 4 8 】

このように、VCOベースの積分器は量子化ノイズ、およびダイナミックレンジまたは出力飽和がない点において従来の積分器よりもはるかに優れている。他の利点が存在し、それらの利点は当業者には明らかである。

【 0 0 4 9 】

発振器は、技術分野で周知の種類の回路である。発振器回路の出力は多様な形状を有し得るが、それらはすべて周期的である。すなわち、出力波形が反復的であることを意味する。出力波形の1つの反復は1つの発振サイクルを含み、サイクルの持続時間はその発振周期として規定される。

10

【 0 0 5 0 】

発振周波数である f_{osc} は、単位時間あたりの発振の周期の数として規定され、それは通常はヘルツで測定される（1秒あたりの発振の周期）。従来は、発振器の角周波数は $\omega = 2\pi f_{osc}$ として定義され、発振の1つの完全なサイクルは 2π ラジアン位の位相角まで変化する。

【 0 0 5 1 】

初期状態、すなわちある任意の時間 $t = 0$ におけるシステムの状態が発振器と関連付けられる。初期状態の一例は、ラジアンで測定される、 $t = 0$ における発振器の初期位相であり得る。

20

【 0 0 5 2 】

図13A、図13B、図13Cおよび図13Dは、発振器回路の一般的な出力波形を図示する。技術分野で周知のように、図13A、図13B、図13Cおよび図13Dは、正弦波、三角波、鋸波および方形波発振器の出力波形を図示する。すべての場合、示されるピーク電圧範囲は1ボルトである。

【 0 0 5 3 】

電子発振器回路の発振周波数は固定されていても可変であってもよい。発振周波数が可変である一般的な発振器は電圧制御発振器（VCO）である。少なくともVCOは電圧入力を有し、該電圧入力によって信号電圧 S_{in} が発振周波数を制御する。電圧はオームの法則により電流に関連し、信号 S_{in} は、電圧特徴というよりはむしろその電流によって発振周波数を制御すると言える。

30

【 0 0 5 4 】

VCOは公称発振周波数 f_{nom} も有し得る。VCOは、周波数制御入力 S_{in} レベルが存在しないまたはたとえば0ボルトなどの発振周波数を変化させない値である場合に、 f_{nom} で発振する。公称発振周波数は0ヘルツを含むいずれの特定の値も有し得る。

【 0 0 5 5 】

VCOの出力周波数は入力信号の振幅変化にตอบสนองして変化する。したがって、VCOの瞬間的な発振周波数はある値 f_{delta} だけVCOの公称発振周波数とは異なり、以下の式によって与えられる。

40

【 0 0 5 6 】

$$f_{inst} = f_{nom} + f_{delta}$$

式中、 $f_{delta} = f_{gain} \cdot S_{in}$ である。

【 0 0 5 7 】

この例では、項 f_{delta} は1秒あたりのラジアンで測定され、 f_{gain} は1ボルトあたり1秒あたりのラジアンで測定され、 S_{in} はボルトで測定される。

【 0 0 5 8 】

上述のように、図11AはVCOの入力信号および出力信号を図示する。VCO出力の発振周波数は入力信号振幅の変化にตอบสนองして変化する。VCO出力区間700は入力信号

50

区間 720 に対応する。VCO 出力区間 710 は入力信号区間 730 に対応する。VCO 出力区間 700 の発振周波数は VCO 出力区間 710 の発振周波数よりも低い。入力信号区間 720 の振幅は入力信号区間 730 の振幅よりも低い。したがって、 f_{gain} は正の値を有し、VCO 発振周波数は入力制御信号振幅に正比例する。

【0059】

VCO も、RESET/ENABLE などの付加的な入力を有し得る。RESET 状態にある場合の RESET/ENABLE の機能は、VCO 出力波形を、ピークトゥピーク電圧範囲内のいかなる値でもあり得る予め定められた電圧にリセットすることである。ENABLE 状態にある場合の RESET/ENABLE の機能は、VCO 出力が発振できるようにすることである。

10

【0060】

VCO は出力 V_{out} を有する。各発振周期の間、 V_{out} は 2 ラジアン の角位相まで変化する。このことは、出力位相が 2 を法として測定可能であり、正確に 2 だけ隔てられる位相での発振器出力値が同一であることを暗示する。図 13A - 図 12D はいくつかの一般的な VCO 出力波形を図示する。1 つの完全な周期において、図 13 の各波形は正確に 2 ラジアンまで変化し、正確に 2 だけ隔てられた位相での波形の値はすべての波形について同一である。

【0061】

1 つの周期のサブセットの間に発振器出力の変化する位相は、1 つの周期のサブセットの始まりおよび終わりをマーキングする時間の 2 つの瞬間の発振器出力をサンプリングし、各々のサンプルと関連付けられる位相を同定し、2 つの位相を減算することによって求められる。

20

【0062】

1 つの発振周期以上にわたる持続時間の間に発振器出力の変化する位相は、2 つの時間の瞬間の VCO 出力を直接観察することに基づく方法を用いると、2 ラジアンを法としてしか求めることができない。したがって、曖昧さを解決するためには、VCO 出力の変化する周期の数または周期の有効な端数をカウントする付加的な関数を用いる。

【0063】

時間間隔において VCO 出力の変化する周期の数または周期の有効な端数をカウントする、または位相を「アンラップする」回路は、容易に実現可能である。そのような回路と関連の波形が図 14A および図 14B に図示される。図 14A の VCO 出力は三角波の波形である。時間 $t = 0$ 、 $0.5 T_p$ および T_p において、VCO 出力波形は、0、および 2 ラジアンの変動に対応する、900、910 および 920 の符号を付される状態に至る。

30

【0064】

位相アンラップ回路の出力は、時間 $t = 0$ 、 $0.5 T_p$ および T_p に、状態を 0、V および 2V 振幅のレベルに変化させる。遷移時間は 930、940 および 950 の符号を付され、それらはそれぞれ 900、910 および 920 の符号を付される VCO 出力状態に対応する。

【0065】

40

1 つの VCO 出力周期にわたって図示される、VCO 出力と位相アンラップ回路の出力との間の関係は、いずれの数の VCO 出力周期にわたるようにも拡張可能であり、その場合の位相アンラップ回路の出力は、VCO 出力が 0 から (法 2) 位相値まで変化するたびに予め定められた量だけ値が増加する。当業者には、位相アンラップ機能を実現し、VCO 出力の変化するアンラップされた位相の値をマークする代替的な方法が存在することが知られている。

【0066】

VCO 出力の変化する全位相は、2 つの項の総計で与えられる。第 1 の項は位相アンラップ回路が記録する全アンラップ位相である。第 2 の項は、位相アンラップ回路出力の最後の更新以来 VCO 出力の変化した全位相である。この量は、VCO 出力の直接の測定に

50

よって明確に得ることができる。

【 0 0 6 7 】

図 1 5 は、市販の IC である I C L 8 0 3 8 の V C O サブセットの簡略化されたブロック図を組入れる。付加的な位相アンラップ、変化した全位相、および V C O R E S E T / E N A B L E 機能が追加されている。

【 0 0 6 8 】

電流源 8 6 0 および 8 5 5 はそれぞれキャパシタ 8 4 5 を充電および放電する。キャパシタ 8 4 5 の充放電は、フリップフロップ 8 2 5 によって制御され、電流源 8 6 0 または 8 5 5 をキャパシタ 8 4 5 に接続するスイッチ 8 6 5 によって定められる。

【 0 0 6 9 】

フリップフロップ 8 2 5 は、コンパレータ 8 1 5 および 8 2 0 によってトリガされると状態を変化させる。コンパレータ 8 1 5 は、キャパシタ 8 4 5 が予め定められた高電圧に達するとトリガされる。コンパレータ 8 2 0 は、キャパシタ 8 4 5 が予め定められた低電圧に達するとトリガされる。

【 0 0 7 0 】

コンパレータ 8 1 5 がトリガされると、フリップフロップ 8 2 5 は、スイッチ 8 6 5 を閉じるなど、状態を変化させる。電流源 8 6 0 の電流 I_2 は、キャパシタ 8 4 5 を放電させ、これによりキャパシタ 8 4 5 の両端の電圧を減少させる。キャパシタ 8 4 5 の両端の電圧の減少はすぐにコンパレータ 8 1 5 の状態を変化させる。

【 0 0 7 1 】

キャパシタ 8 4 5 の両端の電圧が十分に低い値に減少すると、コンパレータ 8 2 0 がトリガされる。コンパレータ 8 2 0 がトリガされると、フリップフロップ 8 2 5 は、スイッチ 8 6 5 を開くなど、状態を変化させる。電流源 8 5 5 の電流 I_1 は、キャパシタ 8 4 5 を充電し、これによりキャパシタ 8 4 5 の両端の電圧を増大させる。キャパシタ 8 4 5 の両端の電圧の増大はすぐにコンパレータ 8 2 0 の状態を変化させる。

【 0 0 7 2 】

キャパシタ 8 4 5 の両端の電圧が十分に高い値に増大すると、コンパレータ 8 1 5 が再びトリガされて、フリップフロップ 8 2 5 の状態を変化させ、キャパシタ 8 4 5 の充電 / 放電サイクルを繰返させる。

【 0 0 7 3 】

キャパシタ 8 4 5 が保持する電荷と、キャパシタ 8 4 5 の両端の電圧との間の関係は $Q = C \cdot V$ である。式中、 C はファラドで測定されるキャパシタ 8 4 5 の容量であり、 Q はクーロンで測定されるキャパシタ 8 4 5 が保持する電荷であり、 V はボルトで測定されるキャパシタ 8 4 5 の両端の電圧である。

【 0 0 7 4 】

時間間隔 T の間に流れる定電流 I による、キャパシタ 8 4 5 によって保持される電荷の変化は $Q = I \cdot T$ によって与えられる。式中、 Q はキャパシタ 8 4 5 が保持する電荷の変化をクーロンで表わし、 I は電流の値をアンペアで表わし、 T は電流の流れる時間間隔を秒で表わす。定電流は、時間の関数としてキャパシタ 8 4 5 が保持する電荷の線形変化を生じさせる。時間の関数としてのキャパシタ 8 4 5 が保持する電荷の線形変化により、時間の関数としてのキャパシタ 8 4 5 の両端の電圧の線形変化が生じる。

【 0 0 7 5 】

電流源 8 5 5 および 8 6 6 が生成する一定値の電流 I_1 および I_2 により、キャパシタ 8 4 5 の両端の電圧が増減して、三角波形を線形に生成する。電流 I_1 および I_2 の正味の効果が等しい場合、キャパシタ 8 4 5 両端での三角形の電圧波形の立上がりおよび立下がり区間は図 6 c に図示されるように対称になる。電流 I_1 および I_2 の正味の効果が等しくない場合、キャパシタ 8 4 5 の両端の三角形の電圧波形の立上がりおよび立下がり区間は非対称になる。電流 I_1 の正味の効果 < 電流 I_2 の正味の効果である限り、キャパシタ 8 4 5 の両端の三角形の電圧波形は、図 6 b に図示される鋸歯波形となる傾向にある。

【 0 0 7 6 】

キャパシタ 8 4 5 を充電および放電する時間は、電流源 8 6 0 および 8 5 5 によって生成される電流 I_1 および I_2 の大きさによって決まる。コンパレータ 8 1 5 および 8 2 0 をトリガする電圧レベルにキャパシタ 8 4 5 を充電および放電するのに必要な時間の和によって V C O の発振周期が決まる。したがって、電流 I_1 および I_2 の大きさによって V C O の発振の周期および周波数が決まる。

【 0 0 7 7 】

入力 8 7 0 に印加される制御信号は電流源 8 6 0 および 8 5 5 を制御し、したがって V C O 発振周波数を制御する。図示しないが、当業者には周知のような単純な電圧または電流スプリッタを 8 7 0 に印加される制御信号と電流源 8 6 0 および 8 5 5 との間に追加して波形の対称性を調節することができる。

10

【 0 0 7 8 】

キャパシタ 8 4 5 の両端の電圧の反転は、フリップフロップ 8 2 5 の状態によって制御される。フリップフロップ 8 2 5 が状態を変化させるたびに、カウンタ 8 3 5 がトリガされ、対応してその出力状態が変更される。カウンタ 8 3 5 の出力状態の変化は、図 8 b に示されるような変更された電圧レベルであり得る。別個の状態を解決可能である限り、他の電圧レベル変更方式を用いてもよい。カウンタ 8 3 5 の出力も、B ビットを含むデジタルワードからなるデジタルフォーマットであり得る。そのような場合、その出力状態の変化は、互いの状態の間では 1 つ以上のビットが異なる二進数であり得る。

【 0 0 7 9 】

カウンタ 8 3 5 の出力状態は、フリップフロップ 8 2 5 が状態を変化させるたびに変化し、したがって、V C O 出力がその最小値および最大値に何回達したかをカウントする。カウンタ 8 3 5 の出力状態が偶数である場合、V C O の出力は、2 ラジアン of 整数倍だけ変化した。V C O 出力の変化した 2 ラジアン of 数は、次にカウンタ 8 3 5 の出力カウントを 2 で除算することによって与えられる。

20

【 0 0 8 0 】

カウンタ 8 3 5 の出力状態が奇数である場合、V C O の出力が変化した 2 ラジアン of 数は整数と小数部分とを有する。V C O の出力が変化した 2 ラジアン of 数の整数部分は、カウンタ 8 3 5 の出力状態から 1 を減算することによって得られた数を 2 で除算することによって与えられる。V C O の出力が変化する 2 ラジアン of 数の小数部分は、波形の立上がり区間と立下がり区間との間の非対称性の度合いに依存し、当業者には容易に得ることができる。たとえば、波形の立上がり区間が波形の立下がり区間の 2 倍の長さである場合、完了には発振周期の 3 分の 2 が必要である。

30

【 0 0 8 1 】

キャパシタ 8 4 5 の両端の電圧は、フリップフロップ 8 2 5 の状態の最後の変化の後に V C O 出力の変化する位相に比例する。a) コンパレータ 8 1 5 および 8 2 0 のトリガ電圧 (すなわち、V C O 出力の最大電圧および最小電圧) と、b) V C O 出力波形の立上がり区間と立下がり区間との間の非対称性とがわかっているならば、当業者はこれを容易に得ることができる。たとえば、a) V C O 出力電圧が波形の立上がり区間上の最小値と最大値との間の中間にあり、かつ b) 波形の立上がり区間の長さが波形の立下がり区間の 2 倍である場合、波形測定は発振周期の 3 分の 1 であると考えられる。

40

【 0 0 8 2 】

V C O の出力が変化する全位相は、電圧 - 位相変換器 8 4 0 およびカウンタおよび位相変換器 8 3 5 が記録するような、V C O 出力が変化する位相を総計することによって得られる。この機能は加算器 8 8 0 によって達成され、出力 8 9 0 で利用可能になる。

【 0 0 8 3 】

スイッチ 8 5 0 はキャパシタ 8 4 5 をリセットし、したがって V C O 発振器出力を電圧源 8 1 0 が出力する初期電圧にリセットする。フリップフロップ 8 2 5 は信号 8 9 5 によってリセットされる。電圧源 8 1 0 の初期電圧は、フリップフロップ 8 2 5 のリセット状態および V C O 出力波形の立上がり区間と立下がり区間との間の非対称性の度合いとともに、V C O 出力波形の初期位相を決めるのに十分である。この導出は当業者には周知であ

50

る。

【 0 0 8 4 】

技術分野で周知であるように、また I C L 8 0 3 8 アプリケーション解説文献に記載のように、正弦波形、方形波形および鋸波形は、本明細書中で論じられる基本的な三角波形を用いて、付加的な内部回路によって導出される。したがって、本明細書中で扱う事項は他の V C O 出力波形形状に等しく適用される。

【 0 0 8 5 】

このように、この発明は、ピクセル構造の従来の積分器コンポーネントを、位相領域の入力信号の時間積分を行なう高ゲインかつ高ダイナミックレンジの積分器で置換える。

【 0 0 8 6 】

図 1 6 は、本発明の位相領域積分器を用いるピクセル構造によって、撮像プロセス 1 5 0 の間に行なわれ得る例示的ないくつかのステップを図示するフロー図である。

【 0 0 8 7 】

露光時間（ステップ 1 5 1）の始めに、V C O 出力と、カウンタおよび位相コンバータ 8 3 5 とがリセットされる。ステップ 1 5 2 で、感光素子が光に晒され、その電気的特性が変化し、これにより V C O 出力の周波数が変化する。感光素子は、フォトダイオード、フォトゲート、フォトトランジスタまたはフォトレジスタなどのいずれの素子であってもよい。本発明はまた、上述の構造を有するピクセルの少なくとも一部であるピクセルの幾何学的構成を有する C M O S または M O S 画像化デバイスなどの固体画像化デバイスにも関する。

【 0 0 8 8 】

ステップ 1 5 3 で、カウンタおよび位相変換器 8 3 5 は、V C O 出力が変化した、アンラップされた位相を記録する。ステップ 1 5 4 で露光フレームが終了したと判断されると、ステップ 1 5 5 で、V C O の出力は電圧 - 位相変換器 8 4 0 によってラジアンに変えられる。カウンタおよび位相変換器 8 3 5 と電圧 - 位相変換器 8 4 0 との出力は全位相加算器 8 8 0 によって加算される。ステップ 1 5 6 で、所望により、位相領域積分の結果を時間領域積分結果に変えてもよい。撮像プロセスの必要なステップではないことを示すため、ステップ 1 5 6 は破線で示される。

【 0 0 8 9 】

（指数関数的ゲイン特徴）

したがって、高ダイナミックレンジを有するピクセル構造を構成するための方法および装置が説明された。図 9、図 1 0 A および図 1 0 B は、入力刺激に対するほぼ線形の積分応答を与える、この発明の 1 つのピクセル構造の例示的な実施例および動作を図示する。この発明の別の局面に従うと、積分出力はまた、たとえば一定値の入力を想定して、積分時間を 2 倍にしても積分出力値が 2 倍にならない非線形の特性的にも従い得る。たとえば、非線形の積分出力は、非線形である指数関数に関連の出力特性を有し得る。

【 0 0 9 0 】

いずれの指数関数も、その増大率（傾斜）が比例定数内のその値に比例するという特徴を有する。図 1 7 は、積分器出力値自体によって制御される積分器出力値の変化率を与えるように変更された、図 3 b と同様の位相領域積分器の第 2 の実施例を図示する。具体的に、図 1 7 の位相領域積分器では、積分器出力（変化した全位相）は、積分器のゲイン、およびしたがって積分器出力の変化率を制御することができる。

【 0 0 9 1 】

ゲインブロック 1 8 0 5 は広範な関数的特徴を有し得る。たとえば、ブロック 1 8 0 5 のゲインが入力電圧 1 8 6 0 の逆数であると仮定する。入力電圧 1 8 6 0 が増大すると、ブロック 1 8 0 5 のゲインは減少する。一定の入力 1 8 0 0 (S_{IN}) を仮定すると、制御電圧 1 8 6 0 が増大し、ゲインブロック 1 8 0 5 のゲインが減少するにつれて、積分器出力 1 8 4 0 の増加率は減少する。

【 0 0 9 2 】

図 1 7 に図示されるように、スイッチ 1 8 5 0 は信号 1 8 4 0 または信号 1 8 4 5 を選

10

20

30

40

50

択してゲインブロック 1805 を制御することができる。信号 1840 は連続的な信号である一方で、信号 1845 は不連続な階段状の信号である。ここに図示される例については、スイッチ 1850 は信号 1845 を選択してゲインブロック 1805 を制御する。

【0093】

1つの実施例では、ゲインブロック 1805 は積分器出力値の逆数に比例する。このように、ゲインブロック 1805 のゲインは、スイッチ 1850 の出力である信号 1860 の逆数である。信号 1855 は積分器入力であり、ゲインブロック 1805 で乗算される信号 1800 (S_{IN}) の値と等しい。スイッチ 1850 が選択する積分器出力 1860 の値が増大するにつれて、ゲインブロック 1805 のゲインが減少する。一定値の信号入力 1800 (S_{IN}) については、信号 1855 は減少して、位相領域積分器出力をより低いレートで増大させる。

【0094】

図 18 は、線形 (1700) および非線形 (1710) 特徴と、一定の入力とを有する積分器機能の出力を図示する。1700 の符号を付された曲線は線形の積分器出力特徴を図示し、積分時間を 2 倍にした場合に積分器出力値が 2 倍になることを示す。1710 の符号を付された曲線は非線形の積分器出力特徴を図示し、積分時間を 2 倍にしても積分器出力値が 2 倍にならないことを示す。図 19 では、曲線 1710 は、積分器出力の変化率が逆の関係、すなわち、積分器出力の変化率が信号 1845 が表わす積分器出力の逆数に比例する関係によって不連続の階段状の信号 1845 となるように制御される場合の積分器出力である。

【0095】

図 19 は、原点付近の図 18 の拡大である。1720 の符号を付された曲線は線形の積分器出力特徴を図示する。1730 の符号を付された曲線は、非線形の積分器出力特徴を図示する。2つの曲線は、任意に (横軸上の) 時間 = 1 で始まり、時間 = 2 で終了する曲線の始めの部分については同一であり、その後分岐していく。このとき、積分器出力値曲線 1730 はその初期値を 1 に等しくした (積分器出力は潜在的なゲインの非線形性を回避するために 1 だけシフトされる。最終的な出力は初期の値のシフトを排除する)。

【0096】

図 19 から明らかなように、曲線 1700 の線形の積分器出力特徴は時間とともに線形に増大する。というのも、入力信号が一定とされるからである。積分器出力が増大し、出力成分 1845 の値が階段状に増大するにつれて、積分器出力の増加率は同じ階段状に減少する。このことは図 18 の曲線 1710 から明らかである。

【0097】

時間 $t = 16$ で、線形積分器出力はこの例では 16 という値に達する。時間 $t = 16$ で、非線形の積分器出力はこの例では 6 という値に達する。積分器出力の値が増大するにつれてその変化率を減少させることにより、状態の数が有利に減少して最終的な積分器値がエンコードされる。この例では、線形積分器は 16 という値に到達したが、これは、エンコードに 5 ビット出力を有する ADC を必要とする一方で、非線形積分器は 6 という値にしか到達せず、これはエンコードに 3 ビット出力を有する ADC を必要とする。いずれのデバイスも出力飽和状態にはならなかった。

【0098】

このように、図 17 - 図 19 は、ピクセル構造フィードバックに応じてピクセル構造のゲインを制御可能な方法および装置を図示する。図 17 は積分器出力の逆数であるゲイン特徴の仕様を説明したが、本発明はいずれの特定のゲイン特徴にも限定されず、設計要件を満たすように選択され得る、異なる、固定された、可変のおよび / または適応的なゲインを有するこの発明のピクセル構造の実施例が存在し得ることが企図される。さらに、図 17 はフィードバックが直接に積分器出力に結合されるように図示するが、異なる態様で積分器値を処理してゲインデバイスにフィードバックを与えるようになされる設計変更が存在し得ることが認められる。このように、本発明は、いずれの特定のタイプのフィードバックに限定されるものではなく、むしろ積分器にフィードバックを与えて、観察される

システム条件に基づいて積分器ゲインを調節するという概念を包含するものである。

【 0 0 9 9 】

(C C D、 C M O S および M O S ベースのピクセル構造を含む) 固体ピクセル構造の読出信号を得るための方法および装置が説明された。ピクセル構造は、少なくとも、出力ノードを備える感光素子、位相領域において出力ノード信号を積分するための手段、および位相領域積分値を読出すための手段を含む。上述のように、観察されるシステム条件に応じて積分器のゲインを調節するための手段も設け得る。信号積分を行なうために本明細書中に開示される方法を用いることは、従来の積分器に対して有利であり、従来の積分器に関連の困難な性能の問題を解決する。1つの利点は、積分器出力が飽和する潜在性の解決である。V C O または発振器出力は、いかなる状況でも超えられることがない上限および下限 (ピーク値) によって厳しく拘束される。したがって出力飽和状態は起こり得ない。このような構成により、センサに当たる電磁エネルギーの強度に関わらず、撮像すべき画像の忠実な再生を生じることができる固体ピクセルが提供される。

10

【 0 1 0 0 】

この発明のさまざまな実施例を説明して、ある構成要素およびプロセスステップを説明したが、その説明は例示のみのためのものであり、当業者は他の機能的な記述または付加的なステップおよび構成要素を追加することができ、したがって本発明は開示された特定の実施例に限定されるべきではないことが認められる。さまざまな例示的な要素がハードウェア、コンピュータ上で実行されるソフトウェアまたはその組合せで実現され得、本明細書中に開示のこの発明の概念から逸脱することなく、図示された実施例の変更例および修正例がなされ得る。したがって、この発明は添付の請求項の範囲および意味による場合を除き限定的に解釈されるべきではない。

20

【 図面の簡単な説明 】

【 0 1 0 1 】

【 図 1 】 画像センサおよび関連の処理チェーンに含まれ得る例示的な構成要素を図示するブロック図である。

【 図 2 】 積分器の出力のノイズ平滑化特徴を図示するグラフの図である。

【 図 3 】 典型的なピクセル構造のブロック図である。

【 図 4 A 】 ダイナミックレンジの限界を図示する、図 3 のものなどのピクセル構造の出力での歪みを説明するために与えられる特性曲線である。

30

【 図 4 B 】 ダイナミックレンジの限界を図示する、図 3 のものなどのピクセル構造の出力での歪みを説明するために与えられる特性曲線である。

【 図 4 C 】 ダイナミックレンジの限界を図示する、図 3 のものなどのピクセル構造の出力での歪みを説明するために与えられる特性曲線である。

【 図 5 A 】 露光過剰の撮像のピクセル強度のヒストグラムの図である。

【 図 5 B 】 露光不足の撮像のピクセル強度のヒストグラムの図である。

【 図 6 】 ダブルスロープ技術を用いて構築されたピクセル構造の応答曲線の図である。

【 図 7 A 】 本発明のピクセル構造の応答曲線の図である。

【 図 7 B 】 本発明の撮像された画像のピクセル強度の例示的なヒストグラムの図である。

【 図 8 】 位相領域積分器を含む、画像センサおよび関連の処理チェーンに含まれ得る例示的な構成要素を図示するブロック図である。

40

【 図 9 】 本発明の位相領域積分器の 1 つの実施例のブロック図である。

【 図 1 0 A 】 発振器位相 (9 A) を図示し、本発明の信号積分能力を説明するのに用いられるグラフの図である。

【 図 1 0 B 】 時間領域積分器出力信号 (9 B) を図示し、本発明の信号積分能力を説明するのに用いられるグラフの図である。

【 図 1 1 】 図 1 1 A は、図 1 1 B に図示される発振器入力にตอบสนองして周波数が変わる発振器波形を図示するグラフの図である。

【 図 1 2 】 低強度信号に対する量子化誤差の影響を図示するグラフの図である。

【 図 1 3 A 】 一般的な V C O 出力波形の図である。

50

【図 1 3 B】一般的な V C O 出力波形の図である。

【図 1 3 C】一般的な V C O 出力波形の図である。

【図 1 3 D】一般的な V C O 出力波形の図である。

【図 1 4 A】本発明の位相アンラップメカニズムを図示するために与えられるグラフの図である。

【図 1 4 B】本発明の位相アンラップメカニズムを図示するために与えられるグラフの図である。

【図 1 5】本発明のセンサ素子の位相領域積分器構成要素のブロック図である。

【図 1 6】図 1 5 の位相領域積分器によって撮像プロセスの間に行なわれ得るいくつかのステップを図示するために与えられるフロー図である。

【図 1 7】電磁放射刺激に対する非線形応答を与えることができる、本発明の位相積分器の第 2 の実施例の図である。

【図 1 8】本発明の積分器によって与えられ得る例示的な線形および非線形積分器応答を図示するグラフの図である。

【図 1 9】原点付近の図 1 8 の拡大図である。

10

【図 1】

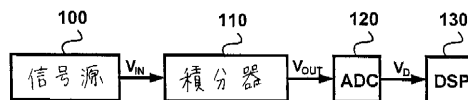


Figure 1

【図 2】

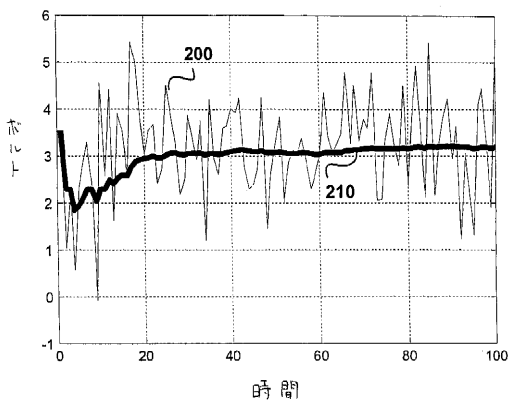


Figure 2

【図 3】

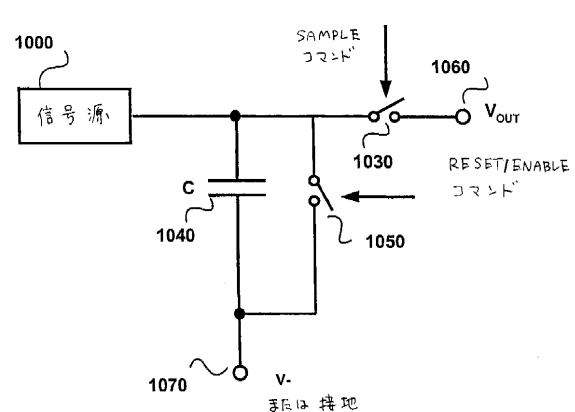


Figure 3

【図 4 A】

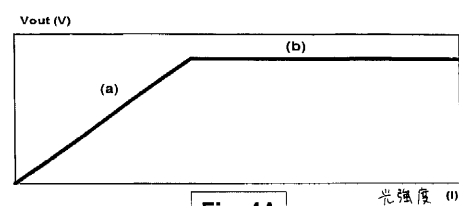


Fig. 4A

【図 4 B】

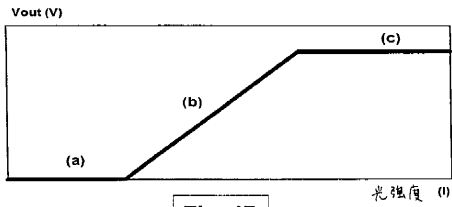


Fig. 4B

【図 4 C】

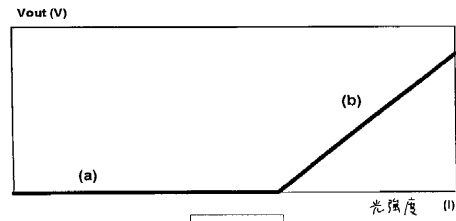


Fig. 4C

【図 5 A】

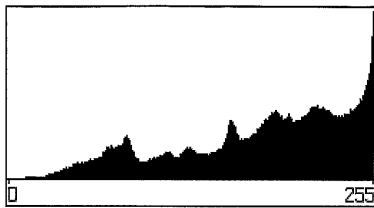


Figure 5A

【図 7 A】

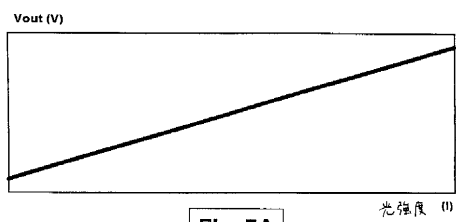


Fig. 7A

【図 7 B】

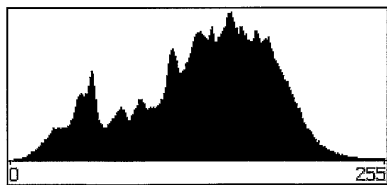


Fig. 7B

【図 5 B】

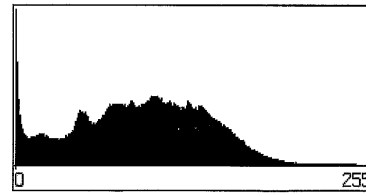


Figure 5B

【図 6】

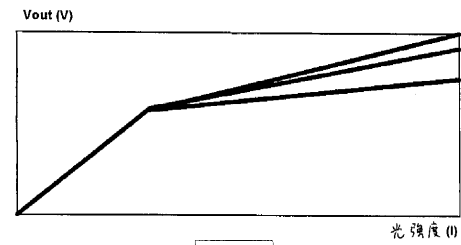


Fig. 6

【図 8】

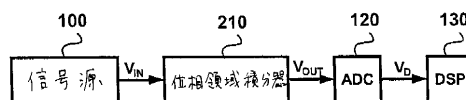


Fig. 8

【図 9】

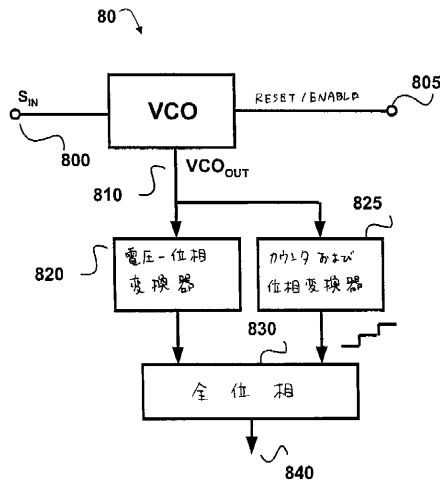


Fig. 9

【図 10 A】

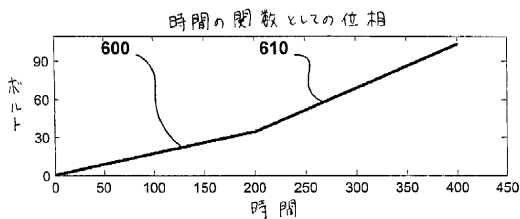


Figure 10A

【図 11】

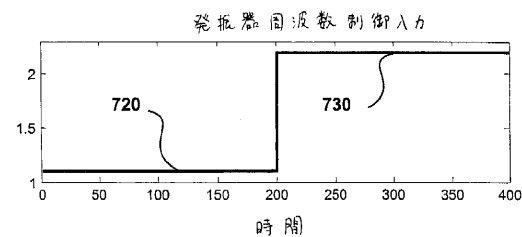
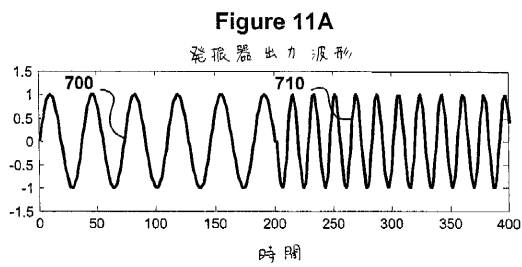


Figure 11B

【図 10 B】

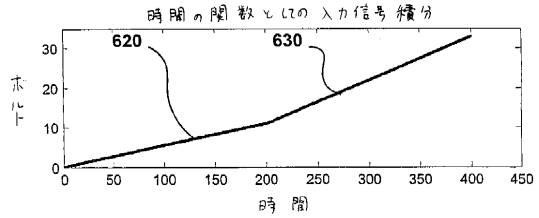


Figure 10B

【図 12】

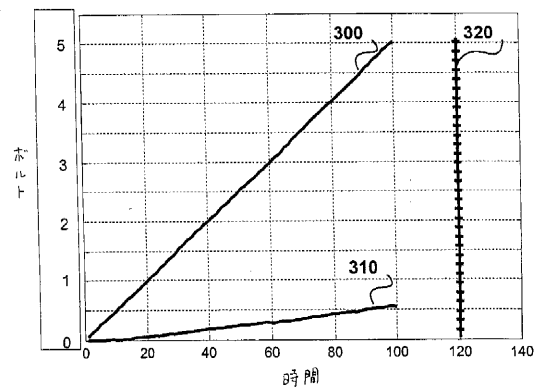


Figure 12

【図 16】

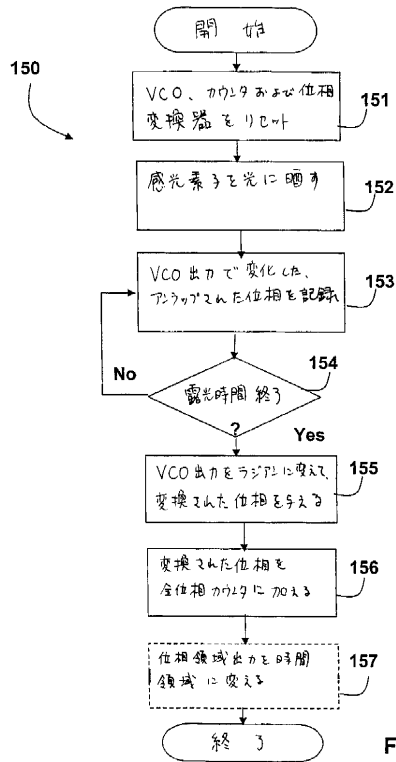


Figure 16

【図 17】

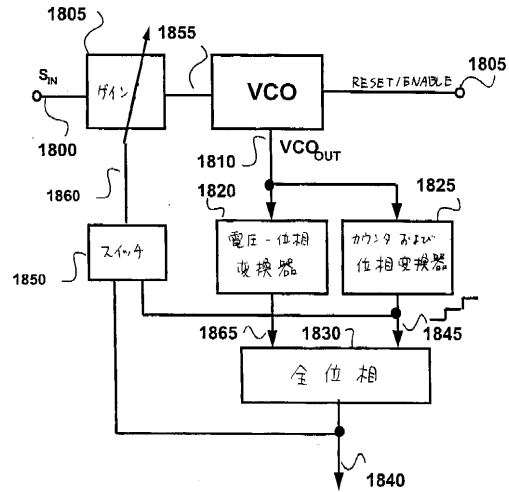


Figure 17

【図 18】

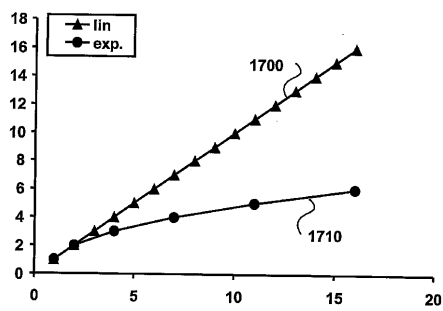


Figure 18

【図 19】

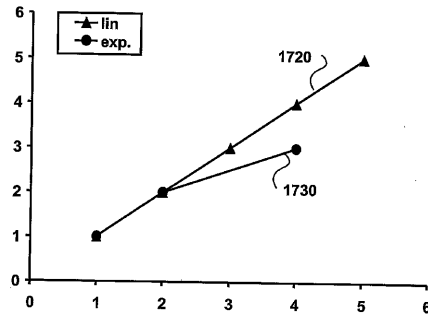


Figure 19

フロントページの続き

(31)優先権主張番号 60/719,306

(32)優先日 平成17年9月21日(2005.9.21)

(33)優先権主張国 米国(US)

(31)優先権主張番号 60/727,897

(32)優先日 平成17年10月18日(2005.10.18)

(33)優先権主張国 米国(US)

(74)代理人 100064746

弁理士 深見 久郎

(74)代理人 100085132

弁理士 森田 俊雄

(74)代理人 100083703

弁理士 仲村 義平

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 将行

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 ダビドビチ, ソーリン

アメリカ合衆国、07757 ニュージャージー州、オーシャンポート、メイン・ストリート、1
60

審査官 深沢 正志

(56)参考文献 特表2002-534005(JP,A)

特表2002-544719(JP,A)

特開平11-205695(JP,A)

特開2001-054022(JP,A)

特開2006-032438(JP,A)

特開平10-022489(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/335 - 5/378