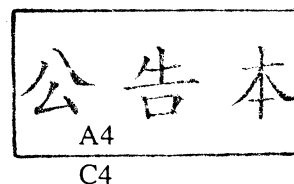


申請日期	90.5.31
案 號	90113201
類 別	G06F 1/04



530197

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	使用具輸入/輸出電路之校準延遲元件之方法及裝置
	英 文	METHOD AND APPARATUS FOR USING CALIBRATED DELAY ELEMENTS WITH INPUT/OUTPUT CIRCUITRY
二、發明人 創作	姓 名	1.邱齊佑 CHI-YEU CHAO 2.林奇豪 CHEE HOW LIM 3.肯 L. 王 KENG L. WONG
	國 籍	1.中華民國 2-3均馬來西亞
	住、居所	1.美國俄勒岡州波特蘭市西北索茲曼路670號 2.美國俄勒岡州喜爾柏若市東南第61大道2036號 3.美國俄勒岡州波特蘭市西北班森街9028號
三、申請人	姓 名 (名稱)	美商英特爾公司 INTEL CORPORATION
	國 籍	美國
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
	代 表 人 姓 名	F. 湯姆士. 當烈二世 F. THOMAS DUNLAP, JR.

申請日期	
案 號	
類 別	G06F 1/04

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	4.宋民 金 SONGMIN KIM 5.格列高里 F. 泰勒 GREGORY F. TAYLOR
	國 籍	4-5均美國
	住、居所	4.美國俄勒岡州貝佛頓市西北柯柏格巷16740號 5.美國俄勒岡州波特蘭市西北第127大道2894號
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	， ☐ 有 ☐ 無主張優先權
美國	2000年06月26日	09/604,049	☒ 有 ☐ 無主張優先權

有關微生物已寄存於：	，寄存日期：	，寄存號碼：
------------	--------	--------

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

發明範圍

本發明通常係關於場效積體電路及，更特別地，本發明係關於在積體電路晶片之間的輸入/輸出(I/O)。

背景資訊

通常，積體電路的I/O時脈測試，像中央處理單元(CPUs)，使用測試器來完成。藉由使用一小心校準之多頻道測試器，可以對於一晶片之所有腳的I/O時脈測量，其中此測試器和此晶片上相位鎖定迴路(PLL)電路共用相同的時脈。此特定的I/O時脈藉由演練不同的“最壞情況”樣式，其在測試器設置期間被程式化。此外，無論何時可能的話此測試器環境被設計以摹擬“真實世界”系統情況。

在測試器環境中測量I/O時脈有一些缺點。為了得到非常精確的讀取，所有測試器頻道要求極度的緊的時脈和小心的校準，造成重要的測試器成本。儘管那樣，一防護帶必須加入此測量的時脈以幫助保證規格數目。這是要說明由測試器引入之閘門邊緣和時脈扭曲的不確定性。此加入在規格數目中的防護帶對於電路設計者和系統設計者都會造成更嚴格的要求以便降低不合格的缺點數目。

另一個與防護帶有關的問題是額外的防護帶必須加入以說明此測試器和實際系統環境之間的差異，因為由測試器的測量不能模擬實際系統行為在I/O時脈上的影響。因此，電路設計者，在很多例子中擔負著來自於測試器要求之阻礙的額外挑戰。

五、發明說明 (2)

當積體電路晶片，像CPUs，的I/O時脈測試失敗時，此元件通常被丟棄。在很多例子中，此晶片之所有其他的功能性之I/O時脈測試失敗是在規格要求內的。此外，已經觀察到在很多例子中，此I/O時脈測試失敗之晶片失敗於一相當小的界限。

圖例概述

本發明藉由例子來說明，且不限於伴隨的圖例。

圖1為一方塊圖說明一種根據本發明之教導在一系統中一相位校準電路和一I/O緩衝電路的實施例。

圖2為一方塊圖說明一種根據本發明教導之延遲電路的實施例。

圖3為一概要圖說明說明一種根據本發明教導之延遲連鎖電路的實施例。

圖4為一方塊圖說明另一種根據本發明教導之延遲電路的實施例。

圖5為一時脈圖說明一種時脈之實施例以輸出一根據本發明教導之被測試輸出信號的特性。

圖6為另一種時脈之實施例以輸出一根據本發明教導之被測試輸出信號的特性之時脈圖。

圖7為一時脈圖說明一種根據本發明教導之被測試輸出信號之維持時間特性的實施例。

圖8為一時脈圖說明一種根據本發明教導之被測試輸出信號之設置時間特性的實施例。

圖9為一時脈圖說明一種根據本發明教導之輸出信號中克

五、發明說明 (3)

服一I/O時脈缺點的實施例。

圖10為一時脈圖說明另一種根據本發明教導之輸出信號中克服一I/O時脈缺點的實施例。

圖11為一時脈圖說明一種根據本發明教導之輸入信號中克服一I/O時脈缺點的實施例。

圖12為一時脈圖說明另一種根據本發明教導之輸入信號中克服一I/O時脈缺點的實施例。

詳細描述

發表使用一積體電路晶片之相位校準和具有I/O緩衝器電路之延遲電路的方法和裝置。在以下的描述中，說明大量特定的細節為了提供本發明之全盤的瞭解。然而，對於一在技術上具有一般技巧的人是明顯的，此特定的細節不需要被使用以實行本發明。在其他的例子中，熟知的材料或方法尚未詳細的描述為了避免使本發明模糊。

在一舉例的實施例中，一時脈驅動器被用以產生一系統時脈以計時I/O資料傳輸在此系統中的積體電路晶片之間。在此系統中的積體電路晶片接收此系統計時並產生內部I/O時脈以在個別的積體電路晶片中計時I/O緩衝器電路。在一種實施例中，在此系統中之積體電路晶片的至少一個包括一相位調整裝置連接以接收此系統時脈並產生一不同於系統時脈之可選擇相位的內部I/O時脈。也就是說，在本發明的一實施例中，此相位調整裝置調整此積體電路晶片的I/O時脈使與此系統時脈不同相在一選擇的量下。

在此舉例的實施例中，在此系統中的其他晶片產生它們

五、發明說明 (4)

自己個別的I/O時脈，其與此系統時脈同相。在一實施例中，此積體電路的I/O時脈被用以計時此積體電路晶片的I/O緩衝器電路。因此，此積體電路晶片之I/O緩衝器電路的一實施例被計時相對於在此系統中其他積體電路晶片之其他I/O緩衝器電路不同相在一選擇的量下。

在本發明一舉例的實施例中，此相位調整電路產生一帶有不同於使用校準延遲元件之系統時脈之可選擇相位的I/O時脈。例如，一校準延遲元件連接至此相位調整電路的PLL電路之參考時脈輸入，而另一校準延遲元件連接至此PLL電路的反饋時脈輸入。使用此連接至參考時脈的校準延遲元件和此PLL電路的反饋時脈輸入，此不同於系統時脈的相位可以選擇性的導入由此相位調整電路產生的I/O時脈。

在一實施例中，此積體電路晶片的I/O緩衝器電路也包括一校準延遲電路在此I/O緩衝器電路的I/O資料路徑。在一實施例中，此校準延遲元件包括在此I/O資料緩衝器電路的輸出資料路徑。在另一實施例中，此校準延遲元件可以包括在此I/O緩衝器電路的輸入資料路徑。在一實施例中，在此積體電路之I/O緩衝器電路的I/O資料路徑中的校準延遲元件提供此輸入資料傳輸資料的效應至此積體電路以被計時與傳輸自此積體電路的輸出資料不同相。

使用根據本發明之教導的積體電路之I/O緩衝器電路中的相位調整電路和延遲電路，此積體電路晶片之輸入和輸出資料傳輸的相位控制被提供。藉由調整I/O資料傳輸的相位，此積體電路晶片的I/O時脈測試可以被完成。此外，此

五、發明說明 (5)

晶片之調整的時脈可以進一步用於非測試目的。例如，I/O時脈操作可以根據本發明的教導來調整或微調。

因此，根據本發明之教導的積體電路晶片的I/O時脈可以被微調以帶來此晶片的I/O操作具有規格的時脈要求。

說明，圖1是根據本發明之教導的一系統101之一實施例的方塊圖。在一實施例中，系統101可以是一母板，系統板，或類似的，具有若干積體電路晶片103和105連接於此。為了解釋的目的，可以假設在此公開專利中該積體電路晶片103是一中央處理單元(CPU)，而積體電路晶片105是一晶片組。當然，會知道此積體電路晶片103和105可以是根據本發明之教導的其他晶片型式。如圖1中所示，系統101包括一計時驅動器107，其產生一系統時脈109被連接以由系統101的積體電路晶片103和105來接收。在圖1之舉例的實施例中，積體電路晶片103包括一I/O緩衝器電路113，而積體電路晶片105包括一I/O緩衝器電路115。I/O緩衝器電路113和115彼此連接以提供在系統101的積體電路晶片103和105之間的I/O資料傳輸。在此舉例的實施例中，I/O緩衝器電路115相應於I/O時脈149被計時，其由PLL電路147產生。在此舉例的實施例中，積體電路晶片105的I/O時脈149與系統時脈109同相。

在一舉例的實施例中，I/O緩衝器電路113被相應於I/O時脈129計時。在此舉例的實施例中，I/O時脈129被相位調整電路111產生。在一實施例中，I/O時脈129可以被相位調整電路111產生而與系統時脈109不同相相應於相位控制資訊

五、發明說明(6)

117成一可選擇的量。因此，I/O時脈129可以與系統之其他I/O時脈不同相，像根據本發明教導的I/O時脈149。

如圖1中說明的，一相位調整電路111的實施例包括一PLL電路123連接以接收系統時脈109經由延遲電路125在一PLL電路123的參考時脈輸入。PLL電路123產生I/O時脈129，其被連接以經由延遲電路127接收在PLL電路123的反饋時脈輸入。在一實施例中，延遲電路127是一延遲鎖定迴路(DLL)電路124的部分，其也包括一校準電路126。如將要更詳細討論於下的，校準電路126在一實施例中被連接以產生校準偏壓資訊177以根據本發明教導來校準積體電路晶片103的延遲電路。在一實施例中，校準電路126產生校準偏壓資訊177相應於延遲電路127的I/O時脈129和一延遲輸出179。

在一實施例中，延遲電路125和127相應於校準偏壓資訊177被校準且用以控制此I/O時脈129的相位相應於相位控制資訊117。在一實施例中，相位控制資訊117包括一向前延遲控制信號119，其連接以被延遲電路125接收，和一反饋延遲控制信號121，其連接以被延遲電路127接收。

如在描述的實施例中所顯示的，I/O緩衝器電路113包括一輸入資料路徑輸入資料143由此經由鎖定線路131被接收自輸入緩衝器137。在此說明的實施例中，一I/O緩衝器電路113的輸出資料路徑包括一輸出緩衝器135，其被連接以經由鎖定線路133接收輸出資料145。如說明的，鎖定線路131和133相應於I/O時脈129被計時。

在一實施例中，一延遲電路139相應於校準偏壓資訊177

五、發明說明 (7)

被校準且包括在I/O緩衝器電路113的一I/O資料路徑中。例如，在說明於圖1中的實施例中，延遲電路139連接於鎖定線路133和輸出資料路徑的輸出緩衝器135之間。在此說明的實施例中，延遲電路139提供一延遲在此輸出資料路徑中相應於輸出延遲控制信號141。在另一實施例中，(未示出)延遲電路139可以包括在I/O緩衝器電路113的一輸入資料路徑中。

在此說明的實施例中，積體電路晶片105的PLL電路147接收系統時脈109在PLL電路147的一參考時脈輸入處，而I/O時脈149被產生與此系統時脈109同相且被接收在此PLL電路147的一反饋輸入處。積體電路晶片105的I/O緩衝器電路115包括一輸出緩衝器157連接以經由鎖定線路153接收輸出資料161。I/O緩衝器電路115包括一輸入緩衝器155由此輸入資料159經由鎖定線路151被接收。如說明的，鎖定線路151和153相應於I/O時脈149被計時。

已知緩衝器電路135，137，155和157在圖1中被說明為驅動器電路。已知緩衝器電路135，137，155和157可以實行為其他的電路，像例如反相器或根據本發明之教導類似的。

圖2是一方塊圖說明一根據本發明教導之DLL電路224的實施例。在一實施例中，圖2的DLL電路224可以用以代替根據本發明教導之圖1的DLL電路124。參考回圖2，一DLL電路224的實施例包括一校準電路226和一延遲電路227。在一實施例中，圖2的延遲電路227實際上類似於根據本發明教

五、發明說明 (8)

導之圖1的延遲電路125，或延遲電路127或延遲電路139。參考回圖2，一延遲電路227的實施例產生一延遲輸入230相應於輸入信號和延遲控制信號221。延遲輸入230相應於校準偏壓資訊277被校準，其在一實施例中被校準電路226產生相應於輸入信號229和延遲電路227的一延遲輸入279C。

在一實施例中，校準電路226包括一校準控制器273以產生校準偏壓資訊277相應於上/下計數器269。在一實施例中，輸入信號229是一具有T之計時週期的振盪信號，其被連接以被一相位偵測器267的輸入和在延遲電路227中一延遲鏈電路275的輸入所接收。像說明在描述的實施例中，延遲鏈電路275產生若干至少N個輸出，在圖2中顯示為279A，279B和279C。像將被討論的，延遲鏈電路275包括一連串延遲電路。在此鏈中每一延遲電路的輸出相當於這些輸出279A，279B和279C之一。在一實施例中，在延遲鏈電路275中每一延遲電路引入一額外的 Δt 延遲在此延遲鏈電路275之輸入處接收的輸入信號229中。因此，此若干輸出的第一個279A引入一 Δt 延遲，此若干輸出的第二個279引入一 $2\Delta t$ 延遲，...，和若干輸出的第N個279C引入一 $N\Delta t$ 延遲至接收在延遲鏈電路275之輸入處的輸入信號229。

在本發明的一實施例中，一相位偵測器267的第二輸入被連接以接收延遲鏈電路275的第N個輸出279C。在一實施例中，延遲鏈電路275被校準使得此第N個輸出279C是由一計時週期T所延遲的輸入信號229。在另一實施例中，此第N個輸出279C可以是由一半T延遲的輸入信號229，或一半T的整

五、發明說明 (9)

數倍，與設計有關。相位偵測器 267 比較在輸入信號 229 之振盪中的轉換或上升/下降邊緣與延遲鏈電路 275 之第 N 個輸出 279C 中的轉換或上升/下降邊緣。如果輸入信號 229 振盪在一 F 的頻率，則在輸入信號 229 的計時週期等於 $1/F$ 或 T。因此，如果例如此輸入信號具有一頻率 F 等於 200 MHz，則該信號的計時週期 T 等於 $1/200$ MHz 或十億分之五秒。因此，延遲鏈電路 275 之第 N 個輸出 279C 延遲輸入信號 229 的一計時週期 T。

在此說明的實施例中，相位偵測器 267 的一輸出被一上/下計數器 269 接收。在一實施例中，上/下計數器 269 被組成以相應於相位偵測器 267 的一輸出來調整。因此，當此輸入信號 229 與延遲鏈電路 275 之第 N 個輸出 279C 不同相時，其被校準以被一計時週期 T 延遲，然後上/下計數器依此增量或減量。在一實施例中，一校準控制信號 271 被上/下計數器 269 輸出且連接以被校準控制器 273 所接收。在一實施例中，校準控制器 273 產生校準偏壓訊息 277，其像將被討論的包括偏壓信號連接以被延遲鏈電路 275 的延遲電路元件接收。在延遲鏈電路 275 中每一個延遲電路元件的 Δt 延遲相應於校準偏壓訊息 277 被調整。因此，當延遲鏈電路 275 之第 N 個輸出 279C 已經被校準以被輸入信號 229 的一計時週期 T 延遲，上/下計數器 269 將已經穩定。更一般地，在一實施例中其中此第 N 個輸出 279C 是被一半 T 延遲的輸入信號 229，或一半 T 的整數倍，延遲鏈電路 275 之第 N 個輸出 279C 的轉換實際上與輸入信號 229 的轉換排成一線。校準控制信號 271 將控制校準控制器 273 以維持校準偏壓訊息 277 維持此輸

五、發明說明 (10)

出 279C 的一計時週期 T 延遲。會知道由延遲鏈電路 275 提供的校準延遲與流程變化，電壓和溫度無關。

在一實施例中，延遲控制信號 221 被用以控制或選擇產生在延遲輸出 230 中延遲的量。例如，在一實施例中，延遲控制器 281 被連接以接收延遲控制信號 221 和產生適當的選擇信號用以控制一選擇電路 285，其被連接以接收延遲鏈電路 275 之若干至少 N 個輸出 279A，279B 和 279C。在一實施例中，選擇電路 285 是一多工器型態電路用以選擇延遲鏈電路 275 之若干至少 N 個輸出 279A，279B 及 279C 之一以成為延遲輸出 230。

在一實施例中，增加的解析度可以由一內插器 283 的使用被提供給延遲輸出 230，其在一實施例中被連接以自相應於延遲控制器 281 之選擇電路 285 的鄰近輸出對接收。在一實施例中，內插器 283 藉由分割此延遲鏈電路 275 之 Δt 延遲增量成較細的延遲增量來產生延遲輸出 230。在一實施例中，藉由內插器 283 用已知技術提供的內插藉由縮短一帶有接頭驅動器重量和強度的程式化組合之延遲元件的輸入接頭和輸出接頭。此校準的延遲元件和內插器提供能力以根據本發明的教導產生細的延遲調整。

圖 3 是一概要圖說明根據本發明的教導之一延遲鏈電路 375 的實施例。在一實施例中，圖 3 的延遲鏈電路 375 根據本發明的教導可以用以代替圖 2 的延遲鏈電路 275。如在圖 3 中描述之實施例中說明的，延遲鏈電路 375 包括若干至少 N 個延遲電路元件，說明如 389A，389B 和 389C 連續地連接。如說明的，延遲電路元件 389A 接收輸入 387 和產生一延遲輸出

五、發明說明 (11)

379A。延遲輸出379A被連接以被延遲電路元件389B接收，其產生延遲輸出379B，...，等等。此第N個延遲電路元件389C產生延遲輸出379C。會知道在一實施例中，延遲鏈電路375可以包括超過N個延遲電路元件。

如早先提到的，在一實施例中，此第N個延遲電路元件389C的延遲輸出379C是被接收在延遲一計時週期T之輸入387處的信號。在一實施例中，在延遲鏈電路375中的每一個延遲電路元件389A，389B和389C引入一額外的 Δt 延遲。在一實施例中，每一 Δt 延遲等於 T/N ，其中T是一計時週期而N是延遲元件的數目。因此，延遲電路元件389A的輸出379A被延遲 $1T/N$ ，延遲電路元件389B的輸出379B引入一 $2T/N$ 的延遲，...，等等，和延遲電路元件389C的輸出379C被延遲 NT/N 或T。

如圖3中說明的，延遲電路元件389A包括一緩衝器391連接以接收輸入387。會知道在說明於圖3中的實施例中，緩衝器391被說明當作一驅動器電路。然而，緩衝器391可以使用其他型式電路來實現，像例如反相器電路或類似的。如說明在描述的實施例中，緩衝器391的輸出經由開關393A和電容395A連接至電源，及經由開關393B和電容395B連接至地。在一實施例中，開關393A和393B個別地是P通道和N通道電晶體，其個別地提供可變電阻的連接至電容395A和B。在一實施例中，由開關393A和393B提供的可變電阻被控制個別地相應於校準偏壓控制信號VBLASP 377A和VBLASN 377B。

在操作中，增加延遲可以藉由減少電阻被延遲電路元件

五、發明說明 (12)

389A經由開關393A和393B提供給電容395。相反地，減少延遲可以藉由增加電阻被延遲電路元件389A經由開關393A和393B提供給電容395，個別地相應於校準偏壓控制信號VBLASP 377A和VBLASN 377B。如圖3中說明的，對於延遲鏈電路375之其他的電路延遲元件389B和389C的概要圖實際上類似於延遲電路元件389A的概要圖。

圖4是一根據本發明的教導之一延遲電路439的另一實施例的方塊圖。在一實施例中，圖4的延遲電路439可以用作圖1之延遲電路的替換裝置。像將會知道的，一延遲電路439與圖2之延遲電路227的實施例共同若干相似性。參考回圖4，延遲電路439接收一輸入409在延遲鏈電路475的一輸入處。在一實施例中，圖3的延遲鏈電路375可以用來代替圖4的延遲鏈電路475。延遲鏈電路475產生若干至少N個延遲輸出，說明為479A，479B和479C。類似於圖2的延遲鏈電路275或圖3的延遲鏈電路375，延遲鏈電路475的一第N個輸出479C將輸入409延遲一計時週期T。

如在此描述之實施例說明的，一校準控制信號471被校準控制器473接收，其產生偏壓控制信號477A和477B，其連接以被延遲鏈電路475接收。在一實施例中，偏壓控制信號477A和477B用以校準若干至少N個輸出479A，479B和479C使得第N個輸出479C將輸入409延遲一計時週期T。在一實施例中，校準控制信號471是校準控制信號271，其被圖2之校準電路226的上/下計數器269所產生。

參考回圖4，一延遲控制信號441被一延遲控制器481接收，其對於一選擇電路485和一內插器483產生一適當的控

五、發明說明 (13)

制信號。在一實施例中，選擇電路485被連接以接收此延遲鏈電路475之若干至少N個輸出479A，479B和479C。在一實施例中，不包括內插器483，而選擇電路485用來選擇此若干至少N個輸出479A，479B和479C之一當作延遲輸出429。在另一實施例中，內插器483被連接以自選擇電路485接收一鄰近的輸出對。在此實施例中，內插器483藉由分割此延遲鏈電路475的輸出之間的 Δt 延遲成為較細的增量來加入額外的解析度。

此根據本發明的教導用於I/O緩衝器電路113之相位調整電路111的實施例可以被用於各種各樣的應用包括，例如，積體電路晶片的I/O時脈測試。在另一例子中，此積體電路晶片的I/O時脈的操作可以被調整或微調使得此晶片運作在規格要求內。說明，例如假設圖1的積體電路晶片103是一CPU，積體電路晶片105是一晶片組，而系統101是一主機板，積體電路晶片103和積體電路晶片105及計時驅動器107包括於其上。如將被顯示的，本發明的實施例可以被用以測試I/O時脈參數，像最小和最大計時至輸出次數，維持次數，建立次數，等等。

簡單地參考回圖1，計時至輸出次數參考用於輸出資料之時間的量以顯示在驅動器135之輸出相應於積體電路晶片103之I/O時脈129的上升時脈邊緣。已知系統時脈109經常用於此量測當系統時脈109和I/O時脈129是同相時。說明，假設積體電路晶片103是一CPU而積體電路晶片105是一晶片組。圖5是本發明之一實施例的時脈圖說明，其中，最小時脈至輸出次數(TCO-MIN)可以根據本發明的教導來測試。

五、發明說明 (14)

如顯示的，一CPU時脈529A的上升時脈邊緣597A造成CPU輸出資料535A之週期N-1至週期N的轉換。一晶片組時脈549的上升時脈邊緣599發生在此CPU輸出資料535A之週期N的期間。此最小時脈至輸出參數TCO-MIN 502A說明於圖5中，其為晶片組時脈549的上升時脈邊緣599和在CPU輸出資料535A之週期N轉換至週期N+1中的次數之間的最小次數量。

此最小時脈至輸出時脈參數藉由根據本發明之教導的CPU時脈529A之相位的移位來測試。在此說明的例子中，CPU時脈529B顯示被與晶片組時脈549不同相移位 Δt 。在一實施例中，CPU時脈529B相對於晶片組時脈549被不同相移位或拉回藉由調整反饋延遲控制信號121以相對於向前延遲控制信號119加上 Δt 更多的延遲。在一實施例中，向前延遲控制信號119被組成以加上無延遲在此情況中。參考回圖5，CPU時脈529B的上升時脈邊緣597B造成此CPU輸出資料535B的CYCLE N-1和CYCLE N之間相關的轉換。如說明的，晶片組時脈549的上升時脈邊緣599仍然發生在CPU輸出資料535B的CYCLE N。然而，此最小時脈至輸出參數TCO-MIN 502B現在小於TCO-MIN 502A。在一實施例中，此最小時脈至輸出參數根據本發明的教導可能被壓迫而造成系統故障為了測試此CPU I/O時脈路徑。在一實施例中，此系統會失敗當晶片組時脈549的上升時脈邊緣599不會發生在CPU輸出資料535B的CYCLE N內時。

圖6說明顯示根據本發明之教導被測試的最大時脈至輸出時脈參數的時脈圖。特別是，CPU時脈629A被說明具有一

五、發明說明 (15)

上升時脈邊緣 697A，其造成一從 CPU 輸出資料 635A 之 CYCLE N-1 至 CYCLE N 的轉換。如所示，晶片組時脈 649 的上升時脈邊緣 699 發生在 CPU 輸出資料 635A 之 CYCLE N 期間，且因此輸出資料可以被此晶片組適當地鎖定。此最大時脈至輸出時脈參數被說明為圖 6 中的 TCO-MAX 602A，其為晶片組時脈 649 的一上升時脈邊緣和一在 CPU 輸出資料 635A 和 635B 上之週期之間的相關轉換之間的時間量。

在此說明的實施例中，此最大時脈至輸出時脈參數藉由移位 CPU 時脈 629B 成為與晶片組時脈 649 不同相來測試。例如，CPU 時脈 629B 藉由調整向前延遲控制信號 119 相對於晶片組時脈 649 被推出以相對於反饋延遲控制信號 121 加入一額外的 Δt 延遲。在一實施例中，反饋延遲控制信號 121 未設定以增加延遲在此情況中。因此，CPU 時脈 629B 的上升時脈邊緣 697B 造成自 CPU 輸出資料 635B 之 CYCLE N-1 至 CYCLE N 的轉換。因此，此更新的最大時脈至輸出時脈參數，TCO-MAX 602B 被說明於圖 6 中如所示。在一實施例中，根據本發明之教導 TCO-MAX 602B 被壓迫而造成系統故障為了測試此 CPU I/O 時脈路徑。在一實施例中，此系統會失敗當晶片組時脈 649 的上升時脈邊緣 699 不會發生在 CPU 輸出資料 635B 的 CYCLE N 內時。注意，一系統的失敗可能僅藉由調整輸出延遲控制信號 141 來完成。

圖 7 是一時脈圖說明一被送自一晶片組至根據本發明之教導的 CPU 的資料之維持時間時脈參數的實施例。特別是，圖 7 顯示晶片組時脈 749 的上升時脈邊緣 797 造成自晶片組輸出資料 757 之 CYCLE N-1 至 CYCLE N 的一相關的轉換。如所

五、發明說明 (16)

示，CPU時脈729A的上升時脈邊緣799A發生在晶片組輸出資料757的CYCLE N期間。因此，資料可以被CPU適當的鎖定。此維持時間時脈參數說明於圖7中為T-HOLD 702A，其為CPU時脈729A的上升時脈邊緣799A和晶片組輸出資料757轉換自CYCLE N至CYCLE N+1處時間之間的時間。

為了測試此維持時間時脈參數，此，CPU時脈729B相對於晶片組時脈749被推出藉由相對於反饋延遲控制信號121增加向前延遲控制信號119 Δt 。在一實施例中，反饋延遲控制信號121未設定以增加延遲在此情況中。因此，CPU時脈729B顯示此CPU時脈729B的上升時脈邊緣相對於晶片組時脈749被推出一額外的 Δt 。CPU時脈729B的上升時脈邊緣799B被顯示以發生在輸出資料757的CYCLE N期間，且因此資料可以被來自晶片組之CPU適當的鎖定。此新的維持時間時脈參數顯示於圖7中為T-HOLD 702B，其為CPU時脈729B的上升時脈邊緣799B和晶片組輸出資料757自CYCLE N至CYCLE N+1的轉換之間的時間量。在一實施例中，T-HOLD 702B時脈參數可以被壓迫而造成系統故障以測試此CPU I/O時脈路徑。在一實施例中，一系統的失敗會發生如果CPU時脈729B的上升時脈邊緣799B不發生在晶片組輸出資料757的CYCLE N內。

圖8為一時脈圖的說明，顯示資料的設定時間時脈參數被傳輸自一晶片組至一被根據本發明之教導所測試的CPU。如所示，晶片組時脈849的上升時脈邊緣897造成自晶片組輸出資料857自CYCLE N-1至CYCLE N的轉換。在此例子中，向前延遲控制信號119和反饋延遲控制信號121二者在

五、發明說明 (17)

此時皆設為零。如說明於圖8中的，CPU時脈829A的上升時脈邊緣899A發生在晶片組輸出資料857的CYCLE N期間。因此，在此時無系統的故障。此原始的設定時脈參數顯示於圖8中的為T-SETUP 802A，其為自晶片組輸出資料857的週期和一其後相關之CPU時脈829A或829B的上升時脈邊緣之間轉換的時間量。

在一實施例中，此設定時脈參數可以根據本發明的教導藉由移位此CPU時脈與晶片組時脈849不同相來測試。在圖8中，藉由相對於向前延遲控制信號119增加反饋延遲控制信號121使CPU時脈829B相對於晶片組時脈849被拉近 Δt 。在一實施例中，向前延遲控制信號119在此情況中未設定以增加延遲。此新的設定時脈參數說明於圖8中的為T-SETUP 802B，其為自晶片組輸出資料857的週期和一其後相關之CPU時脈829B的上升時脈邊緣899B之間轉換的時間量。在一實施例中，此T-SETUP參數802B可以被壓迫以造成系統故障來根據本發明的教導測試此CPU I/O時脈路徑。在一實施例中，一系統故障可以由一上升時脈邊緣899B來觸發而未發生在晶片組輸出資料857的CYCLE N期間。

圖9為一時脈圖說明一積體電路晶片包括相位調整電路與被調整或微調的I/O緩衝器電路有聯繫以允許此積體電路晶片適當地工作在帶有I/O時脈路徑瑕疵的系統中。例如，假設此積體電路晶片是一CPU且資料被傳輸在一根據本發明的教導之主機板上的CPU和晶片組之間。例如，圖9顯示一CPU時脈929A的上升時脈邊緣997A造成一從CYCLE N-1到CYCLE N之CPU輸出資料935A的相關轉換。在此例子中，

五、發明說明 (18)

向前延遲控制信號119和反饋延遲控制信號121在此時設定不會增加延遲。

在此例子中，其也假設有一I/O時脈或設計瑕疵在此包括CPU和晶片組的系統中。因此，晶片組時脈949與CPU時脈929A不同相，且因此，晶片組時脈949的上升時脈邊緣999不會發生在CPU輸出資料935A的CYCLE N內。在一實施例中，未發生在CPU輸出資料935A的CYCLE N期間之上升時脈邊緣999會造成一系統故障。在本發明之前，呈現此一I/O瑕疵的系統會由於此一系統故障而被丟棄。

為了改善此情況，此CPU時脈929B的相位根據本發明的教導被調整使得此系統不再故障。特別是，圖9顯示CPU時脈929B具有一時脈邊緣997B其藉由加入 Δt 於向前延遲控制信號119相關於晶片組時脈949被推出。在一實施例中，反饋延遲控制信號121未設定以增加延遲在此情況中。結果，上升時脈邊緣997B，其造成從CYCLE N-1到CYCLE N之CPU輸出資料935A的相關轉換，被相當地推出。因此，晶片組時脈949之上升時脈邊緣999現在發生在CPU輸出資料935B的CYCLE N內，由此造成此系統在I/O傳輸期間不再故障。在一實施例中，此CPU時脈的相位被調整一夠小的量使得在相反方向中的資料傳輸仍然在I/O時脈容許度內。因此，一系統包括一具有相位調整電路與根據本發明之教導之I/O緩衝器電路相關聯的積體電路晶片不需要被丟棄。

在另一例子中，圖10說明一CPU時脈1029A的上升時脈邊緣1097A造成一從CYCLE N-1到CYCLE N之CPU輸出資料1035A的相關轉換。在此說明於圖10的例子中，晶片組時脈

五、發明說明 (19)

1049與CPU時脈1029A同相，但晶片組時脈1049的上升時脈邊緣1099不會發生在CPU輸出資料1035A的CYCLE N內。

在此說明的實施例中，CPU時脈1029B的相位被調整使得 Δt 延遲被反饋延遲控制信號121加入以相關於晶片組時脈1049拉近此CPU時脈1029B Δt 。在一實施例中，向前延遲控制信號119在此時未設定以增加延遲。藉由如說明的拉近CPU時脈1029B Δt ，CPU輸出資料1035B被相當地拉近。結果，上升時脈邊緣1099現在發生在CPU輸出資料1035B的CYCLE N內，由此修正此早先描述的系統故障。在一實施例中，CPU時脈1029B被移位一夠小的量 Δt 使得由此系統中其他晶片至CPU的資料傳輸仍然在時脈容許度之內，且由此不會造成系統故障。

在另一例子中，圖11是一時脈圖說明一晶片組時脈1149的上升時脈邊緣1197造成一從CYCLE N-1到CYCLE N之晶片組輸出資料1157的轉換。在說明於圖11的實施例中，CPU時脈1129A與晶片組時脈1149同相，但因為CPU時脈1129A的上升時脈邊緣1199A未發生在晶片組輸出資料1157的CYCLE N內，有一系統的故障。為了改善此系統故障，CPU時脈1129B被移位而與晶片組時脈1149不同相 Δt 。在一實施例中，CPU時脈1129B被移位藉由加入一 Δt 延遲於向前延遲控制信號119。在一實施例中，反饋延遲控制信號121在此時未設定以增加延遲。結果，CPU時脈1129B相關於晶片組時脈1149被推出 Δt ，造成CPU時脈1129B的上升時脈邊緣1199A發生在晶片組輸出資料1157的CYCLE N內。結果，早先描述的系統故障已經根據本發明的教導而改善。在一

五、發明說明 (20)

實施例中，CPU時脈1129B被移位一夠小的量 Δt 使得由CPU至此晶片組的資料傳輸維持在時脈容許度之內使得不會發生系統故障。

在另一例子中，圖12是一時脈圖說明另一情況，其中一晶片組時脈1249與CPU時脈1229A不同相。在一實施例中，此晶片組時脈1249和CPU時脈1229A之間的相位差可能發生一瑕疵的結果在此系統的I/O時脈路徑。如所示，晶片組時脈1249的上升時脈邊緣1297造成一從CYCLE N-1到CYCLE N之晶片組輸出資料1257的轉換。在此說明的例子中，CPU時脈1229A的上升時脈邊緣1299A不會發生在晶片組輸出資料1257的CYCLE N內，所以造成一系統故障在自晶片組至CPU的輸入資料傳輸。

為了改善對於自晶片組之CPU的輸入，此用於輸入之CPU時脈1229B的相位根據本發明的教導被調整 Δt 1202A。在一實施例中，用於輸入之CPU時脈1229B相對於晶片組時脈1249藉由加入 Δt 至反饋延遲控制信號121來拉近。在一實施例中，向前延遲控制信號119在此時未設定以增加延遲。由於CPU時脈1229B的相位被相移 Δt 1202A，CPU時脈1229B的上升時脈邊緣1299B現在發生在晶片組輸出資料1257的CYCLE N內。因此，輸入至CPU至晶片組現在是可能的且不會造成如前述的系統故障。

在一實施例中，此來自CPU之資料輸出的相位也被 Δt 1202C調整使得沒有系統故障當傳遞資料自CPU至此系統中的其他晶片時。例如，可能有一情況，其中對於CPU輸入拉近CPU時脈1229B Δt 1202A會具有對於CPU輸出造成系統

五、發明說明 (21)

故障的後遺症，假設CPU時脈1229B被用於時脈輸出。因此，有效的CPU時脈用於自CPU的資料輸出已知如有效的CPU時脈1229C。在一實施例中，此有效CPU時脈1229C的相位藉由加入 Δt 1202C延遲於此I/O緩衝器電路113中輸出延遲控制信號141被調整 Δt 1202C，如說明於圖1的。在此說明的實施例中，延遲電路139藉由輸出緩衝器135延遲資料輸出 Δt 1202C，如由輸出延遲控制信號141控制的。在圖12說明的實施例中，此用於CPU輸出之有效CPU時脈1229C已經被調整與CPU時脈1229A同相。因此，CPU輸出的相位有效地未改變，即使用於CPU輸入之CPU時脈1229B已經根據本發明之教導拉回 Δt 1202A。

在前面詳細的敘述中，本發明的方法和裝置已經參考範例的實施例描述。然而，其為明顯的在不偏離本發明的廣大精神和範疇下修正和改變。本規格因此看作說明而不是限制。

四、中文發明摘要（發明之名稱：使用具輸入/輸出電路之校準延遲元件之方法及裝置）

輸入/輸出(I/O)時脈相位校準電路用於具有積體電路晶片的I/O緩衝器電路。在一實施例中，一積體電路晶片包括一相位校準電路連接以接收一系統時脈。此相位校準電路產生一I/O時脈連接以被一用於一系統中之I/O資料傳輸之積體電路晶片的I/O緩衝器電路接收。此相位校準電路包括一相位鎖定迴路(PLL)電路連接以經由一第一延遲電路接收一系統時脈。此由PLL電路產生的I/O時脈經由在此PLL電路之反饋時脈輸入處的第二延遲電路被接收。此第一和第二延遲電路被用以控制此產生自相對於此系統時脈之PLL電路的I/O時脈之相位。在一實施例中，一第三延遲電路被包括在此積體電路之I/O緩衝器電路的I/O資料路徑中。此第三延遲電路使

英文發明摘要（發明之名稱：METHOD AND APPARATUS FOR USING CALIBRATED DELAY ELEMENTS WITH INPUT/OUTPUT CIRCUITRY）

Input/output (I/O) clock phase adjustment circuitry for use with I/O buffer circuitry of an integrated circuit chip. In one embodiment, an integrated circuit chip includes a phase adjustment circuit coupled to receive a system clock. The phase adjustment circuit generates an I/O clock coupled to be received by an I/O buffer circuit of an integrated circuit chip for I/O data transfers in a system. The phase adjustment circuit includes a phase locked loop (PLL) circuit coupled to receive the system clock through a first delay circuit. The I/O clock generated by the PLL circuit is received through a second delay circuit at a feedback clock input of the PLL circuit. The first and second delay circuits are used to control the phase of the I/O clock generated by the PLL

四、中文發明摘要（發明之名稱：

)

自此積體電路的輸入和輸出資料傳輸可以被記錄時間，實際上，與產生自相位校準電路的 I/O 時脈不同相位。

英文發明摘要（發明之名稱：

)

circuit relative to the system clock. In one embodiment, a third delay circuit is included in an I/O data path of the I/O buffer circuit of the integrated circuit. The third delay circuit enables input and output data transmissions from the integrated circuit to be clocked, in effect, out of phase with the I/O clock generated by phase adjustment circuit.

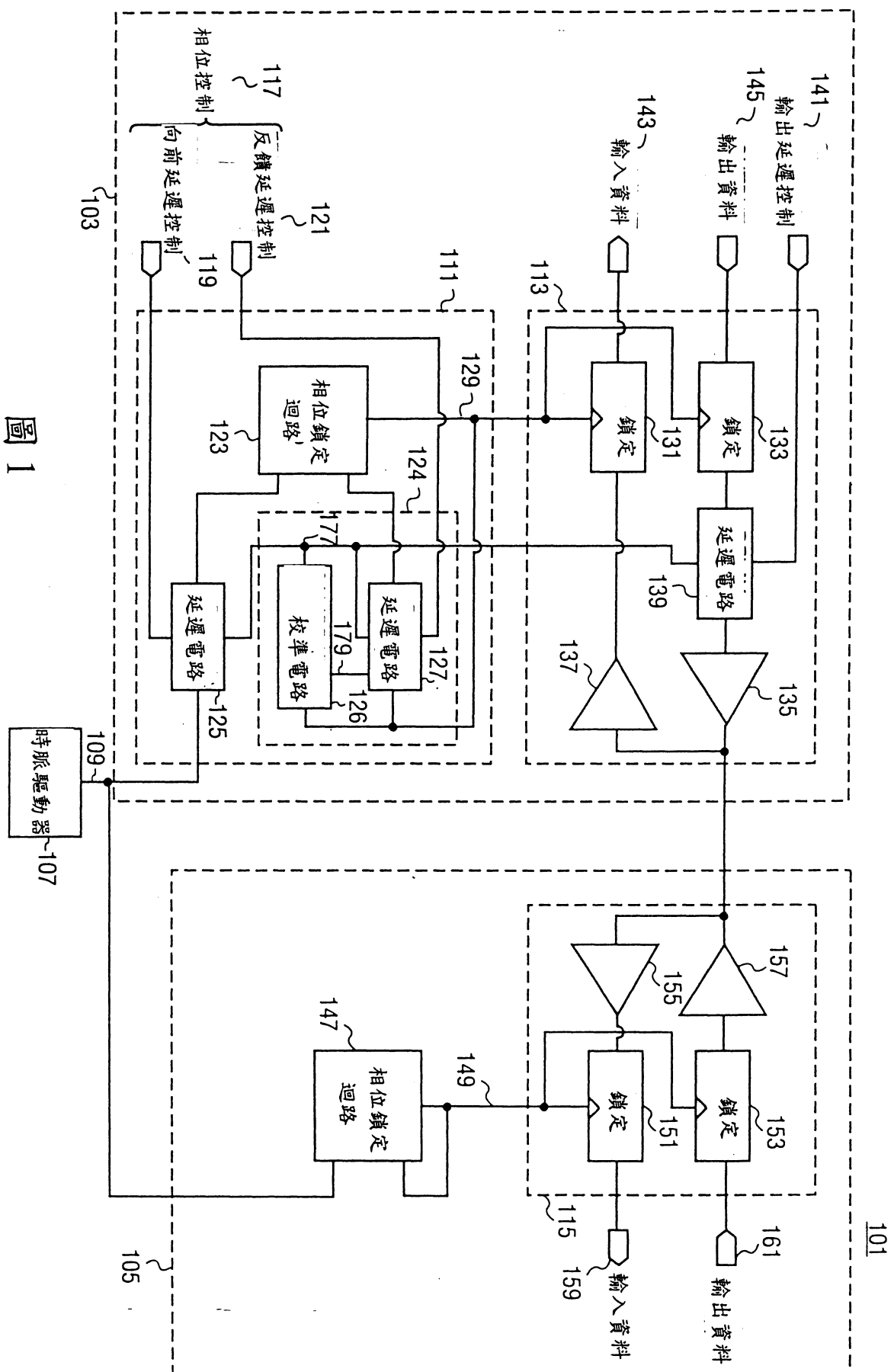
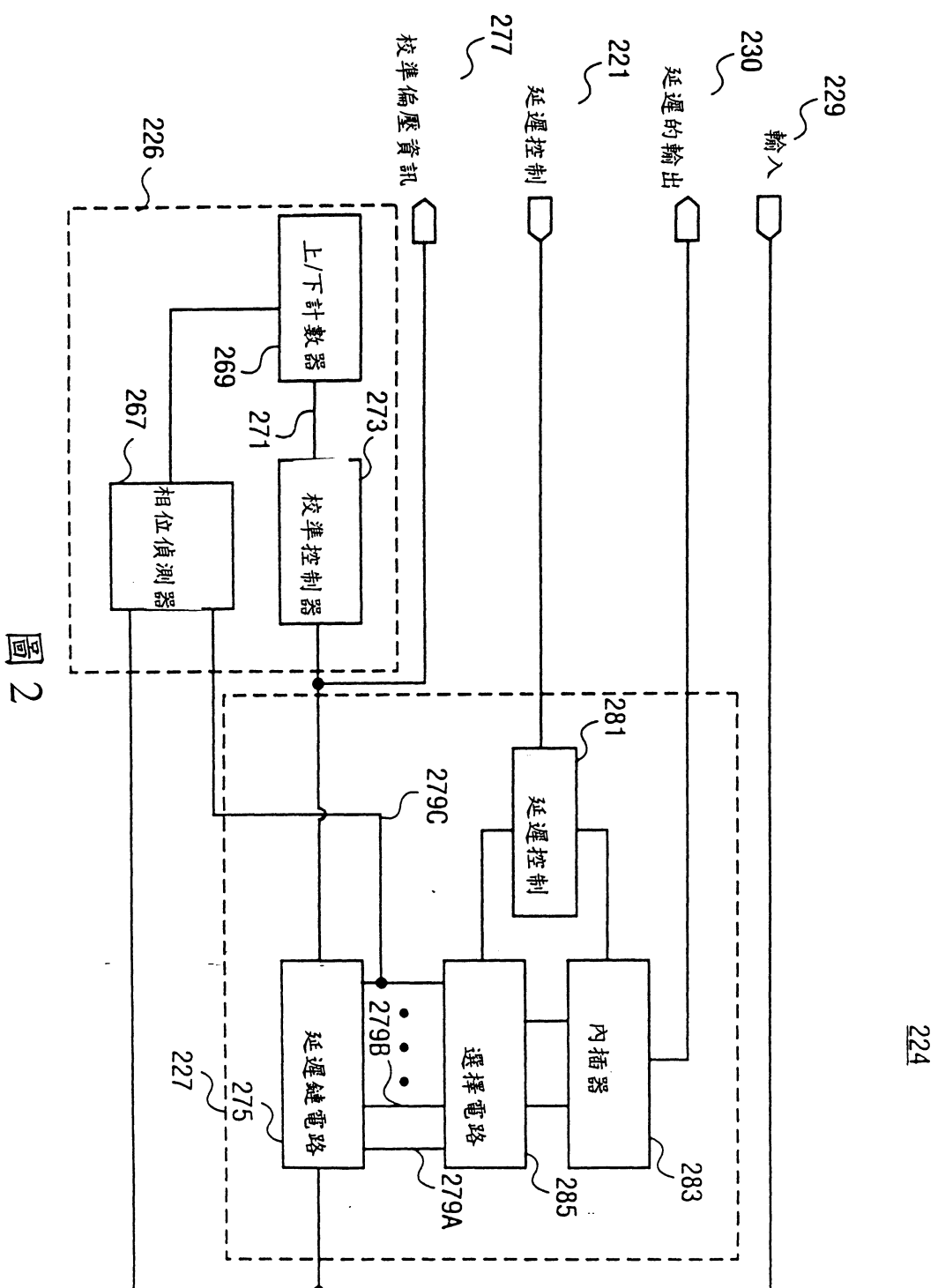
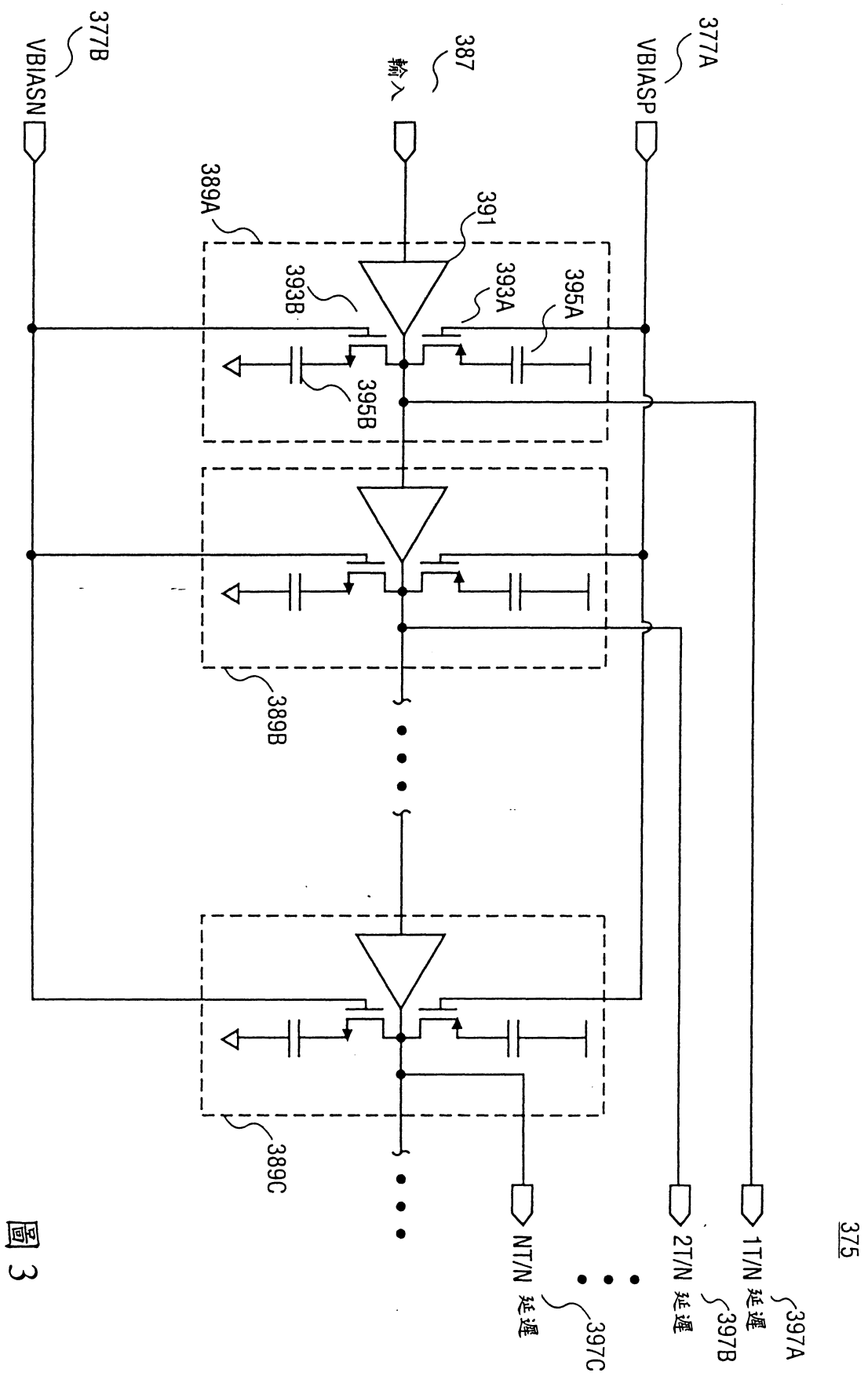


圖 1





回
3

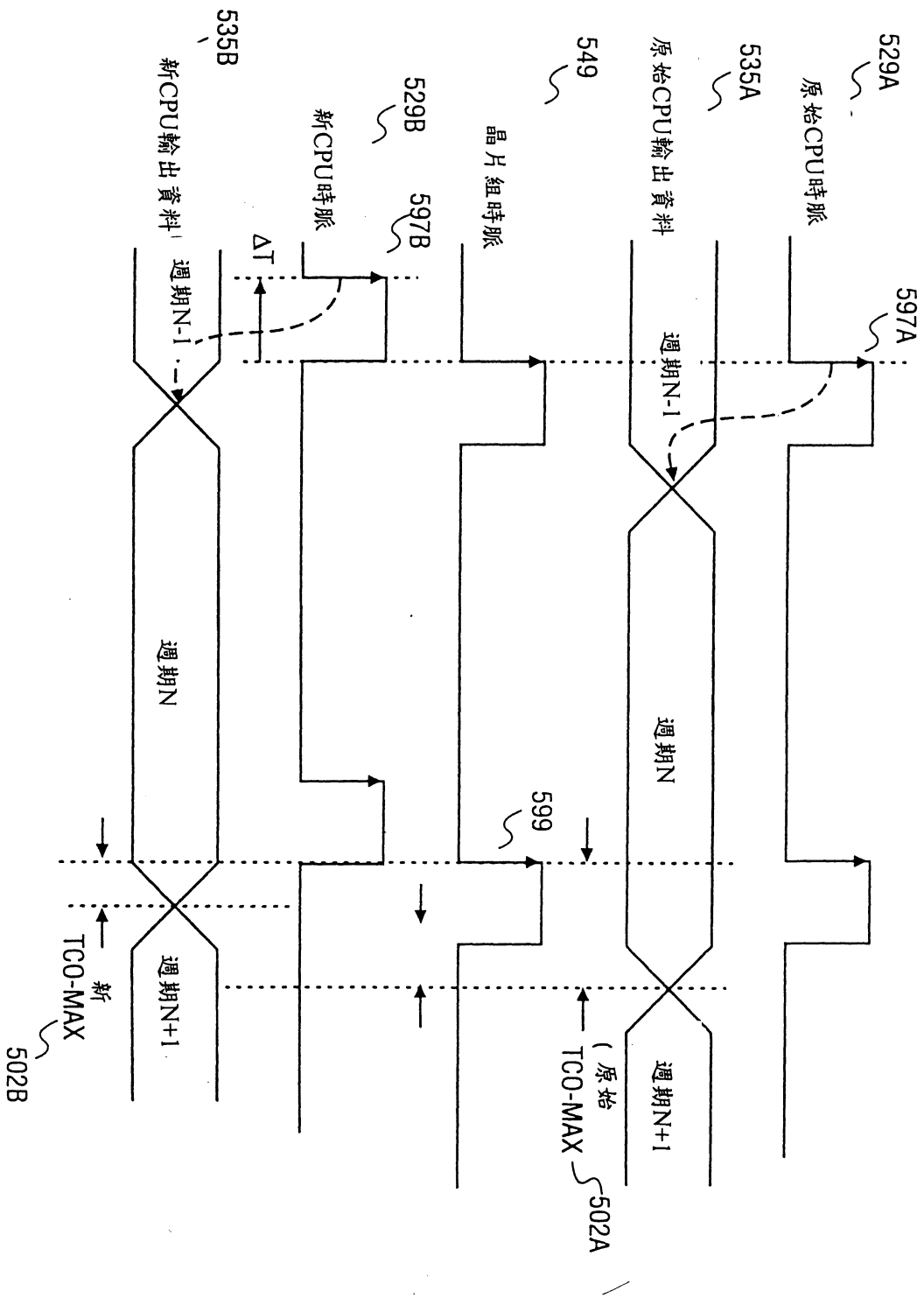


圖 5

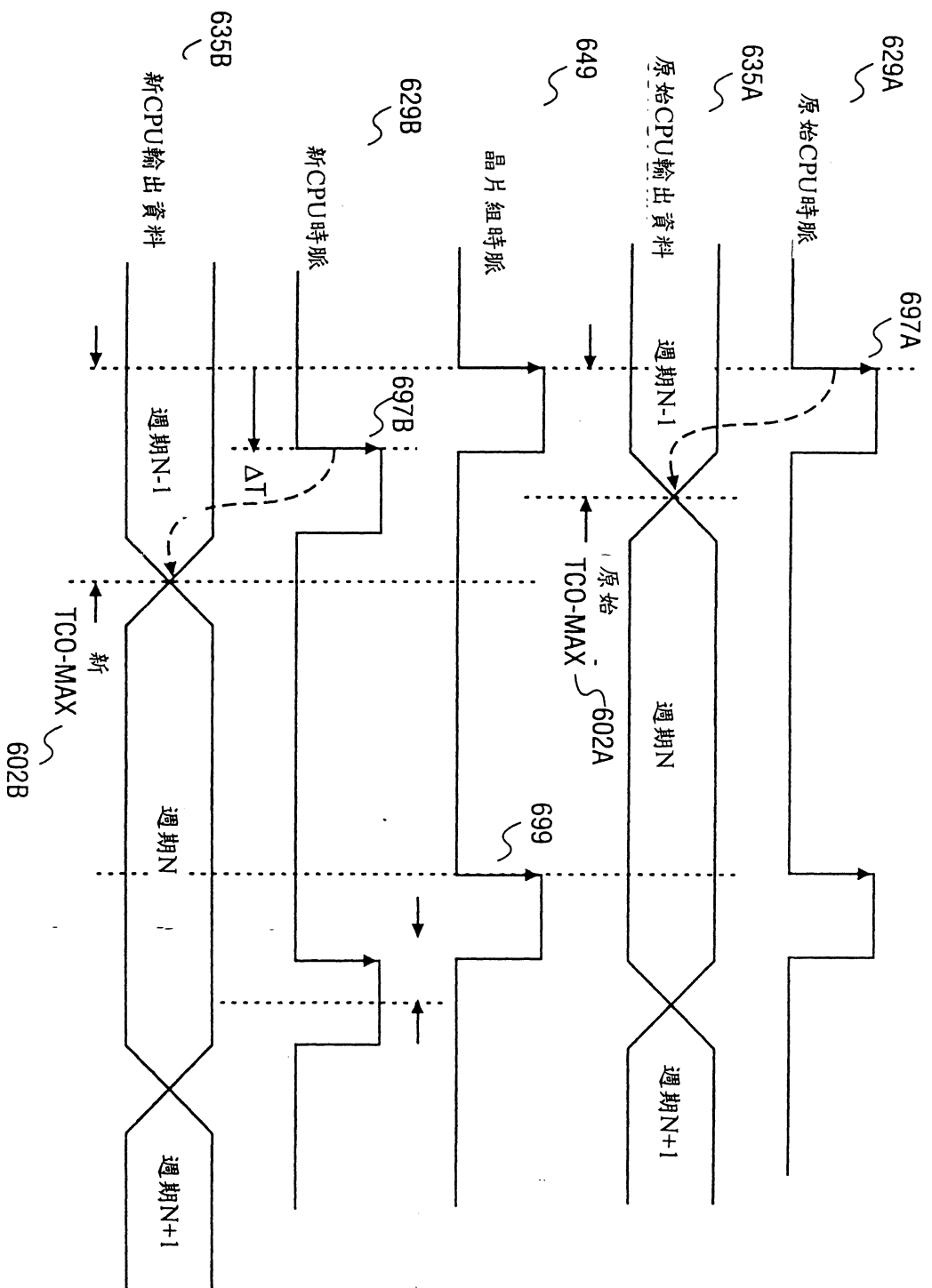


圖 6

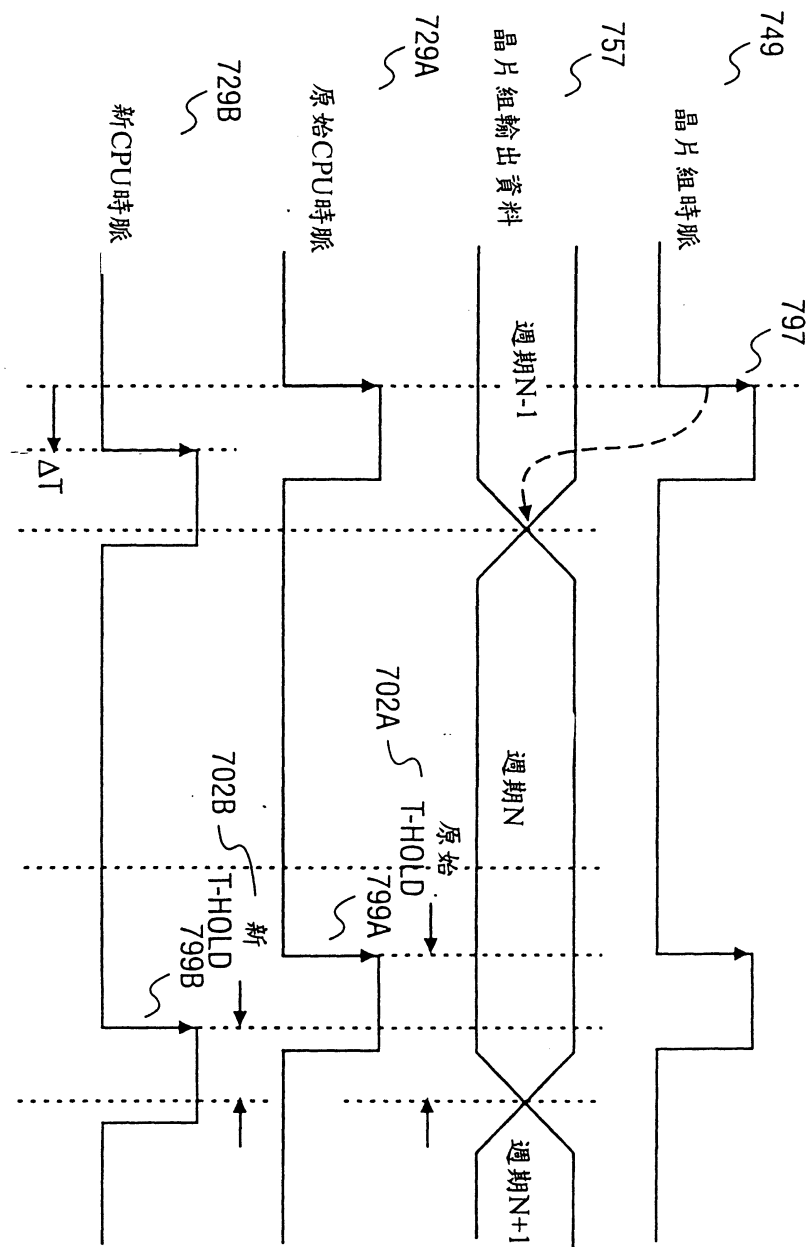


圖 7

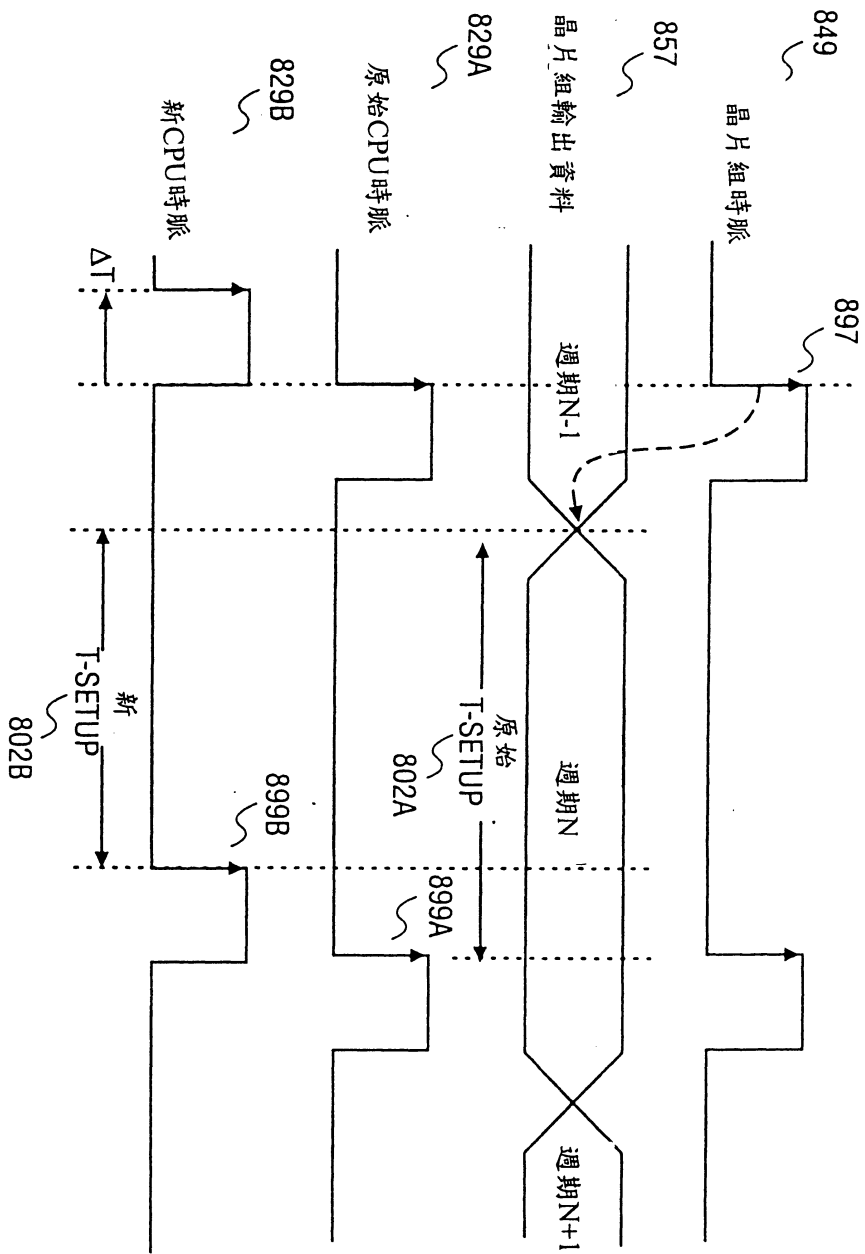


圖 8

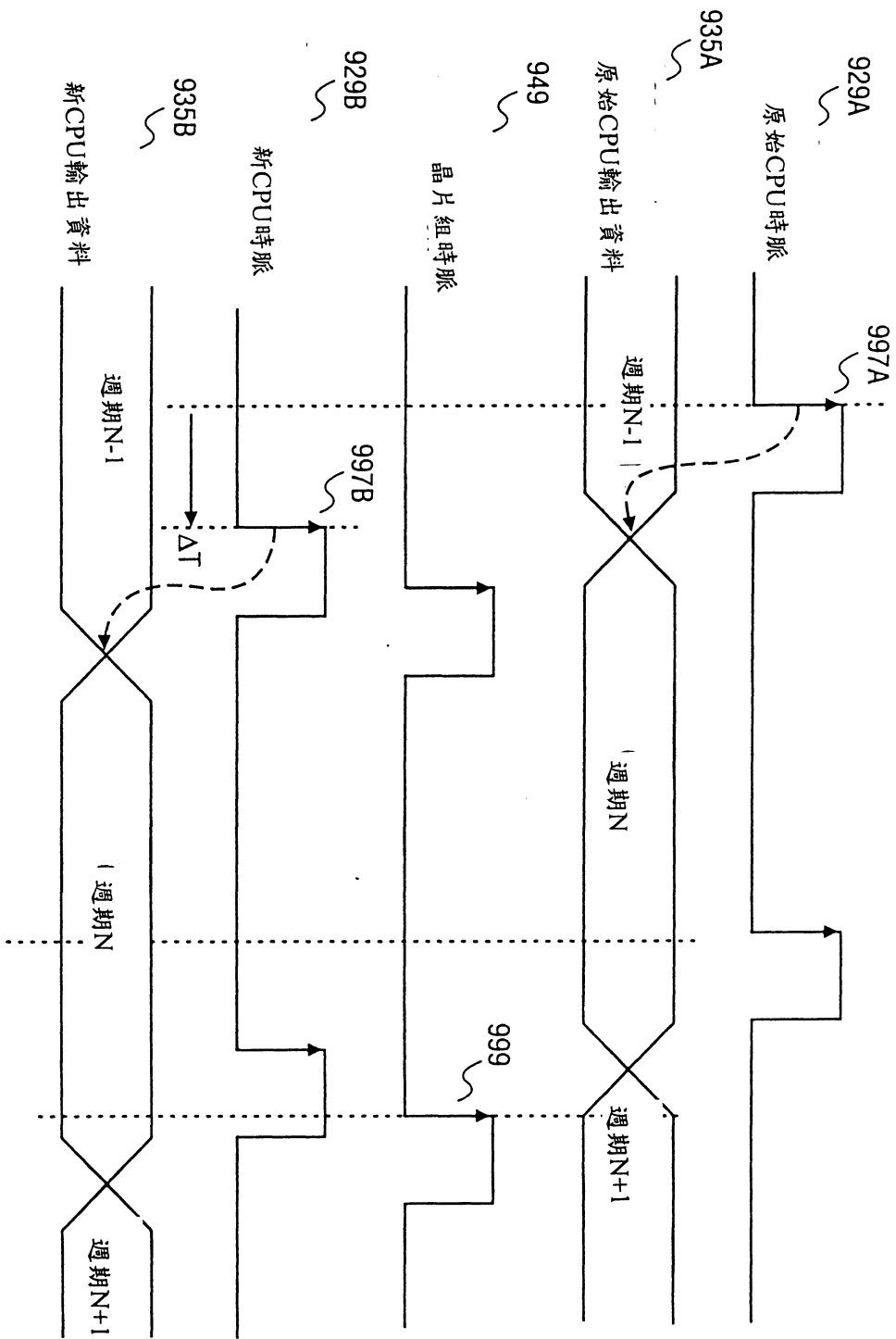


圖 9

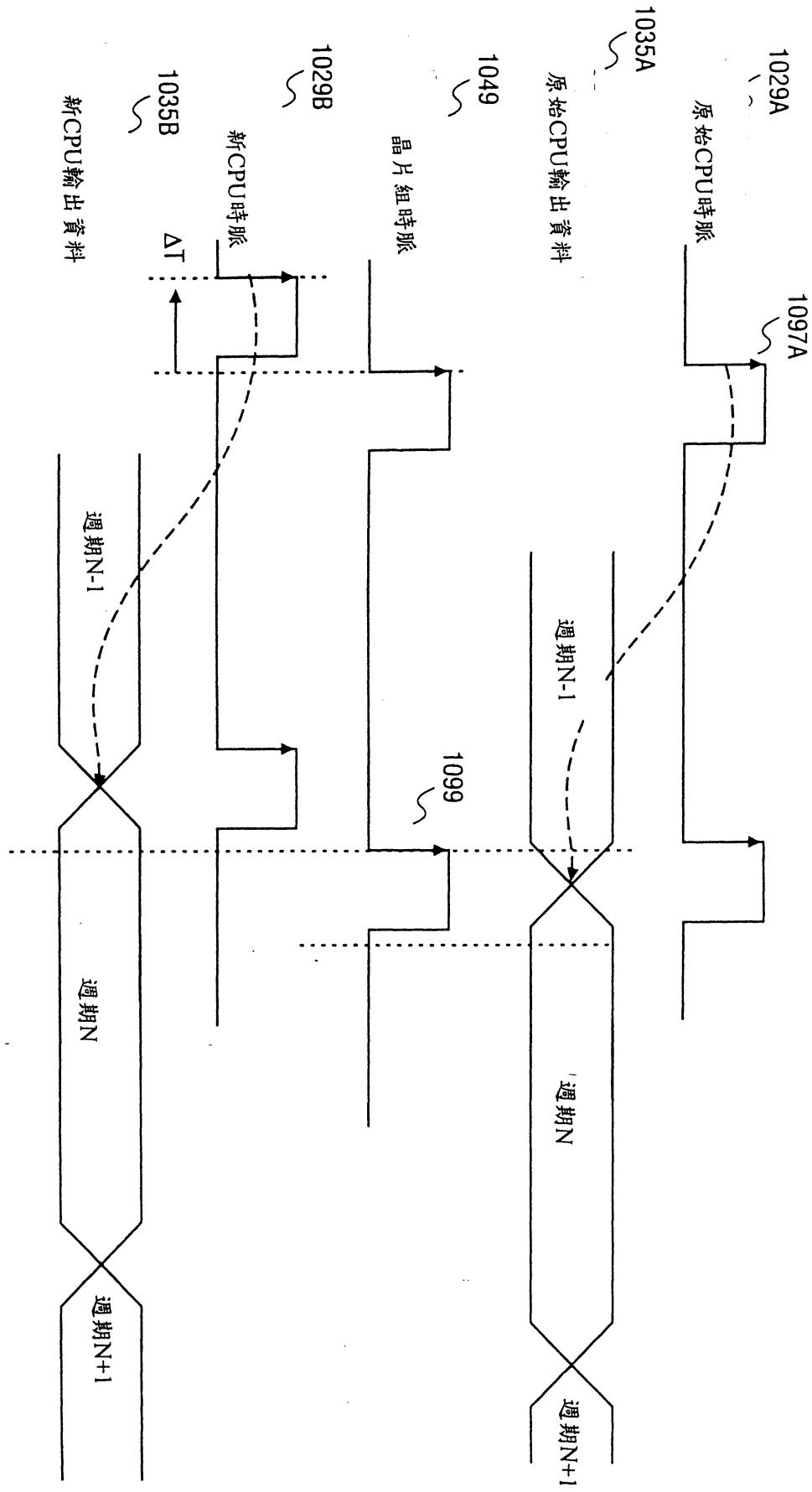


圖 10

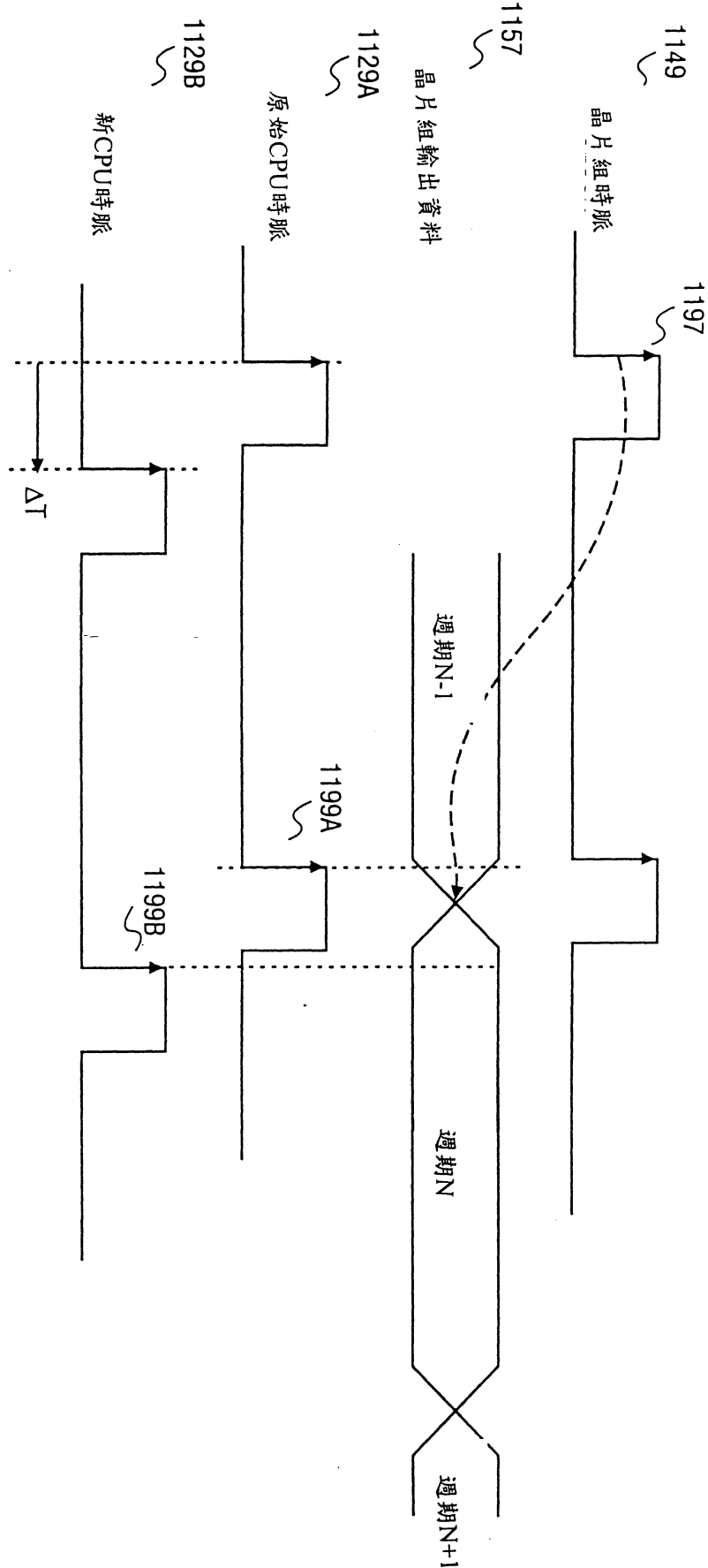


圖 11

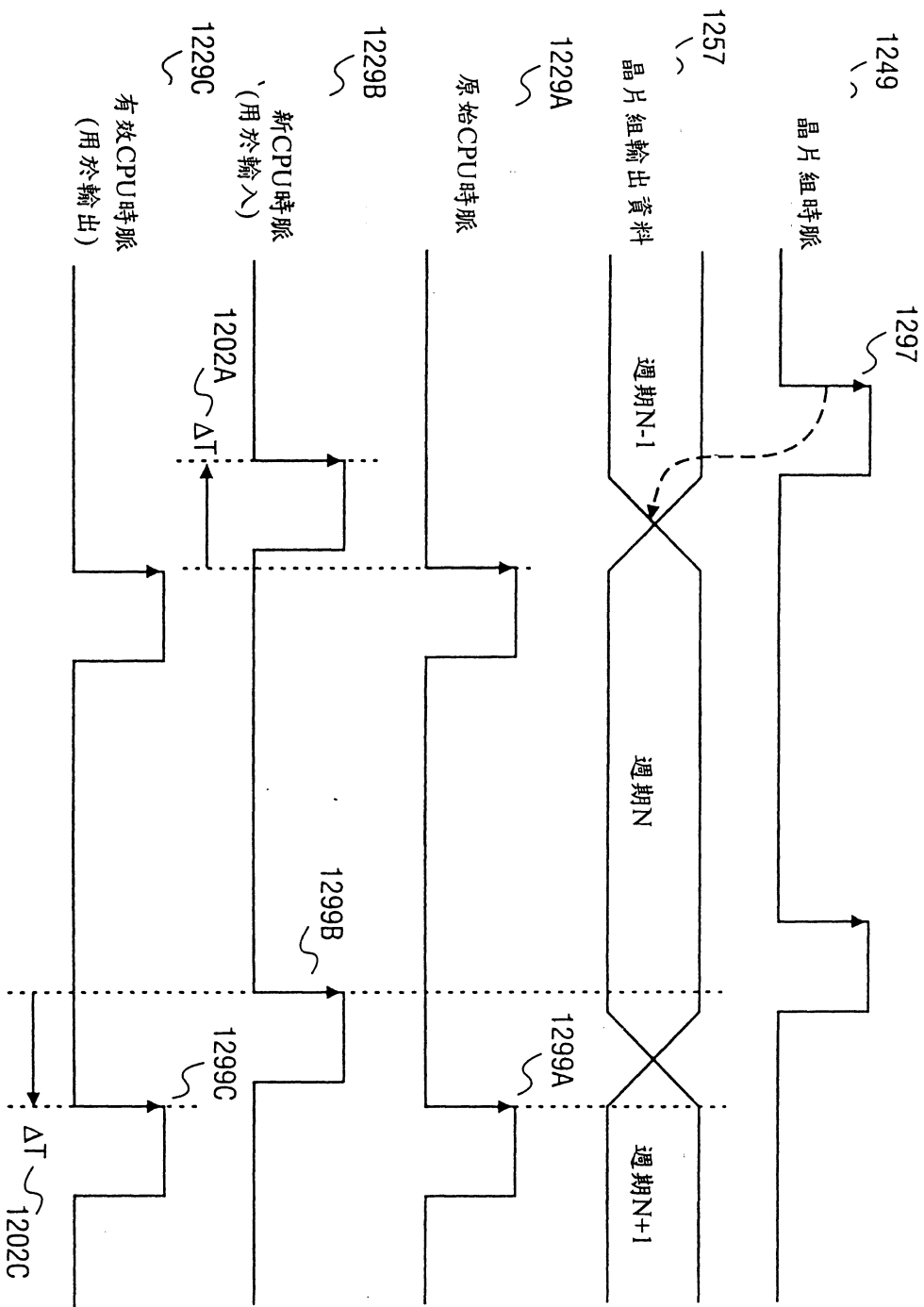
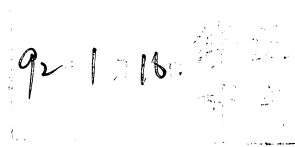


圖 12



六、申請專利範圍

1. 一種使用具輸入/輸出緩衝器電路之相位調整電路的裝置，包含：

一相位調整電路連接以接收一系統時脈和相位控制資訊，此相位調整電路產生一具有與系統時脈可選擇相位差的第二輸入/輸出(I/O)時脈；

一I/O緩衝器電路相應於此第一I/O時脈計時以鎖定此裝置的I/O資料，此I/O緩衝器電路連接以鎖定此I/O資料至及自一遠端裝置的遠端I/O緩衝器電路，此遠端I/O緩衝器電路相應於一遠端I/O時脈計時，實際上與系統時脈同相。

2. 根據申請專利範圍第1項的裝置，其中此相位調整電路包含：

一第一相位鎖定迴路電路以產生第一I/O時脈；

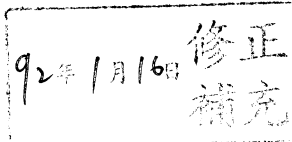
一第一延遲電路連接至該第一相位鎖定迴路電路的參考時脈輸入，此第一延遲電路連接以接收系統時脈和連接以相應於相位控制資訊延遲此系統時脈；以及

一第二延遲電路連接至該第一相位鎖定迴路電路的一反饋時脈輸入，此第二延遲電路連接以接收第一I/O時脈和連接以相應於相位控制資訊延遲此第一I/O時脈。

3. 根據申請專利範圍第2項的裝置，其中此相位控制資訊包含：

一第一延遲控制信號連接以被此第一延遲電路接收；及

一第二延遲控制信號連接以被此第二延遲電路接收。



六、申請專利範圍

4. 根據申請專利範圍第1項的裝置，其中此I/O緩衝器電路包括一第三延遲電路連接在此I/O緩衝器電路的I/O資料路徑中，此第三延遲電路連接以接收一第三延遲控制信號，此第三延遲電路連接以相應於第三延遲控制信號延遲此I/O緩衝器電路的I/O資料。
5. 根據申請專利範圍第4項的裝置，其中此I/O資料路徑包含此I/O緩衝器電路的輸出資料路徑，包括一輸出緩衝器和一輸出資料鎖定位相於此第一I/O時脈計時。
6. 根據申請專利範圍第4項的裝置，其中此I/O資料路徑包含此I/O緩衝器電路的輸入資料路徑，包括一輸入緩衝器和一輸入資料鎖定位相於此第一I/O時脈計時。
7. 根據申請專利範圍第2項的裝置，其中至少此第一I/O時脈具有一T的時脈週期，其中至少此第一和第二延遲電路之一被包括在一延遲鎖定位相迴路(DLL)電路，其中至少此第一和第二延遲電路之一包含：
 - 一第一延遲鏈電路連接以接收一第一信號，此第一延遲鏈電路包括一串至少N個輸出，此鏈N個輸出的每一連續的一個連接以輸出第一信號帶有一額外的 $(1/N) \times T$ 延遲相關於此N個輸出鏈之相鄰的上游輸出；
 - 一第一選擇電路連接以接收此第一延遲鏈電路之至少N個輸出的鏈，此第一選擇電路連接以選擇此至少N個輸出之鏈的至少一個相應於一延遲控制信號產生該第一和第二延遲電路之一的一輸出。
8. 根據申請專利範圍第7項的裝置，其中該第一和第二延

六、申請專利範圍

遲電路之一更包含一內插器電路連接以自第一選擇電路接收此第一延遲鏈電路之至少N個輸出中的一對，此內插器電路連接以產生該第一和第二延遲電路之一的該輸出相應於此延遲控制信號。

9. 根據申請專利範圍第7項的裝置，其中此DLL更包含校準電路連接一接收此第一信號和連接至此第一延遲鏈電路及連接以校準此第一延遲鏈電路。

10. 根據申請專利範圍第9項的裝置，其中此校準電路包含：

一相位偵測器連接以接收此第一信號和連接以接收一延遲的第一信號自此第一延遲鏈電路之至少N個輸出之鏈的第N個；

一上/下計數器連接至此相位偵測器的一輸出；及

一校準控制器連接以接收一校準的控制信號自此上/下計數器和連接以產生一校準偏壓資訊連接以被此第一延遲鏈電路接收。

11. 根據申請專利範圍第7項的裝置，其中此第一延遲鏈電路包含一串至少N個可變電阻-電容(RC)電路連續地連接以輸出此第一延遲鏈電路之至少N個輸出的鏈。

12. 根據申請專利範圍第4項的裝置，其中此第三延遲電路包含：

一第二延遲鏈電路連接以接收一輸入信號，此第二延遲鏈電路包括一串若干個輸出，此若干個輸出之鏈的每一連續的一個連接以輸出一延遲輸入信號帶有一額外增

六、申請專利範圍

加的延遲相關於此若干輸出鏈之相鄰的上游輸出；

一第二選擇電路連接以接收此第二延遲鏈電路之若干輸出的鏈，此第二選擇電路連接以選擇若干輸出之鏈的至少一個相應於此第三延遲控制信號，其中一延遲輸出信號被產生相應於此第二選擇電路之選擇的若干輸出之鏈的至少一個。

13. 根據申請專利範圍第12項的裝置，更包含一第二內插器電路連接以從此第二選擇電路接收此第二延遲鏈電路之若干輸出的一對，此第二內插器電路連接以輸出此延遲的輸出信號相應於此第三延遲控制信號。

14. 根據申請專利範圍第12項的裝置，其中此第二延遲鏈電路被連接以自一校準電路接收校準偏壓資訊以校準此第二延遲鏈電路。

15. 一種使用具輸入/輸出電路之時脈驅動電路的系統，包含

一時脈驅動電路連接以產生一系統時脈；

一第一晶片包括一第一輸入/輸出(I/O)緩衝器電路和
一第一相位鎖定迴路電路連接以接收此系統時脈和連接以產生一第一I/O時脈連接以計時此第一I/O緩衝器電路，此第一I/O時脈實際上與系統時脈同相；及

一第二晶片包括一第二I/O緩衝器電路連接至此第一I/O緩衝器電路以轉移I/O資料在第一和第二晶片之間，
此第二晶片包括一相位調整電路連接以接收此系統時脈和連接以產生一第二I/O時脈連接以計時此第二I/O緩衝

六、申請專利範圍

器電路，此第二I/O時脈具有一與此系統時脈之可選擇的相位差。

16. 根據申請專利範圍第15項的系統，其中此第二晶片更包括一延遲電路在此第二I/O緩衝器電路的I/O資料路徑中，此延遲電路連接以接收一延遲控制信號，此延遲電路連接以延遲一I/O資料轉移在此第一和第二晶片之間相應於此延遲控制信號。

17. 根據申請專利範圍第16項的系統，其中此延遲電路相應於一校準控制器相應於一計數器輸出以提供此I/O資料的延遲轉移實際上與程序-電壓-溫度的變動無關。

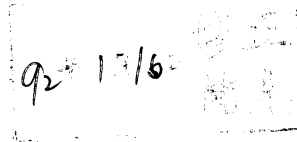
18. 根據申請專利範圍第15項的系統，其中此相位調整電路包含：

一相位鎖定迴路電路連接以產生第二I/O時脈；

一向前延遲電路連接至此相位鎖定迴路電路的參考時脈輸入和連接以接收此系統時脈，此向前延遲電路連接以延遲參考時脈輸入從接收此系統時脈相應於一向前延遲控制信號；及

一反饋延遲電路連接至此相位鎖定迴路電路的反饋時脈輸入和連接以接收此第二I/O時脈，反饋延遲電路連接以延遲反饋時脈輸入從接收此第二I/O時脈相應於一反饋延遲控制信號。

19. 根據申請專利範圍第18項的系統，其中向前和反饋延遲電路二者都相應於一校準控制器相應於一計數器輸出以提供此個別時脈信號的延遲實際上與程序-電壓-溫度的



六、申請專利範圍

變動無關。

20. 根據申請專利範圍第18項的系統，其中至少此向前和反饋延遲電路之一被包括在一具有一計數器連接至一相位偵測器之輸出的延遲鎖定迴路(DLL)電路中，此相位偵測器連接以偵測一振盪信號和一延遲的振盪信號之間的相位差，此由一延遲鏈電路產生的延遲振盪信號連接以延遲此振盪信號至少是此振盪信號的一個週期。

21. 一種使用具輸入/輸出緩衝器之輸入/輸出時脈的方法，包含：

產生一第一輸入/輸出(I/O)時脈相應於一系統時脈以計時一第一晶片的第一I/O緩衝器；

調整此第一I/O時脈的相位與系統時脈不同相位；

在此第一晶片的第一I/O緩衝器和一第二晶片的第二I/O緩衝器之間傳遞I/O資料，此第二I/O緩衝器相應於一第二I/O時脈計時實際上與系統時脈同相。

22. 根據申請專利範圍第21項的方法，更包含相對於此系統時脈的校準延遲電路。

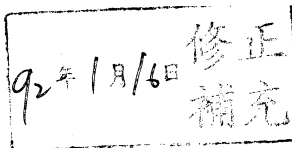
23. 根據申請專利範圍第22項的方法，其中校準此延遲電路包含：

延遲此系統時脈至少為此延遲電路的一半時脈週期；

測量此系統時脈和此延遲系統時脈之間的相位差；及

調整此延遲電路使得此延遲系統時脈的轉換實際上與系統時脈的轉換一致。

24. 根據申請專利範圍第21項的方法，更包含調整此第一晶



六、申請專利範圍

片的第一I/O緩衝器之一I/O資料路徑的延遲使得通過此第一I/O緩衝器的I/O資料路徑之I/O資料的傳遞與第一I/O時脈不同相。

25.根據申請專利範圍第24項的方法，其中此第一I/O緩衝器的I/O資料路徑包含此第一I/O緩衝器的輸出資料路徑。

26.根據申請專利範圍第24項的方法，其中此第一I/O緩衝器的I/O資料路徑包含此第一I/O緩衝器的輸入資料路徑。

27.根據申請專利範圍第21項的方法，更包含對於在一系統中之I/O時脈瑕疵的測試包括此第一和第二晶片，藉由調整此第一I/O時脈的相位與系統時脈不同相並在此第一和第二I/O緩衝器之間傳遞直到有一I/O資料傳遞失敗。

28.根據申請專利範圍第21項的方法，更包含克服在一系統中之I/O時脈瑕疵包括此第一和第二晶片，藉由調整此第一I/O時脈的相位與系統時脈不同相直到有一I/O資料在第一和第二晶片之間傳遞成功。

29.一種使用具鎖定輸入/輸出資料之輸入/輸出時脈的裝置，包含：

用以產生一第一輸入/輸出(I/O)時脈相應於一系統時脈和相位控制資訊的裝置，此第一I/O時脈與系統時脈不同相在一可選擇的相位差；

用以鎖定I/O資料相應於此第一I/O時脈計時的裝置，

六、申請專利範圍

此用以鎖定I/O資料的裝置連接至遠端裝置用以鎖定I/O資料相應於此第二I/O時脈計時實際上與系統時脈同相。

30. 根據申請專利範圍第29項的裝置，其中用以產生此第一I/O時脈的裝置包含：

第一相位鎖定迴路裝置用以產生此第一I/O時脈；

第一延遲裝置連接至此第一相位鎖定迴路裝置的一參考時脈輸入並連接以接收此系統時脈，此第一延遲裝置用以延遲此系統時脈相應於此相位控制資訊；及

第二延遲裝置連接至此第一相位鎖定迴路裝置的一反饋時脈輸入並連接以接收此第一I/O時脈，此第二延遲裝置用以延遲此第一I/O時脈相應於此相位控制資訊。