



(21)申請案號：111137535

(22)申請日：中華民國 111 (2022) 年 10 月 03 日

(51)Int. Cl. : **G06F3/06 (2006.01)**

(30)優先權：2021/10/28 美國 17/452,606

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)
美國(72)發明人：索茲約爾 夏言庫瑪 THOZIYOOR, SHYAMKUMAR (US)；德希穆克 潘卡杰
DESHMUKH, PANKAJ (IN)；徐 正元 SUH, JUNGWON (US)；帕拉恰拉 薩巴
羅 PALACHARLA, SUBBARAO (US)

(74)代理人：李世章

申請實體審查：無 申請專利範圍項數：30 項 圖式數：17 共 110 頁

(54)名稱

減少基於偽通道的記憶體系統中的延時

(57)摘要

各種實施例包括用於減少基於偽通道的記憶體系統中的延時的方法和設備。實施例可以包括：第一偽通道選擇設備，其被配置為選擇性地將複數個偽通道中的一者通訊地連接到第一輸入/輸出 (IO)，以及第二偽通道選擇設備，其被配置為選擇性地將複數個偽通道中的一者通訊地連接到第二 IO，其中第一偽通道選擇設備和第二偽通道選擇設備可操作以併發地將複數個偽通道中的第一偽通道通訊地連接到第一 IO 和第二 IO。實施例可以包括基於偽通道的記憶體系統，其被配置為接收以第一偽通道為目標的記憶體存取命令，並且使用第一偽通道資料匯流排和第二偽通道資料匯流排來實施記憶體存取命令。

Various embodiments include methods and devices for reducing latency in pseudo channel based memory systems. Embodiments may include a first pseudo channel selection device configured to selectively communicatively connect one of a plurality of pseudo channels to a first input/output (IO), and a second pseudo channel selection device configured to selectively communicatively connect one of the plurality of pseudo channels to a second IO, in which the first pseudo channel selection device and the second pseudo channel selection device may be operable to communicatively connect a first pseudo channel of the plurality of pseudo channels to the first IO and to the second IO concurrently. Embodiments may include the pseudo channel based memory system configured to receive a memory access command targeting the first pseudo channel, and use a first pseudo channel data bus and a second pseudo channel data bus to implement the memory access command.

指定代表圖：

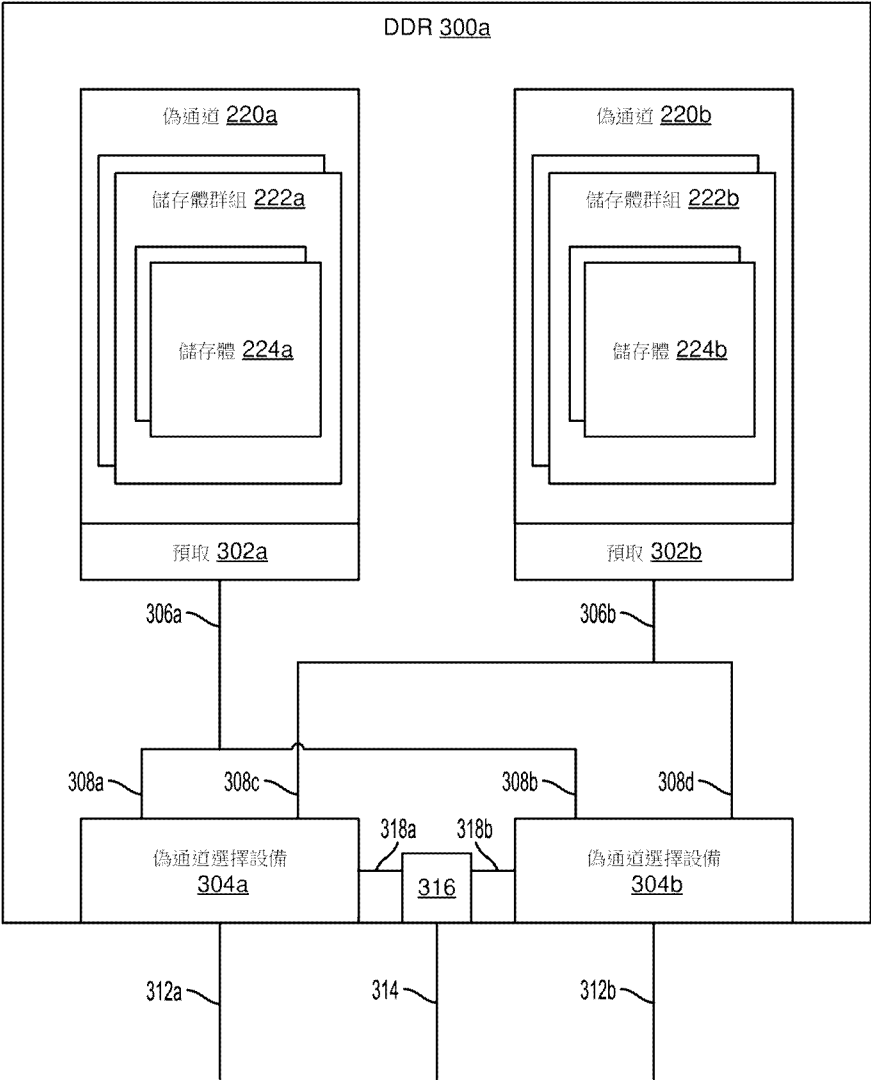


圖3A

符號簡單說明：

220a:偽通道

220b:偽通道

222a:儲存體群組

222b:儲存體群組

224a:儲存體

224b:儲存體

300a:DDR 晶片

302a:預取記憶體

302b:預取記憶體

304a:偽通道選擇設備

304b:偽通道選擇設備

306a:內部資料匯流排

306b:內部資料匯流排

308a:內部資料匯流排

308b:內部資料匯流排

308c:內部資料匯流排

308d:內部資料匯流排

312a:偽通道資料匯流排

312b:偽通道資料匯流排

314:CA 匯流排

316:偽通道控制器

318a:偽通道選擇信號線

318b:偽通道選擇信號線

318c:偽通道選擇信號線

318d:偽通道選擇信號線

318e:偽通道選擇信號線

318f:偽通道選擇信號線

318g:偽通道選擇信號線

318h:偽通道選擇信號線

318i:偽通道選擇信號線

318j:偽通道選擇信號線

318k:偽通道選擇信號線

318l:偽通道選擇信號線

318m:偽通道選擇信號線

318n:偽通道選擇信號線

318o:偽通道選擇信號線

318p:偽通道選擇信號線

【發明摘要】

【中文發明名稱】減少基於偽通道的記憶體系統中的延時

【英文發明名稱】REDUCING LATENCY IN PSEUDO CHANNEL BASED
MEMORY SYSTEMS

【中文】

各種實施例包括用於減少基於偽通道的記憶體系統中的延時的方法和設備。實施例可以包括：第一偽通道選擇設備，其被配置為選擇性地將複數個偽通道中的一者通訊地連接到第一輸入/輸出（IO），以及第二偽通道選擇設備，其被配置為選擇性地將複數個偽通道中的一者通訊地連接到第二IO，其中第一偽通道選擇設備和第二偽通道選擇設備可操作以併發地將複數個偽通道中的第一偽通道通訊地連接到第一IO和第二IO。實施例可以包括基於偽通道的記憶體系統，其被配置為接收以第一偽通道為目標的記憶體存取命令，並且使用第一偽通道資料匯流排和第二偽通道資料匯流排來實施記憶體存取命令。

【英文】

Various embodiments include methods and devices for reducing latency in pseudo channel based memory systems. Embodiments may include a first pseudo channel selection device configured to selectively communicatively connect one of a plurality of pseudo channels to a first input/output (IO), and a second pseudo channel selection device configured to selectively communicatively connect one of the plurality of pseudo channels to a second IO, in which the first pseudo channel selection device and

the second pseudo channel selection device may be operable to communicatively connect a first pseudo channel of the plurality of pseudo channels to the first IO and to the second IO concurrently. Embodiments may include the pseudo channel based memory system configured to receive a memory access command targeting the first pseudo channel, and use a first pseudo channel data bus and a second pseudo channel data bus to implement the memory access command.

【指定代表圖】第（ 3A ）圖。

【代表圖之符號簡單說明】

2 2 0 a : 偽 通 道

2 2 0 b : 偽 通 道

2 2 2 a : 儲 存 體 群 組

2 2 2 b : 儲 存 體 群 組

2 2 4 a : 儲 存 體

2 2 4 b : 儲 存 體

3 0 0 a : D D R 晶 片

3 0 2 a : 預 取 記 憶 體

3 0 2 b : 預 取 記 憶 體

3 0 4 a : 偽 通 道 選 擇 設 備

3 0 4 b : 偽 通 道 選 擇 設 備

3 0 6 a : 內 部 資 料 匯 流 排

3 0 6 b : 內 部 資 料 匯 流 排

3 0 8 a : 內 部 資 料 匯 流 排

3 0 8 b : 內 部 資 料 匯 流 排

3 0 8 c : 內 部 資 料 匯 流 排

3 0 8 d : 內 部 資 料 匯 流 排

3 1 2 a : 偽 通 道 資 料 匯 流 排

3 1 2 b : 偽 通 道 資 料 匯 流 排

3 1 4 : C A 匯 流 排

3 1 6 : 偽 通 道 控 制 器

3 1 8 a : 偽 通 道 選 擇 信 號 線

3 1 8 b : 偽 通 道 選 擇 信 號 線

【特徵化學式】

無

【發明說明書】

【中文發明名稱】減少基於偽通道的記憶體系統中的延時

【英文發明名稱】REDUCING LATENCY IN PSEUDO CHANNEL BASED
MEMORY SYSTEMS

【技術領域】

【0001】 本案係關於減少基於偽通道的記憶體系統中的延時。

【先前技術】

【0002】 下一代雙倍資料速率隨機存取記憶體（本文稱為「DDR」）將廣泛用於行動設備，因為其可以提供對行動和非行動應用具有吸引力的高效能、低功耗、有爭用力的記憶體成本、各種封裝類型以及多源可用性的平衡。然而，提議的或現有的DDR系統基於高效能、低延時和低功率方案，該等方案使用展現更大延時的資料通訊協定，此舉將該等系統的使用和效率限制在低於對於許多用途（例如車輛安全相關系統）可接受的水平。例如，與上一代相比，提議的低功率DDR（「LPDDR」）系統可以利用導致對於某些操作點延時降低的方法。

【發明內容】

【0003】 各種揭示的態樣包括減少基於偽通道的記憶體系統中的延時的裝置和方法。各個態樣可以包括基於偽通道的記憶體系統，其包括：第一偽通道選擇設備，其被配置為選擇性地將複數個偽通道中的一者通訊地連接到第一輸

入/輸出 (IO)，以及第二偽通道選擇設備，其被配置為選擇性地將該複數個偽通道中的一者通訊地連接到第二IO，其中該第一偽通道選擇設備和該第二偽通道選擇設備可操作以在第一操作模式下併發地將該複數個偽通道中的第一偽通道通訊地連接到該第一IO和該第二IO。

【0004】 在一些態樣，第一IO可以包括第一偽通道資料匯流排並且第二IO可以包括第二偽通道資料匯流排，並且基於偽通道的記憶體系統亦可以包括：第一內部資料匯流排，其具有比該第一偽通道資料匯流排更大的位元寬，並且與該第一偽通道通訊地連接；第二內部資料匯流排，其具有與該第一偽通道資料匯流排相同的位元寬，並且在該第一內部資料匯流排的第一部分和該第一偽通道選擇設備之間通訊地連接；及第三內部資料匯流排，其具有與該第二偽通道資料匯流排相同的位元寬，並且在該第一內部資料匯流排的第二部分和該第二偽通道選擇設備之間通訊地連接。

【0005】 在一些態樣，第一內部資料匯流排可以具有等於該第一偽通道資料匯流排的整數倍的位元寬。

【0006】 一些態樣可以進一步包括：第四內部資料匯流排，其具有比該第一偽通道資料匯流排更大的位元寬，並且通訊地連接到該複數個偽通道中的第二偽通道；第五內部資料匯流排，其具有與該第一偽通道資料匯流排相同的位元寬，並且通訊地連接在該第四內部資料匯流排的第一部分和該第一偽通道選擇設備之間；及第六內部資料匯流

排，其具有與該第二偽通道資料匯流排相同的位元寬，並且通訊地連接在該第四內部資料匯流排的第二部分和該第二偽通道選擇設備之間。

【0007】 在一些態樣，該第一偽通道選擇設備和該第二偽通道選擇設備可以可操作以：回應於該基於偽通道的記憶體系統接收以該第一偽通道為目標的低延時類型記憶體存取命令，而併發地將該第一偽通道通訊地連接到該第一 I O 和該第二 I O。

【0008】 一些態樣可以進一步包括記憶體控制設備，其被配置為：接收以該第一偽通道為目標的低延時類型記憶體存取命令；及將至少一個偽通道選擇信號傳輸到該第一偽通道選擇設備和該第二偽通道選擇設備，以使該第一偽通道選擇設備和該第二偽通道選擇設備回應於接收到該低延時類型記憶體存取命令，而併發地將該第一偽通道通訊地連接到第一 I O 和該第二 I O。

【0009】 在一些態樣，該第一偽通道選擇設備和該第二偽通道選擇設備可以可操作以：回應於該基於偽通道的記憶體系統接收到模式暫存器寫命令（其被配置為使基於偽通道的記憶體系統將連續的記憶體存取命令處理為低延時類型記憶體存取命令）並且回應於該基於偽通道的記憶體系統接收以該第一偽通道為目標的連續記憶體存取命令，而併發地將該第一偽通道通訊地連接到該第一 I O 和該第二 I O。

【0010】 一些態樣可以進一步包括記憶體控制設備，其被配置為：接收該模式暫存器寫命令；設置暫存器值，該暫存器值被配置為使該記憶體控制設備回應於接收到該模式暫存器寫命令而將該連續記憶體存取命令處理為低延時類型記憶體存取命令；接收以該第一偽通道為目標的連續記憶體存取命令；及將至少一個偽通道選擇信號傳輸到該第一偽通道選擇設備和該第二偽通道選擇設備，以使該第一偽通道選擇設備和該第二偽通道選擇設備回應於接收到該連續記憶體存取命令而併發地將該第一偽通道通訊地連接到該第一IO和該第二IO。

【0011】 在一些態樣，第一偽通道選擇設備和第二偽通道選擇設備均可以包括至少一個多工器。

【0012】 在一些態樣，該第一偽通道選擇設備可操作以將該第一偽通道通訊地連接到該第一IO，並且該第二偽通道選擇設備可操作以在第二操作模式下將該複數個偽通道中的第二偽通道通訊地連接到該第二IO。

【0013】 各個態樣可以包括基於偽通道的記憶體系統，其包括複數個偽通道，複數個偽通道包括第一偽通道，其中基於偽通道的記憶體系統被配置為：接收以該第一偽通道為目標的記憶體存取命令；及使用第一偽通道資料匯流排和第二偽通道資料匯流排來實施該記憶體存取命令。

【0014】 在一些態樣，記憶體存取命令可以是讀記憶體存取命令，並且該基於偽通道的記憶體系統被配置為使得：使用該第一偽通道資料匯流排和該第二偽通道資料匯流排

來實施該記憶體存取命令包括，回應於該讀記憶體存取命令而併發地經由第一偽通道資料匯流排和該第二偽通道資料匯流排從該第一偽通道輸出資料。

【0015】 在一些態樣，記憶體存取命令可以是寫記憶體存取命令，並且該基於偽通道的記憶體系統可以被配置為使得：使用該第一偽通道資料匯流排和該第二偽通道資料匯流排來實施該記憶體存取命令包括，併發地經由該第一偽通道資料匯流排和該第二偽通道資料匯流排接收用於該第一偽通道的寫記憶體存取命令的資料。

【0016】 在一些態樣，該記憶體存取命令可以被配置為：向該基於偽通道的記憶體系統指示，該記憶體存取命令是低延時類型的記憶體存取命令。

【0017】 在一些態樣，該基於偽通道的記憶體系統可以被進一步配置為：接收模式暫存器寫命令，該模式暫存器寫命令被配置為使該基於偽通道的記憶體系統將連續記憶體存取命令處理為低延時類型的記憶體存取命令，其中以該第一偽通道為目標的記憶體存取命令可以是對該模式暫存器寫命令的連續記憶體存取命令。

【0018】 其他態樣包括執行以上概述的系統的操作的方法。

【圖式簡單說明】

【0019】 併入本文並構成本說明書的一部分的附圖圖示各種實施例的示例性實施例，並且與上文提供的一般描述和下文提供的詳細描述一起用於解釋請求項的特徵。

【0020】 圖 1 是說明適用於實施各種實施例的示例性計算設備的元件方塊圖。

【0021】 圖 2 是說明適用於實施各種實施例的示例性基於偽通道的記憶體系統的元件方塊圖。

【0022】 圖 3 A 和圖 3 B 是說明適用於實施各種實施例的示例性基於偽通道的記憶體系統的元件方塊圖。

【0023】 圖 4 A - 圖 4 C 是說明適用於實施各種實施例的示例性基於偽通道的記憶體系統的元件方塊圖和功能圖。

【0024】 圖 5 是說明根據實施例的用於減少基於偽通道的記憶體系統中的延時的方法的程序流程圖。

【0025】 圖 6 是說明根據實施例用於減少基於偽通道的記憶體系統中的延時的方法的程序流程圖。

【0026】 圖 7 是說明根據實施例的用於減少基於偽通道的記憶體系統中用於讀記憶體命令的延時的方法的程序流程圖。

【0027】 圖 8 是說明根據實施例的用於減少基於偽通道的記憶體系統中用於寫記憶體命令的延時的方法的程序流程圖。

【0028】 圖 9 是說明根據實施例的用於減少基於偽通道的記憶體系統中的延時的方法的程序流程圖。

【0029】 圖 10 A 和圖 10 B 是說明根據實施例的在基於偽通道的記憶體系統中具有和不具有降低延時的記憶體存取命令的實例的時序圖。

【0030】 圖 1 1 A 和 圖 1 1 B 是說明根據實施例的在基於偽通道的記憶體系統中具有和不具有降低延時的記憶體存取命令的實例的時序圖。

【0031】 圖 1 2 是圖示根據實施例的使用低延時類型的記憶體存取命令來減少基於偽通道的記憶體系統中的延時的實例的時序圖。

【0032】 圖 1 3 A 和 圖 1 3 B 是說明根據實施例的使用模式暫存器寫入來啟用低延時類型記憶體存取命令以減少基於偽通道的記憶體系統中的延時的實例的時序圖。

【0033】 圖 1 4 A 和 圖 1 4 B 是說明根據實施例的在基於偽通道的記憶體系統中具有和不具有降低延時的記憶體存取命令的實例的時序圖。

【0034】 圖 1 5 是說明適用於實施各種實施例的示例性行動計算設備的元件方塊圖。

【0035】 圖 1 6 是說明適用於實施各種實施例的示例性行動計算設備的元件方塊圖。

【0036】 圖 1 7 是說明適用於實施各種實施例的示例性伺服器的元件方塊圖。

【實施方式】

【0037】 將參照附圖詳細描述各種實施例。在可能的情況下，將在整個附圖中使用相同的元件符號來指代相同或相似的部分。對特定實例和實施方式的引用是出於說明性目的，並不意欲限制請求項的範疇。

【0038】 各種實施例包括方法和計算設備，該等方法和計算設備實現了減少基於偽通道的記憶體系統中的延時的方法。偽通道選擇設備可以用在基於偽通道的記憶體系統中。多個偽通道可以經由比偽通道的專用輸入/輸出（IO）資料匯流排更寬的內部資料匯流排通訊地連接到偽通道選擇設備。偽通道選擇設備可以被配置為：使基於偽通道的記憶體系統能夠使用多個偽通道的多個IO並行地從偽通道讀取資料及/或將資料寫入偽通道。

【0039】 術語「計算設備」可以指固定計算設備，包括個人電腦、桌上型電腦、一體機、工作站、超級電腦、大型電腦、嵌入式電腦（例如在載具和其他更大的系統中）、電腦化載具（例如，部分或完全自主的陸地、空中及/或水上載具，例如乘用車、商用車、休閒車、軍用載具、無人機等）、伺服器、多媒體電腦和遊戲終端。術語「計算設備」和「行動計算設備」在本文中可互換使用以指代以下各項中的任一者或全部：蜂巢式電話、智慧手機、個人或行動多媒體播放機、個人資料助理（PDA）、膝上型電腦、平板電腦、可轉換筆記型電腦/平板電腦（二合一電腦）、智慧型電腦、超極本、小筆電、掌上型電腦、無線電子郵件接收器、多媒體網際網路蜂巢式電話、行動遊戲終端、無線遊戲控制器和包括記憶體和可程式設計處理器的類似的個人電子設備。

【0040】 為了解釋的方便和清晰，根據代碼（例如，處理器可執行指令）描述了各種實施例，但是各種實施例可以

類似地適用於任何資料，例如，代碼、程式資料或儲存在記憶體中的其他資訊。術語「代碼」、「資料」和「資訊」在本文中可互換使用並且不意欲將請求項和描述的範疇限制為在描述各種實施例中用作實例的代碼、資料或資訊的類型。

【0041】 下一代雙倍資料速率隨機存取記憶體（本文稱為「**DDR**」）可以提供對行動和非行動應用具有吸引力的高效能、低功率、有爭用力的記憶體成本、各種封裝類型及/或多源可用性的平衡。現有的**DDR**系統支援偽通道模式，對於該偽通道模式，**DDR**系統的每個通道皆實現了多個偽通道。然而，提議的或現有的**DDR**系統基於高效能、低延時及/或使用可能表現出高延時的資料通訊協定的較低功率方案。此種延時將該等系統的使用和效率限制在低於許多用途可接受的水平。

【0042】 提議的或現有的**DDR**系統支援偽通道模式，對於該模式，針對**DDR**系統的每個通道實現多個偽通道。每個偽通道可以具有專用儲存體（**bank**）和專用資料匯流排，並與至少一個其他偽通道共享命令和位址匯流排或具有專用命令和位址匯流排。偽通道的**IO**可以經由**IO**方案的組合來管理，特別是脈衝幅度調制（**PAM**）（例如，**PAM4**），其經由**PAM**譯碼每次（例如，2個位元組）寫入/讀取傳送多個位元組的資料，以及非歸零（**NRZ**）譯碼，其每個寫/讀週期提供一個位元組的資料。**PAM**譯碼可用於大於**1600 MHz**的時鐘頻率，而**NRZ**譯碼可用於小於或等於

1600 MHz 的時鐘頻率。基於 PAM 譯碼的 IO 信號傳遞隨著其操作頻率的下降而使 IO 功率效率惡化，因為 PAM 傳輸器在驅動 PAM 多位準信號時會消耗 DC 電流。然而，NRZ 傳輸器不會消耗那麼多 DC 電流，並且 NRZ 信號介面更適合於功率效率敏感系統中的低頻率，例如行動電話。因此，兩種不同的 IO 方案在寫 / 讀操作期間需要動態短脈衝長度來實現相同的資料傳輸。寫 / 讀短脈衝長度的該等差異導致不同 IO 方案之間的延時差異。最終結果是，在使用 NRZ 譯碼時，低於特定時鐘頻率（例如 1600 MHz）時，去往或來自記憶體儲存體之間的資料傳輸花費更長的時間，從而增加延時，此舉在某些應用中可能是不可接受的。

【0043】 本文描述的實施例解決了 DDR 系統的前述問題，經由採用一或多個偽通道選擇設備來減少 DDR 系統處的讀及 / 或寫操作的延時，該等偽通道選擇設備被配置為選擇性地將 DDR 系統的多個偽通道中的至少一個選擇的偽通道通訊地連接到由多個偽通道中的至少兩個共享的 IO 資料匯流排。本文所述的實施例可以應用於任何 DDR 系統，例如 DDR、LPDDR、GDDR、WideIO 等。例如，當 NRZ 譯碼 IO 方案經由併發地使用兩個（或更多）資料匯流排（例如 16 位元資料匯流排）傳輸資料（例如 32 位元、64 位元等）來實現時，一或多個偽通道選擇設備的實現可以減少當 DDR 以低頻（例如， ≤ 1600 MHz）操作時的延時。作為另一實例，一或多個偽通道選擇設備的實施可以減少當 DDR 以高頻率（例如， > 1600 MHz）操作並且經由併發

地使用兩個（或更多）資料匯流排（例如，16位元資料匯流排）傳輸資料（例如，32位元、64位元等）來實現PAM譯碼IO方案時的延時。

【0044】 各種實施例包括用於DDR系統中的偽通道的自我調整IO方案，與提議的或現有的DDR系統相比，該方案減少了用於記憶體存取事務的延時。DDR系統可以包括整合在DDR晶片上的一或多個偽通道選擇設備，例如配置有多工和解多工能力的多工器。每個偽通道選擇設備可以使兩個（或更多）偽通道共享DDR系統的專用資料匯流排。在一些實例中，較大的偽通道選擇設備可以包括多個較小的偽通道選擇設備。

【0045】 在下文參照圖3A和圖4A-圖4C詳細描述的一種實施方式中，兩個或更多個偽通道選擇設備中的每一個可以連接到DDR系統的相應專用資料匯流排（例如，16位元匯流排）並且可以使兩個（或更多）偽通道能夠共享專用資料匯流排。經由提供兩個（或更多）偽通道選擇設備並將偽通道選擇設備連接到兩個（或更多）偽通道，兩個（或更多）偽通道可以存取組合資料匯流排（例如，32位元匯流排）。組合資料匯流排可以包括連接到兩個或更多個偽通道選擇設備的專用資料匯流排，並且因此，具有比各個專用資料匯流排更大的寬度（例如，兩倍）。換言之，組合資料匯流排的寬度（以位元計）可以是連接到每個記憶體儲存體的專用資料匯流排的寬度的大於「1」的倍數。每個偽通道可以經由內部資料匯流排通訊地連接到兩個（或

更多) 偽通道選擇設備。偽通道處的內部資料匯流排的位元寬可以與組合資料匯流排的寬度相同，並且每個偽通道選擇設備處的內部資料匯流排的位元寬可以是內部資料匯流排的位元寬的一小部分，例如一半或更小。例如，每個內部資料匯流排可以是偽通道處的 32 位元內部資料匯流排和兩個或更多個偽通道選擇設備中的每一個處的 16 位元或更小的內部資料匯流排。兩個(或更多)偽通道選擇設備可以經由相應的內部資料匯流排將選擇的偽通道選擇性地連接到組合資料匯流排。兩個(或更多)偽通道選擇設備可以是 $m \times n$ 多工器，其中「 m 」和「 n 」是大於「1」的整數，例如整數「 m 」等於專用資料匯流排的寬度，整數「 n 」等於通訊地連接到相應偽通道選擇設備的偽通道的數量。例如，偽通道選擇設備可以是 $16 \times n$ 多工器。作為另一實例，對於兩個偽通道，偽通道選擇設備可以是 32×16 多工器。

【0046】 在下文參照圖 3 B 和圖 4 A - 圖 4 C 詳細描述的另一實施方式中，偽通道選擇設備可以連接到 DDR 系統的兩個(或更多)專用資料匯流排(例如，16 位元匯流排)並且可以使兩個(或更多)偽通道能夠共享專用資料匯流排。經由提供偽通道選擇設備並將偽通道選擇設備連接到兩個(或更多)偽通道，兩個(或更多)偽通道可以存取組合資料匯流排(例如，32 位元匯流排)。組合資料匯流排可以包括連接到偽通道選擇設備的專用資料匯流排，並且因此具有比各個專用資料匯流排更大的寬度(例如，兩倍)。

換言之，組合資料匯流排的寬度（以位元計）可以是連接到每個記憶體儲存體的專用資料匯流排的寬度的大於「1」的倍數。每個偽通道可以經由內部資料匯流排通訊地連接到偽通道選擇設備。內部資料匯流排的位元寬可以與組合資料匯流排的寬度相同。例如，每個內部資料匯流排可以是32位元內部資料匯流排。偽通道選擇設備可以經由相應的內部資料匯流排將選擇的偽通道選擇性地連接到組合資料匯流排。偽通道選擇設備可以是 $p \times n$ 多工器，其中「 p 」和「 n 」為大於「1」的整數，例如整數「 p 」等於組合資料匯流排的寬度，並且整數「 n 」等於通訊地連接到偽通道選擇設備的偽通道的數量。例如，偽通道選擇設備可以是 $32 \times n$ 多工器。作為另一實例，對於兩個偽通道，偽通道選擇設備可以是 64×32 多工器。偽通道選擇設備亦可以包括以與上述兩個（或更多）偽通道選擇設備類似的方式配置的多個更小的偽通道選擇設備。

【0047】 DDR系統可以被配置為每個DDR晶片具有任意數量的偽通道，例如至少2個偽通道。例如，DDR晶片可以包括2個偽通道、3個偽通道、4個偽通道、6個偽通道、8個偽通道等。一或多個偽通道選擇設備可以被配置為選擇DDR晶片的偽通道中的至少一個。DDR晶片可以包括多個偽通道選擇設備，該等偽通道選擇設備通訊地並行連接到組合資料匯流排。如前述，多個偽通道選擇設備可以被配置為一起用作更大的偽通道選擇設備，使得可以經由多個

偽通道選擇設備來控制選擇何者偽通道來選擇性地通訊連接到組合資料匯流排。

【0048】 使用一或多個偽通道選擇設備為記憶體存取事務選擇至少一個偽通道的DDR系統經由啟用每個連接的偽通道的組合資料匯流排的寬度的使用（特別是與現有的DDR系統的NRZ譯碼IO方案相比）減少了延時。與較低寬度的專用資料匯流排相比，經由使在一次寫入或讀取操作中使用NRZ傳輸的位元數加倍（或更多），減少了在較大寬度組合資料匯流排上傳輸資料的短脈衝長度。由於更大寬度的組合資料匯流排和更短的短脈衝長度，與習知的DDR系統相比，資料傳輸的延時降低了。

【0049】 圖1圖示了包括適合與各種實施例一起使用的計算設備100的系統。計算設備100可以包括具有中央處理單元104、記憶體106、通訊介面108、記憶體介面110、周邊設備介面120和處理設備124的晶片上系統（SoC）102。計算設備100亦可以包括通訊元件112，例如有線或無線數據機、記憶體114、用於建立無線通訊鏈路的天線116及/或周邊設備122。處理器124可以包括多種處理設備（例如多個處理器核）中的任一者。

【0050】 術語「晶片上系統」或「SoC」在本文中用於指代一組互連的電子電路，通常但不排他地，包括處理設備、記憶體和通訊介面。處理設備可以包括多種不同類型的處理器及/或處理器核，例如中央處理單元（CPU）104，及/或處理器124，包括通用處理器、中央處理單元（CPU）

104、數位信號處理器（DSP）、圖形處理單元（GPU）、加速處理單元（APU）、安全處理單元（SPU）、智慧財產權單元（IPU）、計算設備特定元件的子系統處理器（例如用於相機子系統的圖像處理器或用於顯示器的顯示處理器、輔助處理器、周邊設備處理器、單核處理器、多核處理器、控制器及/或微控制器。處理設備可以進一步體現其他硬體和硬體組合，例如現場可程式設計閘陣列（FPGA）、特殊應用積體電路（ASIC）、其他可程式設計邏輯設備、個別閘門邏輯、電晶體邏輯、效能監控硬體、看門狗硬體及/或時間參考。積體電路可以被配置為使得積體電路的元件位於單片半導體材料（例如矽）上。

【0051】 SoC 102 可以包括一或多個 CPU 104 和處理器 124。計算設備 100 可以包括多於一個的 SoC 102，從而增加 CPU 104、處理器 124 和處理器核的數量。計算設備 100 亦可以包括不與 SoC 102 相關聯的 CPU 104 和處理器 124。各個 CPU 104 和處理器 124 可以是多核處理器。CPU 104 和處理器 124 可以均被配置用於與計算設備 100 的其他 CPU 104 和處理器 124 相同或不同的特定目的。相同或不同的配置的 CPU 104、處理器 124 和處理器核中的一者或多者可以分類在一起。一組 CPU 104、處理器 124 或處理器核可以被稱為多處理器集群。

【0052】 SoC 102 的記憶體 106 可以是揮發性或非揮發性記憶體，其被配置為儲存資料和處理器可執行代碼以供 CPU 104、處理器 124 或 SoC 102 的其他元件存取。計算

設備 100 及 / 或 S o C 102 可以包括一或多個被配置用於各種目的的記憶體 106。一或多個記憶體 106 可以包括揮發性記憶體，例如隨機存取記憶體（R A M），包括 D D R，其被實現為主記憶體或快取記憶體。該等記憶體 106 可以被配置為臨時保存從資料感測器或子系統接收的有限數量的資料、從非揮發性記憶體請求的、從非揮發性記憶體載入到記憶體 106 以便預期基於各種因素的未來存取的資料及 / 或處理器可執行代碼指令，及 / 或由 C P U 104 及 / 或處理器 124 產生並臨時儲存以供將來快速存取而無需儲存在非揮發性記憶體中的中間處理資料及 / 或處理器可執行代碼指令。記憶體 106 可以被配置為至少暫時地儲存從諸如另一記憶體 106 或記憶體 114 之類的另一記憶體設備載入到記憶體 106 的資料和處理器可執行代碼，以供 C P U 104、處理器 124 或 S o C 102 的其他元件中的一者或多者存取。在一些實施例中，任何數量和組合的記憶體 106 可以包括一次性可程式設計或唯讀記憶體。

【0053】 記憶體介面 110 和記憶體 114 可以協同工作以允許計算設備 100 將資料和處理器可執行代碼儲存在揮發性及 / 或非揮發性儲存媒體上，並從揮發性及 / 或非揮發性儲存媒體取得資料和處理器可執行代碼。記憶體 114 可以配置得非常類似於記憶體 106 的實施例，例如主記憶體，其中記憶體 114 可以儲存資料或處理器可執行代碼以供 C P U 104、處理器 124 或 S o C 102 的其他元件中的一者或多者存取。在一些實施例中，記憶體 114（是非揮發性的）可

以在計算設備 100 的電源已經關閉之後保留資訊。當電源重新開啟並且計算設備 100 重新開機時，儲存在記憶體 114 上的資訊可能對計算設備 100 可用。在一些實施例中，記憶體 114（是揮發性的）在計算設備 100 的電源已經關閉之後可能不會保留資訊。記憶體介面 110 可以控制對記憶體 114 的存取並且允許 CPU 104、處理器 124 或 SoC 102 的其他元件從記憶體 114 讀取資料和向記憶體 114 寫入資料。

【0054】 計算設備 100 及 / 或 SoC 102 的一些或所有元件可以被不同地佈置及 / 或組合，同時仍然服務於各種實施例的功能。計算設備 100 可以不限於每個元件之一，並且每個元件的多個例子可以被包括在計算設備 100 的各種配置中。

【0055】 圖 2 圖示了適用於實施各種實施例的示例性基於偽通道的記憶體系統（例如，圖 1 中的記憶體 106、記憶體 114）。參考圖 1 和圖 2 所示，示例性基於偽通道的記憶體系統可以包括任意數量的 DDR 晶片 200。每個 DDR 晶片 200 可以包括任意數量的儲存體 224a、224b。例如，一個 DDR 晶片 200 可以包括 32 個儲存體。儲存體 224a、224b 可以以任何數量和組合佈置以形成任何數量的儲存體群組 222a、222b。例如，DDR 晶片 200 可以包括 16 個儲存體群組 222a、222b，並且每個儲存體群組 222a、222b 可以包括 2 個儲存體 224a、224b；包括 2 個儲存體 224a 的儲存體群組 222a 和包括 2 個儲存體 224b 的儲存體

群組 2 2 2 b。儲存體 2 2 4 a、2 2 4 b 和儲存體群組 2 2 2 a、2 2 2 b 可以以任何數量和組合佈置以形成至少兩個偽通道 2 2 0 a、2 2 0 b。換言之，每個偽通道 2 2 0 a、2 2 0 b 可以包括一或多個儲存體群組 2 2 2 a、2 2 2 b，並且每個儲存體群組 2 2 2 a、2 2 2 b 可以包括一或多個儲存體 2 2 4 a、2 2 4 b。偽通道 2 2 0 a、2 2 0 b 的不同儲存體群組 2 2 2 a、2 2 2 b 可以包括相同數量的儲存體 2 2 4 a、2 2 4 b 或不同數量的儲存體 2 2 4 a、2 2 4 b。不同的偽通道 2 2 0 a、2 2 0 b 可以包括相同數量的儲存體群組 2 2 2 a、2 2 2 b 或不同數量的儲存體群組 2 2 2 a、2 2 2 b。例如，DDR 晶片 2 0 0 可以包括 2 個偽通道 2 2 0 a、2 2 0 b，每個偽通道 2 2 0 a、2 2 0 b 可以包括 8 個儲存體群組 2 2 2 a、2 2 2 b，並且每個儲存體群組 2 2 2 a、2 2 2 b 可以包括 2 個儲存體 2 2 4 a、2 2 4 b。更具體地，偽通道 2 2 0 a 可以包括 8 個儲存體群組 2 2 2 a，每個儲存體群組 2 2 2 a 可以包括 2 個儲存體 2 2 4 a，偽通道 2 2 0 b 可以包括 8 個儲存體群組 2 2 2 b，並且每個儲存體群組 2 2 2 b 可以包括 2 個儲存體 2 2 4 b。

【0056】 包括儲存體 2 2 4 a、2 2 4 b 的偽通道 2 2 0 a、2 2 0 b 可以經由內部匯流排 2 3 0 通訊地連接到偽通道 IO 2 0 2 a、2 0 2 b 和共享 IO 2 1 0。例如，每個偽通道 2 2 0 a、2 2 0 b 可以通訊地連接到偽通道 IO 2 0 2 a、2 0 2 b 中的一個專用偽通道，並且至少兩個偽通道 2 2 0 a、2 2 0 b 可以通訊連接到共享 IO 2 1 0。因此，DDR 晶片 2 0 0 可以包括相同數量的偽通道 2 2 0 a、2 2 0 b 和偽通道 IO 2 0 2 a、2 0 2 b。

【0057】 每個偽通道IO 202a、202b可以分別包括資料匯流排204a、204b。每個偽通道IO 202a、202b可以被配置為使DDR晶片200能夠從主機（例如，圖1中的CPU 104、處理器124）接收資料並經由通訊地連接的資料匯流排204a、204b將資料傳輸到偽通道220a、220b。此外，每個偽通道IO 202a、202b可以被配置為使DDR晶片200能夠從偽通道220a、220b接收資料並且經由通訊連接的資料匯流排204a、204b將資料傳輸到主機。資料匯流排204a、204b可以是比資料匯流排204a、204b更大的資料匯流排的部分，其專用於通訊連接的偽通道IO 202a、202b。每個偽通道IO 202a、202b亦可以包括寫時鐘206a、206b和讀選通脈衝208a、208b，寫時鐘206a、206b和讀選通脈衝208a、208b被配置為提供用於通訊地連接到偽通道IO 202a、202b的偽通道220a、220b的操作的信號。

【0058】 每個共享IO 210可以包括命令位址（CA）匯流排214。CA匯流排214可以被配置為使DDR晶片200能夠在通訊地連接到共享IO 210的偽通道220a、220b內的指定位址處實施記憶體存取命令，例如讀取及/或寫入。每個共享IO 210亦可以包括時鐘212、晶片選擇216和重置218，其被配置為提供用於偽通道220a、220b的操作的信號，該等偽通道220a、220b通訊地連接到共享IO 210。

【0059】 習知地，每個偽通道220a、220b可以僅通訊地連接到偽通道IO 202a、202b中的相應專用的一者並且不

通訊地連接到另一個偽通道IO 202a、202b。例如，偽通道220a可以僅通訊地連接到偽通道IO 202a，並且偽通道220b可以僅通訊地連接到偽通道IO 202b。特別地，偽通道220a可以僅通訊地連接到偽通道IO 202a的資料匯流排204a，並且偽通道220b可以僅通訊地連接到偽通道IO 202b的資料匯流排204b。在本文提供的實施例中，每個偽通道220a、220b可以通訊地連接到多個偽通道IO 202a、202b。例如，偽通道220a可以通訊地連接到偽通道IO 202a、202b並且偽通道220b可以通訊地連接到偽通道IO 202a、202b。特別地，偽通道220a可以通訊地連接到偽通道IO 202a的資料匯流排204a和偽通道IO 202b的資料匯流排204b，並且偽通道220b可以連接到偽通道IO 202a的資料匯流排204a和偽通道IO 202b的資料匯流排204b。偽通道220a、220b到多個資料匯流排204a、204b的該等通訊連接可以僅將對（與偽通道220a、220b的習知連接相比）較大資料匯流排的較大部分的偽通道220a、220b存取提供給資料匯流排204a、204b中的專用資料匯流排。例如，偽通道220a、220b到多條資料匯流排204a、204b的連接可以提供對資料匯流排204a、204b組合大小的較大資料匯流排的一部分的偽通道220a、220b存取。偽通道220a、220b僅與資料匯流排204a、204b中的專用資料匯流排的習知連接提供對單個資料匯流排204a、204b大小的較大資料匯流排的一部分的偽通道220a、220b存取。

【0060】 圖 3 A 和 圖 3 B 圖 示 適 用 於 實 施 各 種 實 施 例 的 示 例 性 基 於 偽 通 道 的 記 憶 體 系 統 (例 如 , 圖 1 中 的 記 憶 體 1 0 6 、 記 憶 體 1 1 4) 。 參 考 圖 1 - 圖 3 B , 示 例 性 基 於 偽 通 道 的 記 憶 體 系 統 可 以 包 括 任 意 數 量 的 D D R 晶 片 3 0 0 a 、 3 0 0 b (例 如 , 圖 2 中 的 D D R 晶 片 2 0 0) 。 D D R 晶 片 3 0 0 a 、 3 0 0 b 可 以 包 括 任 何 數 量 和 組 合 的 儲 存 體 2 2 4 a 、 2 2 4 b 、 儲 存 體 群 組 2 2 2 a 、 2 2 2 b 和 偽 通 道 2 2 0 a 、 2 2 0 b 。 為 便 於 解 釋 和 清 楚 起 見 , 此 處 呈 現 的 實 例 基 於 2 個 偽 通 道 。 然 而 , 此 種 實 例 並 不 意 味 著 限 制 請 求 項 或 描 述 的 範 疇 , 並 且 本 文 呈 現 的 實 例 可 以 類 似 地 適 用 於 包 括 2 個 偽 通 道 、 3 個 偽 通 道 、 4 個 偽 通 道 、 6 個 偽 通 道 、 8 個 偽 通 道 、 2^x 個 偽 通 道 (其 中 「 x 」 是 大 於 「 0 」 的 整 數) 等 的 D D R 晶 片 。

【0061】 D D R 晶 片 3 0 0 a 、 3 0 0 b 亦 可 以 包 括 與 每 個 偽 通 道 2 2 0 a 、 2 2 0 b 相 關 聯 的 預 取 記 憶 體 3 0 2 a 、 3 0 2 b 。 預 取 記 憶 體 3 0 2 a 、 3 0 2 b 可 以 被 配 置 為 保 存 從 相 關 聯 的 偽 通 道 2 2 0 a 、 2 2 0 b 的 儲 存 體 2 2 4 a 、 2 2 4 b 取 得 的 資 料 。 與 儲 存 體 2 2 4 a 、 2 2 4 b 相 比 , 預 取 記 憶 體 3 0 2 a 、 3 0 2 b 通 常 可 以 具 有 較 小 的 容 量 。 在 一 些 實 例 中 , 預 取 記 憶 體 3 0 2 a 、 3 0 2 b 可 以 具 有 與 本 文 進 一 步 描 述 的 內 部 資 料 匯 流 排 3 0 6 a 、 3 0 6 b 的 位 元 寬 相 等 的 容 量 。 例 如 , 預 取 記 憶 體 3 0 2 a 、 3 0 2 b 可 以 是 具 有 2 5 6 位 元 組 合 容 量 的 暫 存 器 陣 列 。

【0062】 在 圖 3 A 所 示 的 實 例 中 , D D R 晶 片 3 0 0 a 亦 可 以 包 括 偽 通 道 選 擇 設 備 3 0 4 a 、 3 0 4 b 。 例 如 , 偽 通 道 選 擇 設 備 3 0 4 a 、 3 0 4 b 可 以 是 任 意 數 量 和 組 合 的 多 工 器 。 每 個 偽 通

道選擇設備 304a、304b 可以通訊地連接到偽通道資料匯流排 312a、312b（例如，圖 2 中的資料匯流排 204a、204b）。每個偽通道選擇設備 304a、304b 亦可以通訊地連接到至少兩個偽通道 220a、220b。偽通道選擇設備 304a、304b 可以經由內部資料匯流排 306a、306b、308a、308b、308c、308d 通訊地連接到偽通道 220a、220b。例如，內部資料匯流排 306a 和 308a 可以通訊地連接偽通道選擇設備 304a 和偽通道 220a，並且內部資料匯流排 306a 和 308b 可以通訊地連接偽通道選擇設備 304b 和偽通道 220a。此外，內部資料匯流排 306b 和 308c 可以通訊地連接偽通道選擇設備 304a 和偽通道 220b，並且內部資料匯流排 306b 和 308d 可以通訊地連接偽通道選擇設備 304b 和偽通道 220b。偽通道選擇設備 304a、304b 可以被配置為經由內部資料匯流排 306a、306b、308a、308b、308c、308d 將偽通道 220a、220b 通訊地連接到多個偽通道資料匯流排 312a、312b，如本文進一步描述的。內部資料匯流排 306a、306b 的大小可以被調整為具有與內部資料匯流排 306a、306b 可以通訊地連接到的至少兩個偽通道資料匯流排 312a、312b 相同的位元寬。例如，內部資料匯流排 306a、306b 可以均具有 32 位元寬，並且偽通道資料匯流排 312a、312b 可以均具有 16 位元寬。內部資料匯流排 308a、308b、308c、308d 的大小可以被調整為具有與內部資料匯流排 308a、308b、308c、308d 可以通訊連接到的偽通道資料匯流排 312a、

3 1 2 b 相同的位元寬。例如，內部資料匯流排 3 0 8 a、3 0 8 b、3 0 8 c、3 0 8 d 可以均具有 1 6 位元寬，並且偽通道資料匯流排 3 1 2 a、3 1 2 b 可以均具有 1 6 位元寬。

【0063】 作為另一實例，專用內部資料匯流排（未圖示）可以將偽通道 2 2 0 a、2 2 0 b 與相應的偽通道選擇設備 3 0 4 a、3 0 4 b 通訊地連接。專用內部資料匯流排的大小可以被調整為具有與專用內部資料匯流排可以通訊地連接到的偽通道資料匯流排 3 1 2 a、3 1 2 b 相同的位元寬。例如，專用內部資料匯流排可以均具有 1 6 位元寬並且偽通道資料匯流排 3 1 2 a、3 1 2 b 可以均具有 1 6 位元寬。預取記憶體 3 0 2 a、3 0 2 b 可以具有等於相應專用內部資料匯流排的組合位元寬的容量，或者可以為每個專用內部資料匯流排提供單獨的預取記憶體。

【0064】 D D R 晶片 3 0 0 a 可以包括偽通道控制器 3 1 6，該偽通道控制器 3 1 6 可以通訊地連接到 C A 匯流排 3 1 4（例如，圖 2 中的 C A 匯流排 2 1 4）並且經由偽通道選擇信號線 3 1 8 a、3 1 8 b 通訊地連接到偽通道選擇設備 3 0 4 a、3 0 4 b。偽通道控制器 3 1 6 可以被配置為經由 C A 匯流排 3 1 4 接收記憶體存取命令。偽通道控制器 3 1 6 可以被配置為解釋記憶體存取命令以決定是否經由偽通道選擇信號線 3 1 8 a、3 1 8 b 提供偽通道選擇信號（包括經由斷言或取消斷言偽通道選擇信號）到偽通道選擇設備 3 0 4 a、3 0 4 b。偽通道控制器 3 1 6 可以接收被配置為指示記憶體存取是低延時類型的記憶體存取的記憶體存取命令。例如，記憶體存取命令

可以包括低延時類型記憶體存取的指示，例如欄位中的值。作為另一實例，模式暫存器寫入可以在記憶體存取命令之前並且被配置為設置暫存器值以向偽通道控制器 316 指示任何隨後的記憶體存取命令將被實施為低延時類型的記憶體存取。偽通道控制器 316 亦可以決定低延時類型記憶體存取所針對的偽通道 220a、220b，並向偽通道選擇設備 304a、304b 發出偽通道選擇信號。偽通道選擇信號可以提示偽通道選擇設備 304a、304b 配置為經由內部資料匯流排 306a、306b、308a、308b、308c、308d 將記憶體存取所針對的偽通道 220a、220b 通訊地連接到偽通道資料匯流排 312a、312b。在一些實例中，到偽通道選擇設備 304a、304b 的偽通道選擇信號可以是相同的偽通道選擇信號。在一些實例中，到偽通道選擇設備 304a、304b 的偽通道選擇信號可以是不同的偽通道選擇信號。在任何前述實例中，DDR 晶片 300a 及 / 或其元件（包括偽通道選擇設備 304a、304b 和偽通道控制器 316）可以在用於實現低延時類型記憶體存取的第一操作模式下操作，無論是記憶體存取命令被配置為指示記憶體存取是低延時類型的記憶體存取還是記憶體存取命令跟隨模式暫存器寫入。

【0065】 類似地，偽通道控制器 316 可以接收被配置為指示記憶體存取是標準或非低延時類型記憶體存取的記憶體存取命令。例如，記憶體存取命令可以包括對標準或非低延時類型記憶體存取的指示，例如欄位中的值。作為另一

實例，記憶體存取命令可以不跟隨如下模式暫存器寫入：該模式暫存器寫入被配置為設置暫存器值以向偽通道控制器 316 指示，任何後續記憶體存取命令將被實施為低延時類型記憶體存取。此外，記憶體存取命令可以跟隨以下模式暫存器寫入：該模式暫存器寫入被配置為設置暫存器值以向偽通道控制器 316 指示，任何後續記憶體存取命令將被實施為標準或非低延時類型記憶體存取。

【0066】 偽通道控制器 316 亦可以決定標準或非低延時類型記憶體存取所針對的偽通道 220a、220b，並向偽通道選擇設備 304a、304b 發出偽通道選擇信號。偽通道選擇信號可以提示偽通道選擇設備 304a、304b 配置為經由內部資料匯流排 306a、306b、308a、308b、308c、308d 將記憶體存取所針對的偽通道 220a、220b 通訊地連接到相應的偽通道資料匯流排 312a、312b。在一些實施例中，到偽通道選擇設備 304a、304b 的偽通道選擇信號可以是相同的偽通道選擇信號。在一些實施例中，到偽通道選擇設備 304a、304b 的偽通道選擇信號可以是不同的偽通道選擇信號。在任何該等實施例中，若記憶體存取命令不跟隨模式暫存器寫入以導致任何後續記憶體存取被實施為低延時類型的記憶體存取，或者記憶體存取命令跟隨模式暫存器寫入以導致任何後續記憶體存取被實施為標準或非低延時類型的記憶體存取（無論記憶體存取命令是被配置為指示記憶體存取是標準的還是非低延時類型的記憶體存取），則 DDR 晶片 300a 及 / 或其元件（包括偽通道選擇設

備 304a、304b 和偽通道控制器 316) 可以在第二操作模式下操作以用於實施標準或非低延時類型記憶體存取。

【0067】 在圖 3B 所示的實例中，DDR 晶片 300b 亦可以包括偽通道選擇設備 320，其可以包括多個和組合的、如本文參考圖 3A 所述的偽通道選擇設備 304a、304b。偽通道選擇設備 320 可以通訊地連接到偽通道資料匯流排 312a、312b (例如，圖 2 中的資料匯流排 204a、204b)。偽通道選擇設備 320 亦可以通訊地連接到至少兩個偽通道 220a、220b。偽通道選擇設備 320 可以經由內部資料匯流排 306a、306b 通訊地連接到偽通道 220a、220b。偽通道選擇設備 320 可以通訊地連接內部資料匯流排 306a、306b、308a、308b、308c、308d，並且偽通道選擇設備 304a、304b 可以經由如本文參考圖 3A 所述的內部資料匯流排 306a、306b、308a、308b、308c、308d 通訊地連接到偽通道 220a、220b。作為另一實例，偽通道選擇設備 320 可以經由如本文參考圖 3A 所述的專用內部資料匯流排 (未圖示) 通訊地連接到偽通道 220a、220b 和偽通道選擇設備 304a、304b。

【0068】 DDR 晶片 300b 可以包括偽通道控制器 316，偽通道控制器 316 可以通訊地連接到如本文參考圖 3A 所述的 CA 匯流排 314 (例如，圖 2 中的 CA 匯流排 214)，並經由偽通道選擇信號線 318c 通訊地連接到偽通道選擇設備 320。偽通道控制器 316 可以經由偽通道選擇設備 320 通訊地連接到偽通道選擇設備 304a、304b。偽通道控制器 316

可以被配置為經由C A匯流排314接收記憶體存取命令。偽通道控制器316可以被配置為解釋記憶體存取命令以決定是否經由偽通道選擇信號線318c向偽通道選擇設備320、304a、304b提供偽通道選擇信號（包括經由斷言或取消斷言偽通道選擇信號）。偽通道控制器316可以接收被配置為指示記憶體存取是低延時類型的記憶體存取的記憶體存取命令，並且決定低延時類型的記憶體存取所針對的偽通道220a、220b，如本文參考3A所描述的。偽通道控制器316可以向偽通道選擇設備320發出偽通道選擇信號，偽通道選擇設備320可以將偽通道選擇信號傳輸到偽通道選擇設備304a、304b。在一些實施例中，偽通道選擇設備320可以將偽通道選擇信號轉發到偽通道選擇設備304a、304b中的一者或多者。偽通道選擇信號可以提示偽通道選擇設備304a、304b配置為經由內部資料匯流排306a、306b、308a、308b、308c、308d將記憶體存取所針對的偽通道220a、220b通訊地連接到偽通道資料匯流排312a、312b，如本文參考圖3A所述。在任何前述實例中，無論記憶體存取命令被配置為指示記憶體存取是低延時類型記憶體存取，還是記憶體存取命令跟隨模式暫存器寫入，DDR晶片300b及/或其元件（包括偽通道選擇設備304a、304b、320和偽通道控制器316）皆可以在第一操作模式下操作以實施低延時類型的記憶體存取。

【0069】 類似地，偽通道控制器316可以接收被配置為指示記憶體存取是標準的或非低延時類型的記憶體存取的記

記憶體存取命令，並決定標準或非低延時類型的記憶體存取所針對的偽通道 220a、220b，如本文參考圖 3A 所描述的。偽通道控制器 316 可以向偽通道選擇設備 320 發出偽通道選擇信號，偽通道選擇設備 320 可以將偽通道選擇信號傳輸到偽通道選擇設備 304a、304b。在一些實施例中，偽通道選擇設備 320 可以將偽通道選擇信號轉發到偽通道選擇設備 304a、304b 中的一者或多者。偽通道選擇信號可以提示偽通道選擇設備 304a、304b 配置成經由內部資料匯流排 306a、306b、308a、308b、308c、308d 將記憶體存取所針對的偽通道 220a、220b 通訊地連接到相應的偽通道資料匯流排 312a、312b，如本文參考圖 3A 所述。若記憶體存取命令不跟隨模式暫存器寫入以導致任何後續記憶體存取被實施為低延時類型的記憶體存取，或者記憶體存取命令跟隨模式暫存器寫入以導致任何後續記憶體存取被實施為標準或非低延時類型記憶體存取（無論記憶體存取命令是被配置為指示記憶體存取是標準的還是非低延時類型的記憶體存取），則 DDR 晶片 300b 及 / 或其元件（包括偽通道選擇設備 304a、304b、320 和偽通道控制器 316）可以在第二操作模式下操作以用於實現標準或非低延時類型的記憶體存取。

【0070】 在本文提供的實例中，諸如元件的數量、尺寸及 / 或容量之類的特定值並不意味著限制請求項和描述的範疇。在此呈現的實例可以類似地應用比在此提供的示例性數量、大小及 / 或容量更大及 / 或更小的元件的數量、尺寸

及/或容量。例如，預取記憶體302a、302b可以具有大於或小於256位元的 2^X 位元的容量。作為另一實例，內部資料匯流排306a、306b可以具有大於或小於32位元的 2^X 位元寬。作為另一實例，偽通道資料匯流排312a、312b可以具有大於或小於16位元的 2^X 位元寬。作為另一實例，內部資料匯流排308a、308b、308c、308d可以具有大於或小於16位元的 2^X 位元寬。對於前述實例，「X」是大於「0」的整數。如本文所述，DDR晶片300a、300b可以包括多於2個的偽通道220a、220b。如此，DDR晶片300a、300b可以包括適當數量的偽通道選擇設備304a、304b、320、內部資料匯流排306a、306b、308a、308b、308c、308d和偽通道選擇信號線318a、318b、318c來實現此處提供的實施例。例如，DDR晶片300a、300b可以包括偽通道220a、220b、偽通道選擇設備304a、304b、320、內部資料匯流排306a、306b、308a、308b、308c、308d和偽通道選擇信號線318a、318b、318c的一或多個複製作為圖3中所示的實例。作為另一個實例，DDR晶片300a、300b可以包括附加的偽通道、偽通道選擇設備、內部資料匯流排和偽通道選擇信號線，以擴展圖3A和圖3B中所示的實例。例如，一或多個附加偽通道可以經由附加內部資料匯流排和附加偽通道選擇信號線通訊地連接到偽通道選擇設備304a、304b、320中的一者或多者和至少一個附加偽通道選擇設備，並且附加偽通道選擇信號線可以通訊地連接到任何附加的偽通道選擇設備。

【0071】 圖 4 A - 圖 4 C 圖示適用於實施各種實施例的基於偽通道的記憶體系統（例如，圖 1 中的記憶體 1 0 6、記憶體 1 1 4）的示例性功能。參考圖 1 - 圖 4 C，示例性基於偽通道的記憶體系統可以包括 D D R 晶片 3 0 0 a（例如，圖 2 中的 D D R 晶片 2 0 0），包括偽通道 2 2 0 a、2 2 0 b、儲存體 2 2 4 a、2 2 4 b、儲存體群組 2 2 2 a、2 2 2 b、預取記憶體 3 0 2 a、3 0 2 b、偽通道選擇設備 3 0 4 a、3 0 4 b、內部資料匯流排 3 0 6 a、3 0 6 b、3 0 8 a、3 0 8 b、3 0 8 c、3 0 8 d、偽通道控制器 3 1 6 和偽通道選擇信號線 3 1 8 a、3 1 8 b。D D R 晶片 3 0 0 a 亦可以包括偽通道資料匯流排 3 1 2 a、3 1 2 b 和 C A 匯流排 3 1 4。

【0072】 圖 4 A 和圖 4 B 中所示的實例可以是 D D R 晶片 3 0 0 a 及 / 或其元件，包括偽通道選擇設備 3 0 4 a、3 0 4 b 和偽通道控制器 3 1 6，其以第一操作模式操作以用於實施低延時類型的記憶體存取。參考圖 4 A，偽通道控制器 3 1 6 可以決定以偽通道 2 2 0 a 為目標的低延時類型的記憶體存取。偽通道控制器 3 1 6 可以向偽通道選擇設備 3 0 4 a 發送偽通道選擇信號，偽通道選擇設備 3 0 4 a 被配置為使偽通道選擇設備 3 0 4 a 將偽通道 2 2 0 a 通訊地連接到偽通道資料匯流排 3 1 2 a。作為回應，偽通道選擇設備 3 0 4 a 可以經由內部資料匯流排 3 0 6 a、3 0 8 a 將偽通道 2 2 0 a 通訊地連接到偽通道資料匯流排 3 1 2 a。對於以偽通道 2 2 0 a 為目標的相同的低延時類型的記憶體存取，偽通道控制器 3 1 6 可以向偽通道選擇設備 3 0 4 b 發送偽通道選擇信號，偽通道選擇設備

3 0 4 b 被配置為使偽通道選擇設備 3 0 4 b 將偽通道 2 2 0 a 通訊地連接到偽通道資料匯流排 3 1 2 b 。作為回應，偽通道選擇設備 3 0 4 b 可以經由內部資料匯流排 3 0 6 a 、3 0 8 b 將偽通道 2 2 0 a 通訊地連接到偽通道資料匯流排 3 1 2 b 。將偽通道 2 2 0 a 通訊地連接到偽通道資料匯流排 3 1 2 a 、3 1 2 b 可以包括經由偽通道選擇設備 3 0 4 a 、3 0 4 b 將偽通道 2 2 0 b 與偽通道資料匯流排 3 1 2 a 、3 1 2 b 通訊地斷開（用以虛線表示的內部資料匯流排 3 0 6 b 、3 0 8 c 、3 0 8 d 圖示）。

【0073】 對於低延時類型的讀記憶體存取，可以從與偽通道 2 2 0 a 相關聯的預取記憶體 3 0 2 a 中讀出資料，並經由內部資料匯流排 3 0 6 a 、3 0 8 a 、3 0 8 b 和偽通道選擇設備 3 0 4 a 、3 0 4 b 將資料提供給偽通道資料匯流排 3 1 2 a 、3 1 2 b 。對於低延時類型的寫記憶體存取，可以將資料寫入與偽通道 2 2 0 a 相關聯的儲存體 2 2 4 a ，經由內部資料匯流排 3 0 6 a 、3 0 8 a 、3 0 8 b 和偽通道選擇設備 3 0 4 a 、3 0 4 b 從偽通道資料匯流排 3 1 2 a 、3 1 2 b 提供。

【0074】 如前述，在替代實施方式中，偽通道選擇設備 3 0 4 a 可以經由專用內部資料匯流排（未圖示）將偽通道 2 2 0 a 通訊地連接到偽通道資料匯流排 3 1 2 a 。同樣，偽通道選擇設備 3 0 4 b 可以經由專用內部資料匯流排（未圖示）將偽通道 2 2 0 a 通訊地連接到偽通道資料匯流排 3 1 2 b 。

【0075】 參考圖 4 B ，偽通道控制器 3 1 6 可以決定以偽通道 2 2 0 b 為目標的低延時類型的記憶體存取。偽通道控制器 3 1 6 可以向偽通道選擇設備 3 0 4 a 發送偽通道選擇信號，偽

通道選擇設備 304a 被配置為使偽通道選擇設備 304a 將偽通道 220b 通訊地連接到偽通道資料匯流排 312a。作為回應，偽通道選擇設備 304a 可以經由內部資料匯流排 306b、308c 將偽通道 220b 通訊地連接到偽通道資料匯流排 312a。對於以偽通道 220b 為目標的相同的低延時類型的記憶體存取，偽通道控制器 316 可以向偽通道選擇設備 304b 發送偽通道選擇信號，該偽通道選擇設備 304b 被配置為使偽通道選擇設備 304b 將偽通道 220b 通訊地連接到偽通道資料匯流排 312b。作為回應，偽通道選擇設備 304b 可以經由內部資料匯流排 306b、308d 將偽通道 220b 通訊地連接到偽通道資料匯流排 312b。將偽通道 220b 通訊地連接到偽通道資料匯流排 312a、312b 可以包括經由偽通道選擇設備 304a、304b 將偽通道 220a 與偽通道資料匯流排 312a、312b 通訊地斷開（用以虛線表示的內部資料匯流排 306a、308a、308b 圖示）。

【0076】對於低延時類型的讀記憶體存取，可以從與偽通道 220b 相關聯的預取記憶體 302b 中讀出資料，並經由內部資料匯流排 306b、308c、308d 和偽通道選擇設備 304a、304b 將其提供給偽通道資料匯流排 312a、312b。對於低延時類型的寫記憶體存取，可以將資料寫入與偽通道 220b 相關聯的儲存體 224b，並經由內部資料匯流排 306b、308c、308d 和偽通道選擇設備 304a、304b 從偽通道資料匯流排 312a、312b 提供。

【0077】 如前述，在替代實施方式中，偽通道選擇設備 304a 可以經由專用內部資料匯流排（未圖示）將偽通道 220b 通訊地連接到偽通道資料匯流排 312a。同樣，偽通道選擇設備 304b 可以經由專用內部資料匯流排（未圖示）將偽通道 220b 通訊地連接到偽通道資料匯流排 312b。

【0078】 圖 4C 中圖示的實例是 DDR 晶片 300a 及 / 或其元件（包括偽通道選擇設備 304a、304b 和偽通道控制器 316）以第二操作模式操作，以用於實現標準或非低延時類型記憶體存取。參考圖 4C，偽通道控制器 316 可以決定以偽通道 220a、220b 中任一者為目標的標準或非低延時類型的記憶體存取。偽通道控制器 316 可以向偽通道選擇設備 304a 發送偽通道選擇信號，偽通道選擇設備 304a 被配置為使偽通道選擇設備 304a 將偽通道 220a 通訊地連接到偽通道資料匯流排 312a。作為回應，偽通道選擇設備 304a 可以經由內部資料匯流排 306a、308a 將偽通道 220a 通訊地連接到偽通道資料匯流排 312a。將偽通道 220a 通訊地連接到偽通道資料匯流排 312a 可以包括經由偽通道選擇設備 304a 將偽通道 220b 與偽通道資料匯流排 312a 通訊地斷開（用以虛線表示的內部資料匯流排 308c 圖示）。對於以偽通道 220a、220b 中的任一者為目標的相同標準或非低延時類型的記憶體存取，偽通道控制器 316 可以向偽通道選擇設備 304b 發送偽通道選擇信號，偽通道選擇設備 304b 被配置為使偽通道選擇設備 304b 將偽通道 220b 通訊地連接到偽通道資料匯流排 312b。作為回

應，偽通道選擇設備 304b 可以經由內部資料匯流排 306b、308d 將偽通道 220b 通訊地連接到偽通道資料匯流排 312b。將偽通道 220b 通訊地連接到偽通道資料匯流排 312b 可以包括經由偽通道選擇設備 304b 將偽通道 220a 與偽通道資料匯流排 312b 通訊地斷開（用以虛線表示的內部資料匯流排 308b 圖示）。

【0079】對於標準或非低延時類型的讀記憶體存取，可以從與目標偽通道 220a、220b 相關聯的預取記憶體 302a、302b 中讀出資料並經由適當的內部資料匯流排 306a、306b、308a、308d 和適當的偽通道選擇設備 304a、304b 將資料提供給通訊地連接到目標偽通道 220a、220b 的偽通道資料匯流排 312a、312b。對於標準或非低延時類型的寫記憶體存取，可以將資料寫入與目標偽通道 220a、220b 相關聯的儲存體 224a、224b，經由適當的內部資料匯流排 306a、306b、308a、308d 和適當的偽通道選擇設備 304a、304b 從通訊地連接到目標偽通道 220a、220b 的偽通道資料匯流排 312a、312b 提供。

【0080】在替代實施方式中，偽通道選擇設備 304a 可以經由專用內部資料匯流排（未圖示）將偽通道 220a 通訊地連接到偽通道資料匯流排 312a。同樣，偽通道選擇設備 304b 可以經由專用內部資料匯流排（未圖示）將偽通道 220b 通訊地連接到偽通道資料匯流排 312b。

【0081】參考圖 4A - 圖 4C 描述的前述實例可以類似地適用於圖 3B 所示的示例性基於偽通道的記憶體系統，其包括

DDR 晶片 300b (例如, 圖 2 中的 DDR 晶片 200) (未圖示), 其包括偽通道 220a、220b、儲存體 224a、224b、儲存體群組 222a、222b、預取記憶體 302a、302b、偽通道選擇設備 304a、304b、320、內部資料匯流排 306a、306b、308a、308b、308c、308d、偽通道控制器 316 和偽通道選擇信號線 318c。DDR 晶片 300b 亦可以包括偽通道資料匯流排 312a、312b 和 CA 匯流排 314。然而, 不是偽通道控制器 316 經由偽通道選擇信號線 318a、318b 向偽通道選擇設備 304a、304b 傳輸偽通道選擇信號; 而是偽通道控制器 316 可以經由偽通道選擇信號線 318c 向偽通道選擇設備 304a、304b、320 傳輸偽通道選擇信號。在一些實施例中, 偽通道控制器 316 可以將一或多個偽通道選擇信號傳輸到偽通道選擇設備 320, 偽通道選擇設備 320 可以將一或多個偽通道選擇信號傳輸到偽通道選擇設備 304a、304b。

【0082】 圖 5 圖示了根據一些實施例的用於減少基於偽通道的記憶體系統 (例如, 圖 1 中的記憶體 106、記憶體 114、圖 2 中的 DDR 200、圖 3A - 圖 4C 中的 DDR 300a、300b) 中的延時的方法 500。參考圖 1 - 圖 5, 方法 500 可以在計算設備 (例如, 圖 1 中的計算設備 100) 中、在硬體中、在處理器中執行的軟體中, 或者在軟體配置的處理器和專用硬體的組合中實現, 專用硬體包括其他各個元件, 例如各種記憶體/快取記憶體 (例如, 圖 1 中的記憶體 106、記憶體 114、圖 2 中的 DDR 200、圖 3A - 圖 4C 中的 DDR 300a、

300b、圖2-圖4C中的儲存體224a、224b)和各種記憶體/快取記憶體控制器(例如,圖3A-圖4C中的偽通道控制器316)。為了涵蓋在各種實施例中啟用的替代配置,實施方法500的硬體在本文中被称为「記憶體控制設備」。

【0083】 在方塊502中,記憶體控制設備可以接收記憶體存取命令。記憶體存取命令可以包括標準或非低延時類型的記憶體存取命令,或低延時類型的記憶體存取命令。標準或非低延時類型的記憶體存取命令和低延時類型的記憶體存取命令可以是此種記憶體存取類型命令:低延時類型記憶體存取命令可以被配置為提供具有與標準或非低延時類型的記憶體存取命令相比較低的延時的記憶體存取。在一些實例中,記憶體存取命令可以包括被配置為指示記憶體存取命令是否是低延時類型的記憶體存取命令的態樣。例如,記憶體存取命令可以包括被配置為具有用於指示記憶體存取命令是否是低延時類型記憶體存取命令的值的欄位。記憶體存取命令亦可以與記憶體存取命令的目標位址相關聯,該目標位址可以常駐在偽通道(例如,圖2-圖4C中的偽通道220a、220b)中。

【0084】 記憶體存取命令可以由記憶體控制設備經由CA匯流排(例如,圖2中的CA匯流排214、圖3A-圖4C中的CA匯流排314)接收。在一些實例中,記憶體存取命令可以是寫記憶體存取,並且與寫記憶體存取相關聯的資料可以在經由一或多個偽通道資料匯流排(例如,圖2中的資料匯流排204a、204b,圖3A-圖4C中的偽通道資料匯流排

3 1 2 a 、 3 1 2 b) 與記憶體控制設備相關聯或被包括在記憶體控制設備中的記憶體 (例如 , 圖 1 中的記憶體 1 0 6 、 記憶體 1 1 4 、 圖 2 中的 D D R 2 0 0 、 圖 3 A - 圖 4 C 的 D D R 3 0 0 a 、 3 0 0 b) 處被接收。例如 , 對於標準或非低延時類型的寫記憶體存取 , 可以在專用於目標偽通道的偽通道資料匯流排上接收資料。在另一實例中 , 對於低延時類型的寫記憶體存取 , 可以在多個偽通道資料匯流排上接收資料 , 其中一個偽通道資料匯流排可以是專用於目標偽通道的偽通道資料匯流排。在一些實例中 , 在方塊 5 0 2 中接收記憶體存取命令的記憶體控制設備可以包括偽通道控制器 (例如 , 圖 3 A - 圖 4 C 中的偽通道控制器 3 1 6) 。

【0085】 在方塊 5 0 4 中 , 記憶體控制設備可以決定記憶體存取命令的偽通道。記憶體控制設備可以將接收到的位址用於記憶體存取命令並決定該位址所在的偽通道。在一些實例中 , 記憶體控制設備可以存取將偽通道的偽通道識別符 (I D) 與偽通道的位址範圍相關聯的資料結構 , 例如表、陣列等。記憶體控制設備可以將記憶體存取命令的位址與偽通道的位址範圍進行比較 , 並決定與記憶體存取命令的位址所在的位址範圍相關聯的偽通道 I D 。在一些實例中 , 在方塊 5 0 4 中決定記憶體存取命令的偽通道的記憶體控制設備可以包括偽通道控制器。

【0086】 在決定方塊 5 0 6 中 , 記憶體控制設備可以決定接收到的記憶體存取命令是否是低延時類型的記憶體存取命令。記憶體控制設備可以解釋記憶體存取命令的被配置為

指示記憶體存取命令是否是低延時類型記憶體存取命令的狀態以決定接收到的記憶體存取命令是否是低延時類型記憶體存取命令。例如，記憶體存取命令的欄位中的值可以被配置為指示記憶體存取命令是否為低延時類型的記憶體存取命令。在一些實例中，該值可以是以下位元值：「1」可以指示低延時類型的記憶體存取命令並且「0」可以指示標準或非低延時類型的記憶體存取命令，反之亦然。在一些實例中，在決定方塊506中決定接收到的記憶體存取命令是否是低延時類型的記憶體存取命令的記憶體控制設備可以包括偽通道控制器。

【0087】 回應於決定接收到的記憶體存取命令是低延時類型的記憶體存取命令（亦即，決定方塊506 = 「是」），在方塊508中，記憶體控制設備可以將偽通道選擇信號傳輸到兩個或更多個偽通道選擇設備（例如，圖3A - 圖4C中的偽通道選擇設備304a、304b、320）。偽通道選擇信號可以被配置為使偽通道選擇設備配置一或多個偽通道資料匯流排和多個內部資料匯流排（例如，圖3A - 圖4C中的內部資料匯流排306a、306b、308a、308b、308c、308d）之間的通訊連接。實際上，偽通道選擇信號可以被配置為使偽通道選擇設備配置一或多個偽通道資料匯流排和偽通道之間的通訊連接，包括偽通道的儲存體（例如，圖2 - 圖4C中的儲存體224a、224b）。偽通道選擇信號可以向偽通道選擇設備指示以將低延時類型記憶體存取命令所針對的偽通道通訊地連接到多個偽通道資料匯流排。在一些實

例中，記憶體控制設備可以將相同的偽通道選擇信號傳輸到偽通道選擇設備。在一些實例中，記憶體控制設備可以將不同的偽通道選擇信號傳輸到偽通道選擇設備。在一些實例中，將偽通道選擇信號傳輸到偽通道選擇設備可以包括不傳輸偽通道選擇信號。例如，回應於沒有接收到偽通道選擇信號，偽通道選擇設備可以預設選擇特定的（預配置的）偽通道。記憶體控制設備可以在第一操作模式下操作，以用於實施低延時類型的記憶體存取。在一些實例中，在方塊 508 中將偽通道選擇信號傳輸到偽通道選擇設備的記憶體控制設備可以包括偽通道控制器。

【0088】 在方塊 510 中，記憶體控制設備可以併發地經由偽通道 IO（例如，圖 2 中的偽通道 IO 202a、202b、資料匯流排 204a、204b、圖 3A - 圖 4C 中的偽通道選擇設備 304a、304b、320、偽通道資料匯流排 312a、312b）從目標偽通道讀取資料及/或將資料寫入目標偽通道。低延時類型記憶體存取命令的目標偽通道可以經由經由偽通道選擇設備配置的通訊連接使用多個偽通道資料匯流排從記憶體讀取及/或寫入記憶體。通常，任何記憶體存取命令的目標偽通道可以僅使用專用於偽通道的單個偽通道資料匯流排來從中讀取及/或向其寫入。因此，偽通道的 IO 的位元寬受到單偽通道資料匯流排的位元寬的限制。經由併發地使用多條偽通道資料匯流排啟用從低延時類型記憶體存取命令的目標偽通道的讀取及/或向其的寫入，與經由使用多條偽通道資料匯流排的多達全部位元寬使用單個偽通道資

料匯流排相比，可以增加偽通道的IO的位元寬。此外，由於可以使用多條偽通道資料匯流排併發地讀取及/或寫入更多資料，因此偽通道的IO的增加的位元寬可以實現減少用於從偽通道讀取及/或寫入偽通道的短脈衝長度。在一些實施例中，在方塊510中併發地經由偽通道IO從偽通道讀取資料及/或向偽通道寫資料的記憶體控制設備可以包括偽通道控制器、偽通道選擇設備及/或偽通道IO（例如，圖2中的偽通道IO 202a、202b）。

【0089】 回應於決定接收到的記憶體存取命令不是低延時類型的記憶體存取命令（亦即，決定方塊506 = 「否」），在方塊512中，記憶體控制設備可以將偽通道選擇信號傳輸到一或多個偽通道選擇設備。偽通道選擇信號可以類似於在方塊508中描述的偽通道選擇信號。然而，偽通道選擇信號可以使偽通道選擇設備將標準或非低延時類型記憶體存取命令所針對的偽通道通訊地連接到專用於偽通道的單個偽通道資料匯流排。記憶體控制設備可以在第二操作模式下操作，以用於實施標準或非低延時類型記憶體存取。在一些實施例中，在方塊512中將偽通道選擇信號傳輸到偽通道選擇設備的記憶體控制設備可以包括偽通道控制器。

【0090】 在方塊514中，記憶體控制設備可以經由單個專用偽通道IO從目標偽通道讀取資料及/或將資料寫入到目標偽通道。標準或非低延時類型記憶體存取命令的目標偽通道可以經由經由相應偽通道選擇設備配置的通訊連接使

用單個專用偽通道資料匯流排來從中讀取及/或向其寫入。在一些實施例中，在方塊514中經由單個專用偽通道IO從偽通道讀取資料及/或將資料寫入偽通道的記憶體控制設備可以包括偽通道控制器、偽通道選擇設備及/或偽通道IO（例如，圖2中的偽通道IO 202a、202b）。

【0091】 圖6圖示了根據一些實施例的用於減少基於偽通道的記憶體系統（例如，圖1中的記憶體106、記憶體114、圖2中的DDR 200、圖3A-圖4C中的DDR 300a、300b）中的延時的方法600。參考圖1-圖6，方法600可以在計算設備（例如，圖1中的計算設備100）中、在硬體中、在處理器中執行的軟體中，或在軟體配置的處理器和專用硬體的組合中實現，專用硬體包括其他各個元件，例如各種記憶體/快取記憶體（例如，圖1中的記憶體106、記憶體114、圖2中的DDR 200、圖3A-圖4C中的DDR 300a、300b、圖2-圖4C中的儲存體224a、224b）和各種記憶體/快取記憶體控制器（例如，圖3A-圖4C中的偽通道控制器316）。為了涵蓋在各種實施例中啟用的替代配置，實施方法600的硬體在本文中被稱為「記憶體控制設備」。方塊502、504、508、510可以以類似於本文參考圖5描述的方法500的類似編號的方塊的方式來實施。

【0092】 在方塊602中，記憶體控制設備可以接收用於低延時類型記憶體存取的模式暫存器寫命令。模式暫存器寫命令可以被配置為提示記憶體控制設備設置暫存器值以向

記憶體控制設備指示，任何後續記憶體存取命令將被實施為低延時類型的記憶體存取。

【0093】 在方塊 604 中，記憶體控制設備可以設置用於低延時類型的記憶體存取的暫存器值。此後，記憶體控制設備可以在第一操作模式下操作，以用於實施低延時類型的記憶體存取。在方塊 602 中接收用於低延時類型記憶體存取的模式暫存器寫命令並在方塊 604 中設置用於低延時類型記憶體存取的暫存器值的記憶體控制設備可以包括偽通道控制器（例如，圖 3A - 圖 4C 中的偽通道控制器 316）。

【0094】 在方塊 502 中，記憶體控制設備可以接收記憶體存取命令。在一些實例中，在方塊 502 中接收記憶體存取命令的記憶體控制設備可以包括偽通道控制器（例如，圖 3A - 圖 4C 中的偽通道控制器 316）。

【0095】 在方塊 504 中，記憶體控制設備可以決定記憶體存取命令的偽通道（例如，圖 2 - 圖 4C 中的偽通道 220a、220b）。在一些實例中，在方塊 504 中決定記憶體存取命令的偽通道的記憶體控制設備可以包括偽通道控制器。

【0096】 在方塊 508 中，記憶體控制設備可以將偽通道選擇信號傳輸到偽通道選擇設備（例如，圖 3A - 圖 4C 中的偽通道選擇設備 304a、304b、320）。在一些實例中，在方塊 508 中將偽通道選擇信號傳輸到偽通道選擇設備的記憶體控制設備可以包括偽通道控制器。

【0097】 在方塊 510 中，記憶體控制設備可以併發地經由偽通道 IO（例如，圖 2 中的資料匯流排 204a、204b、偽

通道選擇設備 304a、304b、320、圖3A-圖4C中的偽通道資料匯流排312a、312b)從偽通道讀取資料及/或向偽通道寫資料。在一些實施例中，在方塊510中併發地經由偽通道IO從偽通道讀取資料及/或向偽通道寫資料的記憶體控制設備可以包括偽通道控制器、偽通道選擇設備及/或偽通道IO(例如，圖2中的偽通道IO 202a、202b)。

【0098】 圖7圖示根據實施例的用於在基於偽通道的記憶體系統(例如，圖1中的記憶體106、記憶體114、圖2中的DDR 200、圖3A-圖4C中的DDR 300a、300b)中減少讀記憶體命令的延時的方法700。參考圖1-圖7，方法700可以在計算設備(例如，圖1中的計算設備100)中、在硬體中、在處理器中執行的軟體中，或在軟體配置的處理器和專用硬體的組合中實現，專用硬體包括其他各個元件，例如各種記憶體/快取記憶體(例如，圖1中的記憶體106、記憶體114、圖2中的DDR 200、圖3A-圖4C中的DDR 300a、300b、圖2-圖4C中的儲存體224a、224b、圖3A-圖4C中的偽通道選擇設備304a、304b、320)和各種記憶體/快取記憶體控制器(例如，圖3A-圖4C中的偽通道控制器316)。為了涵蓋在各種實施例中啟用的替代配置，實施方法700的硬體在本文中被稱為「記憶體控制設備」。方塊702、704、706、708包括關於如所描述的方法500、600的方塊510中的操作的進一步細節。

【0099】 在方塊702中，記憶體控制設備可以接收偽通道讀取資料。偽通道讀取資料可以從與低延時類型的讀記憶體

體存取的目標偽通道（例如，圖 3 A - 圖 4 C 中的偽通道 2 2 0 a、2 2 0 b）相關聯的或包括在其中的預取記憶體（例如，圖 3 A - 圖 4 C 中的預取記憶體 3 0 2 a、3 0 2 b）中讀出。偽通道讀取資料可以經由內部資料匯流排（例如，圖 3 A - 圖 4 C 中的內部資料匯流排 3 0 6 a、3 0 6 b、3 0 8 a、3 0 8 b、3 0 8 c、3 0 8 d）傳輸到多個偽通道選擇設備（例如，圖 3 A - 圖 4 C 中的偽通道選擇設備 3 0 4 a、3 0 4 b、3 2 0）。在一些實例中，在方塊 7 0 2 中接收偽通道讀取資料的記憶體控制設備可以包括多個偽通道選擇設備。

【0100】 在方塊 7 0 4 中，記憶體控制設備可以接收偽通道選擇信號。偽通道選擇信號可以是在所描述的方法 5 0 0、6 0 0 的方塊 5 0 8 中傳輸的偽通道選擇信號。可以在多個偽通道選擇設備處接收偽通道選擇信號。在一些實例中，在方塊 7 0 4 中接收偽通道選擇信號的記憶體控制設備可以包括多個偽通道選擇設備。

【0101】 在方塊 7 0 6 中，記憶體控制設備可以配置偽通道選擇設備以將偽通道讀取資料從目標偽通道輸出到多個偽通道 I/O（例如，圖 2 中的偽通道 I/O 2 0 2 a、2 0 2 b、資料匯流排 2 0 4 a、2 0 4 b、圖 3 A - 圖 4 C 中的偽通道資料匯流排 3 1 2 a、3 1 2 b）。偽通道選擇設備可以被配置成通訊地連接相應偽通道資料匯流排（例如，圖 2 中的資料匯流排 2 0 4 a、2 0 4 b、圖 3 A - 圖 4 C 中的偽通道資料匯流排 3 1 2 a、3 1 2 b）和多個內部資料匯流排。實際上，偽通道選擇設備可以被配置成通訊地連接多個偽通道資料匯流排和目標偽

通道，包括目標偽通道的儲存體（例如，圖 2 - 圖 4 C 中的儲存體 2 2 4 a、2 2 4 b）。偽通道選擇設備可以被配置為：回應於偽通道選擇信號而將低延時類型讀記憶體存取所針對的偽通道通訊地連接到多個偽通道資料匯流排。在一些實例中，在方塊 7 0 6 中配置偽通道選擇設備以將偽通道讀取資料從目標偽通道輸出到多個偽通道 I O 的記憶體控制設備可以包括多個偽通道選擇設備。

【0102】 在方塊 7 0 8 中，記憶體控制設備可以將偽通道選擇設備處的偽通道讀取資料輸出到偽通道 I O。在方塊 7 0 6 中，記憶體控制設備可以併發地將在方塊 7 0 2 中接收到的偽通道讀取資料輸出到通訊地連接到低延時類型讀記憶體存取的目標偽通道的多個偽通道 I O。在一些實例中，在方塊 7 0 8 中將偽通道選擇設備處的偽通道讀取資料輸出到偽通道 I O 的記憶體控制設備可以包括多個偽通道選擇設備及 / 或偽通道 I O。

【0103】 圖 8 圖示根據一個實施例的用於在基於偽通道的記憶體系統（例如，圖 1 中的記憶體 1 0 6、記憶體 1 1 4、圖 2 中的 D D R 2 0 0、圖 3 A - 圖 4 C 中的 D D R 3 0 0 a、3 0 0 b）中減少用於寫記憶體命令的延時的方法 8 0 0。參考圖 1 - 圖 8，方法 8 0 0 可以在計算設備（例如，圖 1 中的計算設備 1 0 0）中、在硬體中、在處理器中執行的軟體中，或在軟體配置的處理器和專用硬體的組合中實施，專用硬體包括其他各個元件，例如各種記憶體 / 快取記憶體（例如，圖 1 中的記憶體 1 0 6、記憶體 1 1 4、圖 2 中的 D D R 2 0 0、圖 3 A - 圖 4 C

中的 D D R 3 0 0 a 、 3 0 0 b 、 圖 2 - 圖 4 C 中的儲存體 2 2 4 a 、 2 2 4 b 、 圖 3 A - 圖 4 C 中的偽通道選擇設備 3 0 4 a 、 3 0 4 b 、 3 2 0) 和各種記憶體/快取記憶體控制器(例如,圖 3 A - 圖 4 C 中的偽通道控制器 3 1 6)。為了涵蓋在各種實施例中啟用的替代配置,實施方法 8 0 0 的硬體在本文中被稱為「記憶體控制設備」。方塊 8 0 2 、 8 0 4 、 8 0 6 包括可以在本文參考圖 5 和圖 6 描述的方法 5 0 0 、 6 0 0 的方塊 5 1 0 中執行的更詳細的操作。

【0104】 在方塊 8 0 2 中,記憶體控制設備可以經由多個偽通道 I O (例如,圖 2 中的偽通道 I O 2 0 2 a 、 2 0 2 b 、 資料匯流排 2 0 4 a 、 2 0 4 b 、 圖 3 A - 圖 4 C 中的偽通道資料匯流排 3 1 2 a 、 3 1 2 b) 在偽通道選擇設備(例如,圖 3 A - 圖 4 C 中的偽通道選擇設備 3 0 4 a 、 3 0 4 b 、 3 2 0) 處接收偽通道寫資料。偽通道寫資料可以經由多個偽通道資料匯流排(例如圖 2 中的資料匯流排 2 0 4 a 、 2 0 4 b 、 圖 3 A - 圖 4 C 中的偽通道資料匯流排 3 1 2 a 、 3 1 2 b) 併發地從主機(例如,圖 1 中的 C P U 1 0 4 、 處理器 1 2 4) 接收以用於低延時類型的寫記憶體存取。每個偽通道資料匯流排可以通訊地連接到不同的偽通道選擇設備。經由每個偽通道資料匯流排傳輸的資料可以在相應的通訊連接的偽通道選擇設備處併發地接收。在一些實例中,在方塊 8 0 2 中經由多個偽通道 I O 在偽通道選擇設備處接收偽通道寫資料的記憶體控制設備可以包括多個偽通道選擇設備。

【0105】 在方塊 704 中，記憶體控制設備可以接收偽通道選擇信號。偽通道選擇信號可以是在本文參考圖 5 和圖 6 描述的方法 500、600 的方塊 508 中傳輸的偽通道選擇信號。可以在多個偽通道選擇設備處接收偽通道選擇信號。在一些實例中，在方塊 804 中接收偽通道選擇信號的記憶體控制設備可以包括多個偽通道選擇設備。

【0106】 在方塊 804 中，記憶體控制設備可以配置偽通道選擇設備以將偽通道寫資料從多個偽通道 IO 輸出到低延時類型的寫記憶體存取的目標偽通道（例如，圖 3A - 圖 4C 中的偽通道 220a、220b）。偽通道選擇設備可以被配置為通訊地連接相應偽通道資料匯流排（例如，圖 2 中的資料匯流排 204a、204b、圖 3A - 圖 4C 中的偽通道資料匯流排 312a、312b）和多個內部資料匯流排（例如，圖 3A - 圖 4C 中的內部資料匯流排 306a、306b、308a、308b、308c、308d）。實際上，偽通道選擇設備可以被配置成通訊地連接多個偽通道資料匯流排和目標偽通道，包括目標偽通道的儲存體（例如，圖 2 - 圖 4C 中的儲存體 224a、224b）。偽通道選擇設備可以被配置為：回應於偽通道選擇信號而將低延時類型寫記憶體存取所針對的偽通道通訊地連接到多個偽通道資料匯流排。在一些實例中，在方塊 806 中配置偽通道選擇設備以將偽通道寫資料從多個偽通道 IO 輸出到低延時類型寫記憶體存取的目標偽通道的記憶體控制設備可以包括多個偽通道選擇設備。

【0107】 在方塊 806 中，記憶體控制設備可以將偽通道選擇設備處的偽通道寫資料輸出到低延時類型寫記憶體存取的目標偽通道。記憶體控制設備可以將在方塊 802 中接收到的偽通道寫資料輸出到在方塊 806 中通訊地連接到多個偽通道 IO 的低延時類型寫記憶體存取的目標偽通道。在一些實例中，在方塊 808 中將偽通道選擇設備處的偽通道寫資料輸出到低延時類型寫記憶體存取的目標偽通道的記憶體控制設備可以包括多個偽通道選擇設備。

【0108】 圖 9 圖示了根據實施例的用於減少基於偽通道的記憶體系統（例如，圖 1 中的記憶體 106、記憶體 114、圖 2 中的 DDR 200、圖 3A - 圖 4C 中的 DDR 300a、300b）中的延時的方法 900。參考圖 1 - 圖 9，方法 900 可以在計算設備（例如，圖 1 中的計算設備 100）中、在硬體中、在處理器中執行的軟體中，或在軟體配置的處理器和專用硬體的組合中實施，專用硬體包括其他各個元件，例如各種記憶體 / 快取記憶體（例如，圖 1 中的記憶體 106、記憶體 114、圖 2 中的 DDR 200、圖 3A - 圖 4C 中的 DDR 300a、300b、圖 2 - 圖 4C 中的儲存體 224a、224b）和各種記憶體 / 快取記憶體控制器（例如，圖 3A - 圖 4C 中的偽通道控制器 316）。為了涵蓋在各種實施例中啟用的替代配置，實施方法 900 的硬體在本文中被稱為「記憶體控制設備」。在一些實例中，方法 900 可以在本文參考圖 5 和圖 6 描述的方法 500、600 之前及 / 或與之併發地實施。

【0109】 在決定方塊902中，記憶體控制設備可以決定是否實施低延時記憶體存取命令。在一些實例中，可以滿足條件以決定是否實施低延時記憶體存取命令。例如，實施低延時記憶體存取命令可以取決於基於偽通道的記憶體系統的時鐘頻率。例如，可以針對等於或小於閾值（例如1600 MHz）的基於偽通道的記憶體系統的時鐘頻率實施低延時記憶體存取命令。作為另一實例，實施低延時記憶體存取命令可以取決於為基於偽通道的記憶體系統實施的IO方案。例如，可以針對為基於偽通道的記憶體系統實施的NRZ譯碼IO方案實施低延時記憶體存取命令。作為另一實例，實施低延時記憶體存取命令可以取決於基於偽通道的記憶體系統的時鐘頻率和為基於偽通道的記憶體系統實施的IO方案的組合。例如，可以針對等於或小於閾值（例如1600 MHz）的基於偽通道的記憶體系統的時鐘頻率實施低延時記憶體存取命令，並且針對基於偽通道的記憶體系統實施NRZ譯碼IO方案。在一些實例中，在方塊902中決定是否實施低延時記憶體存取命令的記憶體控制設備可以包括偽通道控制器（例如，圖3A - 圖4C中的偽通道控制器316）。

【0110】 回應於決定實施低延時記憶體存取命令（亦即，決定方塊902 = 「是」），記憶體控制設備可以實施方法500（例如，開始於在本文參考圖5描述的方塊502、504、506中的任何一個中的操作）或方法600（例如，開始於在本文參考圖6描述的方塊602、604中的任一者中的操作）。回應於決定不實施低延時記憶體存取命令（亦即，決定方

塊 9 0 2 = 「 否 」) ， 記 憶 體 控 制 設 備 可 以 實 施 本 文 參 考 圖 5 描 述 的 方 法 5 0 0 的 方 塊 5 1 2 中 的 操 作 。

【0111】 圖 1 0 A 、 圖 1 0 B 、 圖 1 1 A 和 圖 1 1 B 圖 示 根 據 一 些 實 施 例 的 在 基 於 偽 通 道 的 記 憶 體 系 統 (例 如 , 圖 1 中 的 記 憶 體 1 0 6 、 記 憶 體 1 1 4 、 圖 2 中 的 D D R 2 0 0 、 圖 3 A - 圖 4 C 中 的 D D R 3 0 0 a 、 3 0 0 b) 中 具 有 和 不 具 有 降 低 延 時 的 記 憶 體 存 取 命 令 的 時 序 圖 的 實 例 。 參 考 圖 1 - 圖 1 1 B , 以 第 二 操 作 模 式 操 作 的 D D R (例 如 , 圖 2 中 的 D D R 2 0 0 、 圖 3 A - 圖 4 C 中 的 D D R 3 0 0 a 、 3 0 0 b) 可 以 習 知 地 實 施 標 準 或 非 低 延 時 類 型 的 記 憶 體 存 取 命 令 , 如 圖 1 0 A 和 圖 1 1 A 所 示 , 並 且 以 第 一 操 作 模 式 操 作 的 D D R 可 以 實 施 低 延 時 類 型 的 記 憶 體 存 取 命 令 , 如 圖 1 0 B 和 圖 1 1 B 所 示 。 D D R 可 以 包 括 多 個 偽 通 道 資 料 匯 流 排 (例 如 , 圖 2 中 的 資 料 匯 流 排 2 0 4 a 、 2 0 4 b 、 圖 3 A - 圖 4 C 中 的 偽 通 道 資 料 匯 流 排 3 1 2 a 、 3 1 2 b) (「 資 料 匯 流 排 A 」 、 「 資 料 匯 流 排 B 」) 。 偽 通 道 資 料 匯 流 排 可 以 具 有 一 定 的 位 元 寬 。 例 如 , 偽 通 道 資 料 匯 流 排 的 位 元 寬 可 以 是 1 6 位 元 。

【0112】 對 於 標 準 或 非 低 延 時 類 型 記 憶 體 存 取 命 令 的 習 知 實 施 , D D R 可 以 在 需 要 特 定 短 脈 衝 長 度 的 單 個 專 用 偽 通 道 資 料 匯 流 排 (例 如 , 資 料 匯 流 排 A) 上 傳 輸 或 接 收 資 料 。 在 圖 1 0 A 所 示 的 實 例 中 , 短 脈 衝 長 度 為 3 2 位 元 組 。 在 圖 1 1 A 所 示 的 實 例 中 , 短 脈 衝 長 度 是 6 4 位 元 組 。 為 了 實 施 低 延 時 類 型 的 記 憶 體 存 取 命 令 , D D R 可 以 併 發 地 在 多 個 偽 通 道 資 料 匯 流 排 (例 如 資 料 匯 流 排 A 和 資 料 匯 流 排 B) 上 傳 輸 或 接

收資料。例如，DDR可以在多個偽通道資料匯流排上傳輸或接收資料的交替數位元組。在圖10B和圖11B所示的實例中，DDR可以在資料匯流排A上傳輸或接收資料的奇數位元組，並且在資料匯流排B上傳輸或接收資料的偶數位元組。作為另一個實例（未圖示），DDR可以在資料匯流排A上傳輸或接收資料的偶數位元組，並且在資料匯流排B上傳輸或接收資料的奇數位元組。在資料匯流排A和B上傳輸或接收的奇和偶數位元組對可以是具有高位元組和低位元組的資料的字。高位元組可以在資料匯流排A或B之一上傳輸或接收，而低位元組可以在資料匯流排A或B中的另一者上傳輸或接收。例如，高位元組可以在專用於低延時類型記憶體存取命令的目標偽通道（例如，圖3A - 圖4C中的偽通道220a、220b）的資料匯流排A或B上傳輸或接收，並且可以在另一資料匯流排A或B上傳輸或接收低位元組。與標準或非低延時類型記憶體存取命令的習知實施相比，在多個偽通道資料匯流排上傳輸或接收資料使得能夠減少短脈衝長度。例如，標準或非低延時類型記憶體存取命令的習知實施的短脈衝長度可以除以用於傳輸或接收資料的偽通道資料匯流排的數量。在圖10B所示的實例中，短脈衝長度是16位元組，與此相比，圖10A所示的實例中是32位元組。在圖11B所示的實例中，短脈衝長度是32位元組，與此相比，圖11A所示的實例中是64位元組。與標準或延時記憶體存取命令相比，減少短脈衝長度亦可以減少用於完成低延時記憶體存取命令的時鐘週期數。

【0113】 圖 1 2 圖示根據一些實施例的使用低延時類型的記憶體存取命令減少基於偽通道的記憶體系統（例如，圖 1 中的記憶體 1 0 6、記憶體 1 1 4、圖 2 中的 D D R 2 0 0、圖 3 A - 圖 4 C 中的 D D R 3 0 0 a、3 0 0 b）中的延時的示例性時序圖。參考圖 1 - 圖 1 2，以第一操作模式操作的 D D R（例如，圖 2 中的 D D R 2 0 0、圖 3 A - 圖 4 C 中的 D D R 3 0 0 a、3 0 0 b）可以實施低延時類型的讀記憶體存取。D D R 可以接收用於實施低延時類型的讀記憶體存取的信號，例如列位址選通（「C A S」）以及用於偽通道（例如，圖 3 A - 圖 4 C 中的偽通道 2 2 0 a、2 2 0 b）的低延時類型的讀記憶體存取（「R D _ L L _ P C 0」）。D D R 可以回應於用於實施低延時類型的讀記憶體存取的信號而在多個偽通道資料匯流排（例如，圖 2 中的資料匯流排 2 0 4 a、2 0 4 b、圖 3 A - 圖 4 C 中的偽通道資料匯流排 3 1 2 a、3 1 2 b）（亦即資料匯流排 A 和資料匯流排 B）上從目標偽通道輸出資料。

【0114】 圖 1 3 A 和圖 1 3 B 是說明根據一個實施例的使用模式暫存器寫入以啟用低延時類型的記憶體存取命令來減少基於偽通道的記憶體系統（例如，圖 1 中的記憶體 1 0 6、記憶體 1 1 4、圖 2 中的 D D R 2 0 0、圖 3 A - 圖 4 C 中的 D D R 3 0 0 a、3 0 0 b）中的延時的實例的時序圖。參考圖 1 - 圖 1 3 B，以第一操作模式操作的 D D R（例如，圖 2 中的 D D R 2 0 0、圖 3 A - 圖 4 C 中的 D D R 3 0 0 a、3 0 0 b）可以在模式暫存器寫入啟用低延時類型的記憶體存取命令之後實施低延時類型的讀記憶體存取。D D R 可以接收用於模式暫存器

寫入的信號（圖 13 A 中的「MRW」、圖 13 B 中的「MRW1」和「MRW2」），以提示 DDR 將連續的記憶體存取命令實施為低延時類型的記憶體存取命令。用於模式暫存器寫入的信號可以包括 DDR 中的暫存器位址和用於寫入暫存器的資料。例如，參考圖 13 B，MRW1 和 MRW2 一起可以形成單模式暫存器寫入。MRW1 可以包括 DDR 中的暫存器位址，並且 MRW2 可以包括用於寫入暫存器的資料。DDR 可以接收用於實施讀記憶體存取的信號，例如列位址選通（「CAS」）以及用於偽通道（例如，圖 3 A - 圖 4 C 中的偽通道 220 a、220 b）的標準或非低延時讀記憶體存取（「RD_PC0」）。DDR 可以回應於用於模式暫存器寫入和實施讀記憶體存取的信號，而將讀記憶體存取實施為低延時類型的讀記憶體存取並且在多個偽通道資料匯流排（例如，圖 2 中的資料匯流排 204 a、204 b、圖 3 A - 圖 4 C 中的偽通道資料匯流排 312 a、312 b）（亦即資料匯流排 A 和資料匯流排 B）上從目標偽通道輸出資料。

【0115】 圖 14 A 和圖 14 B 是根據一個實施例的說明在基於偽通道的記憶體系統（例如，圖 1 中的記憶體 106、記憶體 114、圖 2 中的 DDR 200、圖 3 A - 圖 4 C 中的 DDR 300 a、300 b）中減少和不減少延時的記憶體存取命令的實例的時序圖。參考圖 1 - 圖 14 B，以第二操作模式操作的 DDR（例如，圖 2 中的 DDR 200、圖 3 A - 圖 4 C 中的 DDR 300 a、300 b）可以習知地實施標準或非低延時類型的記憶體存取命令，如圖 14 A 所示，並且以第一操作模式操作的 DDR 可

以實施低延時類型的記憶體存取命令，如圖 1 4 B 所示。D D R 可以包括多個偽通道（例如，圖 2 - 圖 4 C 中的偽通道 2 2 0 a 、 2 2 0 b ）（「P C 0」、「P C 1」）和偽通道資料匯流排（例如，圖 2 中的資料匯流排 2 0 4 a 、 2 0 4 b 、圖 3 A - 圖 4 C 中的偽通道資料匯流排 3 1 2 a 、 3 1 2 b ）（「D Q 0」、「D Q 1」）。

【0116】 在圖 1 4 A 和圖 1 4 B 所示的實例中，相應的晶片選擇（C S）信號可以對應於相應的命令和位址（C A）有效性信號（圖 1 4 A 中的 A、B、C、D 和圖 1 4 B 中的 Q、R、S、T）和相應的記憶體存取命令（C o m m a n d）信號（圖 1 4 A 中的 E、F、G、H 和圖 1 4 B 中的 U、V、W、X）。資料信號（圖 1 4 A 中的 I、J 和圖 1 4 B 中的 Y 1、Y 2、Z 1、Z 2）的傳輸可以對應於相應的命令信號。基於偽通道的記憶體系統可以根據各種時鐘的各種時鐘週期實施記憶體存取命令，例如系統時鐘（C K _ c、C K _ t）和相應偽通道（P C 0、P C 1）的時鐘，例如用於 P C 0 的寫時鐘（W C K 0 _ c、W C K 0 _ t）和用於 P C 0 的讀時鐘（R D Q S 0 _ t、R D Q S 0 _ c）以及用於 P C 1 的寫時鐘（W C K 1 _ c、W C K 1 _ t）和用於 P C 1 的讀時鐘（R D Q S 1 _ t、R D Q S 1 _ c）。

【0117】 對於圖 1 4 A 所示實例中的記憶體存取命令，C A 有效性信號 A 可以對應於第一 C A S 信號 E，C A 有效性信號 B 可以對應於第一標準或非低延時類型的記憶體存取命令 F；C A 有效性信號 C 可以對應於第二 C A S 信號 G；並且 C A 有效性信號 D 可以對應於第二標準或非低延時類型的記憶體存取命令 H。對於用於偽通道的標準或非低延時類型的記

記憶體存取命令的習知實施，DDR可以在用於每個標準或非低延時類型的記憶體存取命令的單個專用偽通道資料匯流排上傳輸或接收資料，例如，DQ0用於PC0（F）的讀記憶體存取並且DQ1用於PC1（H）的讀記憶體存取，針對每個讀記憶體存取需要特定短脈衝長度。在圖14A所示的實例中，短脈衝長度為32位元組。用於不同偽通道的連續標準或非低延時類型的記憶體存取命令可以併發地實施，但可能無法同時開始和完成，需要比完成單個標準或非低延時類型的記憶體存取命令所需的時鐘週期更多的時鐘週期。例如，回應於PC0（F）的讀記憶體存取而在DQ0上傳輸的資料信號（I）可能不與回應於PC1（H）的讀記憶體存取而在DQ1上傳輸的資料信號（J）一致。

【0118】 對於圖14B所示實例中的記憶體存取命令，CA有效性信號Q可以對應於第一CAS信號U；CA有效性信號R可以對應於第一低延時類型記憶體存取命令V；CA有效性信號S可以對應於第二CAS信號W；並且CA有效性信號T可以對應於第二低延時類型記憶體存取命令X。為了實施偽通道的低延時類型記憶體存取命令（V，X），DDR可以併發地在多個偽通道資料匯流排上傳輸或接收資料，例如用於PC0（V）或PC1（X）的低延時類型讀記憶體存取的DQ0和DQ1。例如，DDR可以在多個偽通道資料匯流排上傳輸或接收資料的交替數位元組。在圖14B所示的實例中，DDR可以併發地在DQ0上傳輸或接收資料的奇數位元組並且在DQ1上傳輸或接收資料的偶數位元組。與標準或

非低延時類型記憶體存取命令的習知實施相比，在多個偽通道資料匯流排上傳輸或接收資料使得能夠減少短脈衝長度。例如，標準或非低延時類型記憶體存取命令的習知實施的短脈衝長度可以除以用於傳輸或接收資料的偽通道資料匯流排的數量。在圖 1 4 B 所示的實例中，短脈衝長度為 1 6 位元組，與此相比，圖 1 4 A 所示的實例中為 3 2 位元組。如命令位址（C A）行所示，可以連續實施用於不同偽通道（例如 P C 0 和 P C 1）的連續低延時類型記憶體存取命令，並且減少的短脈衝長度可以使得能夠使用更少的所需時鐘週期來完成相同數量的標準或非低延時類型的記憶體存取命令。例如，回應於 P C 0（V）的讀記憶體存取，資料信號（Y 1）可以與 D Q 1 上傳輸的資料信號（Y 2）併發地在 D Q 0 上傳輸，並且回應於 P C 1（X）的連續讀記憶體存取，資料信號（Z 1）可以與在 D Q 1 上傳輸的資料信號（Z 2）併發地在 D Q 0 上傳輸。

【0119】 根據各種實施例（包括但不限於以上參考圖 1 - 圖 1 4 B 描述的實施例）的系統可以在包括行動計算設備的多種計算系統中實施，適合與各種實施例一起使用的其中的一個實例示於圖 1 5 中。行動計算設備 1 5 0 0 可以包括耦合到觸控式螢幕控制器 1 5 0 4 和內部記憶體 1 5 0 6 的處理器 1 5 0 2。處理器 1 5 0 2 可以是指定用於一般或特定處理任務的一或多個多核積體電路。內部記憶體 1 5 0 6 可以是揮發性或非揮發性記憶體，並且可以是安全及/或加密記憶體，或不安全及/或未加密記憶體，或其任何組合。可以利用的記

憶體類型的實例包括但不限於DDR、LPDDR、GDDR、WIDEIO、RAM、SRAM、DRAM、P-RAM、R-RAM、M-RAM、STT-RAM和嵌入式DRAM。觸控式螢幕控制器1504和處理器1502亦可以耦合到觸控式螢幕面板1512，例如電阻感測觸控式螢幕、電容感測觸控式螢幕、紅外感測觸控式螢幕等。另外，行動計算設備1500的顯示器不需要具有觸控式螢幕功能。

【0120】 行動計算設備1500可以具有一或多個無線電信號收發器1508（例如，Peanut、藍芽、ZigBee、Wi-Fi、RF無線電）和天線1510，以用於發送和接收通訊，其彼此耦合及/或與處理器1502耦合。收發器1508和天線1510可以與上述電路系統一起使用以實施各種無線傳輸協定堆疊和介面。行動計算設備1500可以包括蜂巢網路無線數據機晶片1516，其使得能夠經由蜂巢網路進行通訊並且其耦合到處理器。

【0121】 行動計算設備1500可以包括耦合到處理器1502的周邊設備連接介面1518。周邊設備連接介面1518可以單一地配置為接受一種類型的連接，或者可以配置為接受各種類型的實體和通訊連接（通用的或專有的），例如通用序列匯流排（USB）、FireWire、Thunderbolt或PCIe。周邊設備連接介面1518亦可以耦合到類似配置的周邊設備連接埠（未圖示）。

【0122】 行動計算設備1500亦可以包括用於提供音訊輸出的揚聲器1514。行動計算設備1500亦可以包括外殼

1520，其由塑膠、金屬，或材料的組合構成，以用於容納本文所述的所有或一些元件。行動計算設備1500可以包括耦合到處理器1502的電源1522，例如一次性或可充電電池。可充電電池亦可以耦合到周邊設備連接埠以從行動計算設備1500外部的源接收充電電流。行動計算設備1500亦可以包括用於接收使用者輸入的實體按鈕1524。行動計算設備1500亦可以包括用於開啟和關閉行動計算設備1500的電源按鈕1526。

【0123】 根據各種實施例（包括但不限於以上參考圖1-圖14B描述的實施例）的系統可以在多種計算系統中實施，包括膝上型電腦1600，其實例如圖16所示。許多膝上型電腦包括用作電腦的定點設備的觸控板觸摸表面1617，並且因此可以接收與在配備有觸控式螢幕顯示器並且如前述的計算設備上實施的彼等類似的拖動、滾動和輕彈手勢。膝上型電腦1600通常將包括耦合到揮發性記憶體1612的處理器1602和大容量非揮發性記憶體，例如快閃記憶體的磁碟機1613。另外，電腦1600可以具有一或多個天線1608，以用於發送和接收電磁輻射，該等天線可以連接到無線資料連結及/或與處理器1602耦合的蜂巢式電話收發器1616。電腦1600亦可以包括軟碟機1614和耦合到處理器1602的壓縮光碟（CD）驅動器1615。在筆記本配置中，電腦外殼包括全部耦合到處理器1602的觸控板1617、鍵盤1618和顯示器1619。計算設備的其他配置可以包括耦

合到處理器（例如，經由USB輸入）的電腦滑鼠或軌跡球，如公知的，其亦可以與各種實施例結合使用。

【0124】 根據各種實施例（包括但不限於以上參考圖1-圖14B描述的實施例）的系統亦可以在固定計算系統中實施，例如各種商業上可用的伺服器中的任何一者。圖17中圖示示例性伺服器1700。此種伺服器1700通常包括一或多個多核處理器組裝件1701，其耦合到揮發性記憶體1702和大容量非揮發性記憶體，例如磁碟機1704。如圖17所示，可以經由將多核處理器組裝件1701插入到組裝件的機架中來將多核處理器組裝件1701添加到伺服器1700。伺服器1700亦可以包括耦合到處理器1701的軟碟機、壓縮光碟（CD）或數位多功能光碟（DVD）磁碟機1706。伺服器1700亦可以包括耦合到多核處理器組裝件1701的網路存取埠1703，以用於建立與網路1705的網路介面連接，例如耦合到其他廣播系統電腦和伺服器的區域網路、網際網路、公用交換電話網絡及/或蜂巢資料網路（例如，CDMA、TDMA、GSM、PCS、3G、4G、LTE、5G或任何其他類型的蜂巢資料網路）。

【0125】 在以下段落中描述了實施實例。儘管根據示例性系統、設備或方法來描述以下實施實例中的一些，但進一步的示例性實施可以包括：在以下段落中論述的示例性系統或設備，其被實施為執行示例性系統或設備的操作的方法，在以下段落中論述的示例性系統、設備或方法，其由計算設備實施，該計算設備包括配置有處理設備可執行指

令以執行示例性系統、設備或方法的操作的處理設備；以下段落中論述的示例性系統、設備或方法，其由計算設備實施，計算設備包括用於執行示例性系統、設備或方法的功能的構件；及以下段落中論述的示例性系統、設備或方法，其被實施為具有儲存在其上的處理器可執行指令的非暫時性處理器可讀取儲存媒體，該等處理器可執行指令被配置為使計算設備的處理器執行示例性系統、設備或方法的操作。

【0126】 實例 1. 一種基於偽通道的記憶體系統，包括：第一偽通道選擇設備，其被配置為選擇性地將複數個偽通道中的一者通訊地連接到第一輸入/輸出（IO）；及第二偽通道選擇設備，其被配置為選擇性地將該複數個偽通道中的一者通訊地連接到第二 IO，其中該第一偽通道選擇設備和該第二偽通道選擇設備可操作以在第一操作模式下併發地將該複數個偽通道中的第一偽通道通訊地連接到該第一 IO 和該第二 IO。

【0127】 實例 2. 實例 1 的基於偽通道的記憶體系統，其中該第一 IO 包括第一偽通道資料匯流排並且該第二 IO 包括第二偽通道資料匯流排，該基於偽通道的記憶體系統亦包括：第一內部資料匯流排，其具有比該第一偽通道資料匯流排更大的位元寬，並且與該第一偽通道通訊地連接；第二內部資料匯流排，其具有與該第一偽通道資料匯流排相同的位元寬，並且通訊地連接在該第一內部資料匯流排的第一部分和該第一偽通道選擇設備之間；及第三內部資料

匯流排，其具有與該第二偽通道資料匯流排相同的位元寬，並且通訊地連接在該第一內部資料匯流排的第二部分和該第二偽通道選擇設備之間。

【0128】 實例 3 . 實例 2 的基於偽通道的記憶體系統，其中該第一內部資料匯流排具有等於該第一偽通道資料匯流排的整數倍的位元寬。

【0129】 實例 4 . 實例 2 或 3 中的任一項的基於偽通道的記憶體系統，亦包括：第四內部資料匯流排，其具有比該第一偽通道資料匯流排更大的位元寬，並且通訊地連接到該複數個偽通道中的第二偽通道；第五內部資料匯流排，其具有與該第一偽通道資料匯流排相同的位元寬，並且通訊地連接在該第四內部資料匯流排的第一部分和該第一偽通道選擇設備之間；及第六內部資料匯流排，其具有與該第二偽通道資料匯流排相同的位元寬，並且通訊地連接在該第四內部資料匯流排的第二部分和該第二偽通道選擇設備之間。

【0130】 實例 5 . 實例 1 - 4 中任一項的基於偽通道的記憶體系統，其中該第一偽通道選擇設備和該第二偽通道選擇設備可操作以回應於該基於偽通道的記憶體系統接收以該第一偽通道為目標的低延時類型記憶體存取命令而併發地將該第一偽通道通訊地連接到該第一 I O 和該第二 I O 。

【0131】 實例 6 . 實例 5 的基於偽通道的記憶體系統，進一步包括記憶體控制設備，其被配置為：接收以該第一偽通道為目標的低延時類型記憶體存取命令；及將至少一個偽通

道選擇信號傳輸到該第一偽通道選擇設備和該第二偽通道選擇設備，以使該第一偽通道選擇設備和該第二偽通道選擇設備回應於接收到該低延時類型記憶體存取命令而併發地將該第一偽通道通訊地連接到第一IO和該第二IO。

【0132】 實例7. 實例1-4中任一項的基於偽通道的記憶體系統，其中該第一偽通道選擇設備和該第二偽通道選擇設備可操作以回應於該基於偽通道的記憶體系統接收到被配置為使基於偽通道的記憶體系統將連續的記憶體存取命令處理為低延時類型記憶體存取命令的模式暫存器寫命令並且回應於該基於偽通道的記憶體系統接收以該第一偽通道為目標的連續記憶體存取命令而併發地將該第一偽通道通訊地連接到該第一IO和該第二IO。

【0133】 實例8. 實例7的基於偽通道的記憶體系統，進一步包括被配置為進行如下操作的記憶體控制設備：接收該模式暫存器寫命令；設置暫存器值，該暫存器值被配置為使該記憶體控制設備回應於接收到該模式暫存器寫命令而將該連續記憶體存取命令處理為低延時類型記憶體存取命令；接收以該第一偽通道為目標的連續記憶體存取命令；及將至少一個偽通道選擇信號傳輸到該第一偽通道選擇設備和該第二偽通道選擇設備，以使該第一偽通道選擇設備和該第二偽通道選擇設備回應於接收到該連續記憶體存取命令而併發地將該第一偽通道通訊地連接到該第一IO和該第二IO。

【0134】 實例 9 . 實例 1 - 8 中任一項的基於偽通道的記憶體系統，其中該第一偽通道選擇設備和該第二偽通道選擇設備均包括至少一個多工器。

【0135】 實例 10 . 實例 1 - 9 中任一項的基於偽通道的記憶體系統，其中該第一偽通道選擇設備可操作以將該第一偽通道通訊地連接到該第一 I O ，並且該第二偽通道選擇設備可操作以在第二操作模式下將該複數個偽通道中的第二偽通道通訊地連接到該第二 I O 。

【0136】 實例 11 . 一種用於減少基於偽通道的記憶體系統中的延時的方法，包括以下步驟：經由第一偽通道選擇設備將複數個偽通道中的第一偽通道通訊地連接到複數個輸入 / 輸出（ I O ）中的第一 I O ，該第一偽通道選擇設備被配置為選擇性地將該複數個偽通道中的一者通訊地連接到該第一 I O ；及在第一操作模式下與經由該第一偽通道選擇設備將該第一偽通道通訊地連接到該第一 I O 併發地經由第二偽通道選擇設備將該第一偽通道通訊地連接到該複數個 I O 中的第二 I O ，其中該第二偽通道選擇設備被配置為選擇性地將該複數個偽通道中的一者通訊地連接到該第二 I O 。

【0137】 實例 12 . 實例 11 的方法，其中該第一 I O 包括第一偽通道資料匯流排並且該第二 I O 包括第二偽通道資料匯流排，該方法亦包括以下步驟：經由第一內部資料匯流排和第二內部資料匯流排在該第一偽通道資料匯流排和該第一偽通道之間傳輸資料，該第一內部資料匯流排具有比該第一偽通道資料匯流排更大的位元寬並通訊地連接到該第一

偽通道，並且該第二內部資料匯流排具有與該第一偽通道資料匯流排相同的位元寬並且通訊地連接在該第一內部資料匯流排的第一部分和該第一偽通道選擇設備之間；及經由該第一內部資料匯流排和第三內部資料匯流排在該第二偽通道資料匯流排和該第一偽通道之間傳輸資料，該第三內部資料匯流排具有與該第二偽通道資料匯流排相同的位元寬並且通訊地連接在該第一內部資料匯流排的第二部分和該第二偽通道選擇設備之間。

【0138】 實例 13. 實例 12 的方法，其中該第一內部資料匯流排具有等於該第一偽通道資料匯流排的整數倍的位元寬。

【0139】 實例 14. 實例 12 或 13 中的任一項的方法，進一步包括以下步驟：經由第四內部資料匯流排和第五內部資料匯流排在該第一偽通道資料匯流排和複數個偽通道中的第二偽通道之間傳輸資料，該第四內部資料匯流排具有比該第一偽通道資料匯流排更大的位元寬並且通訊地連接到該第二偽通道，該第五內部資料匯流排具有與第一偽通道資料匯流排相同的位元寬並且通訊地連接在該第四內部資料匯流排的第一部分和該第一偽通道選擇設備之間；及經由該第四內部資料匯流排和第六內部資料匯流排在該第二偽通道資料匯流排和該第二偽通道之間傳輸資料，該第六內部資料匯流排具有與該第二偽通道資料匯流排相同的位元寬並且通訊地連接在該第四內部資料匯流排的第二部分和該第二偽通道選擇設備之間。

【0140】 實例 15 . 實例 11 - 14 中任一項的方法，亦包括以下步驟：接收以該第一偽通道為目標的低延時類型的記憶體存取命令，其中回應於接收到該低延時類型的記憶體存取命令，由該第二偽通道選擇設備將該第一偽通道通訊地連接到該第二 I/O 與經由該第一偽通道選擇設備將該第一偽通道通訊地連接到第一 I/O 併發地發生。

【0141】 實例 16 . 實例 15 的方法，亦包括以下步驟：將至少一個偽通道選擇信號傳輸到該第一偽通道選擇設備和該第二偽通道選擇設備以使該第一偽通道選擇設備和該第二偽通道選擇設備回應於接收到該低延時類型記憶體存取命令而併發地將該第一偽通道通訊地連接到該第一 I/O 和該第二 I/O。

【0142】 實例 17 . 實例 11 - 14 中任一項的方法，亦包括以下步驟：接收模式暫存器寫命令，該模式暫存器寫命令被配置為使該基於偽通道的記憶體系統將連續的記憶體存取命令處理為低延時類型的記憶體存取命令；及接收以該第一個偽通道為目標的連續記憶體存取命令，其中回應於接收到該模式暫存器寫命令並且回應於接收到該連續記憶體存取命令而使經由該第二偽通道選擇設備將該第一偽通道通訊地連接到該第二 I/O 與經由該第一偽通道選擇設備將該第一偽通道通訊地連接到該第一 I/O 併發地發生。

【0143】 實例 18 . 實例 17 的方法，亦包括以下步驟：設置暫存器值，該暫存器值被配置為使該基於偽通道的記憶體系統回應於接收到該模式暫存器寫命令而將該連續記憶體

存取命令處理為低延時類型的記憶體存取命令；及將至少一個偽通道選擇信號傳輸到該第一偽通道選擇設備和該第二偽通道選擇設備以使該第一偽通道選擇設備和該第二偽通道選擇設備回應於接收到該連續記憶體存取命令而併發地將該第一偽通道通訊地連接到該第一IO和該第二IO。

【0144】 實例19. 實例11-18中任一項的方法，其中該第一偽通道選擇設備和該第二偽通道選擇設備均包括至少一個多工器。

【0145】 實例20. 實例11-19中任一項之方法，亦包括以下步驟：在第二操作模式下經由該第二偽通道選擇設備將該複數個偽通道中的第二偽通道通訊地連接到該複數個IO中的該第二IO。

【0146】 實例21. 一種基於偽通道的記憶體系統，包括複數個偽通道，該複數個偽通道包括第一偽通道，其中該基於偽通道的記憶體系統被配置為：接收以該第一偽通道為目標的記憶體存取命令；及使用第一偽通道資料匯流排和第二偽通道資料匯流排來實施該記憶體存取命令。

【0147】 實例22. 實例21的基於偽通道的記憶體系統，其中該記憶體存取命令為讀記憶體存取命令；及該基於偽通道的記憶體系統被配置為使得使用該第一偽通道資料匯流排和該第二偽通道資料匯流排來實施該記憶體存取命令包括回應於該讀記憶體存取命令而併發地經由第一偽通道資料匯流排和該第二偽通道資料匯流排從該第一偽通道輸出資料。

【0148】 實例 2 3 . 實例 2 1 或 2 2 中任一項的基於偽通道的記憶體系統，其中該記憶體存取命令為寫記憶體存取命令；並且該基於偽通道的記憶體系統被配置為使得使用該第一偽通道資料匯流排和該第二偽通道資料匯流排來實施該記憶體存取命令包括併發地經由該第一偽通道資料匯流排和該第二偽通道資料匯流排接收該第一偽通道的寫記憶體存取命令的資料。

【0149】 實例 2 4 . 實例 2 1 - 2 3 中任一項的基於偽通道的記憶體系統，其中該記憶體存取命令被配置為向該基於偽通道的記憶體系統指示該記憶體存取命令是低延時類型的記憶體存取命令。

【0150】 實例 2 5 . 實例 2 1 - 2 3 中任一項的基於偽通道的記憶體系統，其中該基於偽通道的記憶體系統亦被配置為接收模式暫存器寫命令，該模式暫存器寫命令被配置為使該基於偽通道的記憶體系統將連續記憶體存取命令處理為低延時類型的記憶體存取命令，其中以該第一偽通道為目標的記憶體存取命令是該模式暫存器寫命令的連續記憶體存取命令。

【0151】 實例 2 6 . 一種用於減少基於偽通道的記憶體系統中的延時的方法，該基於偽通道的記憶體系統具有複數個偽通道，該複數個偽通道包括第一偽通道，該方法包括以下步驟：接收以該第一偽通道為目標的記憶體存取命令；及使用第一偽通道資料匯流排和第二偽通道資料匯流排來實施該記憶體存取命令。

【0152】 實例 27. 實例 26 的方法，其中該記憶體存取命令為讀記憶體存取命令；並且使用該第一偽通道資料匯流排和該第二偽通道資料匯流排來實施該記憶體存取命令包括回應於該讀記憶體存取命令而併發地經由該第一偽通道資料匯流排和該第二偽通道資料匯流排從該第一偽通道輸出資料。

【0153】 實例 28. 實例 26 或 27 中任一項的方法，其中該記憶體存取命令為寫記憶體存取命令；並且使用該第一偽通道資料匯流排和該第二偽通道資料匯流排實施該記憶體存取命令包括併發地經由該第一偽通道資料匯流排和該第二偽通道資料匯流排接收該第一偽通道的寫記憶體存取命令的資料。

【0154】 實例 29. 實例 26 - 28 中任一項的方法，其中該記憶體存取命令被配置為向該基於偽通道的記憶體系統指示該記憶體存取命令是低延時類型的記憶體存取命令。

【0155】 實例 30. 實例 26 - 28 中任一項的方法，亦包括以下步驟：接收模式暫存器寫命令，該模式暫存器寫命令被配置為使該基於偽通道的記憶體系統將連續記憶體存取命令處理為低延時類型的記憶體存取命令，其中以該第一偽通道為目標的該記憶體存取命令是該模式暫存器寫命令的連續記憶體存取命令。

【0156】 用於在可程式設計處理器上執行以執行各種實施例的操作的電腦程式代碼或「程式碼」可以用諸如 C、C++、C#、Smalltalk、Java、JavaScript、Visual

B a s i c、結構化查詢語言（例如，**T r a n s a c t - S Q L**）、**P e r l**或各種其他程式設計語言之類的高級程式設計語言編寫。在本案中使用的儲存在電腦可讀取儲存媒體上的程式碼或程式可以指其格式可被處理器理解的機器語言代碼（例如目標代碼）。

【0157】 前述方法描述和程序流程圖僅作為說明性實例提供，並不意欲要求或暗示各種實施例的操作必須以呈現的順序執行。如熟習此項技術者將理解的，前述實施例中的操作順序可以以任何順序執行。諸如「此後」、「隨後」、「下一個」等詞語並非意欲限制操作的順序；該等詞僅是用來引導讀者瞭解方法的描述。此外，以單數形式對請求項要素的任何引用，例如，使用冠詞「一（**a**）」、「一個（**a n**）」或「該（**t h e**）」不應被解釋為將要素限制為單數。

【0158】 結合各種實施例描述的各種說明性邏輯區塊、模組、電路和演算法操作可以實施為電子硬體、電腦軟體或兩者的組合。為了清楚地說明硬體和軟體的此種可互換性，各種說明性元件、方塊、模組、電路和操作已在上文大體上根據其功能進行了描述。此種功能是作為硬體還是軟體實施取決於特定應用和施加在整體系統上的設計約束。熟習此項技術者可以針對每個特定應用以不同的方式實施所描述的功能，但是此種實施方式決策不應被解釋為導致偏離請求項的範疇。

【0159】 用於實施結合本文揭示的實施例描述的各種說明性邏輯、邏輯區塊、模組和電路的硬體可以用通用處理器、數位信號處理器（**DSP**）、特殊應用積體電路（**ASIC**）、現場可程式設計閘陣列（**FPGA**）或其他可程式設計邏輯設備、個別閘門或電晶體邏輯、個別硬體元件或設計用於執行本文所述功能的任何組合來實施或執行。通用處理器可以是微處理器，但在替代方案中，處理器可以是任何習知處理器、控制器、微控制器或狀態機。處理器亦可以實施為計算設備的組合，例如，**DSP**和微處理器的組合、複數個微處理器、一或多個微處理器與**DSP**核相結合，或任何其他此種配置。可替代地，一些操作或方法可以由特定於給定功能的電路系統來執行。

【0160】 在一或多個實施例中，所描述的功能可以在硬體、軟體、韌體或其任何組合中實施。若以軟體實施，則該等功能可以作為一或多個指令或代碼儲存在非暫時性電腦可讀取媒體或非暫時性處理器可讀取媒體上。本文揭示的方法或演算法的操作可以體現在處理器可執行軟體模組中，該處理器可執行軟體模組可以常駐在非暫時性電腦可讀取或處理器可讀取儲存媒體上。非暫時性電腦可讀取或處理器可讀取儲存媒體可以是可由電腦或處理器存取的任何儲存媒體。作為實例而非限制，此類非暫時性電腦可讀取或處理器可讀取媒體可包括**RAM**、**ROM**、**EEPROM**、快閃記憶體、**CD-ROM**或其他光碟儲存、磁碟儲存或其他磁儲存設備，或可用於以指令或資料結構的形式儲存所需

程式碼並且可由電腦存取的任何其他媒體。如本文所用，磁碟和光碟包括壓縮光碟（C D）、鐳射光碟、光碟、數位多功能光碟（D V D）、軟碟和藍光光碟，其中磁碟通常以磁性方式再現資料，而光碟則用鐳射以光學方式再現資料。以上的組合亦包括在非暫時性電腦可讀取和處理器可讀取媒體的範疇內。此外，方法或演算法的操作可以作為一個或任何組合或一組代碼及/或指令常駐在非暫時性處理器可讀取媒體及/或電腦可讀取媒體上，其可以併入電腦程式產品中。

【0161】 提供所揭示實施例的前述描述以使任何熟習此項技術者能夠制定或使用請求項。對該等實施例的各種修改對於熟習此項技術者而言將是顯而易見的，並且本文定義的一般原理可以應用於其他實施例和實施方式而不背離請求項的範疇。因此，本案不意欲限於本文描述的實施例和實施方式，而是要符合與隨附請求項以及本文揭示的原理和新穎特徵一致的最寬範疇。

【符號說明】

【0162】

1 0 0 : 計算設備

1 0 2 : 晶片上系統（S o C）

1 0 4 : 中央處理單元

1 0 6 : 記憶體

1 0 8 : 通訊介面

1 1 0 : 記憶體介面

1 1 2 : 通 訊 元 件

1 1 4 : 記 憶 體

1 1 6 : 天 線

1 2 0 : 周 邊 設 備 介 面

1 2 2 : 周 邊 設 備

1 2 4 : 處 理 器

2 0 0 : D D R 晶 片

2 0 2 a : 偽 通 道 I O

2 0 2 b : 偽 通 道 I O

2 0 4 a : 資 料 匯 流 排

2 0 4 b : 資 料 匯 流 排

2 0 6 a : 寫 時 鐘

2 0 6 b : 寫 時 鐘

2 0 8 a : 讀 選 通 脈 衝

2 0 8 b : 讀 選 通 脈 衝

2 1 0 : 共 享 I O

2 1 2 : 時 鐘

2 1 4 : C A 匯 流 排

2 1 6 : 晶 片 選 擇

2 1 8 : 重 置

2 2 0 a : 偽 通 道

2 2 0 b : 偽 通 道

2 2 2 a : 儲 存 體 群 組

2 2 2 b : 儲 存 體 群 組

2 2 4 a : 儲 存 體

2 2 4 b : 儲 存 體

2 3 0 : 內 部 匯 流 排

3 0 0 : D D R 晶 片

3 0 0 a : D D R 晶 片

3 0 0 b : D D R 晶 片

3 0 2 a : 預 取 記 憶 體

3 0 2 b : 預 取 記 憶 體

3 0 4 a : 偽 通 道 選 擇 設 備

3 0 4 b : 偽 通 道 選 擇 設 備

3 0 6 a : 內 部 資 料 匯 流 排

3 0 6 b : 內 部 資 料 匯 流 排

3 0 8 a : 內 部 資 料 匯 流 排

3 0 8 b : 內 部 資 料 匯 流 排

3 0 8 c : 內 部 資 料 匯 流 排

3 0 8 d : 內 部 資 料 匯 流 排

3 1 2 a : 偽 通 道 資 料 匯 流 排

3 1 2 b : 偽 通 道 資 料 匯 流 排

3 1 4 : C A 匯 流 排

3 1 6 : 偽 通 道 控 制 器

3 1 8 a : 偽 通 道 選 擇 信 號 線

3 1 8 b : 偽 通 道 選 擇 信 號 線

3 1 8 c : 偽 通 道 選 擇 信 號 線

3 2 0 : 偽 通 道 選 擇 設 備

- 5 0 0 : 方 法
- 5 0 2 : 方 塊
- 5 0 4 : 方 塊
- 5 0 6 : 決 定 方 塊
- 5 0 8 : 方 塊
- 5 1 0 : 方 塊
- 5 1 2 : 方 塊
- 5 1 4 : 方 塊
- 6 0 0 : 方 法
- 6 0 2 : 方 塊
- 6 0 4 : 方 塊
- 7 0 0 : 方 法
- 7 0 2 : 方 塊
- 7 0 4 : 方 塊
- 7 0 6 : 方 塊
- 7 0 8 : 方 塊
- 8 0 0 : 方 法
- 8 0 2 : 方 塊
- 8 0 4 : 方 塊
- 8 0 6 : 方 塊
- 9 0 0 : 方 法
- 9 0 2 : 決 定 方 塊
- 1 5 0 0 : 行 動 計 算 設 備
- 1 5 0 2 : 處 理 器

1 5 0 4 : 觸 控 式 螢 幕 控 制 器
1 5 0 6 : 內 部 記 憶 體
1 5 0 8 : 無 線 電 信 號 收 發 器
1 5 1 0 : 天 線
1 5 1 2 : 觸 控 式 螢 幕 面 板
1 5 1 4 : 揚 聲 器
1 5 1 6 : 蜂 巢 網 路 無 線 數 據 機 晶 片
1 5 1 8 : 周 邊 設 備 連 接 介 面
1 5 2 0 : 外 殼
1 5 2 2 : 電 源
1 5 2 4 : 實 體 按 鈕
1 5 2 6 : 電 源 按 鈕
1 6 0 0 : 膝 上 型 電 腦
1 6 0 2 : 處 理 器
1 6 0 8 : 天 線
1 6 1 2 : 揮 發 性 記 憶 體
1 6 1 3 : 磁 碟 機
1 6 1 4 : 軟 碟 機
1 6 1 5 : 壓 縮 光 碟 (C D) 驅 動 器
1 6 1 6 : 蜂 巢 式 電 話 收 發 器
1 6 1 7 : 觸 控 板
1 6 1 8 : 鍵 盤
1 6 1 9 : 顯 示 器
1 7 0 0 : 伺 服 器

1701:多核處理器組裝件

1702:揮發性記憶體

1703:網路存取埠

1704:磁碟機

1705:網路

1706:數位多功能光碟 (DVD) 磁碟機

A:命令和位址 (CA) 有效性信號

B:命令和位址 (CA) 有效性信號

C:命令和位址 (CA) 有效性信號

D:命令和位址 (CA) 有效性信號

E:記憶體存取命令 (Command) 信號

F:記憶體存取命令 (Command) 信號

G:記憶體存取命令 (Command) 信號

H:記憶體存取命令 (Command) 信號

I:資料信號

J:資料信號

Q:命令和位址 (CA) 有效性信號

R:命令和位址 (CA) 有效性信號

S:命令和位址 (CA) 有效性信號

T:命令和位址 (CA) 有效性信號

U:記憶體存取命令 (Command) 信號

V:記憶體存取命令 (Command) 信號

W:記憶體存取命令 (Command) 信號

X:記憶體存取命令 (Command) 信號

Y 1 : 資 料 信 號

Y 2 : 資 料 信 號

Z 1 : 資 料 信 號

Z 2 : 資 料 信 號

【生物材料寄存】

國內 寄存 資訊 (請 依 寄 存 機 構 、 日 期 、 號 碼 順 序 註 記)

無

國外 寄存 資訊 (請 依 寄 存 國 家 、 機 構 、 日 期 、 號 碼 順 序 註 記)

無

【發明申請專利範圍】

【請求項 1】 一種基於偽通道的記憶體系統，包括：

一第一偽通道選擇設備，其被配置為選擇性地將複數個偽通道中的一者通訊地連接到一第一輸入/輸出（IO）；
及

一第二偽通道選擇設備，其被配置為選擇性地將該複數個偽通道中的一者通訊地連接到一第二 IO，

其中該第一偽通道選擇設備和該第二偽通道選擇設備能夠操作以：在一第一操作模式下併發地將該複數個偽通道中的一第一偽通道通訊地連接到該第一 IO 和該第二 IO。

【請求項 2】 根據請求項 1 之基於偽通道的記憶體系統，其中該第一 IO 包括一第一偽通道資料匯流排並且該第二 IO 包括一第二偽通道資料匯流排，該基於偽通道的記憶體系統亦包括：

一第一內部資料匯流排，其具有比該第一偽通道資料匯流排更大的一位元寬，並且通訊地連接到該第一偽通道；

一第二內部資料匯流排，其具有與該第一偽通道資料匯流排相同的一位元寬，並且通訊地連接在該第一內部資料匯流排的一第一部分和該第一偽通道選擇設備之間；
及

一第三內部資料匯流排，其具有與該第二偽通道資料匯流排相同的一位元寬，並且通訊地連接在該第一內部

資料匯流排的一第二部分和該第二偽通道選擇設備之間。

【請求項 3】 根據請求項 2 之基於偽通道的記憶體系統，其中該第一內部資料匯流排具有等於該第一偽通道資料匯流排的一整數倍的一位元寬。

【請求項 4】 根據請求項 2 之基於偽通道的記憶體系統，亦包括：

一第四內部資料匯流排，其具有比該第一偽通道資料匯流排更大的一位元寬，並且通訊地連接到該複數個偽通道中的一第二偽通道；

一第五內部資料匯流排，其具有與該第一偽通道資料匯流排相同的一位元寬，並且通訊地連接在該第四內部資料匯流排的一第一部分和該第一偽通道選擇設備之間；及

一第六內部資料匯流排，其具有與該第二偽通道資料匯流排相同的一位元寬，並且通訊地連接在該第四內部資料匯流排的一第二部分和該第二偽通道選擇設備之間。

【請求項 5】 根據請求項 1 之基於偽通道的記憶體系統，其中該第一偽通道選擇設備和該第二偽通道選擇設備能夠操作以：回應於該基於偽通道的記憶體系統接收到以該第一偽通道為目標的一低延時類型記憶體存取命令，而併發地將該第一偽通道通訊地連接到該第一 I/O 和該第二 I/O。

【請求項6】 根據請求項5之基於偽通道的記憶體系統，亦包括一記憶體控制設備，該記憶體控制設備被配置為：

接收以該第一偽通道為目標的該低延時類型記憶體存取命令；及

將至少一個偽通道選擇信號傳輸到該第一偽通道選擇設備和該第二偽通道選擇設備，以使該第一偽通道選擇設備和該第二偽通道選擇設備回應於接收到該低延時類型記憶體存取命令而併發地將該第一偽通道通訊地連接到該第一IO和該第二IO。

【請求項7】 根據請求項1之基於偽通道的記憶體系統，其中該第一偽通道選擇設備和該第二偽通道選擇設備能夠操作以：回應於該基於偽通道的記憶體系統接收到被配置為使該基於偽通道的記憶體系統將一連續記憶體存取命令處理為一低延時類型記憶體存取命令的一模式暫存器寫命令，並且回應於該基於偽通道的記憶體系統接收到以該第一偽通道為目標的一連續記憶體存取命令，而併發地將該第一偽通道通訊地連接到該第一IO和該第二IO。

【請求項8】 根據請求項7之基於偽通道的記憶體系統，亦包括一記憶體控制設備，該記憶體控制設備被配置為：

接收該模式暫存器寫命令；

設置一暫存器值，其被配置為使該記憶體控制設備回

應於接收到該模式暫存器寫命令，而將該連續記憶體存取命令處理為一低延時類型記憶體存取命令；

接收以該第一偽通道為目標的該連續記憶體存取命令；
及

將至少一個偽通道選擇信號傳輸到該第一偽通道選擇設備和該第二偽通道選擇設備，以使該第一偽通道選擇設備和該第二偽通道選擇設備回應於接收到該連續記憶體存取命令，而併發地將該第一偽通道通訊地連接到該第一 I/O 和該第二 I/O。

【請求項 9】 根據請求項 1 之基於偽通道的記憶體系統，其中該第一偽通道選擇設備和該第二偽通道選擇設備均包括至少一個多工器。

【請求項 10】 根據請求項 1 之基於偽通道的記憶體系統，其中該第一偽通道選擇設備能夠操作以將該第一偽通道通訊地連接到該第一 I/O，並且該第二偽通道選擇設備能夠操作以在一第二操作模式下將該複數個偽通道中的一第二偽通道通訊地連接到該第二 I/O。

【請求項 11】 一種用於減少一基於偽通道的記憶體系統中的延時的方法，包括以下步驟：

經由一第一偽通道選擇設備將複數個偽通道中的一第一偽通道通訊地連接到複數個輸入/輸出（I/O）中的一第一 I/O，該第一偽通道選擇設備被配置為選擇性地將該複數個偽通道中的一者通訊地連接到該第一 I/O；及

在一第一操作模式下與經由該第一偽通道選擇設備將

該第一偽通道通訊地連接到該第一 IO 併發地，經由一第二偽通道選擇設備將該第一偽通道通訊地連接到該複數個 IO 中的一第二 IO，其中該第二偽通道選擇設備被配置為選擇性地將該複數個偽通道中的一者通訊地連接到該第二 IO。

【請求項 12】根據請求項 11 之方法，其中該第一 IO 包括一第一偽通道資料匯流排並且該第二 IO 包括一第二偽通道資料匯流排，該方法亦包括以下步驟：

經由一第一內部資料匯流排和一第二內部資料匯流排在該第一偽通道資料匯流排和該第一偽通道之間傳輸資料，該第一內部資料匯流排具有比該第一偽通道資料匯流排更大的一位元寬並且通訊地連接到該第一偽通道，該第二內部資料匯流排具有與該第一偽通道資料匯流排相同的一位元寬並且通訊地連接在該第一內部資料匯流排的一第一部分和該第一偽通道選擇設備之間；及

經由該第一內部資料匯流排和一第三內部資料匯流排在該第二偽通道資料匯流排和該第一偽通道之間傳輸資料，該第三內部資料匯流排具有與該第二偽通道資料匯流排相同的一位元寬並且通訊地連接在該第一內部資料匯流排的一第二部分和該第二偽通道選擇設備之間。

【請求項 13】根據請求項 12 之方法，其中該第一內部資料匯流排具有等於該第一偽通道資料匯流排的一整數倍的一位元寬。

【請求項 14】根據請求項 12 之方法，亦包括以下步驟：

經由一第四內部資料匯流排和一第五內部資料匯流排在該第一偽通道資料匯流排和該複數個偽通道中的一第二偽通道之間傳輸資料，該第四內部資料匯流排具有比該第一偽通道資料匯流排更大的一位元寬並且通訊地連接到該第二偽通道，該第五內部資料匯流排具有與該第一偽通道資料匯流排相同的一位元寬並且通訊地連接在該第四內部資料匯流排的一第一部分和該第一偽通道選擇設備之間；及

經由該第四內部資料匯流排和一第六內部資料匯流排在該第二偽通道資料匯流排和該第二偽通道之間傳輸資料，該第六內部資料匯流排具有與該第二偽通道資料匯流排相同的一位元寬並且通訊地連接在該第四內部資料匯流排的一第二部分和該第二偽通道選擇設備之間。

【請求項 15】根據請求項 11 之方法，亦包括以下步驟：接收以該第一偽通道為目標的一低延時類型記憶體存取命令，

其中回應於接收到該低延時類型記憶體存取命令，經由該第二偽通道選擇設備將該第一偽通道通訊地連接到該第二 IO 與經由該第一偽通道選擇設備將該第一偽通道通訊地連接到該第一 IO 併發地發生。

【請求項 16】根據請求項 15 之方法，亦包括以下步驟：將至少一個偽通道選擇信號傳輸到該第一偽通道選擇設備和該第二偽通道選擇設備，以使該第一偽通道選擇設備和該第二偽通道選擇設備回應於接收到該低延時類型

記憶體存取命令，而併發地將該第一偽通道通訊地連接到該第一 IO 和該第二 IO。

【請求項 17】根據請求項 11 之方法，亦包括以下步驟：

接收一模式暫存器寫命令，其被配置為使該基於偽通道的記憶體系統將一連續記憶體存取命令處理為一低延時類型記憶體存取命令；及

接收以該第一偽通道為目標的一連續記憶體存取命令，

其中回應於接收到該模式暫存器寫命令並且回應於接收到該連續記憶體存取命令，經由該第二偽通道選擇設備將該第一偽通道通訊地連接到該第二 IO 與經由該第一偽通道選擇設備將該第一偽通道通訊地連接到該第一 IO 併發地發生。

【請求項 18】根據請求項 17 之方法，亦包括以下步驟：

設置一暫存器值，其被配置為：使該基於偽通道的記憶體系統回應於接收到該模式暫存器寫命令，而將該連續記憶體存取命令處理為一低延時類型記憶體存取命令；及

將至少一個偽通道選擇信號傳輸到該第一偽通道選擇設備和該第二偽通道選擇設備，以使該第一偽通道選擇設備和該第二偽通道選擇設備回應於接收到該連續記憶體存取命令，而併發地將該第一偽通道通訊地連接到該第一 IO 和該第二 IO。

【請求項 19】根據請求項 11 之方法，其中該第一偽通道

選擇設備和該第二偽通道選擇設備均包括至少一個多工器。

【請求項20】根據請求項11之方法，亦包括以下步驟：
在一第二操作模式下經由該第二偽通道選擇設備將該複數個偽通道中的一第二偽通道通訊地連接到該複數個IO中的該第二IO。

【請求項21】一種基於偽通道的記憶體系統，包括複數個偽通道，該複數個偽通道包括一第一偽通道，

其中該基於偽通道的記憶體系統被配置為：

接收以該第一偽通道為目標的一記憶體存取命令；

及

使用一第一偽通道資料匯流排和一第二偽通道資料匯流排來實施該記憶體存取命令。

【請求項22】根據請求項21之基於偽通道的記憶體系統，其中：

該記憶體存取命令為一讀記憶體存取命令；及

該基於偽通道的記憶體系統被配置為使得：使用該第一偽通道資料匯流排和該第二偽通道資料匯流排來實施該記憶體存取命令包括，回應於該讀記憶體存取命令而併發地經由該第一偽通道資料匯流排和該第二偽通道資料匯流排從該第一偽通道輸出資料。

【請求項23】根據請求項21之基於偽通道的記憶體系統，其中：

該記憶體存取命令為一寫記憶體存取命令；並且

該基於偽通道的記憶體系統被配置為使得：使用該第一偽通道資料匯流排和該第二偽通道資料匯流排來實施該記憶體存取命令包括，併發地經由該第一偽通道資料匯流排和該第二偽通道資料匯流排接收用於該第一偽通道的該寫記憶體存取命令的資料。

【請求項 24】根據請求項 21 之基於偽通道的記憶體系統，其中該記憶體存取命令被配置為：向該基於偽通道的記憶體系統指示，該記憶體存取命令是一低延時類型記憶體存取命令。

【請求項 25】根據請求項 21 之基於偽通道的記憶體系統，其中該基於偽通道的記憶體系統亦被配置為接收一模式暫存器寫命令，該模式暫存器寫命令被配置為使該基於偽通道的記憶體系統將一連續記憶體存取命令處理為一低延時類型記憶體存取命令，其中以該第一偽通道為目標的該記憶體存取命令是對該模式暫存器寫命令的一連續記憶體存取命令。

【請求項 26】一種用於減少一基於偽通道的記憶體系統中的延時的方法，該基於偽通道的記憶體系統具有複數個偽通道，該複數個偽通道包括一第一偽通道，該方法包括以下步驟：

接收以該第一偽通道為目標的一記憶體存取命令；及
使用一第一偽通道資料匯流排和一第二偽通道資料匯流排來實施該記憶體存取命令。

【請求項 27】根據請求項 26 之方法，其中：

該記憶體存取命令為一讀記憶體存取命令；並且

使用該第一偽通道資料匯流排和該第二偽通道資料匯流排來實施該記憶體存取命令之步驟包括以下步驟：回應於該讀記憶體存取命令而併發地經由該第一偽通道資料匯流排和該第二偽通道資料匯流排從該第一偽通道輸出資料。

【請求項 28】根據請求項 26 之方法，其中：

該記憶體存取命令為一寫記憶體存取命令；並且

使用該第一偽通道資料匯流排和該第二偽通道資料匯流排來實施該記憶體存取命令之步驟包括以下步驟：併發地經由該第一偽通道資料匯流排和該第二偽通道資料匯流排接收用於該第一偽通道的該寫記憶體存取命令的資料。

【請求項 29】根據請求項 26 之方法，其中該記憶體存取命令被配置為：向該基於偽通道的記憶體系統指示，該記憶體存取命令是一低延時類型記憶體存取命令。

【請求項 30】根據請求項 26 之方法，亦包括以下步驟：接收一模式暫存器寫命令，該模式暫存器寫命令被配置為：使該基於偽通道的記憶體系統將一連續記憶體存取命令處理為一低延時類型記憶體存取命令，其中以該第一偽通道為目標的該記憶體存取命令是對該模式暫存器寫命令的一連續記憶體存取命令。

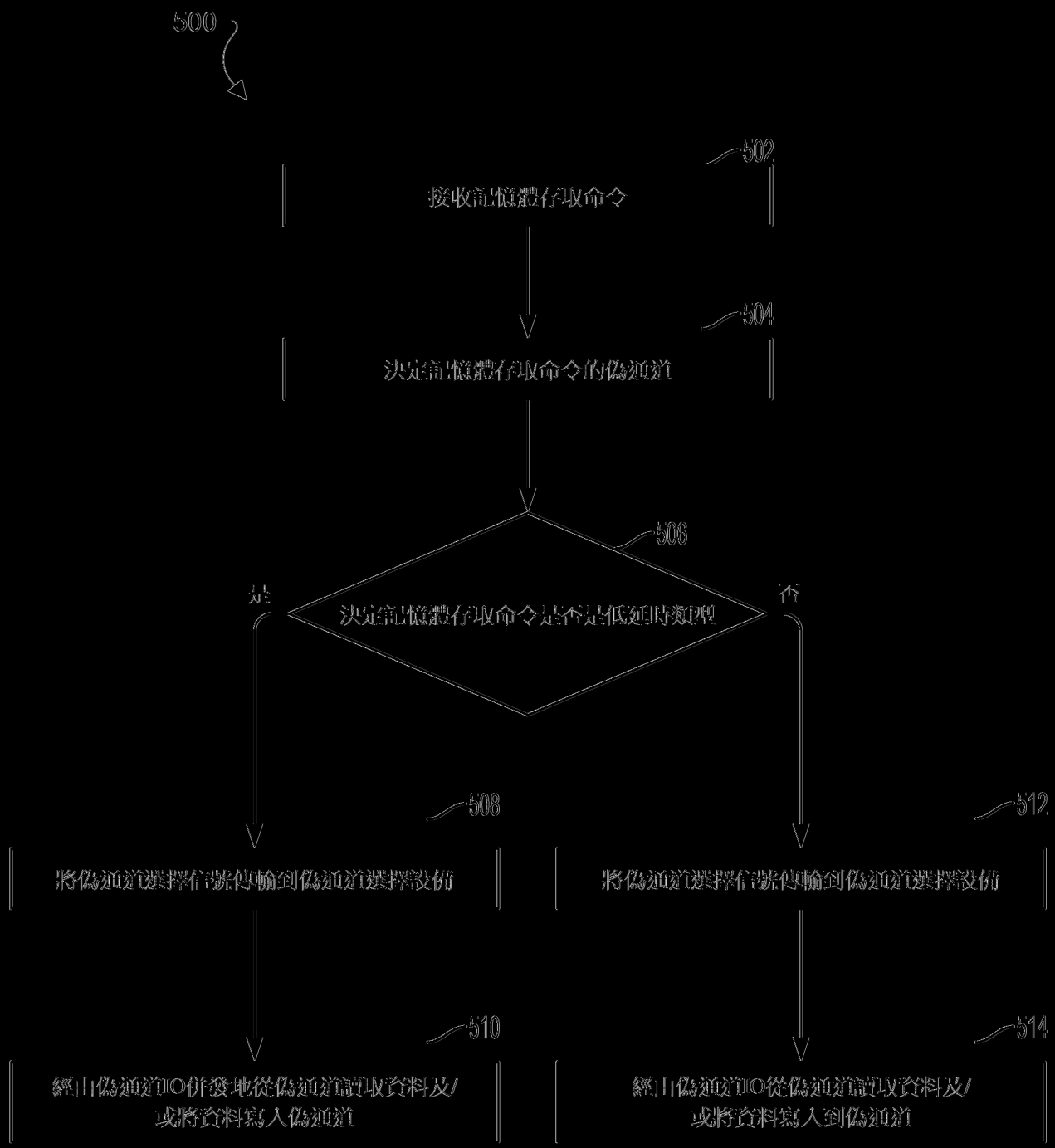
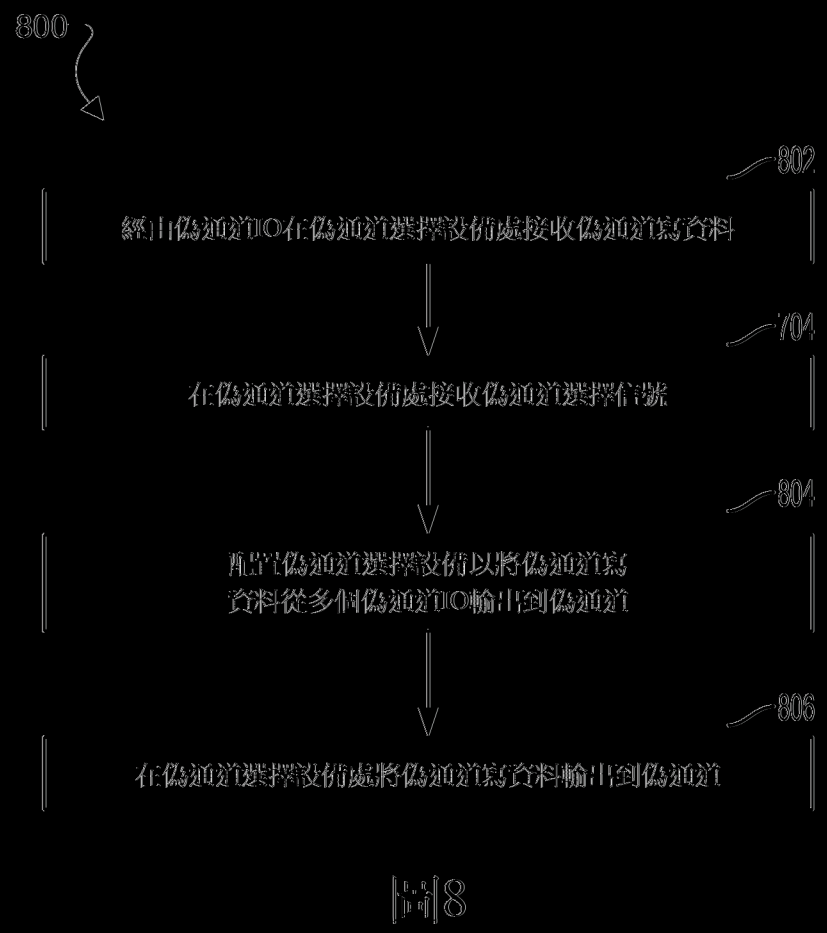
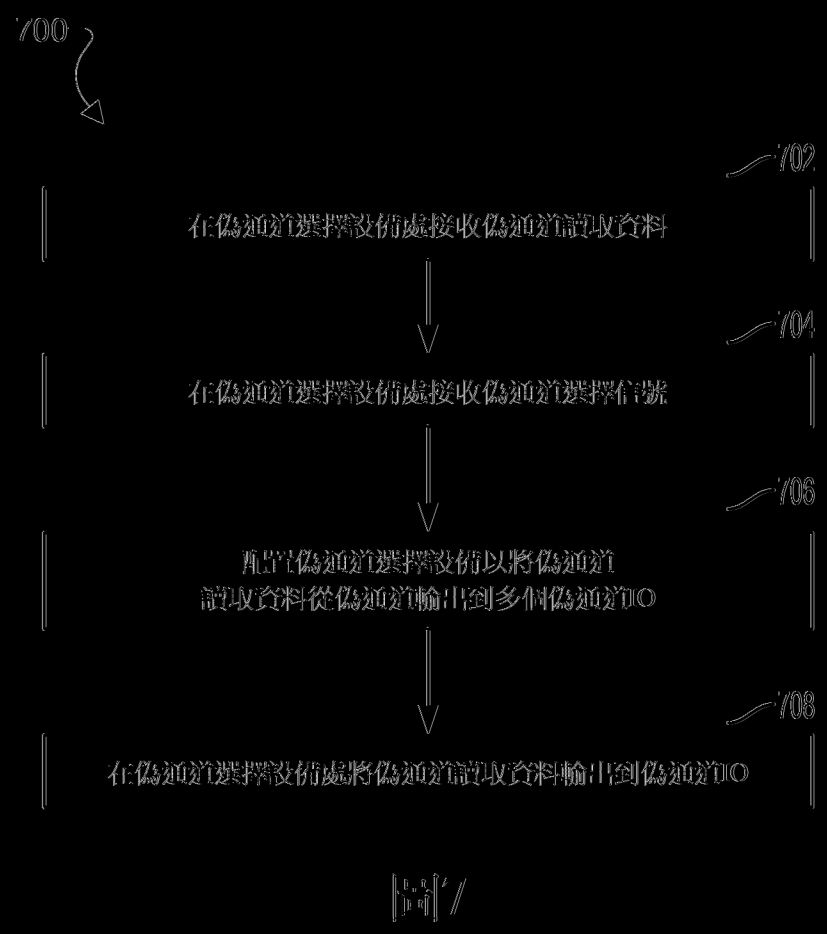


Fig. 5



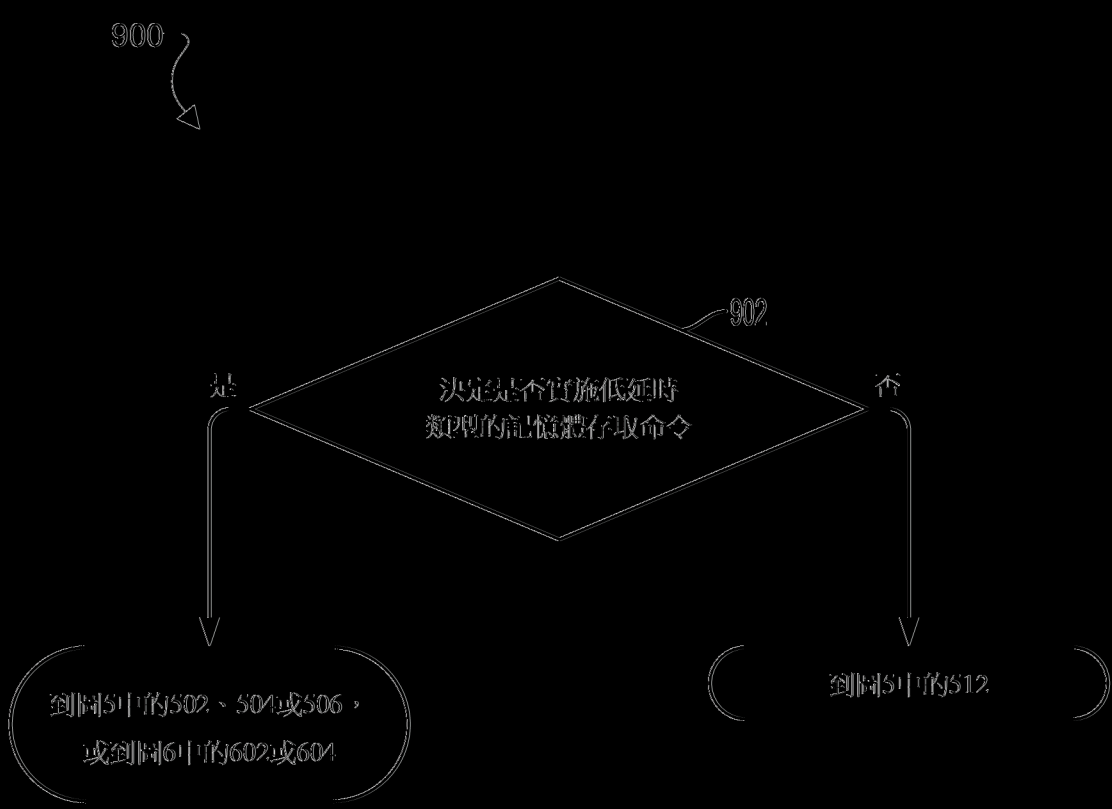


圖9

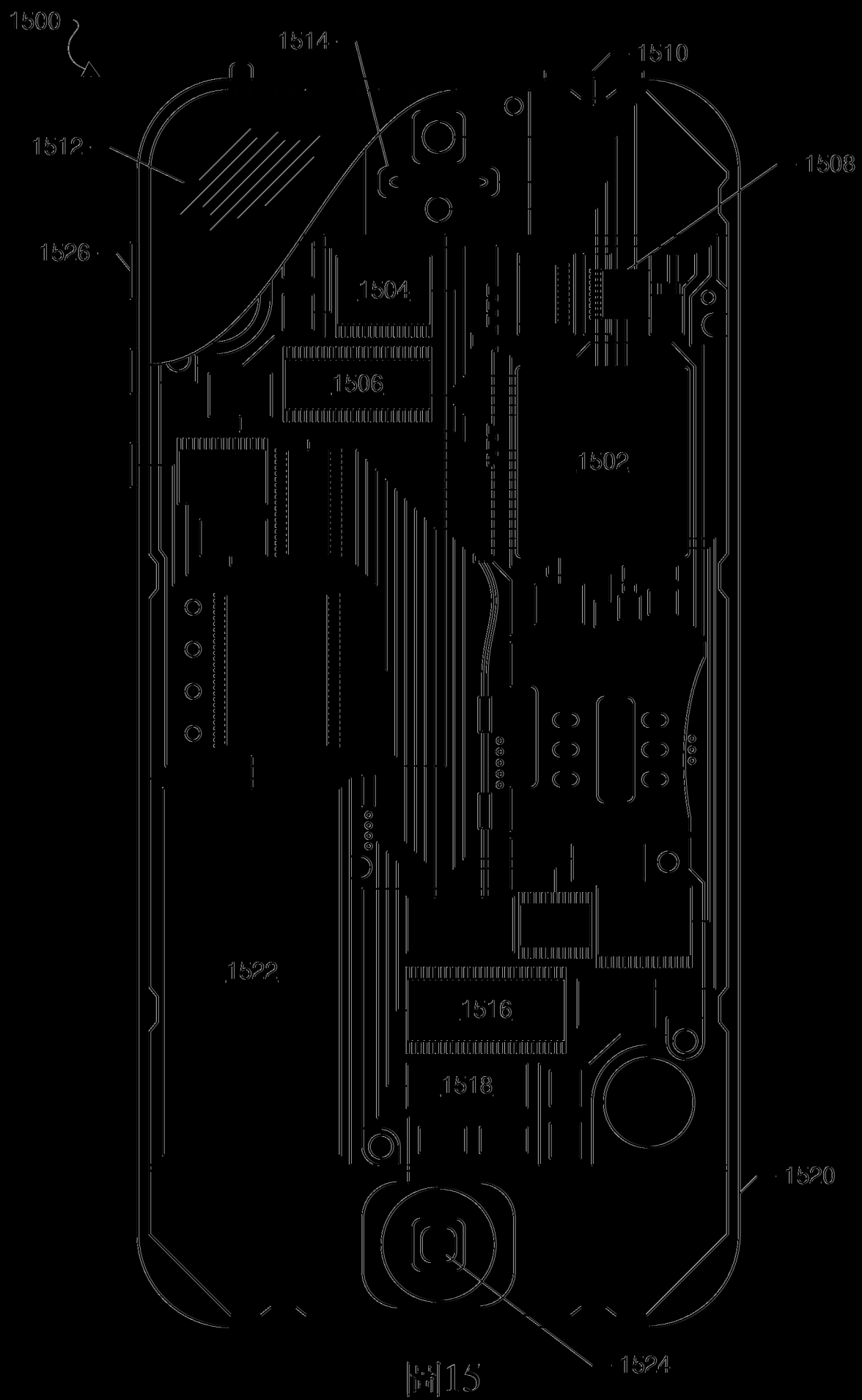


圖15

