

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 16 年 8 月 26 日 (2004.8.26)

【公開番号】特開 2003-188252 (P2003-188252A)

【公開日】平成 15 年 7 月 4 日 (2003.7.4)

【出願番号】特願 2001-380656 (P2001-380656)

【国際特許分類第 7 版】

H 0 1 L 21/768

H 0 1 L 21/28

H 0 1 L 21/8247

H 0 1 L 27/115

H 0 1 L 29/43

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

H 0 1 L 21/90 C

H 0 1 L 21/28 U

H 0 1 L 29/62 G

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 15 年 8 月 8 日 (2003.8.8)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

この半導体基板に素子分離領域により区画された複数の素子領域と、

これらの素子領域が形成された前記半導体基板を覆う層間絶縁膜に埋め込まれて前記各素子領域またはこれに接続された導体層に接続される導電体プラグと、

前記層間絶縁膜上に形成されて前記各導電体プラグに接続される配線層とを有する半導体装置において、

前記導電体プラグは、前記配線層の長手方向と直交する直線上にその直線と導電体プラグ上面とが重なる状態で前記配線層と同じピッチで配列され且つ、前記導電体プラグを前記半導体基板の主面に平行な面で切断した切断面の重心を通る割線と切断面端との二つの交点間の距離をコンタクト径と定義したとき、前記割線を切断面内で 360°回転する間にコンタクト径が 3 つ以上の極大値と 3 つ以上の極小値を持つ

ことを特徴とする半導体装置。

【請求項 2】

半導体基板と、

この半導体基板に素子分離領域により区画された複数の素子領域と、

これらの素子領域が形成された前記半導体基板を覆う層間絶縁膜に埋め込まれて前記各素子領域またはこれに接続された導体層に接続される導電体プラグと、

前記層間絶縁膜上に形成されて前記各導電体プラグに接続される配線層とを有する半導体装置において、

前記導電体プラグは、前記配線層の長手方向と直交する直線上にその直線と導電体プラグ上面とが重なる状態で前記配線層と同じピッチで配列され且つ、前記導電体プラグを前記半導体基板の主面に平行な面で切断した切断面を定義する辺のうち、前記配線層の長手方向と平行な２辺が、前記配線層に自己整合されていることを特徴とする半導体装置。

【請求項３】

前記極大値及び極小値がそれぞれ４つであることを特徴とする請求項１記載の半導体装置。

【請求項４】

前記導電体プラグは、前記配線層の長手方向と直交する方向に一系列に整列して配置されていることを特徴とする請求項１乃至３のいずれかに記載の半導体装置。

【請求項５】

前記導電体プラグは、その配列方向及び前記配線層の長手方向にそれぞれ平行な２辺を有する略矩形パターンをもって埋め込まれていることを特徴とする請求項１乃至４のいずれかに記載の半導体装置。

【請求項６】

前記配線層は、前記層間絶縁膜に形成された配線溝に埋め込み形成され、前記導電体プラグは、前記層間絶縁膜の前記配線溝の底部に形成されたコンタクト孔に前記配線層と同じ材料膜により前記配線層と同時に埋め込み形成されていることを特徴とする請求項１乃至５のいずれかに記載の半導体装置。

【請求項７】

前記配線層は、前記層間絶縁膜に形成された配線溝に埋め込み形成され、前記導電体プラグは、前記層間絶縁膜の前記配線溝の底部に形成されたコンタクト孔に前記配線層とは異なる材料膜により前記配線層より先に埋め込み形成されていることを特徴とする請求項１乃至５のいずれかに記載の半導体装置。

【請求項８】

半導体基板と、
この半導体基板に素子分離領域により区画された複数の素子領域と、
これらの各素子領域に形成されたソース、ドレイン拡散層及び一方向に連続するワード線として形成された制御ゲート電極を有する不揮発性メモリセルと、
前記不揮発性メモリセルを覆う層間絶縁膜に埋め込まれて前記各不揮発性メモリセル又は不揮発性メモリセル列の一端部のドレイン拡散層に接続される第１の導電体プラグと、
前記層間絶縁膜に埋め込まれて前記各不揮発性メモリセル又は不揮発性メモリセル列の他端部のソース拡散層に接続される第２の導電体プラグと、
前記層間絶縁膜上に形成されて前記第１の導電体プラグに接続されて前記ワード線と直交して配設されたビット線とを有する半導体装置において、
前記第１の導電体プラグは、前記ビット線の長手方向と直交する直線上にその直線と第１の導電体プラグ上面とが重なる状態で前記ビット線と同じピッチで配列され且つ、その配列方向及び前記ビット線の長手方向にそれぞれ平行な２辺を有する略矩形パターンをもって埋め込まれていることを特徴とする半導体装置。

【請求項９】

前記第１の導電体プラグは、前記ビット線の長手方向と直交する方向に一系列に整列して配置されていることを特徴とする請求項８記載の半導体装置。

【請求項１０】

前記層間絶縁膜内に、前記第１の導電体プラグと前記ビット線の間を中継する引き出し配線が埋め込まれていることを特徴とする請求項８記載の半導体装置。

【請求項 1 1】

前記第 2 の導電体プラグは、前記ビット線と直交する方向に一系列に整列して配置され且つ、その配列方向及び前記ビット線の長手方向にそれぞれ実質的に平行な 2 辺を有する矩形パターンをもって埋め込まれており、更に
前記層間絶縁膜には、前記第 2 の導電体プラグを共通接続して前記ビットと直交する方向に延びる共通ソース線が前記引き出し配線と同じ材料膜により埋め込まれている
ことを特徴とする請求項 1 0 記載の半導体装置。

【請求項 1 2】

前記第 2 の導電体プラグは、前記ビット線と直交する方向に連続するパターンをもつ埋め込み配線層として形成されている
ことを特徴とする請求項 8 記載の半導体装置。

【請求項 1 3】

前記層間絶縁膜には、前記埋め込み配線層に重ねて前記引き出し配線と同じ材料膜による共通ソース線が埋め込まれている
ことを特徴とする請求項 1 2 記載の半導体装置。

【請求項 1 4】

半導体基板に素子分離領域により区画された複数の素子領域を形成し、各素子領域に素子を形成する工程と、
前記素子が形成された前記半導体基板に第 1 のバリア絶縁膜、層間絶縁膜及び第 2 のバリア絶縁膜を順次積層形成する工程と、
前記第 2 のバリア絶縁膜から前記層間絶縁膜の所定深さに達するエッチングを行って、前記複数の素子領域に整合された複数の配線溝を形成する工程と、
前記複数の配線溝を横切る直線状又は波状の開口を持つレジストパターンを形成する工程と、
前記レジストパターン及び前記第 2 のバリア絶縁膜をマスクとして前記層間絶縁膜及び第 1 のバリア絶縁膜をエッチングして、前記各素子領域上にコンタクト孔を形成する工程と、
前記コンタクト孔に導電体プラグを埋め込む工程と、
前記第 2 のバリア絶縁膜を除去する工程と、
前記層間絶縁膜の配線溝に前記導電体プラグに接続される配線層を埋め込む工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項 1 5】

前記導電体プラグは、前記配線層と同じ材料膜により配線層と同時に埋め込む
ことを特徴とする請求項 1 4 記載の半導体装置の製造方法。

【請求項 1 6】

前記導電体プラグは、前記コンタクト孔の途中まで埋め込み、その上部を前記配線層で埋め込む
ことを特徴とする請求項 1 4 記載の半導体装置の製造方法。

【請求項 1 7】

前記第 1 のバリア絶縁膜を、前記第 2 のバリア絶縁膜より厚く形成する
ことを特徴とする請求項 1 4 記載の半導体装置の製造方法。

【請求項 1 8】

前記第 2 のバリア絶縁膜を、前記第 1 のバリア絶縁膜より厚く形成する
ことを特徴とする請求項 1 4 記載の半導体装置の製造方法。

【請求項 1 9】

半導体基板に素子分離領域により区画された複数の素子領域を形成し、各素子領域に素子を形成する工程と、
前記素子が形成された前記半導体基板に第 1 のバリア絶縁膜、第 1 の層間絶縁膜及び第 2 のバリア絶縁膜を順次積層形成する工程と、
前記第 2 のバリア絶縁膜をエッチングして、前記第 1 の層間絶縁膜に達するように前記複

数の素子領域にまたがって連続するストライプ溝を形成する工程と、
前記ストライプ溝を埋め込み且つ前記第２のバリア絶縁膜を平坦に覆う第２の層間絶縁膜を形成する工程と、
前記第２の層間絶縁膜上に前記ストライプ溝と直交する直線状又は波状の開口を持つレジストパターンを形成する工程と、
前記レジストパターン及び前記第２のバリア絶縁膜をマスクとして、前記第２及び第１の層間絶縁膜をエッチングして、前記第２のバリア絶縁膜で止まる配線溝を形成すると同時に各素子領域に対するコンタクト孔を形成する工程と、
前記コンタクト孔に導電体プラグを埋め込む工程と、
前記第２の層間絶縁膜の配線溝に前記導電体プラグに接続される配線層を埋め込む工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項２０】

半導体基板と、

前記半導体基板を素子分離領域で区画することにより、所定のピッチで第１の方向に繰り返し配置されたストライプ状の素子領域と、

前記素子領域に形成され、複数の不揮発性メモリセルで構成されたメモリセルユニットと

、

前記メモリセルユニットの一端に接続されたドレイン拡散層と、

前記メモリセルユニットの他端に接続されたソース拡散層と、

前記所定のピッチと同じピッチで前記第１の方向に繰り返し配置されると共に前記ドレイン拡散層に接続されたビット線コンタクトプラグと、

前記ビット線コンタクトプラグに接続された配線層と、

を有し、

前記ビット線コンタクトプラグは、前記配線層の幅によって自己整合的に定義されると共に前記第１の方向と直交する２辺と、前記第１の方向の２辺と、により構成される略矩形パターンを有する

ことを特徴とする半導体装置。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】００２３

【補正方法】変更

【補正の内容】

【００２３】

この発明によると、配線溝とこれに整合されたコンタクト孔を一回のエッチング工程で形成することができる。

この発明はまた、半導体基板と、前記半導体基板を素子分離領域で区画することにより、
所定のピッチで第１の方向に繰り返し配置されたストライプ状の素子領域と、前記素子領域に形成され、複数の不揮発性メモリセルで構成されたメモリセルユニットと、前記メモリセルユニットの一端に接続されたドレイン拡散層と、前記メモリセルユニットの他端に接続されたソース拡散層と、前記所定のピッチと同じピッチで前記第１の方向に繰り返し配置されると共に前記ドレイン拡散層に接続されたビット線コンタクトプラグと、前記ビット線コンタクトプラグに接続された配線層と、を有し、前記ビット線コンタクトプラグは、前記配線層の幅によって自己整合的に定義されると共に前記第１の方向と直交する２辺と、前記第１の方向の２辺と、により構成される略矩形パターンを有することを特徴とする。