

【特許請求の範囲】

【請求項 1】

表示装置の画面上に表示されるレイアウト領域に、半導体集積回路を構成する各種回路素子に対応する回路記号と配線パターンとをレイアウトすることで、前記半導体集積回路に係る回路図を設計することが可能な回路図設計装置であって、

前記回路図の設計に係る前記回路記号を選択する回路記号選択手段と、

前記回路記号選択手段で選択された前記回路記号のうち特定の回路記号に対して、該特定の回路記号の示す回路素子の連続形成数を示すパラメータと、該連続形成数の回路素子を連続して一繋がり形成して成るマルチ素子回路の動作特性のバラツキを低減するための付加素子であるダミー素子の形成数を示すパラメータとを含むパラメータを設定するパラメータ設定手段と、

前記パラメータ設定手段で前記特定の回路記号に対して前記パラメータが設定されたときに、該設定されたパラメータの内容が正しいか誤りかを判定するパラメータ判定手段と、

前記パラメータ判定手段の判定結果が誤りであるという判定結果であったときに、前記特定の回路記号に対して設定されたパラメータを予め設定された修正方法に基づき正しい内容に修正するパラメータ修正手段と、

前記レイアウト領域にレイアウトされた回路記号及び配線パターンの情報と、前記パラメータ設定手段で設定されたパラメータとに基づき、前記マルチ素子回路を構成する各回路素子を含む前記レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報を生成する接続関係情報生成手段と、

前記接続関係情報に基づき前記回路記号及び前記配線パターンを含んで構成されるシンボル回路図を表示する回路図表示手段と、を備えることを特徴とする回路図設計装置。

【請求項 2】

前記パラメータ設定手段は、前記回路記号選択手段で MOS トランジスタの回路記号が選択されたときに、該 MOS トランジスタの回路記号に対して、該 MOS トランジスタの連続形成数を示すパラメータ Multi と、該 M 個の MOS トランジスタを、ドレインとソースの領域を行方向となる一方向に交互に反復させながら一繋がり形成したときの前記行方向の端部のドレイン領域に付加されるダミー MOS トランジスタの形成数を示すパラメータ DDM と、前記行方向の端部のソース領域に付加されるダミー MOS トランジスタの形成数を示すパラメータ SDM とを含むパラメータを設定することが可能であり、

前記パラメータ判定手段は、前記パラメータ Multi が偶数値に設定され且つ前記行方向の両端部が共にソース領域又はドレイン領域となるときに、前記パラメータ DDM 及び前記パラメータ SDM にそれぞれ 0 以外の数値が設定される第 1 の設定内容と、前記パラメータ Multi が偶数値に設定され且つ前記行方向の両端部が共にソース領域となるときに、前記パラメータ DDM に 0 が設定され且つ前記パラメータ SDM に 1 以下の数値又は 3 以上の奇数値が設定される第 2 の設定内容と、前記パラメータ Multi が偶数値に設定され且つ前記行方向の両端部がドレイン領域となるときに、前記パラメータ DDM に 1 以下の数値又は 3 以上の奇数値が設定され且つ前記パラメータ SDM に 0 が設定される第 3 の設定内容とのうちいずれか 1 つの設定内容で、前記 MOS トランジスタの回路記号に対してパラメータが設定されたときに、該パラメータの設定内容が誤りであると判定し、

前記パラメータ修正手段は、前記第 1 の設定内容による誤り判定に対して、前記行方向の両端部が共にソース領域のときは、前記パラメータ DDM の設定値が 0 で且つ前記パラメータ SDM の設定値が所定の偶数値となるように設定値を修正し、前記行方向の両端部がドレイン領域のときは、前記パラメータ DDM の設定値が所定の偶数値で且つ前記パラメータ SDM の設定値が 0 となるように設定値を修正し、前記第 2 の設定内容による誤り判定に対して、前記パラメータ SDM の設定値を所定の偶数値に修正し、前記第 3 の設定内容による誤り判定に対して、前記パラメータ DDM の設定値を所定の偶数値に修正することを特徴とする請求項 1 に記載の回路図設計装置。

10

20

30

40

50

【請求項 3】

前記パラメータ設定手段は、前記回路記号選択手段で MOS トランジスタの回路記号が選択されたときに、前記パラメータ *M u l t i* と、前記パラメータ *D D M* と、前記パラメータ *S D M* と、前記マルチ素子回路の前記行方向と直交する方向である列方向の形成数を示すパラメータ *R O W* とを含むパラメータを設定することが可能であり、

前記接続関係情報生成手段は、前記パラメータ *R O W* に 2 以上の数値が設定されたときに、前記パラメータ *M u l t i* の設定値を前記パラメータ *R O W* の設定値で割った数値を MOS トランジスタの前記連続形成数としたマルチ素子回路を、前記パラメータ *R O W* の数だけ前記列方向に連続して接続した構成のマルチ素子回路列の各回路素子の接続関係を示す接続関係情報を生成し、

前記パラメータ *M u l t i* の設定値 (2 以上の整数) を前記パラメータ *R O W* の設定値 (M の設定値 $>$ $R O W$ の設定値 - 1 の整数) で除算した除算結果の数値をカラムパラメータの数値とし、前記パラメータ *M u l t i* の設定値が前記パラメータ *R O W* の設定値で割り切れるときに、

前記パラメータ判定手段は、前記パラメータ *R O W* が 2 以上の整数値に設定され且つ前記カラムパラメータの数値が奇数値となり、前記パラメータ *D D M* 及び前記パラメータ *S D M* の少なくとも一方に前記パラメータ *R O W* の設定値を N 倍 (N は 1 以上の整数) した数値とは異なる数値が設定される第 4 の設定内容と、前記パラメータ *R O W* が 2 以上の整数値に設定され且つ前記カラムパラメータの数値が偶数値となり、前記パラメータ *D D M* 及び前記パラメータ *S D M* の少なくとも一方に前記パラメータ *R O W* の設定値を M 倍 (M は 2 以上の偶数) にした数値とは異なる数値が設定される第 5 の設定内容とのうちいずれか 1 つの設定内容で、前記 MOS トランジスタの回路記号に対してパラメータが設定されたときに、該パラメータの設定内容が誤りであると判定し、

前記パラメータ修正手段は、前記第 4 の設定内容による誤り判定に対して、前記パラメータ *D D M* の設定値及び前記パラメータ *S D M* の設定値のうち前記パラメータ *R O W* の設定値を N 倍した数値とは異なる数値が設定されているものを、前記パラメータ *R O W* の設定値となるように修正し、前記第 5 の設定内容による誤り判定に対して、前記行方向の両端部が共にソース領域のときは、前記パラメータ *D D M* の設定値が 0 以外の数値のときは該設定値を 0 に且つ前記パラメータ *S D M* の設定値を前記パラメータ *R O W* の設定値を M 倍にした数値に修正し、前記行方向の両端部がドレイン領域のときは、前記パラメータ *D D M* の設定値を前記パラメータ *R O W* の設定値を M 倍にした数値に且つ前記パラメータ *S D M* の設定値が 0 以外の数値のときは該設定値を 0 に修正することを特徴とする請求項 1 又は請求項 2 に記載の回路図設計装置。

【請求項 4】

前記回路図表示手段は、前記接続関係情報生成手段で生成された接続関係情報に基づき、前記半導体集積回路のマスクパターンのレイアウトを示すパターンレイアウト図を表示し、

前記回路図表示手段で表示されたパターンレイアウト図を編集するレイアウト編集手段を備え、

前記パラメータ修正手段は、前記レイアウト編集手段で前記パターンレイアウト図の編集が行われたときに、その編集結果に基づき前記特定の回路記号に設定されたパラメータを修正し、

前記接続関係情報生成手段は、前記レイアウト編集手段で前記パターンレイアウト図の編集が行われたときに、その編集結果と前記パラメータ修正手段の修正結果とに基づき前記接続関係情報を修正することを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の回路図設計装置。

【請求項 5】

前記回路図表示手段は、前記接続関係情報生成手段で生成された接続関係情報に基づき、前記半導体集積回路のマスクパターンのレイアウトを示すパターンレイアウト図を表示し、

10

20

30

40

50

前記回路図表示手段で表示されたパターンレイアウト図を編集するレイアウト編集手段を備え、

前記パラメータ修正手段は、前記レイアウト編集手段で前記パターンレイアウト図の編集が行われたときに、その編集結果に基づき前記特定の回路記号に設定されたパラメータを修正し、

前記接続関係情報生成手段は、前記レイアウト編集手段で前記パターンレイアウト図の編集が行われたときに、その編集結果と前記パラメータ修正手段の修正結果とに基づき前記接続関係情報を修正し、

前記レイアウト編集手段によって、前記M O Sトランジスタを含んで構成されるマルチ素子回路の列方向の形成数に変更されたときに、前記パラメータ修正手段は、前記パラメータM u l t iの設定値を該設定値を前記形成数倍にした数値に修正すると共に前記パラメータR O Wの設定値を前記変更した形成数に修正し、前記カラムパラメータの数値が奇数値のときは、前記パラメータD D Mの設定値及び前記パラメータS D Mの設定値を、それぞれ修正後の前記パラメータR O Wの設定値に修正し、前記カラムパラメータの数値が偶数値のときに、前記行方向の両端部が共にソース領域のときは、前記パラメータD D Mの設定値が0以外の数値のときは該設定値を0に且つ前記パラメータS D Mの設定値を前記修正後のパラメータR O Wの設定値をM倍にした数値に修正し、前記行方向の両端部がドレイン領域のときは、前記パラメータD D Mの設定値を前記修正後のパラメータR O Wの設定値をM倍にした数値に且つ前記パラメータS D Mの設定値が0以外の数値のときは該設定値を0に修正することを特徴とする請求項3に記載の回路図設計装置。

【請求項6】

前記レイアウト編集手段は、複数の前記マルチ素子回路を、これらを構成する回路素子の回路パターンの一部を共有させて合成する第1の合成処理部と、複数の前記マルチ素子回路を、これらを構成する回路素子の回路パターンを所定の組み合わせで合体させて合成する第2の合成処理部とを有することを特徴とする請求項4又は請求項5に記載の回路図設計装置。

【請求項7】

表示装置の画面上に表示されるレイアウト領域に、半導体集積回路を構成する各種回路素子に対応する回路記号と配線パターンとをレイアウトして、前記半導体集積回路に係る回路図を設計するために、コンピュータを、

前記回路図の設計に係る前記回路記号を選択する回路記号選択手段、

前記回路記号選択手段で選択された前記回路記号のうち特定の回路記号に対して、該特定の回路記号の示す回路素子の連続形成数を示すパラメータと、該連続形成数の回路素子を連続して一繋がり形成して成るマルチ素子回路の動作特性のバラツキを低減するための付加素子であるダミー素子の形成数を示すパラメータとを含むパラメータを設定するパラメータ設定手段、

前記パラメータ設定手段で前記特定の回路記号に対して前記パラメータが設定されたときに、該設定されたパラメータの内容が正しいか誤りかを判定するパラメータ判定手段、

前記パラメータ判定手段の判定結果が誤りであるという判定結果であったときに、前記特定の回路記号に対して設定されたパラメータを予め設定された修正方法に基づき正しい内容に修正するパラメータ修正手段、

前記レイアウト領域にレイアウトされた回路記号及び配線パターンの情報と、前記パラメータ設定手段で設定されたパラメータとに基づき、前記マルチ素子回路を構成する各回路素子を含む前記レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報を生成する接続関係情報生成手段、及び

前記接続関係情報に基づき前記回路記号及び前記配線パターンを含んで構成されるシンボル回路図を表示する回路図表示手段として機能させることを特徴とする回路図設計プログラム。

【請求項8】

回路記号選択手段、パラメータ設定手段、パラメータ判定手段、パラメータ修正手段、

接続関係情報生成手段及び回路図表示手段を備えた回路図設計装置を利用して、表示装置の画面上に表示されるレイアウト領域に、半導体集積回路を構成する各種回路素子に対応する回路記号と配線パターンとをレイアウトして、前記半導体集積回路に係る回路図を設計する回路図設計方法であって、

前記回路記号選択手段に、前記回路図の設計に係る前記回路記号を選択させる回路記号選択ステップと、

前記パラメータ設定手段に、前記回路記号選択ステップで選択された前記回路記号のうち特定の回路記号に対して、該特定の回路記号の示す回路素子の連続形成数を示すパラメータと、該連続形成数の回路素子を連続して一繋がり形成して成るマルチ素子回路の動作特性のバラツキを低減するための付加素子であるダミー素子の形成数を示すパラメータを含むパラメータを設定させるパラメータ設定ステップと、

前記パラメータ判定手段に、前記パラメータ設定ステップで前記特定の回路記号に対して前記パラメータが設定されたときに、該設定されたパラメータの内容が正しいか誤りかを判定させるパラメータ判定ステップと、

前記パラメータ修正手段に、前記パラメータ判定ステップの判定結果が誤りであるという判定結果であったときに、前記特定の回路記号に対して設定されたパラメータを予め設定された修正方法に基づき正しい内容に修正するパラメータ修正ステップと、

前記接続関係情報生成手段に、前記レイアウト領域にレイアウトされた回路記号及び配線パターンの情報と、前記パラメータ設定ステップで設定されたパラメータとに基づき、前記マルチ素子回路を構成する各回路素子を含む前記レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報を生成させる接続関係情報生成ステップと、

前記回路図表示手段に、前記接続関係情報に基づき前記回路記号及び前記配線パターンを含んで構成されるシンボル回路図を表示させる回路図表示ステップとを含むことを特徴とする回路図設計方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路のマスクパターンを生成するための回路図を設計する装置に係り、特に、MOSトランジスタなどの回路素子を共有部分を介して連続接続してなるマルチ素子回路を含む半導体集積回路に係る回路図を設計するのに好適な回路図設計装置、回路図設計プログラム及び回路図設計方法に関する。

【背景技術】

【0002】

半導体集積回路の微細化プロセス技術において、例えば、半導体ウェハに形成される回路素子の1つであるMOSトランジスタを複数、共有部分（ドレイン領域及びソース領域）を介して連続して接続した構成のマルチMOS回路の形成プロセスがある。このマルチMOS回路において、 V_{th} が場所によって異なる現象が発生するという問題がある。この現象は、マルチMOS回路における連続接続されたMOSトランジスタの両端のゲートの形状と、その内側のMOSトランジスタのゲートの形状とが異なることが原因で生じることが判明している。図19に、そのイメージを示す（マルチ数＝4のマルチMOS回路）。図19を見ると、両端のゲートの形状が内側のゲートの形状と異なっている様子が解る。この問題に対して、マルチMOS回路の両端にダミーMOSを付加する設計手法（図19の下図）が採用されている。この設計手法を用いることで、内側のMOSのマッチングが取れ、上記問題を回避することができる（例えば、特許文献1参照。）。

【0003】

特許文献1の半導体装置は、中央部の内部セル領域を取り囲むように配線チャネル領域を設け、さらにその周囲を外部との信号の入出力等を行う回路配置されたI/Oセル領域が取り囲む構成の半導体装置において、内部セル領域の内部に設けられた多数のMOSトランジスタと寸法および配置密度がほぼ同一なダミーMOSトランジスタを配線チャネル領域に形成し、内部セル領域における辺縁部のMOSトランジスタの配置密度環境が、中

央部のＭＯＳトランジスタ群と等価になるようにして、製造時における拡散層パターンやゲートパターンの寸法ばらつきを防止するものである。

【０００４】

図１９の下図は、長破線で囲まれる部分が本体部、すなわち本来のＭＯＳトランジスタの部分を示し、短破線で囲まれる部分がダミーとして付加されたＭＯＳトランジスタ、すなわちダミーＭＯＳ部を示す。図１９中の大文字のＳ、Ｄはそれぞれソース、ドレインを示し、小文字ｄで示した部分はダミーＭＯＳのゲートを示し、Ｓ、Ｄに挟まれた何も無い縦長の長方形が本体部のゲートを示す。

【特許文献１】特開平７－３３５８４４号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

しかしながら、上記従来の設計手法を採用した場合に、半導体集積回路に係る回路図を設計するＣＡＤや、半導体集積回路のマスクパターンを設計するＣＡＤなどを用いて、ダミーＭＯＳを本体のＭＯＳに１つずつ手入力で付加しなければならない。更に、ダミーＭＯＳを１つ付加する毎に、付加した後のマルチＭＯＳ回路に対して、その検証（ＬＶＳ：Layout Versus Schematic）を行わなくてはならない。そのため、設計者は、非効率で確実性の無い作業を強いられているのが現状である。

【０００６】

そこで、本発明は、このような従来の技術の有する未解決の課題に着目してなされたものであって、ＭＯＳトランジスタなどの回路素子を連続接続してなるマルチ素子回路を含む半導体集積回路に係る回路図を設計するのに好適な回路図設計装置、回路図設計プログラム及び回路図設計方法を提供することを目的としている。

【課題を解決するための手段】

【０００７】

〔発明１〕 上記目的を達成するために、発明１の回路図設計装置は、表示装置の画面上に表示されるレイアウト領域に、半導体集積回路を構成する各種回路素子に対応する回路記号と配線パターンとをレイアウトすることで、前記半導体集積回路に係る回路図を設計することが可能な回路図設計装置であって、前記回路図の設計に係る前記回路記号を選択する回路記号選択手段と、前記回路記号選択手段で選択された前記回路記号のうち特定の回路記号に対して、該特定の回路記号の示す回路素子の連続形成数を示すパラメータと、該連続形成数の回路素子を連続して一繋がりに形成して成るマルチ素子回路の動作特性のバラツキを低減するための付加素子であるダミー素子の形成数を示すパラメータとを含むパラメータを設定するパラメータ設定手段と、前記パラメータ設定手段で前記特定の回路記号に対して前記パラメータが設定されたときに、該設定されたパラメータの内容が正しいか誤りかを判定するパラメータ判定手段と、前記パラメータ判定手段の判定結果が誤りであるという判定結果であったときに、前記特定の回路記号に対して設定されたパラメータを予め設定された修正方法に基づき正しい内容に修正するパラメータ修正手段と、前記レイアウト領域にレイアウトされた回路記号及び配線パターンの情報と、前記パラメータ設定手段で設定されたパラメータとに基づき、前記マルチ素子回路を構成する各回路素子を含む前記レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報を生成する接続関係情報生成手段と、前記接続関係情報に基づき前記回路記号及び前記配線パターンを含んで構成されるシンボル回路図を表示する回路図表示手段と、を備える。

【０００８】

このような構成であれば、回路記号選択手段によって、例えば、選択画面に表示された回路記号のうちパラメータが設定可能な特定の回路記号、又はレイアウト領域にレイアウトされた回路記号のうちパラメータが設定可能な特定の回路記号が選択されると、パラメータ設定手段によって、選択された特定の回路記号に対して、その回路素子の連続形成数及びダミー素子の形成数を示すパラメータを含むマルチ素子回路を生成するためのパラメータを設定することが可能である。特定の回路記号に対してパラメータが設定されると、

10

20

30

40

50

パラメータ判定手段によって、設定されたパラメータ値の設定内容が正しいか誤りかが判定され、判定結果が誤りであるという判定結果のときに、パラメータ修正手段によって、特定の回路記号に対して設定された誤った設定内容のパラメータが、予め設定された修正方法に基づき正しい設定内容に自動的に修正される。

【 0 0 0 9 】

一方、選択された特定の回路記号に対して正しいパラメータが設定されると、接続関係情報生成手段によって、レイアウト領域にレイアウトされた回路記号及び配線パターンの情報と、特定の回路記号に設定されたパラメータとに基づき、マルチ素子回路を構成する各回路素子を含むレイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報が生成される。

10

【 0 0 1 0 】

また、接続関係情報が生成されると、回路図表手段によって、該生成された接続関係情報に基づき、回路記号及び配線パターンを含んで構成されるシンボル回路図が表示される。

従って、半導体基板（半導体ウェーハ）に形成される、能動素子（例えば、ダイオード、トランジスタなど）や、受動素子（例えば、抵抗、キャパシタ、インダクタなど）などの回路素子を、同じ回路素子同士で複数を連続接続（例えば、各回路素子の一部を他と共有させてひと繋がり形成）した構成のマルチ素子回路を含む半導体集積回路を設計（作成）するときに、例えば、手作業で同じ回路記号を１つずつ選択して形成することなく、選択した回路記号に対して連続形成数をパラメータ設定するだけで、該回路記号の回路素子を連続接続した構成のマルチ素子回路を生成することができる。

20

【 0 0 1 1 】

更に、マルチ素子回路において、例えば、該マルチ素子回路を構成する回路素子の一部の形状の違いなどから生じるマルチ素子回路の動作特性のバラツキを低減するため付加素子であるダミー素子についても、選択した回路記号に対してダミー素子の形成数をパラメータ設定するだけで、手作業でダミー素子の回路記号を１つずつ選択して形成することなく、連続接続された回路素子にダミー素子が付加接続された構成のマルチ素子回路を生成することができる。

【 0 0 1 2 】

これによって、選択した回路記号に対してパラメータを設定するといった簡単な作業で、任意のダミー素子を含むマルチ素子回路を含む回路の接続関係情報を生成することができるという効果が得られる。

30

また、回路素子のマルチ数やダミー素子の数をパラメータで管理するようにしたので、確実にダミー素子を付加することができ、レイアウト検証（LVS）を、より確実に行うことができるという効果が得られる。

【 0 0 1 3 】

また、選択した回路記号に対してパラメータを設定するので、本来の回路素子の連続接続数の情報とこの回路素子に付加的に接続されるダミー素子の情報とが関連付けられるので、この情報を、半導体集積回路のマスクパターンの生成に利用することで、マスクパターンの生成においても、ダミー素子を１つ１つ手作業で付加するといった労力を軽減することができるという効果が得られる。

40

【 0 0 1 4 】

更に、パラメータ判定手段によって設定内容の正誤判定を行ない、設定内容に誤りがあったときは、パラメータ修正手段によって修正を行なうようにした。これによって、ユーザの設定内容に間違いがあったときや、例えばパラメータMultiの数値を意図的に変更してパラメータDDM及びSDMの値との間に不整合が生じたときなどに、パラメータ修正手段が自動で正しい設定内容に修正を行ってくれるので、手作業による修正を行うことなく、簡易且つ確実に正しいパラメータ設定内容のマルチ素子回路を生成することができるという効果が得られる。

【 0 0 1 5 】

50

ここで、上記回路記号は、例えば、JIS C 0301、JIS C 0617、JIS C 9309、JIS B 8601などのJISに準拠した回路記号や、これらの回路記号を基準にして作成されたもの、また、マスクパターンの生成にも対応させる場合は、各回路素子に対応するマスクパターンのセル、ブロックなどが該当する。

また、上記半導体集積回路に係る回路図は、例えば、上記JISに準拠した回路記号や配線パターンで表された回路図であるシンボル回路図や、セル、ブロックなどの回路記号で表されたマスクパターンのレイアウト図であるパターンレイアウト図などが該当する。以下、発明7の回路図設計プログラム、発明8の回路図設計方法において同じである。

【0016】

また、上記回路記号選択手段は、例えば、表示装置の画面上に回路記号の一覧を表示し、その中から任意の回路シンボルを選択したり、レイアウト領域にレイアウトされたシンボル回路図を構成する回路シンボルを選択したりする構成などが該当する。また、選択処理は、例えば、入力デバイス（マウス、タブレット、キーボードなど）を用いた利用者の操作入力に応じて行われ、利用者の任意の回路記号を選択できるようになっている。また、回路記号の一覧表示は、例えば、回路素子の種類毎に一覧を表示（一覧できないときは、ページ分けして表示）する。以下、発明7の回路図設計プログラム、発明8の回路図設計方法において同じである。

【0017】

また、上記マルチ素子回路は、例えば、半導体基板に形成されるMOSトランジスタなどの能動素子、抵抗、コンデンサなどの受動素子などの回路素子を、同じものを複数連続して形成することで構成されるものである。このとき、例えば、MOSトランジスタであれば、隣り合う素子同士でソース領域やドレイン領域を共有するように連続形成される。

更に、複数の回路素子を連続形成したときに、各回路素子の形状などの違いによって生じる動作特性のバラツキを低減するために、例えば、連続形成部の両端にダミー素子として同じ種類、特性の回路素子を付加する。以下、発明7の回路図設計プログラム、発明8の回路図設計方法において同じである。

【0018】

また、上記接続関係情報生成手段は、例えば、レイアウト領域にレイアウトされた回路記号及び配線パターンから構成されるシンボル回路図の各回路記号の示す回路素子の識別情報と、各回路素子、各ダミー素子の各端子の接続情報とを含む、接続関係情報（例えば、S P I C E（Simulation Program with Integrated Circuit Emphasis）のネットリストなど）を生成する。更に、特定の回路記号に対してパラメータが設定されたときは、その設定値に基づき、連続形成する各回路素子の識別情報と、ダミー素子などの各付加素子の識別情報と、各回路素子、各付加素子の各端子の接続情報とを含む、マルチ素子回路の接続関係情報を生成する。以下、発明7の回路図設計プログラム、発明8の回路図設計方法において同じである。

【0019】

〔発明2〕 更に、発明2の回路図設計装置は、発明1に記載の回路図設計装置において、前記パラメータ設定手段は、前記回路記号選択手段でMOS（metal-oxide-semiconductor）トランジスタの回路記号が選択されたときに、該MOSトランジスタの回路記号に対して、該MOSトランジスタの連続形成数を示すパラメータMultiと、該M個のMOSトランジスタを、ドレインとソースの領域を行方向となる一方向に交互に反復させながら一繋がりに形成したときの前記行方向の端部のドレイン領域に付加されるダミーMOSトランジスタの形成数を示すパラメータDDMと、前記行方向の端部のソース領域に付加されるダミーMOSトランジスタの形成数を示すパラメータSDMとを含むパラメータを設定することが可能であり、前記パラメータ判定手段は、前記パラメータMultiが偶数値に設定され且つ前記行方向の両端部が共にソース領域又はドレイン領域となるときに、前記パラメータDDM及び前記パラメータSDMにそれぞれ0以外の数値が設定される第1の設定内容と、前記パラメータMultiが偶数値に設定され且つ前記行方向の両端部が共にソース領域となるときに、前記パラメータDDMに0が設定され且つ前記パ

10

20

30

40

50

ラメータSDMに1以下の数値又は3以上の奇数値が設定される第2の設定内容と、前記パラメータMultiが偶数値に設定され且つ前記行方向の両端部がドレイン領域となる
 ときに、前記パラメータDDMに1以下の数値又は3以上の奇数値が設定され且つ前記パラメータSDMに0が設定される第3の設定内容とのうちいずれか1つの設定内容で、前記MOSトランジスタの回路記号に対してパラメータが設定されたときに、該パラメータ
 の設定内容が誤りであると判定し、前記パラメータ修正手段は、前記第1の設定内容による誤り判定に対して、前記行方向の両端部が共にソース領域のときは、前記パラメータDDMの設定値が0で且つ前記パラメータSDMの設定値が所定の偶数値となるように設定
 値を修正し、前記行方向の両端部がドレイン領域のときは、前記パラメータDDMの設定値が所定の偶数値で且つ前記パラメータSDMの設定値が0となるように設定値を修正し
 、前記第2の設定内容による誤り判定に対して、前記パラメータSDMの設定値を所定の偶数値に修正し、前記第3の設定内容による誤り判定に対して、前記パラメータDDMの
 設定値を所定の偶数値に修正する。

10

【0020】

このような構成であれば、回路記号選択手段で選択されたMOSトランジスタの回路記号に対して、上記第1～第3のいずれか1つの設定内容でパラメータが設定されると、パラメータ判定手段において、設定内容が誤りであると判定される。誤り判定がされると、パラメータ修正手段において、第1～第3の設定内容のうち設定された内容に応じた修正方法で修正が行われる。具体的に、パラメータ修正手段は、第1の設定内容で設定が行われた場合に、パラメータDDM及びSDMの双方に0以外の数値が設定されているときは
 、両端がドレイン領域であれば、パラメータDDMの設定値が所定の偶数で且つパラメータSDMの設定値が0となるように設定値を修正する。一方、両端がソース領域であれば、パラメータSDMの設定値が所定の偶数で且つパラメータDDMの設定値が0となるように設定値を修正する。

20

【0021】

また、第2の設定内容で設定が行われた場合に、パラメータSDMの設定値を所定の偶数値に修正し、第3の設定内容で設定が行われた場合に、パラメータDDMの設定値を所定の偶数値に修正する。

従って、マルチ素子回路を作成できるMOSトランジスタの回路記号に対して、誤ったパラメータを設定したときや、意図的にパラメータMultiの設定値を変更してパラメータDDM及びSDMの設定値との間に不整合が生じたときなどに、適切な内容のパラメータに自動的に修正することができる。

30

これにより、MOSトランジスタによって構成されるマルチ素子回路を、適切な回路構成で、より確実に作成することができるという効果が得られる。

【0022】

〔発明3〕 更に、発明3の回路図設計装置は、発明1又は2に記載の回路図設計装置において、前記パラメータ設定手段は、前記回路記号選択手段でMOS (metal-oxide-semiconductor) トランジスタの回路記号が選択されたときに、前記パラメータMultiと、前記パラメータDDMと、前記パラメータSDMと、前記マルチ素子回路の前記行方向と直交する方向である列方向の形成数を示すパラメータROWとを含むパラメータを設定することが可能であり、前記接続関係情報生成手段は、前記パラメータROWに2以上の数値が設定されたときに、前記パラメータMultiの設定値を前記パラメータROWの設定値で割った数値をMOSトランジスタの前記連続形成数としたマルチ素子回路を、前記パラメータROWの数だけ前記列方向に連続して接続した構成のマルチ素子回路列の各回路素子の接続関係を示す接続関係情報を生成し、前記パラメータMultiの設定値(2以上の整数)を前記パラメータROWの設定値(Mの設定値>ROWの設定値-1の整数)で除算した除算結果の数値をカラムパラメータの数値とし、前記パラメータMultiの設定値が前記パラメータROWの設定値で割り切れるときに、前記パラメータ判定手段は、前記パラメータROWが2以上の整数値に設定され且つ前記カラムパラメータの数値が奇数値となり、前記パラメータDDM及び前記パラメータSDMの少なくとも一方

40

50

に前記パラメータROWの設定値をN倍（Nは1以上の整数）した数値とは異なる数値が設定される第4の設定内容と、前記パラメータROWが2以上の整数値に設定され且つ前記カラムパラメータの数値が偶数値となり、前記パラメータDDM及び前記パラメータSDMの少なくとも一方に前記パラメータROWの設定値をM倍（Mは2以上の偶数）にした数値とは異なる数値が設定される第5の設定内容とのうちいずれか1つの設定内容で、前記MOSトランジスタの回路記号に対してパラメータが設定されたときに、該パラメータの設定内容が誤りであると判定し、前記パラメータ修正手段は、前記第4の設定内容による誤り判定に対して、前記パラメータDDMの設定値及び前記パラメータSDMの設定値のうち前記パラメータROWの設定値をN倍した数値とは異なる数値が設定されているものを、前記パラメータROWの設定値となるように修正し、前記第5の設定内容による誤り判定に対して、前記行方向の両端部が共にソース領域のときは、前記パラメータDDMの設定値が0以外の数値のときは該設定値を0に且つ前記パラメータSDMの設定値を前記パラメータROWの設定値をM倍にした数値に修正し、前記行方向の両端部がドレイン領域のときは、前記パラメータDDMの設定値を前記パラメータROWの設定値をM倍にした数値に且つ前記パラメータSDMの設定値が0以外の数値のときは該設定値を0に修正する。

10

【0023】

このような構成であれば、パラメータROWの数値を2以上に設定することで、複数のマルチ素子回路が、設定値の数だけ列方向に連続して接続された構成のマルチ素子回路列を生成することができる。更に、パラメータMultiの設定値（2以上の整数）をパラメータROWの設定値（Mの設定値 > ROWの設定値 1の整数）で除算して割り切れるときに、上記第4～第5の設定内容で、MOSトランジスタの回路記号に対して、パラメータが設定されると、パラメータ判定手段において、設定内容が誤りであると判定される。

20

【0024】

誤り判定がされると、パラメータ修正手段において、第4～第5の設定内容のうち設定された内容に応じた修正方法で修正が行われる。

具体的に、パラメータ修正手段は、第4の設定内容で設定が行われた場合に、パラメータDDMの設定値及びパラメータSDMの設定値のうちパラメータROWの設定値とは異なる数値が設定されているものを、パラメータROWの設定値となるように修正する。

30

【0025】

また、第5の設定内容で設定が行われた場合に、行方向の両端部が共にソース領域のときは、パラメータDDMの設定値が0以外の数値のときは該設定値を0に且つパラメータSDMの設定値をパラメータROWの設定値をM倍にした数値に修正し、行方向の両端部がドレイン領域のときは、パラメータDDMの設定値をパラメータROWの設定値をM倍にした数値に且つパラメータSDMの設定値が0以外の数値のときは該設定値を0に修正する。

【0026】

従って、マルチ素子回路列を作成できるMOSトランジスタの回路記号に対して、誤ったパラメータを設定したときや、意図的にパラメータMultiやROWの設定値を変更してパラメータDDM及びSDMの設定値との間に不整合が生じたときなどに、適切な内容のパラメータに自動的に修正することができる。

40

これにより、MOSトランジスタによって構成されるマルチ素子回路列を、適切な回路構成で、より確実に作成することができるという効果が得られる。

ここで、上記マルチ素子回路列は、各列のマルチ素子回路を構成するMOSトランジスタのゲート領域、ドレイン領域、ソース領域を列方向に共有して構成されるものなどが該当する。

【0027】

〔発明4〕 更に、発明4の回路図設計装置は、発明1乃至3のいずれか1に記載の回路図設計装置において、前記回路図表示手段は、前記接続関係情報生成手段で生成された

50

接続関係情報に基づき、前記半導体集積回路のマスクパターンのレイアウトを示すパターンレイアウト図を表示し、前記回路図表示手段で表示されたパターンレイアウト図を編集するレイアウト編集手段を備え、前記パラメータ修正手段は、前記レイアウト編集手段で前記パターンレイアウト図の編集が行われたときに、その編集結果に基づき前記特定の回路記号に設定されたパラメータを修正し、前記接続関係情報生成手段は、前記レイアウト編集手段で前記パターンレイアウト図の編集が行われたときに、その編集結果と前記パラメータ修正手段の修正結果とに基づき前記接続関係情報を修正する。

【 0 0 2 8 】

このような構成であれば、回路図表示手段によって、JISに準拠する回路記号をレイアウト領域にレイアウトしたり、特定の回路記号に対してパラメータを設定したりするなどして構成されたシンボル回路図に対して生成された接続関係情報に基づき、パターンレイアウト図を表示するための表示情報を生成し、該生成した表示情報に基づきマルチ素子回路のマスクパターンを含むパターンレイアウト図を表示することが可能である。

【 0 0 2 9 】

更に、レイアウト編集手段によって、表示されたレイアウト図の編集を行うことが可能であり、編集が行われると、パラメータ修正手段によって、レイアウト編集手段の編集結果に基づき、特定の回路記号に対して設定されたパラメータが修正され、接続関係情報生成手段によって、編集手段の編集結果とパラメータ修正手段の修正結果に基づき接続関係情報が修正される。

【 0 0 3 0 】

従って、パターンレイアウト図に対して編集が行われたときに、その編集によって、マルチ素子回路の連続形成数などが変更されて、ダミー素子の数などに変更の必要性が生じたときに、パラメータ修正手段によってパラメータを自動的に適切な設定値に修正し、且つ、接続関係情報生成手段によって、前記修正結果と前記編集結果とに基づき、接続関係情報を自動的に適切な内容に修正することができる。

【 0 0 3 1 】

これによって、パターンレイアウト図を編集して、マルチ素子回路の構成が変更されたときでも、その回路記号に対して設定されたパラメータを適切な値に自動で修正し、且つこの修正結果の反映された接続関係情報を自動で生成することができるので、手作業による修正と比較して、より確実に適切な構成のマルチ素子回路を含む回路及びマスクパターンを設計することができ、且つ設計した回路に対する検証（LVS）をより確実に行うことができるという効果が得られる。

【 0 0 3 2 】

〔 発 明 5 〕 更に、発明5の回路図設計装置は、発明3に記載の回路図設計装置において、前記回路図表示手段は、前記接続関係情報生成手段で生成された接続関係情報に基づき、前記半導体集積回路のマスクパターンのレイアウトを示すパターンレイアウト図を表示し、前記回路図表示手段で表示されたパターンレイアウト図を編集するレイアウト編集手段を備え、前記パラメータ修正手段は、前記レイアウト編集手段で前記パターンレイアウト図の編集が行われたときに、その編集結果に基づき前記特定の回路記号に設定されたパラメータを修正し、前記接続関係情報生成手段は、前記レイアウト編集手段で前記パターンレイアウト図の編集が行われたときに、その編集結果と前記パラメータ修正手段の修正結果とに基づき前記接続関係情報を修正し、前記レイアウト編集手段によって、前記M O S トランジスタを含んで構成されるマルチ素子回路の列方向の形成数に変更されたときに、前記パラメータ修正手段は、前記パラメータM u l t i の設定値を該設定値を前記形成数倍にした数値に修正すると共に前記パラメータR O W の設定値を前記変更した形成数に修正し、前記カラムパラメータの数値が奇数値のときは、前記パラメータD D M の設定値及び前記パラメータS D M の設定値を、それぞれ修正後の前記パラメータR O W の設定値に修正し、前記カラムパラメータの数値が偶数値のときに、前記行方向の両端部が共にソース領域のときは、前記パラメータD D M の設定値が0以外の数値のときは該設定値を0に且つ前記パラメータS D M の設定値を前記修正後のパラメータR O W の設定値をM倍

10

20

30

40

50

にした数値に修正し、前記行方向の両端部がドレイン領域のときは、前記パラメータDDMの設定値を前記修正後のパラメータROWの設定値をM倍にした数値に且つ前記パラメータSDMの設定値が0以外の数値のときは該設定値を0に修正する。

【0033】

このような構成であれば、回路図表示手段によって、JISに準拠する回路記号をレイアウト領域にレイアウトしたり、特定の回路記号に対してパラメータを設定したりするなどして構成された回路図に対して生成された接続関係情報に基づき、パターンレイアウト図を表示するための表示情報を生成し、該生成した表示情報に基づきマルチ素子回路のマスクパターンを含むパターンレイアウト図を表示することが可能である。

【0034】

更に、レイアウト編集手段によって、表示されたレイアウト図の編集を行うことが可能であり、編集が行われると、パラメータ修正手段によって、レイアウト編集手段の編集結果に基づき、特定の回路記号に対して設定されたパラメータが修正され、接続関係情報生成手段によって、編集手段の編集結果とパラメータ修正手段の修正結果に基づき接続関係情報が修正される。

【0035】

なお更に、パラメータ修正手段は、レイアウト編集手段によって、前記MOSトランジスタを含んで構成されるマルチ素子回路の列方向の形成数に変更されたときに、パラメータMultiの設定値を前記列方向の形成数倍に修正すると共にパラメータROWの設定値を変更した形成数となるように修正する。更に、パラメータ修正手段は、カラムパラメータの数値が奇数値のときは、パラメータDDMの設定値及びパラメータSDMの設定値を、それぞれ修正後のパラメータROWの設定値に修正する。

【0036】

一方、カラムパラメータの数値が偶数値のときに、行方向の両端部が共にソース領域となるときは、パラメータDDMの設定値が0以外の数値のときは該設定値を0に且つパラメータSDMの設定値を修正後のパラメータROWの設定値をM倍にした数値に修正し、行方向の両端部がドレイン領域となるときは、パラメータDDMの設定値を修正後のパラメータROWの設定値をM倍にした数値に且つパラメータSDMの設定値が0以外の数値のときは該設定値を0に修正する。

【0037】

従って、パターンレイアウト図に対して編集が行われたときに、その編集によって、MOSトランジスタを含んで構成されるマルチ素子回路の列方向の形成数に変更されて、パラメータDDM及びパラメータSDMなどに変更の必要性が生じたときに、パラメータ修正手段によって、パラメータROWの変更内容に応じてパラメータDDM及びパラメータSDMの設定値を適切な設定内容に自動で修正することができる。

【0038】

これによって、パターンレイアウト図を編集して、MOSトランジスタのマルチ素子回路列の構成が変更されたときでも、その回路記号に対して設定されたパラメータDDM及びパラメータSDMを適切な値に自動で修正し、且つこの修正結果の反映された接続関係情報を自動で生成することができるので、手作業による修正と比較して、より確実に適切な構成のマルチ素子回路を含む回路及びマスクパターンを設計することができ、且つ設計した回路に対する検証(LVS)をより確実に行うことができるという効果が得られる。

【0039】

〔発明6〕 更に、発明6の回路図設計装置は、発明4又は5に記載の回路図設計装置において、前記レイアウト編集手段は、複数の前記マルチ素子回路を、これらを構成する回路素子の回路パターンの一部を共有させて合成する第1の合成処理部と、複数の前記マルチ素子回路を、これらを構成する回路素子の回路パターンを所定の組み合わせで合体させて合成する第2の合成処理部とを有する。

【0040】

このような構成であれば、第1の合成処理部による合成や、第2の合成処理部による合

10

20

30

40

50

成が行われて、マルチ素子回路の構成が変更されたときでも、その回路記号に対して設定されたパラメータを適切な値に自動で修正し、且つこの修正結果の反映された接続関係情報を自動で生成することができるので、手作業による修正と比較して、より確実に適切な構成のマルチ素子回路を含む回路及びマスクパターンを設計することができ、且つ設計した回路に対する検証（LVS）をより確実に行うことができるという効果が得られる。

【0041】

〔発明7〕 一方、上記目的を達成するために、発明7の回路図設計プログラムは、表示装置の画面上に表示されるレイアウト領域に、半導体集積回路を構成する各種回路素子に対応する回路記号と配線パターンとをレイアウトして、前記半導体集積回路に係る回路図を設計するために、コンピュータを、前記回路図の設計に係る前記回路記号を選択する回路記号選択手段、前記回路記号選択手段で選択された前記回路記号のうち特定の回路記号に対して、該特定の回路記号の示す回路素子の連続形成数を示すパラメータと、該連続形成数の回路素子を連続して一繋がり形成して成るマルチ素子回路の動作特性のバラツキを低減するための付加素子であるダミー素子の形成数を示すパラメータとを含むパラメータを設定するパラメータ設定手段、前記パラメータ設定手段で前記特定の回路記号に対して前記パラメータが設定されたときに、該設定されたパラメータの内容が正しいか誤りかを判定するパラメータ判定手段、前記パラメータ判定手段の判定結果が誤りであるという判定結果であったときに、前記特定の回路記号に対して設定されたパラメータを予め設定された修正方法に基づき正しい内容に修正するパラメータ修正手段、前記レイアウト領域にレイアウトされた回路記号及び配線パターンの情報と、前記パラメータ設定手段で設定されたパラメータとに基づき、前記マルチ素子回路を構成する各回路素子を含む前記レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報を生成する接続関係情報生成手段、及び前記接続関係情報に基づき前記回路記号及び前記配線パターンを含んで構成されるシンボル回路図を表示する回路図表示手段として機能させる。

このような構成であれば、コンピュータによってプログラムが読み取られ、読み取られたプログラムに従ってコンピュータが処理を実行すると、上記発明1に記載の回路図設計装置と同等の作用および効果が得られる。

【0042】

〔発明8〕 また、上記目的を達成するために、発明8の回路図設計方法は、回路記号選択手段、パラメータ設定手段、パラメータ判定手段、パラメータ修正手段、接続関係情報生成手段及び回路図表示手段を備えた回路図設計装置を利用して、表示装置の画面上に表示されるレイアウト領域に、半導体集積回路を構成する各種回路素子に対応する回路記号と配線パターンとをレイアウトして、前記半導体集積回路に係る回路図を設計する回路図設計方法であって、前記回路記号選択手段に、前記回路図の設計に係る前記回路記号を選択させる回路記号選択ステップと、前記パラメータ設定手段に、前記回路記号選択ステップで選択された前記回路記号のうち特定の回路記号に対して、該特定の回路記号の示す回路素子の連続形成数を示すパラメータと、該連続形成数の回路素子を連続して一繋がり形成して成るマルチ素子回路の動作特性のバラツキを低減するための付加素子であるダミー素子の形成数を示すパラメータとを含むパラメータを設定させるパラメータ設定ステップと、前記パラメータ判定手段に、前記パラメータ設定ステップで前記特定の回路記号に対して前記パラメータが設定されたときに、該設定されたパラメータの内容が正しいか誤りかを判定させるパラメータ判定ステップと、前記パラメータ修正手段に、前記パラメータ判定ステップの判定結果が誤りであるという判定結果であったときに、前記特定の回路記号に対して設定されたパラメータを予め設定された修正方法に基づき正しい内容に修正するパラメータ修正ステップと、前記接続関係情報生成手段に、前記レイアウト領域にレイアウトされた回路記号及び配線パターンの情報と、前記パラメータ設定ステップで設定されたパラメータとに基づき、前記マルチ素子回路を構成する各回路素子を含む前記レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報を生成させる接続関係情報生成ステップと、前記回路図表示手段に、前記接続関係情報に基づき前記回路記号及び前記配線パターンを含んで構成されるシンボル回路図を表示させる回路図表示ス

テップとを含む。

このような構成であれば、上記発明 1 に記載の回路図設計装置と同等の作用及び効果が得られる。

【発明を実施するための最良の形態】

【0043】

以下、本発明の実施の形態を図面に基づき説明する。図 1 ~ 図 18 は、本発明に係る回路図設計装置、回路図設計プログラム及び回路図設計方法の実施の形態を示す図である。

まず、本発明に係る回路図設計装置の機能構成を図 1 に基づき説明する。図 1 は、本発明に係る回路図設計装置 100 の機能構成を示すブロック図である。

回路図設計装置 100 は、図 1 に示すように、回路記号情報記憶部 10 と、回路記号選択部 12 と、回路パターン編集部 14 と、回路表示情報生成部 16 と、回路図表示制御部 18 とを含んで構成される。

【0044】

回路記号情報記憶部 10 は、記憶装置（後述）の所定の記憶領域に構成されており、回路図を生成するための各種回路素子に対応した複数種類の回路記号の情報が記憶される。

具体的に、回路記号としては、シンボル回路図を生成するための JIS に準拠する回路記号（以下、回路シンボルと称す）や、マスクパターンを生成するためのセルやブロックなどの回路記号（以下、マスクシンボルと称す）などが記憶される。

【0045】

回路記号選択部 12 は、マウス、キーボード、タブレットなどの入力装置を介した利用者からの操作入力に応じて、回路素子の情報選択画面や、回路記号の選択画面を表示装置の表示画面上に画像表示すると共に、画像表示された複数種類の回路記号の中から操作入力に応じた回路記号を選択する機能を有している。更に、操作入力に応じて、既にレイアウトされた回路記号や配線パターンなどの回路の任意の構成要素を選択する機能も有している。

【0046】

回路パターン編集部 14 は、入力装置を介した利用者からの操作入力に応じて、シンボル回路図の編集モード（以下、編集モード 1 と称す）において、回路記号選択部 12 で選択された回路シンボルや配線パターンを表示画面上に画像表示されたレイアウト領域の指定位置にレイアウトしたり、指定位置にレイアウトされたものを削除したりする機能を有している。

【0047】

更に、回路パターン編集部 14 は、入力装置を介した利用者からの操作入力に応じて、パターンレイアウト図の編集モード（以下、編集モード 2 と称す）において、回路記号選択部 12 で選択されたマスクシンボルや、配線パターンなどを表示画面上に画像表示されたレイアウト領域の指定位置にレイアウトしたり、指定位置にレイアウトされたものを削除したりする機能を有している。

【0048】

回路表示情報生成部 16 は、回路パターン編集部 14 によって編集された回路図の表示情報を生成し、該表示情報を表示要求と共に回路図表示制御部 18 に出力する機能を有している。

更に、回路表示情報生成部 16 は、接続関係情報生成部 26 から入力された接続関係情報に基づき、回路シンボルから構成されるシンボル回路図又は、セル、ブロックなどのマスクシンボルから構成されるパターンレイアウト図のいずれか指定された方の表示情報を生成して、該表示情報を表示要求と共に回路図表示制御部 18 に出力する機能を有している。

【0049】

更に、回路表示情報生成部 16 は、入力装置を介した利用者からの操作入力に応じて、指定された接続関係情報を回路図情報記憶部 28 から読み出し、該読み出した接続関係情報に対応する回路シンボルから構成されたシンボル回路図又は、パターンレイアウト図の

10

20

30

40

50

いずれか指定された方の表示情報を生成して、該表示情報を表示要求と共に回路図表示制御部 18 に出力する機能を有している。

【0050】

更に、回路表示情報生成部 16 は、接続関係情報生成部 26 から入力された、マルチ素子回路に対する接続関係情報に基づき、回路シンボルから構成されたマルチ素子回路のシンボル回路図又は、マルチ素子回路のパターンレイアウト図のいずれか指定された方の表示情報を生成して、該表示情報を表示要求と共に回路図表示制御部 18 に出力する機能を有している。

【0051】

回路図表示制御部 18 は、回路表示情報生成部 16 から入力される表示情報に基づき、表示装置の表示画面上に、回路シンボルから構成されるシンボル回路図を表示したり、マスクパターンのレイアウトを示すパターンレイアウト図を表示したりする機能を有している。

10

更に、回路図表示制御部 18 は、表示色や表示形状などの回路記号の表示方法のルールが設定されている場合に、該ルールに基づき、表示装置に、例えば、パラメータの設定された回路記号の色を、パラメータの設定されていない回路記号の色とは異なる色で表示させたり、パラメータの設定された回路記号の形状を、パラメータの設定されていない回路記号の形状とは異なる形状で表示させたりする機能を有している。

【0052】

回路図設計装置 100 は、更に、パラメータ設定部 20 と、パラメータ判定部 22 と、パラメータ修正部 24 と、接続関係情報生成部 26 と、回路図情報記憶部 28 とを含んで構成される。

20

パラメータ設定部 20 は、ダイオード、トランジスタなどの能動素子、抵抗、キャパシタンス（コンデンサ）、インダクタンス（コイル）などの受動素子に対応する回路シンボルを選択したときに、選択した回路シンボルがマルチ素子回路を構成可能な場合に、入力装置を介した利用者からの操作入力に応じて、選択した回路シンボルに対して、各種パラメータを設定する機能を有している。

【0053】

具体的なパラメータとしては、マルチ素子回路の本体部分を構成する回路素子の連続形成数と、連続形成したときに生じる動作特性のバラツキを低減するために本体部分に付加接続するダミー素子の形成数とがある。

30

例えば、回路素子が MOS トランジスタの場合は、N チャンネル型の MOS トランジスタ（NMOS）又は P チャンネル型の MOS トランジスタ（PMOS）の行方向となる所定の一方方向への連続形成数（Multi=<Multi>）、チャンネルサイズ（W（チャンネル幅）/L（チャンネル長）=<W>/<L>）、該 NMOS 又は PMOS と同じ回路素子のダミー MOS の前記連続形成してなる本体部の端部ドレイン側（以下、ドレイン端部と称す）への形成数（Multi=<DDM（Drain Dummy Multi）>）、ダミー MOS の本体部分の端部ソース側（以下、ソース端部と称す）への形成数（Multi=<SDM（Source Dummy Multi）>）、前記本体部とダミー素子とからなるマルチ素子回路を、前記行方向と垂直な方向である列方向に連続して形成する列数（ROW=<ROW>）などがパラメータとして設定できる。

40

【0054】

本実施の形態では、更に、上記パラメータを設定することで自動設定されるパラメータとして、パラメータ Multi の設定値をパラメータ ROW の設定値で除算した除算結果の数値が設定されるカラムパラメータ（Column=<Multi/ROW>）がある。

ここで、図 2 は、パラメータ設定可能な NMOS の回路シンボルの一例と、パラメータ設定後のマルチ素子回路のシンボル回路図の一例とを示す図である。

【0055】

本実施の形態において、パラメータ設定が可能な NMOS の回路シンボルは、図 2 の左図に示すように、JIS で標準化されている NMOS の回路シンボルの各端子部の傍に端子名 G（Gate）、D（Drain）、S（Source）がそれぞれ表示され、更に、D 端子の右側に

50

パラメータ名「DDM (ドレイン端部側形成数) = < DDM > 」と、S 端子の右側にパラメータ名「SDM (ソース端部側形成数) = < SDM > 」と、DDMとSDMの上下間に、パラメータ名「W (チャンネル幅) / L (チャンネル長) = < W > / < L > 」と、パラメータ名「Multi (連続形成数) = < Multi > 」と、パラメータ名「ROW = < ROW > 」とが表示されたものとなる。パラメータ入力画面において、これらパラメータDDM、SDM、Multi、W/L、ROWにそれぞれ任意の数値を設定することで、マルチ素子回路を生成するためのパラメータ設定が行われる。

【 0 0 5 6 】

パラメータ判定部 2 2 は、パラメータ設定部 2 0 でパラメータ設定可能な回路シンボルに対して設定された設定内容が正しいか誤りかを、予め設定された正誤判定ルールに従って判定する機能を有している。

10

パラメータ修正部 2 4 は、パラメータ判定部 2 2 において、設定内容に誤りがあると判定されたときに、誤りのあった設定内容を、予め設定された修正ルールに従って修正する機能を有している。

【 0 0 5 7 】

更に、編集モード 2 において、回路パターン編集部 1 4 で編集された編集内容に基づき、編集された回路シンボルに対して設定されたパラメータを修正する機能を有している。

接続関係情報生成部 2 6 は、回路パターン編集部 1 4 でレイアウトされて構成された回路の接続関係情報を生成する機能と、予め設定されたルールに基づきパラメータ設定部 2 0 で設定されたパラメータに基づきマルチ素子回路の接続関係情報を生成する機能とを有している。生成された接続関係情報は、回路図情報記憶部 2 8 に記憶される。本実施の形態においては、更に、生成された接続関係情報のうちマルチ素子回路の接続関係情報は、回路表示情報生成部 1 6 に出力される。ここで、接続関係情報は、各回路素子 (セル) の接続関係をテキストなどで表現した情報 (ネットリストなど) である。

20

【 0 0 5 8 】

例えば、M O S トランジスタの回路シンボルに対してパラメータが設定された場合、予め設定されたルールに基づき、設定パラメータに応じた複数の M O S トランジスタとダミー M O S トランジスタとによって構成されるマルチ素子回路の各 M O S トランジスタのゲート端子、ソース端子、ドレイン端子と他の回路素子 (電源端子、接地端子などを含む) との接続関係が記述された接続関係情報が生成される。

【 0 0 5 9 】

30

なお、本実施の形態においては、N M O S のマルチ素子回路については、そのダミー N M O S のゲート端子を接地端子に接続すると共に、ダミー N M O S の N M O S 本体部に接続されていない端子をフローティングにする接続関係情報を自動的に生成するルールが設定されている。更に、P M O S のマルチ素子回路については、そのダミー P M O S のゲート端子を電源端子に接続すると共に、ダミー P M O S の P M O S 本体部に接続されていない端子をフローティングにする接続関係情報を自動的に生成するルールが設定されている。

【 0 0 6 0 】

回路図情報記憶部 2 8 は、記憶装置 (後述) の所定の記憶領域に構成されており、回路パターン編集部 1 4 によってレイアウトされた回路の情報や、接続関係情報生成部 2 6 で生成された接続関係情報などが記憶される。

40

以上の構成によって、回路図表示制御部 1 8 は、表示情報に基づき表示装置の表示制御を行ない、シンボル回路図又はパターンレイアウト図を表示装置の表示画面上に表示する。

【 0 0 6 1 】

例えば、N M O S の回路シンボルに対してパラメータ設定をした場合のマルチ素子回路を示す回路シンボルは、図 2 の左図に示すように、本体 N M O S の回路シンボルに対して、そのドレイン端子にダミー N M O S が接続されていることを示す ■ 記号と、そのソース端子にダミー N M O S が接続されていることを示す ■ 記号とが付加された回路シンボルが表示装置の表示画面上に表示される。

50

【 0 0 6 2 】

なお、図 2 の右図は、左図の回路シンボルに設定されたパラメータに基づき生成された接続関係情報を回路シンボルとパラメータ情報とによってイメージ化した回路図である。N M O S のマルチ素子回路は、本体 N M O S の回路シンボルと、そのドレイン端子に接続されたダミー N M O S の回路シンボルと、そのソース端子に接続されたダミー N M O S の回路シンボルと、接地端子の回路シンボルとを含んで構成される回路図となる。

【 0 0 6 3 】

具体的に、本体 N M O S のドレイン及びソースにそれぞれダミー N M O S のドレイン及びソースがそれぞれ接続され、ダミー N M O S の本体 N M O S に接続されていない端子はフローティング状態となり、ダミー N M O S のゲート端子は接地端子に接続されている。更に、各回路シンボルの右横には、各種パラメータ名と、その設定値とが表示されている。

10

【 0 0 6 4 】

一方、N M O S の回路シンボルに対してパラメータ設定をした場合のマルチ素子回路のパターンレイアウト図は、図 3 に示すように、マスクシンボルによって形成された、本体 N M O S (Multi=3) とダミー N M O S (DDM=1、SDM=1) のパターンレイアウトから構成されるパターンレイアウト図が表示装置の表示画面上に表示される。

ここで、図 3 は、N M O S で構成されたマルチ素子回路のパターンレイアウト図の一例を示す図である。

【 0 0 6 5 】

具体的に、ダミーも含めた N M O S 5 つ分のソース領域とドレイン領域が同じ階層に行方向に交互に連続して形成され（隣り合う素子でソース領域とドレイン領域を共有）、更に、この階層よりも 1 つ上の階層における各ドレイン領域と各ソース領域との間の位置に各 N M O S のゲート領域が形成された構成となっている。本体 N M O S 部は、中央の 3 つ分の N M O S から構成され、本体 N M O S 部の両端の N M O S が、それぞれダミー N M O S となる。本実施の形態では、マルチ素子回路のパターンレイアウト図においてダミー N M O S が目視ですぐ判別できるようにするために、表示形状に関するルールに従って、そのゲート（図 3 中の「d」の付されたゲート）の形状を本体 N M O S 部のゲートの形状と異なる形状で表示している。

20

【 0 0 6 6 】

ここで、回路図設計装置 1 0 0 は、半導体集積回路に係る回路図の設計のための各種制御や前記回路記号選択部 1 2、回路パターン編集部 1 4、回路表示情報生成部 1 6、回路図表示制御部 1 8、パラメータ設定部 2 0、パラメータ判定部 2 2、パラメータ修正部 2 4、接続関係情報生成部 2 6 などの各機能をソフトウェア上で、すなわち専用のプログラムを実行することで実現するためのコンピュータシステムを備えており、そのハードウェア構成は、図 4 に示すように、各種制御や演算処理を担う中央演算処理装置である C P U (Central Processing Unit) 6 0 と、主記憶装置 (Main Storage) を構成する R A M (Random Access Memory) 6 2 と、読み出し専用の記憶装置である R O M (Read Only Memory) 6 4 とを含み、これらの間を P C I (Peripheral Component Interconnect) バス等からなる各種内外バス 6 8 で接続すると共に、このバス 6 8 に入出力インターフェース (I / F) 6 6 を介して、H D D (Hard Disk Drive) などの記憶装置 (Secondary Storage) 7 0 や、L C D モニター等の表示装置 7 2、マウス、キーボード、タブレットなどの入力装置 7 4 などを接続した構成となっている。

30

40

【 0 0 6 7 】

そして、電源を投入すると、R O M 6 4 などに記憶された B I O S などのシステムプログラムが、R O M 6 4 に、予め記憶された各種専用のコンピュータプログラムを、あるいは、C D - R O M や D V D - R O M、フレキシブルディスク (F D) などの記録媒体を介して、またはインターネットなどの通信ネットワーク L を介して、記憶装置 7 0 にインス

50

トールされた各種専用のコンピュータプログラムを、同じくRAM 62にロードし、そのRAM 62にロードされたプログラムに記述された命令に従ってCPU 60が各種リソースを駆使して回路図の設計を実際に行うための各種制御及び演算処理を行うことで前述したような各部の機能をソフトウェア上で実現できるようになっている。

【0068】

次に、図5に基づき、回路図設計装置100におけるマルチ素子回路の生成処理の流れを説明する。

ここで、図5は、マルチ素子回路の生成処理を示すフローチャートである。

CPU 60によって、専用のコンピュータプログラムの実行が開始されると、図5に示すように、まず、ステップS100に移行し、回路記号選択部12において、入力装置74を介した利用者からの操作入力に基づき、回路シンボルの選択画面又はレイアウト領域にレイアウト（表示）されたシンボル回路図から、回路シンボルが選択されたか否かを判定し、選択されたと判定した場合(Yes)は、ステップS102に移行し、そうでない場合(No)は、選択されるまで判定処理を繰り返す。

10

【0069】

ステップS102に移行した場合は、パラメータ設定部20において、選択された回路シンボルがマルチ素子回路対応の回路シンボルか否かを判定し、対応の回路シンボルであると判定した場合(Yes)は、ステップS104に移行し、そうでない場合(No)は、ステップS100に移行する。

ステップS104に移行した場合は、パラメータ設定部20において、入力装置74を介した利用者からの操作入力に基づき、選択された回路シンボルに対してパラメータの入力指示があったか否かを判定し、入力指示があったと判定した場合(Yes)は、ステップS106に移行し、そうでない場合(No)は、ステップS100に移行する。

20

【0070】

ステップS106に移行した場合は、パラメータ設定部20において、表示装置にパラメータの入力画面を表示させて、ステップS108に移行する。

このパラメータの入力画面は、例えば、選択された回路シンボルがMOSトランジスタであれば、本体MOSの連続形成数(Multi)、ダミーMOSの形成数(DDM, SDM)、各MOSのチャンネルサイズ(W/L)、マルチ素子回路の列方向の連続形成数(ROW)などのパラメータ設定項目と、各項目に対する数値入力用のボックスとが表示された画面となる。

30

【0071】

ステップS108では、パラメータ判定部22において、パラメータの入力が完了したか否かを判定し、完了したと判定した場合(Yes)は、ステップS110に移行し、そうでない場合(No)は、パラメータの入力が完了するまで判定処理を繰り返す。

ステップS110に移行した場合は、パラメータ判定部22において、パラメータ判定処理を実行して、ステップS112に移行する。

【0072】

ステップS112では、パラメータ修正部24において、ステップS110の判定結果に基づき、設定値は正しいか否かを判定し、正しいと判定した場合(Yes)は、ステップS114に移行し、そうでない場合(No)は、ステップS122に移行する。

40

ステップS114に移行した場合は、接続関係情報生成部26において、選択された回路シンボルに対して設定されたパラメータに基づき、該回路シンボルの回路素子によって構成されるマルチ素子回路の接続関係情報を生成し、該生成した接続関係情報を回路表示情報生成部16に出力して、ステップS116に移行する。

【0073】

ステップS116では、回路表示情報生成部16において、マルチ素子回路の表示方法の決定処理を実行して、ステップS118に移行する。

ステップS118では、回路表示情報生成部16において、ステップS114で生成された接続関係情報と、ステップS116で決定された表示方法とに基づき、マルチ素子回

50

路を示す回路シンボルの表示情報を生成し、これを表示要求と共に回路図表示制御部 18 に出力して、ステップ S 120 に移行する。

【0074】

ステップ S 120 では、回路図表示制御部 18 において、表示情報に基づき、表示装置に、選択した回路シンボルに対するマルチ素子回路を示す回路シンボルを表示させて、ステップ S 100 に移行する。

なお、本実施の形態においては、回路表示情報生成部 16 に対して、選択した回路シンボルに対するマルチ素子回路を示すパターンレイアウト図の表示指示を行うことができる。この表示指示を行うことによって、回路表示情報生成部 16 は、ステップ S 114 で生成された接続関係情報と、ステップ S 116 で決定された表示方法とに基づき、マルチ素子回路のパターンレイアウト図の表示情報を生成し、回路図表示制御部 18 は、この表示情報に基づき、レイアウト領域内又は別ウィンドウにマルチ素子回路のパターンレイアウト図を表示する。

【0075】

一方、ステップ S 112 において、パラメータの設定値が正しくない（誤り）と判定され、ステップ S 122 に移行した場合は、パラメータ修正部 24 において、パラメータ修正処理を実行して誤った設定値を修正し、ステップ S 114 に移行する。

【0076】

次に、図 6 に基づき、回路図設計装置 100 のパラメータ判定部 22 におけるステップ S 110 のパラメータ判定処理の流れを説明する。

ここで、図 6 は、パラメータ判定部 22 における MOS トランジスタの回路シンボルに対するパラメータ判定処理の一例を示すフローチャートである。

ステップ S 110 に移行し、パラメータ判定処理が開始されると、図 6 に示すように、まず、ステップ S 200 に移行し、パラメータ判定部 22 において、パラメータ ROW の値は「2」以上か否かを判定し、「2」以上であると判定した場合(Yes)は、ステップ S 202 に移行し、そうでない場合(No)は、ステップ S 220 に移行する。

【0077】

ステップ S 202 に移行した場合は、パラメータ判定部 22 において、パラメータ Multi の設定値をパラメータ ROW の設定値で除算して、ステップ S 204 に移行する。

ステップ S 204 では、パラメータ判定部 22 において、ステップ S 202 の除算結果は割り切れた値か否かを判定し、割り切れた値であると判定した場合(Yes)は、ステップ S 206 に移行し、そうでない場合(No)は、ステップ S 218 に移行する。

【0078】

ステップ S 206 に移行した場合は、パラメータ判定部 22 において、パラメータ Column に、ステップ S 202 の除算結果を設定して、ステップ S 208 に移行する。

ステップ S 208 では、パラメータ判定部 22 において、パラメータ Column の設定値は奇数か否かを判定し、奇数であると判定した場合(Yes)は、ステップ S 210 に移行し、そうでない場合(No)は、ステップ S 216 に移行する。

【0079】

ステップ S 210 に移行した場合は、パラメータ DDM 又は SDM に、パラメータ ROW の設定を N 倍（N は 1 以上の整数）した数値とは異なる値が設定されているか否かを判定し、設定されていると判定した場合(Yes)は、ステップ S 212 に移行し、そうでない場合(No)は、ステップ S 214 に移行する。

ステップ S 212 に移行した場合は、パラメータ判定部 22 において、第 4 の設定内容による誤りと判定し、該判定結果をパラメータ修正部 24 に出力して、一連の処理を終了し元の処理に復帰する。

【0080】

一方、ステップ S 214 に移行した場合は、パラメータ判定部 22 において、設定値は正しいと判定し、該判定結果をパラメータ修正部 24 に出力して、一連の処理を終了し元の処理に復帰する。

10

20

30

40

50

また、ステップ S 2 0 8 において、パラメータColumnの設定値が偶数で、ステップ S 2 1 6 に移行した場合は、パラメータ判定部 2 2 において、パラメータDDM又はSDMに、パラメータROWの設定値を M 倍 (M は 2 以上の偶数) した値とは異なる値が設定されているかを判定し、設定されていると判定した場合(Yes)は、ステップ S 2 1 8 に移行し、そうでない場合(No)は、ステップ S 2 1 4 に移行する。

【 0 0 8 1 】

ステップ S 2 1 8 に移行した場合は、パラメータ判定部 2 2 において、第 5 の設定内容による誤りと判定し、該判定結果をパラメータ修正部 2 4 に出力して、一連の処理を終了し元の処理に復帰する。

一方、ステップ S 2 0 4 において、ステップ S 2 0 2 の除算結果が割り切れずにステップ S 2 2 0 に移行した場合は、パラメータColumnに除算結果の小数部分を切り捨てた値を設定して、ステップ S 2 0 8 に移行する。

【 0 0 8 2 】

また、ステップ S 2 0 0 において、パラメータROWの設定値が 1 で (本実施の形態では 1 未満の数値は設定禁止とする)、ステップ S 2 2 2 に移行した場合は、パラメータ判定部 2 2 において、パラメータMultiが偶数で且つ本体 M O S 部の両端はソース領域か否かを判定し、偶数且つソース領域であると判定した場合(Yes)は、ステップ S 2 2 4 に移行し、そうでない場合(No)は、ステップ S 2 3 2 に移行する。

【 0 0 8 3 】

ステップ S 2 2 4 に移行した場合は、パラメータDDM及びSDMの双方に「 0 」以外の数値が設定されているかを判定し、設定されていると判定した場合(Yes)は、ステップ S 2 2 6 に移行し、そうでない場合(No)は、ステップ S 2 2 8 に移行する。

ステップ S 2 2 6 に移行した場合は、パラメータ判定部 2 2 において、第 1 の設定内容による誤りと判定し、該判定結果をパラメータ修正部 2 4 に出力して、一連の処理を終了し元の処理に復帰する。

【 0 0 8 4 】

一方、ステップ S 2 2 8 に移行した場合は、パラメータ判定部 2 2 において、パラメータDDMに「 0 」が設定され、パラメータSDMに所定の偶数値が設定されているかを判定し、設定されていると判定した場合(Yes)は、ステップ S 2 1 4 に移行し、そうでない場合(No)は、ステップ S 2 3 0 に移行する。

ステップ S 2 3 0 に移行した場合は、パラメータ判定部 2 2 において、第 2 の設定内容による誤りと判定し、該判定結果をパラメータ修正部 2 4 に出力して、一連の処理を終了し元の処理に復帰する。

【 0 0 8 5 】

また、ステップ S 2 2 2 において、パラメータMultiが奇数又は両端部がソース領域じゃなくてステップ S 2 3 2 に移行した場合は、パラメータ判定部 2 2 において、パラメータMultiが偶数で且つ本体 M O S 部の両端はドレイン領域か否かを判定し、偶数且つドレイン領域であると判定した場合(Yes)は、ステップ S 2 3 4 に移行し、そうでない場合(No)は、ステップ S 2 1 4 に移行する。

【 0 0 8 6 】

ステップ S 2 3 4 に移行した場合は、パラメータ判定部 2 2 において、パラメータDDM及びSDMの双方に「 0 」以外の数値が設定されているかを判定し、設定されていると判定した場合(Yes)は、ステップ S 2 2 6 に移行し、そうでない場合(No)は、ステップ S 2 3 6 に移行する。

ステップ S 2 3 6 に移行した場合は、パラメータ判定部 2 2 において、パラメータSDMに「 0 」が設定され、パラメータDDMに所定の偶数値が設定されているかを判定し、設定されていると判定した場合(Yes)は、ステップ S 2 1 4 に移行し、そうでない場合(No)は、ステップ S 2 3 8 に移行する。

【 0 0 8 7 】

ステップ S 2 3 8 に移行した場合は、パラメータ判定部 2 2 において、第 3 の設定内容

10

20

30

40

50

による誤りと判定し、該判定結果をパラメータ修正部 2 4 に出力して、一連の処理を終了し元の処理に復帰する。

【 0 0 8 8 】

次に、図 7 に基づき、回路図設計装置 1 0 0 のパラメータ修正部 2 4 におけるステップ S 1 2 2 のパラメータ修正処理の流れを説明する。

ここで、図 7 は、パラメータ修正部 2 4 における、M O S トランジスタに対するパラメータ修正処理を示すフローチャートである。

ステップ S 1 2 2 に移行し、パラメータ修正処理が開始されると、図 7 に示すように、まず、ステップ S 3 0 0 に移行し、パラメータ修正部 2 4 において、ステップ S 1 1 2 の判定結果が第 1 の設定内容による誤り判定か否かを判定し、そうである場合(Yes)は、ステップ S 3 0 2 に移行し、そうでない場合(No)は、ステップ S 3 0 8 に移行する。

10

【 0 0 8 9 】

ステップ S 3 0 2 に移行した場合は、パラメータ修正部 2 4 において、本体 M O S 部の両端がソース領域か否かを判定し、そうである場合(Yes)は、ステップ S 3 0 4 に移行し、そうでない場合(No)は、ステップ S 3 0 6 に移行する。

ステップ S 3 0 4 に移行した場合は、パラメータ修正部 2 4 において、パラメータDDMが「0」に且つパラメータSDMが所定の偶数値となるように修正して、一連の処理を終了し元の処理に復帰する。

【 0 0 9 0 】

一方、ステップ S 3 0 6 に移行した場合は、パラメータ修正部 2 4 において、パラメータDDMが所定の偶数値に且つパラメータSDMが「0」となるように修正して、一連の処理を終了し元の処理に復帰する。

20

また、ステップ S 3 0 0 において、第 1 の設定内容による誤り判定ではなく、ステップ S 3 0 8 に移行した場合は、パラメータ修正部 2 4 において、ステップ S 1 1 2 の判定結果が第 2 の設定内容による誤り判定か否かを判定し、そうである場合(Yes)は、ステップ S 3 1 0 に移行し、そうでない場合(No)は、ステップ S 3 1 2 に移行する。

【 0 0 9 1 】

ステップ S 3 1 0 に移行した場合は、パラメータ修正部 2 4 において、パラメータSDMの設定値を所定の偶数値に修正して、一連の処理を終了し元の処理に復帰する。

一方、ステップ S 3 1 2 に移行した場合は、パラメータ修正部 2 4 において、ステップ S 1 1 2 の判定結果が第 3 の設定内容による誤り判定か否かを判定し、そうであると判定した場合(Yes)は、ステップ S 3 1 4 に移行し、そうでない場合(No)は、ステップ S 3 1 6 に移行する。

30

【 0 0 9 2 】

ステップ S 3 1 4 に移行した場合は、パラメータ修正部 2 4 において、パラメータDDMを所定の偶数値に修正して、一連の処理を終了し元の処理に復帰する。

また、ステップ S 3 1 6 に移行した場合は、パラメータ修正部 2 4 において、ステップ S 1 1 2 の判定結果が第 4 の設定内容による誤り判定か否かを判定し、そうであると判定した場合(Yes)は、ステップ S 3 1 8 に移行し、そうでない場合(No)は、ステップ S 3 2 0 に移行する。

40

【 0 0 9 3 】

ステップ S 3 1 8 に移行した場合は、パラメータ修正部 2 4 において、パラメータDDM及びSDMの設定値が双方ともROWの設定値をN倍にした数値となるようにこれら設定値を修正して、一連の処理を終了し元の処理に復帰する。

一方、ステップ S 3 2 0 に移行した場合は、パラメータ修正部 2 4 において、本体 M O S 部の両端がソース領域か否かを判定し、そうである場合(Yes)は、ステップ S 3 2 2 に移行し、そうでない場合(No)は、ステップ S 3 2 4 に移行する。

【 0 0 9 4 】

ステップ S 3 2 2 に移行した場合は、パラメータ修正部 2 4 において、パラメータDDMの設定値が「0」に且つパラメータSDMの設定値がパラメータROWの設定値をM倍した数値と

50

なるようにこれら設定値を修正して、一連の処理を終了し元の処理に復帰する。

また、ステップS 3 2 4に移行した場合は、パラメータ修正部2 4において、パラメータSDMの設定値が「0」に且つパラメータDDMの設定値がパラメータROWの設定値をM倍した数値となるようにこれら設定値を修正して、一連の処理を終了し元の処理に復帰する。

【0095】

次に、図8に基づき、回路図設計装置100の接続関係情報生成部26におけるステップS 1 1 4の接続関係情報生成処理の流れを説明する。

ここで、図8は、接続関係情報生成部26における、MOSトランジスタに対する接続関係情報生成処理の一例を示すフローチャートである。

ステップS 1 1 4に移行し、接続関係情報生成処理が開始されると、図8に示すように、まず、ステップS 4 0 0に移行し、接続関係情報生成部26において、パラメータROWの設定値が「2」以上であるか否かを判定し、「2」以上であると判定した場合(Yes)は、ステップS 4 0 2に移行し、そうでない場合(No)は、ステップS 4 0 4に移行する。

【0096】

ステップS 4 0 2に移行した場合は、パラメータMulti、DDM、SDMの設定値をパラメータROWの設定値で除算した数値を、以降の接続関係生成処理に用いる各パラメータ値として設定して、ステップS 4 0 4に移行する。

ステップS 4 0 4では、接続関係情報生成部26において、パラメータDDMが「0」で且つパラメータSDMが「0」であるか否かを判定し、双方が「0」であると判定した場合(Yes)は、ステップS 4 0 6に移行し、そうでない場合(No)は、ステップS 4 1 4に移行する。

【0097】

ステップS 4 0 6に移行した場合は、接続関係情報生成部26において、パラメータMultiの値に基づき、ダミーMOS無しの本体MOS部のみのマルチ素子回路の接続関係情報を生成してRAM62に記憶し、ステップS 4 0 8に移行する。

ステップS 4 0 8では、接続関係情報生成部26において、パラメータROWの設定値が「2」以上であるか否かを判定し、「2」以上であると判定した場合(Yes)は、ステップS 4 1 0に移行し、そうでない場合(No)は、ステップS 4 1 2に移行する。

【0098】

ステップS 4 1 0に移行した場合は、接続関係情報生成部26において、パラメータROWの設定値に基づきRAM62に記憶された接続関係情報をマルチ素子回路列を構成する接続関係情報に補正して、ステップS 4 1 2に移行する。

ステップS 4 1 2では、接続関係情報生成部26において、生成した接続関係情報を、回路表示情報生成部16に出力すると共に回路図情報記憶部28に保存して、一連の処理を終了し元の処理に復帰する。

【0099】

一方、ステップS 4 0 4において、パラメータSDM及びDDMの設定値の双方が「0」でなく、ステップS 4 1 4に移行した場合は、接続関係情報生成部26において、選択された回路シンボルが、PMOSか否かを判定し、PMOSであると判定した場合(Yes)は、ステップS 4 1 6に移行し、そうでない場合(No)は、ステップS 4 3 0に移行する。

ステップS 4 1 6に移行した場合は、接続関係情報生成部26において、パラメータMultiの設定値<Multi>に基づき、ダミーPMOSを付加していない状態の、<Multi>個のPMOSが連続して接続された構成の本体PMOS部だけのマルチ素子回路の接続関係情報を生成してRAM62に記憶し、ステップS 4 1 8に移行する。

【0100】

ステップS 4 1 8では、接続関係情報生成部26において、パラメータDDMの設定値は「1」以上か否かを判定し、「1」以上であると判定した場合(Yes)は、ステップS 4 2 0に移行し、そうでない場合(No)は、ステップS 4 2 2に移行する。

ステップS 4 2 0に移行した場合は、接続関係情報生成部26において、パラメータDDMの設定値に基づき、本体PMOS部のドレイン端部にダミーPMOSを接続する情報を

10

20

30

40

50

、 R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 4 2 2 に移行する。

【 0 1 0 1 】

ステップ S 4 2 2 では、接続関係情報生成部 2 6 において、パラメータSDMの設定値は「 1 」以上か否かを判定し、「 1 」以上であると判定した場合(Yes)は、ステップ S 4 2 4 に移行し、そうでない場合(No)は、ステップ S 4 2 6 に移行する。

ステップ S 4 2 4 に移行した場合は、接続関係情報生成部 2 6 において、本体 P M O S 部のソース端部にダミー P M O S を接続する情報を、 R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 4 2 6 に移行する。

【 0 1 0 2 】

ステップ S 4 2 6 では、接続関係情報生成部 2 6 において、ダミー P M O S のゲート端子を電源端子に接続する情報を、 R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 4 2 8 に移行する。

ステップ S 4 2 8 では、接続関係情報生成部 2 6 において、ダミー P M O S 又はダミー N M O S の接続されていない端子をフローティングにする情報を、 R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 4 0 8 に移行する。

【 0 1 0 3 】

一方、ステップ S 4 1 4 において、選択された回路シンボルが P M O S ではなくて N M O S であり、ステップ S 4 3 0 に移行した場合は、接続関係情報生成部 2 6 において、パラメータMultiの設定値 < Multi > に基づき、ダミー N M O S を付加していない状態の、 < Multi > 個の N M O S が連続して接続された構成の本体 N M O S 部だけのマルチ素子回路の接続関係情報を生成して R A M 6 2 に記憶し、ステップ S 4 3 2 に移行する。

【 0 1 0 4 】

ステップ S 4 3 2 では、接続関係情報生成部 2 6 において、パラメータDDMの設定値は「 1 」以上か否かを判定し、「 1 」以上であると判定した場合(Yes)は、ステップ S 4 3 4 に移行し、そうでない場合(No)は、ステップ S 4 3 6 に移行する。

ステップ S 4 3 4 に移行した場合は、接続関係情報生成部 2 6 において、パラメータDDMの設定値に基づき、本体 N M O S 部のドレイン端部にダミー N M O S を接続する情報を、 R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 4 3 6 に移行する。

【 0 1 0 5 】

ステップ S 4 3 6 では、接続関係情報生成部 2 6 において、パラメータSDMの設定値は「 1 」以上か否かを判定し、「 1 」以上であると判定した場合(Yes)は、ステップ S 4 3 8 に移行し、そうでない場合(No)は、ステップ S 4 4 0 に移行する。

ステップ S 4 3 8 に移行した場合は、接続関係情報生成部 2 6 において、本体 N M O S 部のソース端部にダミー N M O S を接続する情報を、 R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 4 4 0 に移行する。

【 0 1 0 6 】

ステップ S 4 4 0 では、接続関係情報生成部 2 6 において、ダミー N M O S のゲート端子を電源端子に接続する情報を、 R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 4 2 8 に移行する。

なお、上記生成されたマルチ素子回路の接続関係情報は、最終的に、レイアウト領域にレイアウトされた回路全体の接続関係情報における、対応する回路シンボルに対応付けられて回路図情報記憶部 2 8 に保存されるか、回路全体の接続関係情報における、対応する回路シンボルの接続関係情報を置き換えて回路図情報記憶部 2 8 に保存される。

【 0 1 0 7 】

次に、図 9 に基づき、回路図設計装置 1 0 0 の回路表示情報生成部 1 6 におけるステップ 1 1 6 の、回路シンボルの表示方法を決定する処理である表示方法決定処理の流れを説明する。

ここで、図 9 は、回路表示情報生成部 1 6 における表示方法決定処理を示すフローチャートである。

【 0 1 0 8 】

10

20

30

40

50

ステップ S 1 1 6 に移行し、表示方法決定処理が開始されると、図 9 に示すように、まず、ステップ S 5 0 0 に移行し、回路表示情報生成部 1 6 において、表示形状に関するルールがあるか否かを判定し、表示形状に関するルールがあると判定した場合(Yes)は、ステップ S 5 0 2 に移行し、そうでない場合(No)は、ステップ S 5 0 4 に移行する。

ステップ S 5 0 2 に移行した場合は、回路表示情報生成部 1 6 において、表示形状に関するルールに基づきマルチ素子回路の回路シンボルの表示形状を決定して、ステップ S 5 0 4 に移行する。

【 0 1 0 9 】

ステップ S 5 0 4 では、回路表示情報生成部 1 6 において、表示色に関するルールがあるか否かを判定し、表示色に関するルールがあると判定した場合(Yes)は、ステップ S 5 0 6 に移行し、そうでない場合(No)は、一連の処理を終了し元の処理に復帰する。

ステップ S 5 0 6 に移行した場合は、回路表示情報生成部 1 6 において、表示色に関するルールに基づき、マルチ素子回路の回路シンボルの表示色を決定して、一連の処理を終了し元の処理に復帰する。

【 0 1 1 0 】

次に、図 1 0 に基づき、回路図設計装置 1 0 0 におけるパターンレイアウト図の編集処理の流れを説明する。

ここで、図 1 0 は、回路図設計装置 1 0 0 におけるパターンレイアウト図の編集処理を示すフローチャートである。

C P U 6 0 によって専用のプログラムが実行され、パターンレイアウト図の編集処理が開始されると、図 1 0 に示すように、まず、ステップ S 6 0 0 に移行し、回路表示情報生成部 1 6 において、入力装置 7 4 を介した利用者からの指定接続関係情報のパターンレイアウト図の表示指示があったか否かを判定し、あったと判定した場合(Yes)は、回路表示情報生成部 1 6 において、指定接続関係情報に基づき、そのパターンレイアウト図の表示情報を生成し、該生成した表示情報を表示要求と共に回路図表示制御部 1 8 に出力する。更に、回路図表示制御部 1 8 において、入力された表示情報に基づき表示装置 7 2 を制御して、表示画面上にパターンレイアウト図を表示して、ステップ S 6 0 4 に移行する。

【 0 1 1 1 】

ステップ S 6 0 4 では、回路パターン編集部 1 4 において、入力装置 7 4 を介した利用者からのレイアウト編集指示があったか否かを判定し、あったと判定した場合(Yes)は、ステップ S 6 0 6 に移行し、そうでない場合(No)は、ステップ S 6 1 4 に移行する。

本実施の形態において、編集指示内容としては、具体的に、パターンレイアウト図における、マルチ素子回路又は複数のマルチ素子回路列の列数の変更指示、マルチ素子回路又はマルチ素子回路列の各本体 M O S 部の連続形成数の変更指示、マルチ素子回路を構成する M O S トランジスタの P M O S から N M O S へ又は N M O S から P M O S へのいずれかへの変換指示、複数のマルチ素子回路又は複数のマルチ素子回路列の共有合成指示、複数のマルチ素子回路又は複数のマルチ素子回路列の所定合体構成(例えば、コモン・セントロイドなど)の合体合成指示などが可能である。

【 0 1 1 2 】

ステップ S 6 0 6 に移行した場合は、回路パターン編集部 1 4、回路表示情報生成部 1 6、回路図表示制御部 1 8 において、編集指示に応じてパターンレイアウト図のレイアウトを変更して、ステップ S 6 0 8 に移行する。

ステップ S 6 0 8 では、パラメータ修正部 2 4 において、ステップ S 6 0 6 の編集結果に基づき、マルチ素子回路が編集されたか否かを判定し、編集されたと判定した場合(Yes)は、ステップ S 6 1 0 に移行し、そうでない場合(No)は、ステップ S 6 1 2 に移行する。

【 0 1 1 3 】

ステップ S 6 1 0 に移行した場合は、パラメータ修正部 2 4 において、ステップ S 6 0 6 の編集結果に基づき、編集された回路シンボルに対するパラメータを修正して、ステップ S 6 1 2 に移行する。

ステップ S 6 1 2 では、接続関係情報生成部 2 6 において、ステップ S 6 0 6 の編集結果及びステップ S 6 1 0 のパラメータ修正結果に基づき接続関係情報を変更して、ステップ S 6 1 4 に移行する。

【 0 1 1 4 】

ステップ S 6 1 4 では、回路図設計装置 1 0 0 において、パターンレイアウト図の編集処理の終了指示があったか否かを判定し、あったと判定した場合(Yes)は、ステップ S 6 1 6 に移行し、そうでない場合(No)は、ステップ S 6 0 4 に移行する。

ステップ S 6 1 6 に移行した場合は、接続関係情報生成部 2 6 において、編集内容の反映された接続関係情報、パラメータ設定値などの回路図の情報を回路図情報記憶部 2 8 に記憶して、ステップ S 6 0 0 に移行する。

10

【 0 1 1 5 】

次に、図 1 1 に基づき、パターンレイアウト図の編集処理における、ステップ S 6 1 0 のパラメータ修正処理の流れを説明する。

ここで、図 1 1 は、パラメータ修正部 2 4 の、パターンレイアウト図における M O S トランジスタのマルチ素子回路の編集処理に対するパラメータ修正処理の一例を示すフローチャートである。

【 0 1 1 6 】

ステップ S 6 1 0 に移行し、パターンレイアウト図における M O S トランジスタのマルチ素子回路の編集処理に対するパラメータ修正処理が開始されると、図 1 1 に示すように、まず、ステップ S 7 0 0 に移行し、回路パターン編集部 1 4 において、M O S トランジスタから構成されたマルチ素子回路の列数が変更されたか否かを判定し、変更されたと判定した場合(Yes)は、その編集内容をパラメータ修正部 2 4 に通知して、ステップ S 7 0 6 に移行し、そうでない場合(No)は、ステップ S 7 2 6 に移行する。

20

【 0 1 1 7 】

ステップ S 7 0 6 では、パラメータColumnの設定値は奇数か否かを判定し、奇数であると判定した場合(Yes)は、ステップ S 7 0 8 に移行し、そうでない場合(No)は、ステップ S 7 1 0 に移行する。

ステップ S 7 0 8 に移行した場合は、パラメータ修正部 2 4 において、パラメータDDM及びSDMの設定値を、修正後のパラメータROWの設定値をN倍した数値に修正して、一連の処理を終了し元の処理に復帰する。

30

【 0 1 1 8 】

一方、ステップ S 7 1 0 に移行した場合は、パラメータ修正部 2 4 において、本体 M O S 部の両端部はソース領域か否かを判定し、ソース領域であると判定した場合(Yes)は、ステップ S 7 1 2 に移行し、そうでない場合(No)は、ステップ S 7 2 0 に移行する。

ステップ S 7 1 2 に移行した場合は、パラメータ修正部 2 4 において、パラメータDDMの設定値は「0」か否かを判定し、「0」であると判定した場合(Yes)は、ステップ S 7 1 4 に移行し、そうでない場合(No)は、ステップ S 7 1 6 に移行する。

【 0 1 1 9 】

ステップ S 7 1 4 に移行した場合は、パラメータ修正部 2 4 において、パラメータSDMの設定値を、修正後のパラメータROWの設定値をM倍した数値に修正して、一連の処理を終了し元の処理に復帰する。

40

また、ステップ S 7 1 6 に移行した場合は、パラメータ修正部 2 4 において、パラメータDDMの設定値を「0」に且つパラメータSDMの設定値を、修正後のパラメータROWの設定値をM倍した数値に修正して、一連の処理を終了し元の処理に復帰する。

【 0 1 2 0 】

また、ステップ S 7 1 0 において、本体 M O S 部の両端がドレイン領域であり、ステップ S 7 2 0 に移行した場合は、パラメータ修正部 2 4 において、パラメータSDMの設定値は「0」であるか否かを判定し、「0」であると判定した場合(Yes)は、ステップ S 7 2 2 に移行し、そうでない場合(No)は、ステップ S 7 2 4 に移行する。

ステップ S 7 2 2 に移行した場合は、パラメータ修正部 2 4 において、パラメータDDM

50

の設定値を、修正後のパラメータROWの設定値をM倍した数値に修正して、一連の処理を終了し元の処理に復帰する。

【0121】

一方、ステップS724に移行した場合は、パラメータ修正部24において、パラメータSDMの設定値を「0」に且つパラメータDDMの設定値を、修正後のパラメータROWの設定値をM倍した数値に修正して、一連の処理を終了し元の処理に復帰する。

また、ステップS700において、マルチ素子回路の列数が変更されずに、マルチ素子回路の供給合成処理が行われたか否かを判定し、行われたと判定した場合(Yes)は、ステップS728に移行し、そうでない場合(No)は、ステップS730に移行する。

【0122】

ステップS728に移行した場合は、パラメータ修正部24において、第1～第nのマルチ素子回路又はマルチ素子回路列のパラメータDDM及びSDMの設定値を、共有数に応じて減らす修正を行い、一連の処理を終了し元の処理に復帰する。

一方、ステップS730に移行した場合は、パラメータ修正部24において、合体合成処理が行われたか否かを判定し、行われたと判定した場合(Yes)は、ステップS732に移行し、そうでない場合(No)は、マルチ素子回路への他の編集内容に基づき、パラメータの設定値を修正して、一連の処理を終了し元の処理に復帰する。

【0123】

ステップS732に移行した場合は、パラメータ修正部24において、合体方法に基づき、第1～第nのマルチ素子回路に対するパラメータSDM及びDDMの値を再計算して、ステップS734に移行する。

ステップS734では、パラメータ修正部24において、ステップS732の再計算結果に基づき、各マルチ素子回路のパラメータSDM及びDDMの設定値を修正して、一連の処理を終了し元の処理に復帰する。

【0124】

次に、図12～図18に基づき、本実施の形態の回路図設計装置100のより具体的な動作を説明する。

ここで、図12(a)は、NMOSの回路シンボルの一例を示す図であり、(b)は、(a)の回路シンボルに対するパラメータ入力画面の一例を示す図である。また、図13(a)～(d)は、パラメータの設定されたNMOSの回路シンボルの表示形状の例を示す図である。また、図14(a)～(c)は、パラメータMultiの値を「4」にしたときのマルチ素子回路のパターンレイアウト図の例を示す図である。また、図15(a)は、パラメータ設定可能なPMOSの回路シンボルの一例を示す図であり、(b)は、(a)の回路シンボルに対するマルチ素子回路の回路構成の一例を示す図である。また、図16(a)は、パラメータ入力画面の一例を示す図であり、(b)は、パラメータROWの値を「2」にしたときのマルチ素子回路のパターンレイアウト図の一例を示す図である。また、図17は、マルチ素子回路の共有合成の一例を示す図である。また、図18は、マルチ素子回路の合体合成の一例を示す図である。

【0125】

回路図設計装置100に電源が投入され、専用のプログラムが実行されると半導体集積回路に係る回路図の設計処理が開始される。これにより、利用者は、入力装置74を介して各種指示を与えることで、半導体集積回路に係る新規回路図の作成処理、既に作成した回路図の変更、修正などの編集処理などを行うことで回路図の設計を行うことができる。

いま、入力装置74を介して利用者からの、既に作成された接続関係情報に対する回路図の表示指示があったとする。回路表示情報生成部16は、表示指示(接続関係情報の指定及び図の表示形式の指定を含む)に応じて、回路図情報記憶部28から、指定された接続関係情報を読み出し、指示に応じた表示形態の回路図(シンボル回路図又はパターンレイアウト図)の表示情報を生成する。

【0126】

回路表示情報生成部16は、生成した表示情報を表示要求と共に回路図表示制御部18

10

20

30

40

50

に出力する。これによって、表示装置 7 2 の表示画面上に表示されたレイアウト領域に、指定された接続関係情報に対する指定された表示形態の回路図が表示され、編集モード 1 又は 2 へと移行する。

ここでは、M O S トランジスタの回路シンボルを含む複数種類の回路シンボル及び配線パターンによって表されたシンボル回路図が表示され、編集モード 1 に移行したとする。

【 0 1 2 7 】

そして、入力装置 7 4 を介した操作入力に基づき、表示されたシンボル回路図を構成する回路シンボルの中から、図 1 2 (a) に示す、N M O S の回路シンボルが選択されると (ステップ S 1 0 0 の「 Y e s 」の分岐)、パラメータ設定部 2 0 において、該選択された N M O S の回路シンボルがマルチ素子回路に対応しているか否かを判定する。

10

ここで、N M O S の回路シンボルは、図 1 2 (a) に示すように、N M O S 本体部 0 8 0 0 と、第 1 ~ 第 5 パラメータ表示領域 0 8 0 4 ~ 0 8 0 8 とを含んで構成されている。

【 0 1 2 8 】

N M O S 本体部 0 8 0 0 は、ゲート端子 0 8 0 1 と、ドレイン端子 0 8 0 2 と、ソース端子 0 8 0 3 とを含んで構成されている。

第 1 のパラメータ表示領域 0 8 0 4 は、N M O S 本体部のドレインに付加するダミー N M O S の数を示すパラメータ情報「 D D M = < D D M > 」を表示する領域であり、第 4 パラメータ表示領域 0 8 0 7 は、N M O S 本体部のソースに付加するダミー N M O S の数を示すパラメータ情報「 S D M = < S D M > 」を表示する領域である。ここで、< D D M >、< S D M > には入力装置 7 4 を介して入力された数値が設定される。

20

【 0 1 2 9 】

第 2 のパラメータ表示領域 0 8 0 5 は、N M O S のチャンネルサイズ (チャンネル幅 W / チャンネル長 L) を示すパラメータ情報「 W / L = < W > / < L > 」を表示する領域であり、第 3 パラメータ表示領域 0 8 0 6 は、N M O S 本体部の連続形成数を示すパラメータ情報「 Multi = < Multi > 」を表示する領域である。また、第 5 のパラメータ表示領域 0 8 0 8 は、マルチ素子回路の列方向の連続形成数を示すパラメータ情報「 ROW = < ROW > 」を表示する領域である。ここで、< W >、< L >、< Multi >、< ROW > には入力装置 7 4 を介して入力された数値が設定される。

【 0 1 3 0 】

このように N M O S の回路シンボルは、マルチ素子回路に対応しているので (ステップ S 1 0 2 の「 Y e s 」の分岐)、パラメータ設定部 2 0 は、次に、入力装置 7 4 を介した操作入力に基づき、この N M O S の回路シンボルに対してパラメータの入力指示があったか否かを判定する処理に移行する (ステップ S 1 0 4)。そして、選択された N M O S の回路シンボルに対してパラメータの入力指示があった場合 (ステップ S 1 0 4 の「 Y e s 」の分岐) に、パラメータ設定部 2 0 は、表示装置 7 2 の表示画面上に、図 1 2 (b) に示すパラメータ入力画面を表示する (ステップ S 1 0 6)。

30

【 0 1 3 1 】

パラメータ入力画面は、図 1 2 (b) に示すように、パラメータ項目 0 8 2 1 ~ 0 8 2 6 と、パラメータ値入力ボックス 0 8 3 1 ~ 0 8 3 6 を含んで構成されている。

N M O S の回路シンボルの場合に、パラメータ項目 0 8 2 1 は、チャンネル幅「 W」、同 0 8 2 2 はチャンネル長「 L」、同 0 8 2 3 は、N M O S 本体部の連続形成数「 M u l t i」、同 0 8 2 4 は、ドレイン端部側のダミー N M O S の形成数「 D D M」、同 0 8 2 5 は、ソース端部側のダミー N M O S の形成数「 S D M」、同 0 8 2 6 は、マルチ素子回路の連続形成数「 R O W」となる。

40

【 0 1 3 2 】

更に、パラメータ値入力ボックス 0 8 3 1 は、チャンネル幅の入力ボックス、同 0 8 3 2 は、チャンネル長の入力ボックス、同 0 8 3 3 は、N M O S 本体部の連続形成数の入力ボックス、同 0 8 3 4 は、ドレイン端部側のダミー N M O S の形成数の入力ボックス、同 0 8 3 5 は、ソース端部側のダミー N M O S の形成数の入力ボックス、同 0 8 3 6 は、N M O S の段数の入力ボックスとなる。

50

【 0 1 3 3 】

上記パラメータ値入力ボックス 0 8 3 1 ~ 0 8 3 6 に値を入力することで、パラメータ W/L, Multi, DDM, SDM, ROW, Column の値がそれぞれ入力値に設定される。

図 1 2 (b) の例では、入力ボックス 0 8 3 1 にチャンネル幅「10 μ 」が、同 0 8 3 2 にチャンネル長「1 μ 」が、同 0 8 3 3 に連続形成数「3」が、同 0 8 3 4 にドレイン端部側のダミー N M O S の形成数「1」が、同 0 8 3 5 にソース端部側のダミー N M O S の形成数「1」が、同 0 8 3 6 にマルチ素子回路の連続形成数「1」がそれぞれ入力されている。以下、これを設定内容 A とする。

【 0 1 3 4 】

このようにして、パラメータ入力画面において、入力装置 7 4 を介して、各パラメータに任意の値を入力し、パラメータ入力処理が全て完了すると（ステップ S 1 0 8 の「Y e s」の分岐）、次に、パラメータ判定部 2 2 において、入力されたパラメータ値が正しいか誤りかを判定するパラメータ判定処理を実行する（ステップ S 1 1 0）。

パラメータ判定処理が開始されると、まず、パラメータ ROW の設定値は「1」であるので（ステップ S 2 0 0 の「N o」の分岐）、パラメータ Multi の設定値が偶数で且つ本体 N M O S 部の両端部はソース領域か否かを判定する。ここでは、パラメータ Multi の設定値は「3」であり奇数となるので（ステップ S 2 2 2, S 2 3 2 の「N o」の分岐）、パラメータの設定値は正しいと判定される（ステップ S 2 1 4）。

【 0 1 3 5 】

この判定により、パラメータ修正部 2 4 においては、パラメータの設定値が正しいと判定される（ステップ S 1 1 2 の「Y e s」の分岐）。

一方、入力ボックス 0 8 3 1 にチャンネル幅「10 μ 」が、同 0 8 3 2 にチャンネル長「1 μ 」が、同 0 8 3 3 に連続形成数「4」が、同 0 8 3 4 にドレイン端部側のダミー N M O S の形成数「1」が、同 0 8 3 5 にソース端部側のダミー N M O S の形成数「1」が、同 0 8 3 6 にマルチ素子回路の連続形成数「1」がそれぞれ入力されているとする。以下、これを設定内容 B とする。

【 0 1 3 6 】

この場合は、まず、パラメータ ROW の設定値は「1」となり（ステップ S 2 0 0 の「N o」の分岐）、パラメータ Multi の設定値は「4」となり偶数となる。本実施の形態では、パラメータ Multi の設定値が偶数のときに、本体 N M O S 部の中心がソース領域のときは両端がソース領域に、中心がドレイン領域のときは両端がドレイン領域になるとして、両端がソース領域であるか否かを判定する。ここでは、中心がソース領域であるとして、両端はソース領域となることとする（ステップ S 2 2 0 の「Y e s」の分岐）。従って、次に、パラメータ DDM 及び SDM の設定値が「0」以外の数値か否かを判定する。パラメータ DDM 及び SDM は共に「1」であるため（ステップ S 2 2 8 の「Y e s」の分岐）、第 1 の設定内容による誤りと判定される（ステップ S 2 2 6）。

【 0 1 3 7 】

また、設定内容 B において、本体 N M O S 部の中心がドレイン領域であるとする、両端はドレイン領域となる（ステップ S 2 2 0 の「N o」の分岐、且つステップ S 2 3 2 の「Y e s」の分岐）。この場合も、パラメータ DDM 及び SDM は共に「1」であるため（ステップ S 2 3 4 の「Y e s」の分岐）、第 1 の設定内容による誤りと判定される（ステップ S 2 2 6）。以下、これを設定内容 C とする。

【 0 1 3 8 】

また、入力ボックス 0 8 3 1 にチャンネル幅「10 μ 」が、同 0 8 3 2 にチャンネル長「1 μ 」が、同 0 8 3 3 に連続形成数「4」が、同 0 8 3 4 にドレイン端部側のダミー N M O S の形成数「1」が、同 0 8 3 5 にソース端部側のダミー N M O S の形成数「0」が、同 0 8 3 6 にマルチ素子回路の連続形成数「1」がそれぞれ入力されているとする。以下、これを設定内容 D とする。

【 0 1 3 9 】

この場合は、まず、パラメータ ROW の設定値は「1」となり（ステップ S 2 0 0 の「N

10

20

30

40

50

o」の分岐)、パラメータMultiの設定値は「4」となり偶数となる。ここでは、中心がソース領域であるとして、両端はソース領域となることとする(ステップS220の「Yes」の分岐)。従って、次に、パラメータDDM及びSDMの設定値が「0」以外の数値か否かを判定する。パラメータDDMの設定値は「1」、パラメータSDMの設定値「0」であるため(ステップS228の「No」の分岐)、第2の設定内容による誤りと判定される(ステップS230)。

【0140】

このように、設定内容による誤りがあると判定されると、パラメータ修正部24において、パラメータの設定内容に誤りがあると判定され(ステップS112の「No」の分岐)、パラメータ修正処理が実行される(ステップS122)。

10

パラメータ修正処理が開始されると、パラメータ修正部24は、まず、第1～第5の設定内容のうち、どの設定内容による誤りかを判定する。設定内容Bは、第1の設定内容による誤りであり(ステップS300の「Yes」の分岐)、更に、本体NMOS部の両端はソース領域であるので(ステップS302の「Yes」の分岐)、パラメータDDMの現在の設定値「1」を「0」に修正し、パラメータSDMの現在の設定値「1」を所定の偶数値に修正する(ステップS304)。ここでは、所定の偶数値を「2」で固定する。従って、パラメータSDMの現在の設定値「1」が「2」に修正される。なお、所定の偶数値は、「2」に限らず、マルチ素子回路の特性に応じて、4、6、8などの別の偶数値としてもよい。

【0141】

20

以上の修正処理によって、設定内容Bである、パラメータMulti、DDM、SDM、ROWの設定値「4」、「1」、「1」、「1」が、「4」、「0」、「2」、「1」へと正しい設定内容に自動的に修正される。

同様に、設定内容Cは、第1の設定内容による誤りであり(ステップS300の「Yes」の分岐)、更に、本体NMOS部の両端はドレイン領域であるので(ステップS302の「No」の分岐)、パラメータSDMの現在の設定値「1」を「0」に修正し、パラメータDDMの現在の設定値「1」を「2」に修正する(ステップS306)。

【0142】

以上の修正処理によって、設定内容Cである、パラメータMulti、DDM、SDM、ROWの設定値「4」、「1」、「1」、「1」が、「4」、「2」、「0」、「1」へと正しい設定内容に自動的に修正される。

30

また、設定内容Dは、第2の設定内容による誤りであるので(ステップS308の「Yes」の分岐)、パラメータSDMの現在の設定値「0」を「2」に修正し、パラメータDDMの現在の設定値「1」を「0」に修正する(ステップS310)。

【0143】

以上の修正処理によって、設定内容Dである、パラメータMulti、DDM、SDM、ROWの設定値「4」、「1」、「0」、「1」が、「4」、「0」、「2」、「1」へと正しい設定内容に自動的に修正される。

このようにして、パラメータの設定内容が正しい内容に設定されると、次に、接続関係情報生成部26において、設定されたパラメータに基づき、選択されたNMOSの回路シンボルに対するマルチ素子回路の接続関係情報の生成処理が実行される(ステップS114)。

40

【0144】

接続関係情報生成処理が実行されると、まず、パラメータROWの入力ボックス0836の入力値が「2」以上か否かを判定する(ステップS400)。設定内容Aにおいては、入力ボックス0836の入力値は「1」となっているので(ステップS400の「No」の分岐)、次に、パラメータDDMの入力ボックス0834の入力値が「0」で、且つパラメータSDMの入力ボックス0835の入力値が「0」か否かを判定する(ステップS404)。パラメータDDM及びSDMの値は共に「1」となっているので(ステップS404の「No」の分岐)、次に、選択したMOSトランジスタの回路シンボルがPMOSか否かを

50

判定する（ステップS414）。ここでは、選択した回路シンボルはNMOSの回路シンボルであるので（ステップS414の「No」の分岐）、接続関係情報生成部26は、まず、ダミーNMOS無しのマルチ素子回路の接続関係情報を生成し、該生成した接続関係情報をRAM62に記憶する（ステップS430）。更に、パラメータDDMの値が「1」であるので（ステップS432の「Yes」の分岐）、RAM62に記憶された接続関係情報に、本体NMOS部のドレイン端部にダミーNMOSを1つ接続する情報を追加する（ステップS434）。次に、パラメータSDMの値は「1」であるので（ステップS436の「Yes」の分岐）、RAM62に記憶された接続関係情報に、本体NMOS部のソース端部にダミーNMOSを1つ接続する情報を追加する（ステップS438）。更に、RAM62に記憶された接続関係情報に、本体NMOS部のドレイン端部及びソース端部に接続したダミーNMOSのゲート端子を接地端子（VSS）に接続する情報を追加する（ステップS440）。更にまた、RAM62に記憶された接続関係情報に、ダミーNMOSにおけるドレイン端部又はソース端部に接続されていない側のソース端子又はドレイン端子をフローティングにする情報を追加する（ステップS428）。パラメータROWの設定値は「1」であるので（ステップS408の「No」の分岐）、追加後の接続関係情報を、回路表示情報生成部16に出力すると共に、回路図情報記憶部28に、元の接続関係情報に追加する形で保存する（ステップS412）。

10

20

30

【0145】

一方、設定内容Bの場合は、入力ボックス0836の入力値は「1」となっており（ステップS400の「No」の分岐）、パラメータDDMの値は「0」且つパラメータSDMの値は「2」となっているので（ステップS404の「No」の分岐）、次に、選択したMOSトランジスタの回路シンボルがPMOSか否かを判定する（ステップS414）。ここでは、選択した回路シンボルはNMOSの回路シンボルであるので（ステップS414の「No」の分岐）、接続関係情報生成部26は、まず、ダミーNMOS無しのマルチ素子回路の接続関係情報を生成し、該生成した接続関係情報をRAM62に記憶する（ステップS430）。更に、パラメータDDMの値が「0」であり（ステップS432の「No」の分岐）、パラメータSDMの値は「2」であるので（ステップS436の「Yes」の分岐）、RAM62に記憶された接続関係情報に、本体NMOS部のソース端部一方及び他方にそれぞれダミーNMOSを1つずつ接続する情報を追加する（ステップS438）。更に、RAM62に記憶された接続関係情報に、本体NMOS部の両ソース端部に接続したダミーNMOSのゲート端子を接地端子（VSS）に接続する情報を追加する（ステップS440）。更にまた、RAM62に記憶された接続関係情報に、ダミーNMOSにおけるドレイン端部又はソース端部に接続されていない側のソース端子又はドレイン端子をフローティングにする情報を追加する（ステップS428）。パラメータROWの設定値は「1」であるので（ステップS408の「No」の分岐）、追加後の接続関係情報を、回路表示情報生成部16に出力すると共に、回路図情報記憶部28に、元の接続関係情報に追加する形で保存する（ステップS412）。

【0146】

また、設定内容Cの場合は、上記設定内容Bの接続関係情報において本体NMOS部の両端がドレイン端部になるだけである。つまり、本体NMOS部のドレイン端部の両端にダミーNMOSが1つずつ接続された接続関係情報が生成される。

40

また、設定内容Dの場合は、設定内容Bと同じ接続関係情報が生成される。

このようにして、NMOSの回路シンボルに対するマルチ素子回路の接続関係情報が入力されると、回路表示情報生成部16は、まず、予め設定された表示方法のルールと、パラメータの設定内容とに基づき、マルチ素子回路の回路シンボルの表示方法を決定する表示方法決定処理を実行する（ステップS116）。

【0147】

表示方法決定処理が開始されると、まず、回路表示情報生成部16において、表示形状に関するルールがあるか否かを判定する（ステップS500）。ここでは、表示形状に関するルールがあることとし（ステップS500の「Yes」の分岐）、この表示形状のル

50

ールとパラメータの設定内容とに基づき、パラメータの設定されたN M O Sの回路シンボルの表示形状を決定する(ステップS 5 0 2)。

【0 1 4 8】

表示形状のルールとしては、パラメータSDM及びDDMの入力値が共に「0」である場合は、マルチ素子回路の生成されたN M O Sの回路シンボルの表示形状は、例えば、図1 3 (a)に示すように、JISに準拠したN M O Sの回路シンボルに、チャンネルサイズ「 $W / L = 10 \mu / 1 \mu$ 」、本体N M O S部の連続形成数「 $M u l t i = 6$ 」、マルチ素子回路の連続形成数「 $R O W = 1$ 」といったパラメータ名及びその数値が付加された表示形状とする表示形状ルール1がある。

【0 1 4 9】

更に、パラメータSDMの入力値が「0」で、パラメータDDMの入力値が「1」の場合は、マルチ素子回路の生成されたN M O Sの回路シンボルの形状は、例えば、図1 3 (b)に示すように、JISに準拠したN M O Sの回路シンボルに、チャンネルサイズ「 $W / L = 10 \mu / 1 \mu$ 」、本体N M O S部の連続形成数「 $M u l t i = 6$ 」、マルチ素子回路の連続形成数「 $R O W = 1$ 」、及びドレイン端部のダミーN M O Sの形成数「 $D D M = 2$ 」といったパラメータ名及びその数値が付加されると共に、N M O Sの回路シンボルのドレイン端子の左横に■が付加された表示形状とする表示形状ルール2がある。つまり、パラメータDDMのみに1以上の値が設定されている場合の表示形状を決定するルールとなる。

【0 1 5 0】

更に、パラメータSDMの入力値が「1」で、パラメータDDMの入力値が「0」の場合は、マルチ素子回路の生成されたN M O Sの回路シンボルの形状は、例えば、図1 3 (c)に示すように、JISに準拠したN M O Sの回路シンボルに、チャンネルサイズ「 $W / L = 10 \mu / 1 \mu$ 」、本体N M O S部の連続形成数「 $M u l t i = 6$ 」、マルチ素子回路の連続形成数「 $R O W = 1$ 」、及びソース端部のダミーN M O Sの形成数「 $S D M = 2$ 」といったパラメータ名及びその数値が付加されると共に、N M O Sの回路シンボルのソース端子の左横に■が付加された表示形状とする表示形状ルール3がある。つまり、パラメータSDMのみに1以上の値が設定されている場合の表示形状を決定するルールとなる。

【0 1 5 1】

更に、パラメータSDM及びパラメータDDMの入力値が共に「2」でパラメータROWの入力値が「2」の場合は、マルチ素子回路の生成されたN M O Sの回路シンボルの形状は、例えば、図1 3 (d)に示すように、JISに準拠したN M O Sの回路シンボルに、チャンネルサイズ「 $W / L = 10 \mu / 1 \mu$ 」、本体N M O S部の連続形成数「 $M u l t i = 6$ 」、マルチ素子回路の連続形成数「 $R O W = 2$ 」、ドレイン端部のダミーN M O Sの形成数「 $D D M = 2$ 」、及びソース端部のダミーN M O Sの形成数「 $S D M = 2$ 」といったパラメータ名及びその数値が付加されると共に、N M O Sの回路シンボルのドレイン端子及びソース端子の左横にそれぞれ■が付加された表示形状とする表示形状ルール4がある。つまり、パラメータDDM及びSDMの双方に1以上の値が設定されている場合の表示形状を決定するルールとなる。

【0 1 5 2】

これらの表示形状ルール1～4はP M O Sについても同様に適用される。但し、上記のJISに準拠したN M O Sの回路シンボルがP M O Sの回路シンボルとなる。

設定内容Aの場合は、パラメータSDM及びDDMの設定値が共に「1」となっているので、表示形状ルール4に従って、図1 3 (d)に示す表示形状に決定される。

一方、設定内容Bの場合は、パラメータSDMの設定値が「2」に、パラメータDDMの設定値が「0」となっているので、図1 3 (c)に示す表示形状に決定される。

【0 1 5 3】

また、設定内容Cの場合は、パラメータSDMの設定値が「0」に、パラメータDDMの設定値が「2」となっているので、図1 3 (b)に示す表示形状に決定される。

なお、本実施の形態においては、マルチ素子回路のパターンレイアウト図についても表示形状に関する表示形状ルールがあり、図3に示すように、ダミーN M O Sのゲートの形

10

20

30

40

50

状を本体 N M O S 部のゲートの形状と異なる形状にするルールがある。図 3 の例は、表示形状ルール 4 に対応した形状となる。このことは、P M O S についても同様である。

【 0 1 5 4 】

また、図 1 3 (a) ~ (d) の表示形状の例においては、パラメータ名及びその数値を表示する例を示したが、上記表示形状ルール 1 ~ 4 に基づき、パラメータ名及びその数値の表示 / 非表示を切り替えられるようにしてもよい。

回路表示情報生成部 1 6 は、表示形状が決定すると、次に、N M O S の回路シンボルに対する表示色に関するルール、又はマルチ素子回路のパターンレイアウト図の表示色に関するルールがあるか否かを判定する (ステップ S 5 0 4) 。

【 0 1 5 5 】

ここでは、回路シンボル及びパターンレイアウト図の双方に表示色に関するルールがあることとし (ステップ S 5 0 4 の「 Y e s 」の分岐) 、この表示色のルールとパラメータの設定内容とに基づき、パラメータの設定された N M O S の回路シンボル及びパターンレイアウト図の表示色を決定する (ステップ S 5 0 6) 。

具体的に、表示色に関するルールとして、パラメータの設定された N M O S の回路シンボルを黄色表示し、パラメータの設定されていない回路シンボルを緑色表示する表示色ルール 1 と、マルチ素子回路のパターンレイアウト図における、本体 N M O S 部のゲートを黄色表示し、ダミー N M O S 部のゲートを紫色表示する表示色ルール 2 とが設定されているとする。

【 0 1 5 6 】

ここでは、パラメータが設定されマルチ素子回路が生成されているので、表示色ルール 1 に従って回路シンボルを黄色表示し、表示色ルール 2 に従ってマルチ素子回路のパターンレイアウト図における、本体 N M O S 部のゲートを黄色表示し、ダミー N M O S 部のゲートを紫色表示することが決定される。

このようにして、表示方法が決定されると、次に、選択した回路シンボルに対するマルチ素子回路の回路シンボルを、決定された表示方法で表示する表示情報を生成し、この表示情報を表示要求と共に回路図表示制御部 1 8 に出力する (ステップ S 1 1 8) 。

【 0 1 5 7 】

回路図表示制御部 1 8 は、回路表示情報生成部 1 6 から入力された表示情報に基づき、選択された回路シンボルに対するマルチ素子回路を示す回路シンボルを、設定内容 A ~ C に応じて、図 1 3 (b) ~ (d) のいずれかに示す形状で且つ黄色で表示する。

更に、この黄色表示された回路シンボルに対するマルチ素子回路のパターンレイアウト図の表示指示があった場合は、回路表示情報生成部 1 6 は、該回路シンボルに設定されたパラメータと上記表示形状ルール及び表示色ルール 2 とに基づき、パターンレイアウト図の表示方法を決定すると共に、該決定された表示方法と接続関係情報とに基づきパターンレイアウト図の表示情報を生成する。そして、該表示情報を表示要求と共に回路図表示制御部 1 8 に出力する。

【 0 1 5 8 】

これにより、N M O S のマルチ素子回路のパターンレイアウト図が表示装置の表示画面に表示される。

具体的に、設定内容 A に対するパターンレイアウト図は、図 1 4 (a) に示すように、本体 N M O S 部が、3 つの N M O S が行方向に連続形成され、その両端部の一方がソース領域に他方がドレイン領域となっている。そして、両端部には、本体 N M O S 部とはゲートの表示形状が異なるダミー N M O S がそれぞれ 1 つずつ付加形成されたものとなる。

【 0 1 5 9 】

また、設定内容 B 及び D に対するパターンレイアウト図は、図 1 4 (b) に示すように、本体 N M O S 部が、4 つの N M O S が行方向に連続形成され、その両端部がソース領域となっている。そして、両端部には、本体 N M O S 部とはゲートの表示形状が異なるダミー N M O S がそれぞれ 1 つずつ付加形成されている。

また、設定内容 C に対するパターンレイアウト図は、図 1 4 (c) に示すように、本体

10

20

30

40

50

NMOS部が、4つのNMOSが行方向に連続形成され、その両端部がドレイン領域となっている。そして、両端部には、本体NMOS部とはゲートの表示形状が異なるダミーNMOSがそれぞれ1つずつ付加形成されている。

なお、本実施の形態では、本体NMOS部は緑色に、ダミーNMOS部は紫色で表示される。

【0160】

次に、入力装置74を介した操作入力に基づき、表示された回路図を構成する回路シンボルの中から、PMOSの回路シンボルが選択された場合について動作を説明する。

ここで、PMOSの回路シンボルは、図15(a)に示すように、PMOS本体部1000と、第1～第5パラメータ表示領域1004～1008とを含んで構成されている。

10

【0161】

NMOS本体部1000は、ゲート端子1001と、ドレイン端子1002と、ソース端子1003とを含んで構成されている。

第1のパラメータ表示領域1004は、PMOS本体部のドレインに付加するダミーPMOSの数を示すパラメータ情報「SDM=<SDM>」を表示する領域であり、第4パラメータ表示領域1007は、PMOS本体部のソースに付加するダミーPMOSの数を示すパラメータ情報「DDM=<DDM>」を表示する領域である。ここで、<SDM>、<DDM>には入力装置74を介して入力された数値が設定される。

【0162】

第2のパラメータ表示領域1005は、PMOSのチャンネルサイズ(チャンネル幅W/チャンネル長L)を示すパラメータ情報「W/L=<W>/<L>」を表示する領域であり、第3パラメータ表示領域1006は、PMOS本体部の連続形成数を示すパラメータ「Multi=<Multi>」情報を表示する領域である。また、第5のパラメータ表示領域1008は、マルチ素子回路の列方向の連続形成数を示すパラメータ情報「ROW=<ROW>」を表示する領域である。ここで、<W>、<L>、<Multi>、<ROW>には入力装置74を介して入力された数値が設定される。

20

【0163】

ここでは、図16(a)に示すように、PMOSのパラメータ入力画面における入力ボックス0831にチャンネル幅「10 μ 」を、同0832にチャンネル長「1 μ 」を、同0833に連続形成数「6」を、同0834にドレイン端部側のダミーNMOSの形成数「3」を、同0835にソース端部側のダミーNMOSの形成数「2」を、同0836にマルチ素子回路の連続形成数「2」をそれぞれ入力したとする。以下、これを設定内容Eとする。

30

【0164】

パラメータ入力処理が完了し(ステップS108の「Yes」の分岐)、パラメータ判定処理が開始されると(ステップS110)、まず、パラメータROWの設定値は「2」となっているので(ステップS200の「Yes」の分岐)、パラメータMultiの設定値「6」を「2」で除算する(ステップS202)。「6」は「2」で割り切れるので(ステップS204の「Yes」の分岐)、次に、パラメータColumn(以下、パラメータColと称す)に、除算結果「6/2=3」を設定する(ステップS206)。パラメータColが設定されると、次に、パラメータColの設定値が奇数か否かを判定する(ステップS208)。パラメータColの設定値は「3」であり奇数となるので(ステップS208の「Yes」の分岐)、次に、パラメータDDM及びSDMにパラメータROWの設定値とは異なる数値が設定されているか否かを判定する(ステップS210)。パラメータDDMの設定値は「3」、パラメータSDMの設定値は「2」、パラメータROWの設定値は「2」となっているので、パラメータDDMの設定値がROWの設定値と異なることとなる(ステップS210の「Yes」の判定)。これにより、第4の設定内容による誤りであると判定される(ステップS212)。

40

【0165】

一方、入力ボックス0831にチャンネル幅「10 μ 」を、同0832にチャンネル長

50

「1 μ」を、同0833に連続形成数「7」を、同0834にドレイン端部側のダミーNMOSの形成数「3」を、同0835にソース端部側のダミーNMOSの形成数「2」を、同0836にマルチ素子回路の連続形成数「2」をそれぞれ入力したとする。以下、これを設定内容Fとする。

【0166】

この場合は、パラメータROWの設定値は「2」となっているので（ステップS200の「Yes」の分岐）、パラメータMultiの設定値「7」を「2」で除算する（ステップS202）。「7」は「2」で割り切れないので（ステップS204の「No」の分岐）、パラメータMultiの設定値「7」を割り切れる値に修正する（ステップS220）。具体的に、除算結果である「3.5」の小数部分を切り捨てた「3」を設定する（ステップS220）。このときにエラーメッセージを出力しても良い。修正後の処理は設定内容Dと同様となり、第4の設定内容による誤りであると判定される（ステップS212）。

10

【0167】

また、入力ボックス0831にチャンネル幅「10 μ」を、同0832にチャンネル長「1 μ」を、同0833に連続形成数「6」を、同0834にドレイン端部側のダミーNMOSの形成数「3」を、同0835にソース端部側のダミーNMOSの形成数「2」を、同0836にマルチ素子回路の連続形成数「3」をそれぞれ入力したとする。以下、これを設定内容Gとする。

【0168】

この場合は、パラメータROWの設定値は「3」となっているので（ステップS200の「Yes」の分岐）、パラメータMultiの設定値「6」を「3」で除算する（ステップS202）。「6」は「3」で割り切れるので（ステップS204の「Yes」の分岐）、次に、パラメータColumn（以下、パラメータColと称す）に、除算結果「6 / 3 = 2」を設定する（ステップS206）。パラメータColが設定されると、次に、パラメータColの設定値が奇数か否かを判定する（ステップS208）。パラメータColの設定値は「2」であり偶数となるので（ステップS208の「No」の分岐）、次に、パラメータDDM及びSDMにパラメータROWの設定値をM倍した数値とは異なる数値が設定されているか否かを判定する（ステップS216）。パラメータDDMの設定値は「3」、パラメータSDMの設定値は「2」、パラメータROWの設定値は「3」となっているので、パラメータDDM及びSDMの設定値が共にROWの設定値をM倍にした数値とは異なることとなる（ステップS216の「Yes」の判定）。これにより、第5の設定内容による誤りであると判定される（ステップS218）。

20

30

【0169】

このように、設定内容による誤りがあると判定されると、パラメータ修正部24において、パラメータの設定内容に誤りがあると判定され（ステップS112の「No」の分岐）、パラメータ修正処理が実行される（ステップS122）。

パラメータ修正処理が開始されると、パラメータ修正部24は、まず、第1～第5の設定内容のうち、どの設定内容による誤りかを判定する。設定内容E及びFは、第4の設定内容による誤りであるので（ステップS316の「Yes」の分岐）、パラメータDDMの設定値「3」をパラメータROWの設定値「2」に修正し、パラメータSDMの設定値「2」はそのままとする（ステップS318）。

40

【0170】

以上の修正処理によって、設定内容E及びFである、パラメータMulti、DDM、SDM、ROWの設定値「6」、「3」、「2」、「2」が、「6」、「2」、「2」、「2」へと正しい設定内容に自動的に修正される。

また、設定内容Gは、第5の設定内容による誤りであり（ステップS316の「No」の分岐）、パラメータColが「2」となっているので、次に、本体PMOS部の両端がソース領域か否かを判定する（ステップS320）。NMOSと同様に、中心がソース領域であれば両端がソース領域とし、中心がドレイン領域であれば両端もドレイン領域であるとして、中心の領域の種類に基づきソース領域であるか否かを判定する。

50

【 0 1 7 1 】

両端がソース領域である場合は（ステップ S 3 2 0 の「 Y e s 」の分岐）、パラメータ DDM の現在の設定値「 3 」を「 0 」に修正し、パラメータ SDM の現在の設定値「 2 」を、パラメータ ROW の設定値「 3 」を 2 倍にした値「 $2 \times 3 = 6$ 」に修正する（ステップ S 3 2 2 ）。

一方、両端がドレイン領域である場合は（ステップ S 3 2 0 の「 N o 」の分岐）、パラメータ DDM の現在の設定値「 3 」を、パラメータ ROW の設定値「 3 」を 2 倍にした「 6 」に修正し、パラメータ SDM の現在の設定値「 2 」を「 0 」に修正する（ステップ S 3 2 4 ）。

【 0 1 7 2 】

以上の修正処理によって、設定内容 G である、パラメータ Multi、DDM、SDM、ROW の設定値「 6 」、「 3 」、「 2 」、「 3 」が、「 6 」、「 0 」、「 6 」、「 3 」へと正しい設定内容に自動的に修正される。

このようにして、パラメータの設定内容が正しい内容に設定されると、次に、接続関係情報生成部 2 6 において、設定されたパラメータに基づき、選択された N M O S の回路シンボルに対するマルチ素子回路の接続関係情報の生成処理が実行される（ステップ S 1 1 4 ）。

【 0 1 7 3 】

接続関係情報生成処理が実行されると、まず、パラメータ ROW の入力ボックス 0 8 3 6 の入力値が「 2 」以上か否かを判定する（ステップ S 4 0 0 ）。設定内容 E 及び F においては、入力ボックス 0 8 3 6 の入力値は「 2 」となっているので（ステップ S 4 0 0 の「 Y e s 」の分岐）、次に、パラメータ Multi、DDM、SDM の設定値「 6 」、「 2 」、「 2 」をパラメータ ROW の設定値「 2 」で除算する（ステップ S 4 0 2 ）。これにより、以降の生成処理で用いられる、パラメータ Multi、DDM、SDM の設定値が、「 3 」、「 1 」、「 1 」となる。

【 0 1 7 4 】

次に、入力ボックス 0 8 3 4 の入力値が「 0 」で、且つパラメータ SDM の入力ボックス 0 8 3 5 の入力値が「 0 」か否かを判定する（ステップ S 4 0 4 ）。パラメータ DDM 及び SDM の値は共に「 1 」となっているので（ステップ S 4 0 4 の「 N o 」の分岐）、次に、選択した M O S トランジスタの回路シンボルが P M O S か否かを判定する（ステップ S 4 1 4 ）。ここでは、選択した回路シンボルは P M O S の回路シンボルであるので（ステップ S 4 1 4 の「 Y e s 」の分岐）、接続関係情報生成部 2 6 は、ダミー P M O S 無しのマルチ素子回路の接続関係情報を生成し、該生成した接続関係情報を R A M 6 2 に記憶する（ステップ S 4 1 6 ）。更に、パラメータ DDM の設定値が「 1 」であるので（ステップ S 4 1 8 の「 Y e s 」の分岐）、R A M 6 2 に記憶された接続関係情報に、本体 P M O S 部のドレイン端部にダミー P M O S を 1 つ接続する情報を追加する（ステップ S 4 2 0 ）。次に、パラメータ SDM の設定値は「 1 」であるので（ステップ S 4 2 2 の「 Y e s 」の分岐）、R A M 6 2 に記憶された接続関係情報に、本体 P M O S 部のソース端部にダミー P M O S を 1 つ接続する情報を追加する（ステップ S 4 2 4 ）。更に、R A M 6 2 に記憶された接続関係情報に、本体 P M O S 部のドレイン端部及びソース端部に接続したダミー P M O S のゲート端子を電源端子（ V D D ）に接続する情報を追加する（ステップ S 4 2 6 ）。更にまた、R A M 6 2 に記憶された接続関係情報に、ダミー P M O S におけるドレイン端部又はソース端部に接続されていない側のソース端子又はドレイン端子をフローティングにする情報を追加する（ステップ S 4 2 8 ）。また、パラメータ ROW の設定値は「 2 」であるので（ステップ S 4 0 8 の「 Y e s 」の分岐）、現在の接続関係情報をマルチ素子回路の連続形成数を 2 とした情報に補正する（ステップ S 4 1 0 ）。そして、補正後の接続関係情報を、回路表示情報生成部 1 6 に出力すると共に、回路図情報記憶部 2 8 に、元の接続関係情報に追加する形で保存する（ステップ S 4 1 2 ）。

【 0 1 7 5 】

また、設定内容 G の場合は、入力ボックス 0 8 3 6 の入力値は「 3 」となっているので

10

20

30

40

50

(ステップS400の「Yes」の分岐)、次に、パラメータMulti、DDM、SDMの設定値「6」、「0」、「6」をパラメータROWの設定値「3」で除算する(ステップS402)。これにより、以降の生成処理で用いられる、パラメータMulti、DDM、SDMの設定値が、「2」、「0」、「2」となる。

【0176】

次に、入力ボックス0834の入力値が「0」で、且つパラメータSDMの入力ボックス0835の入力値が「0」か否かを判定する(ステップS404)。パラメータDDM及びSDMの値は共に「2」となっているので(ステップS404の「No」の分岐)、次に、選択したMOSトランジスタの回路シンボルがPMOSか否かを判定する(ステップS414)。ここでは、選択した回路シンボルはPMOSの回路シンボルであるので(ステップS414の「Yes」の分岐)、接続関係情報生成部26は、ダミーPMOS無しのマルチ素子回路の接続関係情報を生成し、該生成した接続関係情報をRAM62に記憶する(ステップS416)。更に、パラメータDDMの設定値が「0」であり(ステップS418の「No」の分岐)、パラメータSDMの設定値は「2」であるので(ステップS422の「Yes」の分岐)、RAM62に記憶された接続関係情報に、本体PMOS部の両端のソース端部にダミーPMOSを1つずつ接続する情報を追加する(ステップS424)。更に、RAM62に記憶された接続関係情報に、本体PMOS部のソース端部に接続したダミーPMOSのゲート端子を電源端子(VDD)に接続する情報を追加する(ステップS426)。更にまた、RAM62に記憶された接続関係情報に、ダミーPMOSにおけるソース端部に接続されていない側の端子をフローティングにする情報を追加する(ステップS428)。また、パラメータROWの設定値は「3」であるので(ステップS408の「Yes」の分岐)、現在の接続関係情報をマルチ素子回路の連続形成数を3とした情報に補正する(ステップS410)。そして、補正後の接続関係情報を、回路表示情報生成部16に出力すると共に、回路図情報記憶部28に、元の接続関係情報に追加する形で保存する(ステップS412)。

【0177】

このようにして生成された接続関係情報を、回路シンボルによってイメージ化すると、図15(b)に示すような回路図が構成される。図15(b)に示すように、PMOSのマルチ素子回路は、本体PMOSの回路シンボル1030と、そのドレイン端子1033に接続されたダミーPMOSの回路シンボル1021と、そのソース端子1032に接続されたダミーPMOSの回路シンボル1011と、電源端子(VDD)の回路シンボル1040とを含んで構成される回路図となる。より具体的に、本体PMOSのドレイン端子1033にダミーPMOS1021のソース端子1022が接続され、本体PMOSのソース端子1032にダミーPMOSの回路シンボル1011のドレイン端子1013が接続され、ダミーPMOSの回路シンボル1011の本体PMOSに接続されていない側のソース端子1012と、ダミーPMOSの回路シンボル1021の本体PMOSに接続されていない側のドレイン端子1023とはフローティング状態となり、ダミーPMOSの回路シンボル1011及び1021のゲート端子は電源端子の回路シンボル1040にそれぞれ接続されている。

【0178】

また、本体PMOSの回路シンボル1032の回路部分の右横の1035はチャンネルサイズ(W/L)の情報であり、1036は本体PMOS部の連続形成数(Multi)の情報であり、1037はマルチ素子回路の連続形成数(ROW)の情報である。

同様に、ダミーPMOSの回路シンボル1011、1021の回路部分の右横の1015、1025は、チャンネルサイズ(W/L)の情報であり、1014、1027は、本体PMOS部の連続形成数(Multi)の情報であり、1016、1028は、マルチ素子回路の連続形成数(ROW)の情報である。

【0179】

以降の、表示方法の決定処理、及び決定された表示方法に基づく表示処理は、上記NMOの回路シンボルの処理と同様となるので、説明を省略する。

設定内容 E 及び F の接続関係情報に基づき、パターンレイアウト図を表示すると、図 16 (b) に示すように、本体 N M O S 部が、4 つの N M O S が行方向に連続形成され、その両端部がソース領域となっている。そして、両端部には、本体 N M O S 部とはゲートの表示形状が異なるダミー N M O S がそれぞれ 1 つずつ付加形成されている。このような構成のマルチ素子回路がゲート領域を共有して列方向に 2 つ連続して形成されたものとなる。

【 0 1 8 0 】

次に、回路図設計装置 1 0 0 における、パターンレイアウト図の編集処理について、具体的な動作を説明する。

ここでは、利用者からの入力装置 7 4 を介した表示指示に応じて (ステップ S 6 0 0 の「 Y e s 」の分岐)、M O S トランジスタのマルチ素子回路を含むマスクパターンによって構成されるパターンレイアウト図が表示され、編集モード 2 に移行したとする (ステップ S 6 0 2)。

【 0 1 8 1 】

いま、利用者から入力装置 7 4 を介した編集指示によって (ステップ S 6 0 4 の「 Y e s 」の分岐)、M O S トランジスタのマルチ素子回路に対して、変更、削除、合成などの編集が行われたとする (ステップ S 6 0 6)。

この編集処理によって、マルチ素子回路が編集されたことになるので (ステップ S 6 0 8 の「 Y e s 」の分岐)、パラメータ修正部 2 4 において、この編集結果に基づき、パラメータ修正処理が実行される。

【 0 1 8 2 】

パラメータ Multi、SDM、DDM、ROW の設定値が、それぞれ「 6 」、「 2 」、「 0 」、「 1 」のマルチ素子回路に対して、マルチ素子回路の列方向の連続形成数を示す ROW の設定値が「 1 」から「 2 」に変更されたとする (ステップ S 7 0 0 の「 Y e s 」の分岐)。

この場合は、まず、パラメータ Col の設定値が奇数か否かを判定する (ステップ S 7 0 6)。パラメータ Col の設定値は「 Muti / ROW = 6 / 2 = 3 」であるので (ステップ S 7 0 6 の「 Y e s 」の分岐)、ここでは、各マルチ素子回路のダミー M O S の数をソース端部及びダミー端部にそれぞれ 1 つずつとすることとして、パラメータ SDM の現在の設定値「 2 」をそのままに、パラメータ DDM の現在の設定値「 0 」をパラメータ ROW の設定値である「 2 」に修正する。つまり、ROW の設定値を 1 倍 (N = 1) にした値を設定する。これにより、編集後のマルチ素子回路のパラメータ設定値が、パラメータ Multi、SDM、DDM、ROW が、それぞれ「 6 」、「 2 」、「 0 」、「 1 」であったものが、「 6 」、「 2 」、「 2 」、「 2 」へと編集内容に応じた適切な設定値に自動的に修正される。

【 0 1 8 3 】

一方、パラメータ Multi、SDM、DDM、ROW の設定値が、それぞれ「 4 」、「 1 」、「 1 」、「 1 」のマルチ素子回路に対して、マルチ素子回路の列方向の連続形成数を示す ROW の設定値が「 1 」から「 2 」に変更されたとする (ステップ S 7 0 0 の「 Y e s 」の分岐)。

この場合は、まず、パラメータ Col の設定値が奇数か否かを判定する (ステップ S 7 0 6)。パラメータ Col の設定値は「 4 / 2 = 2 」であるので (ステップ S 7 0 6 の「 N o 」の分岐)、次に、本体 M O S 部の両端がソース領域か否かを判定する (ステップ S 7 1 0)。両端がソース領域の場合は (ステップ S 7 1 0 の「 Y e s 」の分岐)、次に、パラメータ DDM の設定値が「 0 」か否かを判定する (ステップ S 7 1 2)。パラメータ DDM の設定値は「 1 」であるので (ステップ S 7 1 2 の「 N o 」の分岐)、パラメータ SDM の現在の設定値「 1 」をパラメータ ROW の設定値を 2 倍 (ここでは M = 2 に設定) にした数値である「 4 」に修正すると共に、パラメータ DDM の現在の設定値「 1 」を「 0 」に修正する (ステップ S 7 1 6)。

【 0 1 8 4 】

また、両端がドレイン領域の場合は (ステップ S 7 1 0 の「 N o 」の分岐)、次に、パラメータ SDM の設定値が「 0 」か否かを判定する (ステップ S 7 2 0)。パラメータ SDM の

設定値は「1」であるので（ステップS720の「No」の分岐）、パラメータSDMの現在の設定値「1」を「0」に修正すると共に、パラメータDDMの現在の設定値「1」をパラメータROWの設定値を2倍にした数値である「4」に修正する（ステップS724）。

【0185】

これにより、編集後のマルチ素子回路のパラメータ設定値が、パラメータMulti、SDM、DDM、ROWが、それぞれ「4」、「1」、「1」、「1」であったものが、「4」、「2」、「0」、「2」又は「4」、「0」、「2」、「2」へと編集内容に応じた適切な設定値に自動的に修正される。

また、パラメータMulti、SDM、DDM、ROWの設定値が、それぞれ「4」、「4」、「0」、「2」の、第1のマルチ素子回路（以下、パラメータROWの設定値が「2」以上のマルチ素子回路を、マルチ素子回路列と称す）と第2のマルチ素子回路列とを、図17に示すように、それぞれの一端のソース領域を共有して合成した場合の動作を説明する。

【0186】

この場合は、パラメータ修正部24において、共有合成処理が行われたと判定され（ステップS726の「Yes」の分岐）、この場合は、共有部分のダミーMOSが不要となるので、第1のマルチ素子回路列のパラメータSDMの現在の設定値「4」を「2」に修正すると共に、第2のマルチ素子回路列のパラメータSDMの現在の設定値「4」を「2」に修正する。

【0187】

具体的に、第1及び第2のマルチ素子回路列は、パラメータColの設定値がいずれも「 $4/2=2$ 」で偶数となり、本体MOS部の両端がソース領域になることから、パラメータSDMが「4」となる。共有合成処理は、これらのそれぞれ一端側を共有して合成することになるので、共有部分の内側の2つのダミーMOSがそれぞれ不要となる。

これにより、共有合成処理後において、第1及び第2のマルチ素子回路列のパラメータ設定値が、パラメータMulti、SDM、DDM、ROWが、それぞれ「4」、「4」、「0」、「2」であったものが、「4」、「2」、「0」、「2」へと編集内容に応じた適切な設定値に自動的に修正される。

【0188】

また、パラメータMulti、SDM、DDM、ROWの設定値が、それぞれ「8」、「4」、「0」、「2」の、第1のマルチ素子回路列と第2のマルチ素子回路列とを、図18に示すように、コモンセントロイド（Common Centroid）型の配置で合体して合成した場合の動作を説明する。

図18の例では、コモンセントロイド型の配置で合体したイメージを判り易くするため、第2のマルチ素子回路列のゲート幅を、第1のマルチ素子回路列のゲート幅よりも広くしてある。共有合成処理のケースと同様、パラメータColの設定値が「 $8/2=4$ 」と偶数となるので、第1及び第2のマルチ素子回路列は、共にパラメータSDMの設定値が「4」でパラメータDDMの設定値が「0」となる。

【0189】

ここで、合体方法を1221と定義する。この1221の定義は、第1のマルチ素子回路列の本体MOS部を、列方向に連続形成される2つのMOSトランジスタの組を単位に4つに分割してなる4つの分割MOS1と、同様に、第2のマルチ素子回路列の本体MOS部を、列方向に連続形成される2つのMOSトランジスタの組を単位に4つに分割してなる4つの分割MOS2とを、12211221のように合体することを意味する。1221と定義したので、第1のマルチ素子回路列は外側、第2のマルチ素子回路列は内側に配置されることになる。

【0190】

この場合は、パラメータ修正部24において、合体合成処理が行われたと判定され（ステップS730の「Yes」の分岐）、合体方法に基づき、第1及び第2のマルチ素子回路におけるパラメータSDM及びDDMの設定値の再計算が行われる（ステップS732）。

ここでは、合体方法が1221と定義されているので、内側に配置される第2のマルチ

10

20

30

40

50

素子回路列のダミーMOSが不要となる。また、第1及び第2のマルチ素子回路列の本体MOS部の両端は、ソース領域となっているので、第2のマルチ素子回路列におけるパラメータSDMの設定値が再計算され、「0」が算出される。これにより、第2のマルチ素子回路列のパラメータSDMの設定値「4」が「0」へと修正される（ステップS734）。

【0191】

これにより、合体合成処理後において、第2のマルチ素子回路列のパラメータ設定値が、パラメータMulti、SDM、DDM、ROWが、それぞれ「8」、「4」、「0」、「2」であったものが、「8」、「0」、「0」、「2」へと編集内容に応じた適切な設定値に自動的に修正される。

以上、本実施の形態の回路図設計装置100は、マルチ素子回路を構成可能な回路素子に対して、回路素子の連続形成数やダミー素子の形成数などを含むパラメータを設定することで、その設定されたパラメータ値とそれに対応付けて予め設定されたルールとに基づき、付加的な回路素子（ダミー素子、電源端子、接地端子など）および配線パターンを含むマルチ素子回路の接続関係情報（ネットリスト）を生成することができる。

【0192】

つまり、回路素子の回路シンボルに対してパラメータを設定することによって、該回路素子によって構成されるマルチ素子回路の回路構成を変更することができる。このため、例えば寄生素子の付加を考慮する場合や、あるいは応力による電気特性劣化対策のためのダミー素子の付加を考慮する場合に、付加する回路素子の回路記号を1つ1つ選択してレイアウトするといった労力を低減することができる。

【0193】

更に、パラメータ設定可能な回路シンボルに対してパラメータが設定されるか、又は設定されているパラメータの一部が変更されたときに、その設定内容が正しいか誤りかを判定し、更に、誤りであると判定したときに、パラメータの設定内容を正しい設定内容に自動的に修正することができる。

例えば、MOSトランジスタの回路シンボルに対してパラメータが設定されたとき、または設定されたパラメータの一部が変更されたときに、例えば、パラメータSDM及びDDMなどの設定内容が正しいか誤りかを判定し、誤りであったときに、正しい設定内容に自動的に修正することができる。これによって、誤りがあった場合の手入力による変更を不要にできると共に、検証（LVS）を確実に行うことができる。

【0194】

更に、1つの回路シンボルに対してパラメータを設定することで複数の回路構成の接続関係情報を生成できるため、回路シンボルのライブラリ（回路記号情報記憶部10）に登録する回路シンボルの種類を削減することができる。これにより、ライブラリに必要な記憶容量を低減できると共に、ライブラリから所望の回路シンボルを選択する労力を低減できる。

【0195】

更に、表示方法のルールに従って、パラメータの設定された回路シンボルの表示形状及び表示色を、パラメータの設定されていない回路シンボルの表示形状及び表示色と異なる表示形状及び表示色で表示することができる。

これにより、似たような構成のマルチ素子回路を1種類の回路シンボルで表すことができるため、レイアウトした回路シンボルを探す手間を軽減できる。

【0196】

更に、回路シンボルのパラメータの変更に伴いシンボル回路図上で表示される回路シンボルの形状および色が変わるため、その回路シンボルの表す回路構成を視覚的に確認でき、回路設計におけるミスを低減することができる。

更に、パラメータの設定内容次第で、回路素子に他の素子および配線を付加しないシンブルな接続関係情報を生成することもできるため、必要な場合にのみ、かつ、必要な回路素子にのみ、付加的な回路素子および配線を接続することができる。

【0197】

上記実施の形態において、回路記号選択部 12 は、発明 1、2、3、7 及び 8 のいずれか 1 に記載の回路記号選択手段に対応し、パラメータ設定部 20 は、発明 1、2、3、7 及び 8 のいずれか 1 に記載のパラメータ設定手段に対応し、パラメータ判定部 22 は、発明 1、2、3、7 及び 8 のいずれか 1 に記載のパラメータ判定手段に対応し、パラメータ修正部 24 は、発明 1、2、3、4、5、7 及び 8 のいずれか 1 に記載のパラメータ修正手段に対応し、接続関係情報生成部 26 は、発明 1、3、4、5、7 及び 8 のいずれか 1 に記載の接続関係情報生成手段に対応し、回路表示情報生成部 16 及び回路図表示制御部 18 は、発明 1、4、5、7 及び 8 のいずれか 1 に記載の回路図表示手段に対応し、回路パターン編集部 14 は、発明 4 乃至 6 のいずれか 1 に記載のレイアウト編集手段に対応する。

10

【0198】

なお、上記実施の形態においては、パラメータの設定可能な回路素子とし、MOSトランジスタを例に挙げて説明したが、これに限らず、本発明は、他の種類のトランジスタ（CMOSトランジスタなど）や、抵抗、コンデンサなどの、マルチ素子回路を構成可能な他の回路素子にも適用することができる。

また、上記実施の形態においては、パラメータの設定された（マルチ素子回路の生成された）回路シンボルを、表示形状及び表示色に関するルールに従って、パラメータの設定されていない回路シンボルとは異なる表示形状及び表示色で表示する構成としたが、これに限らず、表示形状及び表示色のいずれか一方のみをパラメータの設定されていない回路シンボルとは異なる表示形状及び表示色で表示する構成としてもよい。

20

【0199】

また、上記実施の形態では、説明の便宜上、マルチ素子回路の本体部の両端部に付加するダミー素子の数を片端毎に 1 つずつとしたが、これに限らず、ダミー素子についても本体部と同様に複数を連続形成したものを付加する構成としてもよい。

また、上記実施の形態においては、マルチ素子回路に対応する回路シンボルの表示形状を、図 13（a）～（d）に示す形状とし、マルチ素子回路のパターンレイアウト図におけるダミー MOS のゲートの表示形状を、図 3 に示す形状としたが、これらに限らず、他の形状で表現するようにしてもよい。

【0200】

また、上記実施の形態においては、マルチ素子回路の回路シンボルの表示色を黄色とし、マルチ素子回路のパターンレイアウト図のダミー素子の表示色を紫色としたが、これに限らず、通常の色と異なる色であれば、他の色で表示するようにしてもよい。

30

【図面の簡単な説明】

【0201】

【図 1】本発明に係る回路図設計装置 100 の機能構成を示すブロック図である。

【図 2】パラメータ設定可能な MOS の回路シンボルの一例と、パラメータ設定後の回路図の一例とを示す図である。

【図 3】MOS で構成されたマルチ素子回路のパターンレイアウト図の一例を示す図である。

【図 4】回路図設計装置 100 のコンピュータシステムのハードウェア構成を示すブロック図である。

40

【図 5】マルチ素子回路の生成処理を示すフローチャートである。

【図 6】パラメータ判定部 22 における MOS トランジスタの回路シンボルに対するパラメータ判定処理の一例を示すフローチャートである。

【図 7】パラメータ修正部 24 における、MOS トランジスタに対するパラメータ修正処理を示すフローチャートである。

【図 8】接続関係情報生成部 26 における、MOS トランジスタに対する接続関係情報生成処理の一例を示すフローチャートである。

【図 9】回路表示情報生成部 16 における表示方法決定処理を示すフローチャートである。

50

【図 1 0】回路図設計装置 1 0 0 におけるパターンレイアウト図の編集処理を示すフローチャートである。

【図 1 1】パラメータ修正部 2 4 の、パターンレイアウト図における M O S トランジスタのマルチ素子回路の編集処理に対するパラメータ修正処理の一例を示すフローチャートである。

【図 1 2】(a) は、N M O S の回路シンボルの一例を示す図であり、(b) は、(a) の回路シンボルに対するパラメータ入力画面の一例を示す図である。

【図 1 3】(a) ~ (d) は、パラメータの設定された N M O S の回路シンボルの表示形状の例を示す図である。

【図 1 4】(a) ~ (c) は、パラメータ Multi の値を「 4 」にしたときのマルチ素子回路のパターンレイアウト図の例を示す図である。

10

【図 1 5】(a) は、パラメータ設定可能な P M O S の回路シンボルの一例を示す図であり、(b) は、(a) の回路シンボルに対するマルチ素子回路の回路構成の一例を示す図である。

【図 1 6】(a) は、パラメータ入力画面の一例を示す図であり、(b) は、パラメータ ROW の値を「 2 」にしたときのマルチ素子回路のパターンレイアウト図の一例を示す図である。

【図 1 7】マルチ素子回路の共有合成の一例を示す図である。

【図 1 8】マルチ素子回路の合体合成の一例を示す図である。(a) ~ (d) は、パラメータを設定可能な回路シンボルの表示形状の例を示す図である。

20

【図 1 9】マルチ M O S 回路のゲートの形状が異なる例と、マルチ M O S 回路にダミー M O S を付加した例とを示す図である。

【符号の説明】

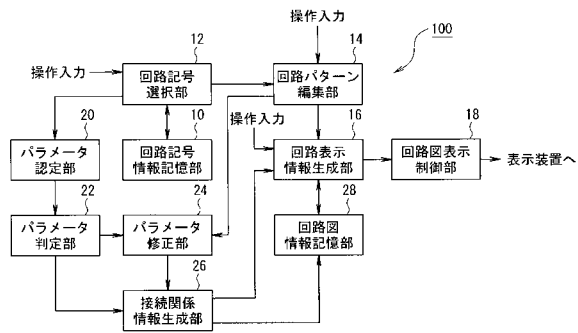
【 0 2 0 2 】

1 0 0	回路図設計装置
1 0	回路記号情報記憶部
1 2	回路記号選択部
1 4	回路パターン編集部
1 6	回路表示情報生成部
1 8	回路図表示制御部
2 0	パラメータ設定部
2 2	パラメータ判定部
2 4	パラメータ修正部
2 6	接続関係情報生成部
2 8	回路図情報記憶部
6 0	C P U
6 2	R A M
6 4	R O M
6 6	I / F
6 8	バス
7 0	記憶装置
7 2	表示装置
7 4	入力装置

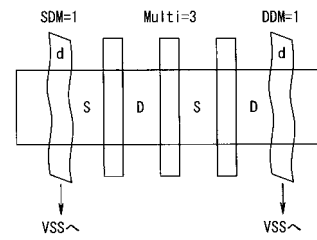
30

40

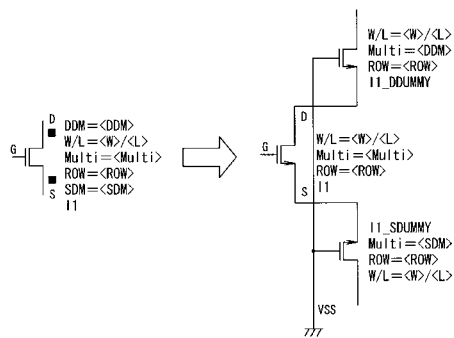
【図 1】



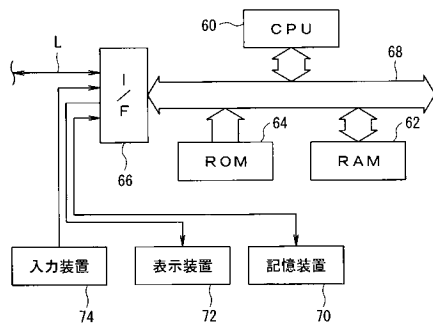
【図 3】



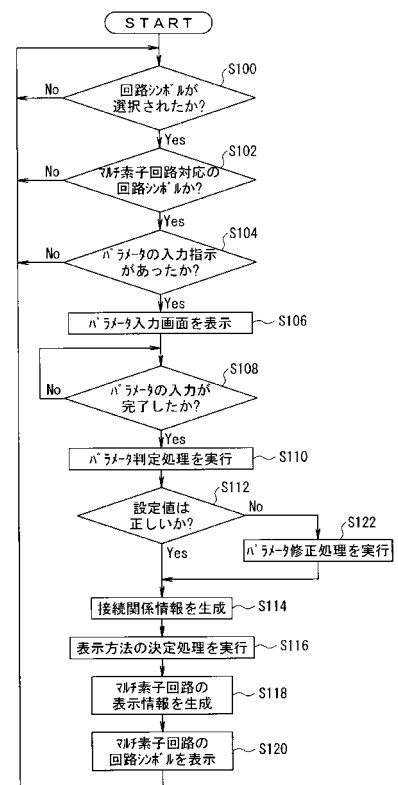
【図 2】



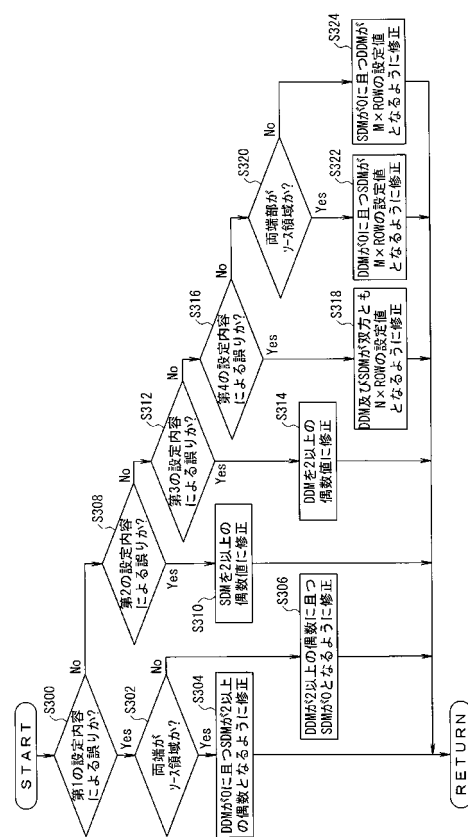
【図 4】



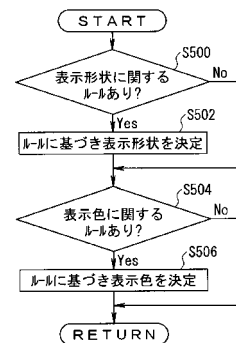
【図 5】



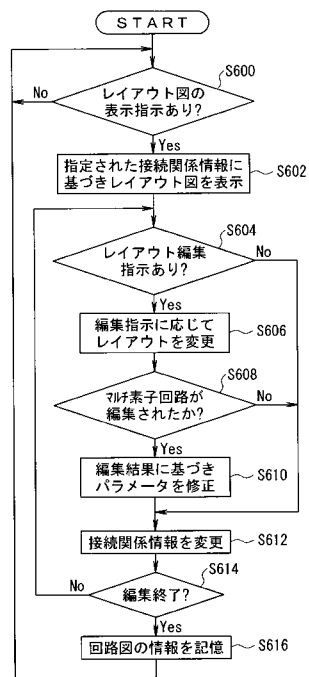
【 図 7 】



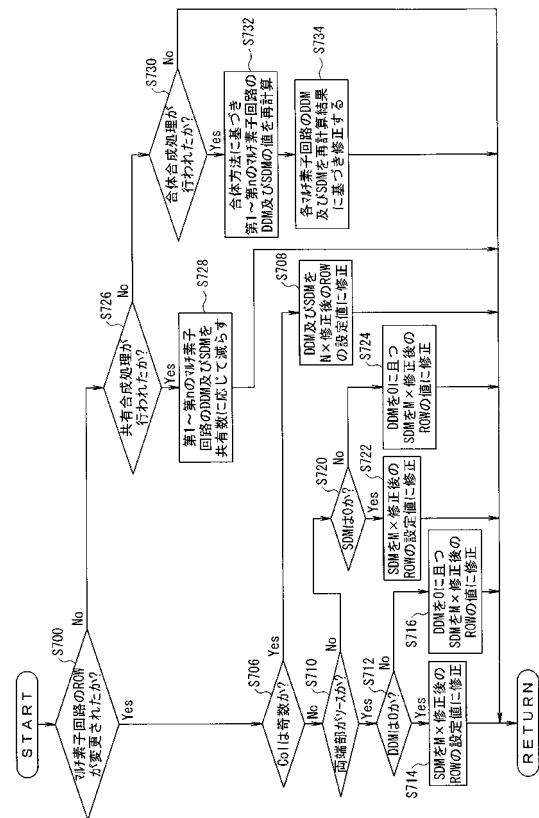
【 圖 9 】



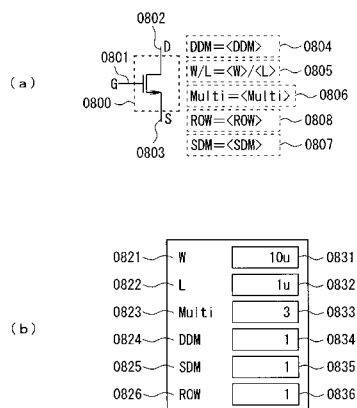
【図 10】



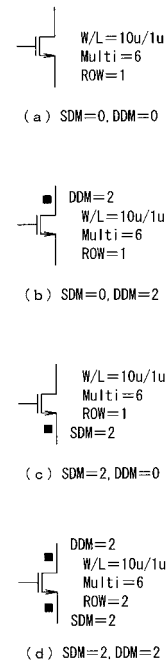
【図 11】



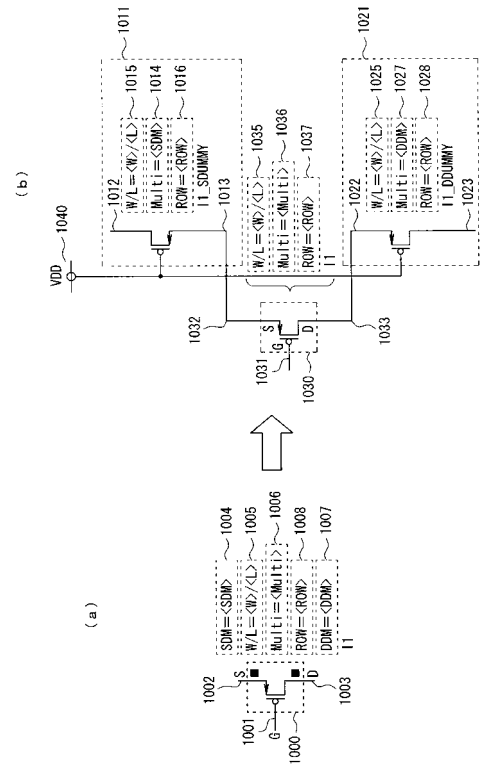
【図 12】



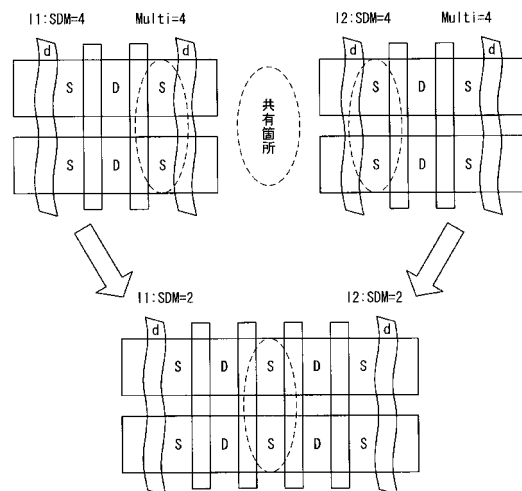
【図 13】



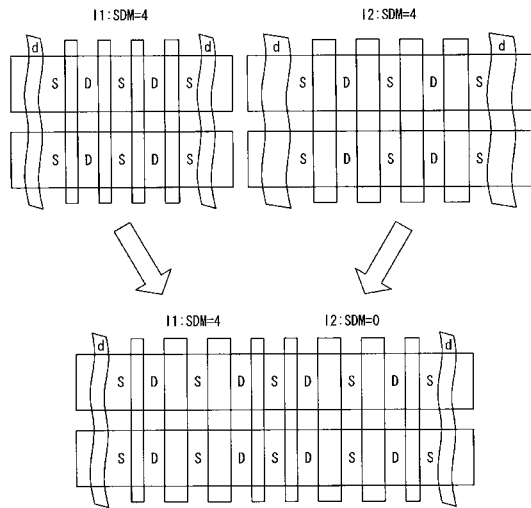
【 図 1 5 】



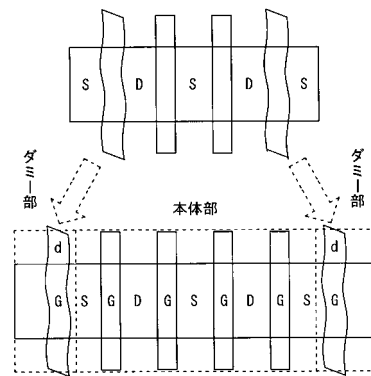
【 図 1 7 】



【図 18】



【図 19】



フロントページの続き

F ターム(参考) 5F064 AA04 BB35 CC12 CC21 CC22 CC23 DD02 DD03 DD05 DD09
DD13 DD25 DD31 HH01 HH06 HH10 HH12 HH13 HH14