

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96100222

※申請日期：96年01月03日

※IPC分類：G11C 8704 (2006.01)

一、發明名稱：

(中) 半導體裝置，和具有該半導體裝置的顯示裝置和電子裝置

(英) Semiconductor device, and display device and electronic device
having the same

二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓名：(中) 梅崎敦司

(英) UMEZAKI, ATSUSHI

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2006/01/07 ; 2006-001941 有主張優先權

五、中文發明摘要

發明之名稱：半導體裝置，和具有該半導體裝置的顯示裝置和電子裝置

本發明的目的在於提供一種半導體裝置，該半導體裝置可抑制各個電晶體中之特性的劣化，而不會使操作不穩定。在非選擇週期中，電晶體係導通於規則的時隔，使得電源供應電位可供應至移位暫存器電路的輸出端子。電源供應電位係透過該電晶體而供應至移位暫存器電路的輸出端子，因為該電晶體並非一直在非選擇週期中，所以可抑制該電晶體之臨限電壓的偏移。此外，電源供應電位係在規則的時隔透過該電晶體而供應至移位暫存器電路的輸出端子，因此，該移位暫存器電路可抑制在該輸出端子中所產生之雜訊。

六、英文發明摘要

發明之名稱：SEMICONDUCTOR DEVICE, AND DISPLAY DEVICE AND ELECTRONIC DEVICE HAVING THE SAME

An object is to provide a semiconductor device which can suppress characteristic deterioration in each transistor without destabilizing operation. In a non-selection period, a transistor is turned on at regular intervals, so that a power supply potential is supplied to an output terminal of a shift register circuit. A power supply potential is supplied to the output terminal of the shift register circuit through the transistor. Since the transistor is not always on in a non-selection period, a shift of the threshold voltage of the transistor is suppressed. In addition, a power supply potential is supplied to the output terminal of the shift register circuit through the transistor at regular intervals. Therefore, the shift register circuit can suppress noise which is generated in the output terminal.

七、指定代表圖：

(一)、本案指定代表圖為：第(1)圖

(二)、本代表圖之元件符號簡單說明：

10：正反器電路

11：電晶體

12：電晶體

13：電晶體

14：電晶體

15：電晶體

16：電晶體

17：電晶體

18：電晶體

19：電容器

N1：節點

N2：節點

N3：節點

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)

九、發明說明

【發明所屬之技術領域】

本發明關於一種半導體裝置，尤其，本發明關於一種移位暫存器，其係藉由使用電晶體所形成。此外，本發明關於一種具有該半導體裝置的顯示裝置，和一種具有該半導體裝置的電子裝置。

【先前技術】

近年來，因為諸如液晶電視之大的顯示裝置不斷增加，所以已主動發展諸如液晶顯示裝置或發光裝置的顯示裝置。尤其，已主動發展其中包含移位暫存器電路或類似電路（下文中係稱為內部電路）的畫素電路和驅動器電路係藉由使用電晶體以形成於相同的基板上，而該等電晶體係藉由使用非晶半導體來形成於絕緣物上的技術，因為該等技術可大大地助成低的功率消耗及低的成本之故。形成於該絕緣物上之內部電路係透過 FPC 及其類似物而連接至配置於絕緣物外面的控制 IC 或類似物（下文中係稱為外部電路），及控制該內部電路之操作。

此外，已發明出藉由使用由非晶半導體所製成之電晶體所形成的移位暫存器電路，以做為形成於絕緣物上之內部電路（請參閱參考文獻 1：PCT 國際公告第 95/31804 號）。

✓然而，因為移位暫存器電路具有其中輸出端子係在浮動狀態中的週期，所以雜訊易於產生於輸出端子中。由於

(2)

產生於輸出端子中之雜訊，所以會發生移位暫存器電路的故障。

爲了解決上述問題，已發明出其中輸出端子並不會變成浮動狀態之移位暫存器電路，此移位暫存器電路係由所謂靜態驅動法所操作（請參閱參考文獻 2：日本公告專刊申請案第 2004-78172 號）。

揭示於參考文獻 2 中之移位暫存器電路可實現靜態驅動法。因此，在此移位暫存器電路中，輸出端子並不會變成浮動狀態，以致可降低產生於該輸出端子中之雜訊。

【發明內容】

在揭示於參考文獻 2 中之上述移位暫存器電路中，其操作週期係畫分成爲選擇週期和非選擇週期，在該選擇週期中係輸出一選擇信號，以及在該非選擇週期中係輸出非選擇信號，而在該等操作週期中之大部分週期則成爲非選擇週期。在該非選擇週期中，低的電位係透過電晶體而人（共應至輸出端子，也就是說，在該移位暫存器電路之該等操作週期中的大部分週期之中，用以供應低電位至輸出端子的此電晶體係導通（on）的。

熟知地，藉由使用非晶半導體所製造之電晶體中的特性會依據其中電晶體導通的時間及所施加至電晶體之電位而劣化，尤其，當電晶體之特性劣化時，其中電晶體之臨限電壓上升之臨限電壓偏移將變得明顯。此臨限電壓偏移係移位暫存器電路故障的主要原因之一。

(3)

鑑於上述問題，本發明之目的在於提供一種可降低雜訊於非選擇週期中且可抑制電晶體之劣化的移位暫存器電路，具有該移位暫存器電路之半導體裝置或顯示裝置，或具有該顯示裝置的電子裝置。

在本發明中，包含於半導體裝置中之電晶體並未一直導通（on）以抑制電晶體之特性劣化。

依據本發明之一觀點的一種半導體裝置，包含第一電晶體、第二電晶體、第三電晶體、反相器、第一導線、第二導線、以及第三導線。第一電晶體的第一端子係電性連接至第一導線；第一電晶體的第二端子係電性連接至第二電晶體之第二端子；以及第一電晶體的閘極端子係電性連接至反相器之第一端子。第二電晶體的第一端子係電性連接至第二導線，且該第二電晶體的閘極端子係電性連接至第三電晶體之第二端子。該第三電晶體的第一端子係電性連接至第三導線，且該第三電晶體的閘極端子係電性連接至反相器之第二端子。該第一電晶體的閘極端子係電性連接至用以使該第一電晶體之該閘極端子進入浮動狀態的電晶體。

依據本發明之一觀點的一種半導體裝置，包含第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第一導線、第二導線、第三導線、以及第四導線。第一電晶體的第一端子係電性連接至第一導線；第一電晶體的第二端子係電性連接至第二電晶體之第二端子；以及第一電晶體的閘極端子係電性連接至第四電晶體的閘極端子

(4)

。第二電晶體的第一端子係電性連接至第二導線，且該第二電晶體的閘極端子係電性連接至第三電晶體之第二端子。第三電晶體的第一端子係電性連接至第三導線，且該第三電晶體的閘極端子係電性連接至第四電晶體之第二端子和第五電晶體之第二端子。該第四電晶體的第一端子係電性連接至第二導線，第五電晶體的第一端子係電性連接至第四導線，且該第五電晶體的閘極端子係電性連接至該第四導線。該第一電晶體的該閘極端子係電性連接至用以使該第一電晶體的該閘極端子進入浮動狀態的電晶體。

依據本發明之一觀點的一種半導體裝置，包含第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第一導線、第二導線、第三導線、第四導線、以及第五導線。第一電晶體的第一端子係電性連接至第一導線；第一電晶體的第二端子係電性連接至第二電晶體之第二端子；及第一電晶體的閘極端子係電性連接至第四電晶體之閘極端子和第六電晶體之第二端子。第二電晶體的第一端子係電性連接至第二導線，且該第二電晶體的閘極端子係電性連接至第三電晶體之第二端子。第三電晶體的第一端子係電性連接至第三導線，且該第三電晶體的閘極端子係電性連接至第四電晶體之第二端子和該第五電晶體之第二端子。第四電晶體的第一端子係電性連接至第二導線，第五電晶體的第一端子係電性連接至第四導線，且該第五電晶體的閘極端子係電性連接至第四導線。第六電晶體的第一端子係電性連接至第四導線，且該第六電

(5)

晶體的閘極端子係電性連接至第五導線。

依據本發明之一觀點的一種半導體裝置，包含第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體、第一導線、第二導線、第三導線、第四導線、以及第五導線。第一電晶體的第一端子係電性連接至第一導線；第一電晶體的第二端子係電性連接至第二電晶體之第二端子；及第一電晶體的閘極端子係電性連接至第四電晶體之閘極端子，第六電晶體之第二端子，和第七電晶體之第二端子。第二電晶體的第一端子係電性連接至第二導線，且該第二電晶體的閘極端子係電性連接至第三電晶體之第二端子和第七電晶體之閘極端子。第三電晶體的第一端子係電性連接至第三導線，且該第三電晶體的閘極端子係電性連接至第四電晶體之第二端子和第五電晶體之第二端子。第四電晶體之第一端子係電性連接至第二導線，第五電晶體的第一端子係電性連接至第四導線，且該第五電晶體的閘極端子係電性連接至第四導線。第六電晶體的第一端子係電性連接至第四導線，且該第六電晶體的閘極端子係電性連接至第五導線。第七電晶體的第一端子係電性連接至第二導線。

依據本發明之一觀點的一種半導體裝置，包含第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體、第八電晶體、第一導線、第二導線、第三導線、第四導線、第五導線、以及第六導線。第一電晶體的第一端子係電性連接至第一導線；第一

(6)

電晶體的第二端子係電性連接至第二電晶體之第二端子；及第一電晶體的閘極端子係電性連接至第四電晶體之閘極端子，第六電晶體之第二端子，第七電晶體之第二端子，和第八電晶體之第二端子。第二電晶體的第一端子係電性連接至第二導線，且該第二電晶體的閘極端子係電性連接至第三電晶體之第二端子和第七電晶體之閘極端子。第三電晶體的第一端子係電性連接至第三導線，且該第三電晶體的閘極端子係電性連接至第四電晶體之第二端子和第五電晶體之第二端子。第四電晶體的第一端子係電性連接至第二導線。第五電晶體的第一端子係電性連接至第四導線，且該第五電晶體的閘極端子係電性連接至第四導線。第六電晶體的第一端子係電性連接至第四導線，且該第六電晶體的閘極端子係電性連接至第五導線。第七電晶體的第一端子係電性連接至第二導線。第八電晶體的第一端子係電性連接至第二導線，且該第八電晶體的閘極端子係電性連接至第六導線。

此外，在本發明中，第四電晶體之通道寬度 W 對通道長度 L 的比例 (W/L) 可相等於或十倍大於第五電晶體之通道寬度 W 對通道長度 L 的比例 W/L 。

此外，在本發明中，第一電晶體及第三電晶體可具有相同的導電類型。

此外，在本發明中，第一電晶體及第四電晶體可為 n 通道電晶體，或可為 p 通道電晶體。

此外，在本發明中，可設置電容器，該電容器電性連

(7)

接於第一電晶體的第二端子與閘極端子之間。

此外，在本發明中，電容可藉由使用 MOS 電晶體來做為電容器之置換物而形成。

此外，在本發明中，電容器包含第一電極、第二電極、及絕緣物，該絕緣物係保持於第一電極與第二電極之間。第一電極可為半導體層；第二電極可為閘極導線層；以及絕緣物可為閘極絕緣膜。

此外，在本發明中，時脈信號可供應至第一導線，以及反相的時脈信號可供應至第三導線，該反相的時脈信號在相位上與該時脈信號相差 180 度。

依據本發明之一觀點的一種顯示裝置，包含複數個畫素及一驅動器電路，該複數個畫素之各個畫素係由該驅動器電路所控制，該驅動器電路包含複數個電晶體及一電路，該電路係用以使該複數個電晶體之各個電晶體不致一直地導通。

此外，在本發明中，該驅動器電路可包含上述半導體裝置。

此外，在本發明中，該複數個畫素之各個畫素包含至少一電晶體，包括在該複數個畫素之各個畫素中的電晶體與包括在該驅動器電路中之電晶體可具有相同的導電類型。

此外，在本發明中，該複數個畫素之各個畫素與該驅動器電路可形成於相同的基板上。

此外，本發明之顯示裝置可應用於電子裝置。

(8)

如上述，在本發明中，爲了不使第二電晶體及第七電晶體一直導通，該第二電晶體及第七電晶體之導通（on）狀態或關閉（off）狀態係由供應至第三導線的信號所控制。

此外，當第一電晶體導通時，爲了不使第二電晶體導通，第三電晶體係藉由透過反相器來連接第一電晶體的閘極端子至第二電晶體之閘極端子所關閉。當第二電晶體係在第三電晶體關閉之前關閉時，該第二電晶體會持續地保持關閉。因此，第一導線及第二導線並不透過第一電晶體及第二電晶體而相互連接。

注意的是，在其中第一導線之電位係改變於當第一電晶體導通及第二電晶體關閉時的情況中，第一電晶體之第二端子的電位亦會改變。此時，當第一電晶體之閘極端子係在浮動狀態之中時，第一電晶體之閘極端子的電位會同時由電容器之電容性耦合所改變。此時，當第一電晶體之閘極端子的電改變至大於或相等於第一導線之電位與第一電晶體之臨限電壓的和之值，或改變至小於或相等於第一導線之電位與第一電晶體之臨限電壓的和之值時，該第一電晶體會持續保持導通。在此方式中，即使第一導線之電位改變時，本發明具有導通第一電晶體以設定第一電晶體之第一端子及第二端子爲具有相同電位之功能。

注意的是，在此說明書中所描述的開關可採用例如電性開關，或機械開關；亦即，可採用任一元件，只要該元件可控制電流流動即可，且因此，開關並未受限於某一元

(9)

件。例如，該開關可為電晶體、二極體（例如 PN 接面二極體、PIN 二極體、蕭特基（Schottky）二極體、或二極體連接之電晶體），或結合該等元件的邏輯電路。因此，在採用電晶體來做為開關的情況中，因為該電晶體僅操作成為開關，所以電晶體之極性（導電類型）並未特定地受限於某一類型。然而，當所偏好的是截止電流小時，則較佳地，可採用具有小的截止電流之極性的電晶體。做為具有小的截止電流之電晶體的實例，可提供設置有 LDD 區之電晶體，具有多重閘極結構之電晶體，或其類似物。此外，較佳的是，當操作成為開關之電晶體的源極端子之電位較靠近低電壓側的電源供應（例如 V_{ss} ，GND，或 0 伏特）時，可採用 n 通道電晶體，而當該源極端子之電位較靠近高電壓側的電源供應（例如 V_{dd} ）時，可採用 p 通道電晶體。此係由於，因為可增加電晶體的閘極與源極間之電壓的絕對值，所以該電晶體可易於操作成為開關之緣故。注意的是，亦可藉由兩者皆有地使用 n 通道及 p 通道電晶體而採用 CMOS 開關。

注意的是，在本發明中，“連接”與“電性連接”之敘述係意義相同的。因此，其他元件或開關可插入於元件之間。

注意的是，顯示元件，其係包含顯示元件之裝置的顯示裝置、發光元件、和其係包含發光元件之裝置的發光裝置可採用各式各樣的模式以及包含各式各樣的元件。例如，可應用諸如 EL 元件（例如有機 EL 元件，無機 EL 元件

(10)

，或含有有機和無機材料之 EL 元件）之其對比係由電磁作用所改變的顯示媒體、電子發射元件、液晶元件、電子油墨、或其類似物。注意的是，使用 EL 元件之顯示裝置包含 EL 顯示器；使用電子發射元件之顯示裝置包含場致發射顯示器（FED）、SED 型扁平面板顯示器（SED：表面導電之電子發射體顯示器），或其類似物；使用液晶元件之顯示裝置包含液晶顯示器；以及使用電子油墨之顯示裝置包含電子紙。

注意的是，可加以應用之電晶體的類型並未受限於某一類型。例如，可應用使用由非晶矽或多晶矽所代表之非單晶半導體膜的薄膜電晶體（TFT），藉由使用半導體基板或 SOI 基板所形成的電晶體，MOS 電晶體，接面電晶體，雙極性電晶體，使用諸如 ZnO 或 a-InGaZnO 之化合物半導體的電晶體，使用有機半導體或碳奈米管的電晶體，或其他電晶體。此外，形成電晶體於其上之基板的類型並未受限於某一類型，電晶體可配置於單晶基板、SOI 基板、玻璃基板、塑膠基板、或其類似物之上。

注意的是，如上述地，可採用各式各樣類型的電晶體於本發明中，且可形成該等電晶體於各式各樣類型的基板上。因此，所有的該等電路可形成於玻璃基板、塑膠基板、單晶基板、SOI 基板、或任何其他基板之上。選擇性地，該等電路之若干電路可形成於一基板上，而其他部分之電路可形成於另一基板上；也就是說，無需形成所有的電路於同一基板之上。例如，一部分電路可藉由使用電晶體

(11)

而形成於玻璃基板上，以及其他部分之電路則可形成於單晶基板之上，使得 IC 晶片可藉由 COG（晶片在玻璃上）而連接至玻璃基板。選擇性地，IC 晶片可藉由 TAB（卷帶自動接合）或印刷電路板而連至玻璃基板。

電晶體的結晶並未受限於某一類型，例如可使用具有兩個或多個閘極電極之多重閘極結構。此外，可採用閘極電極係形成於通道上方及通道下方之結構。此外，可採用下列結構之任一結構：閘極電極係形成於通道上方之結構；閘極電極係形成於通道下方之結構；交錯結構；反向交錯結構；以及通道區係畫分成為複數個區，且所畫分之區係並聯連接或串聯連接之結構。進一步地，通道（或部分通道可與源極電極或汲極電極重疊。再者，可設置 LDD（微摻雜之汲極）區。

應注意的是，在此說明書中，一畫素意指影像之最小單位。因此，在由 R（紅色）、G（綠色）、及 B（藍色）之彩色元素所製成的全彩色顯示裝置之情況中，一畫素係藉由使用 R 之彩色元素的點，G 之彩色元素的點，及 B 之彩色元素的點所形成。

而且，應注意的是，在此說明書中，當所敘述的是，畫素係以矩陣所配置時，則該敘述不僅包含其中畫素係以組合垂直條紋及橫向條紋之所謂柵圖案來加以配置的情況，而且包含其中在以三色素來實施全彩色顯示的情況中以所謂三角（ Δ ）圖案來配置該三色素（例如 RGB）之點的情況。此外，在個別之彩色元素的點之間的發光區大小可

(12)

為不同的。

電晶體係包含閘極、汲極、及源極之至少三個端子的元件，以及具有通道區於汲極區與源極區之間。此處，因為電晶體之源極區和汲極區可根據電晶體之結構，操作條件，及其類似者而改變，所以難以界定何者為源極區或汲極區。因此，在此說明書中，作用為源極區和汲極區的地區之一係稱為第一端子，以及另一地區則稱為第二端子。

注意的是，在此說明書中，半導體裝置意指具有包含半導體元件（例如電晶體或二極體）之電路的裝置；該半導體裝置亦可包含可藉由利用半導體特性而作用的所有裝置。顯示裝置不僅包含其中包含諸如液晶元件或 EL 元件之顯示元件的複數個畫素係與用以驅動該等畫素之週邊驅動器電路形成於相同的基板上之顯示面板本身，而且包含附著有撓性印刷電路（FPC）或印刷線路板（PWB）之顯示面板。此外，發光裝置意指使用諸如 EL 元件之自行發光元件或用於 FED 之元件的裝置。

本發明之半導體裝置可導通電晶體，而該電晶體之導通/關閉（on/off）可由以規則之時隔來供應至第三導線的信號所控制。因此，由於使用本發明之半導體裝置的移位暫存器電路的電晶體並非一直在非選擇週期中導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係透過電晶體而以規則的時隔來供應至使用本發明半導體裝置之移位暫存器電路的輸出端子，因此，使用本發明半導體裝置之移位暫存器電路可抑制產生於該輸出端子中的雜訊

(13)

【實施方式】

在下文中，將利用實施例模式及實施例而參照附圖來敘述本發明於下文。然而，本發明可由各式各樣的模式所操作，且應瞭解的是，種種改變和修正將呈明顯於熟習本項技藝之該等人士。除非該等改變和修正背離本發明之精神及範疇，否則應闡釋該等改變和修正為包含於本發明之中。因此，本發明並未受限於實施例模式和實施例之說明。

〔實施例模式 1〕

第 1 圖顯示本發明移位暫存器電路之正反器電路 10 的一模式。本發明之移位暫存器電路包含複數個級之正反器電路 10。第 1 圖中所示之正反器電路 10 包含電晶體 11、電晶體 12、電晶體 13、電晶體 14、電晶體 15、電晶體 16、電晶體 17、電晶體 18、及電容器 19，該電容器具有兩個電極。然而，該電容器 19 無需一定要設置於其中可使用電晶體 12 之閘極電容來做為該電容器 19 的情況中。

如正反器電路 10 中所示地，電晶體 11 的閘極端子係連接至輸入端子 IN1；電晶體 11 的第一端子係連接至第一電源供應器；及電晶體 11 的第二端子係連接至電晶體 12 之閘極端子，電晶體 14 之第二端子，電晶體 15 之閘極端子，電晶體 17 之第二端子，和電容器 19 之第二電極。

(14)

電晶體 15 的第一端子係連接至第二電源供應器，且該電晶體 15 的第二端子係連接至電晶體 16 之第二端子和電晶體 18 之閘極端子。電晶體 16 的閘極端子及第一端子係連接至第一電源供應器。電晶體 18 的第一端子係連接至輸入端子 IN3，且該電晶體 18 的第二端子係連接至電晶體 13 之閘極端子和電晶體 14 之閘極端子。電晶體 13 的第一端子係連接至第二電源供應器；且該電晶體 13 的第二端子係連接至電容器 19 之第一電極，電容器 12 之第二端子，和輸出端子 OUT。電晶體 12 的第一端子係連接至輸入端子 IN2。電晶體 14 的第一端子係連接至第二電源供應器。電晶體 17 的閘極端子係連接至輸入端子 IN4，且該電晶體 17 的第一端子係連接至第二電源供應器。

注意的是，在該正反器電路 10 之中，電晶體 11 之第二端子，電晶體 12 之閘極端子，電晶體 14 之第二端子，電晶體 15 之閘極端子，電晶體 17 之第二端子，及電容器 19 之第二電極的節點係由 N1 所表示。電晶體 15 之第二端子，電晶體 16 之第二端子，及電晶體 18 之閘極端子的節點係由 N2 所表示。電晶體 13 之閘極端子，電晶體 14 之閘極端子，及電晶體 18 之第二端子的節點係由 N3 所表示。

此外，電源供應電位 VDD 係供應至第一電源供應器，以及電源供應電位 VSS 係供應至第二電源供應器。在該第一電源供應器的電源供應電位 VDD 與該第二電源供應器的電源供應電位 VSS 之間的電位差 (VDD-VSS) 對應

(15)

於正反器電路 10 的電源供應電壓。進一步地，電源供應電位 VDD 比電源供應電位 VSS 更高。

進一步地，控制信號係供應至輸入端子 IN1 至 IN4 的各個端子。此外，輸出端子 OUT 輸出一輸出信號，在前一級中之正反器電路 10 的輸出信號係供應至輸入端子 IN1 來做為控制信號，在下一級中之正反器電路 10 的輸出信號係供應至輸入端子 IN4 來做為控制信號。

而且，該等電晶體 11 至 18 的各個電晶體係 n 通道電晶體。然而，該等電晶體 11 至 18 的各個電晶體可為 p 通道電晶體。

接著，將參照第 2 圖中所示之時序圖來敘述第 1 圖中所示之正反器電路 10 的操作。第 2 圖係供應至各個輸入端子 IN1 至 IN4 的控制信號，自輸入端子 OUT 所輸出的輸出信號，以及第 1 圖中所示之節點 N1 至 N3 的電位之時序圖。為便利起見，第 2 圖中所示之時序圖係畫分成為週期 T1 至週期 T4。

注意的是，在週期 T4 之後的週期中，週期 T3 和週期 T4 係順序地重複著。此外，在第 2 圖中，週期 T1 係界定為選擇準備週期；週期 T2 係界定為選擇週期；以及週期 T3 和週期 T4 係界定為非選擇週期。也就是說，一選擇準備週期，一選擇週期，及複數個非選擇週期係順序地重複著。

此外，在第 2 圖中所示的時序圖之中，控制信號及輸出信號各具有兩個值，亦即，該等信號之各個信號係數位

(16)

信號。該數位信號的電位之一係當數位信號為 H 信號時之 VDD，該 VDD 係與第一電源供應電位（在下文中亦稱為電位 VDD 或 H 位準）的電位相同；以及該數位信號的電位之另一者係當數位信號為 L 信號時之 VSS，該 VSS 係與第二電源供應電位（在下文中亦稱為電位 VSS 或 L 位準）的電位相同。

進一步地，第 3 至 6 圖顯示分別對應於週期 T1 至週期 T4 中之操作的正反器電路 10 之連接狀態。

此外，在第 3 至 6 圖中，以實線所顯示之電晶體係導通（on，亦即，開啓）以及以斷線所顯示之電晶體係關閉（off，亦即，截止）。以實線所顯示之導線係連接至電源供應器或輸入端子，以及以斷線所顯示之導線則並不連接至電源供應器或輸入端子。

接著，將參照第 3 至 6 圖來敘述各個週期中之操作。

首先，將參照第 3 圖來敘述週期 T1 中之正反器電路 10 的操作。第 3 圖係顯示在週期 T1 中之正反器電路 10 的連接狀態。

在週期 T1 中，輸入端子 IN1 變成 H 位準而使電晶體 11 導通，以及輸入端子 IN4 變成 L 位準而使電晶體 17 關閉。因為節點 N3 係保持於在週期 T3 中所獲得之 VSS（請容後敘述），所以電晶體 14 關閉。節點 N1 係透過電晶體 11 而電性連接至第一電源供應器，且節點 N1 的電位會上升成爲 Vn11。當節點 N1 變成 Vn11 時，電晶體 11 會關閉。此處，Vn11 係藉由自電源供應電位 VDD 來減去電晶體

(17)

11 之臨限電壓 V_{th11} 所獲得的值 ($V_{DD}-V_{th11}$)。注意的是， V_{n11} 係可使電晶體 12 和電晶體 15 導通的電位。

當節點 N1 的電位變成 V_{n11} 時，電晶體 11 會關閉，以及電晶體 12 和電晶體 15 會導通。節點 N2 係透過電晶體 15 而電性連接至第二電源供應器，且透過電晶體 16 而電性連接至第一電源供應器，以及節點 N2 之電位會上升至 V_{n21} 。此處， V_{n21} 係由電晶體 16 及電晶體 15 之操作點所決定。注意的是，電晶體 15 及電晶體 16 形成使用兩個電晶體之反相器。因此，當輸入 H 位準之信號進入電晶體 15 的閘極端子 (節點 N1) 之內時，L 位準之信號會輸入至節點 N2 之內。此處， V_{n21} 係可使電晶體 18 關閉之電位。因此，即使當輸入端子 IN3 係在 H 位準時，因為電晶體 18 係關閉的，所以可保持節點 N3 於 VSS。因為輸入端子 IN2 變成 L 位準，且輸出端子 OUT 係透過電晶體 12 而電性連接至輸入端子 IN2，所以輸出端子 OUT 之電位變成 VSS。

因為節點 N2 的電位變成 V_{n21} 以及電晶體 18 關閉，所以節點 N3 保持於 VSS 以及電晶體 13 和電晶體 14 關閉。

藉由上述操作，在週期 T1 中之電晶體 12 係導通且輸出端子 OUT 係設定於 L 位準。此外，因為電晶體 11 係關閉，所以使節點 N1 設定於浮動狀態中。

接著，將參照第 4 圖來敘述在週期 T2 中之正反器電路 10 的操作，第 4 圖係顯示在週期 T2 中之正反器電路

(18)

10 的連接狀態之圖式。

在週期 T2 中，輸入端子 IN1 變成 L 位準，且電晶體 11 係關閉的，輸入端子 IN4 係未改變地在 L 位準，且電晶體 17 係關閉的。因此，節點 N1 係維持於來自 T1 週期之浮動狀態中，而保持在週期 T1 中之電位 V_{n11} 。

因為節點 N1 之電位係保持於 V_{n11} ，所以電晶體 12 導通。輸入端子 IN2 變成 H 位準，然後，因為輸出端子 OUT 係透過電晶體 12 而電性連接至輸入端子 IN2，所以輸出端子 OUT 的電位會從 VSS 上升。節點 N1 之電位係由電容器 19 之電容性耦合而改變成為 V_{n12} 。以維持電晶體 12 的導通狀態，而執行所謂的自舉 (bootstrap) 操作。因此，輸出端子 OUT 的電位會上升至相等於 VDD 之電位，該 VDD 係輸入端子 IN2 的電位。注意的是， V_{n12} 係大於或相等於電位 VDD 與電晶體 12 的臨限電壓 V_{th12} 之和的值。

電晶體 15 係持續維持導通狀態，即使當節點 N1 之電位變成 V_{n12} 時亦然。因此，節點 N2 之電位及節點 N3 之電位具有與在週期 T1 中之電位相同的電位。

藉由上述操作，在浮動狀態中之節點 N1 的電位會由自舉操作所上升，使得電晶體 12 在週期 T2 之中持續地維持導通。因此，設定輸出端子 OUT 的電位的 VDD，使得輸出端子具有 H 位準。

接著，將參照第 5 圖來敘述在週期 T3 中之正反器電路 10 的操作，第 5 圖係顯示在週期 T3 中之正反器電路

(19)

10 的連接狀態。

在週期 T3 中，輸入端子 IN1 係未改變地在 L 位準，且電晶體 11 係關閉的。輸入端子 IN4 變成 H 位準而使電晶體 17 導通。然後，節點 N1 係透過電晶體 17 而電性連接至第二電源供應器，使得節點 N1 的電位變成 VSS。

節點 N1 的電位變成 VSS 而使電晶體 12 和電晶體 15 關閉，因為節點 N2 係透過電晶體 16 而電性連接至第一電源供應器，所以節點 N2 的電位會上升成為 V_{n22} 。此處 V_{n22} 係藉由自電源供應電位 VDD 來減去電晶體 16 之臨限電壓 V_{th16} 所獲得的值 ($VDD - V_{th16}$)。注意的是， V_{n22} 係可使電晶體 18 導通的電位。

當節點 N2 之電位變成 V_{n22} 時，電晶體 18 導通。然後，因為輸入端子 IN3 變成 H 位準，且節點 N3 係透過電晶體 18 而電性連接至輸入端子 IN3，所以節點 N3 之電位變成 V_{n31} 。此處 V_{n31} 係藉由自節點 2 之電位 V_{n22} 來減去電晶體 18 之臨限電壓 V_{th18} 所獲得的值 ($V_{n22} - V_{th18}$)。注意的是， V_{n31} 對應於藉由自電源供應電位 VDD 來減去電晶體 16 之臨限電壓 V_{th16} 及電晶體 18 之臨限電壓 V_{th18} 所獲得的值 ($VDD - V_{th16} - V_{th18}$)。注意的是， V_{n31} 係可使電晶體 13 和電晶體 14 導通之電位。

當節點 N3 之電位變成 V_{n31} 時，電晶體 13 會導通，然後，因為輸出端子 OUT 係透過電晶體 13 而電性連接至第二電源供應器，所以輸出端子 OUT 的電位變成 VSS。

藉由上述操作，在週期 T3 中，VSS 係供應至節點 N1

(20)

而使電晶體 12 和電晶體 15 關閉。此外，節點 N3 係設定於 H 位準而使電晶體 13 和電晶體 14 導通。因此，輸出端子 OUT 之電位係設定於 VSS，以致輸出端子 OUT 具有 L 位準。

接著，將參照第 6 圖來敘述在週期 T4 中之正反器電路 10 的操作，第 6 圖係顯示在週期 T4 中之正反器電路 10 的連接狀態。

在週期 T4 之中，輸入端子 IN3 變成 L 位準，以及節點 N3 的電位變成 VSS。因此，電晶體 13 和電晶體 14 會關閉。輸入端子 IN4 變成 L 位準而使電晶體 17 關閉。因此，節點 N1 變成浮動狀態，且該節點之電位保持於 VSS。

因為節點 N1 之電位係未改變地在 VSS，所以電晶體 12 和電晶體 15 會持續地維持關閉。因此，節點 N2 會持續地維持於 Vn22，以及電晶體 18 會持續地維持導通。

因為電晶體 12 和電晶體 13 關閉，所以輸出端子 OUT 變成浮動狀態。因而，輸出端子 OUT 的電位保持於 VSS。

藉由上述操作，輸出端子 OUT 的電位係保持於 VSS，以致電晶體 13 和電晶體 14 可在週期 T4 中關閉。因為電晶體 13 和電晶體 14 並未一直導通，所以可抑制電晶體 13 和電晶體 14 之特性的劣化。

現將敘述週期 T1 至週期 T4 之間的關係。週期 T1 之下一個週期係週期 T2；週期 T2 之下一個週期係週期 T3；

(21)

以及週期 T3 之下一個週期係週期 T4。此處，週期 T4 之下一個週期係週期 T1 或週期 T3，亦即，當輸入端子 IN1 變成 H 位準時，週期 T4 之下一個週期為週期 T1，或當輸入端子 IN1 係未改變地在 L 位準時，週期 T4 之下一個週期為週期 T3。此外，當週期 T3 係週期 T4 之下一個週期時，輸入端子 IN4 會未改變地在 L 位準，且電晶體 17 會持續地維持關閉。

此處，將敘述電晶體 11 至 18 以及電容器的功能如下。

電晶體 11 具有做為開關之功能，該開關可依據供應至輸入端子 IN1 之控制信號來選擇是否連接第一電源供應器與節點 N1。在週期 T1 中，電晶體 11 有供應電源供應電位 VDD 至節點 N1，以及當節點 N1 之電位變成 V_{n11} 時關閉之功能。

此外，電晶體 11 具有依據供應至輸入端子 IN1 之控制信號而使節點成為浮動狀態之功能。在週期 T1 及週期 T2 中，電晶體 11 具有當節點 N1 之電位變成大於或相等於 V_{n11} 時關閉之功能。

電晶體 12 具有做為開關之功能，該開關可依據節點 N1 之電位來選擇是否連接輸入端子 IN2 與輸出端子 OUT。在週期 T1 中，電晶體 12 具有供應 VSS 至輸出端子 OUT 之功能。在週期 T2 中，該電晶體 12 具有供應 VDD 至輸出端子 OUT 之功能。

電晶體 13 具有做為開關之功能，該開關可依據節點

(22)

N3 之電位來選擇是否連接第二電源供應器與輸出端子 OUT。在週期 T3 中，該電晶體 13 具有供應電源供應電位 VSS 至輸出端子 OUT 之能。

電晶體 14 具有做為開關之功能，該開關可依據節點 N3 之電位來選擇是否連接第二電源供應器與節點 N1。在週期 T3 中，該電晶體 14 具有供應電源供應電位 VSS 至節點 N1 之功能。

電晶體 15 具有做為開關之功能，該開關可依據節點 N3 之電位來選擇是否連接第二電源供應器與節點 N2。在週期 T1 及週期 T2 中，該電晶體 15 具有供應電源供應電位 VSS 至節點 N2 之功能。

電晶體 16 具有做為二極體之功能，該二極體具有連接至第一電源供應器之輸入端子，以及連接至節點 N2 之輸出端子。

電晶體 17 具有做為開關之功能，該開關可依據供應至輸入端子 IN4 之控制信號來選擇是否連接第二電源供應器與節點 N1。在週期 T2 之後的週期 T3 中，該電晶體 17 具有供應電源供應電壓 VSS 至節點 N1 之功能。

電晶體 18 具有做為開關之功能，該開關可依據節點 N2 之電位來選擇是否連接輸入端子 IN3 與節點 N3。在週期 T3 中，電晶體 18 具有供應 VDD 至節點 N3 之功能。在週期 T4 中，電晶體 18 具有供應 VSS 至節點 N3 之功能。

電容器 19 具有依據輸出端子 OUT 之電位來改變節點 N1 之電位的功能。在週期 T2 中，電容器 19 具有藉由升

(23)

高輸出端子 OUT 之電位來提升節點 N1 之電位的

以此方式，在第 1 圖中所示之正反器電路 10 中晶體 13 及電晶體 14 係在週期 T3 中導通以及在週期 T4 中關閉，以致可防止電晶體 13 及電晶體 14 一直導通，所以可抑制電晶體 13 及電晶體 14 之特性的劣化。因此，在第 1 圖中所示的正反器電路 10 之中，亦可抑制由於電晶體 13 及電晶體 14 之特性劣化所造成的故障。

此外，當電晶體 13 及電晶體 14 導通時，電源供應電位 VSS 係供應至輸出端子 OUT 及節點 N1。因此，在第 1 圖中所示之正反器電路 10 中，可以以規則的時隔來供應電源供應電位 VSS 至輸出端子 OUT 和節點 N1，使得可抑制輸出端子 OUT 和節點 N1 之電位中的變動。

進一步地，第 1 圖中所示之正反器電路 10 係均由使用 n 通道電晶體所形成，以致可使用非晶矽來做為半導體層。因此，可節化製程，使得可降低製造成本以及可改善產能。此外，可製成大的顯示面板。再者，藉由使用本發明之正反器電路 10，可延長半導體裝置的壽命，即使是在使用由特性易於劣化之多晶矽所製成的電晶體之情況中亦然。

應注意的是，在週期 T1 至週期 T4 中，可分別設置諸如電晶體或開關的元件於正反器電路 10 之中，以便符合第 3 至 6 圖中的狀態。

注意的是，電容器 19 較佳地係由使用閘極導線層和半導體層所形成，該閘極導線層和半導體層係以閘極絕緣

(24)

膜插入其間而堆疊。因為閘極絕緣膜的厚度比諸如層間膜之其他絕緣層更薄，所以當使用閘極絕緣膜來做為絕緣物時，電容器可具有小的面積和高的容量。

此外，電晶體 15 之大小 (W/L) 較佳地比電晶體 16 之大小 (W/L) 更大。此處，W 意指電晶體之通道寬度，以及 L 意指電晶體之通道長度。當電晶體 15 導通時，節點 N2 的電位係由電晶體 15 及電晶體 16 之操作點所決定，也就是說，若電晶體 15 之大小並未充分地大於電晶體 16 之大小時，則節點 N2 之電位會變成更高，以致無法關閉電晶體 18。因此，為了使電晶體 18 關閉，電晶體 15 的大小應充分地大於電晶體 16 的大小。

此外，電晶體 15 的大小較佳地比電晶體 16 的大小更大 4 倍以上；更佳地，電晶體 15 的大小比電晶體 16 的大小更大 10 倍以上。當電源供應電壓低時，電晶體 15 相對於電晶體 16 之大小的比例可為大約 4:1；然而，當電源供應電壓變得更高時，電晶體 15 相對於電晶體 16 之大小的比例應為大約 10:1。

此處，當連接位準轉移電路或其類似物至正反器電路 10 的輸出端子 OUT 時，電晶體 15 相對於電晶體 16 之大小的比例較佳地為 4:1 以上。此係因為正反器電路 10 之輸出信號的振幅電壓係由位準轉移電路或其類似物所增加，使得該正反器電路 10 常以低的電源供應電壓來操作之故。

選擇性地，當位準轉移電路或其類似物並未連接至正

(25)

反器電路 10 的輸出端子 OUT 時，較佳地，電晶體 15 相對於電晶體 16 之大小的比例為 10 : 1 以上。此係因為正反器電路 10 之輸出信號係應用於某一種類的操作而無需位準轉移，使得該正反器電路 10 常以高的電源供應電壓來操作之故。

注意的是，電源供應電位和控制信號之電位各可為任一電位，只要其可控制目標電晶體之導通/關閉 (on/off) 即可。

例如，電源供應電位 VDD 可以比控制信號之 H 位準電位更高，此係因為節點 N3 的電位係 $V_{n31} (VDD - V_{th16} - V_{th18})$ ，所以當電源供應電位 VDD 變高時，節點 N3 之電位 V_{n31} 會變得更高。因此，可確保電晶體 13 和電晶體 14 導通，即使當電晶體 13 和電晶體 14 的臨限電壓由於電晶體 13 和電晶體 14 之特性劣化而變得更高時亦然。

此外，電源供應電位 VDD 可為比控制信號之 H 位準電位更低的電位，只要其可控制各個電晶體的導通/關閉 (on/off) 即可。

注意的是，當電晶體 12 的閘極端子與第二端子之間的閘極電容 (寄生電容) 足夠大時，則無需一定要設置電容器 19。

例如，如在第 7 圖中之正反器電路 70 中，並不需要連接電容器 19。因此，因為在正反器電路 70 中之元件數目比正反器電路 10 中之元件數目少了一個，所以各個元件可以以高的密度來設置於正反器電路 70 之中。

(26)

此外，做為如第 10 圖中之正反器電路 100 中的另一實例，電容器可由使用電晶體 101 所形成。此係因為當電容器 101 導通時，電晶體 101 之閘極電容足以作用成為電容器。

應注意的是，因為電晶體 101 係在週期 T1 及週期 T2 中（在執行自舉操作時）導通，所以通道區會形成於電晶體 101 中，使得電晶體 101 作用成為電容器。相反地，因為電晶體 101 係在週期 T3 及週期 T4 中（在不執行自舉操作時）關閉，所以通道區不會形成於電晶體 101 中，以致電晶體 101 並未作用成為電容器或作用成為小的電容器。

此處，如上述地在第 10 圖之正反器電路 100 中，藉由使用電晶體 101 來形成電容器，僅當需要時（在週期 T1 及週期 T2 中），電晶體 101 會作用成為電容器，且當不需要時（在週期 T3 及週期 T4 中），電晶體 101 並不會作用成為電容器。因此，正反器電路 100 幾乎不會由於節點 N1 及輸出端子 OUT 之電位中的改變而故障。

注意的是，電晶體 101 具有與電晶體 12 相同的極性。

而且，應注意的是，電晶體 11 的第一端子可在週期 T1 及週期 T2 中連接於任何處，只要可使節點 N1 成為浮動狀態即可。

例如，電晶體 11 的第一端子可如第 8 圖中之正反器電路 80 中似地連接至輸入端子 IN1。此係因為即使當連接電晶體 11 之第一端子至輸入端子 IN1 時，亦可使節點

(27)

N1 在週期 T1 及週期 T2 中成爲浮動狀態。

注意的是，在第 1 圖中的正反器電路 10 之中，當輸入端子 IN1 的電位改變時，雜訊會由於電晶體 11 之第一端子與閘極端子之間的寄生電容而產生於第一電源供應器中。此外，當電流係由於電晶體 11 之導通/關閉 (on/off) 而自第一電源供應器來供應至節點 N1 時，雜訊會由於電流所造成之壓降而產生於第一電源供應器中，此雜訊係由輸出端子 IN1 之電位中的改變所產生。

此處，藉由如上述第 8 圖中的正反器電路 80 中之連接，可抑制上述雜訊。此外，藉由抑制第一電源供應器中之雜訊，可穩定地操作使用該第一電源供應器的另一電路。

注意的是，使用該第一電源供應器的另一電路對應於連接至正反器電路 80 之輸出端子 OUT 的正反器電路，位準轉移電路，閃鎖電路，PWC 電路，或其類似電路。

而且，應注意的是，可使用任一元件來做爲電晶體 16，只要該元件可與電晶體 15 一起形成正反器電路即可。電晶體 16 無需一定要具有整流性質，而是可使用任一元件，只要當電流供應至其時可產生電壓於該元件之中即可。

例如，可如第 9 圖之正反器電路 90 中似地連接電阻器 91 來做爲電晶體 16 的置換物，此係因爲即使當連接電阻器 91 來做爲電晶體 16 的置換物時，亦可藉由使用電阻器 91 和電晶體 15 來形成正反器電路。

(28)

注意的是，當電晶體 15 關閉時，節點 N2 的電位會變成與第一電源供應器之電位相同的 VDD。此外，節點 N3 之電位會在此時變成藉由自電源供應電位 VDD。此外，節點 N3 之電位會在此時變成藉由自電源供應電位 VDD ($VDD - V_{th18}$) 來減去電晶體 18 之臨限電壓 V_{th18} 所獲得的值。

此處，藉由如上述第 9 圖之正反器電路 90 中似地使用電阻器 91 來做為電晶體 16 的置換物，節點 N2 之電位會變成 VDD 且節點 N3 之電位僅會變成比 VDD 更低電晶體 18 的臨限電壓 V_{th18} ，即使當由於特性劣化而使各個電晶體的臨限電壓變得更高時亦然。且因此，可易於使電晶體 13 和電晶體 14 導通。

注意的是，雖然控制信號係供應至輸入端子 IN1，輸入端子 IN2，輸入端子 IN3，及輸入端子 IN4 之各個輸入端子，但本發明並未受限於此。

例如，輸入端子 IN1，輸入端子 IN2，輸入端子 IN3，和輸入端子 IN4 各可以以電源供應電位 VDD，電源供應電位 VSS，或另一電位來供應。

注意的是，雖然電晶體 11 之第一端子和電晶體 16 之第一端子係連接至第一電源供應器，但本發明並未受限於此。

例如，電晶體 11 之第一端子及電晶體 16 之第一端子可分別地連接至不同的電源供應器。在該情況中，較佳地，連接至電晶體 16 之第一端子的電源供應器的電位係比

(29)

連接至電晶體 11 之第一端子的電源供應電位更高。

做為另一實例，控制信號可供應至電晶體 11 之第一端子及電晶體 16 之第一端子的各個端子。

注意的是，雖然電晶體 13 之第一端子，電晶體 14 之第一端子，和電晶體 17 之第一端子係連接至第二電源供應器，但本發明並未受限於此。

例如，電晶體 13 之第一端子，電晶體 14 之第一端子，及電晶體 17 之第一端子可分別連接至不同的電源供應器。

做為另一實例，控制信號可供應至電晶體 13 之第一端子，電晶體 14 之第一端子，及電晶體 17 之第一端子的各個端子。

雖然第 1 圖中所示的正反器電路 10 係均由使用 n 通道電晶體所形成，但第 1 圖中所示的正反器電路 10 亦可均由使用 p 通道電晶體所形成。此處，均由 p 通道電晶體所形成的正反器電路 10 係顯示於第 11 圖之中。

第 11 圖顯示本發明移位暫存器電路之正反器電路 110 的一模式。本發明之移位暫存器電路包含複數個正反器電路 110。在第 11 圖中所示的正反器電路包含電晶體 111，電晶體 112，電晶體 113，電晶體 114，電晶體 115，電晶體 116，電晶體 117，電晶體 118，及電容器 119，該電容器 119 具有兩電極。然而，在其中可使用電晶體 112 之閘極電容來做為電容器 119 之置換物的情況中，無需一定要設置該電容器 119。

(30)

如正反器電路 110 中所示地，電晶體 111 的閘極端子係連接至輸入端子 IN1；電晶體 111 的第一端子係連接至第一電源供應器；以及電晶體 111 的第二端子係連接至電晶體 112 之閘極端子，電晶體 114 之第二端子，電晶體 115 之閘極端子，電晶體 117 之第二端子，和電容器 119 之第二電極。電晶體 115 的第一端子係連接至第二電源供應器，且該電晶體 115 的第二端子係連接至電晶體 116 之第二端子和電晶體 118 之閘極端子。電晶體 116 的閘極端子及第一端子係連接至第一電源供應器。電晶體 118 的第一端子係連接至輸入端子 IN3，且該電晶體 118 的第二端子係連接至電晶體 113 之閘極端子和電晶體 114 之閘極端子。電晶體 113 的第一端子係連接至第二電源供應器，且該電晶體 113 的第二端子係連接至電容器 119 之第一電極，電晶體 112 之第二端子，和輸出端子 OUT。電晶體 112 的第一端子係連接至輸入端子 IN2。電晶體 114 的第一端子係連接至第二電源供應器。電晶體 117 的閘極端子係連接至輸入端子 IN4，且該電晶體 117 的第一端子係連接至第二電源供應器。

注意的是，在正反器電路 110 中，電晶體 111 之第二端子，電晶體 112 之閘極端子，電晶體 114 之第二端子，電晶體 115 之閘極端子，電晶體 117 之第二端子，以及電容器 119 之第二電極的節點係由 N1 所表示。電晶體 115 之第二端子，電晶體 116 之第二端子，以及電晶體 118 之閘極端子的節點係由 N2 所表示。電晶體 113 之閘極端子

(31)

，電晶體 114 之閘極端子，以及電晶體 118 之第二端子的節點則由 N3 所表示。

此外，電源供應電位 VSS 係供應至第一電源供應器，以及電源供應電位 VDD 係供應至第二電源供應器。在第一電源供應器的電源供應電位 VSS 與第二電源供應器的電源供應電位 VDD 之間的電位差 (VDD-VSS) 對應於正反器電路 110 的電源供應電壓。電源供應電位 VDD 係比電源供應電位 VSS 更高。

進一步地，控制信號係供應至各個輸入端子 IN1 至 IN4。此外，輸出端子 OUT 輸出一輸出信號。在前一級中之正反器電路 110 的輸出信號係供應至輸入端子 IN1 來做為控制信號。在下一級中之正反器電路 110 的輸出信號係供應至輸入端子 IN4 來做為控制信號。

此外，電晶體 111 至 118 之各個電晶體為 p 通道電晶體。然而，該等電晶體 111 至 118 之各個電晶體可為 n 通道電晶體。

接著，將參照第 12 圖中所示之時序圖來敘述第 11 圖中所示之正反器電路 110 的操作。第 12 圖係供應至各個輸入端子 IN1 至 IN4 的控制信號，自輸出端子 OUT 所輸出的輸出信號，以及第 11 圖中所示之節點 N1 至 N3 的電位之時序圖。注意的是，相對於控制信號及輸出信號的時序，H 位準及 L 位準係反相自其中正反器電路均由使用 n 通道電晶體所形成之情況 (第 1 圖) 中的 H 位準及 L 位準。為便利起見，第 12 圖中所示之時序圖係畫分成為週期

(32)

T1 至週期 T4。

注意的是，在週期 T4 之後的週期中，週期 T3 和週期 T4 係順序地重複著。此外，在第 12 圖中，週期 T1 係界定為選擇準備週期；週期 T2 係界定為選擇週期；以及週期 T3 和週期 T4 係界定為非選擇週期。也就是說，一選擇準備週期，一選擇週期，及複數個非選擇週期係順序地重複著。

此外，在第 12 圖中所示的時序圖中，控制信號及輸出信號各係具有兩個值的數位信號，該數位信號的兩個值之一係當數位信號為 H 信號時之 VDD，該 VDD 係與第二電源供應電位（在下文中亦稱為電位 VDD 或 H 位準）的電位相同；以及該數位信號的兩個值之另一者係當數位信號為 L 信號時之 VSS，該 VSS 係與第一電源供應電位（在下文中亦稱為電位 VSS 或 L 位準）的電位相同。

接著，將敘述在各個週期中之正反器電路 110 的操作

。

首先，將敘述在週期 T1 中之正反器電路 110 的操作

。

在週期 T1 中，輸入端子 IN1 變成 L 位準而使電晶體 111 導通，以及輸入端子 IN4 變成 H 位準而使電晶體 117 關閉。因為節點 N3 係保持於在週期 T3 中所獲得之 VDD（請容後敘述），所以電晶體 114 關閉。節點 N1 係透過電晶體 111 而電性連接至第一電源供應器，且節點 N1 的電位會下降成為 V_{n11} 。當節點 N1 變成 V_{n11} 時，電晶體

(33)

111 會關閉。此處， V_{n11} 係電源供應電位 V_{SS} 與電晶體 111 之臨限電壓 V_{th111} 的絕對值之加和的值（ $V_{SS} + |V_{th111}|$ ）。注意的是， V_{n11} 係可使電晶體 112 和電晶體 115 導通的電位。

當節點 N1 的電位變成 V_{n11} 時，電晶體 111 會關閉，以及電晶體 112 和電晶體 115 會導通。節點 N2 係透過電晶體 115 而電性連接至第二電源供應器，且透過電晶體 116 而電性連接至第一電源供應器，以及節點 N2 之電位會變成 V_{n21} 。此處， V_{n21} 係由電晶體 116 及電晶體 115 之操作點所決定。注意的是，電晶體 115 及電晶體 116 形成使用兩個電晶體之反相器。因此，當輸入 L 位準之信號進入電晶體 115 的閘極端子（節點 N1）之內時，H 位準之信號會輸入至節點 N2 之內。此處， V_{n21} 係可使電晶體 118 關閉之電位。因此，即使當輸入端子 IN3 係在 L 位準時，因為電晶體 118 係關閉的，所以可保持節點 N3 於 VDD。因為輸入端子 IN2 變成 H 位準，且輸出端子 OUT 係透過電晶體 112 而電性連接至輸入端子 IN2，所以輸出端子 OUT 之電位變成 VDD。

因為節點 N2 的電位變成 V_{n21} ，且電晶體 118 係關閉，所以節點 N3 保持於 VDD 以及電晶體 113 和電晶體 114 關閉。

藉由上述操作，在週期 T1 中之電晶體 112 係導通且輸出端子 OUT 係設定於 H 位準。此外，因為電晶體 111 關閉，所以使節點 N1 設定於浮動狀態中。

(34)

接著，將敘述在週期 T2 中之正反器電路 110 的操作

在週期 T2 中，輸入端子 IN1 變成 H 位準，且電晶體 111 係關閉的，輸入端子 IN4 係未改變地在 H 位準，且電晶體 117 關閉。因此，節點 N1 係維持來自 T1 週期之浮動狀態中，而保持在週期 T1 中之電位 V_{n11} 。

因為節點 N1 之電位係保持於 V_{n11} ，所以電晶體 112 導通，輸入端子 IN2 變成 L 位準，然後，因為輸出端子 OUT 係透過電晶體 112 而電性連接至輸入端子 IN2，所以輸出端子 OUT 的電位會自 VDD 降低。節點 N1 之電位係由電容器 119 之電容性耦合而改變成為 V_{n12} ，以維持電晶體 112 的導通狀態，而執行所謂的自舉 (bootstrap) 操作。因此，輸出端子 OUT 的電位會降低至相等於 VSS 的電位，該 VSS 係輸入端子 IN2 的電位。注意的是， V_{n12} 係小於或相等於藉由自電位 VSS 來減去電晶體 112 之臨限電壓的絕對值所獲得之值 ($V_{SS} - |V_{th112}|$)。因為輸入端子 IN2 變成 L 位準，且輸出端子 OUT 係透過電晶體 112 而電性連接至輸入端子 IN2，所以輸出端子 VDD 的電位會變成 VSS。

電晶體 115 係持續維持導通，即使當節點 N1 之電位變成 V_{n12} 時亦然。因此，節點 N2 之電位及節點 N3 之電位具有與在週期 T1 中之電位相同的電位。

藉由上述操作，在浮動狀態中之節點 N1 的電位會由自舉操作所降低，使得輸出端子 OUT 具有 VSS。

(35)

接著，將敘述在週期 T3 中之正反器電路 110 的操作。

在週期 T3 中，輸入端子 IN1 係未改變地在 H 位準，且電晶體 111 係關閉的。輸入端子 IN4 變成 L 位準而使電晶體 117 導通。然後，節點 N1 係透過電晶體 117 而電性連接至第二電源供應器，使得節點 N1 的電位變成 VDD。

節點 N1 的電位變成 VDD 而使電晶體 112 和電晶體 115 關閉。因為節點 N2 係透過電晶體 116 而電性連接至第一電源供應器，所以節點 N2 的電位會下降成爲 V_{n22} 。此處， V_{n22} 係電源供應電位 VSS 與電晶體 116 之臨限電壓 V_{th116} 的絕對值之加和的值 ($VSS + |V_{th116}|$)。注意的是， V_{n22} 係可使電晶體 118 導通的電位。

當節點 N2 之電位變成 V_{n22} 時，電晶體 118 導通。然後，因為輸入端子 IN3 變成 L 位準，且節點 N3 係透過電晶體 118 而電性連接至輸入端子 IN3，所以節點 N3 之電位變成 V_{n31} 。此處， V_{n31} 係節點 N2 之電位 V_{n22} 與電晶體 118 之臨限電壓 V_{th118} 的絕對值之加和的值 ($V_{n22} + |V_{th118}|$)。注意的是， V_{n31} 對應於電源供應電位 VSS，電晶體 116 之臨限電壓 V_{th116} 的絕對值，及電晶體 118 之臨限電壓 V_{th118} 的絕對值之加和的值 ($VSS + |V_{th116}| + |V_{th118}|$)。此外， V_{n31} 係可使電晶體 113 和電晶體 114 導通之電位。

當節點 N3 之電位變成 V_{n31} 時，電晶體 113 導通。然後，因為輸出端子 OUT 係透過電晶體 113 而電性連接至

(36)

第二電源供應器，所以輸出端子 OUT 的電位變成 VDD。

藉由上述操作，在週期 T3 中，VDD 係供應至節點 N1 而使電晶體 112 和電晶體 115 關閉。此外，節點 N3 係設定於 L 位準而使電晶體 113 和電晶體 114 導通。因此，輸出端子 OUT 之電位係設定於 VDD，以致輸出端子 OUT 具有 H 位準。

接著，將敘述在週期 T4 中之正反器電路 110 的操作

在週期 T4 之中，輸入端子 IN3 變成 H 位準，以及節點 N3 的電位變成 VDD。因此，電晶體 113 和電晶體 114 會關閉。輸入端子 IN4 變成 H 位準而使電晶體 117 關閉。因此，節點 N1 變成浮動狀態，且該節點之電位保持於 VDD。

因為節點 N1 之電位係未改變地在 VDD，所以電晶體 112 和電晶體 115 會持續地維持關閉。因此，節點 N2 會持續地維持於 Vn22，以及電晶體 118 會持續地維持導通。

因為電晶體 112 和電晶體 113 關閉，所以輸出端子 OUT 變成浮動狀態。因而，輸出端子 OUT 的電位保持於 VDD。

藉由上述操作，輸出端子 OUT 的電位係保持於 VDD，以致電晶體 113 和電晶體 114 可在週期 T4 中關閉。因為電晶體 113 和電晶體 114 並未一直導通，所以可抑制電晶體 113 和電晶體 114 之特性的劣化。

(37)

現將敘述週期 T1 至週期 T4 之間的關係。週期 T1 之下一個週期係週期 T2；週期 T2 之下一個週期係週期 T3；以及週期 T3 之下一個週期係週期 T4。此處，週期 T4 之下一個週期係週期 T1 或週期 T3，亦即，當輸入端子 IN1 變成 L 位準時，週期 T4 之下一個週期為週期 T1，或當輸入端子 IN1 係未改變地在 H 位準時，週期 T4 之下一個週期為週期 T3。此外，當週期 T3 係週期 T4 之下一個週期時，輸入端子 IN4 會未改變地在 H 位準，且電晶體 117 會持續地維持關閉。

此處，電晶體 111 至電晶體 118，及電容器 119 分別具有與第 1 圖中所示之電晶體 11 至電晶體 18，及電晶體 19 之功能相同的功能。

以此方式，在第 11 圖中所示之正反器電路 110 中，電晶體 113 及電晶體 114 係在週期 T3 中導通以及在週期 T4 中關閉，以致可防止電晶體 113 及電晶體 114 一直導通，所以可抑制電晶體 113 及電晶體 114 之特性的劣化。因此，在第 11 圖中所示的正反器電路 110 之中，亦可抑制由於電晶體 113 及電晶體 114 之特性劣化所造成的故障。

此外，當電晶體 113 及電晶體 114 導通時，電源供應電位 VDD 係供應至輸出端子 OUT 及節點 N1。因此，在第 11 圖中所示之正反器電路 110 中，可以以規則的時隔來供應電源供應電位 VDD 至輸出端子 OUT 和節點 N1，使得可抑制輸出端子 OUT 和節點 N1 之電位中的變動。

(38)

進一步地，在第 11 圖中所示的正反器電路 110 之中，可使用多晶矽來做為半導體層，使得製造可予以簡化。因此，可降低製造成本以及可改善產能。再者，因為在多晶矽中之特性幾乎不會劣化，所以半導體裝置之壽命可以比使用非晶矽來做為半導體層之情況更長。藉由使用本發明之正反器電路，可更持續半導體裝置的壽命。此外，因為使用多晶矽之電晶體的遷移率高，所以正反器電路 110 可高速地操作。

注意的是，電容器 119 較佳地係由使用閘極導線層和半導體層所形成，該閘極導線層和半導體層係以閘極絕緣膜插入其間而堆疊。因為閘極絕緣膜的厚度比諸如層間膜之其他絕緣層更薄，所以當使用閘極絕緣膜來做為絕緣物時，電容器可具有小的面積和高的容量。

此外，電晶體 115 之大小 (W/L) 較佳地比電晶體 116 之大小 (W/L) 更大。此處， W 意指電晶體之通道寬度，以及 L 意指電晶體之通道長度。當電晶體 115 導通時，節點 N2 的電位係由電晶體 115 及電晶體 116 之操作點所決定，也就是說，若電晶體 115 之大小並未充分地大於電晶體 116 之大小時，則節點 N2 之電位會變成更高，以致無法關閉電晶體 118。因此，為了使電晶體 118 關閉，電晶體 115 的大小應充分地大於電晶體 116 的大小。

此外，電晶體 115 的大小較佳地比電晶體 116 的大小更大 4 倍以上；更佳地，電晶體 115 的大小比電晶體 116 的大小更大 10 倍以上。當電源供應電壓低時，電晶體 115

(39)

相對於電晶體 116 之大小的比例可為大約 4 : 1；然而，該電源供應電壓變得更高時，電晶體 115 相對於電晶體 116 之大小的比例應為大約 10 : 1。

此處，當連接位準轉移電路或其類似物至正反器電路 110 的輸出端子 OUT 時，電晶體 115 相對於電晶體 116 之大小的比較較佳地為 4 : 1 以上。此係因為正反器電路 110 之輸出信號的振幅電壓係由位準轉移電路或其類似物所增加，使得該正反器電路 110 常以低的電源供應電壓來操作之故。

選擇性地，當位準轉移電路或其類似物並未連接至正反器電路 110 的輸出端子 OUT 時，較佳地，電晶體 115 相對於電晶體 116 之大小的比例為 10 : 1 以上。此係因為正反器電路 110 之輸出信號係應用於某一種類的操作而無需位準轉移，使得該正反器電路 110 常以高的電源供應電壓來操作之故。

注意的是，電源供應電位和控制信號之電位各可為任一電位，只要其可控制目標電晶體之導通/關閉 (on/off) 即可。

例如，電源供應電位 VSS 可為比控制信號之 L 位準電位更低的電位，此係因為節點 N3 的電位係 V_{n31} ($V_{SS} + |V_{th116}| + |V_{th118}|$)，所以當電源供應電位 VSS 變低時會使得節點 N3 之電位 V_{n31} 變得更低。因此，可確保電晶體 113 和電晶體 114 導通，即使當電晶體 113 和電晶體 114 的臨限電壓由於電晶體 113 和電晶體 114 之特性劣

(40)

化而變得更低時亦然。

此外，電源供應電位 V_{SS} 可為比控制信號之 L 位準電位更高的電位，只要其可控制各個電晶體的導通/關閉 (on/off) 即可。

注意的是，當電晶體 112 的閘極端子與第二端子之間的閘極電容 (寄生電容) 足夠大時，則無需一定要設置電容器 119。

例如，如在第 13 圖中之正反器電路 130 中，並不需要連接電容器 119。因此，由於在正反器電路 130 中之元件數目比正反器電路 110 中之元件數目少了一個，所以各個元件可以以高的密度來設置於正反器電路 130 之中。

此外，做為另一實例，電容器可如第 16 圖中之正反器電路 160 中似地由使用電晶體 161 所形成。此係因為當電晶體 161 導通時，電晶體 161 的閘極電容足以作用成為電容器。

應注意的是，因為電晶體 161 係在週期 T1 及週期 T2 中 (在執行自舉操作時) 導通，所以通道區會形成於電晶體 161 中，使得電晶體 161 作用成為電容器。相反地，因為電晶體 161 係在週期 T3 及週期 T4 中 (在不執行自舉操作時) 關閉，所以通道區不會形成於電晶體 161 中，以致電晶體 161 並未作用成為電容器或作用成為小的電容器。

此處，如上述地在第 16 圖之正反器電路 160 中，藉由使用電晶體 161 來形成電容器，僅當需要時 (在週期 T1 及週期 T2 中)，電晶體 161 會作用成為電容器，且當

(41)

不要時（在週期 T3 及週期 T4 中），電晶體 161 並不會作用成爲電容器。因此，正反器電路 160 幾乎不會由於節點 N1 及輸出端子 OUT 之電位中的改變而故障。

注意的是，電晶體 161 具有與電晶體 112 相同的極性。

而且，應注意的是，電晶體 111 的第一端子可在週期 T1 及週期 T2 中連接於任何處，只要可使節點 N1 成爲浮動狀態即可。

例如，電晶體 111 的第一端子可如第 14 圖中之正反器電路 140 中似地連接至輸入端子 IN1。此係因爲即使當連接電晶體 111 之第一端子至輸入端子 IN1 時，亦可使節點 N1 在週期 T1 及週期 T2 中成爲浮動狀態。

注意的是，在第 11 圖中的正反器電路 110 之中，當輸入端子 IN1 的電位改變時，雜訊會由於電晶體 111 之第一端子與閘極端子之間的寄生電容而產生於第一電源供應器中。此外，當電流係由於電晶體 111 之導通/關閉（on/off）而自第一電源供應器來供應至節點 N1 時，雜訊會由於電流所造成之壓降而產生於第一電源供應器中，此雜訊係由輸出端子 IN1 之電位中的改變所產生。

此處，藉由如上述第 14 圖中的正反器電路 140 中之連接，可抑制上述雜訊。此外，藉由抑制第二電源供應器中之雜訊，可穩定地操作使用該第一電源供應器的另一電路。

注意的是，使用該第一電源供應器的另一電路對應於

(42)

連接至正反器電路 140 之輸出端子 OUT 的反相器電路，位準轉移電路，閃鎖電路，PWC 電路，或其類似電路。

而且，應注意的是，可使用任一元件來做為電晶體 116，只要該元件可與電晶體 115 一起形成反相器電路即可。電晶體 116 無需一定要具有整流性質，而是可使用任一元件，只要當電流供應至其時可產生電壓於該元件中即可。

例如，可如第 15 圖之正反器電路 150 中似地連接電阻器 151 來做為電晶體 116 的置換物，此係因為即使當連接電阻器 151 來做為電晶體 116 的置換物時，亦可藉由使用電阻器 151 和電晶體 115 來形成反相器電路。

注意的是，當電晶體 115 關閉時，節點 N2 的電位會變成與第一電源供應器之電位相同的 VSS。此外，節點 N3 之電位會在此時變成電源供應電位 VSS 與電晶體 118 之臨限電壓 V_{th118} 的絕對值之和的值 ($VSS + |V_{th118}|$)。

此處，藉由上述第 9 圖之正反器電路 150 中似地使用電阻器 151 來做為電晶體 116 的置換物，節點 N2 之電位會變成 VSS 且節點 3 之電位僅會變成比 VSS 更高電晶體 118 的臨限電壓 V_{th118} ，即使當由於特性劣化而使各個電晶體的臨限電壓變得更高時亦然。且因此，可易於使電晶體 113 和電晶體 114 導通。

注意的是，雖然控制信號係供應至輸入端子 IN1，輸入端子 IN2，輸入端子 IN3，及輸入端子 IN4 之各個輸入

(43)

端子，但本發明並未受限於此。

例如，輸入端子 IN1，輸入端子 IN2，輸入端子 IN3，和輸入端子 IN4 各可以以電源供應電位 VDD，電源供應電位 VSS，或另一電位來供應。

注意的是，雖然電晶體 111 之第一端子和電晶體 116 之第一端子係連接至第一電源供應器，但本發明並未受限於此。

例如，電晶體 111 之第一端子及電晶體 116 之第一端子可分別地連接至不同的電源供應器。在該情況中，較佳地，連接至電晶體 116 之第一端子的電源供應器的電位係比連接至電晶體 111 之第一端子的電源供應器的電位更高。

做為另一實例，控制信號可供應至電晶體 111 之第一端子及電晶體 116 之第一端子的各個端子。

注意的是，雖然電晶體 113 之第一端子，電晶體 114 之第一端子，和電晶體 117 之第一端子係連接至第二電源供應器，但本發明並未受限於此。

例如，電晶體 113 之第一端子，電晶體 114 之第一端子，及電晶體 117 之第一端子可分別連接至不同的電源供應器。

注意的是，此實施例模式可以與此說明書中之其他實施例模式及實施例中的任一說明結合而自由地實施。也就是說，在非選擇週期中，本發明之移位暫存器電路中的電晶體係以規則的時隔來導通，使得電源供應電位被供應至

(44)

輸出端子。因此，電源供應電位係透過電晶體而供應至移位暫存器電路的輸出端子。因為電晶體在非選擇週期中並非一直地導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係規則時隔地透過電晶體而供應至移位暫存器電路的輸出端子。因此，該移位暫存器電路可抑制產生於輸出端子中的雜訊。

[實施例模式 2]

在此實施例模式中，將敘述本發明之移位暫存器電路的結構。

第 17 圖顯示本發明之移位暫存器電路的一模式。第 17 圖中所示的移位暫存器電路包含複數個正反器電路 171，控制信號線 172，控制信號線 173，及控制信號線 174。

如第 17 圖中之移位暫存器電路中所示，各個正反器電路 171 中的輸入端子 IN1 係連接至前一級中之正反器電路 171 的輸出端子 OUT。該輸出端子 OUT 係連接至下一級中之正反器電路 171 的輸入端子 IN1，前一級中之正反器電路 171 的輸入端子 IN4，以及移位暫存器電路的輸出端子 SRout。注意的是，在第一級中之正反器電路的輸入端子 IN1 係連接至控制信號線 172。此外，最後級中之正反器電路 171 的輸入端子 IN4 係連接至電源供應器。在奇數級中之正反器電路 171 中，輸入端子 IN2 係連接至控制信號線 173，以及輸入端子 IN3 係連接至控制信號線 174。相反地，在偶數級中之正反器電路 171 中，輸入端子

(45)

IN2 係連接至控制信號線 174，以及輸入端子 IN3 係連接至控制信號線 173。

注意的是，可使用與實施例模式 1 中所示之該等正反器電路相似的正反器電路來做為正反器電路 171。

此外，可使用與實施例模式 1 中所示之該等輸入端子 IN1 至 IN4 及輸出端子 OUT 相似的輸入端子 IN1 至 IN4 及輸出端子 OUT 來做為正反器電路 171 之輸入端子 IN1 至 IN4 以及輸出端子 OUT。

進一步地，在本發明之移位暫存器的第一級中之輸出端子 SRout 係由 SRout1 所表示；在本發明之移位暫存器的第二級中之輸出端子 SRout 係由 SRout2 所表示；在本發明之移位暫存器的第三級中之輸出端子 SRout 係由 SRout3 所表示；在本發明之移位暫存器的第四級中之輸出端子 SRout 係由 SRout4 所表示；以及在本發明之移位暫存器的第 n 級中之輸出端子 SRout 係由 SRoutn 所表示。

此外，在正反器電路 171 中，為便利起見，並未描繪電源供應器及電源供應線，但可使用實施例模式 1 中所描述之第一電源供應器及第二電源供應線來做為該電源供應器及電源供應線。因此，在第一電源供應器的電源供應電位 VDD 與第二電源供應器的電源供應電位 VSS 之間的電位差 (VDD-VSS) 對應於正反器電路 171 的電源供應電壓。

進一步地，控制信號 SSP、CK、及 CKB 係分別供應至控制信號 172 至控制信號 174。此外，在第一至第四級

(46)

和第 n 級中之正反器電路 171 的輸出信號係分別供應至移位暫存器電路之輸出端子 SRout1 至 SRout4 和輸出端子 SRoutn。

接著，將參照第 18 圖中所示的時序圖來敘述第 17 圖中所示之移位暫存器電路的操作。第 18 圖係分別供應至控制信號線 172 至 174 之控制信號 SSP、CK、及 CKB，以及第 17 圖中所示的輸出端子 SRout1 至 SRout4 及輸出端子 SRoutn 之輸出信號的時序圖。此外，為便利起見，將第 18 圖中所示之時序圖畫分成為週期 T0 至週期 T5，週期 Tn，週期 Tn+1。

應注意的是，第 18 圖係在使用 n 通道電晶體來做為電晶體之情況中的時序圖，亦即，第 18 圖係在使用第 1 圖及第 7 至 10 圖中所示的正反器電路來做為正反器電路 171 之情況中的時序圖。

注意的是，在第 18 圖中所示的時序圖之中，控制信號及輸出信號各為與實施例模式 1 相似之具有兩個值的數位信號。

將參照第 18 圖來說明第 17 圖中所示之移位暫存器電路的操作。

首先，將說明週期 T0 中之移位暫存器電路的操作。在週期 T0 中，控制信號 SSP 係在 H 位準；控制信號 CK 係在 L 位準；以及控制信號 CKB 係在 H 位準。

在第一級中之正反器電路 171 中，輸入端子 IN1 變成 H 位準；輸入端子 IN2 變成 L 位準；輸入端子 IN3 變成 H

(47)

位準；以及輸入端子 IN4 變成 L 位準。因此，輸出端子 OUT 變成 L 位準。此狀態係與第 2 圖中所示之週期 T1 中的時序圖之狀態相同。

在除了第一級之外的奇數級中之正反器電路 171 中，輸入端子 IN1 變成 L 位準；輸入端子 IN2 變成 L 位準；輸入端子 IN3 變成 H 位準；以及輸入端子 IN4 變成 L 位準。因此，輸出端子 OUT 變成 L 位準。此狀態係與第 2 圖中所示之週期 T3 中的時序圖之狀態相同。

在偶數級中之正反器電路 171 中，輸入端子 IN1 變成 L 位準；輸入端子 IN2 變成 H 位準；輸入端子 IN3 變成 L 位準；以及輸入端子 IN4 變成 L 位準。因此，輸出端子 OUT 變成 L 位準。此狀態係與第 2 圖中所示之週期 T4 中的時序圖之狀態相同。

在此方式中，移位暫存器電路之所有輸出端子 SRout 係均在 L 位準。

接著，將說明週期 T1 中之移位暫存器電路的操作。在週期 T1 中，控制信號 SSP 係在 L 位準；控制信號 CK 係在 H 位準；以及控制信號 CKB 係在 L 位準。

在第一級中之正反器電路 171 中，輸入端子 IN1 變成 L 位準；輸入端子 IN2 變成 H 位準；輸入端子 IN3 變成 L 位準；以及輸入端子 IN4 係未改變地在 L 位準。因此，輸出端子 OUT 變成 H 位準。此狀態係與第 2 圖中所示之週期 T2 中的時序圖之狀態相同。

在第二級中之正反器電路 171 中，輸入端子 IN1 變成

(48)

H 位準；輸入端子 IN2 變成 L 位準；輸入端子 IN3 變成 H 位準；以及輸入端子 IN4 係未改變地在 L 位準。因此，輸出端子 OUT 係未改變地在 L 位準。此狀態係與第 2 圖中所示之週期 T1 中的時序圖之狀態相同。

在除了第一級之外的奇數級中之正反器電路 171 中，輸入端子 IN1 係未改變地在 L 位準；輸入端子 IN2 變成 H 位準；輸入端子 IN3 變成 L 位準；以及輸入端子 IN4 係未改變地在 L 位準。因此，輸出端子 OUT 係未改變地在 L 位準。此狀態係與第 2 圖中所示之週期 T4 中的時序圖之狀態相同。

在除了第二級之外的偶數級中之正反器電路 171 中，輸入端子 IN1 係未變地在 L 位準；輸入端子 IN2 變成 L 位準；輸入端子 IN3 變成 H 位準；以及輸入端子 IN4 係未改變地在 L 位準。因此，輸出端子 OUT 係未改變地在 L 位準。此狀態係與第 2 圖中所示之週期 T3 中的時序圖之狀態相同。

在此方式中，移位暫存器電路的輸出端子 SRout1 變成 H 位準，以及其他的輸出端子 SRout 係未改變地在 L 位準。

接著，將說明週期 T2 中之移位暫存器電路的操作。在週期 T2 中，控制信號 SSP 變成 L 位準；控制信號 CK 變成 L 位準；以及控制信號 CKB 變成 H 位準。

在第一級中之正反器電路 171 中，輸入端子 IN1 係未改變地在 L 位準；輸入端子 IN2 變成 L 位準；輸入端子

(49)

IN3 變成 L 位準；以及輸入端子 IN4 變成 H 位準。因此，輸出端子 OUT 變成 L 位準。此狀態係與第 2 圖中所示之週期 T3 中的時序圖之狀態相同。

在第二級中之正反器電路 171 中，輸入端子 IN1 變成 L 位準；輸入端子 IN2 變成 H 位準；輸入端子 IN3 變成 L 位準；以及輸入端子 IN4 係未改變地在 L 位準。因此，輸出端子 OUT 變成 H 位準。此狀態係與第 2 圖中所示之週期 T2 中的時序圖之狀態相同。

在第三級中之正反器電路 171 中，輸入端子 IN1 變成 H 位準；輸入端子 IN2 變成 L 位準；輸入端子 IN3 變成 H 位準；以及輸入端子 IN4 係未改變地在 L 位準。因此，輸出端子 OUT 係未改變地在 L 位準。此狀態係與第 2 圖中所示之週期 T1 中的時序圖之狀態相同。

在除了第一級和第三級之外的奇數級中之正反器電路 171 中，輸入端子 IN1 係未改變地在 L 位準；輸入端子 IN2 變成 L 位準；輸入端子 IN3 變成 H 位準；以及輸入端子 IN4 係未改變地在 L 位準。因此，輸出端子 OUT 係未改變地在 L 位準。此狀態係與第 2 圖中所示之週期 T3 中的時序圖之狀態相同。

在除了第二級之外的偶數級中之正反器電路 171 中，輸入端子 IN1 係未改變地在 L 位準；輸入端子 IN2 變成 H 位準；輸入端子 IN3 變成 L 位準；以及輸入端子 IN4 係未改變地在 L 位準。因此，輸出端子 OUT 係未改變地在 L 位準。此狀態係與第 2 圖中所示之週期 T4 中的時序圖之

(50)

狀態相同。

在此方式中，移位暫存器電路的輸出端子 SRout1 變成 L 位準；輸出端子 SRout2 變成 H 位準；以及其他的輸出端子 SRout 係未改變地在 L 位準。

相似地，在稍後的週期中，移位暫存器電路的輸出端子 SRout3 在週期 T3 中變成 H 位準；移位暫存器電路的輸出端子 SRout4 在週期 T4 中變成 H 位準；在第五級中之移位暫存器電路的輸出端子 SRout5 在週期 T5 中變成 H 位準；以及在第 n 級中之移位暫存器電路的輸出端子 SRoutn 在週期 Tn 中變成 H 位準。在此方式中，移位暫存器電路的輸出端子僅針對一週期而順序地變成 H 位準。此外，一週期對應於控制信號 CK 或控制信號 CKB 的半個週期。

藉由上述操作，在第 17 圖中所示之移位暫存器電路的輸出端子 SRout 可一級一級地設定於 H 位準。此外，藉由使用實施例模式 1 中所示之正反器電路來做為正反器電路 171，則第 17 圖中所示的正反器電路幾乎不會由於電晶體之特性劣化而故障，以致可使輸出信號的雜訊降低。

雖然第 18 圖顯示其中正反器電路 171 的電晶體係 n 通道電晶體之情況中的時序圖，但第 19 圖將顯示其中正反器電路 171 的電晶體係 p 通道電晶體之情況中的時序圖。也就是說，第 19 圖係在使用第 11 及第 13 至 16 圖中所示的正反器電路來做為正反器電路 171 之情況中的時序圖。

接著，將參照第 19 圖中所示的時序圖來敘述第 17 圖

(51)

中所示之移位暫存器電路的操作。第 19 圖係分別供應至控制信號線 172 至 174 之控制信號 SSP、CK、及 CKB，以及第 17 圖中所示的輸出端子 SRout1 至 SRout4 及輸出端子 SRoutn 之輸出信號的時序圖。此外，為便利起見，將第 19 圖中所示之時序圖畫分成為週期 T0 至週期 T5，週期 Tn，及週期 Tn+1。注意的是，相對於控制信號及輸出信號之時序，H 位準及 L 位準係反相自其中正反器電路 171 係藉由均使用 n 通道電晶體所形成之情況中（第 18 圖）之該等位準。

注意的是，在第 19 圖中所示的時序圖之中，控制信號及輸出信號各為與實施例模式 1 相似之具有兩個值的數位信號。

將參照第 19 圖來說明第 17 圖中所示之移位暫存器電路的操作。

首先，將說明週期 T0 中之移位暫存器電路的操作。在週期 T0 中，控制信號 SSP 係在 L 位準；控制信號 CK 係在 H 位準；以及控制信號 CKB 係在 L 位準。

在第一級中之正反器電路 171 中，輸入端子 IN1 變成 L 位準；輸入端子 IN2 變成 H 位準；輸入端子 IN3 變成 L 位準；以及輸入端子 IN4 變成 H 位準。因此，輸出端子 OUT 變成 H 位準。此狀態係與第 12 圖中所示之週期 T1 中的時序圖之狀態相同。

在除了第一級之外的奇數級中之正反器電路 171 中，輸入端子 IN1 變成 L 位準；輸入端子 IN2 變成 H 位準；

(52)

輸入端子 IN3 變成 L 位準；以及輸入端子 IN4 變成 H 位準。因此，輸出端子 OUT 變成 H 位準。此狀態係與第 12 圖中所示之週期 T3 中的時序圖之狀態相同。

在偶數級中之正反器電路 171 中，輸入端子 IN1 變成 H 位準；輸入端子 IN2 變成 L 位準；輸入端子 IN3 變成 H 位準；以及輸入端子 IN4 變成 H 位準。因此，輸出端子 OUT 變成 H 位準。此狀態係與第 12 圖中所示之週期 T4 中的時序圖之狀態相同。

在此方式中，移位暫存器電路之所有輸出端子 SRout 係均在 H 位準。

接著，將說明週期 T1 中之移位暫存器電路的操作。在週期 T1 中，控制信號 SSP 係在 H 位準；控制信號 CK 係在 L 位準；以及控制信號 CKB 係在 H 位準。

在第一級中之正反器電路 171 中，輸入端子 IN1 變成 H 位準；輸入端子 IN2 變成 L 位準；輸入端子 IN3 變成 H 位準；以及輸入端子 IN4 係未改變地在 H 位準。因此，輸出端子 OUT 變成 L 位準。此狀態係與第 12 圖中所示之週期 T2 的時序圖之狀態相同。

在第二級中之正反器電路 171 中，輸入端子 IN1 變成 L 位準；輸入端子 IN2 變成 H 位準；輸入端子 IN3 變成 L 位準；以及輸入端子 IN4 係未改變地在 H 位準。因此，輸出端子 OUT 係未改變地在 H 位準。此狀態係與第 12 圖中所示之週期 T1 中的時序圖之狀態相同。

在除了第一級之外的奇數級中之正反器電路 171 中，

(53)

輸入端子 IN1 係未改變地在 H 位準；輸入端子 IN2 變成 L 位準；輸入端子 IN3 變成 H 位準；以及輸入端子 IN4 係未改變地在 H 位準。因此，輸出端子 OUT 係未改變地在 H 位準。此狀態係與第 12 圖中所示之週期 T4 中的時序圖之狀態相同。

在除了第二級之外的偶數級中之正反器電路 171 中，輸入端子 IN1 係未改變地在 H 位準；輸入端子 IN2 變成 H 位準；輸入端子 IN3 變成 L 位準；以及輸入端子 IN4 係未改變地在 H 位準。因此，輸出端子 OUT 係未改變地在 H 位準。此狀態係與第 12 圖中所示之週期 T3 中的時序圖之狀態相同。

在此方式中，移位暫存器電路的輸出端子 SRout1 變成 L 位準，以及其他的輸出端子 SRout 係未改變地在 H 位準。

接著，將說明週期 T2 中之移位暫存器電路的操作。在週期 T2 中，控制信號 SSP 係在 H 位準；控制信號 CK 係在 H 位準；以及控制信號 CKB 係在 L 位準。

在第一級中之正反器電路 171 中，輸入端子 IN1 係未改變地在 H 位準；輸入端子 IN2 變成 H 位準；輸入端子 IN3 變成 L 位準；以及輸入端子 IN4 變成 L 位準。因此，輸出端子 OUT 變成 H 位準。此狀態係與第 12 圖中所示之週期 T3 中的時序圖之狀態相同。

在第二級中之正反器電路 171 中，輸入端子 IN1 變成 H 位準；輸入端子 IN2 變成 L 位準；輸入端子 IN3 變成 H

(54)

位準；以及輸入端子 IN4 係未改變地在 H 位準。因此，輸出端子 OUT 變成 L 位準。此狀態係與第 12 圖中所示之週期 T2 中的時序圖之狀態相同。

在第三級中之正反器電路 171 中，輸入端子 IN1 變成 L 位準；輸入端子 IN2 變成 H 位準；輸入端子 IN3 變成 L 位準；以及輸入端子 IN4 係未改變地在 H 位準。因此，輸出端子 OUT 係未改變地在 H 位準。此狀態係與第 12 圖中所示之週期 T1 中的時序圖之狀態相同。

在除了第一級和第三級之外的奇數級中之正反器電路 171 中，輸入端子 IN1 係未改變地在 H 位準；輸入端子 IN2 變成 H 位準；輸入端子 IN3 變成 L 位準；以及輸入端子 IN4 係未改變地在 H 位準。因此，輸出端子 OUT 係未改變地在 H 位準。此狀態係與第 12 圖中所示之週期 T3 中的時序圖之狀態相同。

在除了第二級之外的偶數級中之正反器電路 171 中，輸入端子 IN1 係未改變地在 H 位準；輸入端子 IN2 變成 L 位準；輸入端子 IN3 變成 H 位準；以及輸入端子 IN4 係未改變地在 H 位準。因此，輸出端子 OUT 係未改變地在 H 位準。此狀態係與第 12 圖中所示之週期 T4 中的時序圖之狀態相同。

在此方式中，移位暫存器電路的輸出端子 SRout1 變成 H 位準；輸出端子 SRout2 變成 L 位準；以及其他的輸出端子 SRout 係未改變地在 H 位準。

相似地，在稍後的週期中，移位暫存器電路的輸出端

(55)

子 SRout3 在週期 T3 中變成 L 位準；移位暫存器電路的輸出端子 SRout4 在週期 T4 中變成 H 位準；在第五級中之移位暫存器電路的輸出端子 SRout5 在週期 T5 中變成 L 位準；以及在第 n 級中之移位暫存器電路的輸出端子 SRoutn 在週期 Tn 中變成 L 位準。在此方式中，移位暫存器電路的輸出端子僅針對一週期而順序地變成 L 位準。此外，一週期對應於控制信號 CK 或控制信號 CKB 的半個週期。

藉由上述操作，在第 17 圖中所示之移位暫存器電路的輸出端子 SRout 可一級一級地設定於 L 位準。此外，藉由使用實施例模式 1 中所示之正反器電路來做為正反器電路 171，則第 17 圖中所示的正反器電路幾乎不會由於電晶體之特性劣化而故障，以致可使輸出信號的雜訊降低。

注意的是，正反器電路 171 可為任何的正反器電路，只要它們可自第一級來順序地供應選擇信號到移位暫存器電路的輸出端子 SRout 即可。

注意的是，正反器電路 171 之輸出端子 OUT 可透過各式各樣的元件和電路而連接至移位暫存器電路的輸出端子 SRout。該等各式各樣的元件和電路對應於諸如正反器電路，緩衝器電路，NAND 電路，NOR 電路，三態緩衝器電路，或 PWC 電路之邏輯電路，以及開關，電阻器，電容器，另外元件，或其類似物。此外，藉由與該等元件或電路結合，可形成各式各樣的電路。

應注意的是，雖然係供應控制信號至各個控制信號線 172 至 174，但本發明並未受限於此。

(56)

例如，各個控制信號線 172 至 174 可以以電源供應電位 VDD，電源供應電位 VSS，或另一電位來予以供應。

注意的是，雖然控制信號 CK 被供應至控制信號線 173，以及控制信號 CKB 被供應至控制信號線 174，但本發明並未受限於此。

例如，控制信號 CK 可供應至控制信號線 173，且該控制信號 CK 之反相信號可透過反相器電路而供應至控制信號線 174。選擇性地，控制信號 CKB 之反相信號可透過反相器電路而供應至控制信號線，且該控制信號 CKB 可予以供應至控制信號線 174。注意的是，此反相器電路係較佳地形成於與移位暫存器電路相同的基板上。

注意的是，雖然在最後級中之正反器電路 171 的輸入端子 IN4 係連接至電源供應器，但本發明並未受限於此。

例如，在最後級中之正反器電路 171 的輸入端子 IN4 可連接至控制信號線 172 至 174 之任一者，至另一控制信號線，或至另一級中之正反器電路 171 的輸出端子 OUT。

注意的是，此實施例模式可以與此說明書中之其他實施例模式及實施例中的任一說明結合而自由地實施。也就是說，在非選擇週期中，本發明之移位暫存器電路中的電晶體係以規則的時隔來導通，使得電源供應電位被供應至輸出端子。因此，電源供應電位係透過電晶體而供應至移位暫存器電路的輸出端子。因為電晶體在非選擇週期中並非一直地導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係規則時隔地透過電晶體而供應至移位暫

(57)

存器電路的輸出端子。因此，該移位暫存器電路可抑制產生於輸出端子中的雜訊。

[實施例模式 3]

在此實施例模式中，將說明在使用實施例模式 1 中所述之正反器電路，實施例模式 2 中所述之移位暫存器電路，及其類似物來做為一部分驅動器電路的情況中之結構實例。

可應用於閘極驅動器之驅動器電路的結構實例將參照第 20 至 27 圖來加以描述。注意的是，在第 20 至 27 圖中之驅動器電路不僅可應用於閘極驅動器，而且可應用於任何驅動器電路。

第 20 圖顯示本發明之閘極驅動器的一模式。本發明之閘極驅動器包含移位暫存器電路 200 及緩衝器電路 201。

如第 20 圖中之閘極驅動器中所示地，移位暫存器電路 200 的輸出端子 SRout 係透過緩衝器電路 201 而連接至閘極驅動器的輸出端子 GDout。

注意的是，移位暫存器電路 200 係相似於實施例模式 2 中所述之移位暫存器電路。

此外，移位暫存器電路 200 的輸出端子 SRout1 至 SRout4 以及輸出端子 SRoutn 係相同於實施例模式 2 中所述之該等輸出端子。

進一步地，在本發明之閘極驅動器的第一級中之輸出

(58)

端子 GDout 係由 GDout1 所表示；在本發明之閘極驅動器的第二級中之輸出端子 GDout 係由 GDout2 所表示；在本發明之閘極驅動器的第三級中之輸出端子 GDout 係由 GDout3 所表示；以及在本發明之閘極驅動器的第 n 級中之輸出端子 GDout 係由 GDoutn 所表示。

此外，該緩衝器電路 201 包含諸如反相器電路，緩衝器電路，NAND 電路，NOR 電路，三態緩衝器電路，或 PWC 電路之邏輯電路，開關，電阻器，電容器，另外元件，或其類似物。此外，藉由與該等元件及電路結合，可形成各式各樣的電路。

此外，在第 20 圖中之閘極驅動器中，為便利起見，並未描繪出電源供應線及控制信號線。

再者，在其中該移位暫存器電路 200 係由使用 n 通道電晶體所形成的情況中，較佳地，該緩衝器電路 201 係由同樣地使用 n 通道電晶體所形成。在其中該移位暫存器電路 200 係由使用 p 通道電晶體所形成的情況中，較佳地，該緩衝器電路 201 係由同樣地使用 p 通道電晶體所形成。

此外，在其中該移位暫存器電路 200 係由使用 n 通道電晶體所形成的情況中，該移位暫存器電路 200 的輸出信號係相同於第 18 圖中之時序圖的輸出信號。在其中該移位暫存器電路 200 係由使用 p 通道電晶體所形成的情況中，該移位暫存器電路 200 的輸出信號係相同於第 19 圖中之時序圖的輸出信號。

此處，將敘述緩衝器電路 201 之特定的結構實例。第

(59)

21 至 27 圖顯示包含緩衝器電路之閘極驅動器的結構實例。注意的是，緩衝器電路 201 的結構並未受限於第 21 至 27 圖中之結構。

第 21 圖特定地顯示包含本發明之緩衝器電路的閘極驅動器之一模式。第 21 圖中之閘極驅動器包含移位暫存器電路 200 及緩衝器電路 210。該緩衝器電路 210 包含反相器電路 211A 於第一級中以及反相器電路 211B 於第二級中。

如第 21 圖中之閘極驅動器中所示地，移位暫存器電路 200 的輸出端子 SRout 係透過緩衝器電路 210 而連接至閘極驅動器的輸出端子 GDout。

現將描述緩衝器電路 210 中的連接關係。反相器電路 211A 的輸入端子 IN 係連接至移位暫存器電路 200 之輸出端子 SRout，以及反相器電路 211A 的輸出端子 OUT 係連接至反相器電路 211B 之輸入端子 IN，該反相器電路 211B 的輸出端子 OUT 係連接至閘極驅動器之輸出端子 GDout。亦即，在緩衝器電路 210 中，兩個反相器電路 211A 和 211B 係串聯連接用於各個級中之移位暫存器電路 200 的各個輸出端子 SRout。

將分別敘述第 21 圖中之閘極驅動器在其中輸出端子 SRout 係在 H 位準的情況中，以及在其中輸出端子 SRout 係在 L 位準的情況中之操作。

首先，將說明其中輸出端子 SRout 係在 H 位準的情況。因為輸出端子 SRout 係透過兩個反相器電路 211A 及

(60)

211B 而連接至輸出端子 GDout，所以該輸出端子 GDout 變成在 H 位準。

接著，將說明其中輸出端子 SRout 係在 L 位準的情況因為輸出端子 SRout 係透過兩個反相器電路 211A 及 211B 而連接至輸出端子 GDout，所以該輸出端子 GDout 變成在 L 位準。

藉由上述操作，當輸出端子 SRout 變成在 H 位準時，輸出端子 GDout 變成在 H 位準。此外，當輸出端子 SRout 變成在 L 位準時，輸出端子 GDout 變成在 L 位準。

此外，因為反相器電路 211A 及 211B 具有整流性質，所以可在閘極驅動器之輸出端子 GDout 上抑制輸出端子 SRout 中之雜訊的不利效應。

注意的是，雖然串聯連接兩個反相器電路 211A 和 211B 於緩衝器電路 210 之中，但可串聯連接複數個反相器電路 211。例如，在其中串聯連接奇數個反相器電路 211 的情況中，輸出端子 GDout 變成與輸出端子 SRout 之位準相反的位準；在其中串聯連接偶數個反相器電路 211 的情況中，輸出端子 GDout 變成與輸出端子 SRout 之位準相同的位準。

應注意的是，雖然串聯連接兩個反相器電路 211A 和 211B 於緩衝器電路 210 之中，但亦可並聯連接複數個反相器電路 211，此可降低反相器電路 211A 和 211B 中的電流密度，使得可抑制形成該等反相器電路 211A 和 211B 之元件的特性劣化。

(61)

第 22 圖特定地顯示包含本發明緩衝器電路的閘極驅動器之另一模式。第 22 圖中之閘極驅動器包含移位暫存器電路 200，緩衝器電路 220，及控制信號線 222。該緩衝器電路 220 包含 NAND（反及）電路 221。

如第 22 圖中之閘極驅動器中所示地，移位暫存器電路 200 的輸出端子 SRout 係透過緩衝器電路 220 而連接至閘極驅動器的輸出端子 GDout。

現將描述緩衝器電路 220 中的連接關係。NAND 電路 221 的輸入端子 IN1 係連接至控制信號線 222；該 NAND 電路 221 的輸入端子 IN2 係連接至移位暫存器電路 200 之輸出端子 SRout；以及該 NAND 電路 221 的輸出端子 OUT 係連接至閘極驅動器之輸出端子 GDout。

此外，致能信號 En 被供應至控制信號線 222，該致能信號 En 為數位信號。

將分別敘述第 22 圖中之閘極驅動器在其中控制信號線 222 係在 H 位準及 L 位準的情況中，以及在其中輸出端子 SRout 係在 H 位準及在 L 位準的情況中之操作。

首先，將說明其中控制信號線 222 係在 H 位準及輸出端子 SRout 係在 H 位準的情況。NAND 電路 221 的輸入端子 IN1 變成在 H 位準，以及 NAND 電路 221 的輸入端子 IN2 變成在 H 位準。因此，由於該 NAND 電路 221 的輸出端子 OUT 變成在 L 位準，所以閘極驅動器的輸出端子 GDout 變成 L 位準。

接著，將說明其中控制信號線 222 係在 H 位準以及輸

(62)

出端子 SRout 係在 L 位準的情況。NAND 電路 221 的輸入端子 IN1 變成在 H 位準，以及 NAND 電路 221 的輸入端子 IN2 變成在 L 位準。因此，由於該 NAND 電路 221 的輸出端子 OUT 變成 H 位準，所以閘極驅動器的輸出端子 GDout 變成在 H 位準。

接著，將說明其中控制信號線 222 係在 L 位準以及輸出端子 SRout 係在 H 位準的情況。NAND 電路 221 的輸入端子 IN1 變成在 L 位準，以及 NAND 電路 221 的輸入端子 IN2 變成在 H 位準。因此，由於該 NAND 電路 221 的輸出端子 OUT 變成在 H 位準，所以閘極驅動器的輸出端子 GDout 變成在 H 位準。

接著，將說明其中控制信號線 222 係在 L 位準以及輸出端子 SRout 係在 L 位準的情況。NAND 電路 221 的輸入端子 IN1 變成 L 位準，以及 NAND 電路 221 的輸入端子 IN2 變成在 L 位準。因此，由於該 NAND 電路 221 的輸出端子 OUT 變成在 H 位準，所以閘極驅動器的輸出端子 GDout 變成在 H 位準。

藉由上述操作，當控制信號線 222 係在 H 位準時，閘極驅動器之輸出端子 GDout 會在當輸出端子 SRout 係在 H 位準時成爲 L 位準；另一方面，閘極驅動器之輸出端子 GDout 會在當輸出端子 SRout 係在 L 位準時成爲 H 位準。當控制信號線 222 係在 L 位準時，閘極驅動器之輸出端子 GDout 會變成 H 位準，而不論輸出端子 SRout 的電位爲何。

(63)

該閘極驅動器的輸出信號 GDout 可在此方式中由致能信號 (En) 所隨意改變。在第 22 圖中之閘極驅動器中，可執行所謂的脈波寬度控制 (PWC)。

此處，脈波寬度控制係藉由使用輸出端子 GDout 在當致能信號 En 在 L 位準時變成在 H 位準所執行，而不論輸出端子 SRout 的電位為何。也就是說，即使當移位暫存器電路 200 具有若干 L 位準之脈波寬度 (週期) 時，輸出信號亦可藉由使致能信號 En 在 L 位準而縮短。

注意的是，雖然 NAND 電路 221 具有兩個輸入端子，但該 NAND 電路 221 可具有任何數目的輸入端子，只要移位暫存器電路 200 的輸出信號可供應至該等輸入端子之任一者即可。當 NAND 電路 221 具有複數個輸入端子時，緩衝器電路 220 可更精確地控制閘極驅動器的輸出信號。

應注意的是，輸出端子 SRout 可如第 24 圖中之緩衝器電路 240 中似地透過反相器電路 211 來連接至 NAND 電路 221 的輸入端子 IN2。在此情況中，當控制信號線 222 係在 H 位準時，閘極驅動器之輸出端子 GDout 會在當輸出端子 SRout 係在 H 位準時變成 H 位準；另一方面，閘極驅動器之輸出端子 GDout 會在當輸出端子 SRout 係在 L 位準時變成 H 位準。當控制信號線 222 係在 L 位準時，閘極驅動器之輸出端子 GDout 變成在 H 位準，而不論輸出端子 SRout 的電位為何。

應注意的是，NAND 電路 221 的輸出端子 OUT 可如第 26 圖中之緩衝器電路 260 中似地透過反相器電路 211 來連

(64)

接至閘極驅動器之輸出端子 GDout。在此情況中，當控制信號線 222 係在 H 位準時，閘極驅動器之輸出端子 GDout 會在當輸出端子 SRout 係在 H 位準時變成 L 位準；以及閘極驅動器之輸出端子 GDout 會在當輸出端子 SRout 係在 L 位準時變成 L 位準。當控制信號線 222 係在 L 位準時，閘極驅動器之輸出端子 GDout 會變成在 L 位準，而不論輸出端子 SRout 的電位為何。

應注意的是，雖然供應致能信號 En 至控制信號線 222，但本發明並未受限於此。

例如，可供應不同的控制信號到控制信號線 222。

做為另一實例，可供應電源供應器至控制信號線 222。

第 23 圖特定地顯示包含本發明之緩衝器電路的閘極驅動器之另一模式。第 23 圖中之閘極驅動器包含移位暫存器電路 200，緩衝器電路 230，及控制信號線 222。該緩衝器電路 230 包含 NOR（反或）電路 231。

如第 23 圖中之閘極驅動器中所示地，移位暫存器電路 200 的輸出端子 SRout 係透過緩衝器電路 230 而連接至閘極驅動器的輸出端子 GDout。

現將描述緩衝器電路 230 中的連接關係。NOR 電路 231 的輸入端子 IN1 係連接至控制信號線 222；該 NOR 電路 231 的輸入端子 IN2 係連接至移位暫存器電路 200 之輸出端子 SRout；以及該 NOR 電路 231 的輸出端子 OUT 係連接至閘極驅動器之輸出端子 GDout。

(65)

此外，致能信號 E_n 被供應至控制信號線 222。

將分別敘述第 23 圖中之閘極驅動器在其中控制信號線 222 係在 H 位準及在 L 位準的情況中，以及在其中移位暫存器電路輸出端子 SR_{out} 係在 H 位準及在 L 位準的情況中之操作。

首先，將說明其中控制信號線 222 係在 H 位準以及移位暫存器電路 200 的輸出端子 SR_{out} 係在 H 位準的情況。NOR 電路 231 的輸入端子 IN_1 變成在 H 位準，以及 NOR 電路 231 的輸入端子 IN_2 變成在 H 位準。因此，由於該 NOR 電路 231 的輸出端子 OUT 變成在 L 位準，所以閘極驅動器的緩衝器電路 GD_{out} 變成在 L 位準。

接著，將說明其中控制信號線 222 係在 H 位準以及移位暫存器電路 200 的輸出端子 SR_{out} 係在 L 位準的情況。NOR 電路 231 的輸入端子 IN_1 變成在 H 位準，以及 NOR 電路 231 的輸入端子 IN_2 變成在 L 位準。因此，由於該 NOR 電路 231 的輸出端子 OUT 變成在 L 位準，所以閘極驅動器的輸出端子 GD_{out} 變成在 L 位準。

接著，將說明其中控制信號線 222 係在 L 位準以及移位暫存器電路 200 的輸出端子 SR_{out} 係在 H 位準的情況。NOR 電路 231 的輸入端子 IN_1 變成在 L 位準，以及 NOR 電路 231 的輸入端子 IN_2 變成在 H 位準。因此，由於該 NOR 電路 231 的輸出端子 OUT 變成在 L 位準，所以閘極驅動器的輸出端子 GD_{out} 變成在 L 位準。

接著，將說明其中控制信號線 222 係在 L 位準以及移

(66)

位暫存器電路 200 的輸出端子 SRout 係在 L 位準的情況。NOR 電路 231 的輸入端子 IN1 變成在 L 位準，以及 NOR 電路 231 的輸入端子 IN2 變成在 L 位準。因此，由於該 NOR 電路 231 的輸出端子 OUT 變成在 H 位準，所以閘極驅動器的輸出端子 GDout 變成在 H 位準。

藉由上述操作，當控制信號線 222 係在 H 位準時，閘極驅動器的輸出端子 GDout 會變成 L 位準，而不論輸出端子 SRout 的電位為何。當控制信號線 222 係在 L 位準時，閘極驅動器之輸出端子 GDout 會在當輸出端子 SRout 係在 H 位準時變成 L 位準；另一方面，閘極驅動器之輸出端子 GDout 會在當輸出端子 SRout 係在 L 位準時變成 H 位準。

該閘極驅動器的輸出信號 GDout 可在此方式中由致能信號 En 所隨意改變。在第 23 圖中之閘極驅動器中，可執行所謂的脈波寬度控制 (PWC)。

此處，脈波寬度控制係藉由使用輸出端子 GDout 在當致能信號 En 在 H 位準時變成在 L 位準所執行，而不論輸出端子 SRout 的電位為何。也就是說，即使當移位暫存器電路 200 具有若干 H 位準之脈波寬度 (週期) 時，輸出信號亦可藉由使致能信號 En 在 H 位準而縮短。

注意的是，雖然 NOR 電路 231 具有兩個輸入端子，但該 NOR 電路 231 可具有任何數目的輸入端子，只要移位暫存器電路 200 的輸出信號可供應至該等輸入端子之一者即可。當 NOR 電路 231 具有複數個輸入端子時，緩衝器電路 230 可更精確地控制閘極驅動器的輸出信號。

(67)

應注意的是，移位暫存器電路 200 的輸出端子 SRout 可如第 25 圖中之緩衝器電路 250 中似地透過反相器電路 211 來連接至 NOR 電路 231 的輸入端子 IN2。在此情況中，當控制信號線 222 係在 H 位準時，閘極驅動器之輸出端子 GDout 會變成 L 位準，而不論輸出端子 SRout 的電位為何。當控制信號線 222 係在 L 位準時，閘極驅動器之輸出端子 GDout 會在當輸出端子 SRout 係在 H 位準時變成 H 位準，且該閘極驅動器之輸出端子 GDout 會在當輸出端子 SRout 係在 L 位準時變成 L 位準。

應注意的是，NOR 電路 231 的輸出端子 OUT 可如第 27 圖中之緩衝器電路 270 中似地透過反相器電路 211 來連接至閘極驅動器之輸出端子 GDout。在此情況中，當控制信號線 222 係在 H 位準時，閘極驅動器的輸出端子 GDout 會變成在 H 位準，而不論輸出端子 SRout 的電位為何。當控制信號線 222 係在 L 位準時，閘極驅動器之輸出端子 GDout 會在當輸出端子 SRout 係在 H 位準時變成 H 位準；另一方面，輸出端子 GDout 會在當輸出端子 SRout 係在 L 位準時輸出 L 位準信號。

此處，將敘述可應用於反相器電路 211 之結合實例。

第 28 圖顯示反相器電路 211 之一模式。在第 28 圖中之反相器電路 280 包含電晶體 281 和電晶體 282。

如第 28 圖中之反相器電路 280 中所示地，電晶體 281 的第一端子係連接至第二電源供應器；電晶體 281 的第二端子係連接至電晶體 282 之第二端子及輸出端子 OUT；以

(68)

及電晶體 281 之閘極端子係連接至輸入端子 IN。電晶體 282 之第一端子係連接至第一電源供應器，以及閘極端子係連接至第一電源供應器。

注意的是，電源供應電位 VDD 係供應至第一電源供應器，以及電源供應電位 VSS 係供應至第二電源供應器。在第一電源供應器的電源供應電位 VDD 與第二電源供應器的電源供應電位 VSS 之間的電位差 (VDD-VSS) 對應於反相器電路 280 的電源供應電壓。此外，電源供應電位 VDD 係比電源供應電位 VSS 更高。

注意的是，數位控制信號係供應至輸入端子 IN。此外，輸出端子 OUT 將輸出輸出信號。

此外，電晶體 281 及電晶體 282 各為 n 通道電晶體。

現將分別說明第 28 圖中之反相器電路 280 在其中輸入端子 IN 係在 H 位準的情況中，以及其中輸入端子 IN 係在 L 位準的情況中之操作。

首先，將說明輸入端子 IN 在 H 位準。當輸入端子 IN 變成在 H 位準時，電晶體 281 導通。輸出端子 OUT 係透過電晶體 281 而電性連接至第二電源供應器，及透過電晶體 282 而電性連接至第一電源供應器，且因此，輸出端子 OUT 的電位會下降。此時，輸出端子 OUT 的電位係由電晶體 281 和電晶體 282 之操作點所決定，使得輸出端子 OUT 變成在 L 位準。

接著，將說明輸入端子 IN 在 L 位準。當輸入端子 IN 變成在 L 位準時，電晶體 281 關閉。輸出端子 OUT 係透

(69)

過電晶體 282 而電性連接至第一電源供應器，且該輸出端子 OUT 的電位會上升。此時，輸出端子 OUT 的電位會變成藉由自電源供應電位 VDD 來減去電晶體 282 之臨限電壓 V_{th282} 所獲得的值 ($VDD - V_{th282}$)，以致使輸出端子 OUT 變成在 H 位準。

電晶體 282 無需一定要具有整流性質；而是可使用任何元件，只要當供應電流至該處時可產生電壓於該元件中即可。例如，可如第 32 圖中之反相器電路 320 中似地連接電阻器 321 來做為電晶體 282 的置換物。

此處，將說明電晶體 281 和電晶體 282 的功能於下文。

電晶體 281 具有如開關之功能，其依據輸入端子 IN 的電位來決定是否連接第二電源供應器與輸出端子 OUT。當輸入端子 IN 係在 H 位準時，電晶體 281 具有供應電源供應電位 VSS 至輸出端子 OUT 的功能。

電晶體 282 具有如二極體之功能。

第 29 圖顯示反相器電路 211 的另一模式。第 29 圖中所示的反相器電路 290 包含電晶體 291，電晶體 292，電晶體 293，及電容器 294，該電容器 294 具有兩個電極。注意的是，電容器 294 無需一定要設置。

如第 29 圖中之反相器電路 290 中所示地，電晶體 291 的第一端子係連接至第二電源供應器；電晶體 291 的第二端子係連接至電晶體 292 之第二端子，電容器 294 之第二電極，和輸出端子 OUT；以及電晶體 291 的閘極端子係連

(70)

接至輸入端子 IN。電晶體 292 的第一端子係連接至第一電源供應器，且該電晶體 292 的閘極端子係連接至電晶體 293 之第二端子和電容器 294 之第一電極。電晶體 293 之第一端子係連接至第一電源供應器，且該電晶體 293 之閘極端子係連接至第一電源供應器。

注意的是，可使用與第 28 圖中相同之第一電源供應器，第二電源供應器，輸入端子 IN，及輸出端子 OUT 來做為第一電源供應器，第二電源供應器，輸入端子 IN，及輸出端子 OUT。

此外，電晶體 291 至 293 各為 n 通道電晶體。

現將分別說明第 29 圖中之反相器電路 290 在其中輸入端子 IN 係在 H 位準的情況中，以及其中輸入端子 IN 係在 L 位準的情況中之操作。

首先，將說明輸入端子 IN 在 H 位準。當輸入端子 IN 變成在 H 位準時，電晶體 291 導通。電晶體 292 的閘極端子之電位會變成藉由自電源供應電位 VDD 來減去電晶體 293 之臨限電壓 V_{th293} 所獲得的電位值 ($VDD - V_{th293}$)，以致使電晶體 292 導通。此外，電晶體 292 的閘極端子係在浮動狀態中。

因此，輸出端子 OUT 係透過電晶體 291 而電性連接至第二電源供應器，及透過電晶體 292 而電性連接至第一電源供應器，且因此，輸出端子 OUT 的電位會下降。此時，輸出端子 OUT 的電位係由電晶體 291 和電晶體 292 之操作點所決定，使得輸出端子變成在 L 位準。

(71)

接著，將說明輸入端子 IN 在 L 位準。當輸入端子 IN 變成在 L 位準時，電晶體 291 關閉。電晶體 292 的閘極端子之電位會變成藉由自電源供應電位 VDD 來減去電晶體 293 之臨限電壓 V_{th293} 所獲得的電位值 ($VDD - V_{th293}$)，以致使電晶體 292 導通。此外，電晶體 292 的閘極端子係在浮動狀態中。

因此，輸出端子 OUT 係透過電晶體 292 而電性連接至第一電源供應器，且輸出端子 OUT 的電位會上升。電晶體 292 的閘極端子之電位會由電容器 294 的電容性耦合而上升至一值，該值係大於或相等於電源供應電位 VDD 與電晶體 292 之臨限電壓 V_{th292} 的加和，以致使電晶體 292 持續地導通，而執行所謂的自舉操作。所以，此時之輸出端子 OUT 的電位變成 VDD，使得輸出端子 OUT 變成在 H 位準。

在此方式中，輸出端子 OUT 之 H 位準電位可由第 29 圖中之反相器電路 290 中的自舉操作而升高至第一電源供應器之電源供應電位 VDD。

注意的是，在第 29 圖中之反相器電路 290 的電路結構並未受限於第 29 圖中的電路結構；只要當輸入端子 IN 係在 L 位準時可執行自舉操作，及當輸入端子 IN 係在 H 位準時可供應電位至電晶體 292 的閘極端子即可。

例如，如第 33 圖中之反相器電路 330 中似地，可額外地設置電晶體 331。此係因為當輸出端子 OUT 係在 L 位準時可使輸出端子 OUT 的電位成爲 VSS 之故；亦即，由

(72)

於當輸入端子 IN 係在 H 位準時，電晶體 331 會導通，所以電晶體 292 的閘極端子會變成在 L 位準，然後，電晶體 292 關閉，使得輸出端子 OUT 僅透過電晶體 291 而連接至第二電源供應器。

注意的是，電晶體 331 為 n 通道電晶體。

做為另一實例，如第 36 圖中之反相器電路 360 中似地，電晶體 293 的第一端子可連接至輸入端子 INb。此係因為當輸出端子係在 L 位準時可使輸出端子 OUT 的電位成為 VSS 之故；亦即，由於輸入端子係在 H 位準時，輸入端子 INb 會變成在 L 位準，所以電晶體 292 的閘極端子會變成 L 位準，然後，電晶體 292 關閉，使得輸出端子 OUT 僅透過電晶體 291 而電性連接至第二電源供應器。

注意的是，輸入端子 IN 之信號的反相信號係供應至輸入端子 INb。此外，將描述供應至輸入端子 INb 之信號的產生方法。

例如，如第 124 圖中所示，輸入端子 IN 的信號可透過反相器電路 1241 而供應至輸入端子 INb。此外，可應用第 28 至 35 圖中所示的反相器電路來做為該反相器電路 1241。

注意的是，輸入至輸入端子 IN 之信號的反相信號無需一定要供應至輸入端子 INb。此外，將描述供應至輸入端子 INb 之信號於下文。

例如，當連接輸入端子 IN 至第 n 級中之輸出端子 SRoutn 時，可連接輸入端子 INb 至第 (n+1) 級中之輸出

(73)

端子 SR_{outn-1} 。

做為另一實例，當連接輸入端子 IN 至第 n 級中之輸出端子 SR_{outn} 時，可連接輸入端子 IN_b 至第 $(n+1)$ 級中之輸出端子 SR_{outn+1} 。

做為另一實例，當連接輸入端子 IN 至第 n 級中之輸出端子 SR_{outn} 時，可連接輸入端子 IN_b 至第 n 級中之正反器電路的節點 N_2 。此係因為在非選擇週期中之正反器電路節點 N_2 的電位為輸出端子 SR_{out} 之電位的反相信號，以致可使用正反器電路中之節點 N_2 的電位來做為反相信號。因此，藉由供應該正反器電路之節點 N_2 的電位至反相器電路 360 的輸入端子 IN_b ，並不需要產生反相信號之反相器電路。

做為另一實例，當供應控制信號（數位值）至輸入端子 IN_b 時，第 36 圖中之反相器電路 360 可操作成為三態緩衝器電路。此係因為當輸入端子 IN 變成在 L 位準且輸入端子 IN_b 變成在 L 位準時，電晶體 291 和電晶體 291 會關閉，輸出端子 OUT 並不會被連接至任何電源供應器之故。因此，該反相器電路 360 可具有如三態緩衝器電路或反相器電路的功能。

在此方式中，可藉由各式各樣的方法來供應信號到反相器電路 360 之輸入端子 IN_b 。

進一步地，將敘述第 29 圖之應用實例。

做為另一實例，可連接電晶體 293 的第一端子及閘極端子至輸入端子 IN_b ，且可如第 39 圖中之反相器電路 390

(74)

中似地額外設置電晶體 391。此係因為當輸出端子 OUT 係在 L 位準時可使輸出端子 OUT 的電位成為 VSS 之故；亦即，當輸入端子 INb 係在 L 位準時，電晶體 292 的閘極端子會變成在 L 位準，然後，電晶體 292 會關閉，使得輸出端子 OUT 僅透過電晶體 291 而電性連接至第二電源供應器。

注意的是，可使用任何元件來做為電容器 294，只要其具有電容性質即可。例如，如在第 30 圖中之反相器電路 300 中，在第 34 圖中之反相器電路 340 中，在第 37 圖中之反相器電路 370 中，及在第 40 圖中之反相器電路 400 中似地，可分別連接電晶體 301，電晶體 341，電晶體 371，及電晶體 401 來做為電容器 294 的置換物。

注意的是，當在電晶體 292 的第二端子與閘極端子之間的電容值足夠大時，可不必一定要設置電容器 294。例如，如在第 31 圖中之反相器電路 310 中，在第 35 圖中之反相器電路 350 中，在第 38 圖中之反相器電路 380 中，及在第 41 圖中之反相器電路 410 中似地，並不需要連接電容器 294。

此處，將敘述電晶體 291 至 293，電晶體 301，電晶體 331，電晶體 341，及電容器 294 的功能於下文。

電晶體 291 具有如開關一樣的功能，其依據輸入端子 IN 的電位而決定是否連接第二電源供應器與輸出端子 OUT。當輸入端子 IN 係在 H 位準時，電晶體 291 具有供應電源供應電位 VSS 至輸出端子 OUT 的功能。

(75)

電晶體 292 具有做為開關之功能，其決定是否連接第一電源供應器與輸出端子 OUT。

電晶體 293 具有如二極體之功能。此外，該電晶體 293 具有使電晶體 292 的閘極端子成為浮動狀態之功能。

電晶體 301 具有如電容器之功能，其係連接於輸出端子 OUT 與電晶體 292 的閘極端子之間。當輸入端子 IN 係在 L 位準時，電晶體 301 具有升高電晶體 292 的閘極端子之電位的功能。

電晶體 331 具有如開關之功能，其依據輸入端子 IN 的電位而決定是否連接第二電源供應器與電晶體 292 的閘極端子。

電晶體 341 具有如電容器之功能，其係連接於輸出端子 OUT 與電晶體 292 的閘極端子之間。當輸入端子 IN 係在 L 位準時，該電晶體 341 具有藉由輸出端子 OUT 之電位的上升來升高電晶體 292 的閘極端子之電位的功能。

電容器 294 具有依據輸出端子 OUT 之電位來改變電晶體 292 的閘極端子之電位的功能。當輸入端子 IN 係在 L 位準時，該電容器 294 具有藉由輸出端子 OUT 之電位的上升來升高電晶體 292 的閘極端子之電位的功能。

以此方式，在第 28 至 41 圖的反相器電路中，當輸出 H 位準信號時，輸出端子 OUT 之電位可藉由改變電源供應電位 VDD 而自由地改變。也就是說，在第 28 至 41 圖中之反相器電路不僅可操作成為反相器電路，而且可操作成為位準轉移電路。

(76)

雖然在第 28 至 41 圖中係描述均由使用 n 通道電晶體所形成之反相器電路，但該等反相器電路亦可均由使用 p 通道電晶體所形成。此處，均由使用 p 通道電晶體所形成之反相器電路係顯示於第 58 至 71 圖中。

第 58 圖顯示反相器電路 211 之一模式。在第 58 圖中之反相器電路 580 包含電晶體 581 和電晶體 582。

如第 58 圖中之反相器電路 580 中所示地，電晶體 581 的第一端子係連接至第二電源供應器；電晶體 581 的第二端子係連接至電晶體 582 之第二端子及輸出端子 OUT；以及電晶體 581 之閘極端子係連接至輸入端子 IN。電晶體 582 之第一端子係連接至第一電源供應器，以及其閘極端子係連接至第一電源供應器。

注意的是，電源供應電位 VSS 係供應至第一電源供應器，以及電源供應電位 VDD 係供應至第二電源供應器。在第一電源供應器的電源供應電位 VSS 與第二電源供應器的電源供應電位 VDD 之間的電位差 ($VDD-VSS$) 對應於反相器電路 580 的電源供應電壓。此外，電源供應電位 VDD 係比電源供應電位 VSS 更高。

注意的是，數位控制信號係供應至輸入端子 IN。此外，輸出端子 OUT 將輸出輸出信號。

此外，電晶體 581 和電晶體 582 各為 p 通道電晶體。

現將分別說明第 58 圖中之電源供應電位 580 在其中輸入端子 IN 係在 H 位準的情況中，以及在其中輸入端子 IN 係在 L 位準的情況中之操作。

(77)

首先，將說明輸入端子 IN 在 H 位準。當輸入端子 IN 變成在 H 位準時，電晶體 581 關閉。輸出端子 OUT 係透過電晶體 582 而電性連接至第一電源供應器，且輸出端子 OUT 的電位會下降。此時，輸出端子 OUT 的電位變成一值，該值係電源供應電位 VSS 與電晶體 582 之臨限電壓 V_{th582} 的絕對值之加和 ($VSS + |V_{th582}|$)，使得輸出端子 OUT 變成在 L 位準。

接著，將說明輸入端子 IN 在 L 位準。當輸入端子 IN 變成在 L 位準時，電晶體 581 關閉。輸出端子 OUT 係透過電晶體 581 而電性連接至第二電源供應器，及透過電晶體 582 而電性連接至第一電源供應器，且因此，輸出端子 OUT 的電位會上升。此時，輸出端子 OUT 的電位係由電晶體 581 和電晶體 582 之操作點所決定，使得輸出端子 OUT 變成在 H 位準。

電晶體 582 無需一定要具有整流性質；而是可使用任何元件，只要當供應電流至該處時可產生電壓於該元件中即可。例如，可如第 62 圖中之反相器電路 620 中似地連接電阻器 321 來做為電晶體 582 的置換物。

此處，將說明電晶體 581 和電晶體 582 的功能於下文。

電晶體 581 具有如開關之功能，其依據輸入端子 IN 的電位來決定是否連接第二電源供應器與輸出端子 OUT。當輸入端子 IN 係在 L 位準時，電晶體 581 具有供應電源供應電位 VDD 至輸出端子 OUT 的功能。

(78)

電晶體 582 具有如二極體之功能。

第 59 圖顯示反相器電路 511 的另一模式。第 59 圖中所示的反相器電路 590 包含電晶體 591，電晶體 592，電晶體 593，及電容器 594，該電容器 594 具有兩個電極。注意的是，電晶體 594 無需一定要設置。

如第 59 圖中之反相器電路 590 中所示地，電晶體 591 的第一端子係連接至第二電源供應器；電晶體 591 的第二端子係連接至電晶體 592 之第二端子，電容器 594 之第二電極，和輸出端子 OUT；以及電晶體 591 的閘極端子係連接至輸入端子 IN。電晶體 592 的第一端子係連接至第一電源供應器，且該電晶體 592 的閘極端子係連接至電晶體 593 之第二端子和電容器 594 之第一電極。電晶體 593 之第一端子及閘極端子係連接至第一電源供應器。

注意的是，可使用與第 58 圖中相同之第一電源供應器，第二電源供應器，輸入端子 IN，及輸出端子 OUT 來做為第一電源供應器，第二電源供應器，輸入端子 IN，及輸出端子 OUT。

此外，電晶體 591 至 593 各為 p 通道電晶體。

現將分別說明第 59 圖中之反相器電路 590 在其中輸入端子 IN 係在 H 位準的情況中，以及其中輸入端子 IN 係在 L 位準的情況中之操作。

首先，將說明輸入端子 IN 在 H 位準。當輸入端子 IN 變成在 H 位準時，電晶體 591 關閉。電晶體 592 的閘極端子之電位會變成一值，該值係電源供應電位 VSS 與電晶體

(79)

593 之臨限電壓 V_{th593} 的絕對值之加和 ($V_{SS} + |V_{th593}|$)，以致使電晶體 592 導通。此外，電晶體 592 的閘極端子係在浮動狀態中。

因此輸出端子 OUT 係透過電晶體 592 而電性連接至第一電源供應器，且因而，輸出端子 OUT 的電位會下降。電晶體 592 的閘極端子之電位會由電容器 594 的電容性耦合而下降至一值，該值係大於或相等於藉由自電源供應電位 V_{SS} ($V_{SS} + |V_{th592}|$) 來減去電晶體 592 之臨限電壓 V_{th592} 的絕對值所獲得之值，以致使電晶體 592 持續地維持導通，而執行所謂的自舉操作。所以，此時之輸出端子 OUT 的電位變成 V_{SS} ，使得輸出端子 OUT 變成在 L 位準。

接著，將說明輸入端子 IN 在 L 位準。當輸入端子 IN 變成在 L 位準時，電晶體 591 導通。電晶體 592 的閘極端子之電位會變成一值，該值係電源供應電位 V_{SS} 與電晶體 593 ($V_{SS} + |V_{th593}|$) 之臨限電壓 V_{th593} 的絕對值之加和，以致使電晶體 592 導通。此外，電晶體 592 的閘極端子係在浮動狀態中。

因此，輸出端子 OUT 係透過電晶體 591 而電性連接至第二電源供應器，以及透過電晶體 592 而電性連接至第一電源供應器，且輸出端子 OUT 的電位會上升。此時，輸出端子 OUT 的電位係由電晶體 591 和電晶體 592 之操作點所決定，使得輸出端子 OUT 變成在 H 位準。

在此方式中，輸出端子 OUT 之 L 位準電位可由第 59

(80)

圖中之反相器電路 590 中的自舉操作而降低至第一電源供應器之電源供應電位 V_{SS} 。

注意的是，在第 59 圖中之反相器電路 590 的電路結構並未受限於第 59 圖中的電路結構；只要當輸入端子 IN 係在 H 位準時可執行自舉操作，及當輸入端子係在 L 位準時可供應電位至電晶體 592 的閘極端子即可。

例如，如第 63 圖中之反相器電路 630 中似地，可額外設置電晶體 631。此係因為當輸出端子 OUT 係在 H 位準時可使輸出端子 OUT 的電位成為 V_{DD} 之故；亦即，由於當輸入端子 IN 係在 H 位準時，電晶體 631 會導通，所以電晶體 592 的閘極端子會變成在 H 位準，然後，電晶體 592 關閉，使得輸出端子 OUT 僅透過電晶體 591 而連接至第二電源供應器。

注意的是，電晶體 631 為 p 通道電晶體。

做為另一實例，如第 66 圖中之反相器電路 660 中似地，電晶體 593 的第一端子可連接至輸入端子 INb 。此係因為當輸出端子 OUT 係在 H 位準時可使輸出端子 OUT 的電位成為 V_{DD} 之故；亦即，由於輸入端子係在 L 位準時，輸入端子 INb 會變成在 H 位準，所以電晶體 592 的閘極端子會變成 H 位準，然後，電晶體 592 關閉，使得輸出端子 OUT 僅透過電晶體 591 而電性連接至第二電源供應器。

注意的是，輸入端子 IN 之信號的反相信號係供應至輸入端子 INb 。此外，可使用與第 36 圖中所示之輸入端

(81)

子 INb 相同的輸入端子 INb 來做爲該輸入端子 INb。

例如，如第 125 圖中所示，輸入至輸入端子 IN 之信號可透過反相器電路 1251 而供應至輸入端子 INb。此外，第 58 至 65 圖中所示的反相器電路可予以應用來做爲反相器電路 1251。

進一步地，藉由供應控制信號至輸入端子 INb，顯示於第 36 圖中之反相器電路 360 亦可作用成爲三態緩衝器電路。此處，相似地，在第 66 圖中所示的反相器電路 660 亦可藉由供應控制信號至輸入端子 INb 而作用成爲三態緩衝器電路；亦即，當輸入端子 IN 變成在 H 位準，且輸入端子 INb 變成在 H 位準時，電晶體 591 和電晶體 592 會關閉，因而，輸出端子 OUT 並不連接至任何電源供應器；且因此，反相器電路 660 亦可作用成爲三態緩衝器電路。

進一步地，將敘述第 59 之應用實例。

做爲另一實例，可連接電晶體 593 的第一端子及閘極端子至輸入端子 INb，且可如第 69 圖中之反相器電路 690 中似地額外設置電晶體 631。此係因爲當輸出端子 OUT 係在 H 位準時可使輸出端子 OUT 的電位成爲 VDD 之故；亦即，當輸入端子 INb 係在 H 位準時，電晶體 592 的閘極端子會變成在 H 位準，然後，電晶體 592 會關閉，使得輸出端子 OUT 僅透過電晶體 591 而電性連接至第二電源供應器。

注意的是，可使用任何元件來做爲電容器 594，只要其具有電容的性質即可。例如，如在第 60 圖中之反相器

(82)

電路 660 中，在第 64 圖中之反相器電路 640 中，在第 67 圖中之反相器電路 670 中，及在第 70 圖中之反相器電路 700 中似地，可分別連接電晶體 601，電晶體 641，電晶體 671，及電晶體 701 來做為電容器 594 的置換物。

注意的是，當在電晶體 592 的第二端子與閘極端子之間的電容值足夠大時，可不必一定要設置電容器 594。例如，如在第 61 圖中之反相器電路 610 中，在第 65 圖中之反相器電路 650 中，在第 68 圖中之反相器電路 680 中，及在第 71 圖中之反相器電路 710 中似地，並不需要連接電容器 594。

此處，將敘述電晶體 591 至 593，電晶體 601，電晶體 631，電晶體 641，及電容器 594 的功能於下文。

電晶體 591 具有如開關一樣的功能，其依據輸入端子 IN 的電位而決定是否連接第二電源供應器與輸出端子 OUT。當輸入端子 IN 係在 L 位準時，電晶體 591 具有供應電源供應電位 VDD 至輸出端子 OUT 的功能。

電晶體 592 具有做為開關之功能，其決定是否連接第一電源供應器與輸出端子 OUT。

電晶體 593 具有如二極體之功能。此外，該電晶體 593 具有使電晶體 592 的閘極端子成為浮動狀態之功能。

電晶體 601 具有如電容器之功能，其係連接於輸出端子 OUT 與電晶體 592 的閘極端子之間。當輸入端子 IN 係在 H 位準時，電晶體 601 具有降低電晶體 592 的閘極端子之電位的功能。

(83)

電晶體 631 具有如開關之功能，其依據輸入端子 IN 的電位而決定是否連接第二電源供應器與電晶體 592 的閘極端子。當輸入端子 IN 係在 L 位準時，電晶體 631 具有供應電源供應電位 VDD 至電晶體 592 之閘極端子的功能。

電晶體 641 具有如電容器之功能，其係連接於輸出端子 OUT 與電晶體 592 的閘極端子之間。當輸入端子 IN 係在 L 位準時，該電晶體具有藉由輸出端子 OUT 之電位的下降來降低電晶體 592 的閘極端子之電位的功能。

電容器 594 具有依據輸出端子 OUT 之電位來改變電晶體 592 的閘極端子之電位的功能。當輸入端子 IN 係在 H 位準時，該電容器 594 具有由輸出端子 OUT 之電位的下降來降低電晶體 592 的閘極端子之電位的功能。

以此方式，在第 58 至 71 圖中的反相器電路中，當輸出 L 位準信號時，輸出端子 OUT 之電位可藉由改變電源供應電位 VSS 而自由地改變。也就是說，在第 58 至 71 圖中之反相器電路不僅可操入為反相器電路，而且可操作成為位準轉移電路。

此處，將敘述可應用於 NAND（反及）電路 221 之若干結構實例。

第 42 圖顯示 NAND 電路 221 之一模式。在第 42 圖中之 NAND 電路 420 包含電晶體 421，電晶體 422，及電晶體 423。

如第 42 圖中之 NAND 電路 420 中所示地，電晶體

(84)

421 的第一端子係連接至第二電源供應器；電晶體 421 的第二端子係連接至電晶體 422 之第一端子；以及電晶體 421 的閘極端子係連接至輸入端子 IN1。電晶體 422 的第二端子係連接至電晶體 423 之第一端子及輸出端子 OUT，且該電晶體 422 的閘極端子係連接至輸入端子 IN2。電晶體 423 之第二端子及閘極端子係連接至第一電源供應器。

注意的是，電源供應電位 VDD 係供應至第一電源供應器，以及電源供應電位 VSS 係供應至第二電源供應器。在第一電源供應器之電源供應電位 VDD 與第二電源供應器之電源供應電位 VSS 間的電位差 (VDD-VSS) 對應於 NAND 電路 420 之電源供應電壓。此外，電源供應電位 VDD 係比電源供應電位 VSS 更高。

注意的是，數位控制信號係供應至輸入端子 IN1 和輸入端子 IN2 之各個端子。此外，輸出端子 OUT 輸出一輸出信號。

此外，電晶體 421 至 423 各為 n 通道電晶體。

現將分別敘述第 42 圖中之 NAND 電路 420 在其中輸入端子 IN1 係在 H 位準及在 L 位準的情況中，以及在其中輸入端子 IN2 係在 H 位準及在 L 位準的情況中之操作。

首先，將說明其中輸入端子 IN1 係在 H 位準以及輸入端子 IN2 係在 H 位準的情況。當輸入端子 IN1 變成 H 位準時，電晶體 421 會導通；當輸入端子 IN2 變成 H 位準時，電晶體 422 會導通。

因此，輸出端子 OUT 透過電晶體 421 和電晶體 422

(85)

而電性連接至第二電源供應器，以及透過電晶體 423 而電性連接至第一電源供應器。此時，輸出端子 OUT 之電位係由電晶體 421，電晶體 422，及電晶體 423 的操作點所決定，以致使輸出端子 OUT 變成在 L 位準。

接著，將說明其中輸入端子 IN1 係在 H 位準以及輸入端子 IN2 係在 L 位準的情況。當輸入端子 IN1 變成在 H 位準時，電晶體 421 會導通；當輸入端子 IN2 變成在 L 位準時，電晶體 422 會關閉。

因此，輸出端子 OUT 係透過電晶體 423 而電性連接至第一電源供應器，且輸出端子 OUT 的電位會上升。此時，該輸出端子 OUT 的電位會變成藉由自電源供應電位 VDD 來減去電晶體 423 之臨限電壓 V_{th423} 所獲得的值 ($VDD - V_{th423}$)，以致使輸出端子 OUT 變成在 H 位準。

接著，將說明其中輸入端子 IN1 在 L 位準以及輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成在 L 位準時，電晶體 421 會關閉；當輸入端子 IN2 變成在 H 位準時，電晶體 422 會導通。

因此，輸出端子 OUT 係透過電晶體 423 而電性連接至第一電源供應器，且輸出端子 OUT 的電位會上升。此時，該輸出端子 OUT 的電位會變成藉由自電源供應電位 VDD 來減去電晶體 423 之臨限電壓 V_{th423} 所獲得的值 ($VDD - V_{th423}$)，以致使輸出端子 OUT 變成在 H 位準。

接著，將說明其中輸入端子 IN1 在 L 位準以及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成在 L 位準時

(86)

，電晶體 421 會關閉；當輸入端子 IN2 變成在 L 位準時，電晶體 422 會關閉。

因此，輸入端子 OUT 係透過電晶體 423 而電性連接至第一電源供應器，且輸出端子 OUT 的電位會上升。此時，該輸出端子 OUT 的電位會變成藉由自電源供應電位 VDD 來減去電晶體 423 之臨限電壓 V_{th423} 所獲得的值 ($VDD - V_{th423}$)，以致使輸出端子 OUT 變成在 H 位準。

注意的是，電晶體 423 無需一定要具有整流性質；而是可使用任何元件，只要當供應電流至該處時可產生電壓於該元件中即可。例如，如第 46 圖中之反相器電路 460 中似地，可連接電阻器 461 來做為電晶體 423 的置換物。

此處，將說明電晶體 421 至 423 的功能。

電晶體 421 具有做為開關之功能，其依據輸入端子 IN1 的電位而決定是否連接第二電源供應器與電晶體 422 之第一端子。

電晶體 422 具有做為開關之功能，其依據輸入端子 IN2 的電而決定是否連接電晶體 421 之第二端子與輸出端子 OUT。

電晶體 423 具有做為二極體之功能。

第 43 圖顯示 NAND 電路 221 的另一模式，第 43 圖中所示的 NAND 電路 430 包含電晶體 431，電晶體 432，電晶體 433，電晶體 434，及電容器 435。

如第 43 圖中之 NAND 電路 430 中所示，電晶體 431 的第一端子係連接至第二電源供應器；電晶體 431 的第二

(87)

端子係連接至電晶體 432 之第一端子；以及電晶體 431 的閘極端子係連接至輸入端子 IN1。電晶體 432 的第二端子係連接至電晶體 433 之第二端子，電容器 435 之第二電極，及輸出端子 OUT；以及該電晶體 432 的閘極端子係連接至輸入端子 IN2。電晶體 433 的第一端子係連接至第一電源供應器，以及該電晶體 433 的閘極端子係連接至電晶體 434 之第二端子和電容器 435 之第二電極。電晶體 434 的第一端子係連接至第一電源供應器，以及該電晶體 434 的閘極端子係連接至第一電源供應器。

注意的是，可使用相同於第 42 圖中所示的第一電源供應器，第二電源供應器，輸入端子 IN1，輸入端子 IN2，及輸出端子 OUT 來做為該第一電源供應器，第二電源供應器，輸入端子 IN1，輸入端子 IN2，及輸出端子 OUT。

此外，電晶體 431 至 434 各為 n 通道電晶體。

現將分別敘述第 43 圖中之 NAND 電路 430 在其中輸入端子 IN1 係在 H 位準及在 L 位準的情況中，以及在其中輸入端子 IN2 係在 H 位準及在 L 位準的情況中之操作。

首先，將說明其中輸入端子 IN1 在 H 位準及輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成在 H 位準時，電晶體 431 會導通；當輸入端子 IN2 變成在 H 位準時，電晶體 432 會導通。電晶體 433 的閘極端子之電位會變成藉由自電源供應電位 VDD 來減去電晶體 434 之臨限電壓 V_{th434} 所獲得的值 ($VDD - V_{th434}$)，以致使電晶體 433

(88)

導通。

因此，輸出端子 OUT 係透過電晶體 431 和電晶體 432 而電性連接至第二電源供應器，及透過電晶體 433 而電性連接至第一電源供應器，且因而，輸出端子 OUT 的電位會降低。此時，輸出端子 OUT 的電位係由電晶體 431，電晶體 432，及電晶體 433 之操作點所決定，以致使輸出端子 OUT 變成在 L 位準。

接著，將說明其中輸入端子 IN1 在 H 位準及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成在 H 位準時，電晶體 431 會導通；當輸入端子 IN2 變成在 L 位準時，電晶體 432 會關閉。電晶體 433 的閘極端子之電位會變成藉由自電源供應電位 VDD 來減去電晶體 434 之臨限電壓 V_{th434} 所獲得的值 ($VDD - V_{th434}$)，以致使電晶體 433 導通。此外，電晶體 433 的閘極端子係在浮動狀態中。

因此，輸出端子 OUT 係透過電晶體 433 而電性連接至第一電源供應器，且輸出端子 OUT 的電位會上升。該電晶體 433 之閘極端子的電位會由於電容器 435 之電容性耦合而上升至一值，該值係大於或相等於電源供應電位 VDD 與電晶體 433 之臨限電壓 V_{th433} 的加和之值，以致使電晶體 433 持續維持導通，而執行所謂的自舉操作。因而，此時之輸出端子 OUT 的電位變成 VDD，使得輸出端子 OUT 變成在 H 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成在 L 位準時，

(89)

電晶體 431 會關閉；當輸入端子 IN2 變成在 H 位準時，電晶體 432 會導通。電晶體 433 的閘極端子之電位會變成藉由自電源供應電位 VDD 來減去電晶體 434 之臨限電壓 V_{th434} 所獲得的值 ($VDD - V_{th434}$)，以致使電晶體 433 導通。此外，電晶體 433 的閘極端子係在浮動狀態中。

因此，輸出端子 OUT 係透過電晶體 433 而電性連接至第一電源供應器，且輸出端子 OUT 的電位會上升。該電晶體 433 之閘極端子的電位會由於電容器 435 之電容性耦合而上升至一值，該值係大於或相等於電源供應電位 VDD 與電晶體 433 之臨限電壓 V_{th433} 的加和之值，以致使電晶體 433 持續維持導通，而執行所謂的自舉操作。因而，此時之輸出端子 OUT 的電位變成 VDD，使得輸出端子變成在 H 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成在 L 位準時，電晶體 431 會關閉；當輸入端子 IN2 變成在 L 位準時，電晶體 432 會關閉。電晶體 433 的閘極端子之電位會變成藉由自電源供應電位 VDD 來減去電晶體 434 之臨限電壓 V_{th434} 所獲得值 ($VDD - V_{th434}$)，以致使電晶體 433 導通。此外，電晶體 433 的閘極端子係在浮動狀態中。

因此，輸出端子 OUT 係透過電晶體 433 而電性連接至第一電源供應器，且輸出端子 OUT 的電位會上升。該電晶體 433 之閘極端子的電位會由於電容器 435 之電容性耦合而上升至一值，該值係大於或相等於電源供應電位

(90)

VDD 與電晶體 433 之臨限電壓 V_{th433} 的加和之值，以致使電晶體 433 持續維持導通，而執行所謂的自舉操作。因而，此時之輸出端子 OUT 的電位變成 VDD，使得輸出端子變成在 H 位準。

在此方式中，輸出端子 OUT 的 H 位準電位可由第 43 圖中之反相器電路 430 中的自舉操作而升高至第一電源供應器的電源供應電位 VDD。

注意的是，第 43 圖中之 NAND 電路 430 的電路結構並未受限於第 43 圖中的電路結構。只要當輸入端子 IN1 或輸入端子 IN2 在 L 位準時可執行自舉操作即可。當輸入端子 IN1 及輸入端子 IN2 係在高位準時，電位可供應至電晶體 433 的閘極端子。

例如，如第 47 圖中之 NAND 電路 470 中似地，可額外地設置電晶體 471 和電晶體 472。此係因為當輸出端子 OUT 係在 L 位準時，可使輸出端子 OUT 的電位成為 VSS；也就是說，因為當輸入端子 IN1 及輸入端子 IN2 在 H 位準時，電晶體 471 和電晶體 472 會導通，電晶體 433 的閘極端子變成在 L 位準，然後，電晶體 433 關閉，以致使輸出端子 OUT 僅透過電晶體 431 和電晶體 432 而電性連接至第二電源供應器。

注意的是，電晶體 471 和電晶體 472 各為 n 通道電晶體。

注意的是，可使用任何元件來做為電容器 435，只要其具有電容的性質即可。例如，如第 44 圖中之 NAND 電

(91)

路 440 中以及第 48 圖中之 NAND 電路 480 中似地，可分別地連接電晶體 441 及電晶體 481 來做爲電晶體 435 的置換物。

注意的是，當電晶體 433 的第二端子與閘極端子之間的電容值足夠大時，則無需一定要設置電容器 435。例如，如第 45 圖中之 NAND 電路 450 中及第 49 圖中之 NAND 電路 490 中似地，可無需連接電容器 435。

此處，將敘述電晶體 431 至 433，電晶體 441，電晶體 471，電晶體 472，電晶體 481，及電容器 435 的功能於下文。

電晶體 431 具有做爲開關的功能，其依據輸入端子 IN1 的電位來決定是否連接第二電源供應器與電晶體 432 的第一端子。

電晶體 432 具有做爲開關的功能，其依據輸入端子 IN2 的電位來決定是否連接電晶體 432 的第二端子與輸出端子 OUT。

電晶體 433 具有做爲開關的功能，其決定是否連接第一電源供應器與輸出端子 OUT。

電晶體 434 具有做爲二極體的功能。此外，電晶體 434 具有使電晶體 433 的閘極端子成爲浮動狀態之功能。

電晶體 441 具有做爲電容器的功能，其係連接於輸出端子 OUT 與電晶體 433 的閘極端子之間。當輸入端子 IN1 或輸入端子 IN2 係在 L 位準時，該電晶體 441 具有升高電晶體 433 之閘極端子的電位之功能。

(92)

電晶體 471 具有做為開關的功能，其依據輸入端子 IN1 的電位來決定是否連接第二電源供應器與電晶體 472 的第一端子。

電晶體 472 具有做為開關的功能，其依據輸入端子 IN2 的電位來決定是否連接電晶體 471 之第一端子與電晶體 433 的閘極端子。

電晶體 481 具有做為電容器的功能，其係連接於輸出端子 OUT 與電晶體 433 的閘極端子之間。當輸入端子 IN1 或輸入端子 IN2 係在 L 位準時，該電晶體 481 具有升高電晶體 433 之閘極端子的電位之功能。

電容器 435 具有依據輸出端子 OUT 之電位來改變電晶體 433 之閘極端子的電位之功能。當輸入端子 IN1 或輸入端子 IN2 係在 L 位準時，該電容器 435 具有升高電晶體 433 之閘極端子的電位之功能。

在此方式中，於第 42 至 49 圖中的 NAND 電路中，輸出端子 OUT 的電位可於當輸出 H 位準信號時，藉由改變電源供應電位 VDD 而自由地改變。也就是說，第 42 至 49 圖中之 NAND 電路不僅可操作成爲反相器電路，而且可操作成爲位準轉移電路。

雖然在第 42 至 49 圖中係描述均由使用 n 通道電晶體所形成的 NAND 電路，但該等 NAND 電路亦可均由使用 p 通道電晶體所形成。此處，均由使用 p 通道電晶體所形成之 NAND 電路係顯示於第 80 至 87 圖中。

第 80 圖顯示 NAND 電路 221 的另一模式。在第 80 圖

(93)

中之 NAND 電路包含電晶體 801，電晶體 802，及電晶體 803。

如第 80 圖中之 NAND 電路 800 中所示地，電晶體 801 的第一端子係連接至第二電源供應器；電晶體 801 的第二端子係連接至電晶體 802 之第二端子，電晶體 803 之第二端子，及輸出端子 OUT；以及電晶體 801 之閘極端子係連接至輸入端子 IN1。電晶體 802 的第一端子係連接至第二電源供應器，且該電晶體 802 的閘極端子係連接至輸入端子 IN2。電晶體 803 的第一端子係連接至第一電源供應器，且其閘極端子亦連接至第一電源供應器。

注意的是，電源供應電位 VSS 係供應至第一電源供應器，以及電源供應電位 VDD 係供應至第二電源供應器。在第一電源供應器的電源供應電位 VSS 與第二電源供應器的電源供應電位 VDD 之間的電位差 ($VDD-VSS$) 對應於 NAND 電路 800 的電源供應電壓。此外，電源供應電位 VDD 係比電源供應電位 VSS 更高。

注意的是，數位控制信號係供應至輸入端子 IN1 與輸入端子 IN2 的各個端子。此外，輸出端子 OUT 輸出一輸出信號。

此外，電晶體 801 至 803 各為 p 通道電晶體。

現將分別說明第 80 圖中之 NAND 電路 800 在其中輸入端子 IN1 在 H 位準及在 L 位準的情況中，以及在其中輸入端子 IN2 在 H 位準及在 L 位準的情況中之操作。

首先，將說明其中輸入端子 IN1 在 H 位準及輸入端子

(94)

IN2 在 H 位準的情況。當輸入端子 IN1 變成在 H 位準時，電晶體 801 關閉；當輸入端子 IN2 變成在 H 位準時，電晶體 802 關閉。

因此，輸出端子 OUT 係透過電晶體 803 而電性連接至第一電源供應器，且輸出端子 OUT 的電位會下降。此時，該輸出端子 OUT 的電位會變成一值，該值係電源供應電位 VSS 與電晶體 803 之臨限電壓 V_{th803} 的絕對值之加和的值 ($VSS + |V_{th803}|$)，使得輸出端子 OUT 變成在 L 位準。

接著，將說明其中輸入端子 IN1 在 H 位準及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成在 H 位準時，電晶體 801 關閉；當輸入端子 IN2 變成在 L 位準時，電晶體 802 導通。

因此，輸出端子 OUT 係透過電晶體 802 而電性連接至第二電源供應器，及透過電晶體 803 而電性連接至第一電源供應器，且因此，輸出端子 OUT 的電位會上升。此時，輸出端子 OUT 的電位係由電晶體 802 及電晶體 803 的操作點所決定，以致使輸出端子 OUT 變成在 H 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成在 L 位準時，電晶體 801 導通；當輸入端子 IN2 變成在 H 位準時，電晶體 802 關閉。

因此，輸出端子 OUT 係透過電晶體 801 而電性連接至第二電源供應器，及透過電晶體 803 而電性連接至第一

(95)

電源供應器，且因此，輸出端子 OUT 的電位會上升。此時，輸出端子 OUT 的電位係由電晶體 801 及電晶體 803 的操作點所決定，以致使輸出端子 OUT 變成在 H 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成在 L 位準時，電晶體 801 導通；當輸入端子 IN2 變成在 L 位準時，電晶體 802 導通。

因此，輸出端子 OUT 係透過電晶體 801 而電性連接至第二電容器，透過電晶體 802 而電性連接至第二電源供應器，及透過電晶體 803 而電性連接至第一電源供應器，且因此，輸出端子 OUT 的電位會上升。此時，輸出端子 OUT 的電位係由電晶體 801，電晶體 802，及電晶體 803 的操作點所決定，以致使輸出端子 OUT 變在 H 位準。

注意的是，電晶體 803 無需一定要具有整流性質；可使用任何元件，只要當供應電流至該處時能產生電壓於該元件之中即可。例如，如第 84 圖中之 NAND 電路 840 中似地，可連接電阻器 841 以做為電晶體 803 的置換物。

此處，將說明電晶體 801 至 803 的功能。

電晶體 801 具有做為開關之功能，其依據輸入端子 IN1 的電位而決定是否連接第二電源供應器與輸出端子 OUT。當輸入端子 IN1 係在 L 位準時，電晶體 801 具有供應電源供應電位 VDD 至輸出端子 OUT 的功能。

電晶體 802 具有做為開關之功能，其依據輸入端子 IN2 的電位而決定是否連接第二電源供應器與輸出端子

(96)

OUT。當輸入端子 IN2 係在 L 位準時，電晶體 802 具有供應電源供應電位 VDD 至輸出端子 OUT 的功能。

電晶體 803 具有二極體之功能。

第 81 圖顯示 NAND 電路 221 的另一模式，第 81 圖中所示的 NAND 電路 810 包含電晶體 811，電晶體 812，電晶體 813，電晶體 814，及電容器 815。

如第 81 圖中之 NAND 電路 810 中所示，電晶體 811 的第一端子係連接至第二電源供應器；電晶體 811 的第二端子係連接至至電晶體 812 之第二端子，電晶體 813 之第二端子，和電容器 815 之第一電極；以及電晶體 811 的閘極端子係連接至輸入端子 IN1。電晶體 812 的第一端子係連接至第二電容器，且該電晶體 812 的閘極端子係連接至輸入端子 IN2。電晶體 813 的第一端子係連接至第一電容器，以及電晶體 813 的閘極端子係連接至電晶體 814 之第二端子和電容器 815 之第二電極。電晶體 814 的第一端子係連接至第一電源供應器，且其閘極端子亦連接至第一電源供應器。

注意的是，可使用相同於第 80 圖中所示之第一電源供應器，第二電源供應器，輸入端子 IN1，輸入端子 IN2，及輸出端子 OUT 來做為第一電源供應器，第二電源供應器，輸入端子 IN，以及輸出端子 OUT。

此外，電晶體 811 至 814 各為 p 通道電晶體。

現將分別敘述第 81 圖中之 NAND 電路 810 在其中輸入端子 IN1 係在 H 位準及在 L 位準的情況中，以及在其中

(97)

輸入端子 IN2 係在 H 位準及 L 位準的情況中之操作。

首先，將說明其中輸入端子 IN1 在 H 位準及輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成在 H 位準時，電晶體 811 會關閉；當輸入端子 IN2 變成在 H 位準時，電晶體 812 會關閉。電晶體 813 的閘極端子之電位會變成一值，該值係電源供應電位 V_{SS} 與電晶體 814 的臨限電壓 V_{th814} 之絕對值的加和之值 ($V_{SS} + |V_{th814}|$)，以致使電晶體 813 導通。此外，電晶體 813 之閘極端子係在浮動狀態中。

因此，輸出端子 OUT 係透過電晶體 813 而電性連接至第一電源供應器，且輸出端子 OUT 的電位會下降。該電晶體 813 之閘極端子的電位會藉由電容器 815 之電容性耦合而下降至一值，該值係小於或相等於藉由自電源供應電位 V_{SS} 減去電晶體 813 之臨限電壓 V_{th813} 所獲得的值，以致使電晶體 813 持續地維持導通，而執行所謂的自舉操作。此時，輸出端子 OUT 的電位變成 V_{SS} ，以致使輸出端子 OUT 變成在 L 位準。

接著，將說明其中輸入端子 IN1 在 H 位準及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成在 H 位準時，電晶體 811 會關閉；當輸入端子 IN2 變成在 L 位準時，電晶體 812 會導通。電晶體 813 的閘極端子之電位會變成一值，該值係電源供應電位 V_{SS} 與電晶體 814 的臨限電壓 V_{th814} 之絕對值的加和之值 ($V_{SS} + |V_{th814}|$)，以致使電晶體 813 導通。此外，電晶體 813 的閘極端子係在浮動狀

(98)

態中。

因此，輸出端子 OUT 係透過電晶體 812 而電性連接至第二電源供應器，及透過電晶體 813 而電性連接至第一電源供應器，且因此，輸出端子 OUT 的電位會上升。此時，輸出端子 OUT 的電位係由電晶體 812 及電晶體 813 的操作點所決定，以致使輸出端子 OUT 變成在 H 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成在 L 位準時，電晶體 811 會導通；當輸入端子 IN2 變成在 H 位準時，電晶體 812 會關閉。電晶體 813 的閘極端子之電位會變成一值，該值係電源供應電位 VSS 與電晶體 814 的臨限電壓 V_{th814} 之絕對值的加和之值 ($VSS + |V_{th814}|$)，以致使電晶體 813 導通。此外，電晶體 813 的閘極端子係在浮動狀態中。

因此，輸出端子 OUT 係透過電晶體 811 而電性連接至第二電源供應器，及透過電晶體 813 而電性連接至第一電源供應器，且因此，輸出端子 OUT 的電位會上升。此時，輸出端子 OUT 的電位係由電晶體 811 及電晶體 813 的操作點所決定，以致使輸出端子 OUT 變成在 H 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成在 L 位準時，電晶體 811 會導通；當輸入端子 IN2 變成在 L 位準時，電晶體 812 會導通。電晶體 813 的閘極端子之電位會變成一值，該值係電源供應電位 VSS 與電晶體 814 的臨限電壓

(99)

V_{th814} 之絕對值的加和之值 ($V_{SS} + |V_{th814}|$)，以致使電晶體 813 導通。此外，電晶體 813 之閘極端子係在浮動狀態中。

因此，輸出端子 OUT 係透過電晶體 811 而電性連接至第二電源供應器，透過電晶體 812 而電性連接至第二電源供應器，及透過電晶體 813 而電性連接至第一電源供應器，且因此，輸出端子 OUT 之電位會上升。此時，輸出端子 OUT 的電位係由電晶體 811，電晶體 812，及電晶體 813 的操作點所決定，以致使輸出端子 OUT 變成在 H 位準。

在此方式中，輸出端子 OUT 的 L 位準電位可由第 81 圖中之 NAND 電路 810 中的自舉操作而降低至第一電源供應器之電源供應電位 V_{SS} 。

注意的是，第 81 圖中之 NAND 電路 810 的電路結構並未受限於第 81 圖中的電路結構，只要當輸入端子 IN1 及輸入端子 IN2 在 H 位準時可執行自舉操作即可。當輸入端子 IN1 或輸入端子 IN2 係在低位準時，電位可供應至電晶體 813 的閘極端子。

例如，如第 85 圖中之 NAND 電路 850 中似地，可額外地設置電晶體 851 和電晶體 852。此係因為當輸出端子 OUT 係在 H 位準時，可使輸出端子 OUT 的電位成為 V_{DD} ；也就是說，當輸入端子 IN1 或輸入端子 IN2 在 L 位準時，電晶體 851 或電晶體 852 會導通，電晶體 813 的閘極端子變成在 H 位準，然後，電晶體 813 關閉，以致使輸出端

(100)

子 OUT 僅透過電晶體 811 或電晶體 812 而電性連接至第二電源。

注意的是，電晶體 851 和電晶體 852 各為 p 通道電晶體。

注意的是，可使用任何元件來做為電容器 815，只要其具有電容的性質即可。例如，如第 82 圖中之 NAND 電路 820 中以及第 86 圖中之 NAND 電路 860 中似地，可分別地連接電晶體 821 及電晶體 861 來做為電容器 815 的置換物。

注意的是，當電晶體 813 的第二端子與閘極端子之間的電容值足夠大時，則無需一定要設置電容器 815。例如，如第 83 圖中之 NAND 電路 830 中及第 87 圖中之 NAND 電路 870 中似地，可無需連接電容器 815。

此處，將敘述電晶體 811 至 814，電晶體 821，電晶體 851，電晶體 852，電晶體 861，及電容器 815 的功能於下文。

電晶體 811 具有做為開關的功能，其依據輸入端子 IN1 的電位來決定是否連接第二電源供應器與輸出端子 OUT。當輸入端子 IN1 係在 L 位準時，電晶體 811 具有電源供應電位 VDD 至輸出端子 OUT 的功能。

電晶體 812 具有做為開關的功能，其依據輸入端子 IN2 的電位來決定是否連接第二電源供應器與輸出端子 OUT。當輸入端子 IN2 係在 L 位準時，電晶體 812 具有電源供應電位 VDD 至輸出端子 OUT 的功能。

(101)

電晶體 813 具有做爲開關的功能，其決定是否連接第一電源供應器與輸出端子 OUT。

電晶體 814 具有做爲二極體的功能。此外，電晶體 814 具有使電晶體 813 的閘極端子在浮動狀態之功能。

電晶體 821 具有做爲電容器的功能，其係連接於輸出端子 OUT 與電晶體 813 的閘極端子之間。當輸入端子 IN1 及輸入端子 IN2 係在 H 位準時，該電晶體 821 具有降低電晶體 813 之閘極端子的電位之功能。

電晶體 851 具有做爲開關的功能，其依據輸入端子 IN1 的電位來決定是否連接第二電源供應器與電晶體 813 的閘極端子。當輸入端子 IN1 係在 L 位準時，電晶體 851 具有供應電源供應電位 VDD 至電晶體 813 的閘極端子之功能。

電晶體 852 具有做爲開關的功能，其依據輸入端子 IN2 的電位來決定是否連接第二電源供應器與電晶體 813 的閘極端子。當輸入端子 IN2 係在 L 位準時，電晶體 852 具有供應電源供應電位 VDD 至電晶體 813 的閘極端子之功能。

電晶體 861 具有做爲電容器的功能，其係連接於輸出端子 OUT 與電晶體 813 的閘極端子之間。當輸入端子 IN1 及輸入端子 IN2 係在 H 位準時，該電晶體 861 具有降低電晶體 813 之閘極端子的電位之功能。

電容器 815 具有依據輸出端子 OUT 之電位來改變電晶體 813 之閘極端子的電位之功能。當輸入端子 IN1 或輸

(102)

入端子 IN2 係在 H 位準時，電容器 815 具有降低電晶體 813 之閘極端子的電位之功能。

以此方式，在第 81 至 87 圖中之 NAND 電路中，當輸出 L 位準信號時，輸出端子 OUT 之電位可由改變電源供應電位 VSS 而自由地改變。也就是說，第 81 至 87 圖中之 NAND 電路不僅可操作成爲 NAND 電路，而且可操作成爲位準轉移電路。

此處，將說明可應用於 NOR（反或）電路 231 的若干結構實例。

第 50 圖顯示 NOR 電路 231 之一模式。在第 50 圖中之 NOR 電路 500 包含電晶體 501，電晶體 502，及電晶體 503。

如第 50 圖之 NOR 電路 500 中所示地。電晶體 501 的第一端子係連接至第二電源供應器；電晶體 501 的第二端子係連接至電晶體 502 之第二端子，電晶體 503 之第二端子，和輸出端子 OUT；以及電晶體 501 的閘極端子係連接至輸入端子 IN1。電晶體 502 的第一端子係連接至第二電容器，且該電晶體 502 的閘極端子係連接至輸入端子 IN2。電晶體 503 之第一端子係連接至第一電源供應器，且其閘極端子亦連接至第一電源供應器。

注意的是，電源供應電位 VDD 係供應至第一電源供應器，以及電源供應電位 VSS 係供應至第二電源供應器。在第一電源供應器的電源供應電位 VDD 與第二電源供應器的電源供應電位 VSS 之間的電位差（VDD-VSS）對應

(103)

於 NOR 電路 500 之電源供應電壓。此外，電源供應電位 VDD 係比電源供應電位 VSS 更高。

注意的是，數位控制信號係供應至輸入端子 IN1 及輸入端子 IN2 之各個端子。此外，輸出端子 OUT 輸出一輸出信號。

而且，該等電晶體 501 至 503 之各個電晶體為 n 通道電晶體。

現將分別地敘述第 50 圖中之 NOR 電路 500 在其中輸入端子 IN1 係在 H 位準，其中輸入端子 IN1 係在 L 位準，其中輸入端子 IN2 係在 H 位準，以及其中輸入端子 IN2 係在 L 位準的情況中的操作。

首先，將說明其中輸入端子 IN1 在 H 位準以及輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成 H 位準時，電晶體 501 導通；當輸入端子 IN2 變成 H 位準時，電晶體 502 導通。

所以，輸出端子 OUT 係透過電晶體 501 及電晶體 502 而電性連接至第二電源供應器，及透過電晶體 503 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位會下降。此時，輸出端子 OUT 的電位係由電晶體 501，電晶體 502，及電晶體 503 之操作點所決定，且輸出端子 OUT 變成 L 位準。

接著，將說明其中輸入端子 IN1 在 H 位準以及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成 H 位準時，電晶體 501 導通；當輸入端子 IN2 變成 L 位準時，電晶

(104)

體 502 關閉。

所以，輸出端子 OUT 係透過電晶體 501 而電性連接至第二電源供應器，及透過電晶體 503 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位會下降。此時，輸出端子 OUT 的電位係由電晶體 501，及電晶體 503 之操作點所決定，且輸出端子 OUT 變成 L 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成 L 位準時，電晶體 501 關閉；當輸入端子 IN2 變成 H 位準時，電晶體 502 導通。

所以，輸出端子 OUT 係透過電晶體 502 而電性連接至第二電源供應器，及透過電晶體 503 而電性連接至電源供應器；因此，輸出端子 OUT 的電位會下降。此時，輸出端子 OUT 的電位係由電晶體 502，及電晶體 503 之操作點所決定，且輸出端子 OUT 變成 L 位準。

接著，將說明其中輸入端子 IN1 在 L 位準以及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成 L 位準時，電晶體 501 關閉；當輸入端子 IN2 變成 L 位準時，電晶體 502 關閉。

所以，輸出端子 OUT 係透過電晶體 503 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位會上升。此時，輸出端子 OUT 的電位係藉由自電源供應電位 V_{DD} 減去電晶體 503 之臨限電壓 V_{th503} 所獲得的值 ($V_{DD}-V_{th503}$)，且輸出端子 OUT 變成 H 位準。

(105)

注意的是，電晶體 503 無需一定要具有整流性質；可使用任何元件，只要當供應電流至該處時能產生電壓於該元件中即可。例如，如第 54 圖之 NOR 電路 540 中所示地，可連接電阻器 541 來做為電晶體 503 的置換物。

此處，將敘述電晶體 501 至 503 的功能於下文。

電晶體 501 具有做為開關的功能，其依據輸入端子 IN1 的電位而選擇是否連接第二電源供應器與輸出端子 OUT。

電晶體 502 具有做為開關的功能，其依據輸入端子 IN2 的電位而選擇是否連接第二電源供應器與輸出端子 OUT。

電晶體 503 具有做為二極體之功能。

第 51 圖顯示該 NOR 電路 231 的另一模式。在第 51 圖中的 NOR 電路 510 包含電晶體 511，電晶體 512，電晶體 513，電晶體 514，及電容器 515，該電容器 515 具有兩個電極。

如第 51 圖之 NOR 電路 510 中所示地，電晶體 511 的第一端子係連接至第二電源供應器；電晶體 511 的第二端子係連接至電晶體 512 之第二端子，電晶體 513 之第二端子，電容器 515 之第二電極，和輸出端子 OUT。電晶體 511 的閘極端子係連接至輸入端子 IN1。電晶體 512 的第一端子係連接至第二電源供應器，且電晶體 512 的閘極端子係連接至輸入端子 IN2。電晶體 513 的第一端子係連接至第一電源供應器，電晶體 513 的閘極端子係連接至電晶

(106)

體 514 之第二端子和電容器 515 之第一電極。電晶體 514 的第一端子係連接至第一電源供應器，且其閘極端子亦連接至第一電源供應器。

注意的是，第一電源供應器，第二電源供應器，輸入端子 IN1，輸入端子 IN2，及輸出端子 OUT 可相似於第 50 圖中之該等者。

此外，電晶體 511 至 514 各為 n 通道電晶體。

現將分別敘述第 51 圖之 NOR 電路 510 在其中輸入端子 IN1 係在 H 位準，其中輸入端子 IN1 係在 L 位準，其中輸入端子 IN2 係在 H 位準，及其中輸入端子 IN2 係在 L 位準的情況中之操作。

首先，將說明其中輸入端子 IN1 在 H 位準及其中輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成 H 位準時，電晶體 511 會導通；當輸入端子 IN2 變成 H 位準時，電晶體 512 會導通。電晶體 513 之閘極端子的電位係藉由自電源供應電位 V_{DD} 減去電晶體 514 之臨限電壓 V_{th514} 所獲得的值 ($V_{DD}-V_{th514}$)，且電晶體 513 導通。進一步地，電晶體 513 之閘極端子係在浮動狀態中。

所以，輸出端子 OUT 係透過電晶體 511 和電晶體 512 而電性連接至第二電源供應器，及透過電晶體 513 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位降低。此時，輸出端子 OUT 的電位係由電晶體 511，電晶體 512，和電晶體 513 的操作點所決定，且輸出端子 OUT 變成 L 位準。

(107)

接著，將說明其中輸入端子 IN1 在 H 位準及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成 H 位準時，電晶體 511 導通；當輸入端子 IN2 變成 L 位準時，電晶體 512 關閉。電晶體 513 之閘極端子的電位係藉由自電源供應電位 VDD 減去電晶體 514 的臨限電壓 V_{th514} 所獲得的值 ($VDD - V_{th514}$)，且電晶體 513 導通。進一步地，電晶體 513 的閘極端子係在浮動狀態中。

所以，輸出端子 OUT 係透過電晶體 511 而電性連接至第二電源供應器，及透過電晶體 513 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位降低。此時，輸出端子 OUT 的電位係由電晶體 511，電晶體 512，和電晶體 513 的操作點所決定，且輸出端子 OUT 變成 L 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成 L 位準時，電晶體 511 關閉；當輸入端子 IN2 變成 H 位準時，電晶體 512 導通。電晶體 513 之閘極端子的電位係藉由自電源供應電位 VDD 減去電晶體 514 的臨限電壓 V_{th514} 所獲得的值 ($VDD - V_{th514}$)，且電晶體 513 導通。進一步地，電晶體 513 的閘極端子係在浮動狀態中。

所以，輸出端子 OUT 係透過電晶體 512 而電性連接至第二電源供應器，及透過電晶體 513 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位降低。此時，輸出端子 OUT 的電位係由電晶體 511，電晶體 512，和電

(108)

晶體 513 的操作點所決定，且輸出端子 OUT 變成 L 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成 L 位準時，電晶體 511 關閉；當輸入端子 IN2 變成 L 位準時，電晶體 512 關閉。電晶體 513 之閘極端子的電位係藉由自電源供應電位 V_{DD} 減去電晶體 514 的臨限電壓 V_{th514} 所獲得的值 ($V_{DD}-V_{th514}$)，且電晶體 513 導通。進一步地，電晶體 513 的閘極端子係在浮動狀態中。

所以，輸出端子 OUT 係透過電晶體 513 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位上升。電晶體 513 之閘極端子的電位係依據電容器 515 之電容性耦合而增加至一值，該值係大於或相等於電源供應電位 V_{DD} 與電晶體 513 的臨限電壓 V_{th513} 之和的值，且電晶體 513 持續地在導通狀態中，而執行所謂的自舉操作。此時，輸出端子 OUT 的電位為 V_{DD} ，且輸出端子 OUT 變成 H 位準。

以此方式，在第 51 圖的 NOR 電路 510 中，輸出端子 OUT 的電位可由自舉操作而自 H 位準增加至第一電源供應器的電源供應電位 V_{DD} 。

注意的是，第 51 圖之 NOR 電路 510 並未受限於第 51 圖的電路結構，只要當輸入端子 IN1 和輸入端子 IN2 在 L 位準時可執行自舉操作即可。當輸入端子 IN1 或輸入端子 IN2 係在 H 位準時，電位可供應至電晶體 513 的閘極端子

(109)

例如，如第 55 圖之 NOR 電路 550 中所示地，可添加電晶體 551 和電晶體 552。此係因為當輸出端子 OUT 在 L 位準時，輸出端子 OUT 的電位可為 VSS；亦即，此係因為當輸入端子 IN1 及輸入端子 IN2 之一或兩者在 H 位準時，電晶體 551 及電晶體 552 之一或兩者會導通；因此，電晶體 513 的閘極端子變成 L 位準，且隨後，電晶體 513 關閉，以及輸出端子 OUT 僅透過電晶體 551 及電晶體 552 之一或兩者電性連接至第二電源供應器。

注意的是，電晶體 551 和 552 各為 n 通道電晶體。

注意的是，可使用任何元件的電容器 515，只要其具有電容的性質即可。例如，如第 52 圖之 NOR 電路 520 及第 56 圖之 NOR 電路 560 中所示地，可各連接電晶體 521 及電晶體 561 來做為電容器 515 的置換物。

此外，若電晶體 513 的第二端子與閘極端子之間的電容值足夠大時，則無需一定要電容器 515。例如，如第 53 圖之 NOR 電路 530 及第 57 圖之 NOR 電路 570 中所示地，無需連接電容器 515。

此處，將分別地敘述電晶體 511 至 514，電晶體 521，電晶體 551，電晶體 552，電晶體 561，及電容器 515 的功能於下文。

電晶體 511 具有做為開關之功能，其依據輸入端子 IN1 的電位來選擇是否連接第二電源供應器與輸出端子 OUT。當輸入端子 IN1 係在 H 位準時，供應電源供應電位

(110)

VSS 至輸出端子 OUT。

電晶體 512 具有做為開關之功能，其依據輸入端子 IN2 的電位來選擇是否連接第二電源供應器與輸出端子 OUT。當輸入端子 IN2 係在 H 位準時，供應電源供應電位 VSS 至輸出端子 OUT。

電晶體 513 具有做為開關之功能，其選擇是否連接第一電源供應器與輸出端子 OUT。

電晶體 514 具有做為二極體之功能，以及使電晶體 513 的閘極端子成為浮動狀態的功能。

電晶體 521 具有做為電容器之功能，其連接於輸出端子 OUT 與電晶體 513 的閘極端子之間。當輸入端子 IN1 及輸入端子 IN2 係在 L 位準時，該電晶體 521 具有增加電晶體 513 的閘極端子之電位的功能。

電晶體 551 具有做為開關之功能，其依據輸入端子 IN1 的電位來選擇是否連接第二電源供應器與電晶體 513 的閘極端子。當輸入端子 IN1 係在 H 位準時，電晶體 551 具有供應電源供應電位 VSS 至電晶體 513 的閘極端子之功能。

電晶體 552 具有做為開關之功能，其依據輸入端子 IN2 的電位來選擇是否連接第二電源供應器與電晶體 513 的閘極端子。當輸入端子 IN2 係在 H 位準時，電晶體 552 具有供應電源供應電位 VSS 至電晶體 513 的閘極端子之功能。

電晶體 561 具有做為電容器之功能，其連接於輸出端

(111)

子 OUT 與電晶體 513 的閘極端子之間。當輸入端子 IN1 及輸入端子 IN2 係在 L 位準時，電晶體 561 具有增加電晶體 513 的閘極端子之電位的功能。

電容器 515 具有依據輸出端子 OUT 之電位來改變電晶體 513 之閘極端子的電位之功能。當輸入端子 IN1 及輸入端子 IN2 係在 L 位準時，電容器 515 具有增加電晶體 513 之閘極端子的電位之功能。

如上述，在第 50 至 57 圖中的 NOR 電路中，輸出端子 OUT 的電位可於當輸出 H 位準信號時藉由改變電源供應電位 VDD 而自由地改變；亦即，在第 50 至 57 圖中的各個 NOR 電路不僅可操作成爲反相器電路，而且可操作成爲位準轉移電路。

雖然所描述的是其中在第 50 至 57 圖中之該等 NOR 電路均係由使用 n 通道電晶體所形成，但該等 NOR 電路亦可均由使用 p 通道電晶體所形成。此處，第 72 至 79 圖顯示均由使用 p 通道電晶體所形成之情況中的反相器電路。

第 72 圖顯示 NOR 電路 231 的另一模式。在第 72 圖中之 NOR 電路 720 包含電晶體 721，電晶體 722，及電晶體 723。

如第 72 圖之 NOR 電路 720 中所示地，電晶體 721 的第一端子係連接至第二電源供應器；電晶體 721 的第二端子係連接至電晶體 722 之第一端子；以及電晶體 721 的閘極端子係連接至至輸入端子 IN1。電晶體 722 的第二端子

(112)

係連接至電晶體 723 之第二端子和輸出端子 OUT，電晶體 722 的閘極端子係連接至輸入端子 IN2。電晶體 723 的第一端子係連接至第一電源供應器，且其閘極端子亦連接至第一電源供應器。

注意的是，電源供應電位 VSS 係供應至第一電源供應器，以及電源供應電位 VDD 係供應至第二電源供應器。在該第一電源供應器之電源供應電位 VSS 與第二電源供應器之電源供應電位 VDD 間的電位差 (VDD-VSS) 對應於 NOR 電路 720 的電源供應電壓。此外，電源供應電位 VDD 係比電源供應電位 VSS 更高。

注意的是，控制信號係供應至輸入端子 IN1 及輸入端子 IN2 之各個輸入端子。此外，輸出端子 OUT 輸出一輸出信號。

而且，電晶體 721 至 723 各為 p 通道電晶體。

將分別敘述第 72 圖中之 NOR 電路 720 在其中輸入端子 IN1 係在 H 位準，其中輸入端子 IN1 係在 L 位準，其中輸入端子 IN2 係在 H 位準，以及其中輸入端子 IN2 係在 L 位準的情況中之操作。

首先，將說明其中輸入端子 IN1 在 H 位準及輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成 H 位準時，電晶體 721 關閉；當輸入端子 IN2 變成 H 位準時，電晶體 722 關閉。

所以，輸出端子 OUT 係透過電晶體 723 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位降低。

(113)

此時，輸出端子 OUT 的電位係電源供應電位 VSS 與電晶體 723 的臨限電壓 V_{th723} 之絕對值的加和之值 ($VSS+|V_{th723}|$)，且輸出端子變成 L 位準。

接著，將說明其中輸入端子 IN1 在 H 位準及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成 H 位準時，電晶體 721 關閉；當輸入端子 IN2 變成 L 位準時，電晶體 722 導通。

所以，輸出端子 OUT 係透過電晶體 723 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位降低。此時，輸出端子 OUT 的電位係電源供應電位 VSS 與電晶體 723 的臨限電壓 V_{th723} 之絕對值的加和之值 ($VSS+|V_{th723}|$)，且輸出端子變成 L 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成 L 位準時，電晶體 721 導通；當輸入端子 IN2 變成 H 位準時，電晶體 722 關閉。

所以，輸出端子 OUT 係透過電晶體 723 而電性連接至一電源供應器；因此，輸出端子 OUT 的電位降低。此時，輸出端子 OUT 的電位係電源供應電位 VSS 與電晶體 723 的臨限電壓 V_{th723} 之絕對值的加和之值 ($VSS+|V_{th723}|$)，且輸出端子變成 L 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成 L 位準時，電晶體 721 導通；當輸入端子 IN2 變成 L 位準時，電晶體

(114)

722 導通。

所以，輸出端子 OUT 係透過電晶體 721 及電晶體 722 而電性連接至第二電源供應器及透過電晶體 723 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位上升。此時，該輸出端子 OUT 的電位係由電晶體 721，電晶體 722，及電晶體 723 的操作點所決定，且輸出端子 OUT 變成 H 位準。

注意的是，電晶體 723 無需一定要具有整流性；可使用任何元件，只要當供應電流至該處時可產生電壓於該元件即可。例如，如第 76 圖之 NOR 電路 760 中所示地，可連接電阻器 761 來做為電晶體 723 的置換物。

此處，將敘述電晶體 721 至 723 的功能於下文。

電晶體 721 具有做為開關之功能，其依據輸入端子 IN1 的電位來選擇是否連接第二電源供應器與電晶體 722 的第一端子。

電晶體 722 具有做為開關之功能，其依據輸入端子 IN2 的電位來選擇是否連接電晶體 721 的第二端子與輸出端子 OUT。

電晶體 723 具有做為二極體之功能。

第 73 圖顯示 NOR 電路 231 的另一模式。在第 73 圖中之 NOR 電路 730 包含電晶體 731，電晶體 732，電晶體 733，電晶體 734，及電容器 735，該電容器 735 具有兩個電極。

如第 73 圖之 NOR 電路 730 中所示地，電晶體 731 的

(115)

第一端子係連接至第二電源供應器；電晶體 731 的第二端子係連接至電晶體 732 之第一端子；以及電晶體 731 的閘極端子係連接至輸入端子 IN1。電晶體 732 的第二端子係連接至電晶體 733 的第二端子，電容器 735 的第二電極，和輸出端子 OUT；電晶體 732 的閘極端子係連接至輸入端子 IN2。電晶體 733 的第一端子 4 第一電源供應器；電晶體 733 的閘極端子係連接至電晶體 734 之第二端子和電容器 735 之第一電極。電晶體 734 的第一端子係連接至第一電源供應器，其閘極端子亦連接至第一電源供應器。

注意的是，第一電源供應器，第二電源供應，輸入端子 IN1，輸入端子 IN2，及輸出端子 OUT 可相似於第 72 圖中之該等者。

而且，電晶體 731 至 734 各為 p 通道電晶體。

將分別敘述第 73 圖中之 NOR 電路 730 在其中輸入端子 IN1 係在 H 位準，其中輸入端子 IN1 係在 L 位準，其中輸入端子 IN2 係在 H 位準，以及其中輸入端子 IN2 係在 L 位準的情況中之操作。

首先，將說明其中輸入端子 IN1 在 H 位準及輸入端子 IN2 在 H 位準的情況。當輸入端子 IN1 變成 H 位準時，電晶體 731 關閉；當輸入端子 IN2 變成 H 位準時，電晶體 732 關閉。電晶體 733 的閘極端子之電位係電源供應電位 V_{SS} 與電晶體 734 的臨限電壓 V_{th734} 之絕對值的加和之值 ($V_{SS} + |V_{th734}|$)，且電晶體 733 導通。進一步地，電晶體 733 的閘極端子係在浮動狀態中。

(116)

所以，輸出端子 OUT 係透過電晶體 733 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位降低。電晶體 733 的閘極端子之電位會依據電容器 735 的電容性耦合而降低成爲小於或相等於一值，該值係藉由自電源供應電位 V_{SS} 減去電晶體 733 之臨限電壓 V_{th733} 的絕對值所獲得 ($V_{SS}-|V_{th733}|$)，且電晶體 733 會持續地在導通狀態中，而執行所謂的自舉操作。此時，輸出端子 OUT 的電位爲 V_{SS} ，且輸出端子 OUT 變成 L 位準。

接著，將說明其中輸入端子 IN1 在 H 位準及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成 H 位準時，電晶體 731 關閉；當輸入端子 IN2 變成 L 位準時，電晶體 732 導通。電晶體 733 的閘極端子之電位係電源供應電位 V_{SS} 與電晶體 734 的臨限電壓 V_{th734} 之絕對值的加和之值 ($V_{SS}+|V_{th734}|$)，且電晶體 733 導通。進一步地，電晶體 733 的閘極端子係在浮動狀態中。

所以，輸出端子 OUT 係透過電晶體 733 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位降低。電晶體 733 的閘極端子之電位會依據電容器 735 的電容性耦合而降低成爲小於或相等於一值，該值係藉由自電源供應電位 V_{SS} 減去電晶體 733 之臨限電壓 V_{th733} 的絕對值所獲得 ($V_{SS}-|V_{th733}|$)，且電晶體 733 會持續地在導通狀態中，而執行所謂的自舉操作。此時，輸出端子 OUT 的電位爲 V_{SS} ，且輸出端子 OUT 變成 L 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子

(117)

IN2 在 H 位準的情況。當輸入端子 IN1 變成 L 位準時，電晶體 731 導通；當輸入端子 IN2 變成 H 位準時，電晶體 732 關閉。電晶體 733 的閘極端子之電位係電源供應電位 VSS 與電晶體 734 的臨限電壓 V_{th734} 之絕對值的加和之值 ($VSS + |V_{th734}|$)，且電晶體 733 導通。進一步地，電晶體 733 的閘極端子係在浮動狀態中。

所以，輸出端子 OUT 係透過電晶體 733 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位降低。電晶體 733 的閘極端子之電位會依據電容器 735 的電容性耦合而降低成爲小於或相等於一值，該值係藉由自電源供應電位 VSS 減去電晶體 733 之臨限電壓 V_{th733} 的絕對值所獲得 ($VSS - |V_{th733}|$)，且電晶體 733 會持續地在導通狀態中，而執行所謂的自舉操作。此時，輸出端子 OUT 的電位爲 VSS，且輸出端子 OUT 變成 L 位準。

接著，將說明其中輸入端子 IN1 在 L 位準及輸入端子 IN2 在 L 位準的情況。當輸入端子 IN1 變成 L 位準時，電晶體 731 導通；當輸入端子 IN2 變成 L 位準時，電晶體 732 導通。電晶體 733 的閘極端子之電位係電源供應電位 VSS 與電晶體 734 的臨限電壓 V_{th734} 之絕對值的加和之值 ($VSS + |V_{th734}|$)，且電晶體 733 導通。進一步地，電晶體 733 的閘極端子係在浮動狀態中。

所以，輸出端子 OUT 係透過電晶體 731 和電晶體 732 而電性連接至第二電源供應器，且透過電晶體 733 而電性連接至第一電源供應器；因此，輸出端子 OUT 的電位增

(118)

加。此時，該輸出端子 OUT 的電位係由電晶體 731，電晶體 732，及電晶體 733 之操作點所決定，且輸出端子 OUT 變成 H 位準。

以此方式，在第 73 圖之 NOR 電路 730 中，輸出端子 OUT 的電位可由自舉操作而自 L 位準降低至第一電源供應器的電源供應電位 VSS。

注意的是，第 73 圖之 NOR 電路 730 並未受限於第 73 圖的電路結構，只要當輸入端子 IN1 或輸出端子 IN2 在 H 位準時可執行自舉操作即可。當輸入端子 IN1 及輸入端子 IN2 在 L 位準時，電位可供應至電晶體 733 的閘極端子。

例如，如第 77 圖之 NOR 電路 770 中所示地，可添加電晶體 771 和電晶體 772。此係因為當輸出端子 OUT 在 H 位準時，輸出端子 OUT 的電位可為 VDD；亦即，此係因為當輸入端子 IN1 及輸入端子 IN2 在 L 位準時，電晶體 771 及電晶體 772 會導通；因此，電晶體 733 的閘極端子變成 H 位準，且隨後，電晶體 733 關閉，以及輸出端子 OUT 僅透過電晶體 731 或電晶體 732 而電性連接至第二電源供應器。

注意的是，電晶體 771 和 772 各為 p 通道電晶體。

注意的是，可使用任何元件於電容器 735，只要其具有電容的性質即可。例如，如第 74 圖之 NOR 電路 740 及第 78 圖之 NOR 電路 780 中所示地，可各連接電晶體 741 及電晶體 781 來做為電容器 735 的置換物。

此外，若電晶體 733 的第二端子與閘極端子之間的電

(119)

容值足夠大時，則無需一定要電容器 735。例如，如第 75 圖之 NOR 電路 750 及第 79 圖之 NOR 電路 790 中所示地，無需連接電容器 735。

此處，將分別地敘述電晶體 731 至 734，電晶體 741，電晶體 771，電晶體 772，電晶體 781，及電容器 735 的功能於下文。

電晶體 731 具有做為開關之功能，其依據輸入端子 IN1 的電位來選擇是否連接第二電源供應器與電晶體 732 的第一端子。

電晶體 732 具有做為開關之功能，其依據輸入端子 IN2 的電位來選擇是否連接電晶體 731 的第二端子與輸出端子 OUT。

電晶體 733 具有做為開關之功能，其選擇是否連接第一電源供應器與輸出端子 OUT。

電晶體 734 具有做為二極體之功能，以及使電晶體 733 的閘極端子成為浮動狀態的功能。

電晶體 741 具有做為電容器之功能，其連接於輸出端子 OUT 與電晶體 733 的閘極端子之間。當輸入端子 IN1 及輸入端子 IN2 之一或兩者係在 H 位準時，該電晶體 741 具有降低電晶體 733 之閘極端子的電位之功能。

電晶體 771 具有做為開關之功能，其依據輸入端子 IN1 的電位來選擇是否連接第二電源供應器與電晶體 772 的第一端子。

電晶體 772 具有做為開關之功能，其依據輸入端子

(120)

IN2 的電位來選擇是否連接電晶體 771 的第一端子與電晶體 733 的閘極端子。

電晶體 781 具有做為電容器之能，其連接於輸出端子 OUT 與電晶體 733 的閘極端子之間。當輸入端子 IN1 及輸入端子 IN2 之一或兩者係在 H 位準時，該電晶體 781 具有降低電晶體 733 之閘極端子的電位之功能。

電容器 735 具有依據輸出端子 OUT 之電位來改變電晶體 733 之閘極端子的電位之功能。當輸入端子 IN1 及輸入端子 IN2 之一或兩者係在 L 位準時，該電容器 735 具有降低電晶體 733 之閘極端子的電位之功能。

如上述，在第 73 至 78 圖中的 NOR 電路中，輸出端子 OUT 的電位可於當輸出 L 位準信號時藉由改變電源供應電位 VDD 而自由地改變；亦即，在第 73 至 78 圖中的各個 NOR 電路不僅可操作成爲 NAND 電路，而且可操作成爲位準轉移電路。

此外，在第 28 至 87 圖中之電路結構係使用來做為反相器電路 211，NAND 電路 221，及 NOR 電路 231；因此，可增加用以操作移位暫存器電路 200 的邊際。此係因爲在反相器電路 211，NAND 電路 221，及 NOR 電路 231 中，僅一電晶體的閘極端子連接至輸出端子 SRout。所以，輸出端子 SRout 的負載電容會減少；因此，可增加用以操作移位暫存器電路 200 的邊際。

此外，在第 28 至 87 圖中所示的反相器電路，NAND 電路，及 NOR 電路係分別地藉由使用具有相同極性的電

(121)

晶體所形成。因此，當該等電晶體的極性與同一基板上之其他電晶體的極性相同時，可實現製程的簡化。所以，可實現製造成本的降低及產能的改善。

注意的是，雖然係供應電源供應電位 VDD 或電源供應電位 VSS 至第 28 至 87 圖中所示的第一電源供應器和第二電源供應器，但本發明並未受限於此。

例如，不同的電位可供應至第 28 至 87 圖中之各個第一電源供應器和第二電源供應器。

如另一實例，控制信號可供應至第 28 至 87 圖中之各個第一電源供應器和第二電源供應器。

注意的是，雖然控制信號係供應至第 28 至 87 圖中之各個輸入端子，但本發明未受限於此。

例如，電源供應電壓可供應至第 28 至 87 圖中之該等輸入端子。

注意的是，此實施例模式可以自由地與此說明書中之其他實施例模式及實施例中的任何說明結合而實施。也就是說，在非選擇週期中，本發明之移位暫存器電路中的電晶體係以規則的時隔來導通，以致使電源供應電位可供應至輸出端子。因此，電源供應電位係透過該電晶體而供應至移位暫存器的輸出端子。因為該電晶體並非一直在非選擇週期中導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係透過電晶體而以規則的時隔來供應至移位暫存器電路的輸出端子。因此，該移位暫存器電路可抑制產生於輸出端子中的雜訊。

(122)

{ 實施例模式 4 }

在此實施例模式中，將敘述與實施例模式 3 中所述之驅動器電路不同的結構。

做為驅動器電路，將參照第 88 至 91 圖來說明可應用於源極驅動器的結構實例。第 88 至 91 圖中之驅動器電路不僅可應用於源極驅動器，而且可應用於任何種類的電路結構。

第 88 圖顯示本發明之源極驅動器之一模式。本發明之源極驅動器包含移位暫存器電路 880，複數個開關 SW，及視頻信號線 881。

如第 88 圖之源極驅動器中所示地，視頻信號線 881 係連接至開關 SW 的第一端子，以及開關 SW 的第二端子係連接至輸出端子 SDout。開關 SW 的控制端子係連接至移位暫存器電路 880 的輸出端子 SRout。

注意的是，移位暫存器電路 880 係相似於實施例模式 2 中所述的移位暫存器電路。此外，實施例模式 3 中所述的閘極驅動器可應用於該移位暫存器電路 880。

移位暫存器電路 880 的輸出端子 SRout1 至 SRout4 及輸出端子 SRoutn 可相似於實施例模式 2 中所述之該等輸出端子。

本發明之閘極驅動器的第一級之輸出端子 SDout 係由輸出端子 SDout1 所示，第二級之輸出端子 SDout 係由輸出端子 SDout2 所示，第三級之輸出端子 SDout 係由輸出

(123)

端子 $SDout3$ 所示，以及第 n 級之輸出端子 $SDout$ 係由輸出端子 $SDoutn$ 所示。

在第 88 圖之源極驅動器中，為便利起見，電源供應線及控制信號線並未顯示於圖中。

在其中移位暫存器電路 880 係藉由使用 n 通道電晶體所形成的情況中，該移位暫存器電路 880 的輸出信號係相似於第 18 圖之時序圖中的輸出信號。在其中移位暫存器電路 880 係藉由使用 p 通道電晶體所形成的情況中，該移位暫存器電路 880 的輸出信號係相似於第 19 圖之時序圖中的輸出信號。

視頻信號係供應至視頻信號線 881，該視頻信號可為電流或電壓；以及類比信號或數位信號。較佳地，該視頻信號為類比電壓，因為若干外部電路係用於液晶顯示裝置。也就是說，當視頻信號為類比電壓時，可使用不昂貴的習知電路來做為外部電路。

將分別敘述第 88 圖中之源極驅動器在其中移位暫存器電路 880 的輸出端子 $SRout$ 在 H 位準及在 L 位準之情況中的操作。

注意的是，為便利起見，第 88 圖中之開關 SW 係在當控制端子在 H 位準時導通，以及在當控制端子在 L 位準時關閉。無庸置疑地，該開關 SW 可在當控制端子在 H 位準時關閉，以及在當控制端子在 L 位準時導通。

首先，將說明其中輸出端子 $SRout$ 在 H 位準的情況。當移位暫存器電路的輸出端子 $SRout$ 變成 H 位準時，開關

(124)

SW 會導通。當該開關 SW 導通時，視頻信號線 881 係透過開關 SW 而連接至源極驅動器的輸出端子 SRout。

因此，該源極驅動器的輸出端子 SDout 具有與視頻信號線 881 相同的電位或相同的電流，且該源極驅動器輸出視頻信號。

接著，將說明其中輸出端子 SRout 在 L 位準的情況。當移位暫存器電路的輸出端子 SRout 變成 L 位準時，開關 SW 會關閉。當該開關 SW 關閉時，視頻信號線 881 會自源極驅動器的輸出端子 SRout 斷接。

因此，源極驅動器的輸出端子 SDout 並不會受到視頻信號線 881 的電位所影響，且該源極驅動器將停止輸出視頻信號。

如實施例模式 2 中所述，在其中移位暫存器電路 880 包含 n 通道電晶體的情況中，移位暫存器電路 880 會順序地自輸出端子 SRout1 起變成 H 位準；亦即，第 88 圖中所示的開關會順序地自開關 SW1 起（在第一行中）導通，且源極驅動器的輸出端子 SDout 順序地自輸出端子 SDout1 起（在第一行中）具有與視頻信號相同的電位或相同的電流。

注意的是，第 88 圖中所示之源極驅動器可於每次當移位暫存器電路 880 輸出 H 位準信號時，藉由改變視頻信號而順序地自輸出端子 SDout1 起輸出不同的視頻信號。

注意的是，雖然移位暫存器電路 880 的各個輸出端子 SRout 控制一開關，但本發明無需受限於此。移位暫存器

(125)

電路 880 的各個輸出端子 SRout 可控制複數個開關。在此情況中，複數個視頻信號線可分別地連接至該等開關的第一端子。

例如，如第 89 圖之源極驅動器中所示，移位暫存器電路 880 的一個輸出端子 SRout 可控制三個開關；此係因為視頻信號線 891，視頻信號線 892，及視頻信號線 893 係連接至該三個開關的第一端子，使得源極驅動器的三個輸出端子 SDout 可同時地輸出視頻信號。因此，可使移位暫存器電路 880 的操作頻率低，且因而，降低該移位暫存器電路 880 的功率消耗。

注意的是，例如可使用電性開關或機械開關來做為該開關。亦即，可採用能控制電流流動的任何元件，且該開關並未受限於特定的元件。可採用電晶體，二極體，或該電晶體與二極體之結合的邏輯電路。當使用電晶體來做為開關時，因為該電晶體被操作成為僅做為開關，所以並未特定地限制其極性（導電類型）。然而，在其中截止電流係偏好地小的情況中，則較佳地，使用具有較小截止電流之極性的電晶體。做為具有小的截止電流之電晶體。可使用設置有 LDD 區之電晶體，具有多重閘極結構之電晶體，或其類似物。此外，較佳的是，當操作於其中成為開關之電晶體的源極端子之電位較靠近低電位側的電源供應（ V_{SS} ，GND，OV，或類似者）的狀態之中時，較佳地使用 n 通道電晶體；而當操作於其中電晶體的源極端子之電位較靠近高電位側的電源供應（ V_{DD} 或類似者）的狀態之中

(126)

時，較佳地使用 p 通道電晶體。此係因為，由於可使電晶體的閘極－源極電壓的絕對值成為大的值，所以該電晶體可易於作用成為開關之緣故。注意的是，亦可藉由兩者皆有地使用 n 通道電晶體及 p 通道電晶體而應用 CMOS 類型的開關。

例如，如第 90 圖之源極驅動器中所示地，可連接電晶體 901 來做為開關 SW，該電晶體 901 係由移位暫存器電路 880 而控制成為導通及關閉。當電晶體 901 導通時，源極驅動器的輸出端子 SDout 輸出視頻信號。

注意的是，電晶體 901 為 n 通道電晶體。

注意的是，電晶體 901 具有做為開關之功能，其依據移位暫存器電路 880 之輸出端子 SRout 的電位來選擇是否連接視頻信號線 881 與源極驅動器的輸出端子 SDout。當移位暫存器電路 880 的輸出端子 SRout 在 H 位準時，視頻信號係由電晶體 901 而供應至源極驅動器的輸出端子 SDout。

注意的是，此時之移位暫存器電路 880 較佳地係由使用 n 通道電晶體所形成。當移位暫存器電路 880 係由使用 n 通道電晶體所形成時，可實現製程之簡化。因此，可實現製造成本之降低及產能之改善。

做為另一實例，如第 91 圖之源極驅動器中所示地，可連接電晶體 911 來做為開關 SW，該電晶體 911 係由移位暫存器電路 880 而控制成為導通及關閉。當電晶體 911 導通時，源極驅動器的輸出端子 SDout 輸出視頻信號。

(127)

注意的是，電晶體 911 為 p 通道電晶體。

注意的是，電晶體 911 具有做為開關之功能，其依據移位暫存器電路 880 之輸出端子 SRout 的電位來選擇是否連接視頻信號線 881 與源極驅動器的輸出端子 SDout。當移位暫存器電路 880 的輸出端子 SRout 在 L 位準時，視頻信號係由電晶體 911 而供應至源極驅動器的輸出端子 SDout。

注意的是，此時之移位暫存器電路 880 較佳地係由使用 p 通道電晶體所形成。當移位暫存器電路 880 係由使用 n 通道電晶體所形成時，可實現製程之簡化。因此，可實現製造成本之降低及產能之改善。

注意的是，此實施例模式可以自由地與此說明書中之其他實施例模式及實施例中的任何說明結合實施。也就是說，在非選擇週期中，本發明之移位暫存器電路中的電晶體係以規則的時隔來導通，以致使電源供應電位可供應至輸出端子。因此，電源供應電位係透過該電晶體而供應至移位暫存器的輸出端子。因為該電晶體並非一直在非選擇週期中導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係透過電晶體而以規則的時隔來供應至移位暫存器電路的輸出端子。因此，該移位暫存器電路可抑制產生於輸出端子中的雜訊。

[實施例模式 5]

在此實施例模式中，將敘述實施例模式 1 中所示之正

(128)

反器電路的佈局圖。

第 122 圖係第 1 圖中所示之正反器電路 10 的佈局圖。

注意的是，第 122 圖中所示之正反器電路 10 的佈局圖顯示其中該正反器電路係藉由使用由非晶矽所製成之電晶體所形成的情況。

第 122 圖中之正反器電路包含電源供應線 12201，控制線 12202，控制線 12203，控制線 12204，控制線 12205，電源供應線 12206，輸出端子 12207，電晶體 11，電晶體 12，電晶體 13，電晶體 14，電晶體 15，電晶體 16，電晶體 17，及電晶體 18。

參考符號 12208 指示半導體層，參考符號 12209 指示閘極電極及閘極導線層，參考符號 12210 指示第二導線層，以及參符號 12211 指示接觸層。

現將描述第 122 圖中所示之正反器電路的連接關係。如正反器電路 10 中所示地，電晶體 11 的閘極端子係連接至輸入端子 IN1；電晶體 11 的第一端子係連接至第一電源供應器；電晶體 11 的第二端子係連接至電晶體 12 之閘極端子，電晶體 14 之第二端子，電晶體 15 之閘極端子，電晶體 17 之第二端子，和電容器 19 之第二電極。電晶體 15 的第一端子係連接至第二電源供應器，且電晶體 15 的第二端子係連接至電晶體 16 之第二端子和電晶體 18 之閘極端子。電晶體 16 的閘極端子及第一端子係連接至第一電源供應器。電晶體 18 的第一端子係連接至輸入端子

(129)

IN3，電晶體 18 的第二端子係連接至電晶體 13 之閘極端子和電晶體 14 之閘極端子。電晶體 13 的第一端子係連接至第二電源供應器；電晶體 13 的第二端子係連接至電容器 19 之第一電極，電晶體 12 之第二端子，和輸出端子 OUT。電晶體 12 的第一端子係連接至輸入端子 IN2，電晶體 14 的第一端子係連接至第二電源供應器，電晶體 17 的閘極端子係連接至輸入端子 IN4，以及電晶體 17 的第一端子係連接至第二電源供應器。

注意的是，第 122 圖中之電晶體 11 至 18 分別對應於第 1 圖中之電晶體 11 至 18。控制線 12204，控制線 12202，控制線 12203，及控制線 12205 分別對應於第 1 圖之輸入端子 IN1 至 IN4。輸出端子 12207 對應於第 1 圖中之輸出端子 Out。

注意的是，在第 122 圖中之正反器電路 10 的佈局圖之中，電晶體 15 的通道區係 U 形的。注意的是，如上述地，電晶體 15 的大小需變大，因此，藉由使通道區如第 122 圖中之電晶體似地成爲 U 形，則可實現占有小的面積而具有大的尺寸（或大的 W/L 比）之電晶體 15。

注意的是，控制線 12202 和控制線 12203 的線寬係比電源供應線 12201 的線寬更大。在第 122 圖的正反器電路中，來自控制線 12202 和控制線 12203 之所供應至正反器電路的電流或電壓會比來自電源供應線 12201 更多。因此，當控制線 12202 和控制線 12203 的線寬大時，可降低該控制線 12202 和控制線 12203 的壓降效應。

(130)

注意的是，雖然在第 122 圖中的正反器電路係使用由非晶矽所製成之電晶體所形成，但本發明並未受限於此。

例如，如第 123 圖之正反器電路中所示地，該正反器電路可藉由使用由多晶矽所製成之電晶體所形成。

此處，將說明其中正反器電路係藉由使用由多晶矽所成之電晶體所形成的情況。

在第 123 圖中之正反器電路包含電源供應線 12201，控制線 12202，控制線 12203，控制線 12204，控制線 12205，電源供應線 12206，輸出端子 12207，電晶體 11，電晶體 12，電晶體 13，電晶體 14，電晶體 15，電晶體 16，電晶體 17 及電晶體 18。

參考符號 12208 指示半導體層，參考符號 12209 指示閘極電極及閘極導線層，參考符號 12210 指示第二導線層，以及參考符號 12211 指示接觸層。

現將描述第 123 圖中所示之正反器電路的連接關係。如正反器電路 10 中所示地，電晶體 11 的閘極端子係連接至輸入端子 IN1；電晶體 11 的第一端子係連接至第一電源供應器；電晶體 11 的第二端子係連接至電晶體 12 之閘極端子，電晶體 14 之第二端子，電晶體 15 之閘極端子，電晶體 17 之第二端子，和電容器 19 之第二電極。電晶體 15 的第一端子係連接至第二電源供應器，且電晶體 15 的第二端子係連接至電晶體 16 之第二端子和電晶體 18 之閘極端子。電晶體 16 的閘極端子及第一端子係連接至第一

(131)

電源供應器。電晶體 18 的第一端子係連接至輸入端子 IN3，電晶體 18 的第二端子係連接至電晶體 13 之閘極端子和電晶體 14 之閘極端子。電晶體 13 的第一端子係連接至第二電源供應器；電晶體 13 的第二端子係連接至電容器 19 之第一電極，電晶體 12 之第二端子，和輸出端子 OUT。電晶體 12 的第一端子係連接至輸入端子 IN2，電晶體 14 的第一端子係連接至第二電源供應器，電晶體 17 的閘極端子係連接至輸入端子 IN4，以及電晶體 17 的第一端子係連接至第二電源供應器。

注意的是，電源供應線 12201，控制線 12202，控制線 12203，控制線 12204，控制線 12205，電源供應線 12206，輸出端子 12207，電晶體 11，電晶體 12，電晶體 13，電晶體 14，電晶體 15，電晶體 16，電晶體 17，和電晶體 18 可與第 122 圖中之該等相似。

注意的是，半導體層 12208，閘極導線層 12209（閘極電極層），第二導線層 12210，及接觸層 12211 可與第 122 圖中之該等者相似。

注意的是，在第 123 圖中之正反器電路的佈局圖之中，電晶體 13 之閘極端子和電晶體 14 之閘極端子係透過第二導線層 12210 而相互連接，且因此，可縮短閘極導線層 12209。在半導體裝置的製程中，已知的是，若閘極導線層 12209 變長時，則靜電放電損壞可能會透過該閘極導線層 12209 而發生。因此，電晶體 13 的閘極端子與電晶體 14 的閘極端子係透過第二導線層 12210 而相互連接，以致

(132)

可降低透過閘極導線層 12209 之靜電放電損壞。降低靜電放電損壞可提供半導體裝置之諸如產能改善，生產率改善，及長的壽命之優點。

注意的是，電晶體 15 設置有複數個通道區。藉由畫分通道區成爲複數個區，可降低電晶體 15 之熱量產生，以及可抑制電晶體之特性劣化。

注意的是，此實施例模式可以自由地與此說明書中之其他實施例模式及實施例中的任何說明結合而實施，也就是說，在非選擇週期中，本發明之移位暫存器電路中的電晶體係以規則的時隔來導通，以致使電源供應電位可供應至輸出端子。因此，電源供應電位係透過該電晶體而供應至移位暫存器電路的輸出端子。因爲該電晶體並非一直在非選擇週期中導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係透過電晶體而以規則的時隔來供應至移位暫存器電路的輸出端子。因此，該移位暫存器電路可抑制產生於輸出端子中的雜訊。

[實施例 1]

在此實施例中，將說明顯示裝置，閘極驅動器，源極驅動器，及類似物的結構。注意的是，本發明之半導體裝置可應用於閘極驅動器或源極驅動器之一部分。

第 92 圖顯示可應用本發明之顯示裝置的一模式。可應用本發明之顯示裝置 920 包含畫素區 921，閘極驅動器 922，控制信號線 923，及 FPC 926。該畫素區 921 包含畫

(133)

素。該畫素包含顯示元件以及用以控制該顯示元件電路。

在第 92 圖中，FPC 926 係連接至控制信號線 923 和源極信號線 924。閘極驅動器 922 係連接至控制信號線 923 和閘極信號線 925。

注意的是，可使用相似於實施例模式 3 中所述之該等閘極驅動器來做為該閘極驅動器 922。

進一步地，閘極驅動器 922 的數目可大於一。

如上述，其係包含顯示元件之裝置的顯示裝置，或其係包含發光元件之裝置的發光裝置可採用各式各樣的模式或包含各式各樣的元件。例如，可應用諸如 EL 元件（有機 EL 元件，無機 EL 元件，或包含有機化合物和無機化合物之 EL 元件）之其中對比係由電性或磁性效應所改變的顯示媒體，電子發射元件，液晶元件，或電子油墨。注意的是，使用 EL 元件之顯示裝置包含 EL 顯示器；使用電子發射元件之顯示裝置包含場致發射顯示器（FED），SED 型扁面板顯示器（表面導電之電子發射體顯示器），及其類似物；使用液晶元件之顯示裝置包含液晶顯示器；以及使用電子油墨之顯示裝置包含電子紙。

現將簡略地說明顯示裝置 920 之操作。

閘極驅動器 922 透過閘極信號線 925 而順序地輸出選擇信號到畫素區 921。外部電路透過 FPC 926 及源極信號線 924 而順序地輸出視頻信號線到畫素區 921，該外部電路並未顯示於圖式中。在該畫素區 921 之中，影像係依據視頻信號而藉由控制光之狀態所顯示。

(134)

注意的是，控制信號係自外部電路來供應至控制信號線 923，以及閘極驅動器 922 係由該控制信號所控制。例如，可使用起始脈波，時脈信號，反相之時脈信號，或類似者來做為控制信號。

注意的是，視頻信號可為電壓值輸入或電流值輸入。例如，當使用液晶元件來做為顯示元件時，較佳地，視頻信號為電壓值輸入。此係因為液晶元件之傾斜係由電場所控制，以致使液晶元件可更易於由具有電壓值之視頻信號所控制。

注意的是，視頻信號可為數位值或類比值。例如，當使用液晶元件來做為顯示元件時，較佳地，視頻信號為類比值。此係因為液晶元件的回應速度慢，以致使液晶元件可藉由在一畫框週期中僅供應具有類比值之視頻信號一次而加以控制。

注意的是，雖然 FPC 926 係由一個 FPC 926 所形成，但本發明無需受限於此。該 FPC 926 可畫分成為複數個 FPC。

例如，如第 93 圖之顯示裝置 920 中所示，該 FPC 926 可畫分成為三個。此係因為，即使是在其中顯示裝置為大的情況或其中該 FPC 926 與顯示裝置 920 間的連接數目為大的情況中，亦可使用習知的 FPC 以及習知的 FPC 壓合裝置，且因此可降低製造成本。此外，若 FPC 926 與顯示裝置 920 之間的連接失效時，僅需更換連接失效之 FPC 926；因此，可降低製造成本。

(135)

注意的是，該視頻信號可透過任何電路及任何元件而輸出至畫素區 921。

例如，如第 94 圖中所示，視頻信號可透過信號線控制電路 941 而輸出至畫素區 921。此係因為當信號線控制電路 941 具有各式各樣的功能時，可簡化外部電路的結構。因此，就整體而言，可降低顯示裝置的成本。進一步地，可大大地降低 FPC 926 與顯示裝置 920 之間連接的數目。

注意的是，視頻信號和控制信號係透過控制信號線 942 而供應至信號線控制電路 941。

如上述地，可應用各式各樣的結構於本發明之顯示裝置。

注意的是，雖然顯示的是各式各樣之顯示裝置的結構，但本發明之顯示裝置的結構並未受限於該等顯示裝置。

注意的是，此實施例可自由地與此說明書中之其他實施例模式及實施例中的任何說明結合而實施。也就是說，在非選擇週期中，電晶體係以規則的時隔來導通，使得設置有本發明之移位暫存器電路的閘極驅動器及源極驅動器可供應電源供應電位至輸出端子。因此，電源供應電位係透過該電晶體而供應至移位暫存器電路的輸出端子。因為該電晶體並非一直在非選擇週期中導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係透過電晶體而以規則的時隔來供應至移位暫存器電路的輸出端子。因此，該移位暫存器電路可抑制產生於輸出端子中的雜訊。

(136)

〔實施例 2〕

接著，將說明實施例 1 中所述之信號線控制電路 941 的特定結構。

做為信號線控制電路 941，可應用實施例模式 4 中所述的源極驅動器。

第 95 圖顯示與實施例模式 4 中所述之源極驅動器不同的信號線控制電路 941 的一模式。在第 95 圖中之信號線控制電路 950 包含複數個開關 SW。

如第 95 圖中所示地，視頻信號線 954 係連接至開關 SW1 的第一端子，開關 SW2 的第一端子，和開關 SW3 的第一端子。開關 SW1 的第二端子係連接至源極信號線 955，開關 SW2 的第二端子係連接至源極信號線 956，開關 SW3 的第二端子係連接至源極信號線 957。開關 SW1 的控制端子係連接至控制信號線 951，開關 SW2 的控制端子係連接至控制信號線 952，開關 SW3 的控制端子係連接至控制信號線 953。視頻信號線 954，控制信號線 951，控制信號線 952，及控制信號線 953 係透過 FPC 而連接至外部電路。

注意的是，控制信號 A 係供應至控制信號線 951，控制信號 B 係供應至控制信號線 952，控制信號 C 係供應至控制信號線 953。視頻信號係供應至視頻信號線 954。

如上述，例如可使用電性開關或機械開關來做為該等開關 SW1 至 SW3。亦即，可採用能控制電流流動的任何

(137)

元件，且該開關並未受限於特定的元件。可採用電晶體，二極體，或該電晶體與二極體之結合的邏輯電路。當使用電晶體來做為開關時，因為該電晶體被操作成為僅做為開關，所以並未特定地限制其極性（導電類型）。然而，在其中截止電流係偏好地小的情況中，則較佳地，使用具有較小截止電流之極性的電晶體。做為具有小的截止電流之電晶體，可使用設置有 LDD 區之電晶體，具有多重閘極結構之電晶體，或其類似物。此外，較佳的是，當操作於其中成為開關之電晶體的源極端子之電位較靠近低電位側的電源供應（ V_{ss} ， GND ， OV ，或類似者）的狀態之中時，較佳地使用 n 通道電晶體；而當操作於其中電晶體的源極端子之電位較靠近高電位側的電源供應（ V_{dd} 或類似者）的狀態之中時，較佳地使用 p 通道電晶體。此係因為，由於可使電晶體的閘極－源極電壓的絕對值成為大的值，所以該電晶體可易於作用成為開關之緣故。注意的是，亦可藉由兩者皆有地使用 n 通道電晶體及 p 通道電晶體而應用 CMOS 類型的開關。

現將說明第 95 圖中之信號線控制電路 950 的操作。

控制信號 A，控制信號 B，和控制信號 C 係用於使開關 SW1，開關 SW2，及開關 SW3 順序地導通之信號。視頻信號的值係依據開關 SW1，開關 SW2，及開關 SW3 的導通（on）及關閉（off）狀態而改變。

首先，開關 SW1 係由控制信號 A 所導通。此時，開關 SW2 係由控制信號 B 所關閉，以及開關 SW3 係由控制

(138)

信號 C 所關閉。因此，視頻信號係透過視頻信號線 954 及開關 SW1 而供應至源極信號線 955。因為此時之開關 SW2 及開關 SW3 係關閉，所以該視頻信號並未供應至源極信號線 956 和源極信號線 957。

接著，開關 SW2 係由控制信號 B 所導通。此時，開關 SW1 係由控制信號 A 所關閉，以及開關 SW3 係由控制信號 C 所關閉。因此，視頻信號係透過視頻信號線 954 及開關 SW2 而供應至源極信號線 956。因為此時之開關 SW1 及開關 SW3 係關閉，所以該視頻信號並未供應至源極信號線 955 和源極信號線 957。

接著，開關 SW3 係由控制信號 C 所導通。此時，開關 SW1 係由控制信號 A 所關閉，以及開關 SW2 係由控制信號 B 所關閉。因此，視頻信號係透過視頻信號線 954 及開關 SW3 而供應至源極信號線 957。因為此時之開關 SW1 及開關 SW2 係關閉，所以該視頻信號並未供應至源極信號線 955 和源極信號線 956。

藉由如上述之此一操作，該視頻信號係使用一視頻信號線 954 而供應至源極信號線 955，源極信號線 956，和源極信號線 957 之三線；亦即，視頻信號線 954 的數目係源極信號線之數目的三分之一。因此，可大大地降低 FPC 與顯示裝置之間的連接收目；從而，大大地減低了 FPC 與顯示裝置之間連接的故障比例。

注意的是，雖然第 95 圖中之信號線控制電路 950 包含三個開關 SW，但本發明並未受限於此。該等開關的數

(139)

目並未受到限制，而控制信號的數目則需依據開關的數目來加以改變。例如，在設置四個開關 SW 的情況中，係提供四個控制信號。

注意的是，第 95 圖中之信號線控制電路 950 可設置有當開關 SW1 至 SW3 無一導通時之週期，因為可降低諸如交叉失真的影像缺陷；也就是說，當供應新的視頻信號至源極信號線時，源極信號線的電位並不會立即地改變。此係因為在若干情況中，當前一電位之效應殘留於源極信號線中時，會發生諸如交叉失真之影像缺陷。此週期係用以寫入至下一列的準備週期。

注意的是，可藉由實施例模式 2 中之移位暫存器電路來供應控制信號 A，控制信號 B，和控制信號 C。此時，該移位暫存器電路包含三個或多個正反器電路。較佳地，該移位暫存器電路包含三個以上的正反器電路及五個以下的正反器電路。

注意的是，在顯示裝置 920 中，信號線控制電路 950 係形成於同一基板之上，以致可進一步減低 FPC 與顯示裝置 920 之間的連接數目。

如上述，可使用各式各樣的信號線控制電路於本發明之顯示裝置。

注意的是，在此實施例中，雖然顯示各式各樣的信號控制電路，但可應用於本發明之顯示裝置的信號控制電路並未受限於該信號控制電路。

注意的是，此實施例可自由地與此說明書中之其他實

(140)

施例模式及實施例中的任何說明結合而實施。也就是說，在非選擇週期中，電晶體係以規則的時隔來導通，使得設置有本發明之移位暫存器電路的信號控制電路可供應電源供應電位至輸出端子。因此，電源供應電位係透過該電晶體而供應至移位暫存器電路的輸出端子。因為，該電晶體並非一直非選擇週期中導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係透過電晶體而以規則的時隔來供應至移位暫存器電路的輸出端子。因此，該移位暫存器電路可抑制產生於輸出端子中的雜訊。

[實施例 3]

接著，將說明實施例 1 中所述之畫素的特定結構。

第 96 圖顯示畫素之一模式。第 96 圖中之畫素 960 包含：電晶體 961；液晶元件 962，其具有兩個電極；以及電容器 963，其具有兩個電極。

如第 96 圖之畫素 960 中所示，電晶體 961 的第一端子係連接至源極信號線 924；電晶體 961 的第二端子係連接至液晶元件 962 之第一電極和電容器 963 之第一電極；以及電晶體 961 的閘極端子係連接至閘極信號線 925。液晶元件 962 的第二電極係相對電極 964，電容器 963 的第二電極係連接至共用線 965。

注意的是，視頻信號係供應至源極信號線 924，選擇信號係供應至閘極信號線 925。該源極信號線 924 和閘極信號線 925 可相似於實施例 1 中之該等者。

(141)

注意的是，共用電位係供應至共用線 965，基板電位係供應至相對電極 964。該共用電位和基板電位為恆定電位。

電晶體 961 為 n 通道電晶體。

將分別敘述第 96 圖中之畫素 960 在其中選擇信號係供應至閘極信號線 925 (H 位準) 的情況，以及在其中並未供應選擇信號 (L 位準) 的情況中之操作。第一週期係當供應選擇信號到閘極信號線 925 時之週期，第二週期係當未供應選擇信號時之週期。

首先，將說明第一週期。閘極信號線 925 係在 H 位準，且電晶體 961 導通。源極信號線 924 係電性連接至液晶元件 962 的第一電極和電容器 963 的第一電極，該液晶元件 962 的第一電極和電容器 963 的第一電極之電位變成與源極信號線 924 之電位相同的電位。

此處，源極信號線 924 的電位對應於視頻信號。

液晶元件 962 之光透射比係由對應於視頻信號的電位所決定，而對應於視頻信號的電位則保持於電容器 963 之中。

接著，將說明第二週期。閘極信號線 925 係在 L 位準，且電晶體 961 關閉。源極信號線 924 係電性斷接自液晶元件 962 的第一電極和電容器 963 的第一電極，因此，對應於先前所輸入之視頻信號的電位將維持成為該液晶元件 962 的第一電極和電容器 963 的第一電極之電位，因而，亦維持該液晶元件 962 的光透射化。

(142)

此處，將說明電晶體 961 和電容器 963 的功能於下文。

電晶體 961 具有做為開關之功能，其依據閘極信號線 925 之電位來選擇源極信號線 924 是否連接至晶元件 962 的第一電極和電容器 963 的第一電極。在第一週期中，電晶體 961 具有供應視頻信號至畫素 960 的功能。

電容器 963 具有保持視頻信號的功能。在第一週期中，視頻信號係供應至具有保持該視頻信號之功能的電容器 963。在第二週期中，該電容器 963 具有保持該視頻信號直至下一個第一週期為止的功能。

如上述，可達成畫素 960 的主動驅動。當其上形成畫素 960 之基板上的其他電晶體為 n 通道電晶體時，可實現製程之簡化，且因此，可實現製造成本上的降低以及產能上的改善。

注意的是，電容器 963 的第二電極可連接至任何處，只要該電容器 963 的重量 % 在畫素 960 的操作週期中係保持在恆定的電位即可。例如，該電容器 963 的第二電極可連接至前一系列的閘極信號線 925，此係因為無需設置共用線 965；因此，可增加畫素 960 的孔徑比。

注意的是，雖然係供應恆定的電位至相對電極 964，但本發明並未受限於此。例如，當反向驅動畫素 960 時，該相對電極 964 的電位可對應於該反向驅動而改變；此時，在其中視頻信號係正電位的情況中，該相對電極 964 的電位為負電位。在其中視頻信號係負電位的情況中，相對

(143)

電極 964 的電位為正電位。

雖然描述藉由使用 n 通道電晶體所形成之畫素於第 96 圖，但畫素可藉由使用 p 通道電晶體來加以形成。此處，第 120 圖顯示藉由使用 p 通道電晶體所形成之畫素。

第 120 圖顯示畫素之一模式。第 120 圖中之畫素 1200 包含：電晶體 1201；液晶元件 962，其具有兩個電極；以及電容器 963，其具有兩個電極。

如第 120 圖之畫素 1200 中所示，電晶體 1201 的第一端子係連接至源極信號線 924；電晶體 1201 的第二端子係連接至液晶元件 962 之第一電極和電容器 963 之第一電極；以及電晶體 1201 的閘極端子係連接至閘極信號線 925。液晶元件 962 的第二電極係相對電極 964，電容器 963 的第二電極係連接至共用線 965。

注意的是，視頻信號係供應至源極信號線 924，選擇信號係供應至閘極信號線 925。該源極信號線 924 和閘極信號線 925 可相似於實施例 1 之該等者。

注意的是，共用電位係供應至共用線 965，基板電位係供應至相對電極 964。該共用電位和基板電位為恆定電位。

注意的是，液晶元件 962，電容器 963，相對電極 964，及共用線 965 可相似於第 96 圖中之該等者。

電晶體 1201 為 p 通道電晶體。

將分別敘述第 120 圖中之畫素 1200 在其中選擇信號係供應至閘極信號線 925 (L 位準) 的情況，以及在其中

(144)

並未供應選擇信號（H 位準）的情況中之操作。第一週期係當供應選擇信號到閘極信號線 925 時之週期，第二週期係當未供應選擇信號時之週期。

首先，將說明第一週期。閘極信號線 925 係在 L 位準，且電晶體 1201 導通。源極信號線 924 係電性連接至液晶元件 962 的第一電極和電容器 963 的第一電極，該液晶元件 962 的第一電極和電容器 963 的第一電極之電位變成與源極信號線 924 之電位相同的電位。

此處，源極信號線 924 的電位對應於視頻信號。

液晶元件 962 之光透射比係由對應於視頻信號的電位所決定，而對應於視頻信號的電位則保持於電容器 963 之中。

接著，將說明第二週期。閘極信號線 925 係在 H 位準，且電晶體 1201 關閉。源極信號線 924 係電性斷接自液晶元件 962 的第一電極和電容器 963 的第一電極，因此，對應於先前所輸入之視頻信號的電位將維持成爲該液晶元件 962 的第一電極和電容器 963 的第一電極之電位，因而，亦維持該液晶元件 962 的光透射比。

此處，將說明電晶體 1201 和電容器 963 的功能於下文。

電晶體 1201 具有做爲開關之功能，其依據閘極信號線 925 之電位來選擇源極信號線 924 是否連接至液晶元件 962 的第一電極和電容器 963 的第一電極。在第一週期中，電晶體 1201 具有供應視頻信號至畫素 1200 的功能。

(145)

如上述，可達成畫素 1200 的主動驅動。當其上形成畫素 1200 的基板上之其他電晶體為 p 通道電晶體時，可實現製程之簡化，且因此，可實現製造成本上的降低以及產能上的改善。

注意的是，電容器 963 的第二電極可連接至任何處，只要該電容器 963 的第二電極在畫素 1200 的操作週期中係保持在恆定的電位即可。例如，該電容器 963 的第二電極可連接至前一系列的閘極信號線 925，此係因為無需設置共用線 965；因此，可增加畫素 1200 的孔徑比。

注意的是，雖然係供應恆定的電位至相對電極 964，但本發明並未受限於此。例如，當反向驅動畫素 1200 時，該相對電極 964 的電位可對應於該反向驅動而改變；此時，在其中視頻信號係正電位的情況中，該相對電極 964 的電位為負電位。在其中視頻信號係負電位的情況中，相對電極 964 的電位為正電位。

第 97 圖顯示畫素之另一模式。第 97 圖中之畫素 970 包含：電晶體 971；電晶體 972；顯示元件 973，其具有兩個電極；以及電容器 974，其具有兩個電極。

如第 97 圖之畫素 970 中所示，電晶體 971 的第一端子係連接至源極信號線 924；電晶體 971 的第二端子係連接至電晶體 972 之閘極端子和電容器 974 之第一電極；以及電晶體 971 的閘極端子係連接至閘極信號線 925。電容器 974 的第二電極係連接至電源供應線 976，電晶體 972 的第一端子係連接至電源供應線 976，電晶體 972 的第二

(146)

端子係連接至顯示元件 973 之第一電極，該顯示元件 973 之第二電極係共用電極 975。

注意的是，視頻信號係供應至源極信號線 924，選擇信號係供應至閘極信號線 925。該源極信號線 924 和閘極信號線 925 可相似於實施例 1 中之該等者。

注意的是，陽極電位係供應至電源供應線 976，陰極電位係供應至共用電極 975。該陽極電位比陰極電位更高。

電晶體 971 及 972 各為 n 通道電晶體。

將分別敘述第 97 圖中之畫素 970 在其中選擇信號係供應至閘極信號線 925 (H 位準) 的情況，以及在其中並未供應選擇信號 (L 位準) 的情況中之操作。第一週期係當供應選擇信號到閘極信號線 925 時之週期，第二週期係當未供應選擇信號時之週期。

首先，將說明第一週期。閘極信號線 925 係在 H 位準，且電晶體 971 導通。源極信號線 924 係電性連接至電晶體 972 的閘極端子和電容器 974 的第一電極。該電晶體 972 的閘極端子和電容器 974 的第一電極之電位變成與源極信號線 924 之電位相同的電位。

此處，源極信號線 924 的電位對應於視頻信號。

電晶體 972 的電位值係由對應於視頻信號的電位與電晶體 972 之第二端子的電位之間的電位差 (V_{gs}) 所決定，且與該電晶體 972 相同的電流流至顯示元件 973。在此情況中，電晶體 972 與顯示元件 973 的操作點需設定於飽

(147)

和區之中；因此，顯示元件 973 的電流值可自由地由視頻信號所決定。

注意的是，當設定電晶體 972 與顯示元件 973 的操作點於線性區之中時，顯示元件 973 的第一電極係透過電晶體 972 而電性連接至電源供應線 976，且大略相等於電源供應線 976 之電位的電壓會被施加至顯示元件 973 的第一電極。設定電晶體 972 與顯示元件 973 的操作點於該線性區之中係有利的，因為電晶體 972 的電流值不會受到電晶體 972 之特性變化及劣化所影響。

接著，將說明其中選擇信號並未被供應至閘極信號線 925 的情況。該閘極信號線 925 係在 L 位準，且電晶體 971 關閉。源極信號線 924 係自電晶體 972 的第二端子電性地斷接。因此，可保持電晶體 972 的 V_{gs} ，此係因為對應於先前所輸入之視頻信號的電位會維持以成為電晶體 972 之第二端子的電位，且因而亦保持顯示元件 973 的電流值。

此處，將敘述電晶體 971，電晶體 972，及電容器 974 之功能於下文。

電晶體 971 具有做為開關之功能，其依據閘極信號線 925 之電位來選擇源極信號線 924 是否連接至電晶體 972 的閘極端子和電容器 974 的第一電極。在第一週期中，電晶體 971 具有供應視頻信號至畫素 970 的功能。

電晶體 972 具有做為驅動電晶體之功能，其依據電晶體 972 之閘極端子和電容器 974 之第一電極的電位來供應

(148)

流或電壓至顯示元件 973。當電晶體 972 和顯示元件 973 的操作點係設定於飽和區之中時，電晶體 972 具有供應電流至顯示元件 973 之電流源的功能；當電晶體 972 和顯示元件 973 的操作點係設定於線性區之中時，電晶體 972 具有做為開關而選擇是否連接電源供應線 976 和顯示元件 973 之第一電極的功能。

電晶體 974 具有保持視頻信號的功能。在第一週期中，視頻信號係供應至具有保持該視頻信號之功能的電容器 974。在第二週期中，該電容器 974 具有保持該視頻信號線直至下一個第一週期為止的功能。

如上述，可達成畫素 970 的主動驅動。當其上形成畫素 970 之基板上的其他電晶體為 n 通道電晶體時，可實現製程之簡化，且因此，可實現製造成本上的降低以及產能上的改善。

注意的是，電容器 974 的第二電極可連接至任何處，只要該電容器 974 的第二電極在畫素 970 的操作週期中係保持在恆定的電位即可。例如，該電容器 974 的第二電極可連接至前一列的閘極信號線 925。

做為另一實例，如第 98 圖之畫素 980 中所示地，電容器 974 的第二電極可連接至電晶體 972 的第二端子，此係因為電晶體 972 的閘極端子之電位係依據電晶體 972 的第二端子之電位中的改變而改變；因此，可供應更準確的電流至顯示元件。亦即，當電晶體 972 的第二端子之電位改變時，電晶體 972 的閘極端子之電位會依據電容器 974

(149)

之電容性耦合而同時地改變，以執行所謂的自舉操作。

雖然在第 97 圖中所描述的是藉由均使用 n 通道電晶體所形成之畫素，但畫素可藉由均使用 p 通道電晶體來加以形成。此處，第 121 圖顯示藉由均使用 p 通道電晶體所形成之畫素。

第 121 圖顯示畫素之另一模式。第 121 圖中之畫素 1210 包含：電晶體 1211；電晶體 1212；顯示元件 973，其具有兩個電極；以及電容器 974，其具有兩個電極。

如第 121 圖之畫素 1210 中所示，電晶體 1211 的第一端子係連接至源極信號線 924；電晶體 1211 的第二端子係連接至電晶體 1212 之閘極端子和電容器 974 之第一電極；以及電晶體 1211 的閘極端子係連接至閘極信號線 925。電容器 974 的第二電極係連接至電源供應線 976，電晶體 1212 的第一端子係連接至電源供應線 976，電晶體 1212 的第二端子係連接至顯示元件 973 之第一電極，該顯示元件 973 之第二電極係共用電極 975。

注意的是，視頻信號係供應至源極信號線 924，選擇信號係供應至閘極信號線 925。該源極信號線 924 和閘極信號線 925 可相似於實施例 1 中之該等者。

注意的是，陽極電位係供應至電源供應線 976，陰極電位係供應至共用電極 975。該陽極電位比陰極電位更高。

注意的是，顯示元件 973，電容器 974，共用電極 975，及電源供應線 976 可相似於第 97 圖中之該等者。

(150)

電晶體 1211 和電晶體 1212 為 p 通道電晶體。

將分別敘述第 121 圖中之畫素 1210 在其中選擇信號係供應至閘極信號線 925 (L 位準) 的情況，以及在其中並未供應選擇信號 (H 位準) 的情況中之操作。第一週期係當供應選擇信號到閘極信號線 925 時之週期，第二週期係當未供應選擇信號時之週期。

首先，將說明第一週期。閘極信號線 925 係在 L 位準，且電晶體 1211 導通。源極信號線 924 係電性連接至電晶體 1212 的閘極端子和電容器 974 的第一電極。該電晶體 1212 的閘極端子和電容器 974 的第一電極之電位變成與源極信號線 924 之電位相同的電位。

此處，源極信號線 924 的電位對應於視頻信號。

電晶體 1212 的電流值係由對應於視頻信號的電位與電源供應線 976 的電位之間的電位差 (V_{gs}) 所決定，且相同的電流流至顯示元件 973。在此情況中，電晶體 1212 與顯示元件 973 的操作點需設定於飽和區之中；因此，顯示元件 973 的電流值可由視頻信號所決定。

注意的是，當設定電晶體 1212 與顯示元件 973 的操作點於線性區之中時，顯示元件 973 的第一電極係透過電晶體 1212 而電性連接至電源供應線 976，且顯示元件 973 的第一電極之電壓被枷為該電源供應線 976 之電位。設定電晶體 1212 與顯示元件 973 的操作點於該線性區之中係有利的，因為電晶體 1212 的電流值不會受到電晶體 1212 之特性變化及劣化所影響。

(151)

接著，將說明其中選擇信號並未被供應至閘極信號線 925 的情況。該閘極信號線 925 係在 H 位準，且電晶體 1211 關閉。源極信號線 924 係自電晶體 1212 的第二端子電性地斷接。因此，可保持電晶體 1212 的 V_{gs} ，此係因為對應於先前所輸入之視頻信號的電位會維持以成為電晶體 1212 之第二端子的電位，且因而亦保持顯示元件 973 的電流值。

此處，將敘述電晶體 1211 及電晶體 1212 的功能於下文。

電晶體 1211 具有做該開關之功能，其依據閘極信號線 925 之電位來選擇源極信號線 924 是否連接至電晶體 1212 的閘極端子和電容器 974 的第一電極。在第一週期中，電晶體 1211 具有供應視頻信號至畫素 1210 的功能。

電晶體 1212 具有做該驅動電晶體之功能，其依據電晶體 1212 之閘極端子和電容器 974 之第二電極的電來供應電流或電壓至顯示元件 973。當電晶體 1212 和顯示元件 973 的操作點係設定於飽和區之中時，電晶體 1212 具有供應電流至顯示元件 973 之電流源的功能；當電晶體 1212 和顯示元件 973 的操作點係設定於線性區之中時，電晶體 1212 具有做為開關而選擇是否連接電源供應線 976 和顯示元件 973 之第一電極的功能。

如上述，可達成畫素 970 的主動驅動。當其上形成畫素 970 之基板上的其他電晶體為 n 通道電晶體時，可實現製程之簡化，且因此，可實現製造成本上的降低以及產能

(152)

上的改善。

注意的是，電容器 974 的第二電極可連接至任何處，只要該電容器 974 的第二電極在畫素 1210 的操作週期中係保持在恆定的電位即可。例如，該電容器 974 的第二電極可連接至前一系列的閘極信號線 925。

第 99 圖顯示畫素之另一模式。第 99 圖中之畫素 990 包含：電晶體 991；電晶體 992；電晶體 993；顯示元件 973，其具有兩個電極；以及電容器 994，其具有兩個電極。

如第 99 圖之畫素 990 中所示，電晶體 991 的第一端子係連接至源極信號線 924；電晶體 991 的第二端子係連接至電晶體 992 之第二端子，電容器 994 之第一電極，和顯示元件 973 之第一電極。電晶體 992 的第一端子係連接至電源供應線 995，電晶體 992 的閘極端子係連接至電晶體 993 之第二端子和電容器 994 之第二電極。電容器 993 的第一端子係連接至閘極信號線 925，電晶體 993 的閘極端子係連接至電源供應線 995，顯示元件 973 的第二電極係共用電極 975。

注意的是，視頻信號係供應至源極信號線 924，選擇信號係供應至閘極信號線 925。該源極信號線 924 和閘極信號線 925 可相似於實施例 1 中之該等者。

注意的是，該視頻信號為類比電流。

注意的是，控制電位係供應至電源供應線 995，陰極電位係供應至共用電極 975，控制電位係依據畫素 990 的

(153)

操作而改變。

注意的是，顯示元件 973 和共用電極 975 可相似於第 97 圖中之該等者。

電晶體 991，992，及 993 為 n 通道電晶體。

將分別敘述第 99 圖中之畫素 990 在其中選擇信號係供應至閘極信號線 925 (H 位準) 的情況，以及在其中並未供應選擇信號 (L 位準) 的情況中之操作。第一週期係當供應選擇信號到閘極信號線 925 時之週期，第二週期係當未供應選擇信號時之週期。

首先，將說明第一週期。閘極信號線 925 係在 H 位準，且電晶體 991 和電晶體 993 導通。電晶體 992 的第一端子與閘極端子係透過電晶體 993 而電性連接，且該電晶體 992 係二極體連接式。此外，該源極信號線 924 係電性連接至電晶體 992 的第二端子，電容器 994 的第一電極，和顯示元件 973 的第一電極。

此時，電源供應線 995 的電位係設定使得顯示元件 973 的第一電極之電位比共用電極 975 之電位更低。

關於視頻信號，自電源供應線 975 而透過電晶體 992 和電晶體 991 以流至源極信號線 924 的類比電流係供應至畫素 990。與該視頻信號相同的電流係供應至電晶體 992。因為電晶體 992 係二極體連接式，所以可保持該時間之電晶體 992 的第一端子與閘極端子之間的電壓 (V_{gs}) 於該電容器 994 之中。

注意的是，顯示元件 973 的第一電極之電位係比共用

(154)

電極之電位更低；因此，顯示元件 973 並不會發射出光。

接著，將說明第二週期。閘極信號線 925 係在 L 位準，且電晶體 991 和電晶體 993 關閉。電晶體 992 之第一端子及閘極端子並未透過電晶體 993 而電性連接至，且該電晶體 992 並非二極體連接式。此外，源極信號線 924 並未電性連接至電晶體 992 的第二端子，電容器 994 的第一電極，以及顯示元件 973 的第一電極。

此時，電源供應線 995 的電位係設定使得顯示元件的第一電極之電位比共用電極 975 之電位更高。

使得電晶體 992 供應相似於視頻信號之電流的電壓係保持於電容器 994 之中。當電源供應線 995 的電位上升時，電容器 994 的第一電極之電位亦會上升。此處，電晶體 992 的閘極端子之電位係由電容器 994 的電容性耦合所升高，以及保持電晶體 992 的 V_{gs} 。因此，相同於視頻信號之電流可供應至顯示元件 973。

此處，將敘述電晶體 991，992，及 993，以及電容器 994 的功能於下文。

電晶體 991 具有做為開關之功能，其依據閘極信號線 925 之電位來選擇源極信號線 924 是否連接至電晶體 992 的第二端子，電容器 994 的第一電極，和顯示元件 973 的第一電極。在第一週期中，電晶體 991 具有供應視頻信號至畫素 990 的功能。

電晶體 992 具有做為電流源之功能，其依據電晶體 992 的閘極端子，電晶體 993 的第二端子，及電容器 994

(155)

的第二電極之電位來供應電流至顯示元件 973。

電晶體 993 具有做為開關之功能，其選擇是否連接電晶體 992 的第一端子與電晶體 992 的閘極端子。在第一週期中，該電晶體 993 具有使電晶體 992 成為二極體連接式的功能。

電晶體 994 具有依據顯示元件 973 的第一電極之電位來改變電晶體 992 的閘極端子之電位的功能。在第二週期中，電容器 994 具有藉由升高顯示元件 973 的第一電極之電位來提升電晶體 992 的閘極端子之電位的功能。

如上述，可達成畫素 990 的主動驅動。當其上形成畫素 990 之基板上的其他電晶體為 n 通道電晶體時，可實現製程之簡化，且因此，可實現製造成本上的降低以及產能上的改善。

第 118 圖顯示畫素之另一模式。第 118 圖中之畫素 1180 包含：電晶體 1181；電晶體 1182；電晶體 1183；電晶體 1184；顯示元件 973，其具有兩個電極；以及電容器 974，其具有兩個電極。

如第 118 圖之畫素 1180 中所示，電晶體 1181 的第一端子係連接至源極信號線 924；電晶體 1181 的第二端子係連接至電晶體 1182 之第二端子，電晶體 1183 之閘極端子，電晶體 1184 之閘極端子，和電容器 974 之第二電極；電晶體 1181 的閘極端子係連接至閘極信號線 925。電晶體 1182 的第一端子係連接至電晶體 1183 之第一端子，電晶體 1182 的閘極端子係連接至閘極信號線 925。電晶體

(156)

1183 的第二端子係連接至電晶體 1184 之第二端子和顯示元件 973 之第一電極，電晶體 1184 的第一端子係連接至電源供應線 976，電容器 974 的第二電極係連接至電源供應線 976，以及顯示元件 973 的第二電極係共用電極 975。

注意的是，視頻信號係供應至源極信號線 924，選擇信號係供應至閘極信號線 925。該源極信號線 924 和閘極信號線 925 可相似於實施例 1 中之該等者。

注意的是，該視頻信號為類比電流。

注意的是，陽極電位係供應至電源供應線 976，陰極電位係供應至共用電極 975，陽極電位比陰極電位更高。

注意的是，顯示元件 973，共用電極 975，及電源供應線 976 可相似於第 97 圖中之該等者。

該等電晶體 1181 至 1184 為 n 通道電晶體。

將分別敘述第 118 圖中之畫素 1180 在中選擇信號係供應至閘極信號線 925 (H 位準) 的情況，以及在其中並未供應選擇信號 (L 位準) 的情況中之操作。第一週期係當供應選擇信號到閘極信號線 925 時之週期，第二週期係當未供應選擇信號時之週期。

首先，將說明第一週期。閘極信號線 925 係在 H 位準，且電晶體 1181 和電晶體 1182 導通。電晶體 1183 的第一端子與閘極端子係透過電晶體 1182 而電性連接，且該電晶體 1183 係二極體連接式。此外，該源極信號線 924 係電性連接至電晶體 1182 之第一端子，電晶體 1183 之閘

(157)

極端子，電晶體 1184 之閘極端子，和電容器 974 之第二電極。

關於視頻信號，自電源信號線 924 而透過電晶體 1181，電晶體 1182，電晶體 1183，和顯示元件 973 以流至共用電極 975 的類比電流係供應至畫素 1180，與該視頻信號相同的電流係供應至電晶體 1183。因為電晶體 1183 之閘極端子，電晶體 1184 之閘極端子，及電容器 974 之第二電極係相互連接，所以可保持該時間之電晶體 1183 的閘極端子電位於電容器 974 之第二電極中。

接著，將說明第二週期，閘極信號線 925 係在 L 位準，且電晶體 1181 和電晶體 1182 關閉。電晶體 1183 之第一端子及閘極端子並透過電晶體 1182 而電性地連接。此外，源極信號線 924 並未電性連接至電晶體 1182 的第一端子，電晶體 1183 的閘極端子，電晶體 1184 的閘極端子，及電容器 974 的第二電極。

對應於視頻信號的電位係保持於電容器 974 之中；亦即，電晶體 1183 的閘極端子之電位係與第一週期中所獲得的電位相同。因此，電晶體 1184 的閘極端子之電位亦與電容器 974 的第二電極之電位相同；所以電晶體 1184 可供應與視頻信號對應之電流至顯示元件 973。

此處，將敘述該等電晶體 1181 至 1184 的功能於下文。

電晶體 1181 具有做為開關之功能，其依據閘極信號線 925 之電位來選擇源極信號線 924 是否連接至電晶體

(158)

1182 的第一端子，電晶體 1183 的閘極端子，電晶體 1184 的閘極端子，及電容器 974 的第二電極。在第一週期中，電晶體 1181 具有供應視頻信號到畫素 1180 的功能。

電晶體 1182 具有做為開關之功能，其依據閘極信號線 925 之電位來選擇是否連接電晶體 1183 的第一端子與電晶體 1183 的閘極端子。在第一週期中，該電晶體 1182 具有使電晶體 1183 成為二極體連接式的功能。

電晶體 1183 具有依據視頻信號來決定顯示元件 973 的第一電極之電位以及電晶體 1184 的閘極端子之電位的功能。

電晶體 1184 具有做為電流源之功能，其依據電容器 974 的第二電極之電位來應電流至顯示元件 973。

如上述，可達成畫素 1180 的主動驅動。當其上形成畫素 1180 之基板上的其他電晶體為 n 通道電晶體時，可實現製程之簡化，且因此，可實現製造成本上的降低以及產能上的改善。

注意的是，電容器 974 的第一電極可連接至任何處，只要該電容器 974 的第一電極在畫素 1180 的操作週期中係保持在恆定的電位即可。例如，該電容器 974 的第一電極可連接至前一系列的閘極信號線 925。

做為另一實例，如第 119 圖之畫素 1190 中所示地，電容器 974 的第一電極可連接至電晶體 1184 的第二端子，此係因為電晶體 1184 的閘極端子之電位係依據電晶體 1184 的第二端子之電位中的改變而改變；因此，可供應更

(159)

準確的電流至顯示元件。也就是說，當電晶體 1183 的大小與電晶體 1184 的大小不同時，供應至顯示元件 973 的電流會改變；因此，在第一週期中之顯示元件 973 的第一電極之電位與其在第二週期中之電位會彼此不同。從而，電晶體 1184 的閘極端子之電位將依據電容器 974 的電容性耦合而同時地改變，以執行所謂的自舉操作。

如上述，可使用各式各樣的畫素於本發明的顯示裝置

。

注意的是，在此實施例中，雖然顯示各式各樣的畫素，但可應用於本發明之顯示裝置的畫素並未受限於該等畫素。

注意的是，此實施例模式可以自由地與此說明書中之其他實施例模式及實施例中的任何說明結合而實施。也就是說，在非選擇週期中，電晶體係以規則的時隔來導通，以致使連接至此實施例中所描述之畫素的本發明移位暫存器電路可供應電源供應電位至輸出端子。因此，電源供應電位係透過該電晶體而供應至移位暫存器電路的輸出端子。因為該電晶體並非一直在非選擇週期中導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係透過電晶體而以規則的時隔來供應至移位暫存器電路的輸出端子。因此，該移位暫存器電路可抑制產生於輸出端子中的雜訊。

[實施例 4]

(160)

在此實施例中，將參照第 100A 及 100B 圖來敘述具有上述實施例中所示之畫素結構的顯示面板結構。

第 100A 圖係頂部平面視圖，顯示一顯示面板；以及第 100B 圖係沿著第 100A 圖之 A-A' 的橫剖面視圖。該顯示面板包含信號線控制電路 6701，畫素部分 6702，第一閘極驅動器 6703，及第二閘極驅動器 6706（均由點線所示）。該顯示面板亦包含密封基板 6704 及密封材料 6705。由該密封材料 6705 所包圍的部分係空間 6707。

注意的是，導線 6708 係用以傳輸所輸入之信號至第一閘極驅動器 6703，第二閘極驅動器 6706，及信號線控制電路 6701；以及自作用為外部輸入端子之 FPC 6709（撓性印刷電路）接收視頻信號，時脈信號，起始信號，及類似信號。IC 晶片 6719（包含記憶體電路，緩衝器電路，及類似電路之半導體晶片）係由 COG（晶片在玻璃上）或類似方法來安裝於 FPC 6709 與顯示面板的連接部分之上。注意的是，雖然僅顯示 FPC 6709 於此處，但印刷線路板（PWB）可附著於該 FPC 6709。在此說明書中之顯示裝置不僅包含顯示面板的主體，而且包含具有 FPC 或 PWB 被附著於其上的顯示面板，及其上安裝 IC 晶片或類似物的顯示面板。

接著，將參照第 100B 圖來描述橫剖面結構。畫素部分 6702 及週邊驅動器電路（第一閘極驅動器 6703，第二閘極驅動器 6706，及信號線控制電路 6701）係形成於基板 6710 之上。此處，係顯示信號線控制電路 6701 和畫素

(161)

部分 6702。

注意的是，信號線控制電路 6701 係利用諸如 n 通道電晶體 6720 或 n 通道電晶體 6721 之單一導電型電晶體所形成。至於畫素結構，畫素可藉由應用第 96 至 99 圖，第 118 及 119 圖之任一圖的畫素結構而使用單一導電型電晶體來加以形成。從而，當週邊驅動器電路係使用 n 通道電晶體來予以形成時，則可製造單一導電型的顯示面板。無庸置疑地，CMOS 電路可利用 p 通道電晶體以及該單一導電型電晶體所形成。

注意的是，在其中該 n 通道電晶體 6720 和 n 通道電晶體 6721 係 p 通道電晶體的情況中，畫素可藉由應用第 120 或 121 圖的畫素結構而使用單一導電型電晶體來加以形成。從而，當週邊驅動器電路係利用 p 通道電晶體所形成時，可製造單一導電型的顯示面板。無庸置疑地，CMOS 電路可利用 n 通道電晶體以及該單一導電型電晶體所形成。

在此實施例中，雖然所顯示的是其中週邊驅動器電路係形成於與畫素部分相同的基板上之顯示面板，但無需一定要如此，而是所有或部分的週邊驅動器電路可形成於 IC 晶片或其類似物之上，且該 IC 晶片可由 COG 或類似方法所安裝。在該情況中，驅動器電路無需成為單一導電型，而是可結合地使用 n 通道電晶體及 p 通道電晶體。

進一步地，畫素部分 6702 包含電晶體 6711 及電晶體 6712。注意的是，電晶體 6712 之源極電極係連接至第一

(162)

電極（畫素電極 6713），絕緣物 6714 係形成以覆蓋畫素電極 6713 的末端部分。此處，係使用正光敏丙烯酸樹脂膜於該絕緣物 6714。

爲了要獲得良好的覆蓋，該絕緣物 6714 係形成具有彎曲的表面，該彎曲表面具有曲率於絕緣物 6714 的頂端部分或底端部分。例如，在使用正光敏丙烯酸來做爲絕緣物 6714 的材料之情況中，較佳地，僅絕緣物 6714 的頂端部分具有具備曲率半徑（0.2 至 3 微米）的彎曲表面。此外，可使用不可藉由光而溶解於蝕刻劑中之負光敏丙烯酸，或可藉由光而溶解於蝕刻劑中之正光敏丙烯酸來做爲該絕緣物 6714。

含有有機化合物之層 6716 和第二電極（相對電極 6717）係形成於畫素電極 6713 上。此處，做爲作用爲陽極之畫素電極 6713 的材料，較佳地使用具有高功函數之材料。例如，可使用 ITO（銦錫氧化物）膜，銦鋅氧化物（IZO）膜，氮化鈦膜，鉻膜，鎢膜，Zn 膜，Pt 膜，或其類似物的單層膜；氮化鈦膜及含有鋁來做爲主要成分之膜的堆疊層；氮化鈦膜，含有鋁來做爲主要成分之膜，及氮化鈦膜的三層結構；或類似物。注意的是，在堆疊層結構之情況中，例如導線之電阻會低，所以可獲得良好的歐姆接觸，且可獲得做爲陽極的功能。

含有有機化合物之層 6716 係由使用蒸鍍遮罩之蒸鍍法或噴膜法所形成。可使用屬於元素週期表第四列之金屬的複合物於含有有機化合物之層 6716 的一部分，且亦可

(163)

結合地使用低分子材料或高分子材料。此外，常使用單堆疊層之有機化合物來做為使用於含有有機化合物之層的材料；然而，在此實施例中，可使用無機化合物於一部分由有機化合物所形成的膜之中。再者，亦可使用熟知之三重線材料。

進一步地，可使用具有低功函數之材料（Al，Ag，Li，Ca，或其合金，例如 MgAg，MgIn，AlLi，氟化鈣，或氮化鈣來做為使用於相對電極 6717 之材料，該相對電極 6717 係形成於含有有機化合物之層 6716 上。注意的是，在其中由含有有機化合物之層 6716 所產生之光係透過相對電極 6717 而透射時，較佳地，係使用具有較薄厚度之薄金屬膜與透明導電膜（ITO（銻錫氧化物），氧化銻氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ），氧化鋅（ ZnO ），或其類似物）的堆疊層來做為相對電極 6717（陰極）。

進一步地，藉由以密封材料 6705 來附著密封基板 6704 至基板 6710，可設置發光元件 6718 於藉由基板 6710，密封基板 6704，及密封材料 6705 所包圍之空間 6707 中。注意的是，該空間 6707 可以以密封材料 6705 以及以惰性氣體（氮氣，氬氣，或類似氣體）來加以充填。

注意的是，較佳地使用環氧為基之樹脂於密封材料 6705。較佳的是，用於密封材料之材料盡可能地不透水及不透氧。做為密封基板 6704 的材料，可使用玻璃基板，石英基板，或由 FRP（纖維玻璃強化塑膠），PVF（聚氟乙烯），聚酯樹脂，多元酯，丙烯酸，或類似物所形成的

(164)

塑膠基板。

如上述地，可獲得具有本發明畫素結構之顯示面板。注意的是，上述結構僅係實例，且本發明之顯示面板的結構並未受限於此。

如第 100A 及 100B 圖中所示地，信號線控制電路 6701，畫素部分 6702，第一閘極驅動器 6703，及第二閘極驅動器 6706 係形成於同一基板上；因此，可實現顯示裝置之成本中的降低。此外，在此情況中，係使用單一導電型電晶體於信號線控制電路 6701，畫素部分 6702，第一閘極驅動器 6703，及第二閘極驅動器 6706，所以，可實現製程之簡化；因此，可實現進一步之成本降低。

注意的是，顯示面板的結構並未受限於第 100A 圖中所示之其中信號線控制電路 6701，畫素部分 6702，第一閘極驅動器 6703，及第二閘極驅動器 6706 係形成於同一基板上的結構，且對應於信號線控制電路 6701 之第 101A 圖中所示的信號線控制電路 6801 可形成於 IC 晶片上，以及藉由 COG 或類似方法來安裝於顯示面板上。注意的是，在第 101A 圖中之基板 6800，畫素部分 6802，第一閘極驅動器 6803，第二閘極驅動器 6804，FPC 6805，IC 晶片 6806，IC 晶片 6807，密封基板 6808，及密封材料 6809 分別對應於第 100A 圖中之基板 6710，畫素部分 6702，第一閘極驅動器 6703，第二閘極驅動器 6706，FPC 6709，IC 晶片 6719，IC 晶片 6719，密封基板 6704，及密封材料 6705。

(165)

也就是說，僅使用 CMOS 及類似物來形成需要高速操作的信號線控制電路 IC 晶片之內，因此，可實現更低的功率消耗。此外，可藉由使用由矽晶圓或類似物所形成之半導體晶片來做為 IC 晶片而達成更高速度之操作和更低功率之消耗。

成本降低可由形成第一閘極驅動器 6803 和第二閘極驅動器 6804 於與畫素部分 6802 相同的基板上所實現。此外，使用單一導電型電晶體於第一閘極驅動器 6803，第二閘極驅動器 6804，及畫素部分 6802；因此，可實現進一步之成本降低。關於包含於畫素部分 6802 中之畫素結構，可應用實施例 3 中所示之畫素。

如上述，可實現高清晰度之顯示裝置的成本降低。此外，藉由安裝包含功能性電路（記憶體或緩衝器）之 IC 晶片於 FPC 6805 與基板 6800 的連接部分上，可有效地使用基板面積。

進一步地，對應於第 100A 圖中所示的信號線控制電路 6701，第一閘極驅動器 6703，及第二閘極驅動器 6706 之第 101B 圖中所示的信號線控制電路 6811，第一閘極驅動器 6814，及第二閘極驅動器 6813 可形成於 IC 晶片上，且藉由 COG 或類似方法而安裝於顯示面板上。在此情況中，可實現高清晰度顯示裝置之功率消耗中的降低。因此，爲了要獲得具有更小功率消耗之顯示裝置，較佳地係使用非晶矽於畫素部分中所使用之電晶體的半導體層。注意的是，在第 101B 圖中之基板 6810，畫素部分 6812，FPC

(166)

6815，IC 晶片 6816，IC 晶片 6817，密封基板 6818，及密封材料 6819 分別對應於第 100A 圖中之基板 6710，畫素部分 6702，FPC 6709，IC 晶片 6719，IC 晶片 6719，密封基板 6704，及密封基板 6705。

此外，可藉由使用非晶矽於畫素部分 6812 中之電晶體的半導體層而實現進一步之成本降低，而且亦可製造大的顯示面板。

進一步地，第二閘極驅動器，第一閘極驅動器，及信號線控制電路無需一定要設置於畫素的列方向及行方向中。例如，如第 102A 圖中所示之形成於 IC 晶片上的週邊驅動器電路 6901 可具有第 101B 圖中所示之第一閘極驅動器 6814，第二閘極驅動器 6813，及信號線控制電路 6811 的功能。注意的是，第 102A 中之基板 6900，畫素部分 6902，FPC 6904，IC 晶片 6905，IC 晶片 6906，密封基板 6907，及密封材料 6908 分別對應於第 100A 圖中之基板 6710，畫素部分 6702，FPC 6709，IC 晶片 6719，IC 晶片 6719，密封基板 6704，及密封材料 6705。

第 102B 圖顯示一示意圖，其顯示第 102A 圖中所示之顯示裝置的導線連接。該顯示裝置包含基板 6910，週邊驅動器電路 6911，畫素部分 6912，FPC 6913，及 FPC 6914。信號及電源供應電位係外部地自 FPC 6913 輸入至週邊驅動器電路 6911。來自該週邊驅動器電路 6911 的輸出係輸入至列方向中及行方向中之導線，該等導線係連接至包含於畫素部分 6912 中之畫素。

(167)

第 103A 及 103B 圖顯示可應用於發光元件 6718 之發光元件的實例。亦即，將參照第 103A 及 103B 圖來敘述可應用於上述實施例中所示之畫素的發光元件結構。

在第 103A 圖中之發光元件具有其中陽極 7002，由電洞注入材料所形成之電洞注入層 7003，由電洞傳輸材料所形成之電洞傳輸層 7004，發光層 7005，由電子傳輸材料所形成之電子傳輸層 7006，由電子注入材料所形成之電子注入層 7007，及陰極 7008 係堆疊於基板 7001 上的元件結構。此處，雖然在一些情況中，發光層 7005 係僅由一種發光材料所形成，但在其他情況中，亦可由兩種或多種材料所形成。本發明之元件結構並未受限於此。

除了在第 103A 圖中所示之其中堆疊功能層的堆疊層結構之外，存在有寬廣的變化，例如使用高分子化合物所形成之元件，利用三重線發光材料之高效率元件，該三重線發光材料係在發光層中以折返自三重線激發狀態而發射出光。該等變化亦可應用於白光發光元件，其可藉由使用電洞阻擋層或類似物來控制載子的復合區而畫分發光區成爲兩個區而獲得。

如第 103A 圖中所示之本發明元件的製造方法，電洞注入材料，電洞傳輸材料，及發光材料係順序地沈積於包含陽極 7002 (ITO) 之基板 7001 上。接著，沈積電子傳輸材料及電子注入材料，且最後地，陰極 7008 係由蒸鍍法所形成。

接著，將說明適用於電洞注入材料，電洞傳輸材料，

(168)

電子傳輸材料，電子注入材料，及發光材料之材料如下。

做為電洞注入材料，可用諸如比咯紫質基化合物，酞菁染料（下文中稱為“H₂Pc”），銅酞菁染料（下文中稱為“CuPc”），或其類似物之有機化合物。而且，可使用具有離子化電位比即將使用之電洞傳輸材料的離子化電位更小值且具有電洞傳輸功能的材料來做為電洞注入材料。同時，亦存在有藉由化學摻雜導電性高分子化合物所獲得的材料，例如聚苯胺，摻雜有聚苯乙烯磺酸水溶液（下文中稱為“PSS”）之聚乙撐二氧噻吩（下文中稱為“PEDOT”）。進一步地，常使用有效於陽極之平坦化的絕緣高分子化合物，和聚乙醯胺（下文中稱為“PI”）。此外，亦可使用無機化合物，其包含超薄膜之氧化鋁（下文中稱為“礬土”），以及諸如金或鉑之薄膜金屬。

芳香胺基化合物（亦即，具有苯環—氮之鍵的化合物）係最廣泛地使用做為電洞傳輸材料。廣泛使用做為電洞傳輸材料的材料包含 4,4'-雙（二苯胺基）二苯基（下文中稱為“TAD”），其衍生物，例如 4,4'-雙〔N-（3-甲苯基）-N-苯胺基〕二苯基（下文中稱為“TPD”），4,4'-雙〔N-（1-萘基）-N-苯胺基〕二苯基（下文中稱為“ α -NPD”），以及星狀芳香胺化合物，例如 4,4',4''-叁（N,N-二苯胺基）三苯胺（下文中稱為“TDATA”），及 4,4',4''-叁〔N-（3-甲苯基）-N-苯胺基〕三苯胺（下文中稱為“MTDATA”）。

做為電子傳輸材料，常使用金屬複合物，包含具有噻

(169)

喹啉骨架或苯喹啉骨架之金屬複合物，例如 Alq，BAIq，叁（4-甲基-8-羥基喹啉）鋁（下文中稱爲“Almq”），雙（10-羥基苯基[h]-羥基喹啉）鈹（下文中稱爲“BeBq”），以及除此之外的具有噁唑配位基或噻唑配位基之金屬複合物，例如雙〔2-（2-羥基苯基）-苯噁唑啉〕鋅（下文中稱爲“Zn（BOX）₂”），或雙〔2-（2-羥基苯基）-苯噻唑啉〕鋅（下文中稱爲“Zn（BTZ）₂”）。進一步地，除了金屬複合物之外，諸如 2-（4-聯苯基）-5-（4-第三丁基苯基）-1,3,4-噁二唑（下文中稱爲“PDB”）及 OXD-7 之噁二唑衍生物，諸如 TAZ 及 3-（4-第三丁基苯基）-4-（4-乙基苯基）-5-（4-聯苯基）-2,3,4-三噁唑（下文中稱爲“p-EtTAZ”）之三噁唑衍生物，以及諸如向紅菲咯啉（下文中稱爲“BPhen”）及 BCP 之菲咯啉衍生物具有電子傳輸性質。

做爲電子注入材料，可使用上述電子傳輸材料。此外，常使用超薄膜之絕緣物，例如，諸如氟化鈣，氟化鋰，或氟化銫之金屬鹵化物，諸如氧化鋰之鹼金屬氧化物，或類似物。進一步地，亦可用諸如鋰乙醯基丙酮（下文中稱爲“Li（acac）”）或 8-羥基喹啉-鋰（下文中稱爲“Liq”）之鹼金屬複合物。

做爲發光材料，除了諸如 Alq，Almq，BeBq，BAIq，Zn（BOX）₂，及 Zn（BTZ）₂ 之上述金屬複合物之外，可用各式各樣的螢光顏料，該螢光顏料包含藍色之 4,4'-雙（2,2-二苯基-乙烯基）-聯苯基，以及紅橘色之 4-（二氫

(170)

亞甲基)-2-甲基-6-(p-二甲氨基苯乙烯基)-4H-吡喃，及類似物。此外，可用三重線發光材料，其主要包含具有鉑或銥做為中心金屬的複合物。做為三重線發光材料，熟知的是叁(2-苯基吡啶)銥，雙(2-(4'-甲苯基)吡啶-N, C^{2'})乙醯基丙酮銥(下文中稱為“acacIr(TPY)₂”)，2,3,7,8,12,13,17,18-八乙基-21H,23H 卟啉-鉑，及類似物。

藉由結合地使用各具有如上述之功能的材料，可形成高度可靠性之發光元件。

做為實施例 3 中所示之顯示元件 973，如第 103B 圖中所示地，可使用諸層係以第 103A 圖中之順序的相反順序所形成之發光元件。也就是說，陰極 7018，由電子注入材料所形成之電子注入層 7017，由電子傳輸材料所形成之電子傳輸層 7016，發光層 7015，由電洞傳輸材料所形成之電洞傳輸層 7014，由電洞注入材料所形成之電洞注入層 7013，以及陽極 7012 係順序地堆疊於基板 7011 之上。

此外，發光元件之陽極和陰極的至少之一需成為透明的，以便提取光之發射。電晶體和發光元件係形成於基板上；且存在有具有頂部發射結構之發光元件，其中光之發射係提取自相對於基板之側的表面；具有底部發射結構之發光元件，其中光之發射係提取自基板側的表面；以及具有雙重雙射結構，其中光之發射係提取自相對於基板之側的表面及基板側的表面。本發明之畫素結構可應用於具有任一發射結構的發光元件。

(171)

現將參照第 104A 圖來說明具有頂部發射結構之發光元件。

驅動 TFT 7101 係形成於基板 7100 上，第一電極 7102 係形成與驅動 TFT 7101 的源極電極接觸，在該第一電極 7102 上係形成含有有機化合物之層 7103 和第二電極 7104。

第一電極 7102 係發光元件的陽極，第二電極 7104 係發光元件的陰極；也就是說，其中插入含有有機化合物之層 7103 於第一電極 7102 與第二電極 7104 之間的地區作用為發光元件。

進一步地，當作使用於作用為陽極之第一電極 7102 的材料，較佳地係使用具有高功函數之材料。例如，可使用單層之氮化鈦膜，鉻膜，鎢膜，Zn 膜，Pt 膜，或類似物；堆疊層之鈦膜及含有鋁做為主要成分之膜；三層結構之氮化鈦膜，含有鋁做為主要成分之膜，及氮化鈦膜；或其類似物。注意的是，在堆疊層結構的情況中，當作導線之電阻會低，可獲得良好的歐姆接觸，且進一步地可獲得做為陽極之功能。藉由使用可反射光之金屬膜，可形成並不會透射光的陽極。

做為使用於作用為陰極之第二電極 7104 的材料，較佳地係使用由具有低功函數之材料所形成的薄金屬膜（Al，Ag，Li，Ca，或其合金，例如 MgAg，MgIn，AlLi，氟化鈣，或氮化鈣）及透明導電膜（ITO（銦錫氧化物），銦鋅氧化物（IZO），氧化鋅（ZnO），或類似物）的堆

(172)

疊層。藉由使用薄的金屬膜與具有光透射性質的透明導電膜，可形成能透射光之陰極。

如上述，來自發光元件之光可自頂部表面提取，如第 104A 圖中之箭頭所示。也就是說，在應用於第 100A 及 100B 圖中所示之顯示面板的情況中，光可發射至密封基板 6704 側。因此，在其中應用具有頂部發射結構之發光元件於顯示裝置的情況中，可使用具有光透射性質的基板來做為密封基板 6704。

在提供光學膜的情況中，該密封基板 6704 可設置有光學膜。

可使用作用為陰極且具有低功函數之材料，例如 MgAg，MgIn，或 AlLi 所形成的金屬膜來做為第一電極 7102。針對第二電極 7104，則可使用諸如 ITO（銦錫氧化物）膜或銦鋅氧化物（IZO）膜之透明導電膜。因此，可依據此結構來改善頂部光發射的透射化。

進一步地，將參照第 104B 圖來說明具有低部發射結構之發光元件。因為除了光發射結構之外的發光元件之結構相同，所以使用與第 104A 圖相同的參考符號。

此處，當作使用於作用為陽極之第一電極 7102 的材料，較佳地可使用具有高功函數之材料。例如，可使用諸如 ITO（銦錫氧化物）膜或銦鋅氧化物（IZO）膜之透明導電膜。藉由使用具有光透射性質之透明導電膜，可形成能透射光之陽極。

做為使用於作用為陰極之第二電極 7104 的材料，可

(173)

使用具有低功函數之材料所形成的薄金屬膜（Al，Ag，Li，Ca，或其合金，例如 MgAg，MgIn，AlLi，氟化鈣，或 Ca_3N_2 ）。藉由使用可反射光之金屬膜，可形成並不會透射光的陰極。

如上述，來自發光元件之光可自底部表面提取，如第 104B 圖中之箭頭所示。也就是說，在應用於第 100A 及 100B 圖中所示之顯示面板的情況中，光被發射至基板 6710 側。因此，在其中應用具有低部發射結構之發光元件於顯示裝置的情況中，可使用具有光透射性質的基板來做為基板 6710。

在提供光學膜的情況中，該基板 6710 可設置有光學膜。

進一步地，將參照第 104C 圖來說明具有雙重發射結構之發光元件。因為除了光發射結構之外的發光元件之結構相同，所以使用與第 104A 圖相同的參考符號。

此處，當作使用於作用為陽極之第一電極 7102 的材料，較佳地可使用具有高功函數之材料。例如，可使用諸如 ITO（銻錫氧化物）膜或銻鋅氧化物（IZO）膜之透明導電膜。藉由使用具有光透射性質之透明導電膜，可形成能透射光之陽極。

做為使用於作用為陰極之第二電極 7104 的材料，較佳地可使用由具有低功函數之材料所形成的薄金屬膜（Al，Ag，Li，Ca，或其合金，例如 MgAg，MgIn，AlLi，氟化鈣，或氮化鈣）及透明導電膜（ITO（銻錫氧化物）），

(174)

氧化銦氧化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$)，氧化鋅 (ZnO)，或類似物) 的堆疊層。藉由使用薄的金屬膜與具有光透射性質的透明導電膜，可形成能透射光之陰極。

如上述，來自發光元件之光可自兩側來提取，如第 104C 圖中之箭頭所示。也就是說，在應用於第 100A 及 100B 圖中所示之顯示面板的情況中，光可發射至基板 6710 側及密封基板 6704 側。因此，在其中應用具有雙重發射結構之發光元件於顯示裝置的情況中，可使用具有光透射性質的基板來做為各基板 6710 及密封基板 6704。

在提供光學膜的情況中，該基板 6710 及密封基板 6704 各可設置有光學膜。

此外，藉由使用白色光發光元件及彩色濾光片，本發明可應用於實現全彩色顯示之顯示裝置。

如第 105 圖中所示地，基底膜 7202 係形成於基板 7200 上，在該基底膜 7202 之上係形成驅動 TFT 7201。第一電極 7203 係形成與驅動 TFT 7201 的源極電極接觸，在該第一電極 7203 上係形成含有有機化合物之層 7204 和第二電極 7205。

第一電極 7203 係發光元件的陽極，第二電極 7205 係發光元件的陰極；也就是說，其中插入含有有機化合物之層 7204 於第一電極 7203 與第二電極 7205 之間的地區作用為發光元件。在第 105 圖中所示的結構中，可發射出白色光。紅色濾光片 7206R，綠色濾光片 7206G，及藍色濾光片 7206B 係設置於發光元件上；因此，可執行全彩色顯

(175)

示。此外，可設置能分開該等彩色濾光片之黑色矩陣（BM 7207）。

上述結構之發光元件可結合地使用，且可應用於具有本發明畫素結構之顯示裝置。上文所描述之顯示面板及發光元件的結構僅係實例；且無庸置疑地，本發明之畫素結構可應用於具有其他結構的顯示裝置。

接著，將敘述顯示面板之畫素部分的部分橫剖面視圖。

首先，將參照第 106A，106B，107A，及 107B 圖來敘述其中使用結晶半導體膜（多晶矽（ $p\text{-Si:H}$ ）膜）來做為電晶體之半導體層的情況。

半導體層係例如藉由熟知的膜形成法來形成非晶矽（ $a\text{-Si}$ ）膜於基板上所獲得。注意的是，半導體層並未受限於非晶矽膜，而是可使用具有非晶結構之任何半導體膜（包含微晶半導體膜。此外，亦可使用諸如非晶矽鍺膜之具有非晶結構之化合物半導體膜。

然後，該非晶矽膜係由雷射結晶法，由利用 RTA 或退火爐的熱結晶法，由利用可促進結晶之金屬元素的熱結晶法，或類似結晶法所結晶。無庸置疑地，可結合地使用該等結晶法。

上述結晶法的結果可形成結晶區於一部分之非晶半導體膜之中。

此外，可使具有部分增加晶性之結晶半導體膜圖案化成為所欲的形狀，且利用該結晶區來形成島形半導體膜。

(176)

此半導體膜係使用以做為電晶體之半導體層。

如第 106A 圖中所示地，基底膜 26102 係形成於基板 26101 上，在該基底膜之上係形成半導體層。該半導體層包含驅動電晶體 26118 之通道形成區 26103，和作用為源極區或汲極區之雜質區 26105；以及電容器 26119 之通道形成區 26106，LDD 區 26107，和作用為下方電極之雜質區 26108。注意的是，可執行通道摻雜法於通道形成區 26103 及通道形成區 26106。

做為基板，可使用玻璃基板，石英基板，陶質物基板，塑膠基板，或其類似物。做為基底膜 26102，可使用單層之氮化鋁 (AlN)，二氧化矽 (SiO_2)，氮氧化矽 (SiO_xN_y)，或類似物，或者其堆疊層。

電容器之閘極電極 26110 及上方電極 26111 係以閘極絕緣膜 26109 插入其間而形成於半導體層之上。

層間絕緣膜 26112 係形成以便覆蓋驅動電晶體 26118 和電容器 26119，導線 26113 係透過接觸孔而與雜質區 26105 接觸於層間絕緣物 26112 上。畫素電極 26114 係形成與導線 26113 接觸，第二層間絕緣物 26115 係形成以便覆蓋畫素電極 26114 和導線 26113 的末端部分。此處，該第二層間絕緣物 26115 係使用正光敏丙烯酸樹脂膜所形成；然後，含有有機化合物之層 26115 和相對電極 26117 係形成於畫素電極 26114 之上。發光元件 26120 係形成於其中插入含有有機化合物於畫素電極 26114 與相對電極 26117 之間的地區中。

(177)

此外，如第 106B 圖中所示地，可設置一地區 26202，使得形成電容器 26119 之一部分下方電極的 LDD 區與上方電極重疊。注意的是，與第 106A 圖中之共同的部分係由相同的參考符號所表示，且其說明將予以省略。

此外，如 107A 圖中所示地，可設置第二上方電極 26301，該第二上方電極 26301 係形成於與導線 26113 相同的層之中，而該導線 26113 則係與驅動電晶體 26118 的雜質區 26105 接觸。注意的是，與 106A 圖中共用的部分係由相同的參考符號所表示，且其說明將予以省略。第二電容器係由插入層間絕緣物 26112 於第二上方電極 26301 與上方電極 26111 之間所形成。此外，因為第二上方電極 26301 係與雜質區 26108 接觸，所以具有其中閘極絕緣膜 26109 係插入於上方電極 26111 與通道形成區 26106 之間的結構之第一電容器可與具有其中層間絕緣物 26112 係插入於上方電極 26111 與第二上方電極 26301 之間的結構之第二電容器並聯連接，以致形成具有第一電容器與第二電容器之電容器 26302。因為該電容器 26302 具有第一電容器與第二電容器的總電容，所以可在小的區域中形成具有大電容之電容器。也就是說，孔徑比可藉由使用電容器於本發明的畫素結構中而進一步地改善。

選擇性地，可使用如第 107B 圖中所示之電容器的結構。基底膜 27102 係形成於基板 27101 上，在該基底膜之上形成半導體層。該半導體層包含驅動電晶體 27118 之通道形成區 27103 和作用為源極區或汲極區之雜質區 27105

(178)

。注意的是，可執行通道摻雜法於該通道形成區 27103。

做為基板，可使用玻璃基板，石英基板，陶質物質板，塑膠基板，或其類似物。做為基底膜 27102，可使用單層之氮化鋁（AlN），二氧化矽（SiO₂），氮氧化矽（SiO_xN_y），或類似物，或者其堆疊層。

閘極電極 27107 及第一電極 27108 係以閘極絕緣膜 27106 插入其間而形成於半導體層之上。

第一層間絕緣物 27109 係形成以便覆蓋驅動電晶體 27118 和第一電極 27108，導線 27110 係透過接孔而與雜質區 27105 接觸於層間絕緣物 27109 上。此外，第二電極 27111 係形成於與導線 27110 相同的層中，且具有與該導線 27110 相同的材料。

進一步地，第二層間絕緣物 27112 係形成以便覆蓋導線 27110 和第二電極 27111，畫素電極 27113 係透過接觸孔形成與導線 27110 接觸於第二層間絕緣物 27112 上。第三電極 27114 係形成於與畫素電極 27113 相同的層中，且具有與該畫素電極 27113 相同的材料。此處，電容器 27119 係由第一電極 27108，第二電極 27111，和第三電極 27114 所形成。

第三層間絕緣物 27115 係形成以便覆蓋畫素電極 27113 和第三電極 27114 的末端部分，含有有機化合物之層 27116 及相對電極 27117 係形成於第三絕緣物 27115 和第三電極 27114 之上。發光元件 27120 係形成於其中含有有機化合物之層 27116 係插入於畫素電極 27113 與相對電

(179)

極 27117 之間的地區中。

如上述，第 106A，106B，107A，及 107B 圖中所示之各個結構可獲得成爲使用結晶半導體膜於其半導體層之電晶體結構的實例。注意的是，具有第 106A，106B，107A，及 107B 中所示結構之電晶體係頂部閘極電晶體的實例，也就是說該電晶體可爲 p 通道電晶體或 n 通道電晶體。在 n 通道電晶體的情況中，LDD 區可形成以與閘極電極重疊或不重疊，或一部分之 LDD 區可形成以與閘極電極重疊。進一步地，該閘極電極可具有錐形之形狀，且該 LDD 區可以以自行對齊的方式來設置於該閘極電極之錐形部分的下方。此外，閘極電極的數目並未受限於兩個，而是亦可使用具有三個或多個閘極之多重閘極結構，或可使用單一閘極結構。

藉由使用結晶半導體膜於本發明畫素中所包含之電晶體的半導體層（通道形成區，源極區，汲極區，及類似區），可易於形成例如第一閘極驅動器 6703，第二閘極驅動器 6706，可信號線控制電路 6701 於與第 100A 及 100B 圖中之畫素部分 6702 相同基板上。

做爲使用多晶矽（p-Si:H）於其半導體層之電晶體的結構，第 108A 及 108B 圖各顯示一顯示面板之部分橫剖視圖，該顯示面板係使用具有閘極電極插入於基板與半導體層之間的結構的電晶體，亦即，使用具有閘極電極係設置於半導體層下方之底部閘極結構的電晶體。

基底膜 7502 係形成於基板 7501 上，閘極電極 7503

(180)

係形成於該基底膜 7502 上，第一電極 7504 係形成於與閘極電極 7503 相同的層之中，且具有與該閘極電極 7503 相同的材料。做為閘極電極 7503 的材料，可使用添加磷之多晶矽。除了多晶矽之外，可使用金屬與矽之化合物的矽化物。

接著，形成閘極絕緣膜 7505 以便覆蓋閘極電極 7503 和第一電極 7504。做為該閘極絕緣膜 7505，可使用氧化矽膜，氮化矽膜，或其類似物。

半導體層係形成於閘極絕緣膜 7505 之上，該半導體層包含驅動電晶體 7522 之通道形成區 7506，LDD 區 7507，和作用為源極區或汲極區之雜質區 7508；以及電容器 7523 之通道形成區 7509，LDD 區 7510，和作用為第二電極之雜質區。注意的是，可執行通道摻雜法於通道形成區 7506 及通道形成區 7509。

做為基板，可使用玻璃基板，石英基板，陶質物基板，塑膠基板，或其類似物。做為基底膜 7502，可使用單層之氮化鋁（AlN），二氧化矽（SiO₂），氮氧化矽（SiO_xN_y），或類似物，或者其堆疊層。

第一層層間絕緣物 7512 係形成以便覆蓋半導體層，導線 7513 係透過接觸孔而與雜質區 7508 接觸於第一層間絕緣物 7512 上。第三電極 7514 係形成於與導線 7513 相同的層中，且具有與該導線 7513 相同的材料。電容器 7523 係由第一電極 7504，第二電極，和第三電極 7514 所形成。

(181)

此外，開口 7515 係形成於第一層間絕緣物 7512 中，第二層間絕緣物 7516 係形成以便覆蓋驅動電晶體 7522，電容器 7523，和開口 7515。畫素電極 7517 係透過接觸孔而形成於第二層間絕緣物 7516 上。然後，形成絕緣物 7518 以覆蓋畫素電極 7517 的末端部分，例如可使用正光敏丙烯酸樹脂膜來做為該絕緣物。含有有機化合物之層 7519 和相對電極 7520 係形成於畫素電極 7517 上，發光元件 7521 係形成於其中含有有機化合物之層 7519 係插入於畫素電極 7517 與相對電極 7520 之間的地區中。開口 7515 係設置於發光元件 7521 下方；也就是說，當來自發光元件 7521 所發射出之光係自基板側來提取時，因為設置開口 7515，所以可改善透射比。

進一步地，可使用第 108B 圖中所示之其中第四電極 7524 係形成於與第 108A 圖中之畫素電極 7517 相同的層中且具有與該畫素電極相同的材料之結構。因此，電容器 7523 可由第一電極 7504，第二電極，第三電極 7514，和第四電極 7524 所形成。

接著，將敘述其中使用非晶矽 (a-Si:H) 膜於電晶體之半導體層的情況。第 109A 及 109B 顯示頂部閘極電晶體的情況；第 110A，110B，111A，及 111B 圖顯示底部閘極電晶體的情況。

第 109A 圖顯示使用非晶矽於其半導體層之具有正向交錯結構的電晶體之橫剖視圖。基底膜 7602 係形成於基板 7601 上，畫素電極 7603 係形成於基底膜 7602 之上，

(182)

第一電極 7604 係形成於與畫素電極 7603 相同的層中，且具有與該畫素電極 7603 相同的材料。

做為基板，可使用玻璃基板，石英基板，陶質物基板，塑膠基板，或其類似物。做為基底膜 7602，可使用單層之氮化鋁（AlN），二氧化矽（SiO₂），氮氧化矽（SiO_xN_y）；或類似物，或者其堆疊層。

導線 7605 和導線 7606 係形成於基底膜 7602 上，且畫素電極 7603 之末端部分係以導線 7605 來覆蓋。具有 n 型導電性之 n 型半導體層 7607 和 n 型半導體層 7608 係分別形成於導線 7605 和導線 7606 之上。此外，半導體層 7609 係形成於導線 7605 與導線 7606 之間，且在基底膜 7602 上。一部分半導體層 7609 係延伸於 n 型半導體層 7607 和 n 型半導體層 7608 上。注意的是，此半導體層係由諸如非晶矽（a-Si:H）膜或微晶半導體（μ-Si:H）膜之非結晶半導體膜所形成。進一步地，閘極絕緣膜 7610 係形成於半導體層 7609 上；絕緣膜 7611 係形成於與閘極絕緣膜 7610 相同的層之中且具有與該閘極絕緣膜 7610 相同的材料，以及亦形成於第一電極 7604 之上。注意的是，可使用氧化矽膜，氮化矽膜，或類似物來做為該閘極絕緣膜 7610。

閘極電極 7612 係形成於閘極絕緣膜 7610 上；與閘極電極 7612 形成於相同的層之中且具有與閘極電極 7612 相同材料之第二電極係以絕緣膜 7611 插入於其間而形成於第一電極 7604 上。形成其中絕緣膜 7611 係插入於該第一

(183)

電極 7604 與第二電極 7613 之間的電容器 7619；層間絕緣層 7614 係形成以覆蓋畫素電極 7603 的末端部，驅動電晶體 7618，及電容器 7619。

含有有機化合物之層 7615 和相對電極 7616 係形成於層間絕緣物 7614 及設置於該層間絕緣物 7614 之開口中的畫素電極 7603 上。發光元件 7617 係形成於其中含有有機化合物之層 7615 係插入於該畫素電極 7603 與相對電極 7616 之間的地區中。

如第 109B 圖中所示的第一電極 7620 可形成以取代第 109A 圖中所示的第一電極 7604。第一電極 7620 係形成於與導線 7605 及導線 7606 相同的層中，且具有與該導線 7605 及導線 7606 相同的材料。

第 110A 及 110B 圖顯示一顯示面板之部分橫剖視圖，該顯示面板包含使用非晶矽於其半導體層的底部閘極電晶體。

基底膜 7702 係形成於基板 7701 上，閘極電極 7703 係形成於該基底膜 7702 上，第一電極 7704 係形成於與閘極電極 7703 相同的層中，且具有與該閘極電極 7703 相同的材料。做為閘極電極 7703 的材料，可使用添加磷之多晶矽。除了多晶矽之外，可使用金屬與矽之化合物的矽化物。

接著，形成閘極絕緣膜 7705 以便覆蓋閘極電極 7703 和第一電極 7704。做為該閘極絕緣膜 7705，可使用氧化矽膜，氮化矽膜，或其類似物。

(184)

半導體層 7706 係形成於閘極絕緣膜 7705 之上。此外，半導體層 7707 係形成於與半導體層 7706 相同的層中，且具有與該半導體層相同的材料。

做為基板，可使用玻璃基板，石英基板，陶質物基板，塑膠基板，或其類似物。做為基底膜 7602，可使用單層之氮化鋁（ AlN ），二氧化矽（ SiO_2 ），氮氧化矽（ SiO_xN_y ）；或類似物，或者其堆疊層。

具有 n 型導電性之 n 型半導體層 7708 及 7709 係形成於半導體層 7706 之上，n 型半導體層 7710 係成於半導體層 7707 之上。

導線 7711 及 7712 係分別形成於 n 型半導體層 7708 及 7709 之上；形成於與導線 7711 及 7712 相同的層中且具有與該導線 7711 及 7712 相同材料之導電層 7713 係形成於 n 型導電層 7710 之上。

第二電極係以半導體層 7707，n 型半導體層 7710，和導電層 7713 來予以形成。注意的是，電容器 7720 係形成具有閘極絕緣膜 7705 插入於第二電極與第一電極 7704 之間的結構。

延伸導線 7711 之一末端部分，且形成畫素電極 7714 以便與所延伸之導線 7711 的上方部分接觸。

絕緣物 7715 係形成以覆蓋畫素電極 7714 的末端部分，驅動電晶體 7719，和電容器 7720。

含有有機化合物之層 7716 和相對電極 7717 係形成於畫素電極 7714 和絕緣物 7715 之上。發光元件 7718 係形

(185)

成於其中含有有機化合物之層 7716 係插入於該畫素電極 7714 與相對電極 7717 之間的地區中。

其係電容器之第二電極的一部分的半導體層 7707 和 n 型半導體層 7710 無需一定要形成；也就是說，第二電極可為導電層 7713，使得該電容器可具有其中閘極絕緣膜係插入於該第一電極 7704 與導電層 7713 之間的結構。

注意的是，在第 110A 圖中，畫素電極 7714 可在形成導線 7714 之前形成，因此，可形成如第 110B 圖中所示之電容器 7720，該電容器具其中閘極絕緣膜 7705 係插入於第一電極 7704 與由畫素電極 7714 所形成的第二電極 7721 之間。

注意的是，雖然第 110A 及 110B 圖顯示反向交錯之通道蝕刻電晶體，但亦可使用通道保護電晶體。將參照第 111A 及 111B 圖來敘述通道保護電晶體。

第 111A 圖中所示之通道保護電晶體係不同於第 110A 圖中所示之具有通道蝕刻結構的驅動電晶體 7719，其中作用為蝕刻遮罩的絕緣物 7801 係設置於即將要形成半導體層 7706 之通道的地區上。除了該處之外的共同部分將由相同的參考符號來予以表示。

相似地，第 111B 圖中所示之通道保護電晶體係不同於第 110B 圖中所示之具有通道蝕刻結構的驅動電晶體 7719，其中作為蝕刻遮罩的絕緣物 7802 係設置於即將要形成半導體層 7706 之通道的地區上。除了該處之外的共同部分將由相同的參考符號來予以表示。

(186)

藉由使用非晶半導體膜來做為本發明畫素中所包含之電晶體的半導體層（通道形成區，源極區，汲極區，及類似區），可降低製造成本。例如，非晶半導體膜可藉由使用實施例 3 中所示之畫素結構來加以應用。

注意的是，可應用於本發明畫素結構之電晶體和電容器的結構並未受限於上述該等結構，而是可使用具有各式各樣結構之電晶體和電容器。

注意的是，此實施例可自由地與此說明書中之其他實施例模式及實施例中的任何說明結合而實施。也就是說，在非選擇週期中，電晶體係以規則的時隔來導通，使得連接於此實施例中所述之顯示面板的本發明移位暫存器電路可供應電源供應電位至輸出端子。因此，電源供應電位係透過該電晶體而供應至移位暫存器電路的輸出端子。因為該電晶體並非一直在非選擇週期中導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係透過電晶體而以規則的時隔來供應至移位暫存器電路的輸出端子。因此，該移位暫存器電路可抑制產生於輸出端子中的雜訊。

〔實施例 5〕

本發明之顯示裝置可應用於各式各樣的電子裝置，特定地，可應於電子裝置之顯示部分。該等電子裝置包含諸如攝影機及數位相機之相機，眼鏡型顯示器，導航系統，聲頻再生系統（汽車聲頻組件立體音響，聲頻組件立體音響，或類似物），電腦，遊戲機，手持式資訊終端機（行

(187)

動電腦，行動電話，移動式遊戲機，電子書，或類似物），設置有記錄媒體之影像再生裝置（特定地，用以再生諸如數位多功能碟片（DVD）之記錄媒體的內容，且具有顯示器用以顯示所再生之影像的裝置），及類似物。

第 117A 圖顯示一顯示器，該顯示器包含外殼 84101，支撐底座 84102，顯示部分 84103，及其類似物。具有本發明之畫素結構的顯示裝置可使用於該顯示部分 84103。注意的是，該顯示器包含用以顯示諸如個人電腦，TV 廣播接收，及廣告顯示之所有的顯示裝置。使用具有本發明畫素結構的顯示裝置於顯示部分 84103 的顯示器可減少功率消耗且可防止顯示缺陷。此外，亦可達成成本降低。

近年來，針對大尺寸顯示器之需求已有所增加。當顯示器變大時，會產生有成本增加的問題。因此，盡可能大地降低製造成本及盡可能低價格地提供高品質產生將成課題。

例如，藉由應用實施例 3 中所示的畫素結構於顯示面板的畫素部分，可提供由使用單一導電型電晶體所形成的顯示面板。因此，可減少製造步驟的數目，以及可降低製造成本。

此外，如第 100A 圖中所示地，藉由形成畫素部分及週邊驅動器電路於相同的基板上，則顯示面板可使用由單一導電型電晶體所建構的電路來予以形成。

此外，藉由使用非晶半導體（諸如非晶矽（a-Si:H））於畫素部分中所包含之電路的電晶體之半導體層，可

(188)

簡化製程，且可實現進一步的成本降低。在此情況中，如第 101B 及 102A 圖中所示，較佳的是，在畫素部分中之週邊驅動器電路係形成於 IC 晶片上，且由 COG 或類似法來安裝於顯示面板上。在此方式中，藉由使用非晶半導體，可易於增加顯示器的大小。

第 117B 圖顯示相機，該相機包含主體 84201，顯示部分 84202，影像接收部分 84203，操作鍵 84204，外部連接埠 84205，快門 84206，及類似物。

近年來，依據數位相機及其類似物之性能中的進步，其競爭性的製造方法已被增強，因此，重要的是，盡可能低價格地提供更高性能的產品。利用具有本發明畫素結構之顯示裝置於顯示部分 84202 的數位相機可減少功率消耗且可防止顯示缺陷。此外，亦可達成成本之降低。

例如，藉由使用實施例 3 中所示的畫素結構於畫素部分，該畫素部分可由單一導電型電晶體所建構。此外，如第 101A 圖中所示，操作速度高的信號線控制電路形成於 IC 晶片上，以及具有由單一導電型電晶體所建構之電路的操作速度相當低的閘極驅動器形成於與畫素部分相同的基板上，可實現更高的性能及可達成成本的降低。此外，可使用諸如非晶矽的非晶半導體於畫素部分及閘極驅動器中所包含之電晶體的半導體層，而形成該閘極驅動器於與畫素部分相同的基板上，可達成進一步的成本降低。

第 117C 圖顯示電腦，該電腦包含主體 84301，外殼 84302，顯示部分 84303，鍵盤 84304，外部連接埠 84305

(189)

，指標裝置 84306，及其類似物。利用具有本發明畫素結構之顯示裝置於顯示部分 84303 的電腦可減少功率消耗且可防止顯示缺陷。此外，亦可達成成本的降低。

第 117D 圖顯示行動電腦，其包含主體 84401，顯示部分 84402，開關 84403，操作鍵 84404，紅外線埠 84405，及其類似物。利用具有本發明畫素結構之顯示裝置於顯示部分 84402 的行動電腦可減少功率消耗且可防止顯示缺陷。此外，亦可達成成本的降低。

第 117E 圖顯示具有記錄媒體之手持式影像再生裝置（特定地，DVD 播放器），其包含主體 84501，外殼 84502，顯示部分 A 84503，顯示部分 B 84504，記錄媒體讀取部分 84505，操作鍵 84506，揚聲器部分 84507，及其類似物。顯示部分 A 84503 主要顯示影像資訊，以及顯示部分 B 84504 主要顯示本文資訊，利用具有本發明畫素結構之顯示裝置於顯示部分 A 84503 和顯示部分 B 84504 的影像再生裝置可減少功率消耗且可防止顯示缺陷。此外，亦可達成成本的降低。

第 117F 圖顯示眼鏡型顯示器，其包含主體 84601，顯示部分 84602，耳機 84603，及支架部分 84604。利用具有本發明畫素結構之顯示裝置於顯示部分 84602 的眼鏡型顯示器可減少功率消耗且可防止顯示缺陷。此外，亦可達成成本的降低。

第 117G 圖顯示移動式遊戲機，其包含外殼 84701，顯示部分 84702，揚聲器部分 84703，操作鍵 84704，記錄

(190)

媒體插入部分 84705，及其類似物。利用具有本發明畫素結構之顯示裝置於顯示部分 84702 的手持式遊戲機可減少功率消耗且可防止顯示缺陷。進一步地，可達成成本的降低。

第 117H 圖顯示具有 TV 接功能的數位相機，其包含主體 84801，顯示部分 84802，操作鍵 84803，揚聲器 84804，快門 84805，影像接收部分 84806，天線 84807，及其類似物。利用具有本發明畫素結構之顯示裝置於顯示部分 84802 的具有 TV 接收功能之數位相機可減少功率消耗且可止顯示缺陷。此外，可獲得具有高孔徑比之高清晰度顯示器，且進一步地，可達成成本的降低。

例如，第 96 至 99，118 及 119 圖之畫素結構係使用於畫素部分中；因此，可增加畫素的孔徑比。特定地，該孔徑比可藉由使用 n 通道電晶體於驅動發光元件的驅動電晶體而增加。因而，可提供包含高清晰度顯示部分之具有電視接收功能的數位相機。

雖然具有電視接收功能之數位相機變成多功能性，且諸如電視觀賞之其使用頻率已增加，但每次充電之電池壽命需變長。

例如，如第 101B 及 102A 圖中所示地，週邊驅動器電路係形成於 IC 晶片上，且使用 CMOS 或類似物；因此，可降低功率消耗。

如上述，本發明可應用於各式各樣的電子裝置。

注意的是，此實施例可自由地與此說明書中之其他實

(191)

施例模式及實施例中的任何說明結合而實施。也就是說，在非選擇週期中，電晶體係以規則的時隔來導通，使得連接於此實施例中所述之電子裝置的本發明移位暫存器電路可供應電源供應電位至輸出端子。因此，電源供應電位係透過該電晶體而供應至移位暫存器電路的輸出端子。因為該電晶體並非一直在非選擇週期中導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係透過電晶體而以規則的時隔來供應至移位暫存器電路的輸出端子。因此，該移位暫存器電路可抑制產生於輸出端子的雜訊。

[實施例 6]

在此實施例中，將參照第 116 圖來敘述行動電話的結構實例，該行動電話包含具有使用本發明畫素結構之顯示裝置的顯示部分。

顯示面板 8301 係可分離地結合於外殼 8330 中，該外殼 8330 的形狀及大小可依據顯示面板 8301 的大小而適當地改變。固定該顯示面板 8301 的外殼 8330 係裝配於印刷電路板 8331 中，以便組合成為模組。

顯示面板 8301 係透過 FPC 8313 而連接至印刷電路板 8331。揚聲器 8332，微音器 8333，發射/接收電路 8334，以及包含 CPU，控制器，及其類似物 8335 係形成於印刷電路板 8331 上。此一模組，輸入單元 8336，電池 8337，及天線係組合及儲存於外殼 8339 中。顯示面板 8301 的畫素部分係設置以便可自外殼 8339 中所形成的開口窗來觀

(192)

賞。

在顯示面板 8301 中，畫素部分和一部分週邊驅動器電路（在複數個驅動器電路中之具有低操作頻率的驅動器電路）可使用電晶體而形成於相同的基板上；一部分週邊驅動器電路（在複數個驅動器電路中之具有高操作頻率的驅動器電路）可形成於 IC 晶片上，且該 IC 晶片可藉由 COG（晶片在玻璃上）而安裝於顯示面板 8301 上。選擇性地，該 IC 晶片可藉由使用 TAB（卷帶自動接合法）或印刷電路板而連接至玻璃基板。依據此一結構，可降低顯示裝置的功率消耗，且可使每次充電之行動電話的電池壽命變長。此外，可達成行動電話之成本降低。

做為畫素部分，可適當地應用上述實施例中所示的畫素結構。

例如，藉由應用實施例 3 中所示的畫素結構或類似結構，可降低製造步驟的數目。也就是說，畫素部分和形成於與畫素部分相同的基板上之週邊驅動器電路係由單一導電型電晶體所建構；因此，可達成成本的降低。

此外，為要进一步地降低功率消耗，畫素部分可藉由使用電晶體而形成於基板上，所有的週邊驅動器電路可形成於 IC 晶片上，以及該 IC 晶片可藉由 COG（晶片在玻璃上）或類似法而安裝於顯示面板上，如第 101B 及 102A 圖中所示。

注意的是，在此實施例中所示的結構僅係行動電話的實例，且本發明之畫素結構不僅可應用於具有上述結構的

(193)

行動電話，而且可應用於各式各樣結構的行動電話。

注意的是，此實施例可自由地與此說明書中之其他實施例模式及實施例中的任何說明結合而實施。也就是說，在非選擇週期中，電晶體係以規則的時隔來導通，使得包含於此實施例中所述之行動電話中的本發明移位暫存器電路可供應電源供應電位至輸出端子。因此，電源供應電位係透過該電晶體而供應至移位暫存器電路的輸出端子。因為該電晶體並非一直在非選擇週期中導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係透過電晶體而以規則的時隔來供應至移位暫存器電路的輸出端子。因此，該移位暫存器電路可抑制產生於輸出端子中的雜訊。

[實施例 7]

在此實施例中，將敘述電子裝置，尤其是包含 EL 模組之電視接收器的結構實例，該電子裝置包含具有使用本發明畫素結構之顯示裝置的顯示部分。

第 112 圖顯示與顯示面板 7901 及電路板 7911 結合的 EL 模組。該顯示面板 7901 包含畫素部分 7902，掃描線驅動器電路 7903，和信號線驅動器電路 7904。控制電路 7912，信號畫分電路 7913，及類似電路係形成於電路板 7911 上。該顯示面板 7901 和電路板 7911 係由連接導線 7914 而相互連接，可使用 FPC 或其類似物來做為該連接導線。

在顯示面板 7901 中，畫素部分 7902 和一部分週邊驅

(194)

動器電路（在複數個驅動器電路中之具有低操作頻率的驅動器電路）可使用電晶體而形成於相同的基板上；一部分週邊驅動器電路（在複數個驅動器電路中之具有高操作頻率的驅動器電路）可形成於 IC 晶片上，且該 IC 晶片可藉由 COG（晶片在玻璃上）而安裝於顯示面板 7901 上。選擇性地，該 IC 晶片可藉由使用 TAB（卷帶自動接合法）或印刷電路而安裝於顯示面板 7901 上。

做為畫素部分，可適當地應用上述實施例中所示的畫素結構。

例如，藉由應用實施例 3 中所示的畫素結構或類似結構，可降低製造步驟的數目。也就是說，畫素部分和形成於與畫素部分相同的基板上之週邊驅動器電路係由單一導電型電晶體所建構；因此，可達成成本的降低。

此外，爲了要進一步地降低功率消耗，畫素部分可藉由使用電晶體而形成於基板上，所有的週邊驅動器電路可形成於 IC 晶片之內，以及該 IC 晶片可藉由 COG（晶片在玻璃上）或類似法而安裝於顯示面板上。

此外，畫素可藉由應用上述實施例之第 96 至 99，118 和 119 圖中所示的畫素結構，而藉由 n 通道電晶體所建構；因此，可應用非晶半導體（諸如非晶矽）於電晶體的半導體層。也就是說，可製造出難以形成均勻結晶半導體層之大的顯示裝置。此外，藉由使用非晶半導體膜於建構畫素之電晶體的半導體層，可減少製造步驟的數目，而且可降低製造成本。

(195)

注意的是，在其中應用非晶半導體膜於建構畫素之電晶體的半導體層之情況中，較佳的是，畫素部分係由使用電晶體而形成於基板上，所有的週邊驅動器電路係形成於 IC 晶片上，以及該 IC 晶片係由 COG（晶片在玻璃上）而安裝於顯示面板上。第 101B 圖顯示其中畫素部分係形成於基板上以及設置有週邊驅動器電路的 IC 晶片係由 COG 或類似法而安裝於基板上之結構實例。

EL 電視接收器可以以此 EL 模組來完成。第 113 圖係方塊圖，顯示 EL 電視接收器之主要結構。調諧器 8001 接收視頻信號及聲頻信號；該視頻信號係由視頻信號放大器電路 8002，視頻信號處理電路 8003，及控制電路 8012 所處理。該視頻信號處理電路 8003 轉換來自視頻信號放大器電路 8002 所輸出之信號成為對應於紅、綠及藍色之各色的彩色信號，以及該控制電路 8012 轉換視頻信號成為驅動器電路之輸入規格，且該控制電路 8012 輸出信號至掃描線側及信號線側之各個側。當執行數位驅動時，設置於信號線側之信號畫分電路 8013 的結構可畫分輸入之數位信號成為即將供應之 m 個信號。

在由調諧器 8001 所接收的信號中，聲頻信號係傳輸至聲頻信號放大器電路 8004，且該聲頻信號放大器電路 8004 的輸出係透過聲頻信號處理電路 8005 而供應至揚聲器 8007。控制電路 8008 接收控制資料於接收站（接收頻率）及接收來自輸入部分 8009 之音量，以及傳輸信號至調諧器 8001 及聲頻信號處理電路 8005。

(196)

第 114A 圖顯示結合 EL 模組之電視接收器，該 EL 模組具有不同於第 113 圖中之模式。在第 114A 圖中，顯示螢幕 8102 係由 EL 模組所建構。此外，揚聲器 8103，操作開關 8104，及其類似物係適當地設置於外殼 8101 中。

第 114B 圖顯示具有手持無線式顯示器之電視接收器。電池及信號接收器係結合於外殼 8112 內，顯示部分 8113 及揚聲器部分 8117 係由電池所驅動，該電池可重複地由電池充電器 8110 所充電，電池充電器 8110 可發射及接收視頻信號以及傳輸視頻信號至顯示器的信號接收器，外殼 8112 係由操作鍵 8116 所控制。第 114B 圖中所示之裝置亦可稱為視頻－聲頻雙向通訊裝置，因為信號可藉由操作該操作鍵 8116 而自外殼 8112 傳送至電池充電器 8110。該裝置亦可稱為多用途遙控裝置，因為信號可藉由操作該操作鍵 8116 而自外殼 8112 傳送至電池充電器 8110，以及使另一電子裝置來接收由該電池充電器 8110 所傳送之信號；從而，實現另一電子裝置之通訊控制。本發明可應用於顯示部分 8113。

第 115A 圖顯示由結合顯示面板 8201 及印刷線路板 8202 所形成之模組。該顯示面板 8201 包含設置有複數個畫素之畫素部分 8203，第一閘極驅動器 8204，第二閘極驅動器 8205，以及供應視頻信號至所選擇畫素之信號線驅動器電路 8206。

該印刷線路板 8202 係設置有控制器 8207，中央處理單元（CPU）8208，記憶體 8209，電源供應電路 8210，

(197)

聲頻處理電路 8211，發射/接收電路 8212，及類似物。該印刷線路板 8202 係透過撓性印刷電路 8213 (FPC) 而連接至顯示面板 8201。該印刷線路板 8202 可形成具有其中設置電容器，緩衝器電路，及其類似物以防止雜訊在電源供應電位或信號上，或模糊信號上升的結構。該控制器 8207，聲頻處理電路 8211，記憶體 8209，CPU 8208，電源供應電路 8210，及其類物可由使用 COG (晶片在玻璃上) 法而安裝於顯示面板 8201。藉由使用 COG 法，可降低該印刷線路板 8202 的大小。

各式各樣的控制信號係透過包含在印刷線路板 8202 中之界面部分 (I/F 部分 8214) 而輸入及輸出。用以發射及接收信號至/自天線的天線埠 8215 係包含於印刷線路板 8202 中。

第 115B 圖係第 115A 圖中所示之模組的方塊圖。該模組包含 VRAM 8216，DRAM 8217，快閃記憶體 8218，及其類似物來做為記憶體 8209。該 VRAM 8216 儲存資料於面板上所顯示的影像上，DRAM 8217 儲視頻資料或聲頻資料，以及快閃記憶體儲存各式各樣的節目。

電源供應電路 8210 供應電功率，用以操作顯示面板 8201，控制器 8207，CPU 8208，聲頻處理電路 8211，記憶體 8209，和發射/接收電路 8212。根據面板規格，在若干情況中，該電源供應電路 8210 設置有電流源。

CPU 8208 包含控制信號產生電路 8220，解碼器 8221，暫存器 8222，算術電路 8223，RAM 8224，用於 CPU

(198)

8208 之界面，及其類似物。經由界面 8219 所輸入至 CPU 8208 的各式各樣信號係一次儲存於暫存器 8222 中，且隨後輸入至算術電路 8223，解碼器 8221，或其類似物。算術電路 8223 根據輸入信號來執行運算，以便指明各式各樣指令將傳送至之位置；另一方面，輸入至解碼器 8221 的信號係解碼及輸入至控制信號產生電路 8220，該控制信號產生電路 8220 根據輸入信號來產生包含各式各樣指令的信號，且傳輸該信號至算術電路 8223 所指明的位置，特定地至諸如記憶體 8209 的位置，至發射/接收電路 8212，聲頻處理電路 8211，和控制器 8207。

記憶體 8209，發射/接收電路 8212，聲頻處理電路 8211，和控制器 8207 係分別地依據所接收之指令而操作。下文中，將簡明地敘述該操作。

來自輸入單元 8225 所輸入之信號係經由 I/F 部分 8214 而傳送至安裝於印刷線路板 8202 的 CPU 8208。控制信號產生電路 8220 根據來自諸如指標裝置或鍵盤之輸入單元 8225 所傳送之信號而轉換 VRAM 8216 中所儲存之視頻資料成爲預定的格式，且傳輸所轉換的資料到控制器 8207。

控制器 8207 依據面板規格來執行自 CPU 8208 所傳送之包含視頻資料之信號的資料處理，以及供應該信號到顯示面板 8201。進一步地，該控制器 8207 根據來自電源供應電路 8210 之電源供應電壓或來自 CPU 8208 所輸入之各式各樣信號來產生 Hsync 信號，Vsync 信號，時脈信號

(199)

CLK，交流電壓（AC Cont），和切換信號 L/R，且傳送該等信號至顯示面板 8201。

即將由天線 8228 所接收及傳送成爲電波的信號係由發射/接收電路 8212 所處理。特定地，該發射/接收電路 8212 包含諸如隔離器之高頻電路，帶通濾波器，VCO（壓控振盪器），LPF（帶通濾波器），耦合器，或平衡—不平衡變壓器（balun）。在發射/接收電路 8212 中所發射及接收的信號中之包含聲頻資訊的信號係依據來自 CPU 8208 的指令而傳送至聲頻處理電路 8211。

依據來自 CPU 8208 之指令所傳送之包含聲頻資訊的信號係在聲頻處理電路 8211 中解調變成爲聲頻信號，且傳送至揚聲器 8227。來自微音器 8226 所傳送之聲頻信號係依據來自 CPU 8208 之指令而調變於聲頻處理電路 8211 中，且傳送至發射/接收電路 8212。

控制器 8207，CPU 8208，電源供應電路 8210，聲頻處理電路 8211，和記憶體 8209 可依據此實施例而安裝成爲封裝。

無庸置疑地，本發明並未受限於電視接收器。除了個人電腦的監視器之外，本發明可應用於各式各樣的用途，尤其是做爲大的顯示媒體，例如在火車站或機場之資訊顯示板，在街道上之廣告顯示板，或其類似物。

注意的是，此實施例可自由地與此說明書中之其他實施例模式及實施例中的任何說明結合而實施。也就是說，在非選擇週期中，電晶體係以規則的時隔來導通，使得包

(200)

含於此實施例中所述之電子裝置中的本發明移位暫存器電路可供應電源供應電位至輸出端子。因此，電源供應電位係透過該電晶體而供應至移位暫存器電路的輸出端子。因為該電晶體並非一直在非選擇週期中導通，所以可抑制電晶體之臨限電壓偏移。此外，電源供應電位係透過電晶體而以規則的時隔來供應至移位暫存器電路的輸出端子。因此，該移位暫存器電路可抑制產生於輸出端子中的雜訊。

此申請案係依據 2006 年 1 月 7 日在日本特許廳中所申請之日本專利申請案序號第 2006-001941 號為主，其整個內容係結合於本文以供參考。

【圖式簡單說明】

在附圖中：

第 1 圖係顯示實施例模式 1 之圖式；

第 2 圖係顯示實施例模式 1 之時序圖；

第 3 圖係顯示實施例模式 1 之圖式；

第 4 圖係顯示實施例模式 1 之圖式；

第 5 圖係顯示實施例模式 1 之圖式；

第 6 圖係顯示實施例模式 1 之圖式；

第 7 圖係顯示實施例模式 1 之圖式；

第 8 圖係顯示實施例模式 1 之圖式；

第 9 圖係顯示實施例模式 1 之圖式；

第 10 圖係顯示實施例模式 1 之圖式；

第 11 圖係顯示實施例模式 1 之圖式；

(201)

- 第 12 圖係顯示實施例模式 1 之時序圖；
第 13 圖係顯示實施例模式 1 之圖式；
第 14 圖係顯示實施例模式 1 之圖式；
第 15 圖係顯示實施例模式 1 之圖式；
第 16 圖係顯示實施例模式 1 之圖式；
第 17 圖係顯示實施例模式 2 之圖式；
第 18 圖係顯示實施例模式 2 之時序圖；
第 19 圖係顯示實施例模式 2 之時序圖；
第 20 圖係顯示實施例模式 3 之圖式；
第 21 圖係顯示實施例模式 3 之圖式；
第 22 圖係顯示實施例模式 3 之圖式；
第 23 圖係顯示實施例模式 3 之圖式；
第 24 圖係顯示實施例模式 3 之圖式；
第 25 圖係顯示實施例模式 3 之圖式；
第 26 圖係顯示實施例模式 3 之圖式；
第 27 圖係顯示實施例模式 3 之圖式；
第 28 圖係顯示實施例模式 3 之圖式；
第 29 圖係顯示實施例模式 3 之圖式；
第 30 圖係顯示實施例模式 3 之圖式；
第 31 圖係顯示實施例模式 3 之圖式；
第 32 圖係顯示實施例模式 3 之圖式；
第 33 圖係顯示實施例模式 3 之圖式；
第 34 圖係顯示實施例模式 3 之圖式；
第 35 圖係顯示實施例模式 3 之圖式；

(202)

- 第 36 圖係顯示實施例模式 3 之圖式；
第 37 圖係顯示實施例模式 3 之圖式；
第 38 圖係顯示實施例模式 3 之圖式；
第 39 圖係顯示實施例模式 3 之圖式；
第 40 圖係顯示實施例模式 3 之圖式；
第 41 圖係顯示實施例模式 3 之圖式；
第 42 圖係顯示實施例模式 3 之圖式；
第 43 圖係顯示實施例模式 3 之圖式；
第 44 圖係顯示實施例模式 3 之圖式；
第 45 圖係顯示實施例模式 3 之圖式；
第 46 圖係顯示實施例模式 3 之圖式；
第 47 圖係顯示實施例模式 3 之圖式；
第 48 圖係顯示實施例模式 3 之圖式；
第 49 圖係顯示實施例模式 3 之圖式；
第 50 圖係顯示實施例模式 3 之圖式；
第 51 圖係顯示實施例模式 3 之圖式；
第 52 圖係顯示實施例模式 3 之圖式；
第 53 圖係顯示實施例模式 3 之圖式；
第 54 圖係顯示實施例模式 3 之圖式；
第 55 圖係顯示實施例模式 3 之圖式；
第 56 圖係顯示實施例模式 3 之圖式；
第 57 圖係顯示實施例模式 3 之圖式；
第 58 圖係顯示實施例模式 3 之圖式；
第 59 圖係顯示實施例模式 3 之圖式；

(203)

- 第 60 圖係顯示實施例模式 3 之圖式；
第 61 圖係顯示實施例模式 3 之圖式；
第 62 圖係顯示實施例模式 3 之圖式；
第 63 圖係顯示實施例模式 3 之圖式；
第 64 圖係顯示實施例模式 3 之圖式；
第 65 圖係顯示實施例模式 3 之圖式；
第 66 圖係顯示實施例模式 3 之圖式；
第 67 圖係顯示實施例模式 3 之圖式；
第 68 圖係顯示實施例模式 3 之圖式；
第 69 圖係顯示實施例模式 3 之圖式；
第 70 圖係顯示實施例模式 3 之圖式；
第 71 圖係顯示實施例模式 3 之圖式；
第 72 圖係顯示實施例模式 3 之圖式；
第 73 圖係顯示實施例模式 3 之圖式；
第 74 圖係顯示實施例模式 3 之圖式；
第 75 圖係顯示實施例模式 3 之圖式；
第 76 圖係顯示實施例模式 3 之圖式；
第 77 圖係顯示實施例模式 3 之圖式；
第 78 圖係顯示實施例模式 3 之圖式；
第 79 圖係顯示實施例模式 3 之圖式；
第 80 圖係顯示實施例模式 3 之圖式；
第 81 圖係顯示實施例模式 3 之圖式；
第 82 圖係顯示實施例模式 3 之圖式；
第 83 圖係顯示實施例模式 3 之圖式；

(204)

- 第 84 圖係顯示實施例模式 3 之圖式；
第 85 圖係顯示實施例模式 3 之圖式；
第 86 圖係顯示實施例模式 3 之圖式；
第 87 圖係顯示實施例模式 3 之圖式；
第 88 圖係顯示實施例模式 4 之圖式；
第 89 圖係顯示實施例模式 4 之圖式；
第 90 圖係顯示實施例模式 4 之圖式；
第 91 圖係顯示實施例模式 4 之圖式；
第 92 圖係顯示實施例 1 之圖式；
第 93 圖係顯示實施例 1 之圖式；
第 94 圖係顯示實施例 1 之圖式；
第 95 圖係顯示實施例 2 之圖式；
第 96 圖係顯示實施例 3 之圖式；
第 97 圖係顯示實施例 3 之圖式；
第 98 圖係顯示實施例 3 之圖式；
第 99 圖係顯示實施例 3 之圖式；
第 100A 及 100B 圖係顯示實施例 4 之圖式；
第 101A 及 101B 圖係顯示實施例 4 之圖式；
第 102A 及 102B 圖係顯示實施例 4 之圖式；
第 103A 及 103B 圖係顯示實施例 4 之圖式；
第 104A 至 104C 圖係顯示實施例 4 之圖式；
第 105 圖係顯示實施例 4 之圖式；
第 106A 及 106B 圖係顯示實施例 4 之圖式；
第 107A 及 107B 圖係顯示實施例 4 之圖式；

(205)

- 第 108A 及 108B 圖係顯示實施例 4 之圖式；
第 109A 及 109B 圖係顯示實施例 4 之圖式；
第 110A 及 110B 圖係顯示實施例 4 之圖式；
第 111A 及 111B 圖係顯示實施例 4 之圖式；
第 112 圖係顯示實施例 7 之圖式；
第 113 圖係顯示實施例 7 之圖式；
第 114A 及 114B 圖係顯示實施例 7 之圖式；
第 115A 及 115B 圖係顯示實施例 7 之圖式；
第 116 圖係顯示實施例 6 之視圖；
第 117A 至 117H 圖係顯示實施例 7 之視圖；
第 118 圖係顯示實施例 3 之圖式；
第 119 圖係顯示實施例 3 之圖式；
第 120 圖係顯示實施例 3 之圖式；
第 121 圖係顯示實施例 3 之圖式；
第 122 圖係顯示實施例 4 之圖式；
第 123 圖係顯示實施例 5 之圖式；
第 124 圖係顯示實施例 3 之圖式；以及
第 125 圖係顯示實施例 3 之圖式。

【主要元件符號說明】

10、70、80、90、100、110、120、130、140、150、
160、171：正反器電路

11~18、111~118、161、181、183、281、282、6711
、6712：電晶體

(206)

19、119、294、435、515、594、735、815、963、
974、994、7523、27119、7619、7720、26119、26302：

電 容 器

91、151、321、461、541、621、761、841：電阻器

172~174、222、923、942、951、952、953：控制信

號 線

200、880：移位暫存器電路

201、210、220、230、240、250、260、270：緩衝器

電 路

211、211A、211B、280、290、300、310、320、330
、340、350、360、370、380、390、400、410、580、590
、600、610、620、630、640、650、660、670、680、690
、700、710：反相器電路

221、420、430、440、450、780、800、810、820、
830、840、850、860、870、460、470、480、490：反及
(NAND) 電路

231、500、510、520、530、540、550、560、570、
720、730、740、750、760、770、790：反或 (NOR) 電
路

291、292、293、301、331、341、371、391、401、
721~423、431~434、441、471、472、481、501~503：電
晶 體

511~514、521、551、552、561、581、582、671、
701、721、722、723、591~593、601、631、641、

(207)

731~734、741：電晶體

771、772、781、821、851、852、901、911、961、
971、972、991~993、801~803、812~814、861、

1181~1184、1201、1211、1212：電晶體

881、891、892、893：信號線

920：顯示裝置

921、6702、6802、6812、6902、6912：畫素區

922：閘極驅動器

924、955、956、957：源極信號線

925：閘極信號線

926、6709、6805、6815、6904、6913、6914、8213

、8313：FPC（撓性印刷電路）

941、950、6701、6801、6811：信號線控制電路

954：視頻信號線

960、970、980、990、1180、1190、1200、1210：畫

素

962：液晶元件

964、6717、7520、27117、7616、7717、26117：相

對電極

995、12201、12206：電源供應線

1241、1251：反相器電路

6703、6803、6814、8204：第一閘極驅動器

6704、6808、6818、6907：密封基板

6705、6809、6819、6908：密封材料

(208)

6706、6804、6813、8205：第二閘極驅動器

6707：空間

6708、7605、7606、7711、7712、26113、27110：導

線

6710、6800、6810、6900、6910、7501、7601、7701

、26101、27101、7001、7011、7100、7200：基板

6713、7517、7603、7714、26114、27113：畫素電極

6714、7518、7715：絕緣物

6716、7103、7204、7519、7615、7716、26116、

27116：含有有機化合物之層

6718、7521、7617、7718、27120、26120：發光元件

6719、6806、6807、6816、6817、6905、6906：IC 晶

片

6720、6721：n 通道電晶體

6901、6911：週邊驅動器電路

7002、7012：陽極

7003、7013：電洞注入層

7004、7014：電洞傳輸層

7005、7015：發光層

7006、7016：電子傳輸層

7007、7017：電子注入層

7008、7018：陰極

7101、7201：驅動 TFT

7102、7104、7203、7205、7504、7514、7524、7604

(209)

- 、 7613、7620、7704、27108、27111、27114：電極
- 7202、7502、7602、7702、26102、27102：基底膜
- 7206B、7206G、7206R：彩色濾光片
- 7207：BM（黑色矩陣）
- 7503、7612、7703、26110、27107：閘極電極
- 7505、7610、7705、26109、27106：閘極絕緣膜
- 7506、7509、26106、27103：通道形成區
- 7507、7510、26107、26108：LDD區
- 7508、7511、26105、27105：雜質區
- 7522、7618、7719、26118、27118：驅動電晶體
- 7607、7608、7708、7709、7710：n型半導體層
- 7609、7706、7707、12208：半導體層
- 7713：導電層
- 7902：畫素部分
- 7903、7904、8206：掃描線驅動器電路
- 7911：電路板
- 7912、8008、8012：控制電路
- 7913、8013：信號畫分電路
- 7914：連接導線
- 8001：調諧器
- 8002：視頻信號放大器電路
- 8003：視頻信號處理電路
- 8004：聲頻信號放大器電路
- 8005：聲頻信號處理電路

(210)

8007、8103、8227、8332、84507、84703、84804：

揚聲器

8009：輸入部分

8101、8112、8330、84502、84701、8339、84101、

84302：外殼

8102：顯示螢幕

8104：操作開關

8110：電池充電器

8113：顯示部分

8116、84204、84404、84704、84803、84506：操作

鍵

8117：揚聲器部分

8207：控制器

8208：CPU（中央處理單元）

8209：記憶體

8210：電源供應電路

8211：聲頻處理電路

8212、8334：發射/接收電路

8214：I/F（界面）部分

8215、8228、8340：天線埠

8218：快閃記憶體

8219：界面

8220：控制信號產生電路

8221：解碼器

(211)

8222：暫存器

8223：算術電路

8225、8336：輸入單元

8226、8333：微音器

8301：顯示面板

8331：印刷電路板

8335：信號處理電路

12202~12205：控制線

12207：輸出端子

12209：閘極導線層

12210：導線層

12211：接觸層

26111、26301：上方電極

26112、26115、27109、27112、27115：層間絕緣物

84102：支撐底座

84103、84202、84303、84402、84503、84504、

84602、84702、84802：顯示部分

84201、84301、84401、84501、84601、84801：主體

84203、84806：影像處理部分

84205、84305：外部連接埠

84206、84805：快門

84304：鍵盤

84306：指標裝置

84403：開關

(212)

84405 : 紅外線埠

84505 : 記錄媒體讀取部分

84603 : 耳機

84604 : 支撐部分

84705 : 記錄媒體插入部分

84807 : 天線

SSP、CK、CKB : 控制線

SW : 開關

OUT、SRout、GDout、SDout : 輸出端子

十、申請專利範圍

第 96100222 號專利申請案

中文申請專利範圍修正本

民國 98 年 12 月 9 日

修正

補充

P1-8
日修正本

1. 一種半導體裝置，包含：

第一電晶體；

第二電晶體；

第三電晶體；

反相器；

第一導線；

第二導線；以及

第三導線，

其中該第一電晶體的第一端子係電性連接至該第一導線，該第一電晶體的第二端子係電性連接至該第二電晶體之第二端子，及該第一電晶體的閘極端子係電性連接至該反相器之第一端子；

其中該第二電晶體的第一端子係電性連接至該第二導線，且該第二電晶體的閘極端子係電性連接至該第三電晶體之第二端子；

其中該第三電晶體的第一端子係電性連接至該第三導線，且該第三電晶體的閘極端子係電性連接至該反相器之第二端子；以及

其中該第一電晶體的該閘極端子係電性連接至用以使

該第一電晶體之該閘極端子進入浮動狀態的電晶體。

2. 一種半導體裝置，包含：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第一導線；

第二導線；

第三導線；以及

第四導線

其中該第一電晶體的第一端子係電性連接至該第一導線，該第一電晶體的第二端子係電性連接至該第二電晶體之第二端子，及該第一電晶體的閘極端子係電性連接至該第四電晶體之閘極端子；

其中該第二電晶體的第一端子係電性連接至該第二導線，且該第二電晶體的閘極端子係電性連接至該第三電晶體之第二端子；

其中該第三電晶體的第一端子係電性連接至該第三導線，且該第三電晶體的閘極端子係電性連接至該第四電晶體之第二端子和該第五電晶體之第二端子；

其中該第四電晶體的第一端子係電性連接至該第二導線；

其中該第五電晶體的第一端子係電性連接至該第四導

線，且該第五電晶體的閘極端子係電性連接至該第四導線；以及

其中該第一電晶體的該閘極端子係電性連接至用以使該第一電晶體的該閘極端子進入浮動狀態的電晶體。

3. 一種半導體裝置，包含：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第一導線；

第二導線；

第三導線；

第四導線；以及

第五導線，

其中該第一電晶體的第一端子係電性連接至該第一導線，該第一電晶體的第二端子係電性連接至該第二電晶體之第二端子，及該第一電晶體的閘極端子係電性連接至該第四電晶體之閘極端子和該第六電晶體之第二端子；

其中該第二電晶體的第一端子係電性連接至該第二導線，且該第二電晶體的閘極端子係電性連接至該第三電晶體之第二端子；

其中該第三電晶體的第一端子係電性連接至該第三導

線，且該第三電晶體的閘極端子係電性連接至該第四電晶體之第二端子和該第五電晶體之第二端子；

其中該第四電晶體的第一端子係電性連接至該第二導線；

其中該第五電晶體的第一端子係電性連接至該第四導線，且該第五電晶體的閘極端子係電性連接至該第四導線；以及

其中該第六電晶體的第一端子係電性連接至該第四導線，且該第六電晶體的閘極端子係電性連接至該第五導線。

4. 一種半導體裝置，包含：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第七電晶體；

第一導線；

第二導線；

第三導線；

第四導線；以及

第五導線，

其中該第一電晶體的第一端子係電性連接至該第一導

線，該第一電晶體的第二端子係電性連接至該第二電晶體之第二端子，及該第一電晶體的閘極端子係電性連接至該第四電晶體之閘極端子，該第六電晶體之第二端子，和該第七電晶體之第二端子；

其中該第二電晶體的第一端子係電性連接至該第二導線，且該第二電晶體的閘極端子係電性連接至該第三電晶體之第二端子和該第七電晶體之閘極端子；

其中該第三電晶體的第一端子係電性連接至該第三導線，且該第三電晶體的閘極端子係電性連接至該第四電晶體之第二端子和該第五電晶體之第二端子；

其中該第四電晶體的第一端子係電性連接至該第二導線；

其中該第五電晶體的第一端子係電性連接至該第四導線，且該第五電晶體的閘極端子係電性連接至該第四導線；

其中該第六電晶體的第一端子係電性連接至該第四導線，且該第六電晶體的閘極端子係電性連接至該第五導線；以及

其中該第七電晶體的第一端子係電性連接至該第二導線。

5. 一種半導體裝置，包含：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第七電晶體；

第八電晶體；

第一導線；

第二導線；

第三導線；

第四導線；

第五導線；以及

第六導線，

其中該第一電晶體的第一端子係電性連接至該第一導線，該第一電晶體的第二端子係電性連接至該第二電晶體之第二端子，及該第一電晶體的閘極端子係電性連接至該第四電晶體之閘極端子，該第六電晶體之第二端子，該第七電晶體之第二端子，和該第八電晶體之第二端子；

其中該第二電晶體的第一端子係電性連接至該第二導線，且該第二電晶體的閘極端子係電性連接至該第三電晶體之第二端子和該第七電晶體之閘極端子；

其中該第三電晶體的第一端子係電性連接至該第三導線，且該第三電晶體的閘極端子係電性連接至該第四電晶體之第二端子和該第五電晶體之第二端子；

其中該第四電晶體的第一端子係電性連接至該第二導線；

其中該第五電晶體的第一端子係電性連接至該第四導線，且該第五電晶體的閘極端子係電性連接至該第四導線；

其中該第六電晶體的第一端子係電性連接至該第四導線，且該第六電晶體的閘極端子係電性連接至該第五導線；

其中該第七電晶體的第一端子係電性連接至該第二導線；以及

其中該第八電晶體的第一端子係電性連接至該第二導線，且該第八電晶體的閘極端子係電性連接至該第六導線。

6. 如申請專利範圍第 2 至 5 項中任一項之半導體裝置，其中該第四電晶體之通道長度 L 對通道寬度 W 的比例 W/L 係該第五電晶體之通道長度 L 對通道寬度 W 的比例 W/L 的 10 倍或更多倍。

7. 如申請專利範圍第 1 至 5 項中任一項之半導體裝置，其中該第一電晶體及該第三電晶體具有相同的導電類型。

8. 如申請專利範圍第 1 至 5 項中任一項之半導體裝置，其中該第一電晶體及該第三電晶體係 n 通道電晶體。

9. 如申請專利範圍第 1 至 5 項中任一項之半導體裝置，其中設置一電容器，該電容器電性連接於該第一電晶體的第二端子與該第一電晶體的閘極端子之間。

10. 如申請專利範圍第 9 項之半導體裝置，

其中該電容器包含第一電極，第二電極，及絕緣物，該絕緣物係保持於該第一電極與該第二電極之間；以及

其中該第一電極係半導體層，該第二電極係閘極導線層，及該絕緣物係閘極絕緣膜。

11. 如申請專利範圍第 1 至 5 項中任一項之半導體裝置，

其中時脈信號係供應至該第一導線；以及

其中反相的時脈信號係供應至該第三導線。

12. 一種顯示裝置，包含：

驅動器電路，該驅動器電路包含如申請專利範圍第 1 至 5 項中任一項之半導體裝置；以及

複數個畫素，

其中該複數個畫素之各個畫素係由該驅動器電路所控制。

13. 如申請專利範圍第 12 項之顯示裝置，

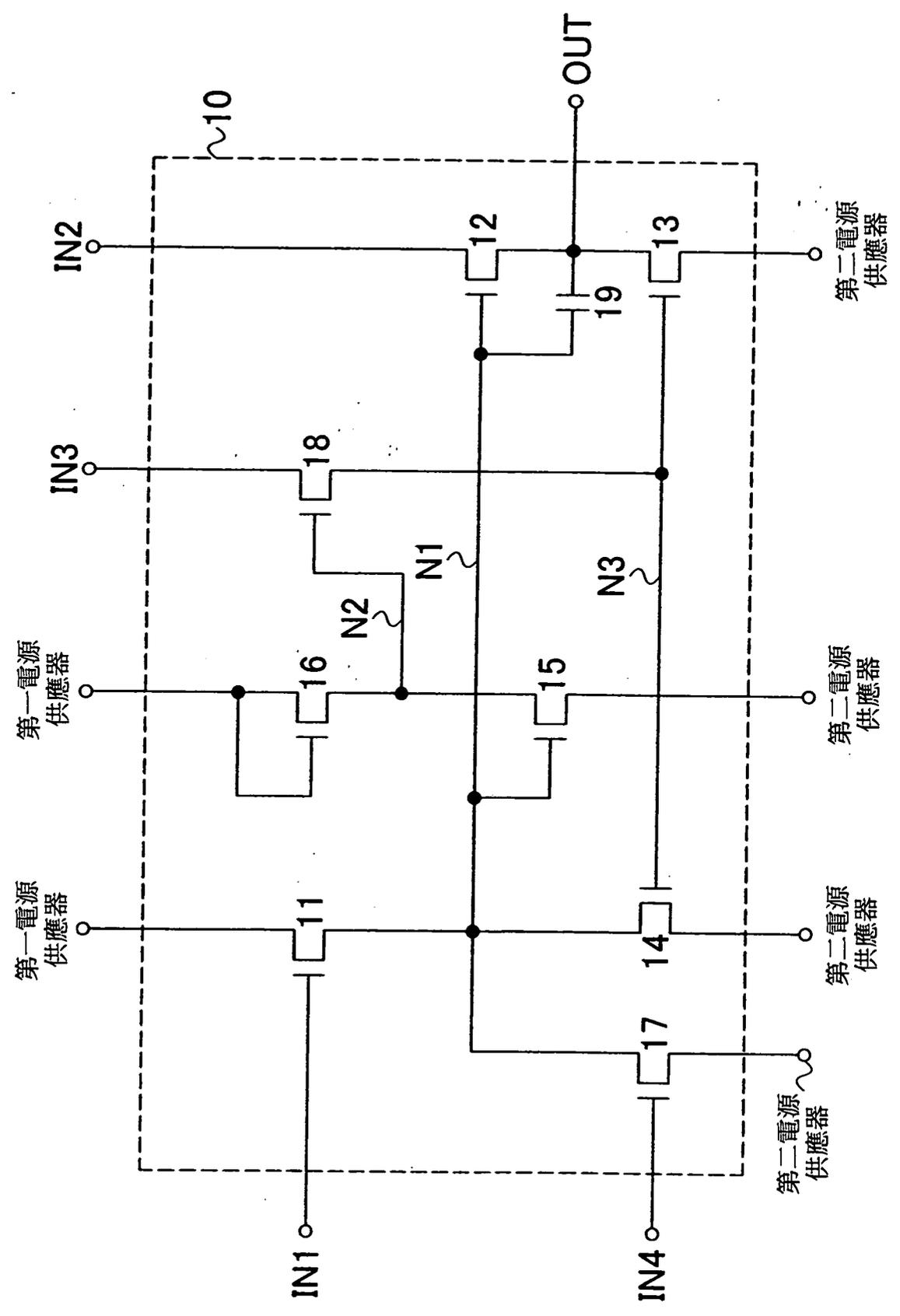
其中該畫素包含電晶體；以及

其中包括在該畫素中之該電晶體與包括在該驅動器電路中之該等電晶體且有相同的導電類型。

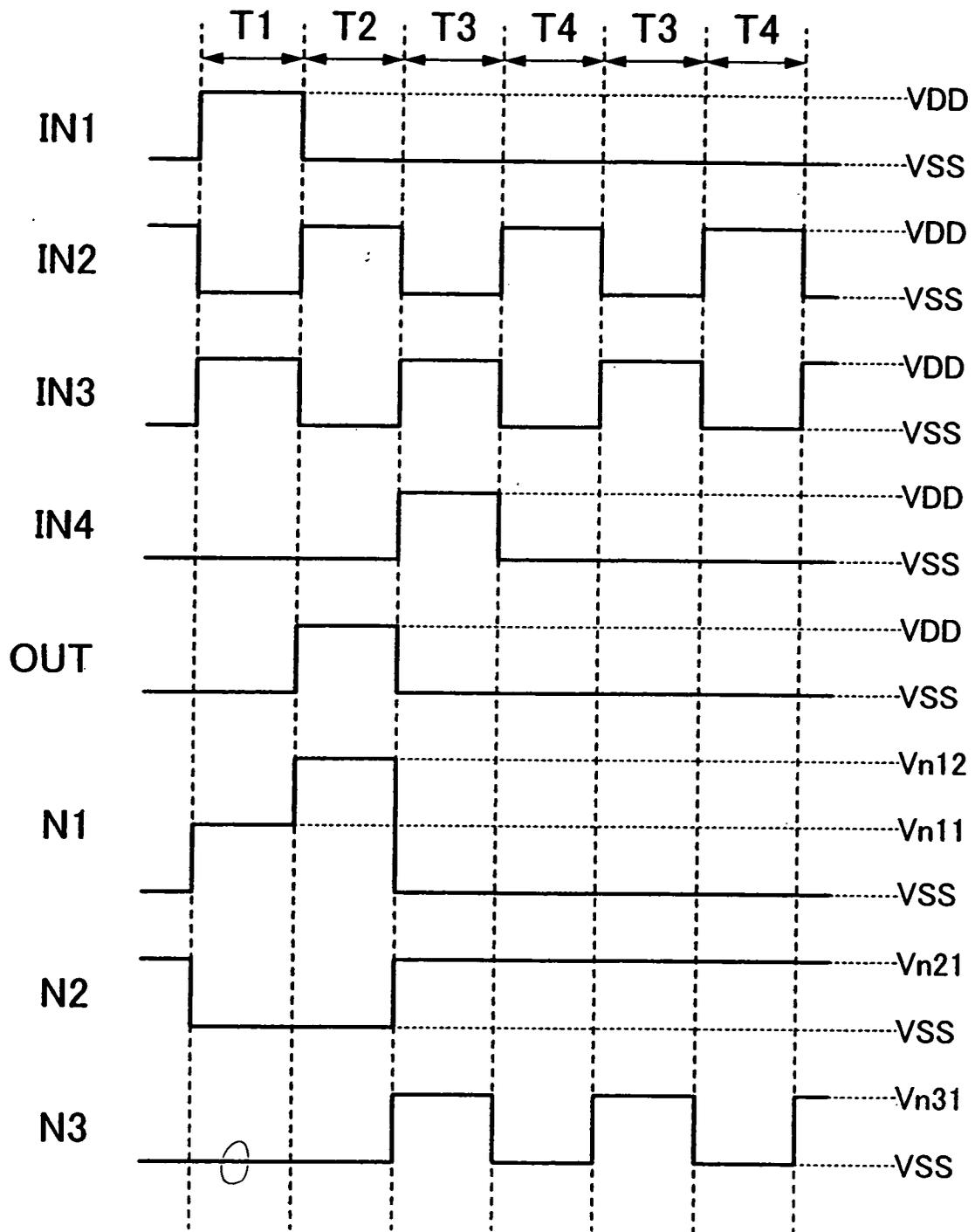
14. 如申請專利範圍第 12 項之顯示裝置，其中該畫素係形成於與該驅動器電路相同的基板上。

15. 一種電子裝置，包含如申請專利範圍第 12 項之顯示裝置。

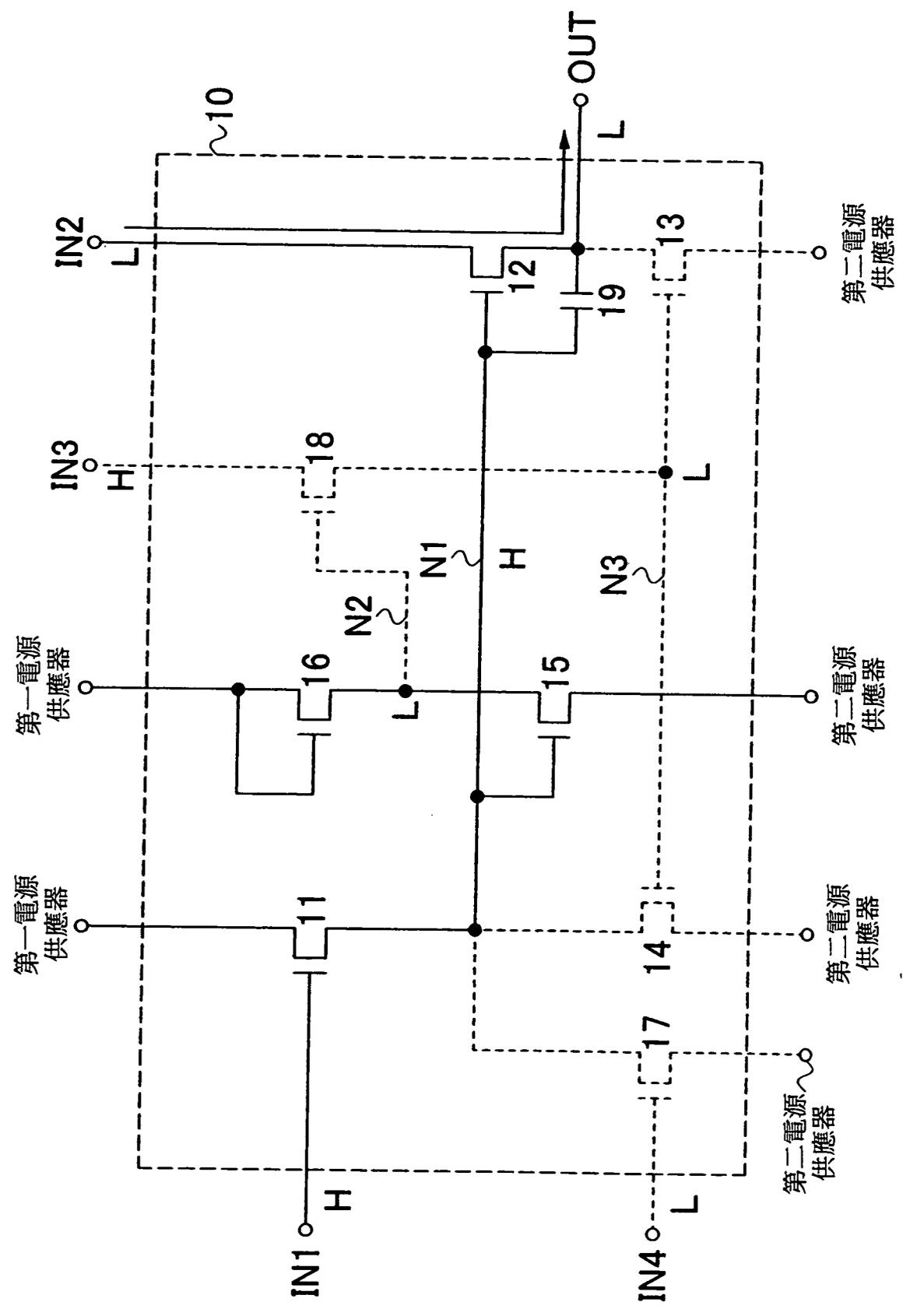
第1圖



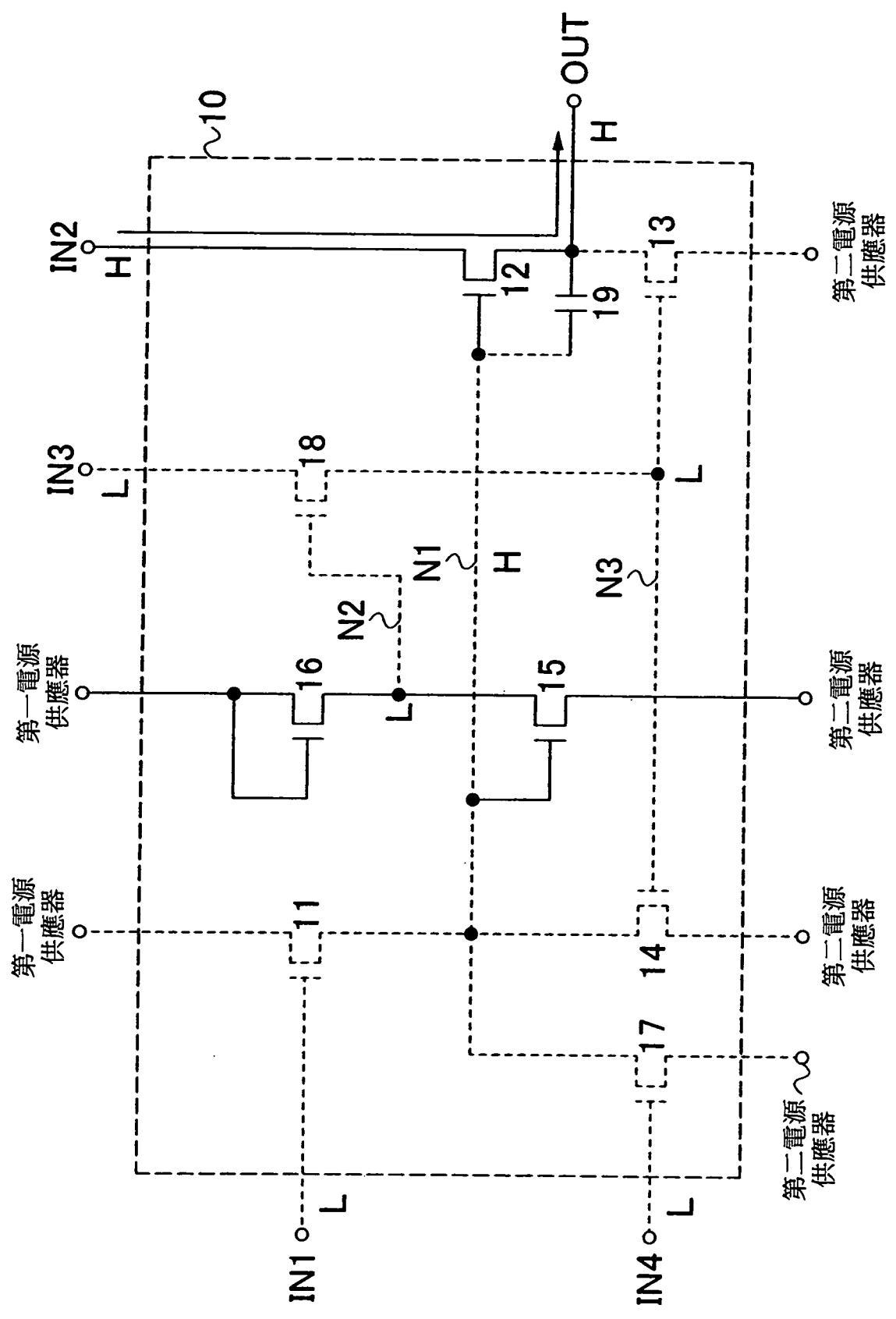
第2圖



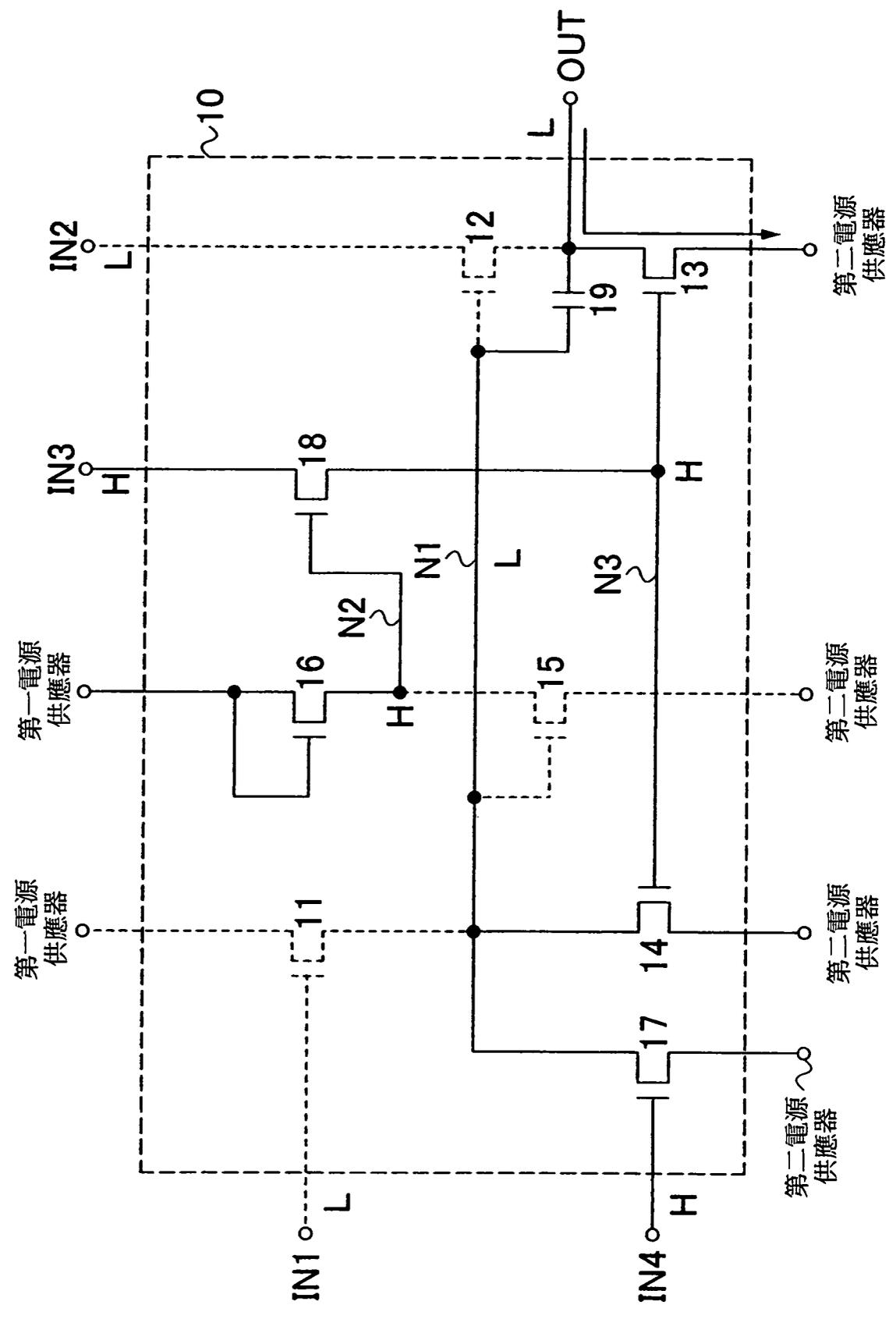
第3圖



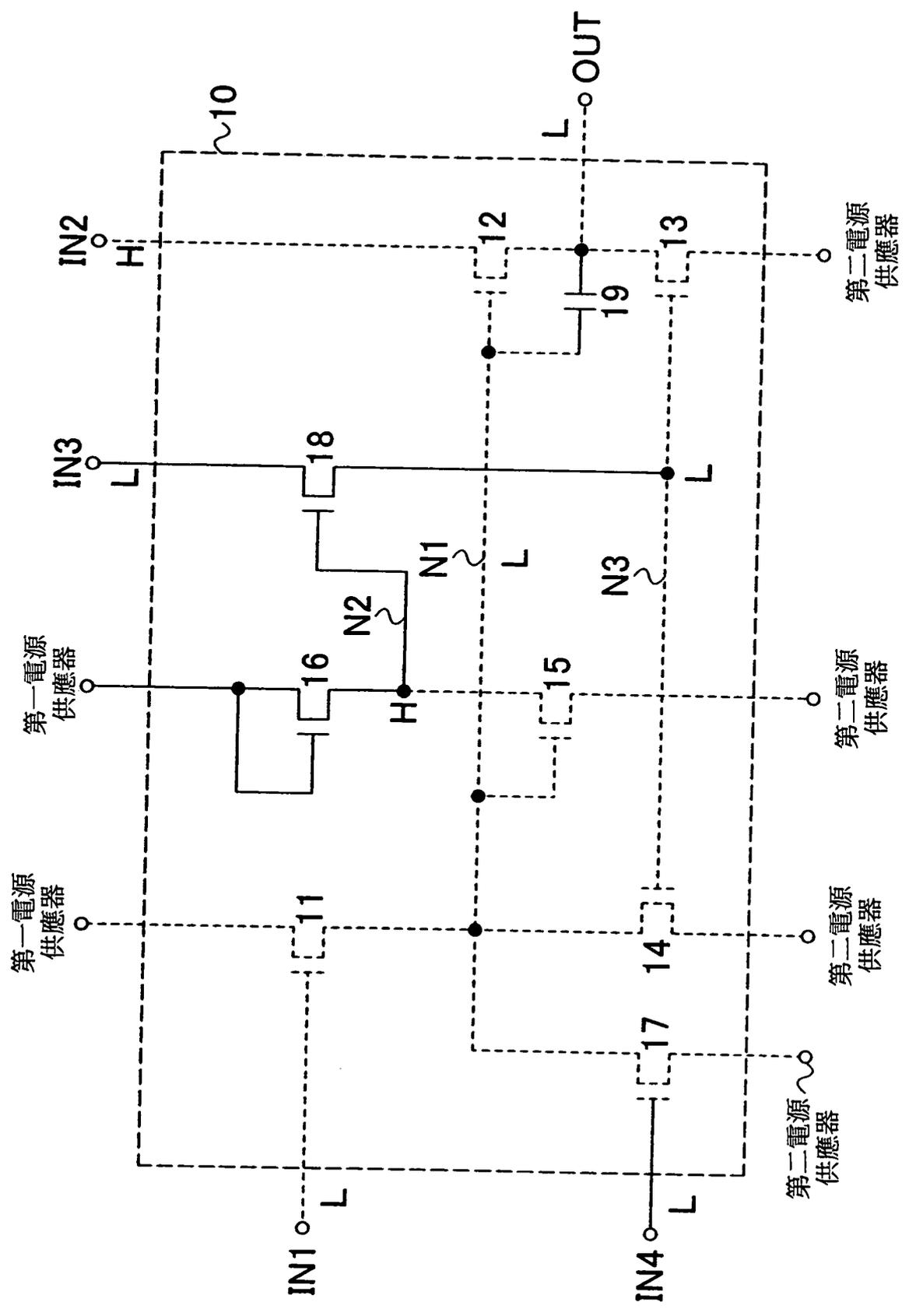
第4圖



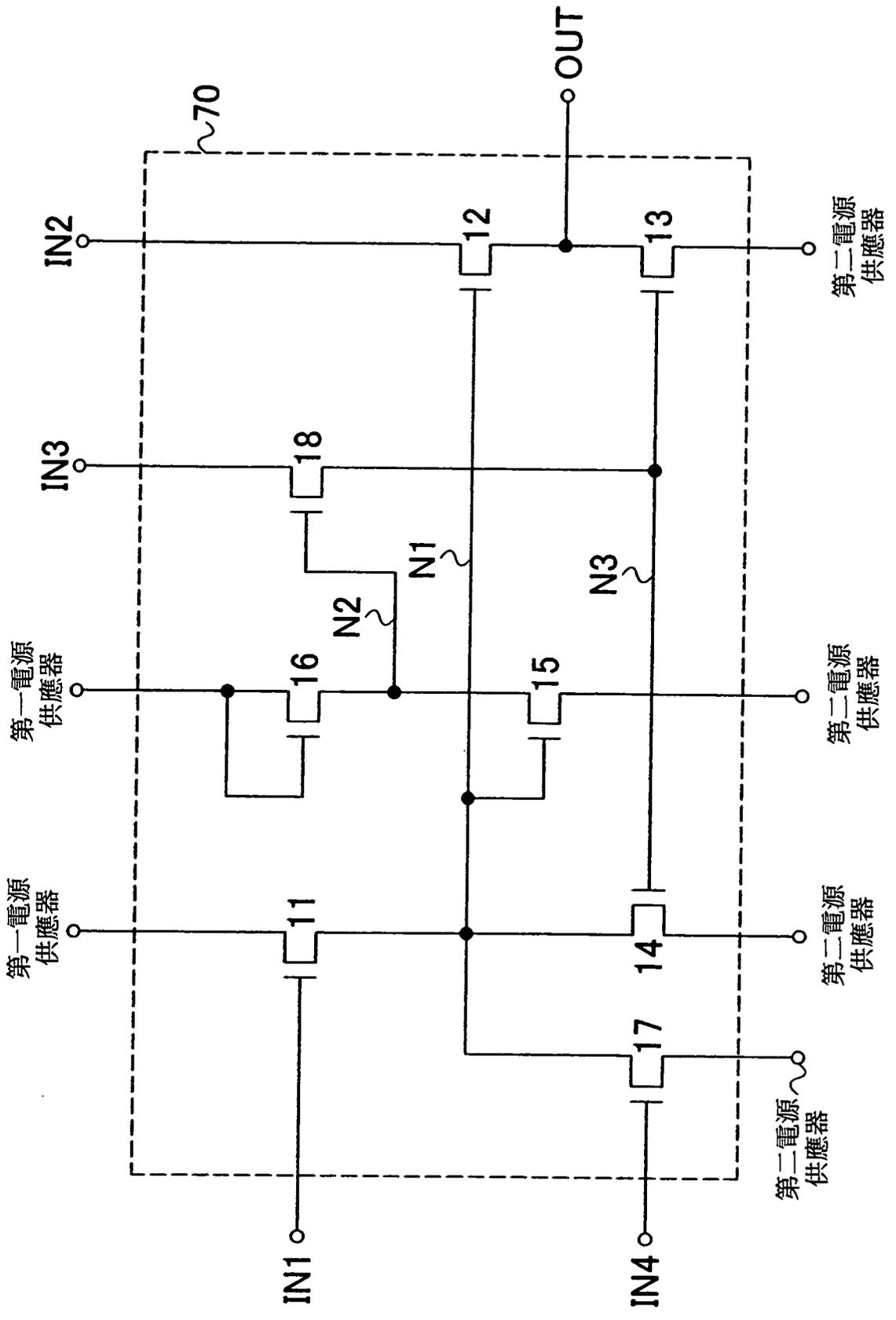
第5圖



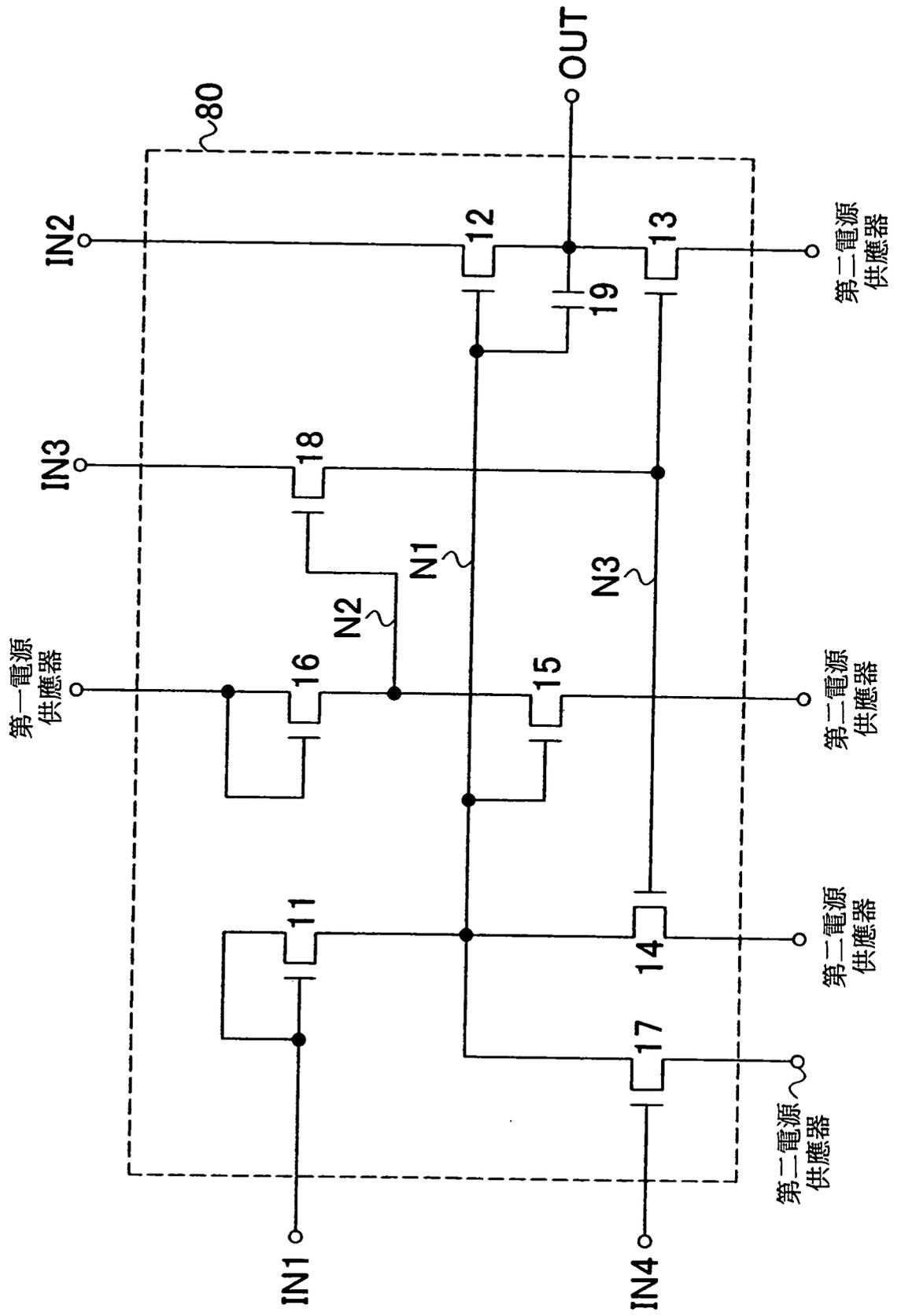
第6圖



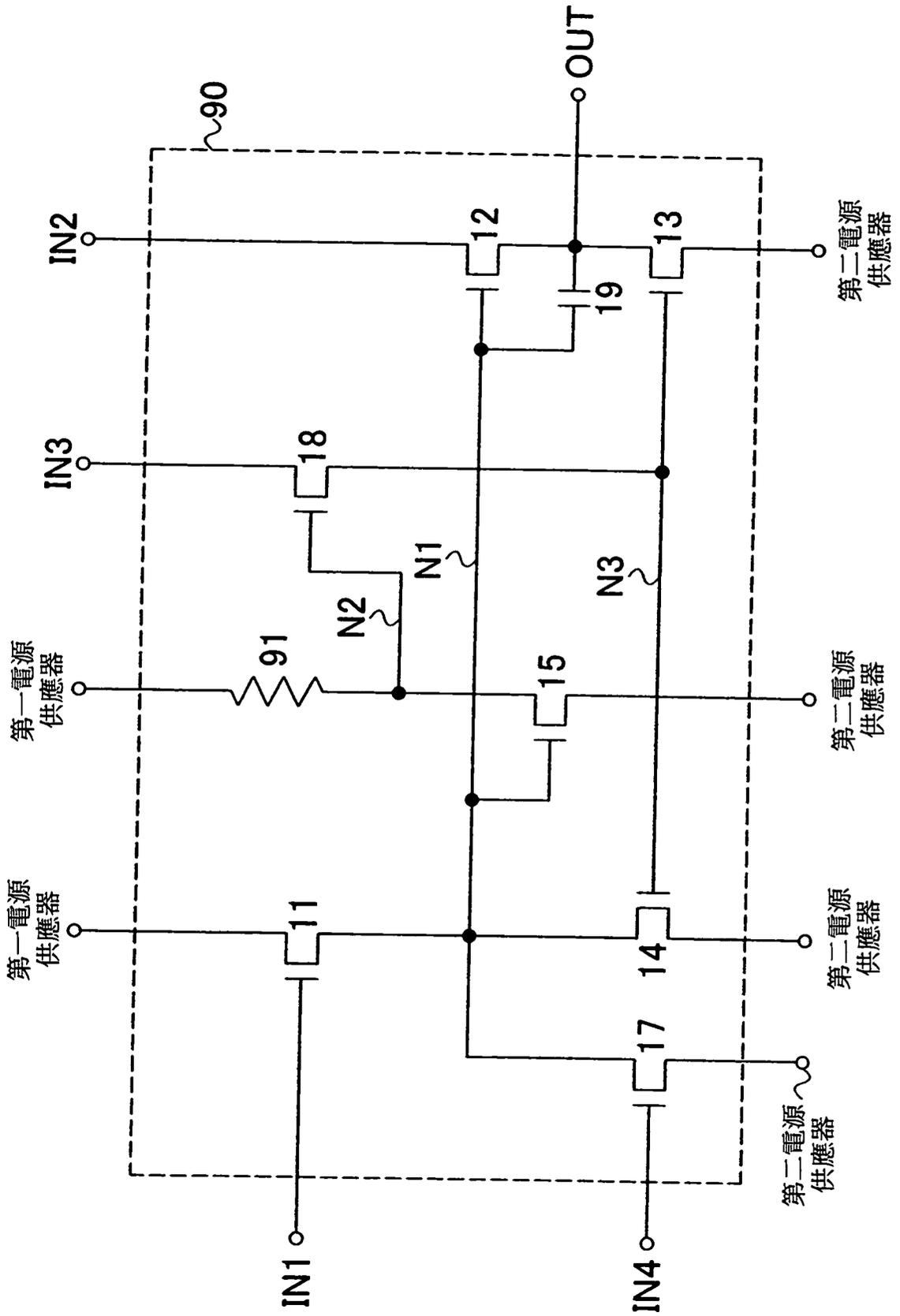
第7圖



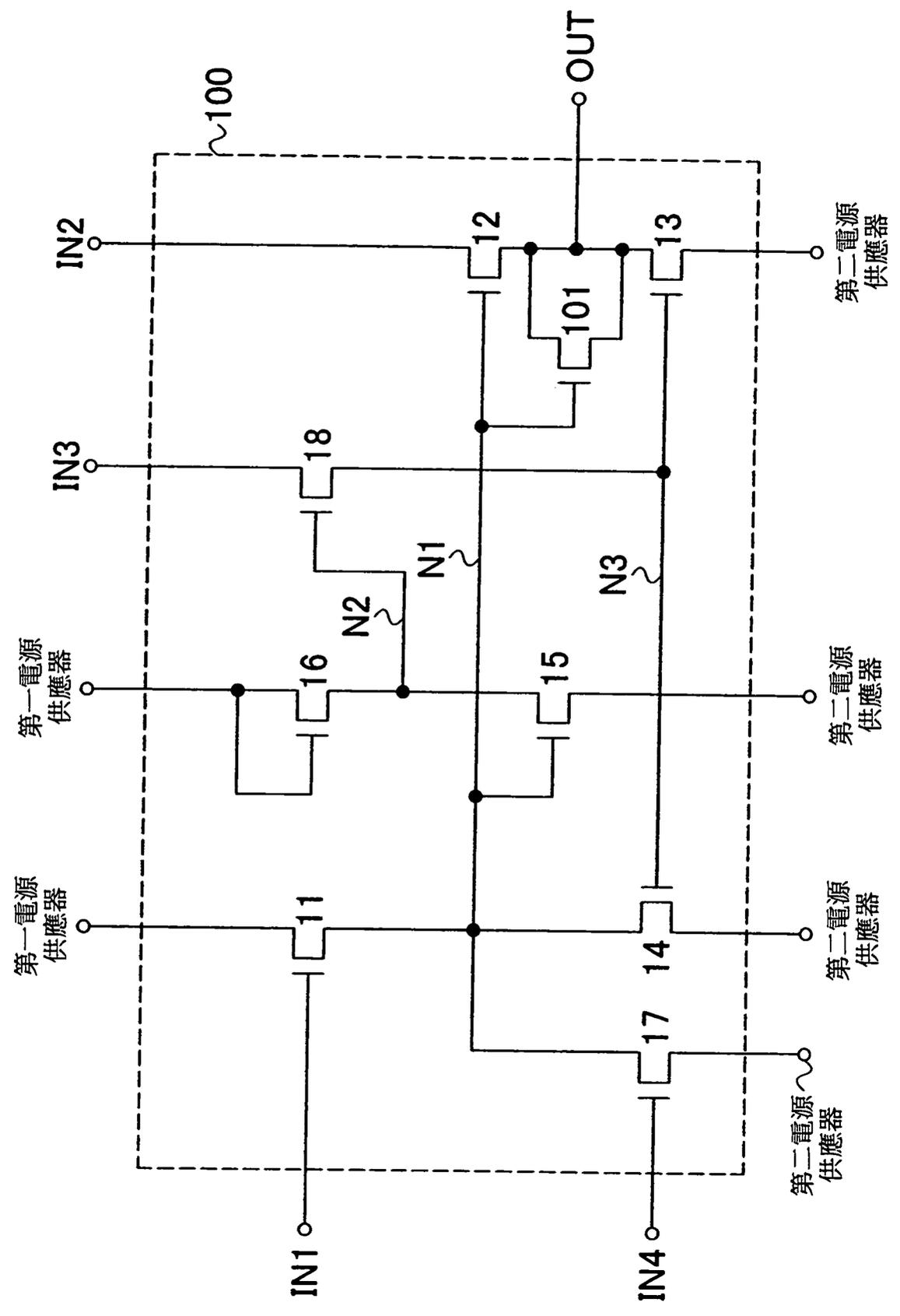
第8圖



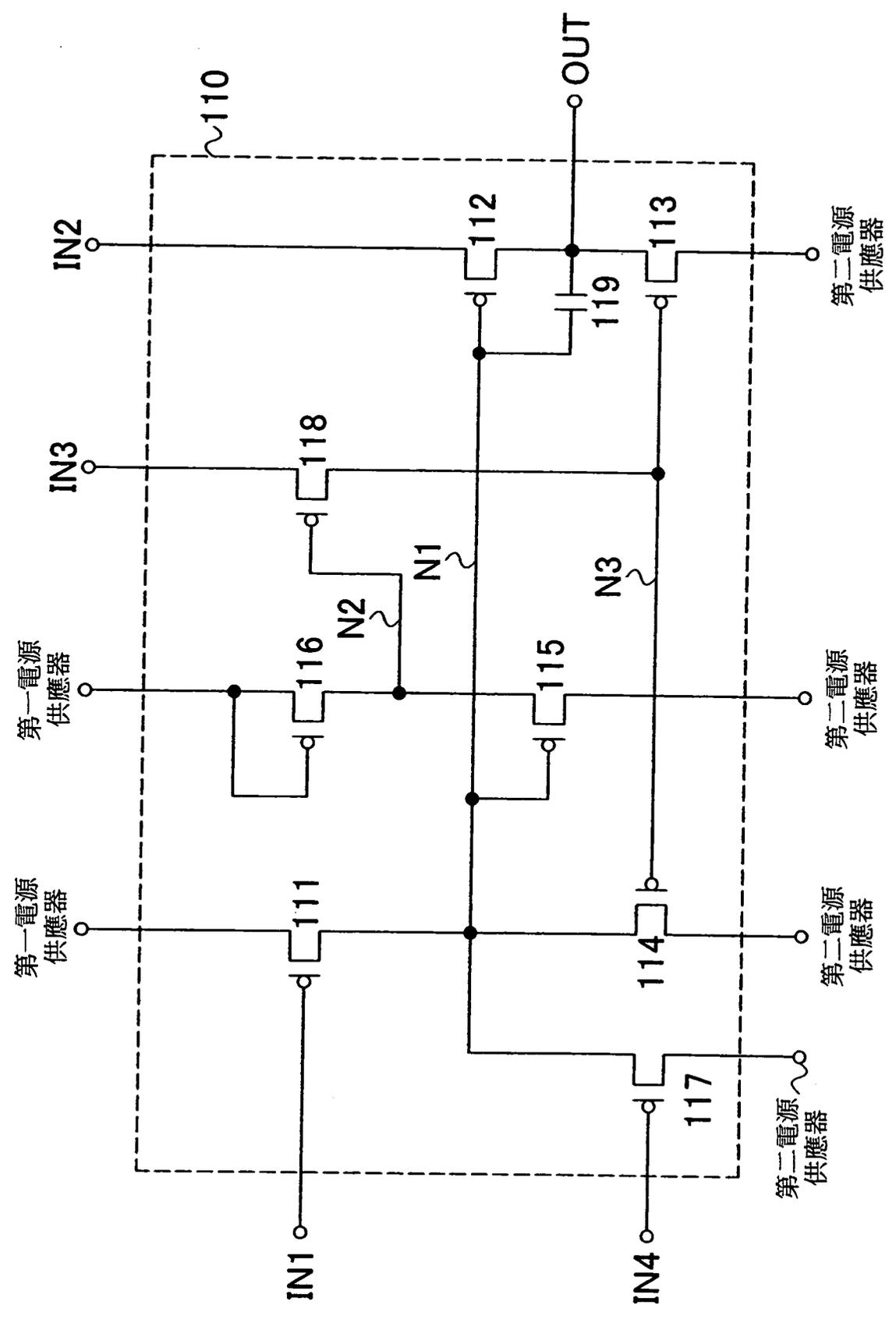
第9圖



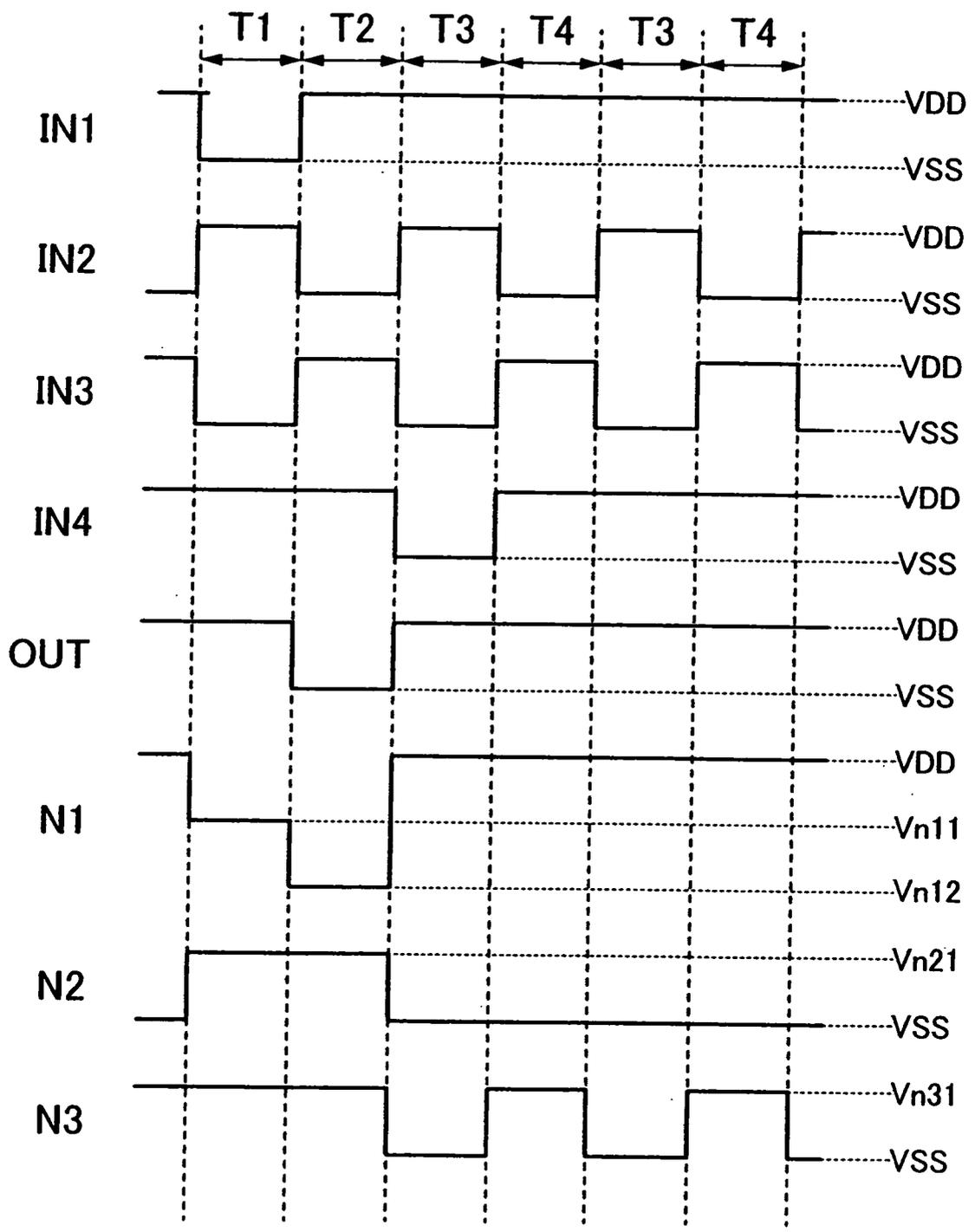
第10圖



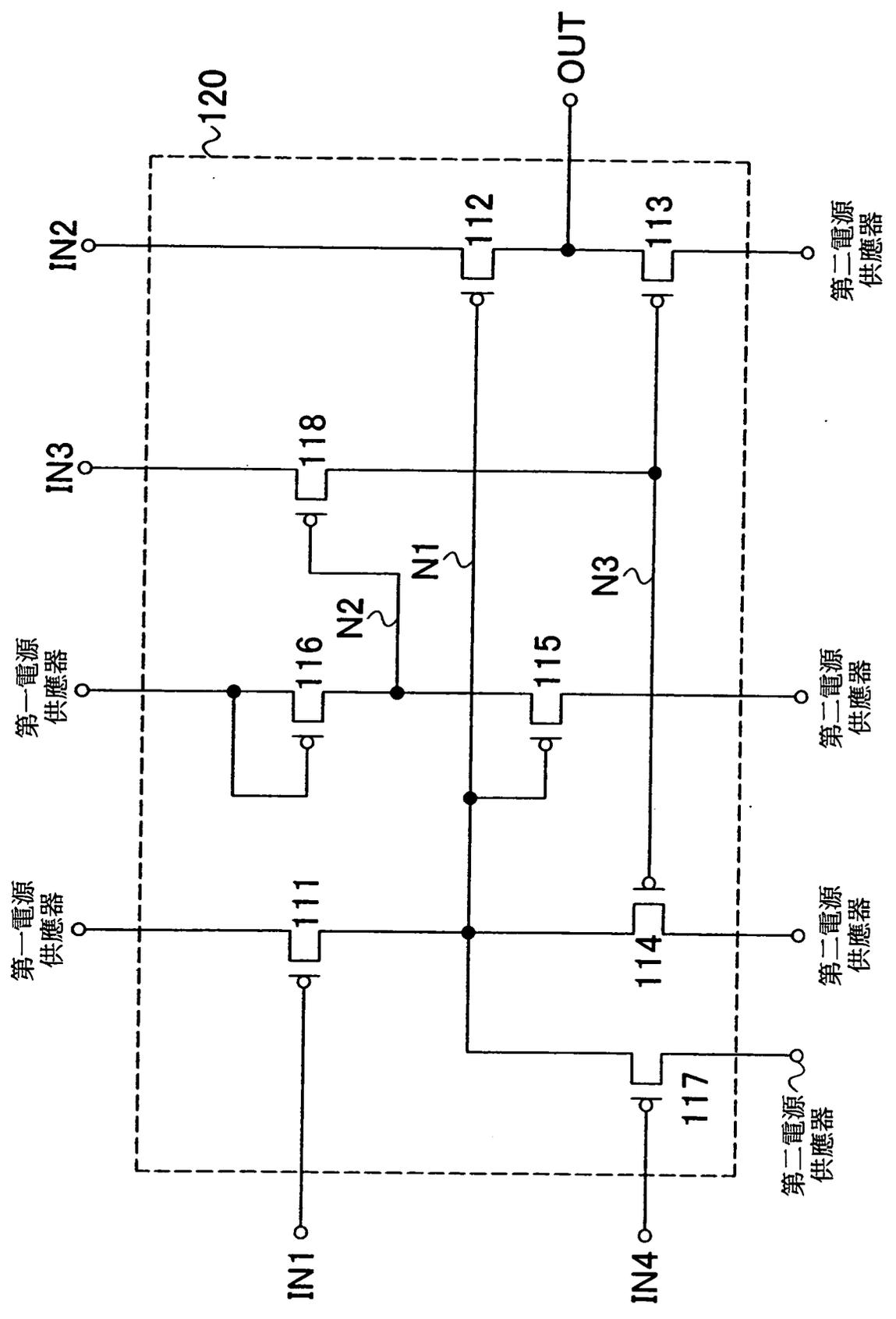
第11圖



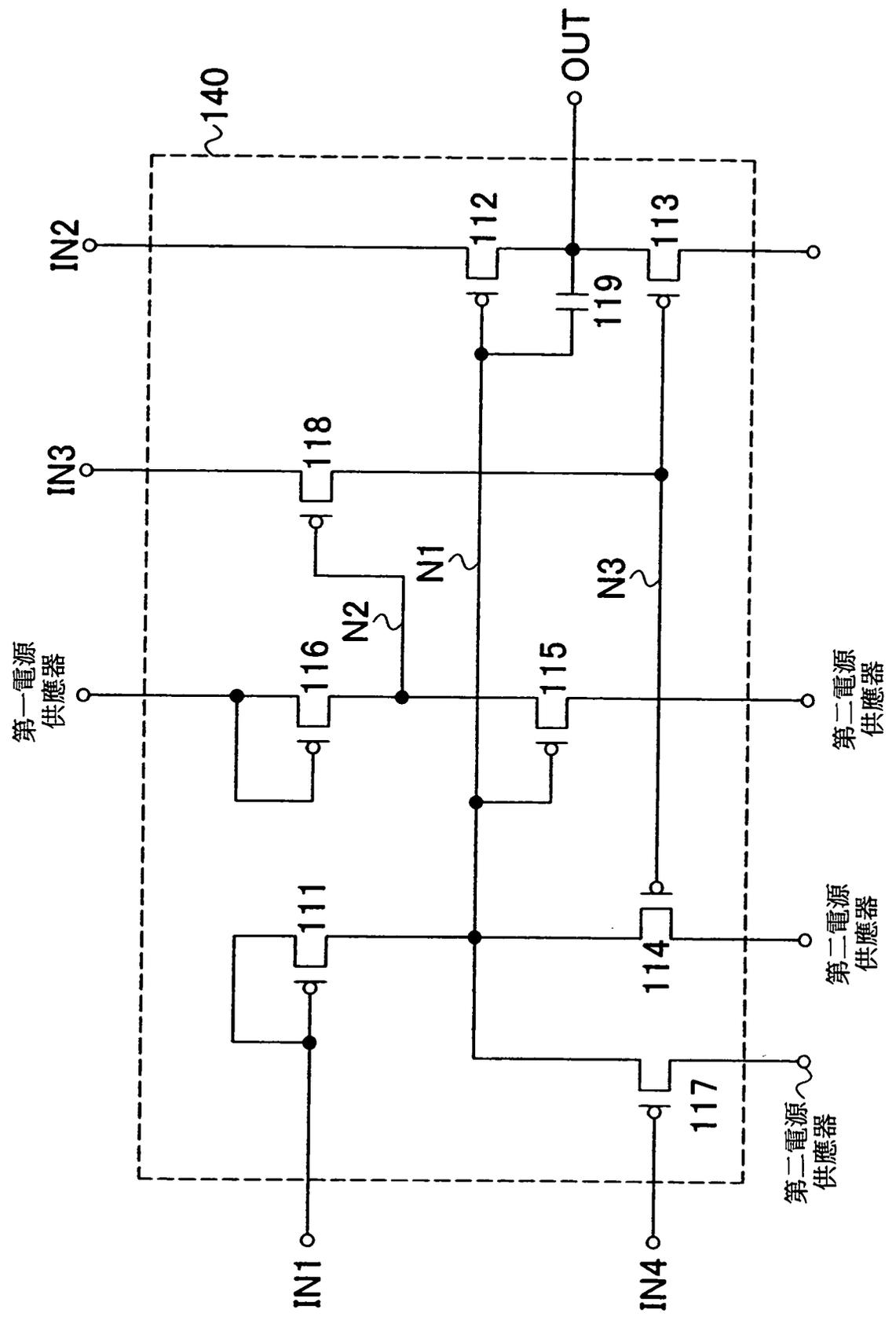
第12圖



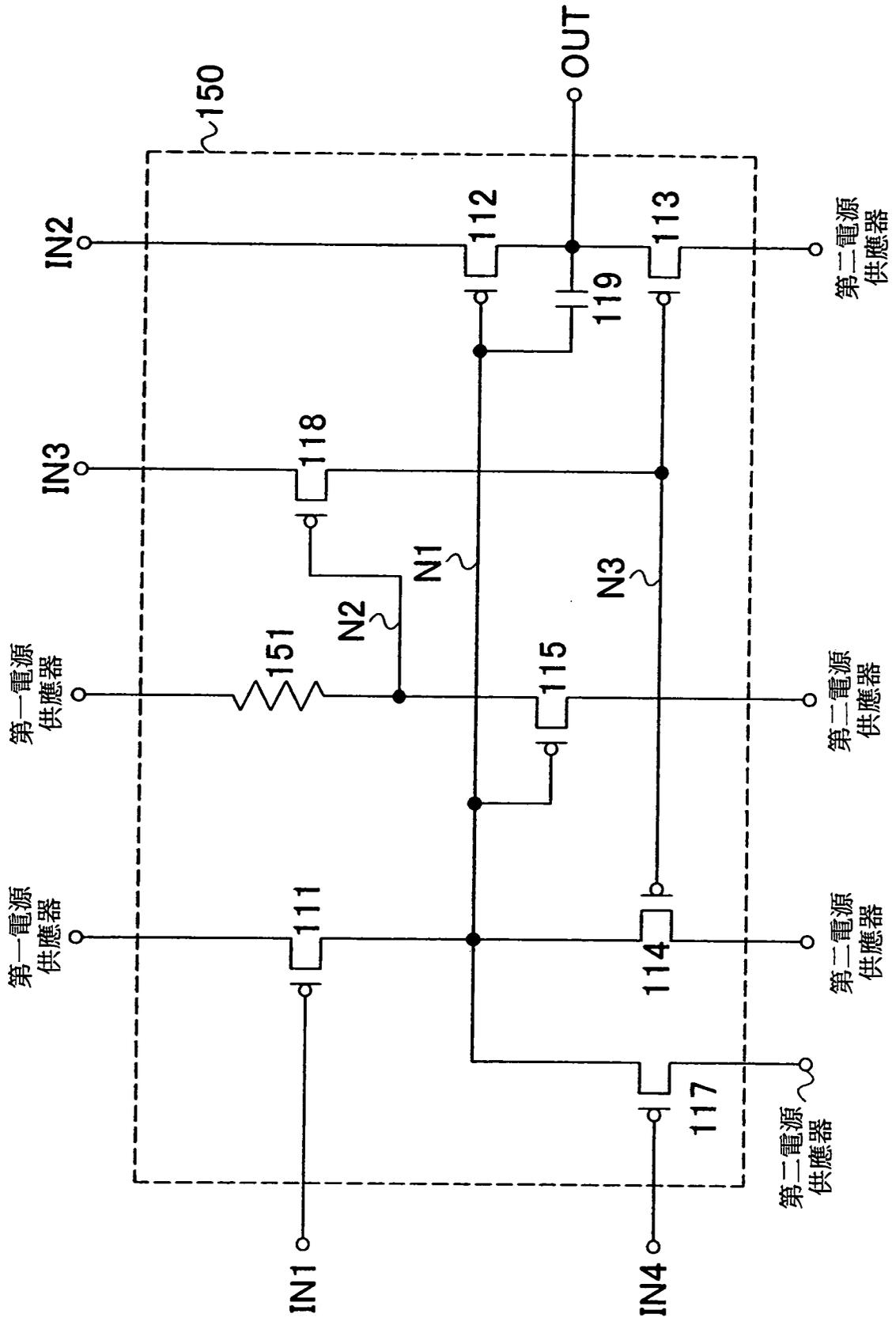
第13圖



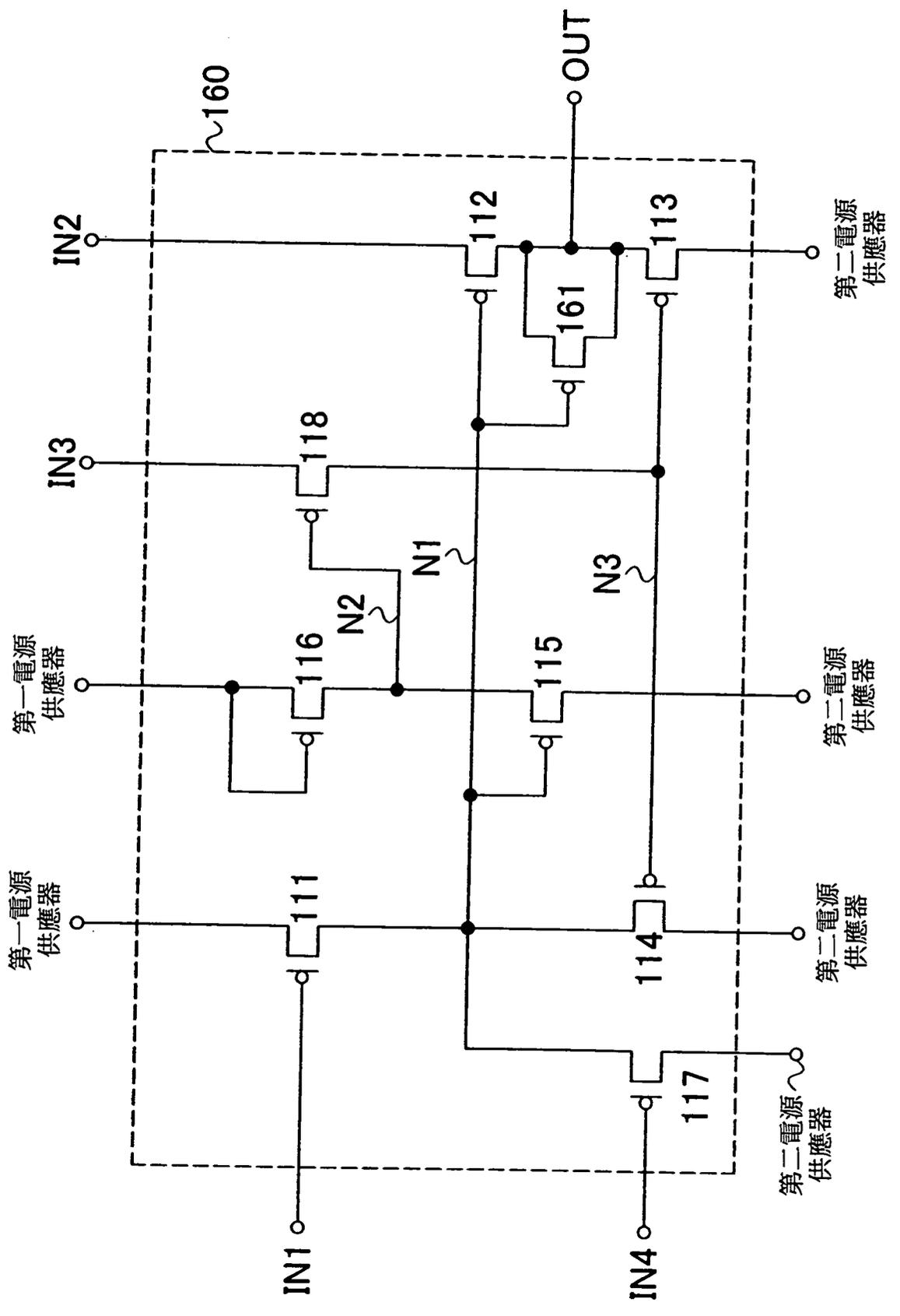
第14圖



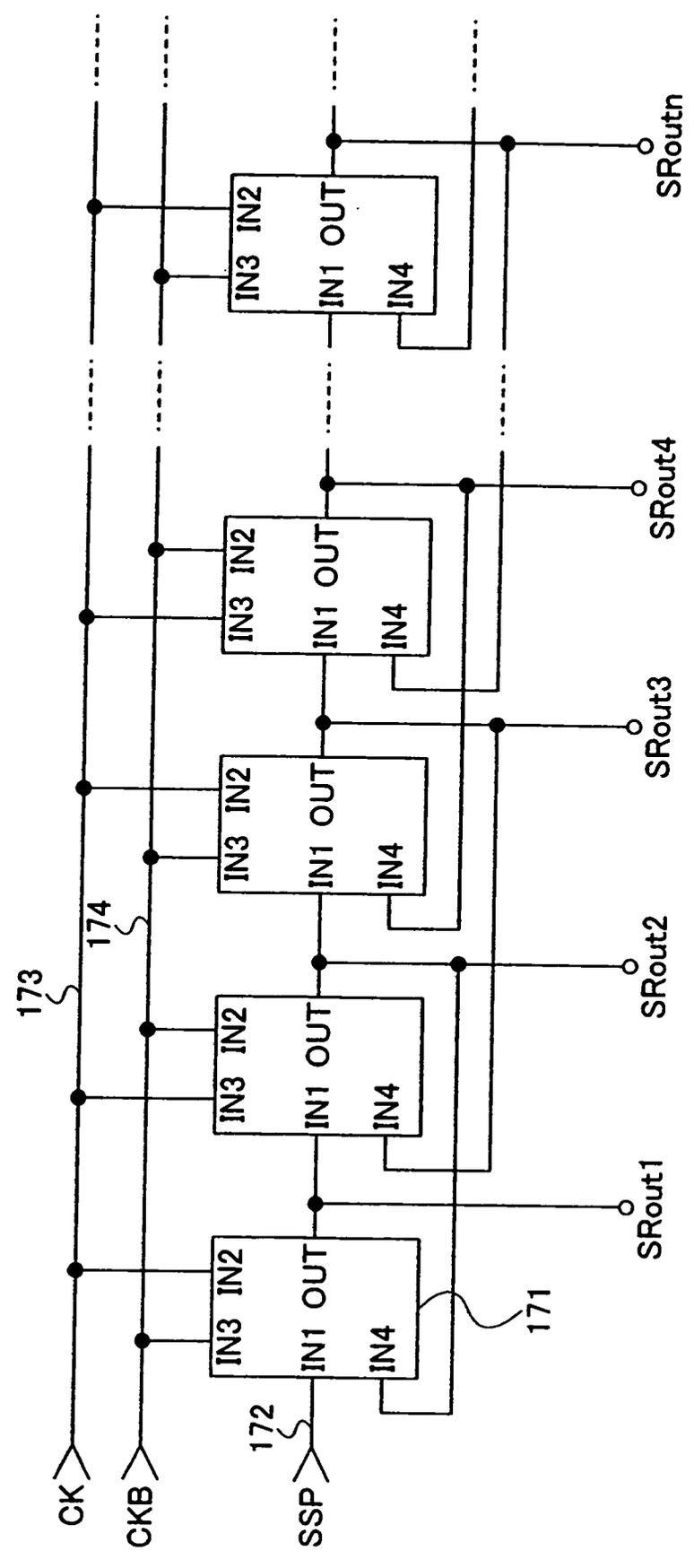
第15圖



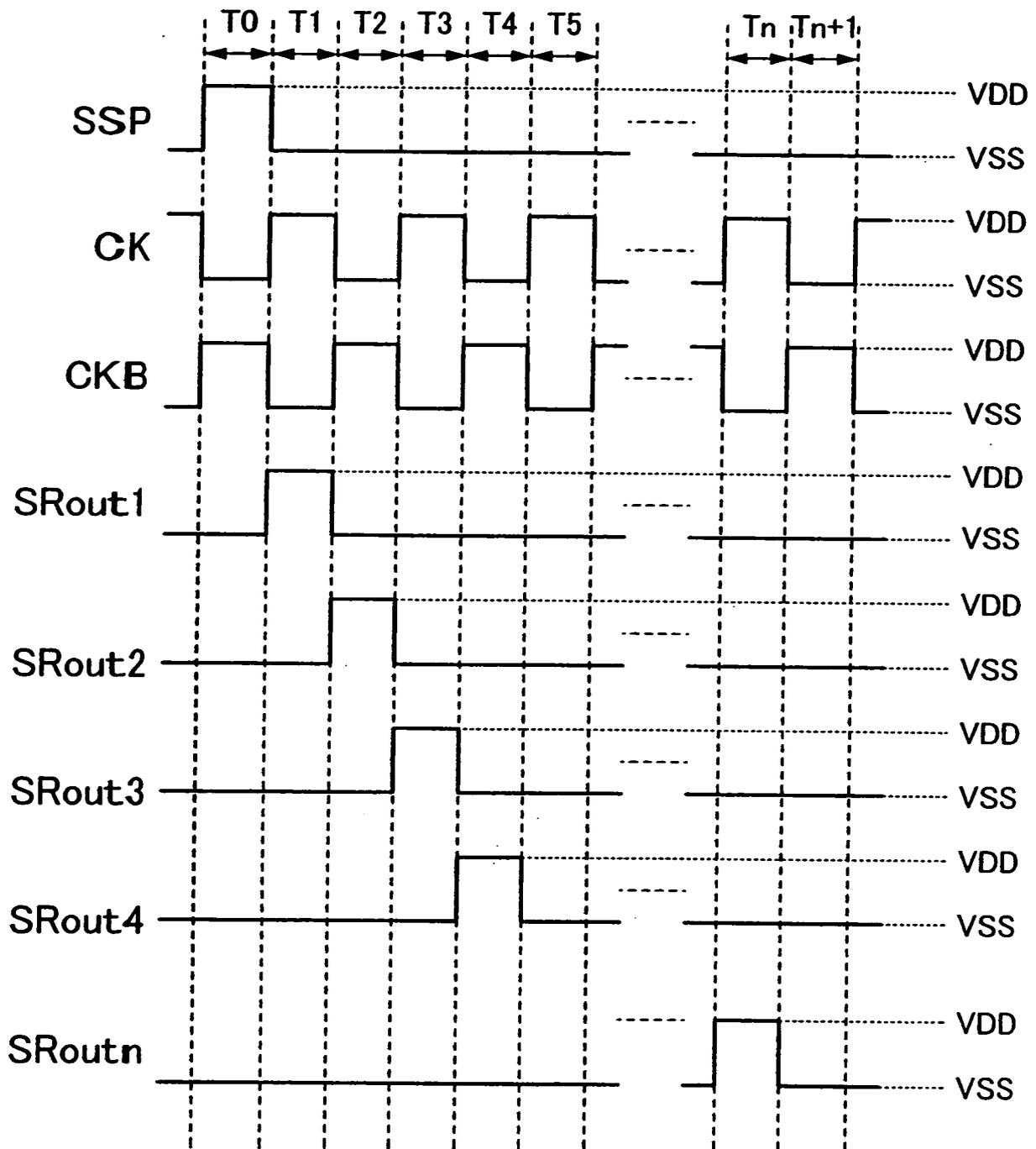
第16圖



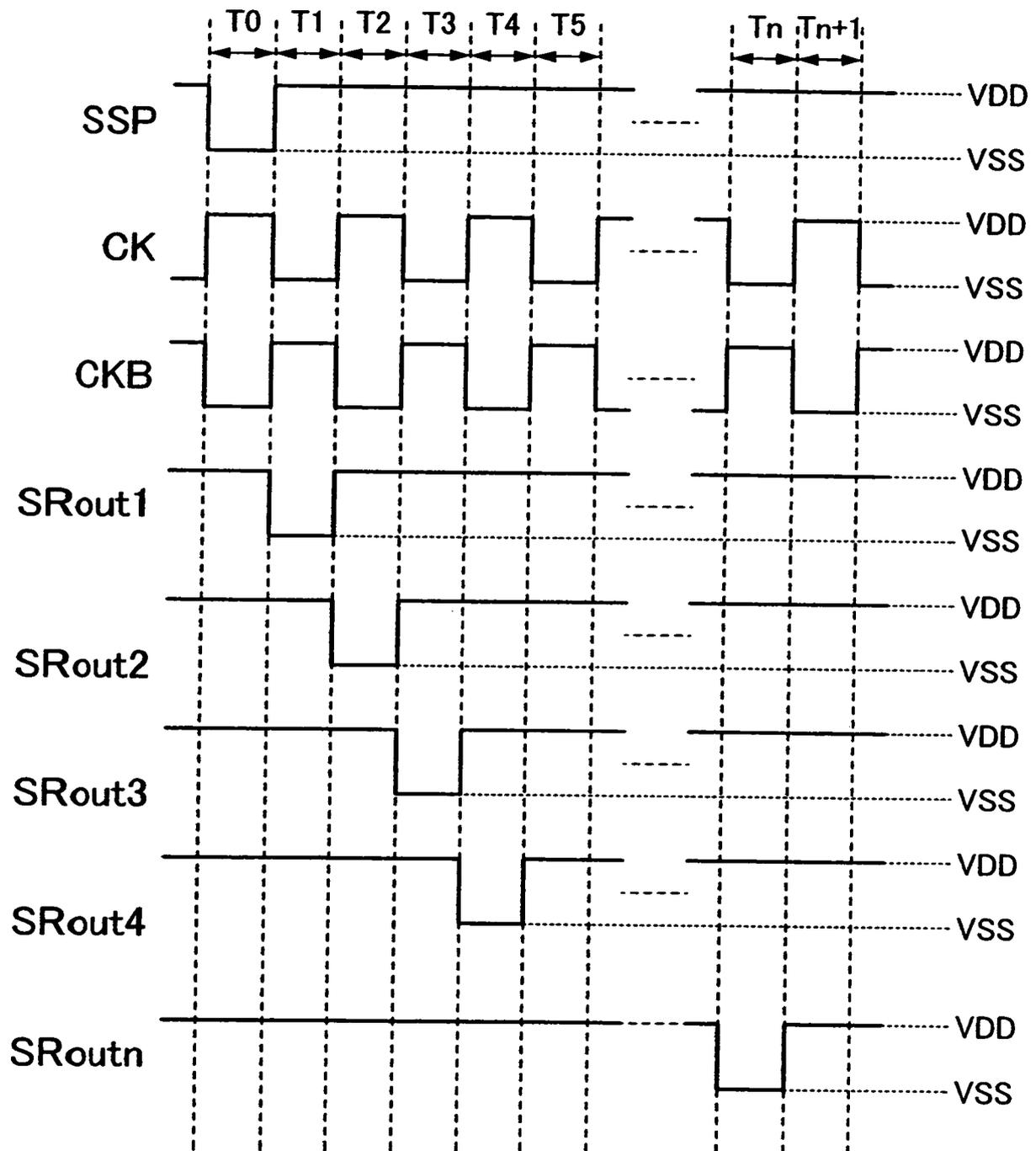
第17圖



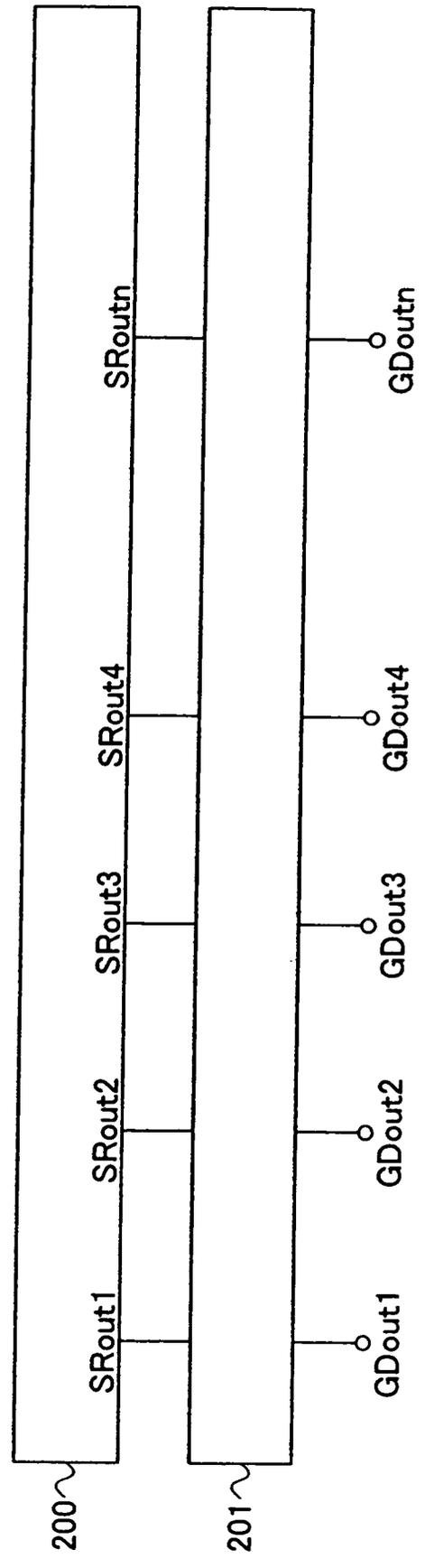
第18圖



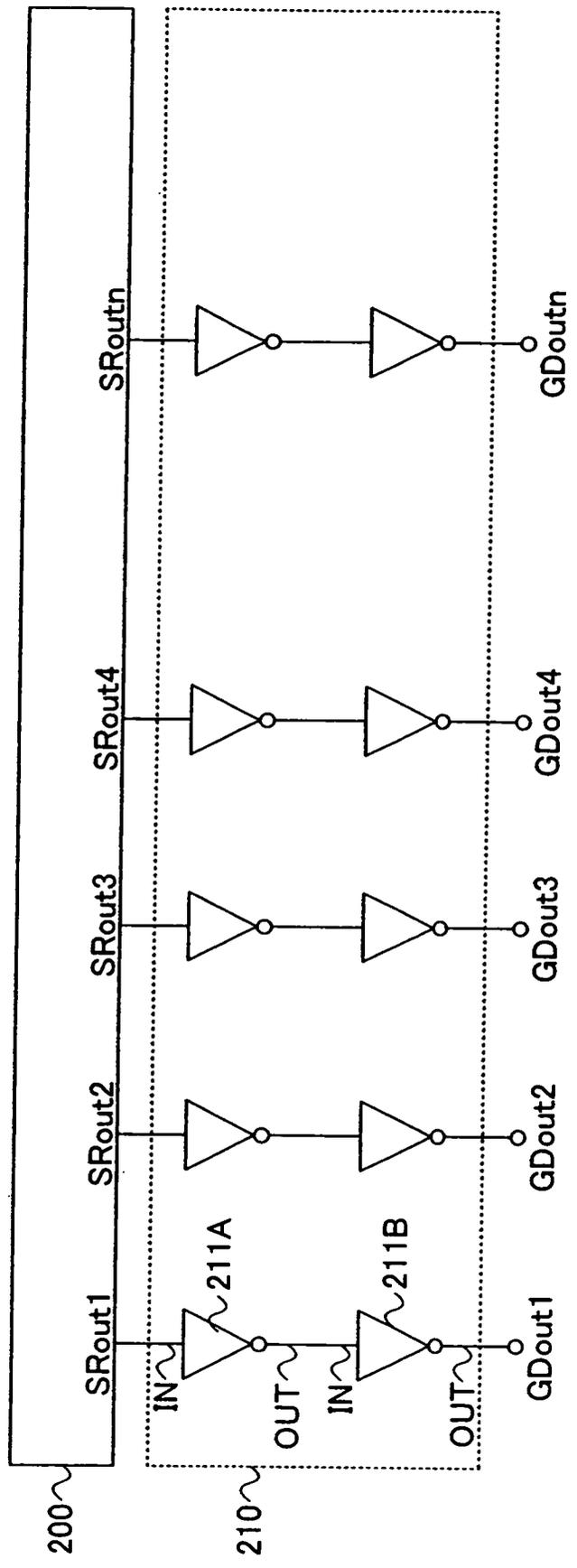
第19圖



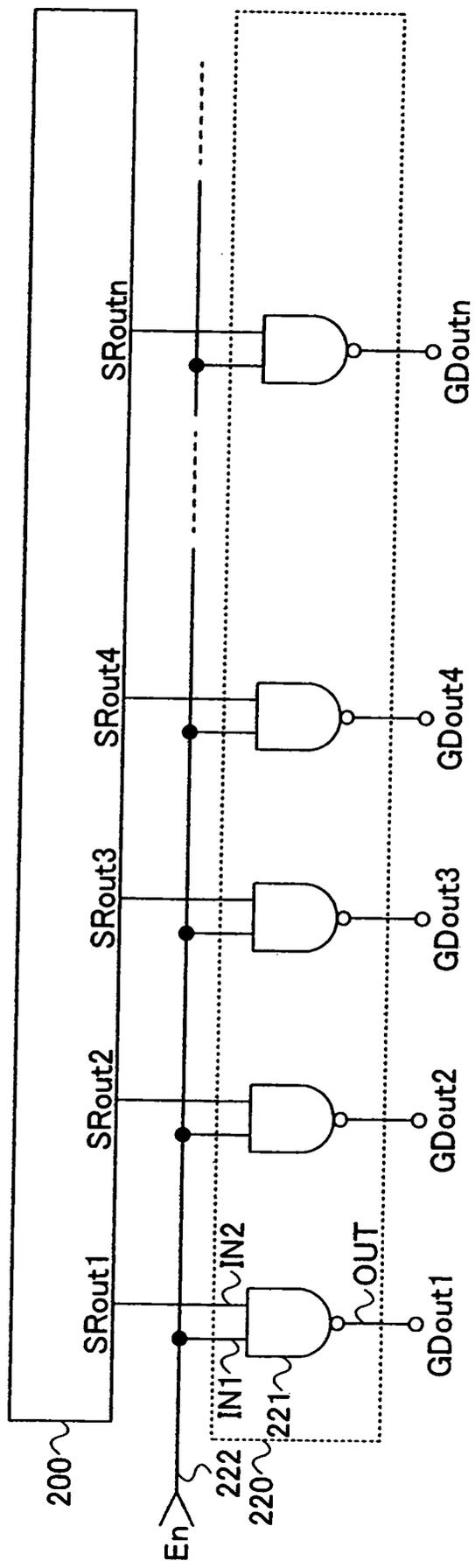
第20圖



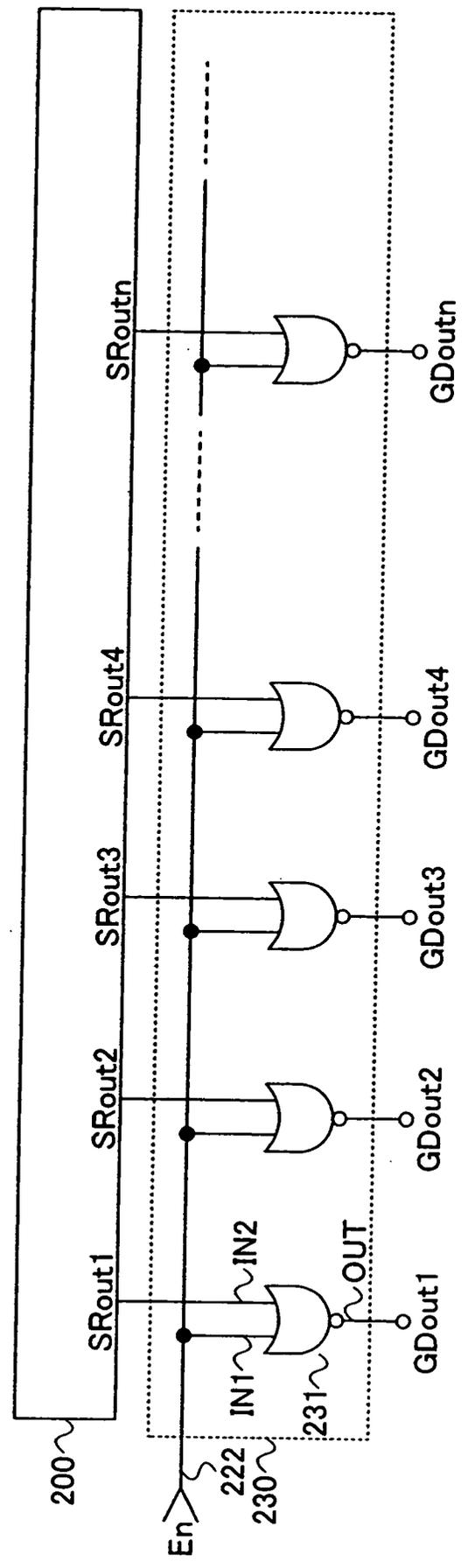
第21圖



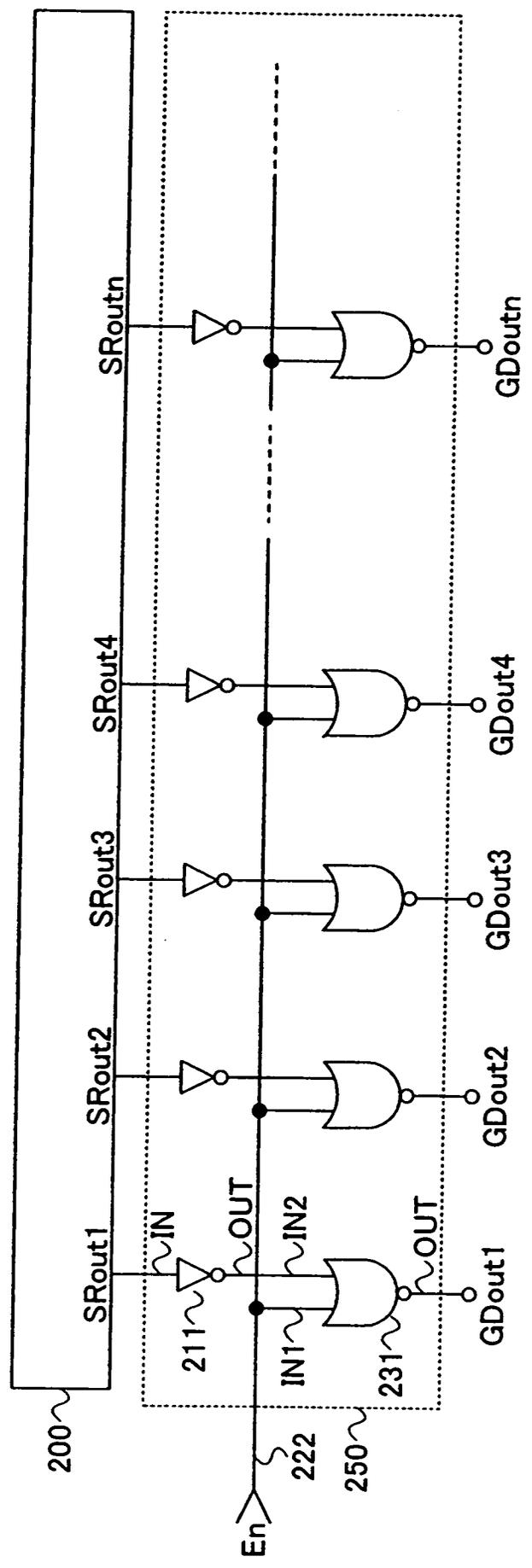
第22圖



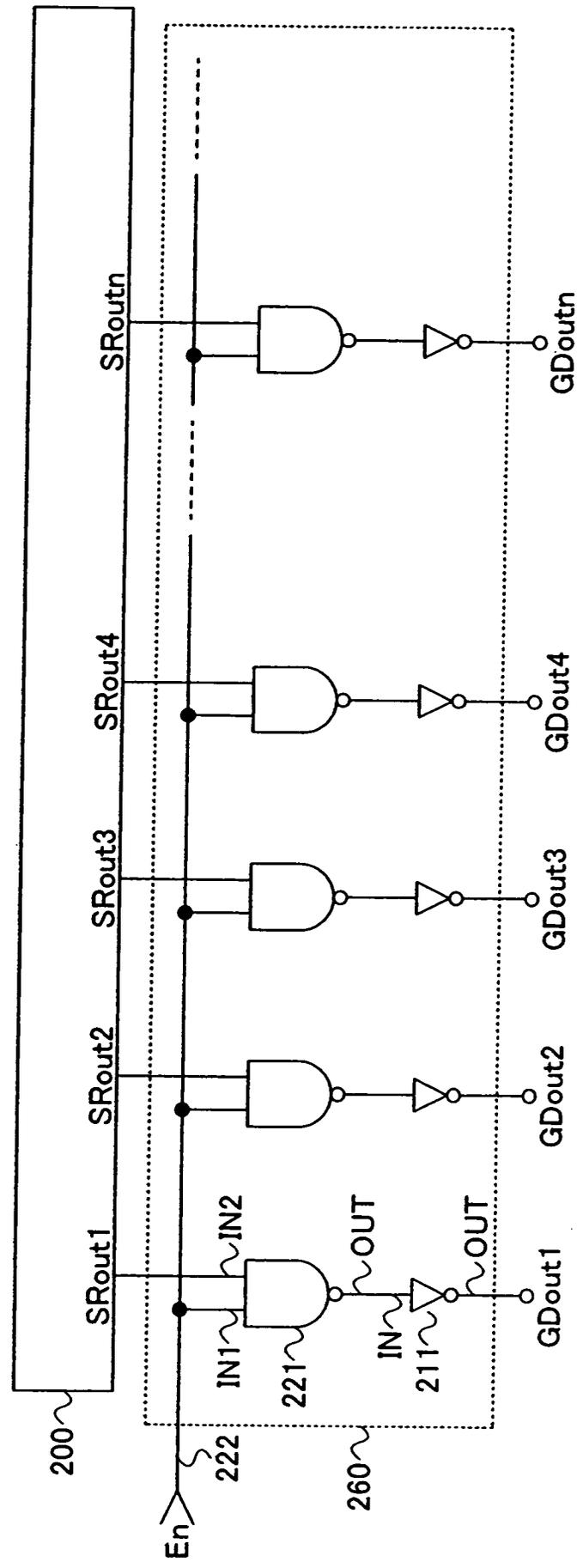
第23圖



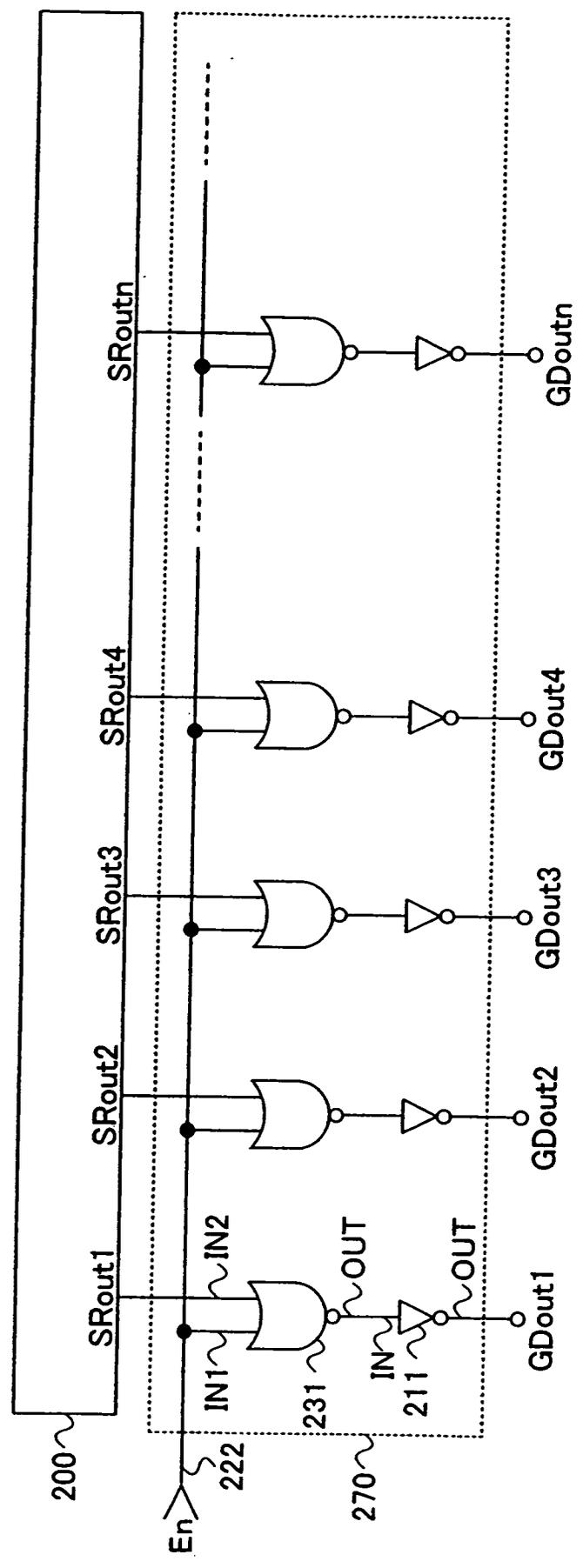
第25圖



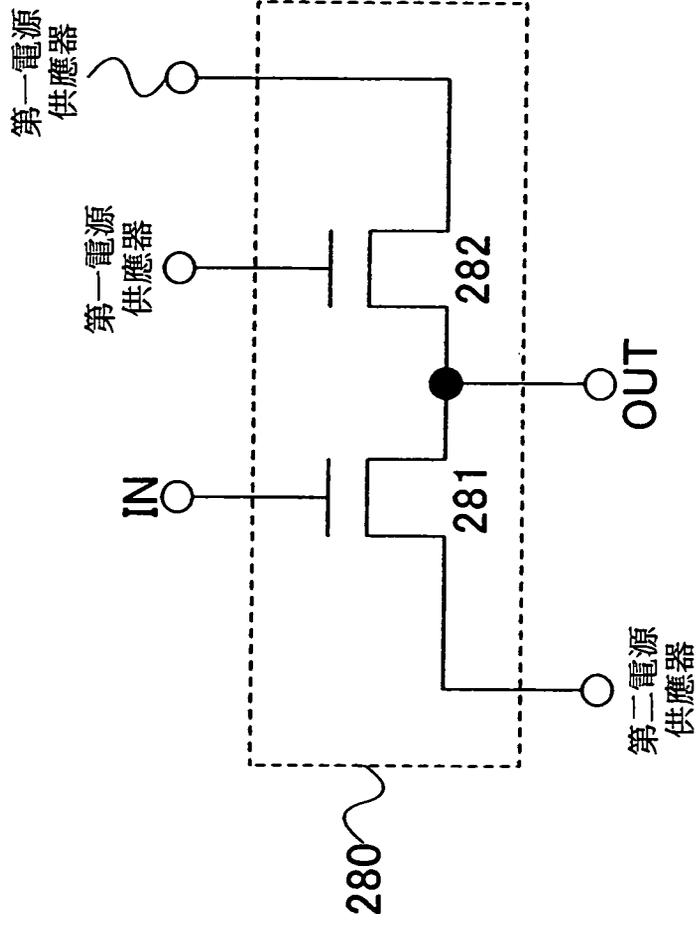
第26圖



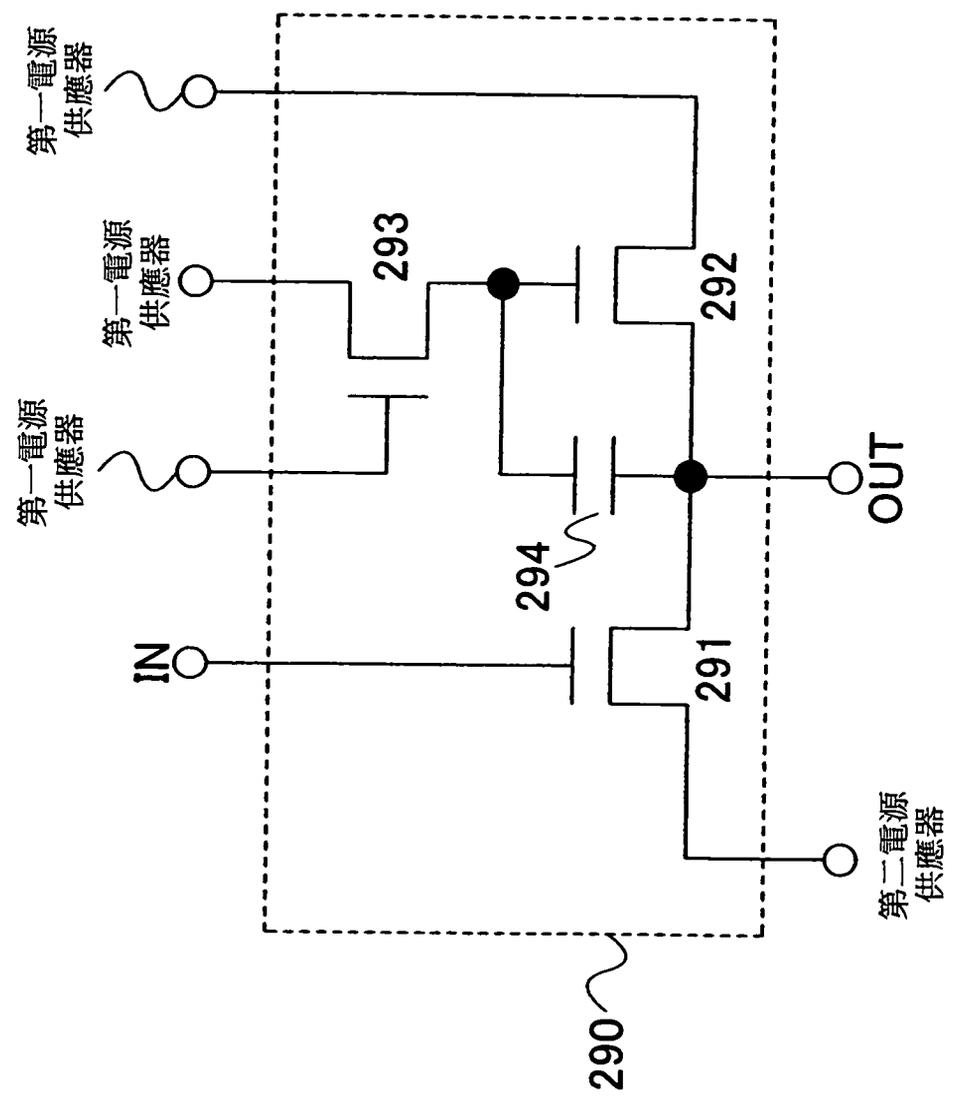
第27圖



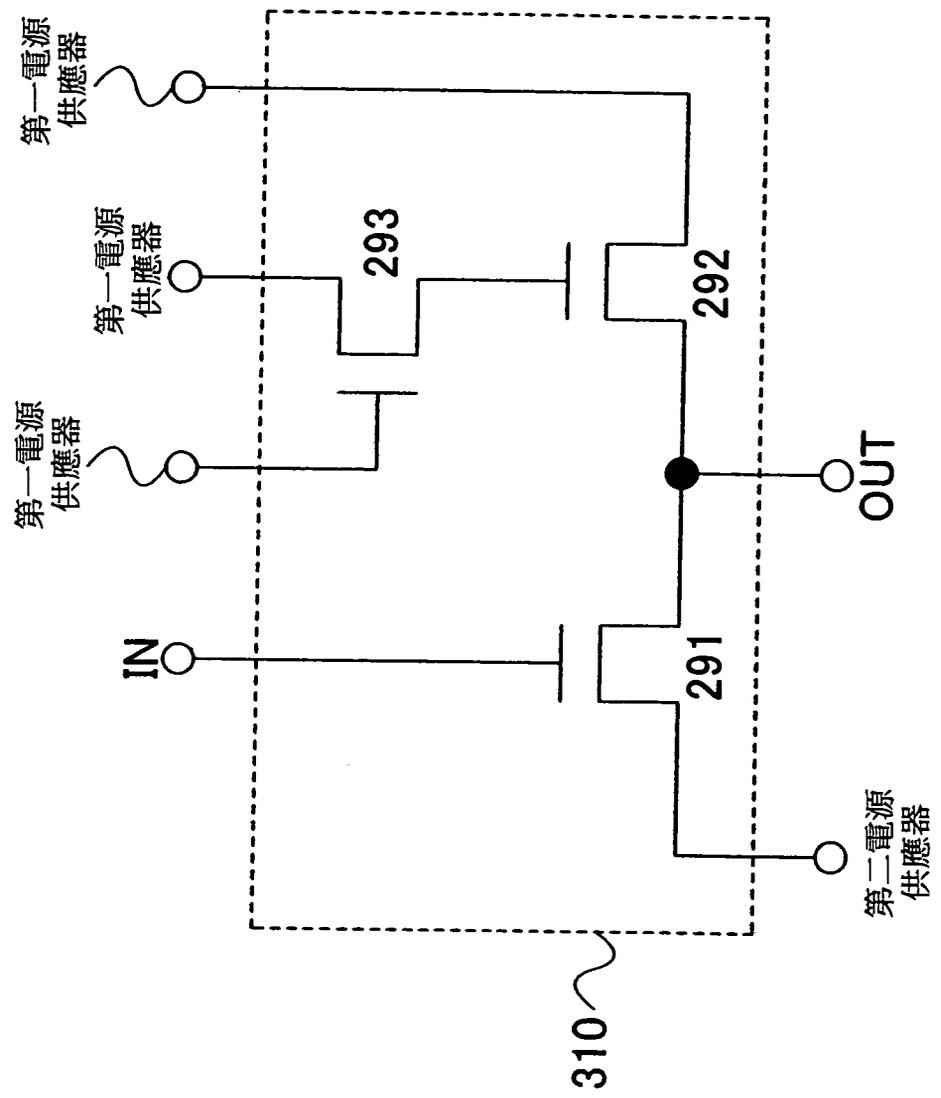
第28圖



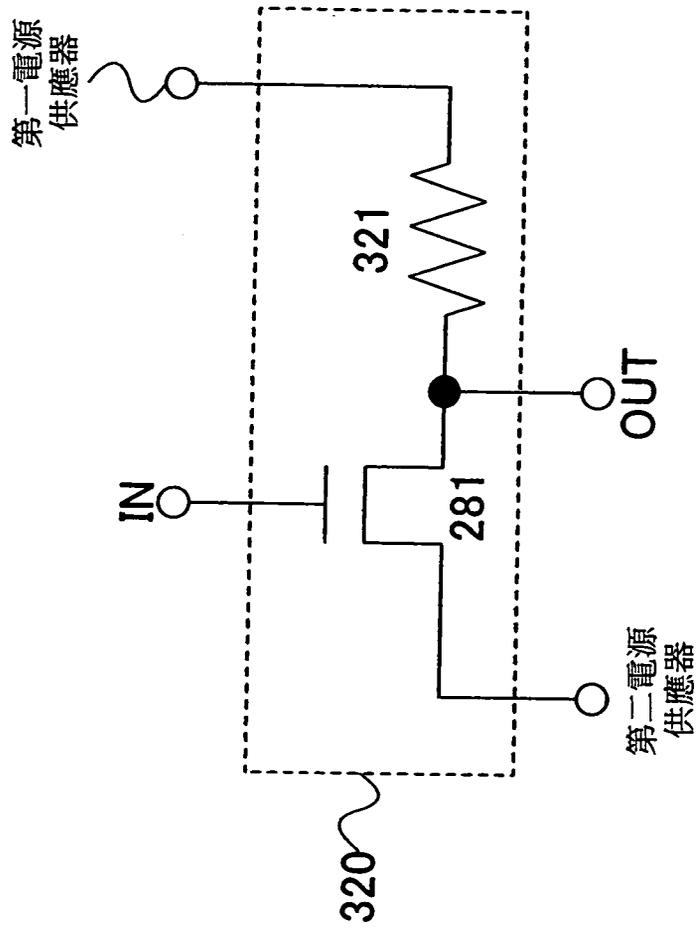
第29圖



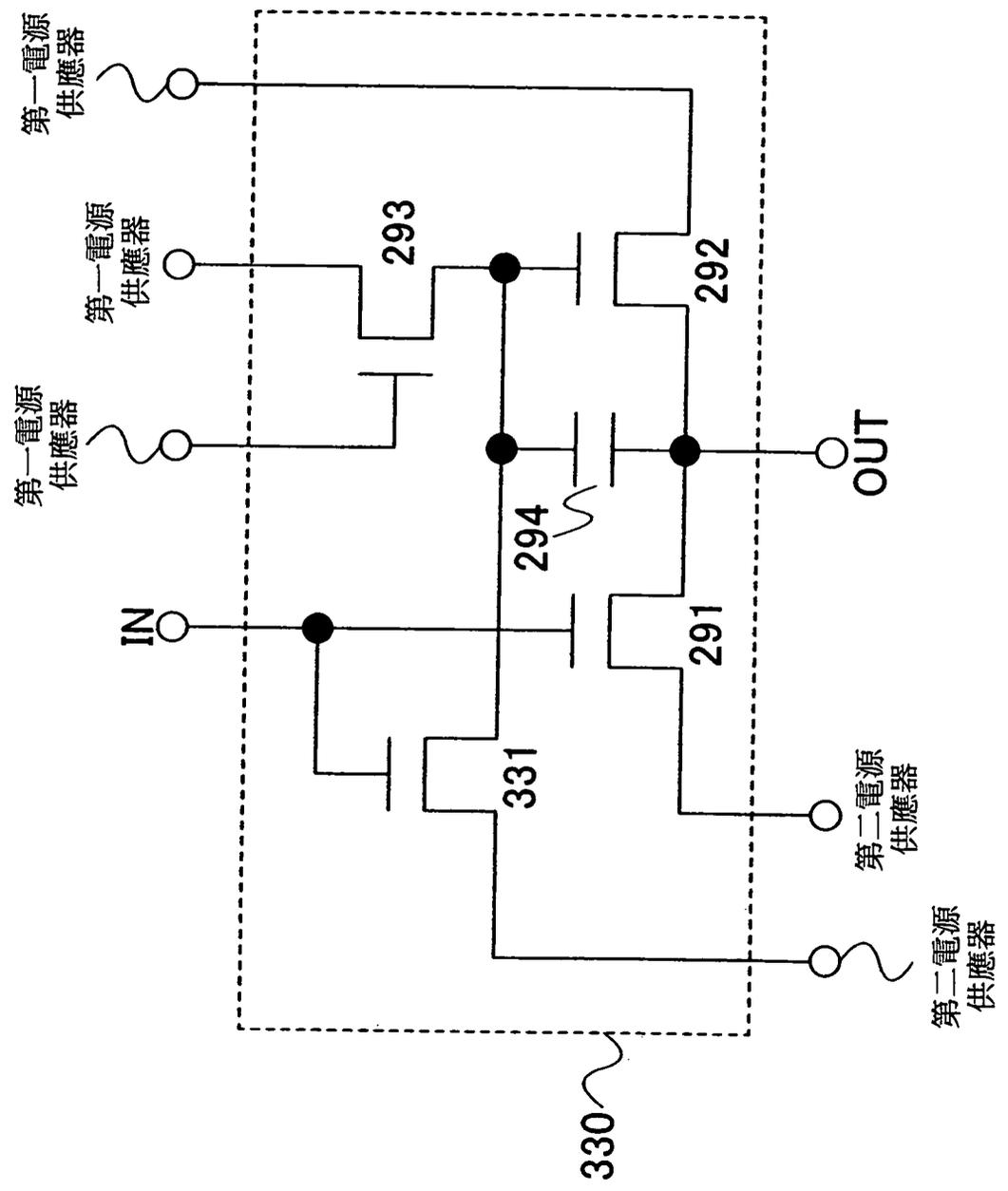
第31圖



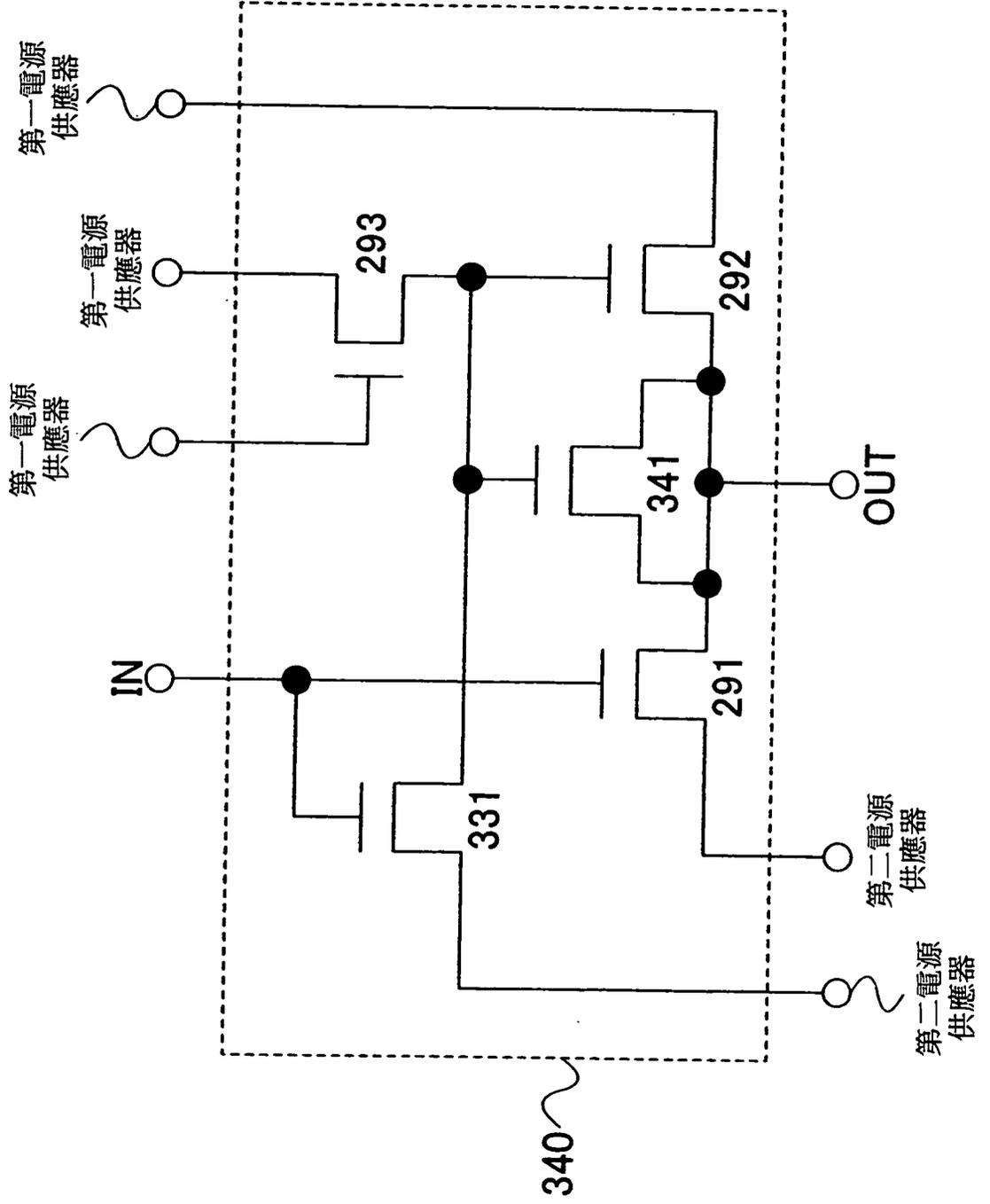
第32圖



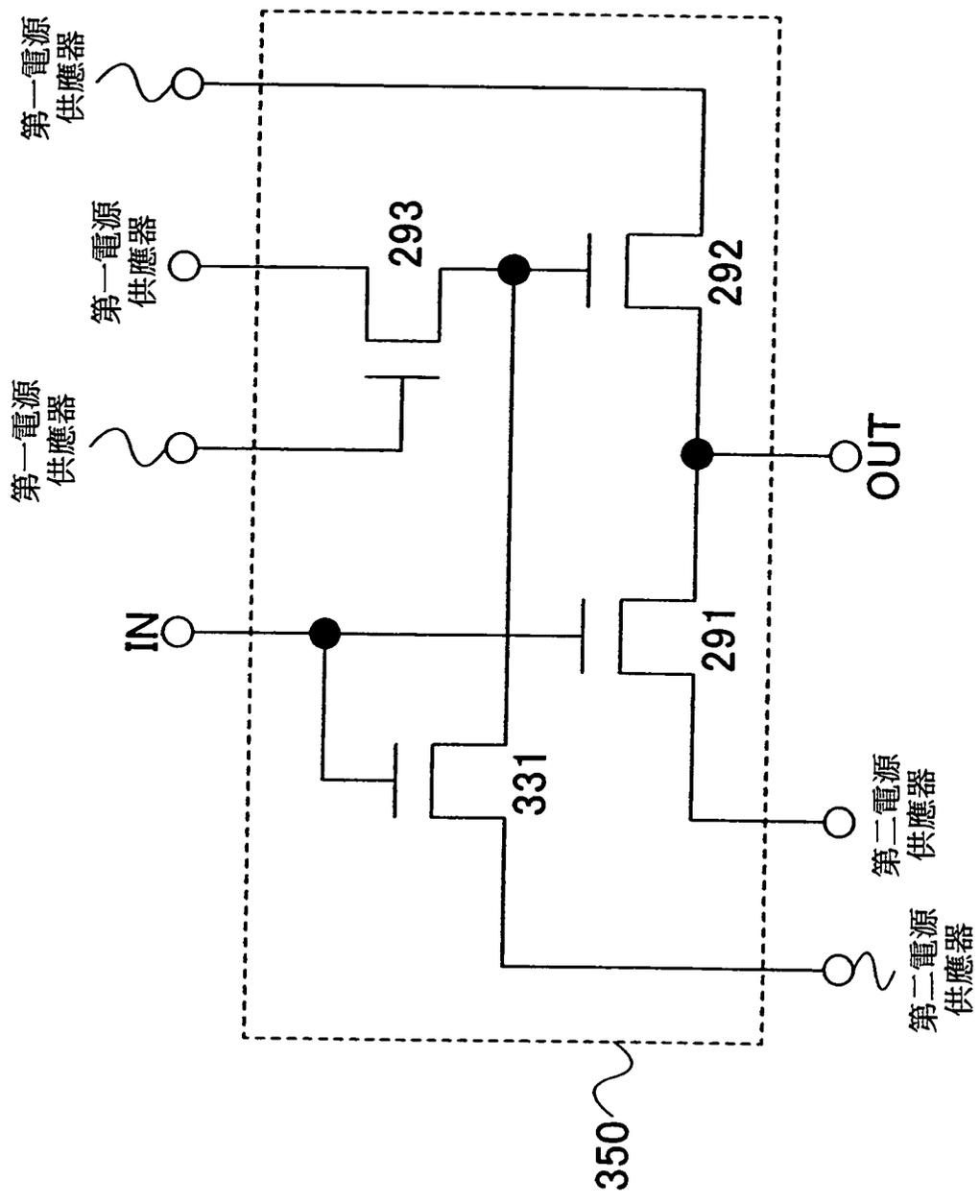
第33圖



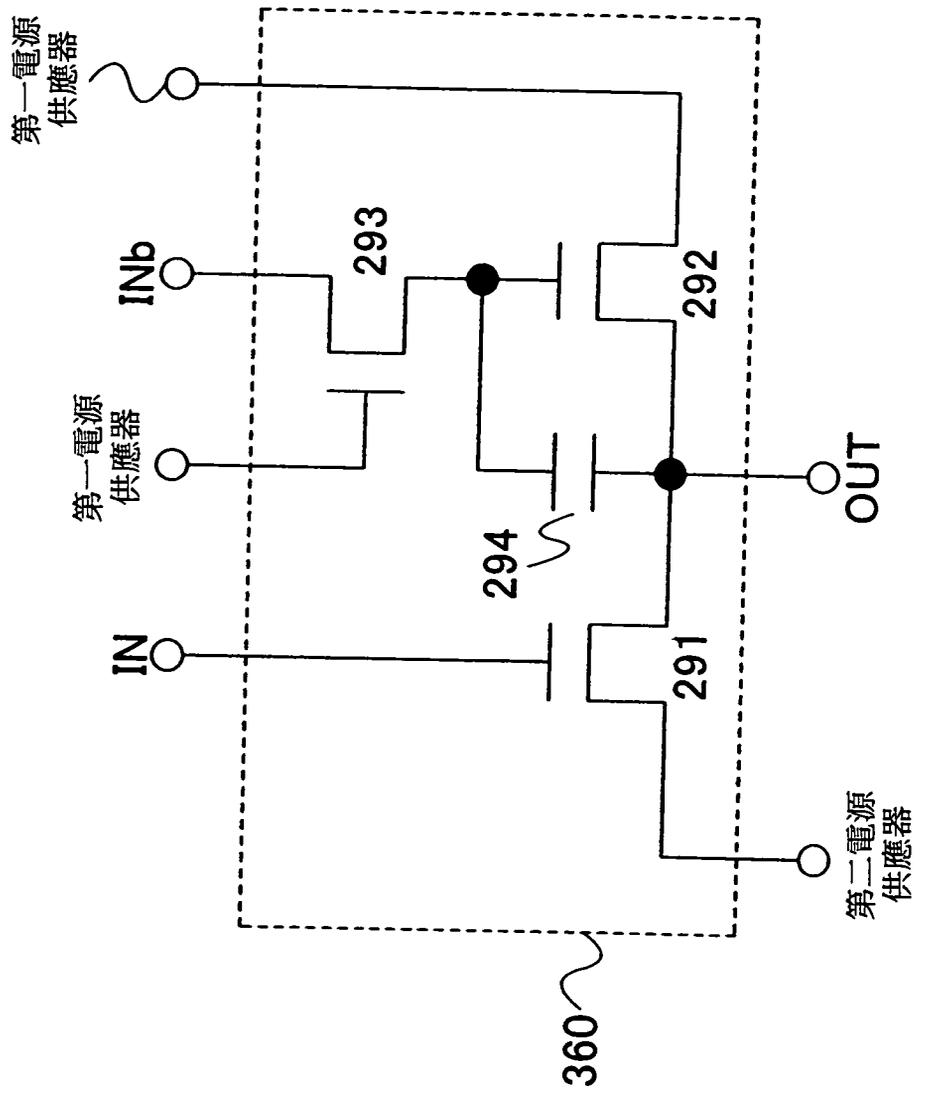
第34圖



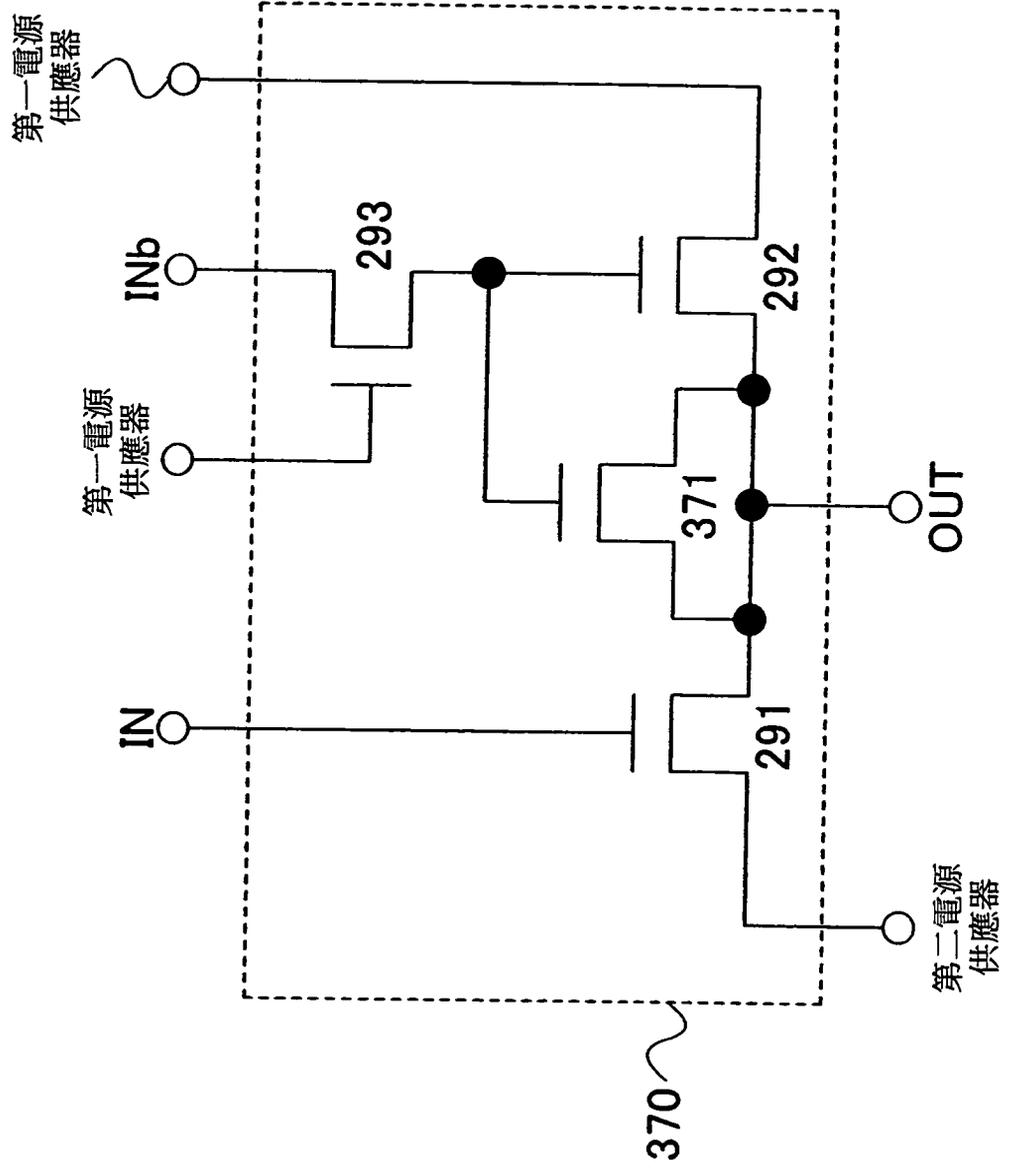
第35圖



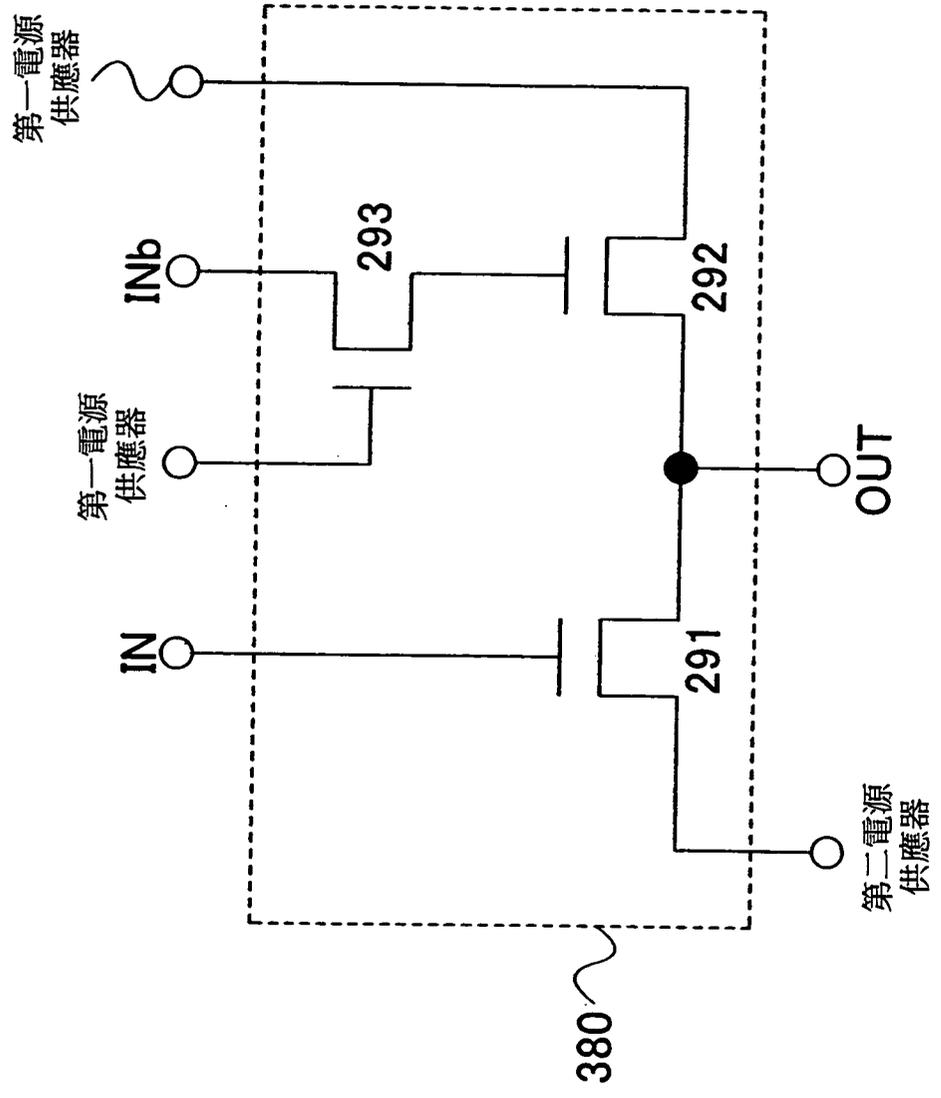
第36圖



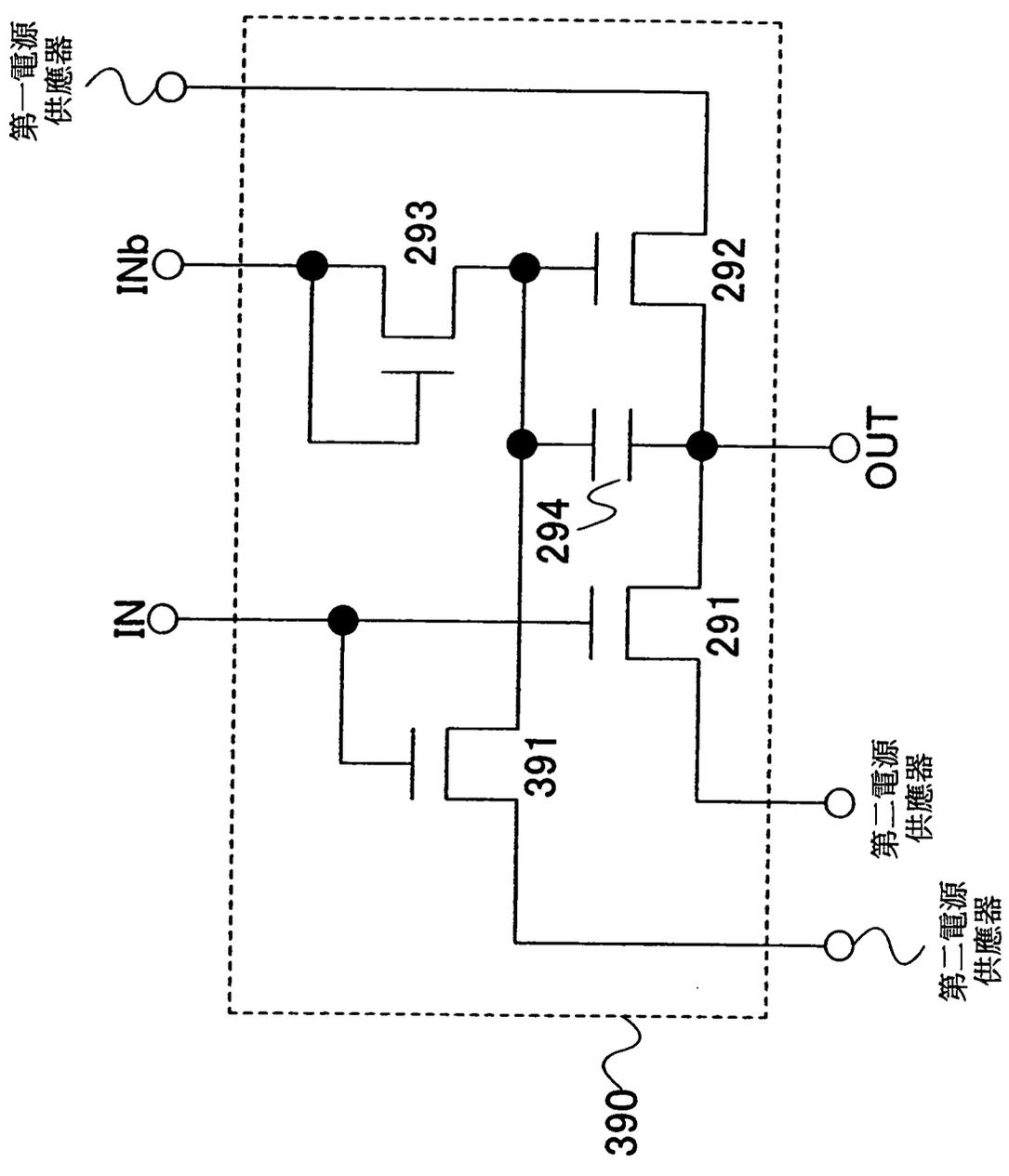
第37圖



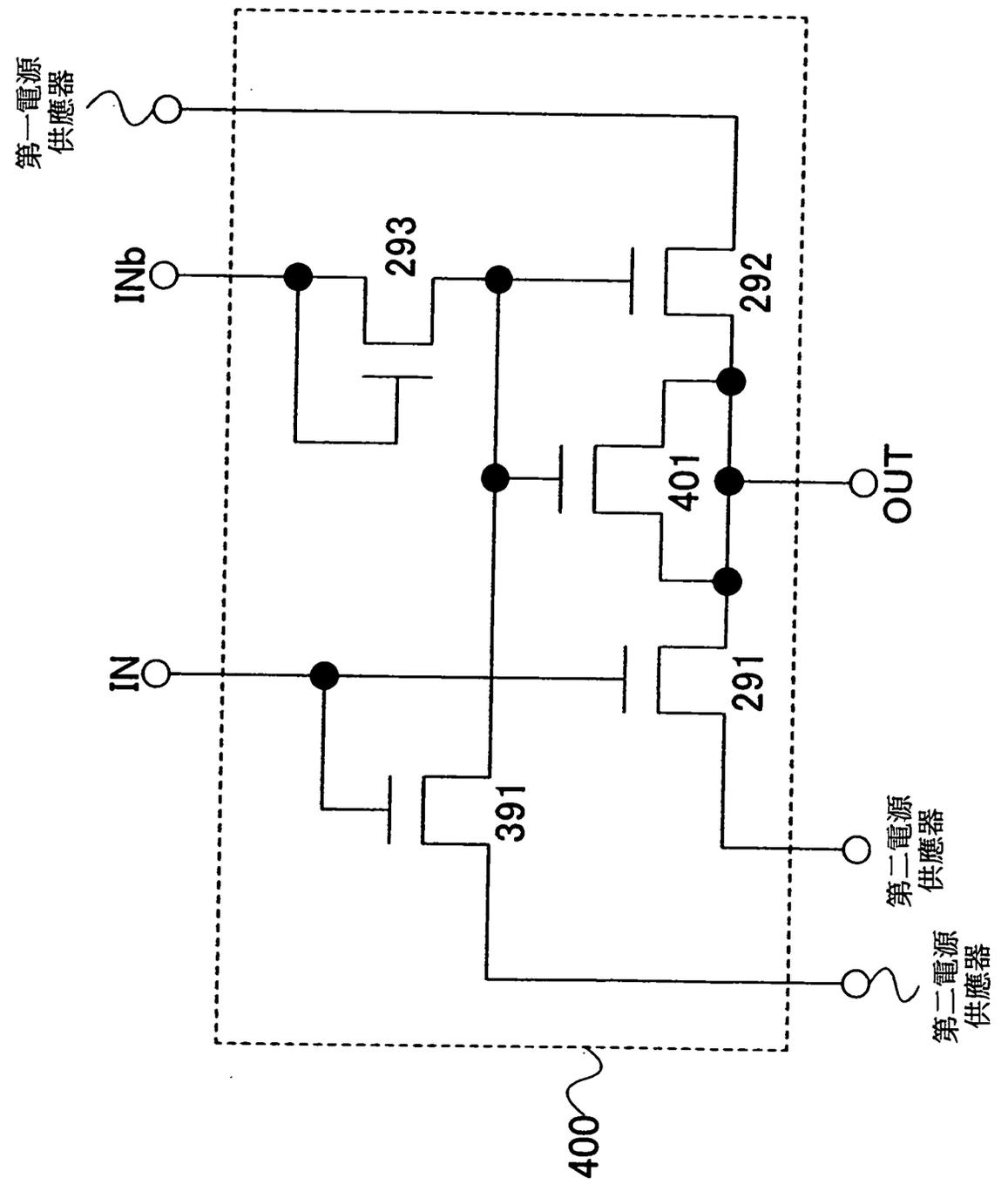
第38圖



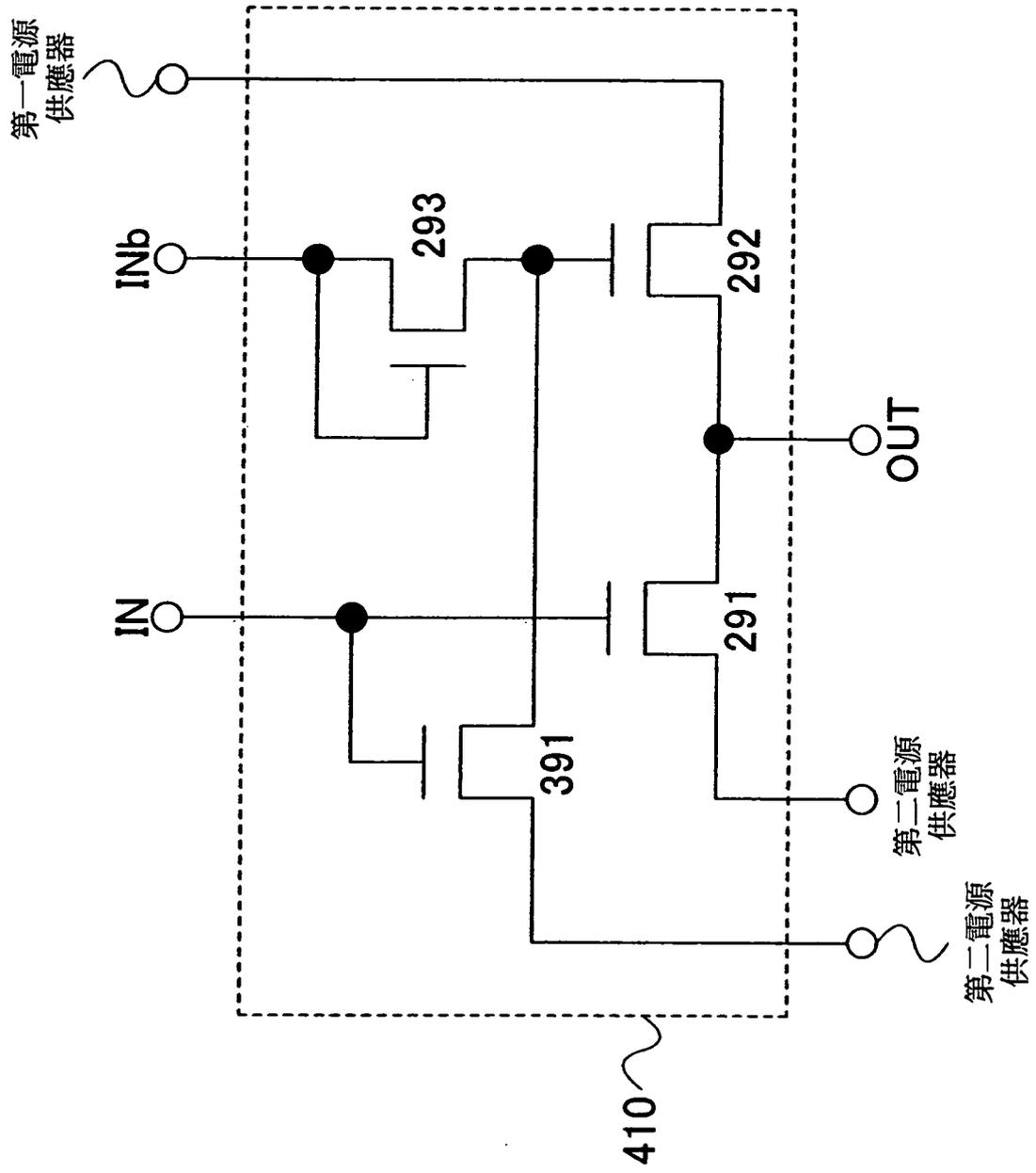
第39圖



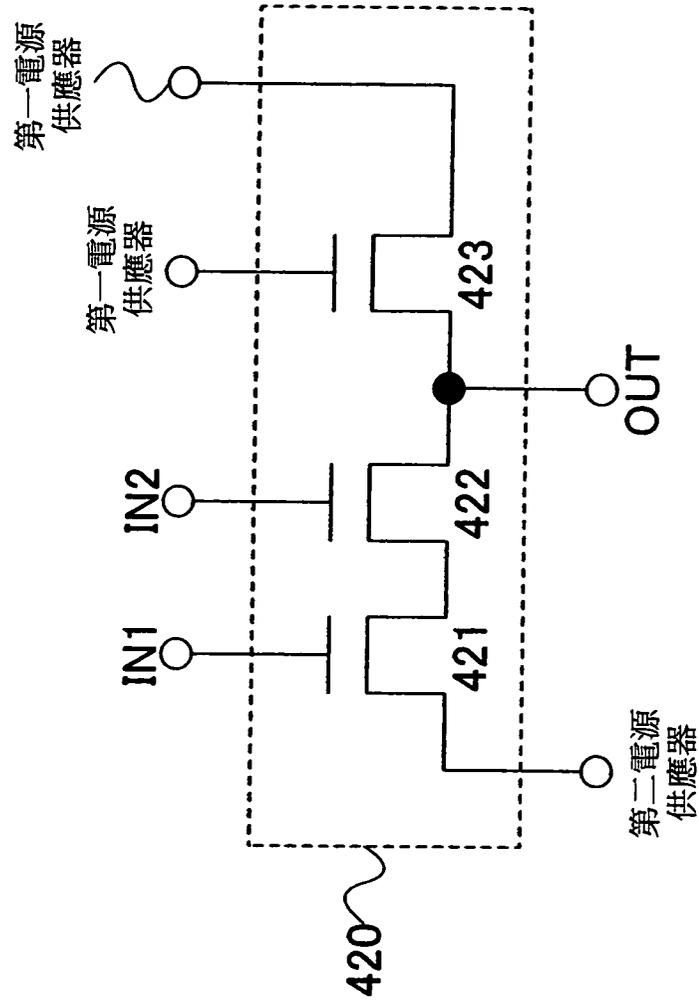
第40圖



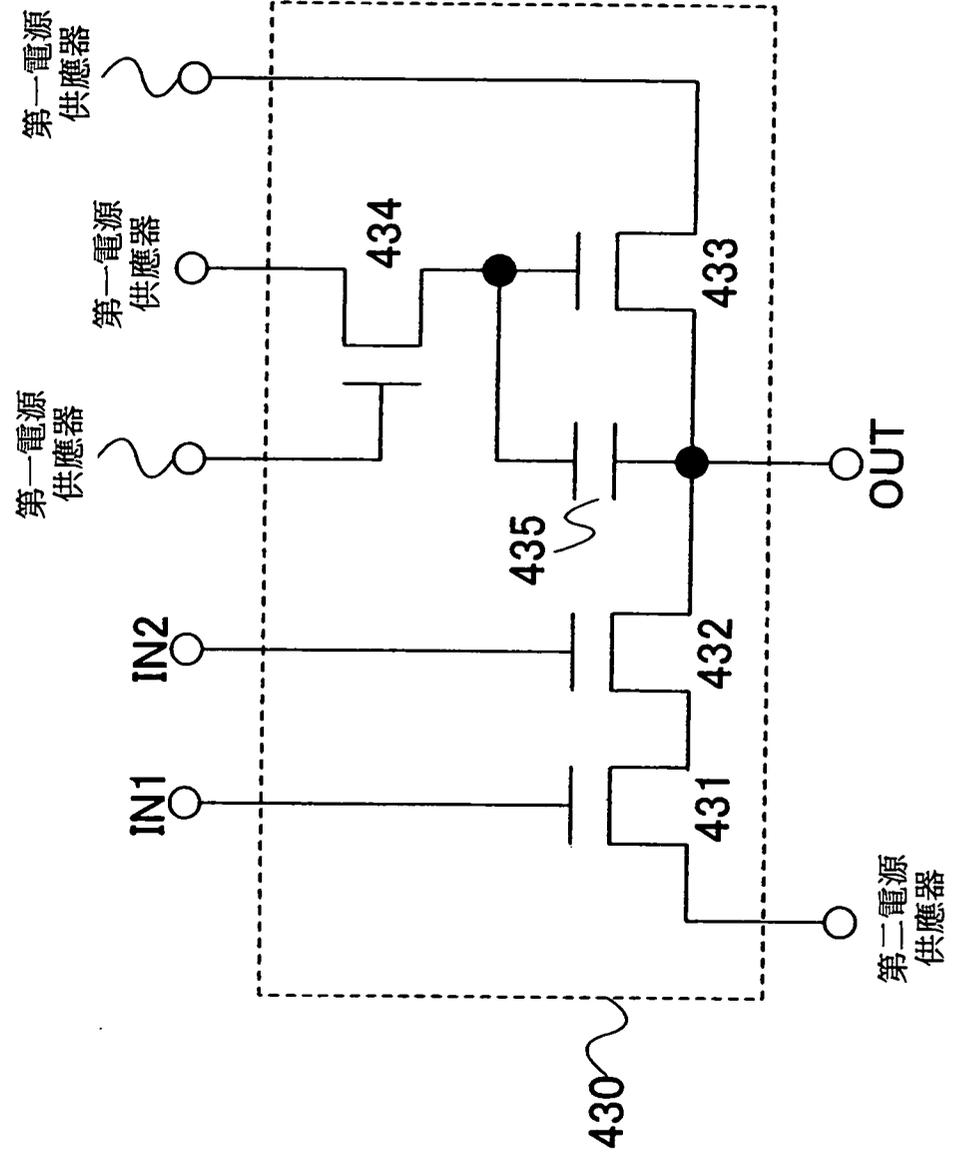
第41圖



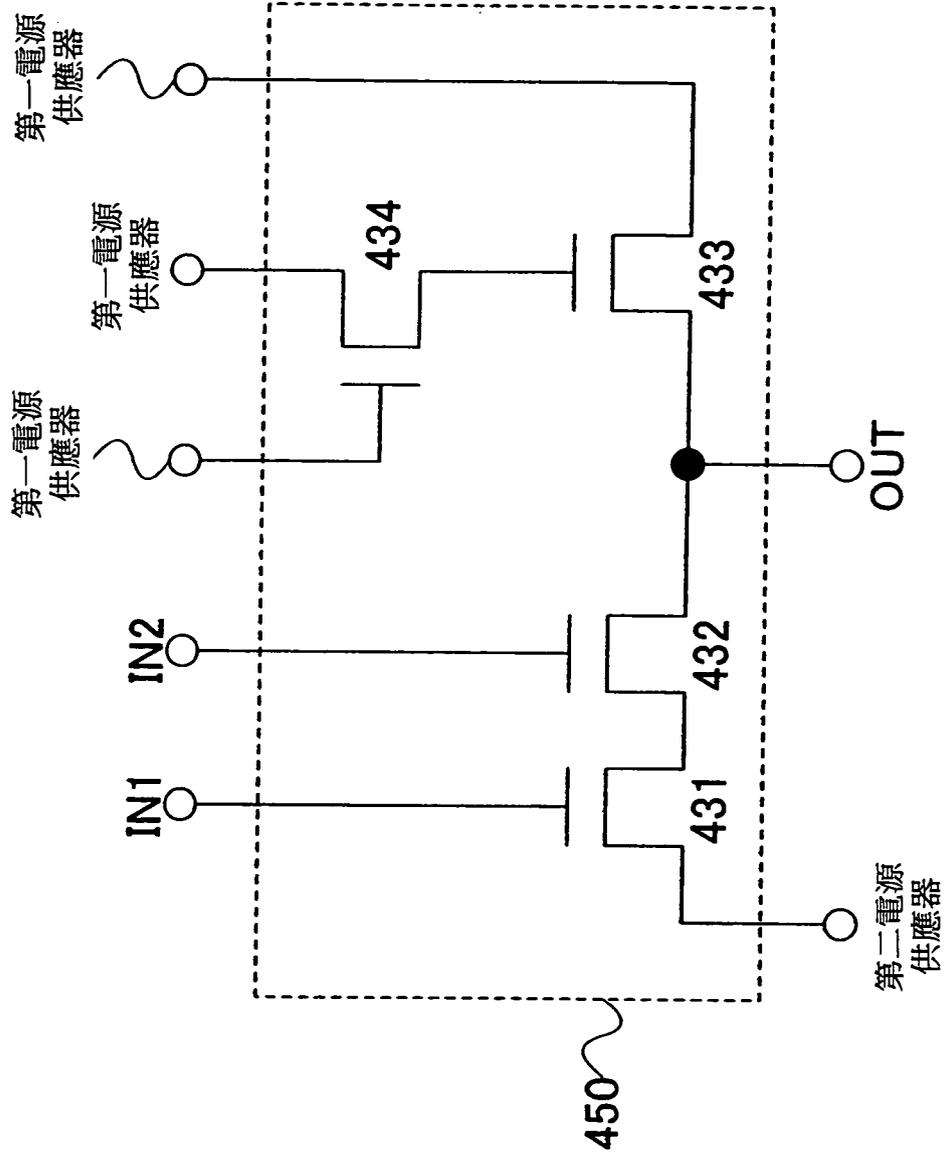
第42圖



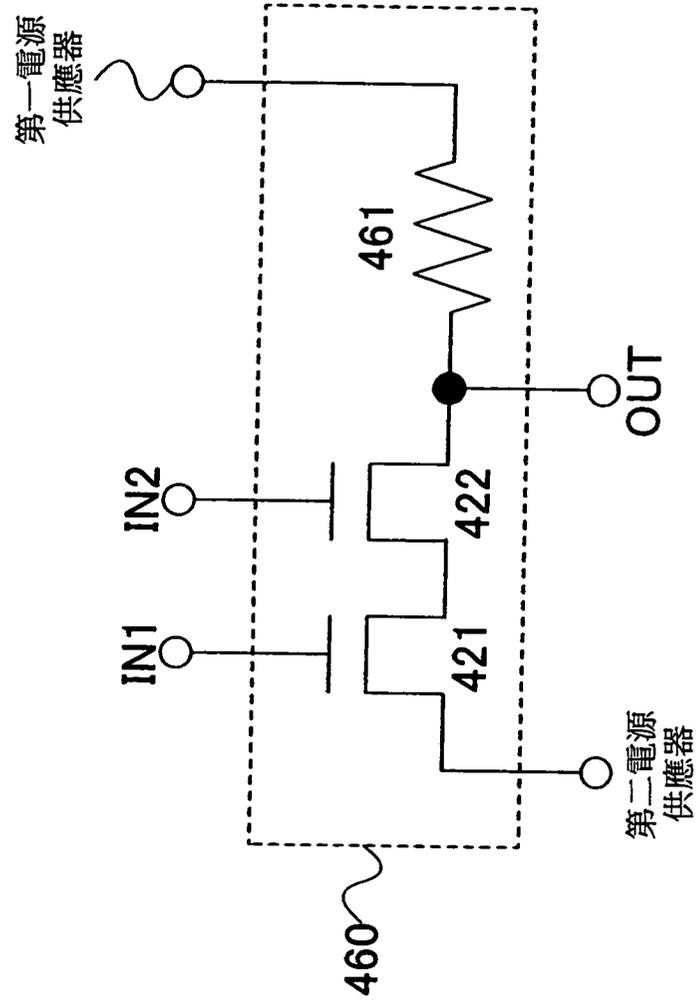
第43圖



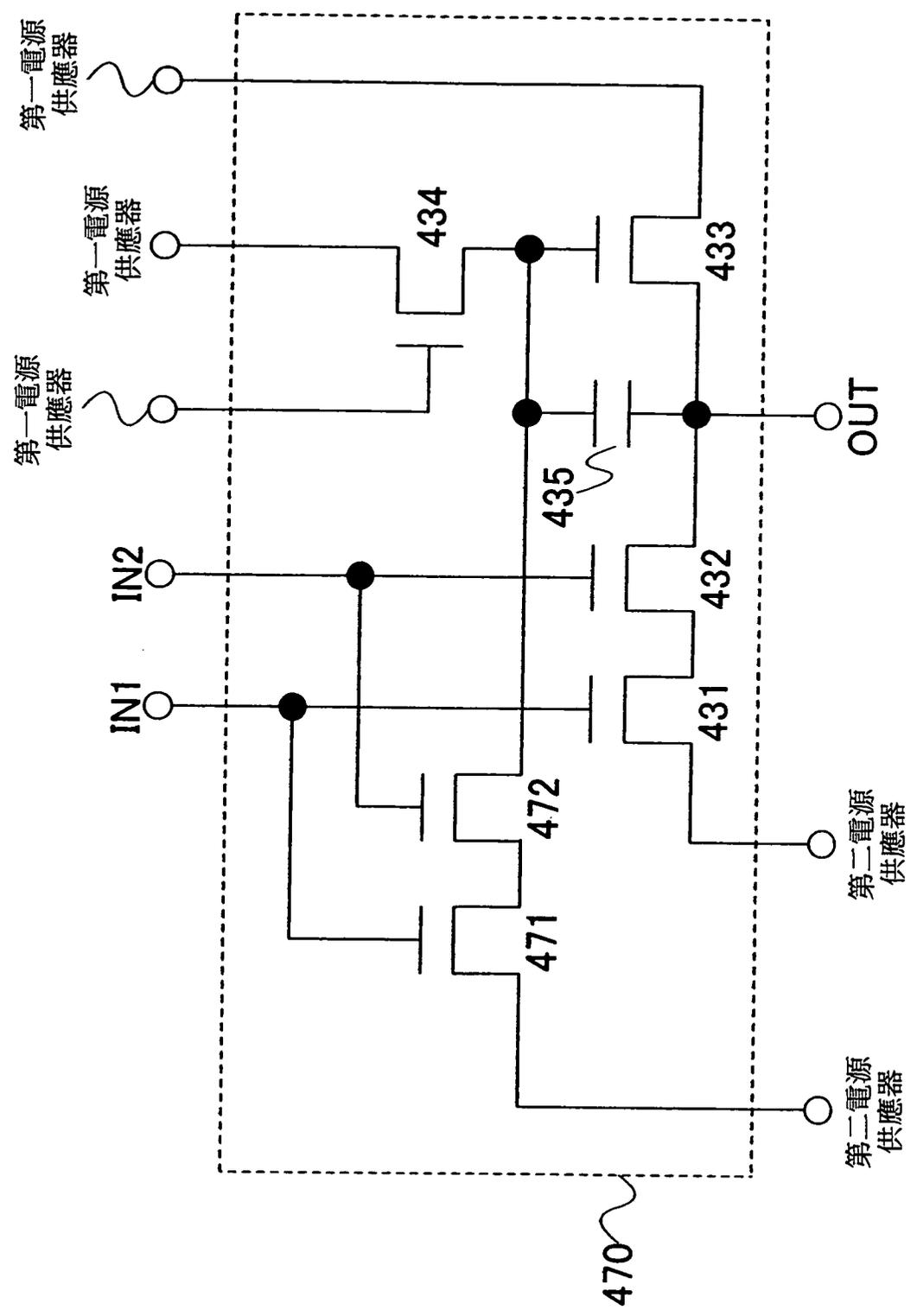
第45圖



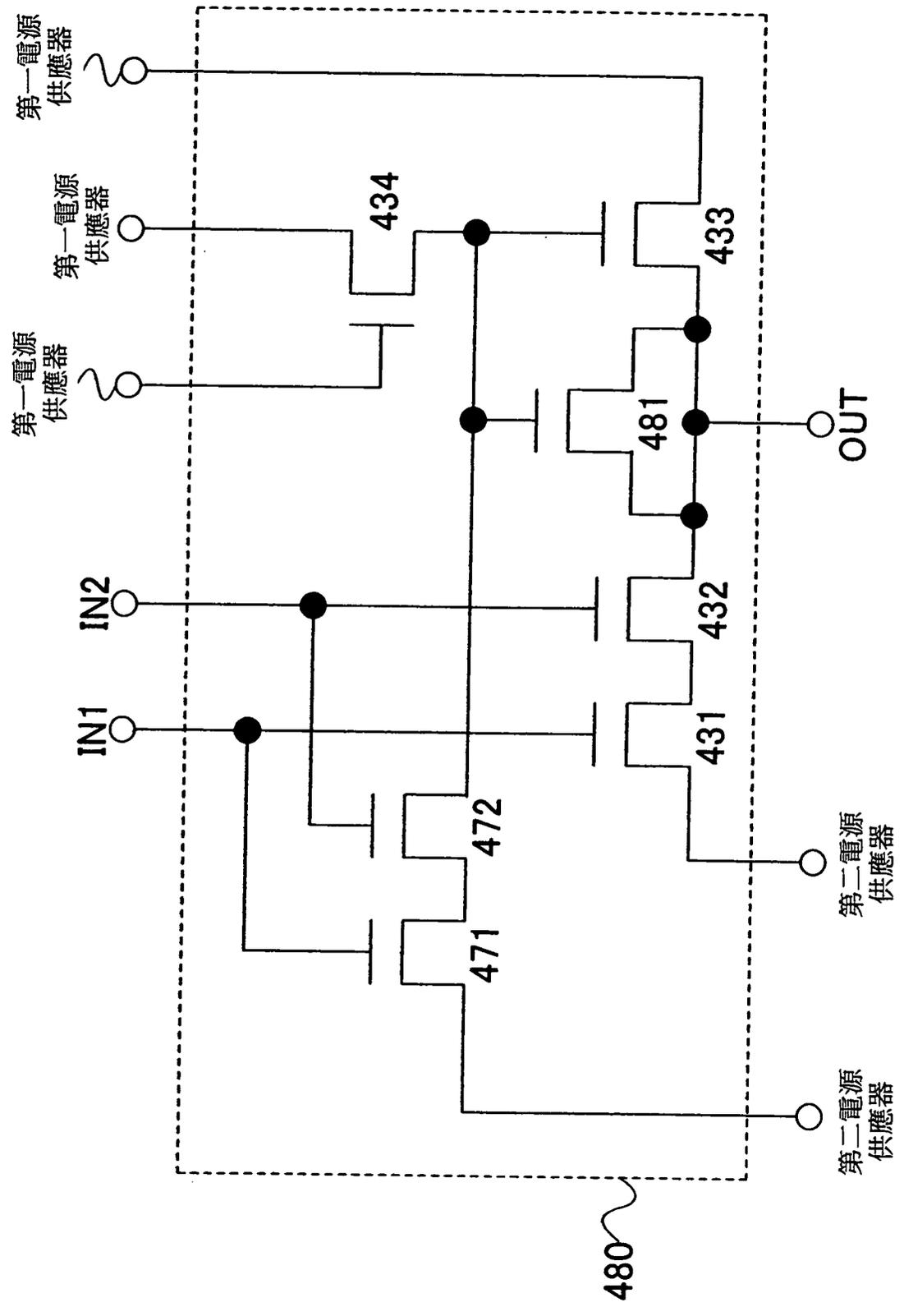
第46圖



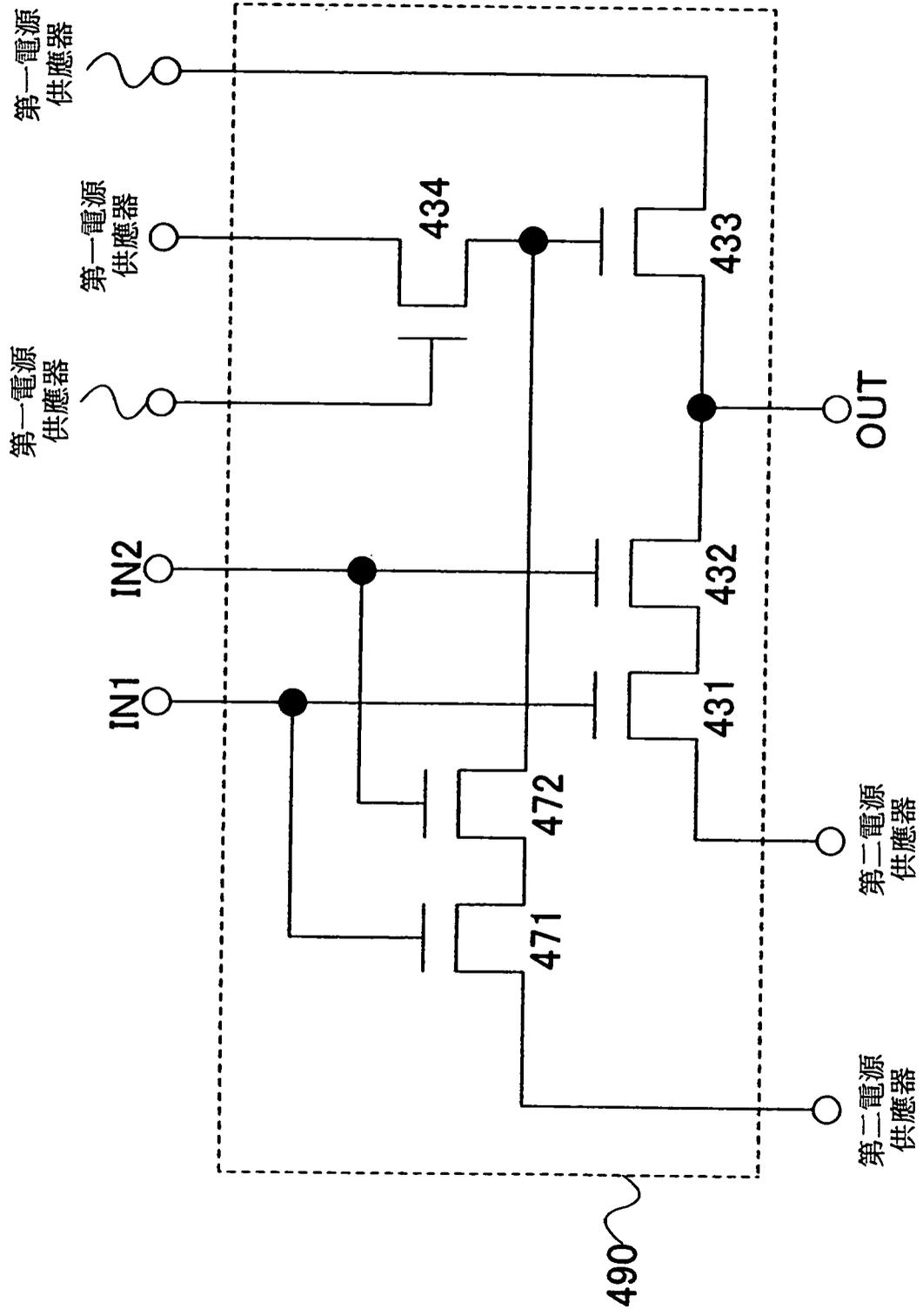
第47圖



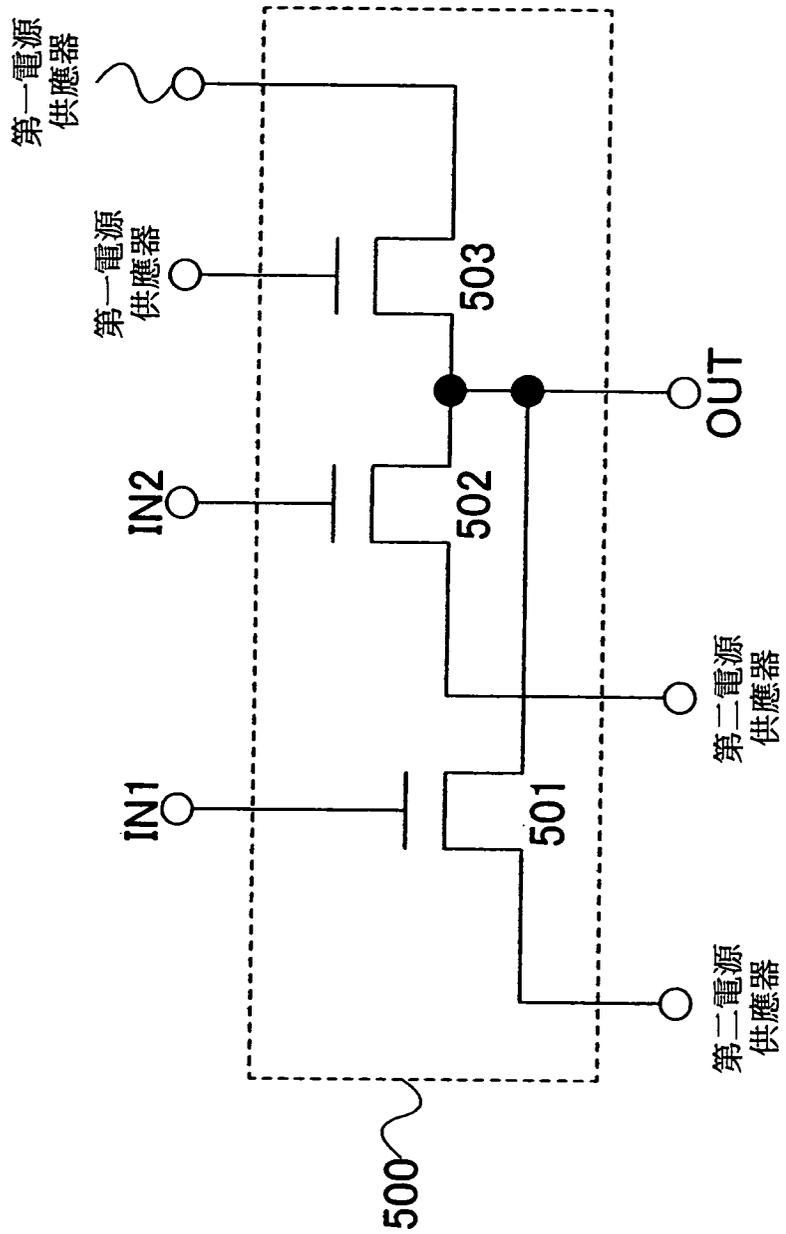
第48圖



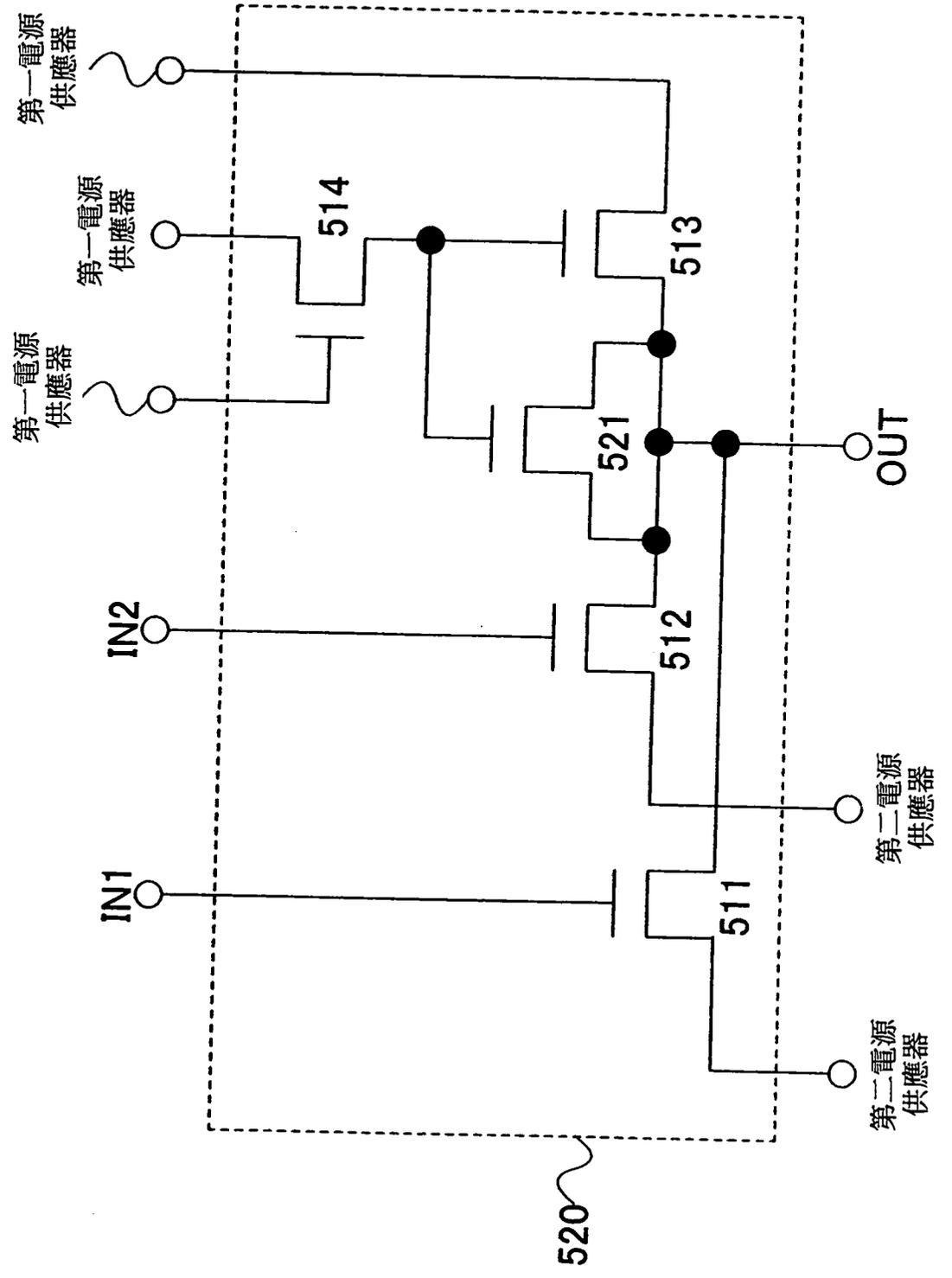
第49圖



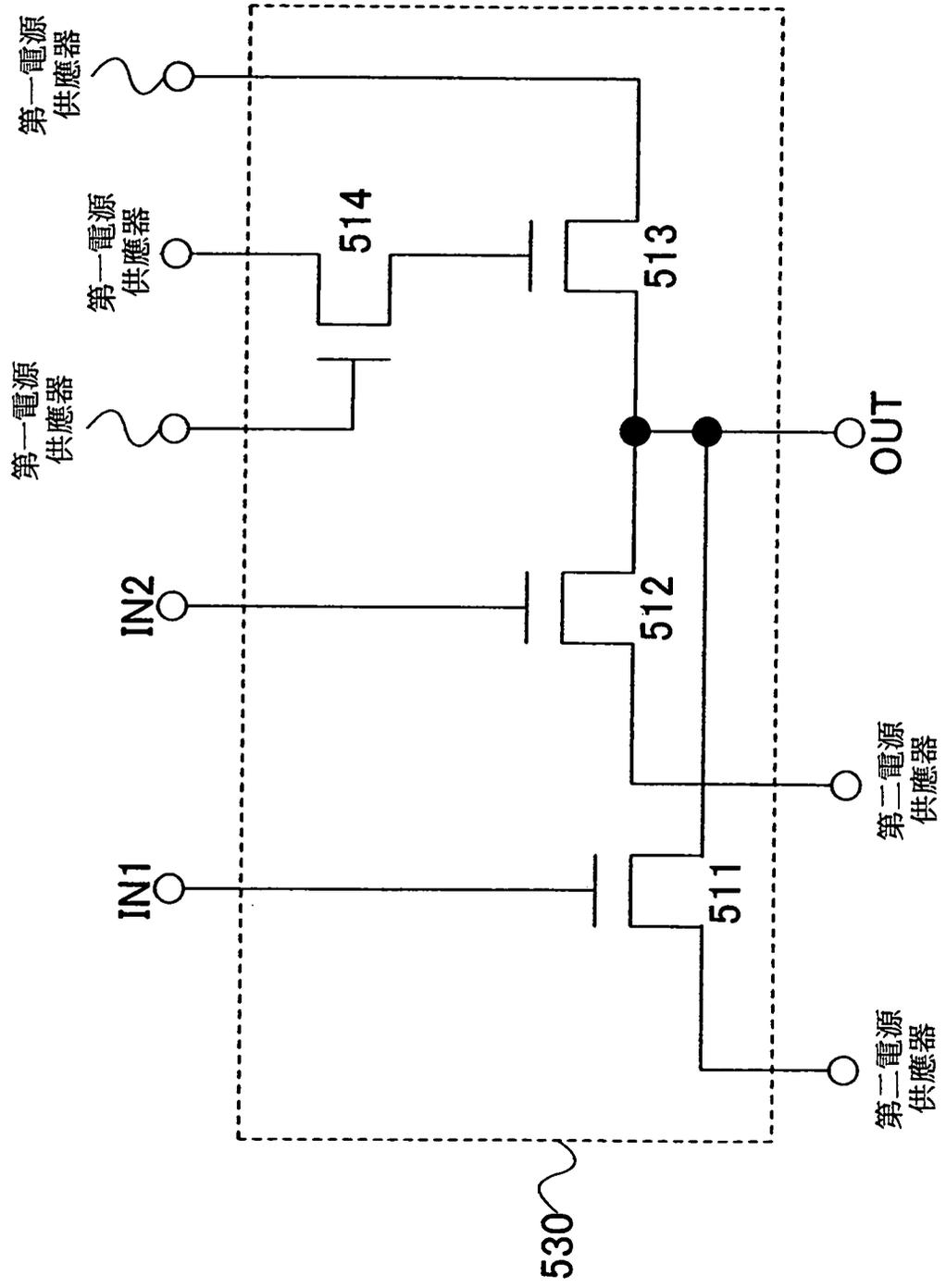
第50圖



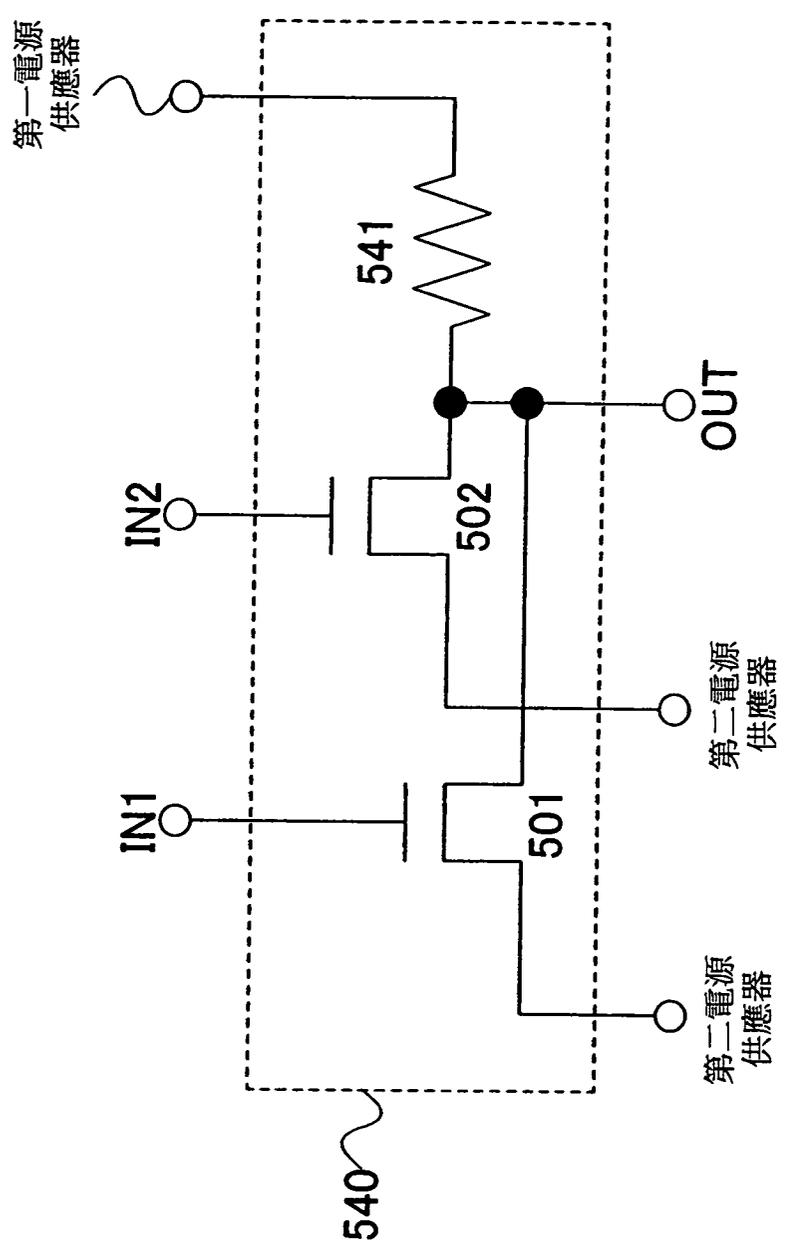
第52圖



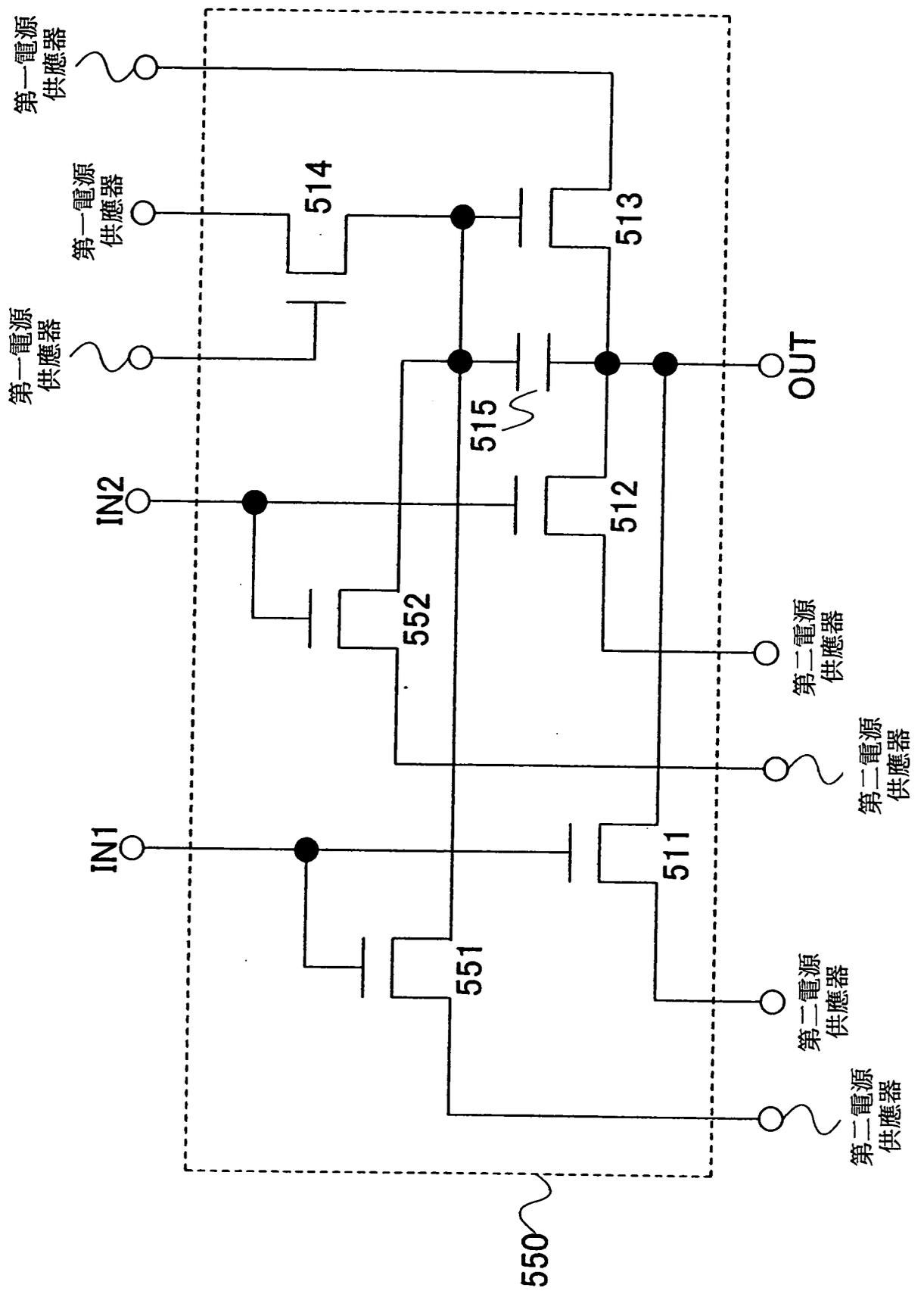
第53圖



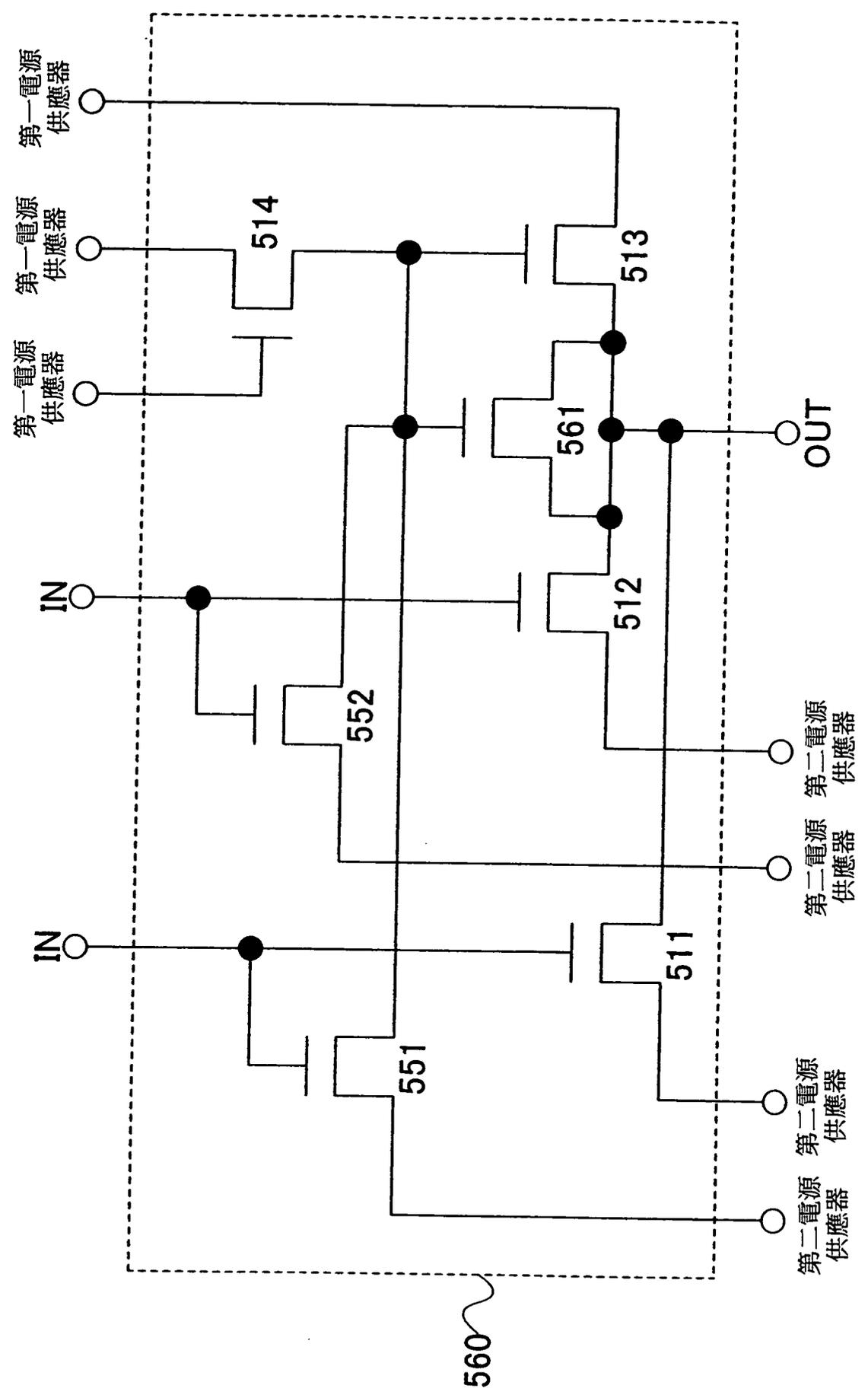
第54圖



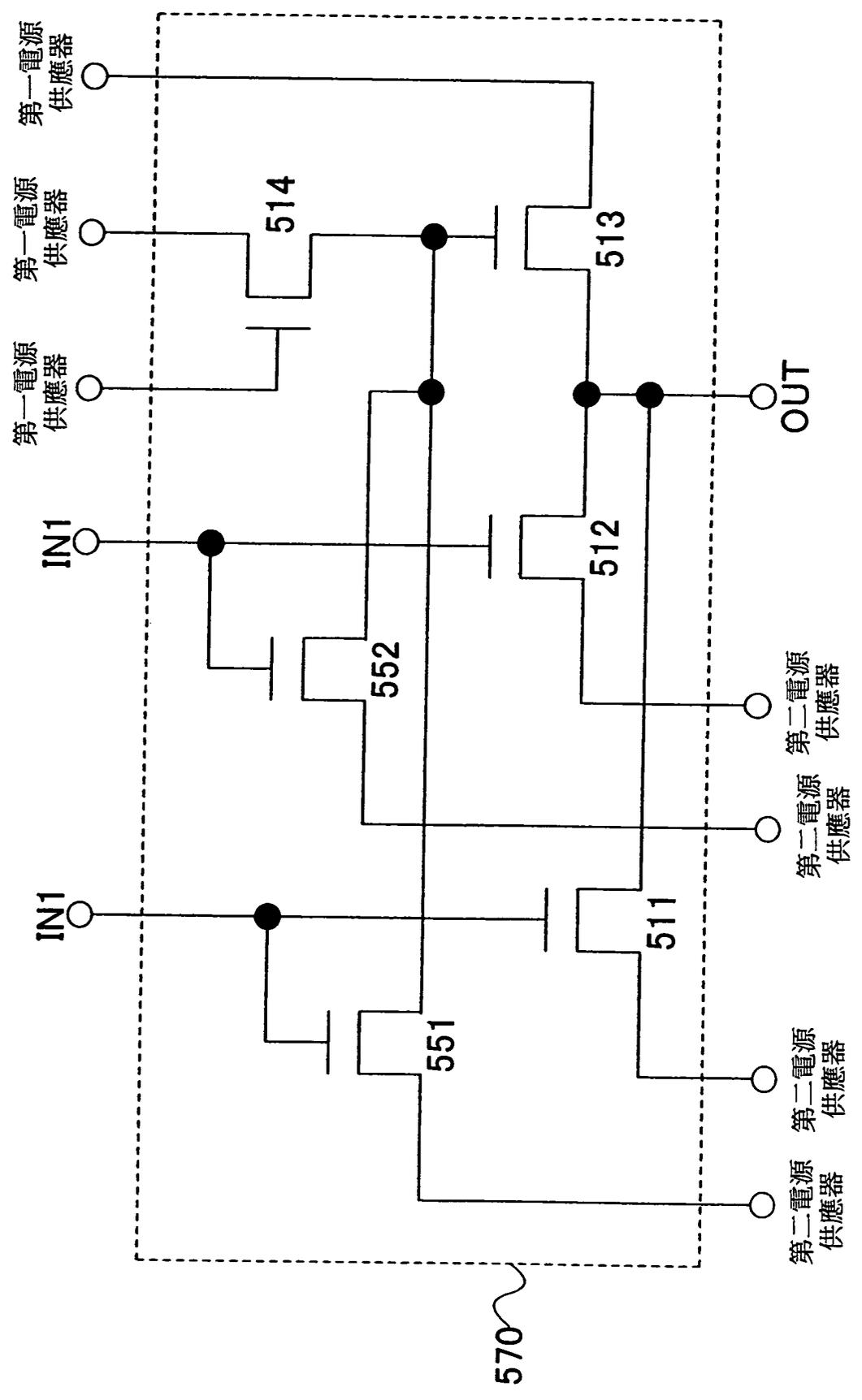
第55圖



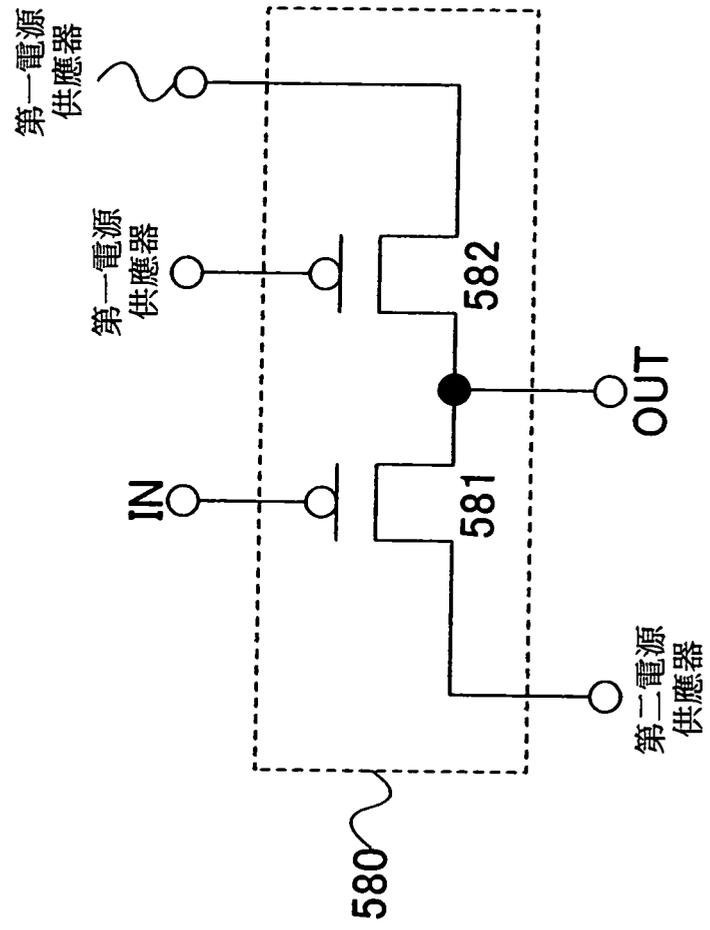
第56圖



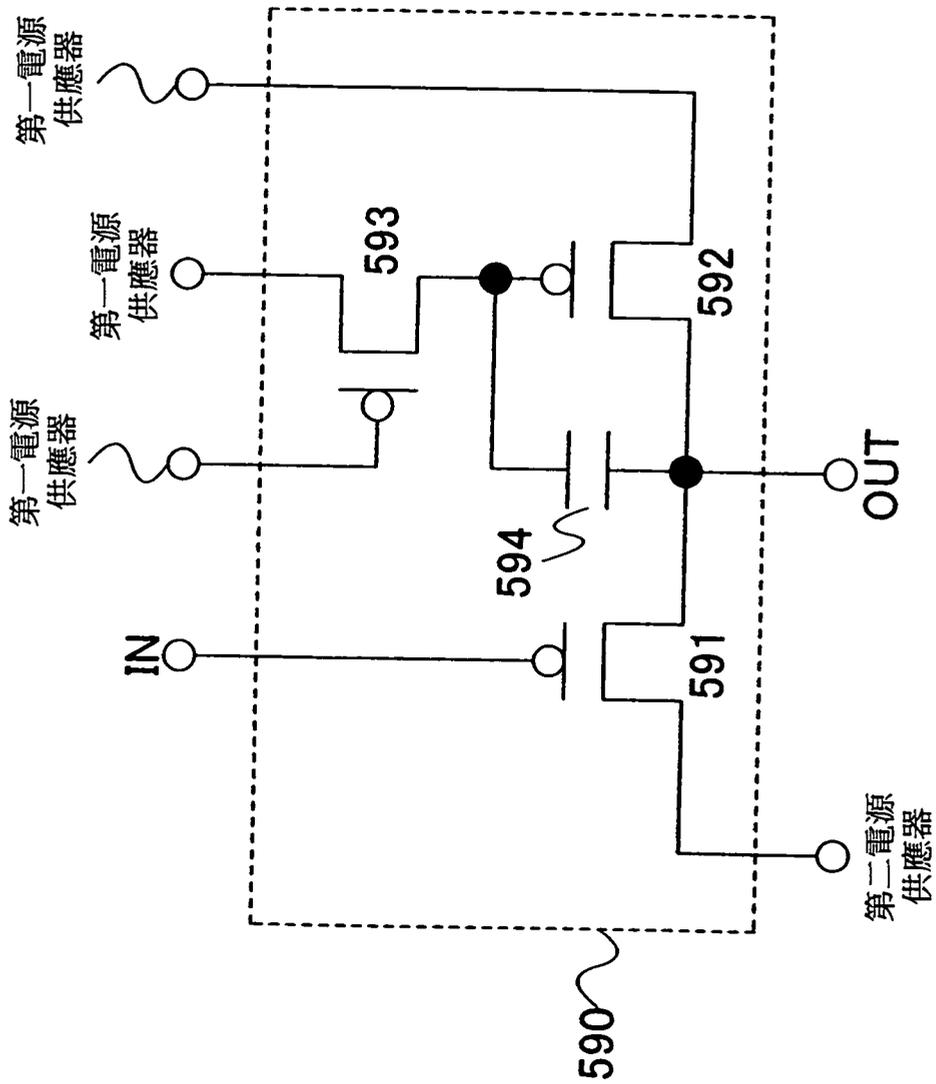
第57圖



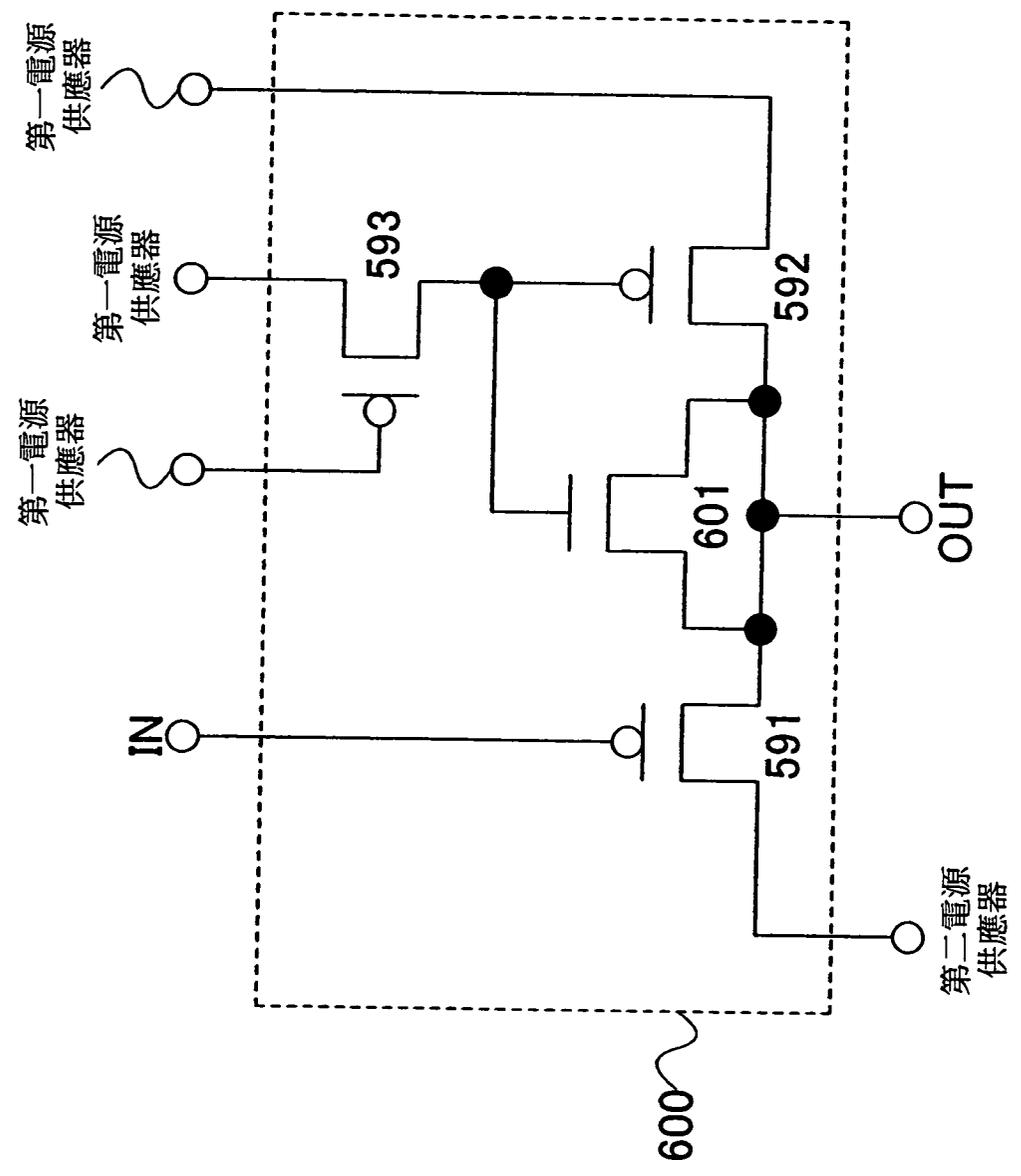
第58圖



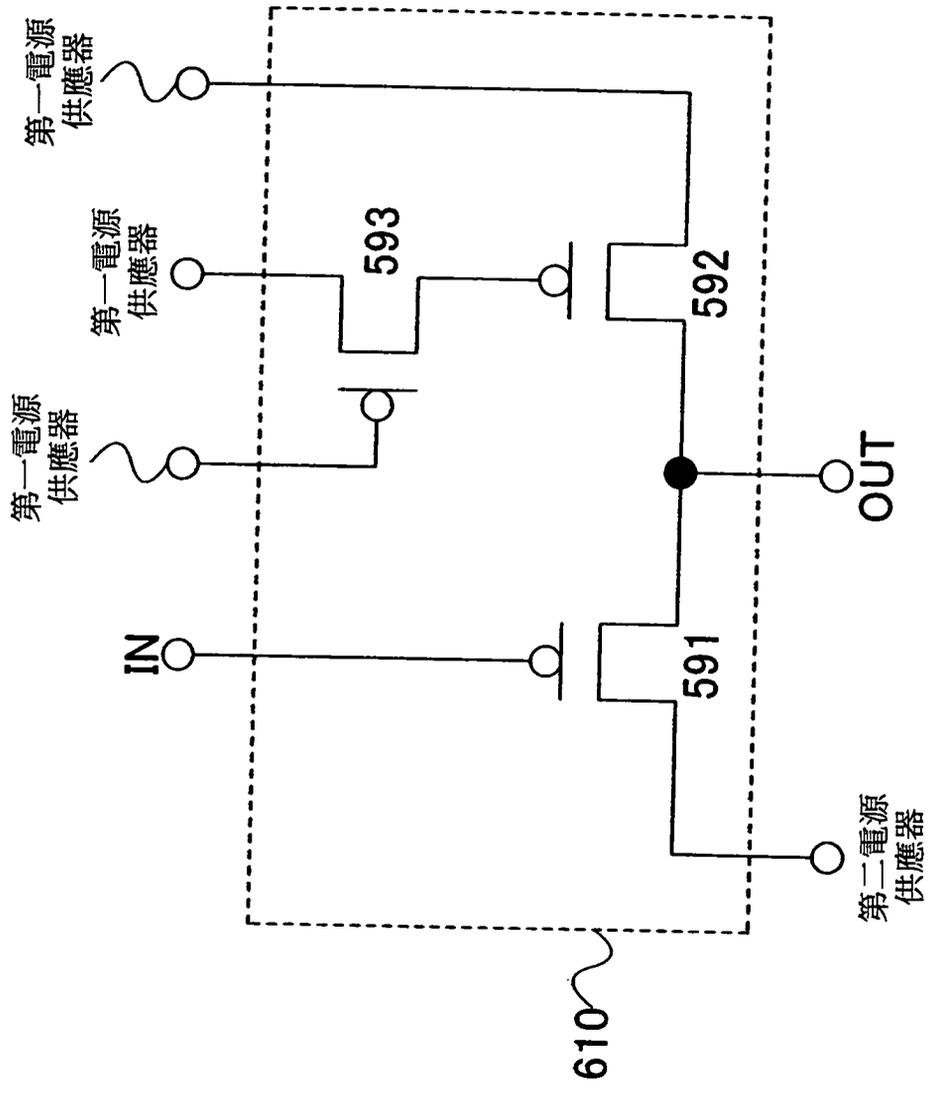
第59圖



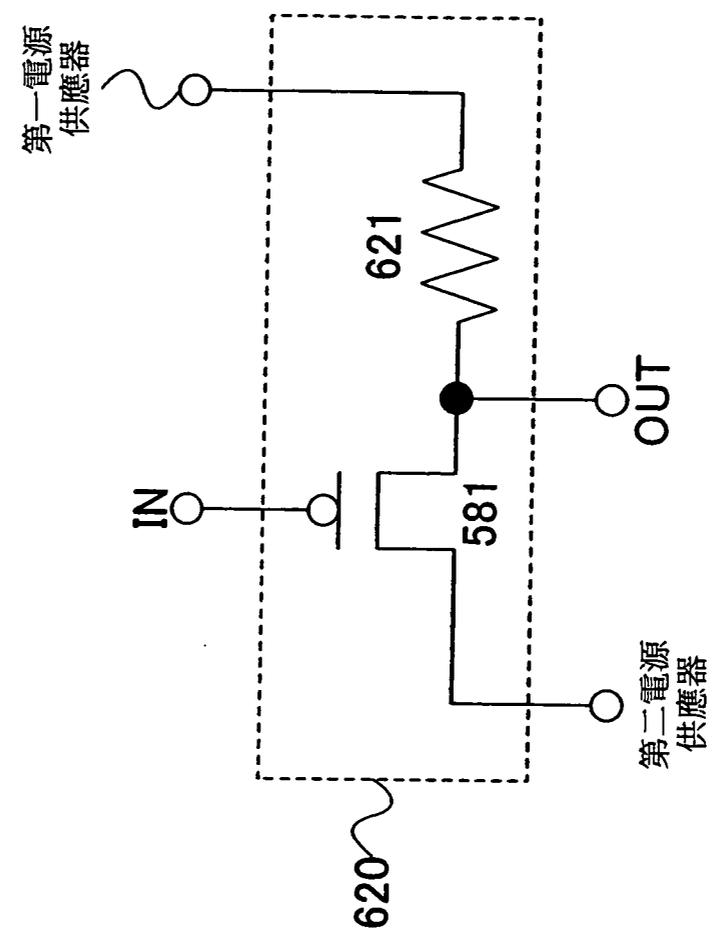
第60圖



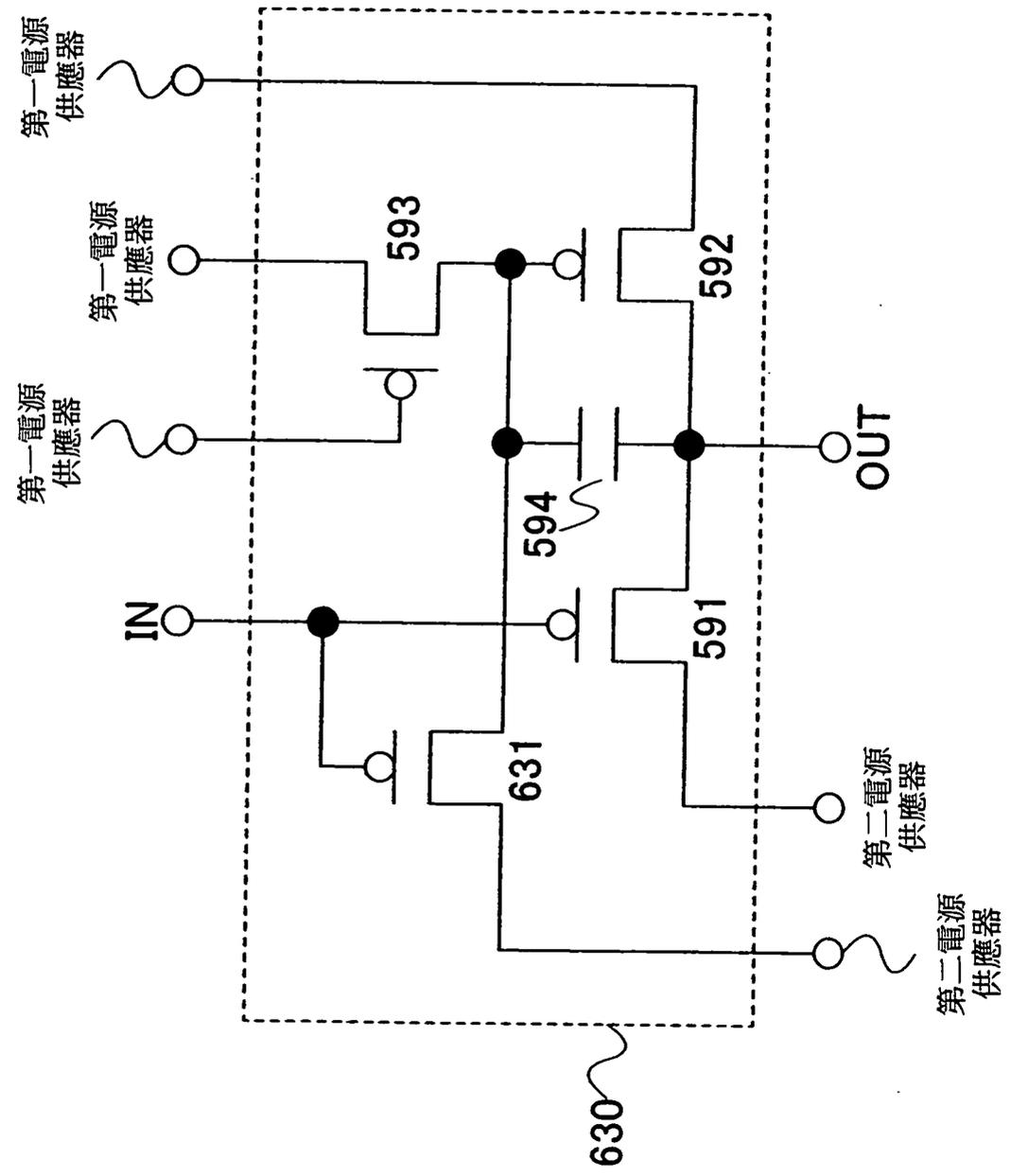
第61圖



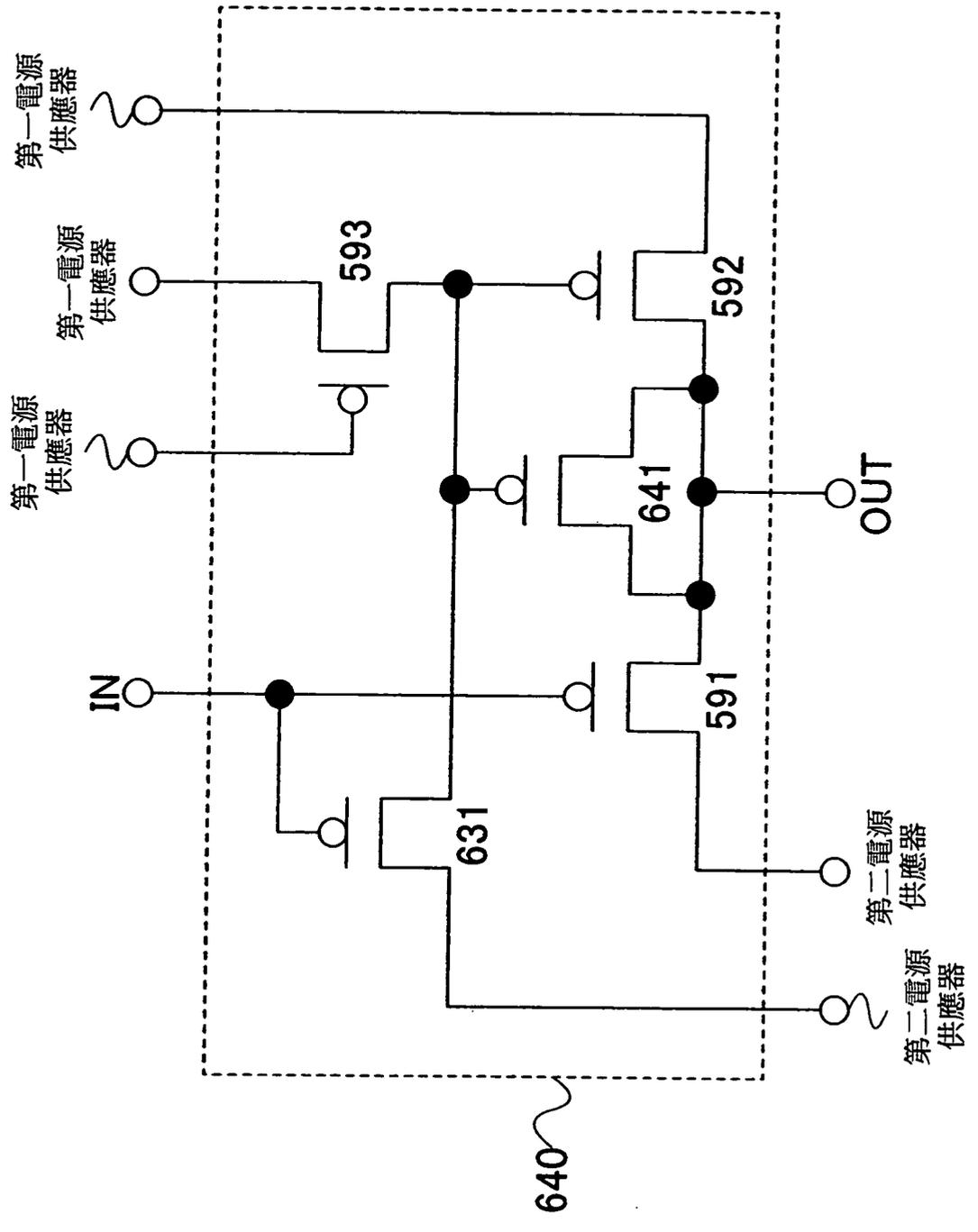
第62圖



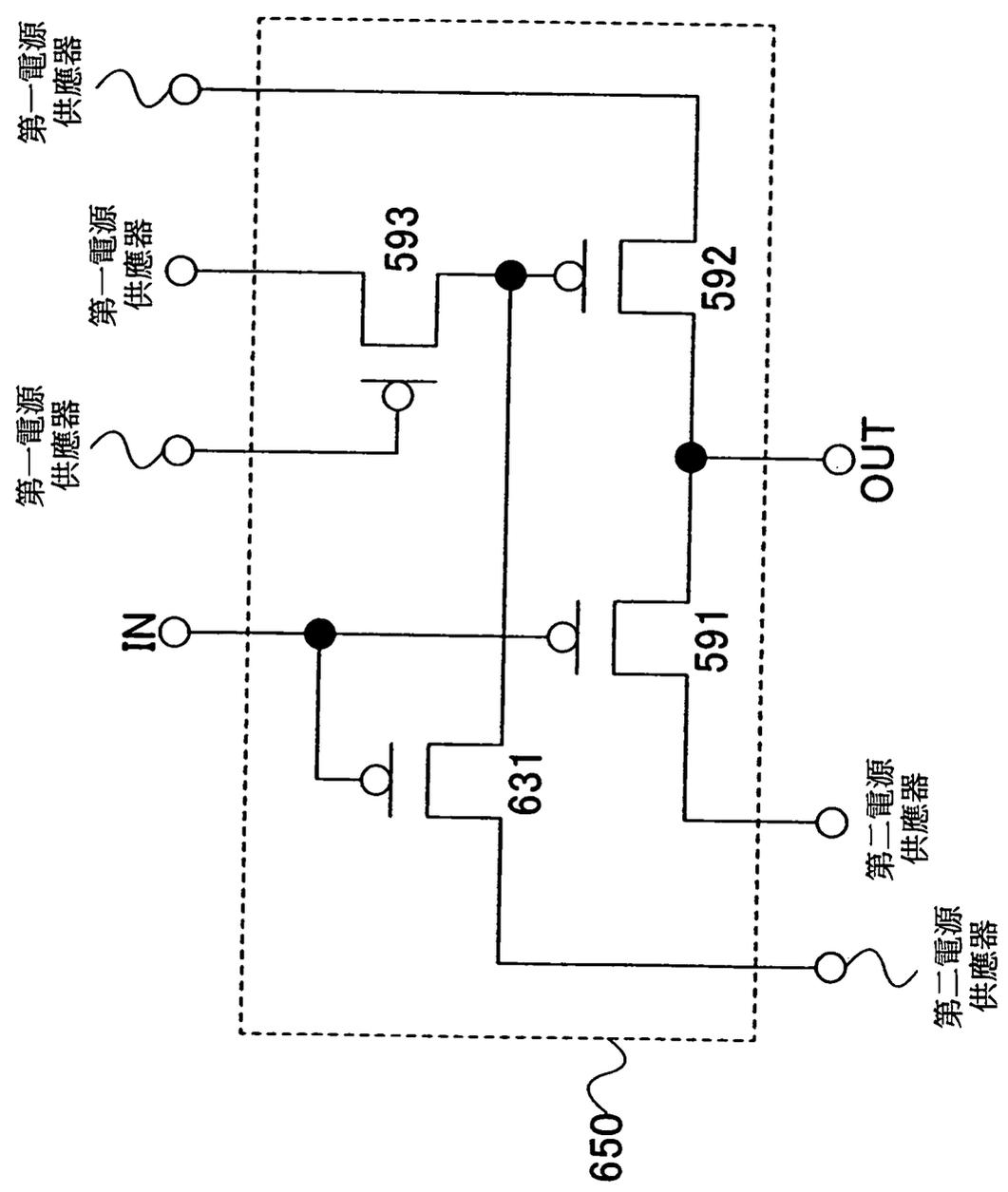
第63圖



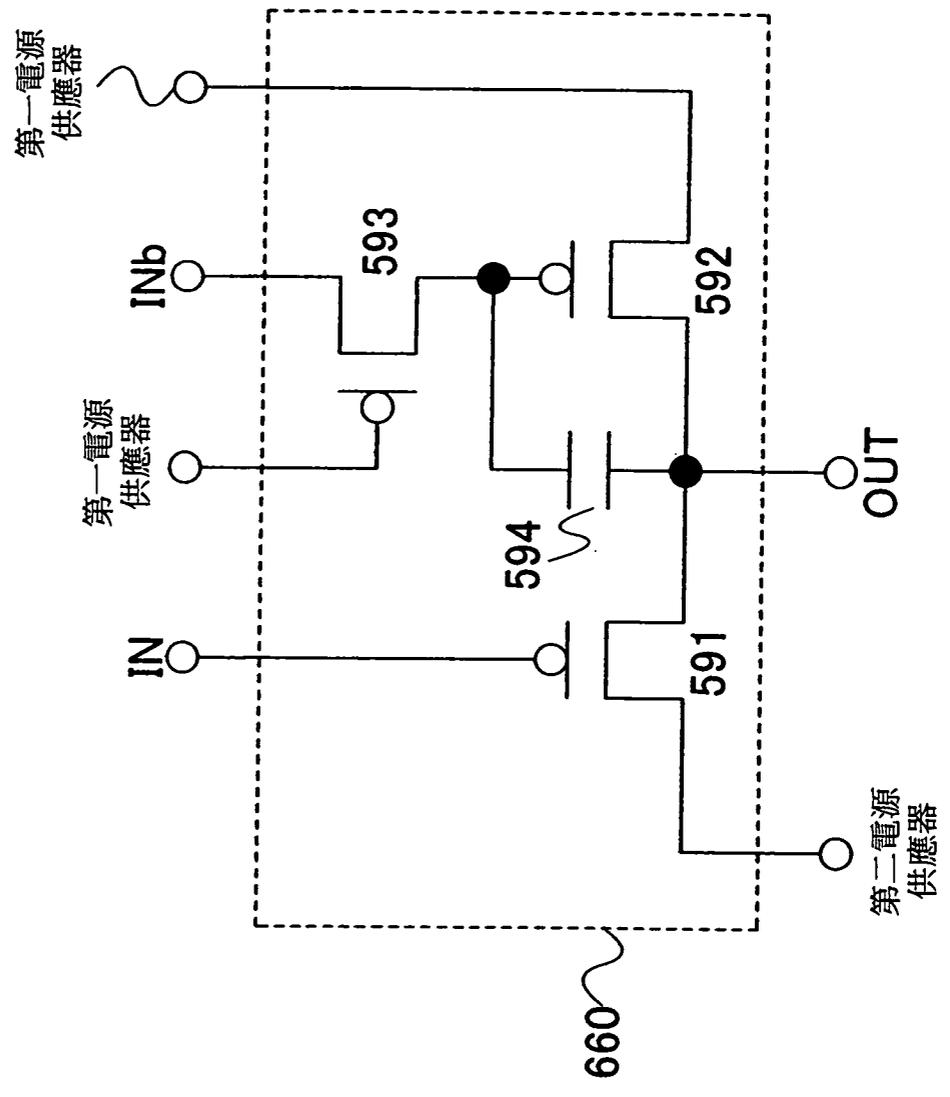
第64圖



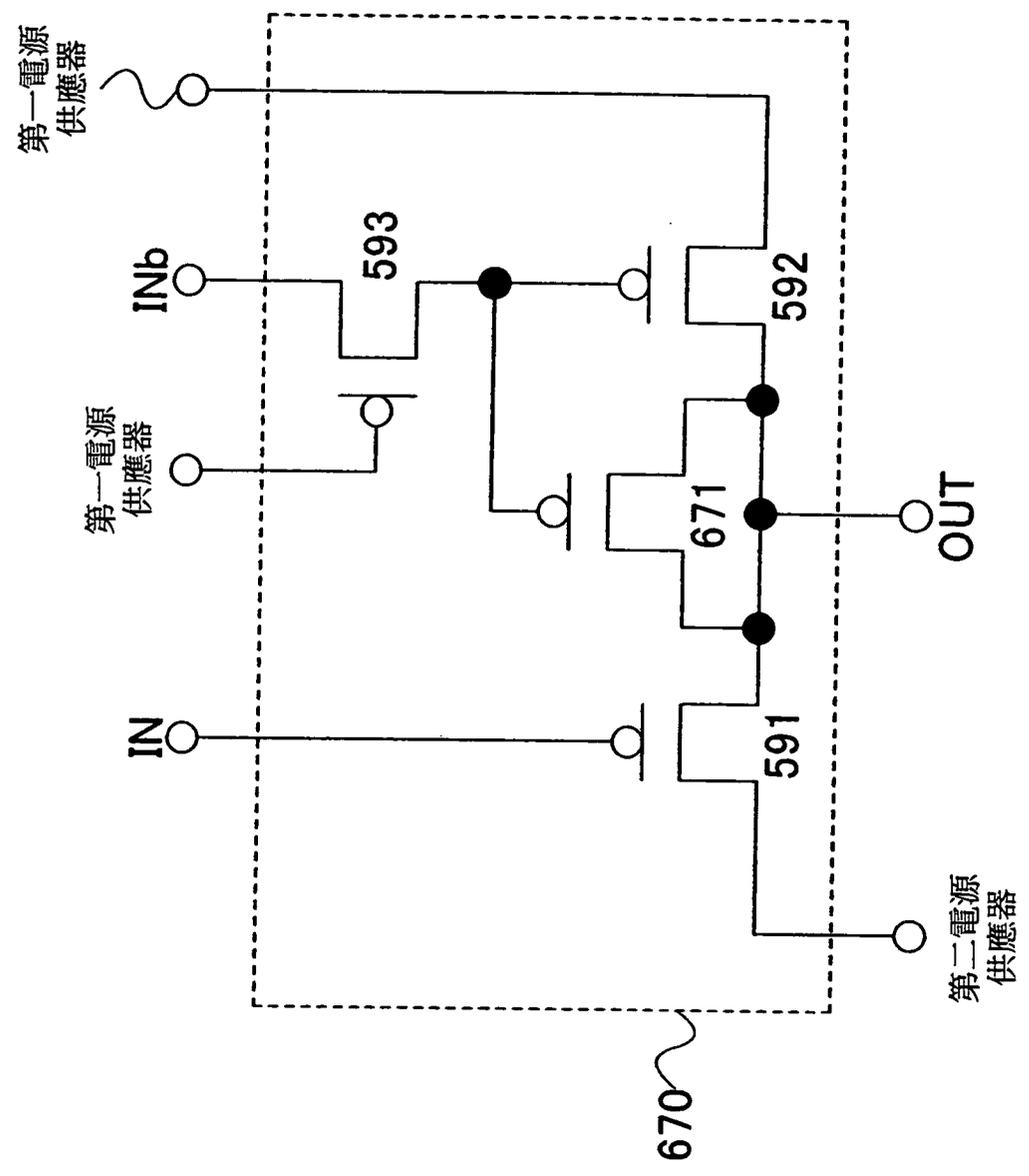
第65圖



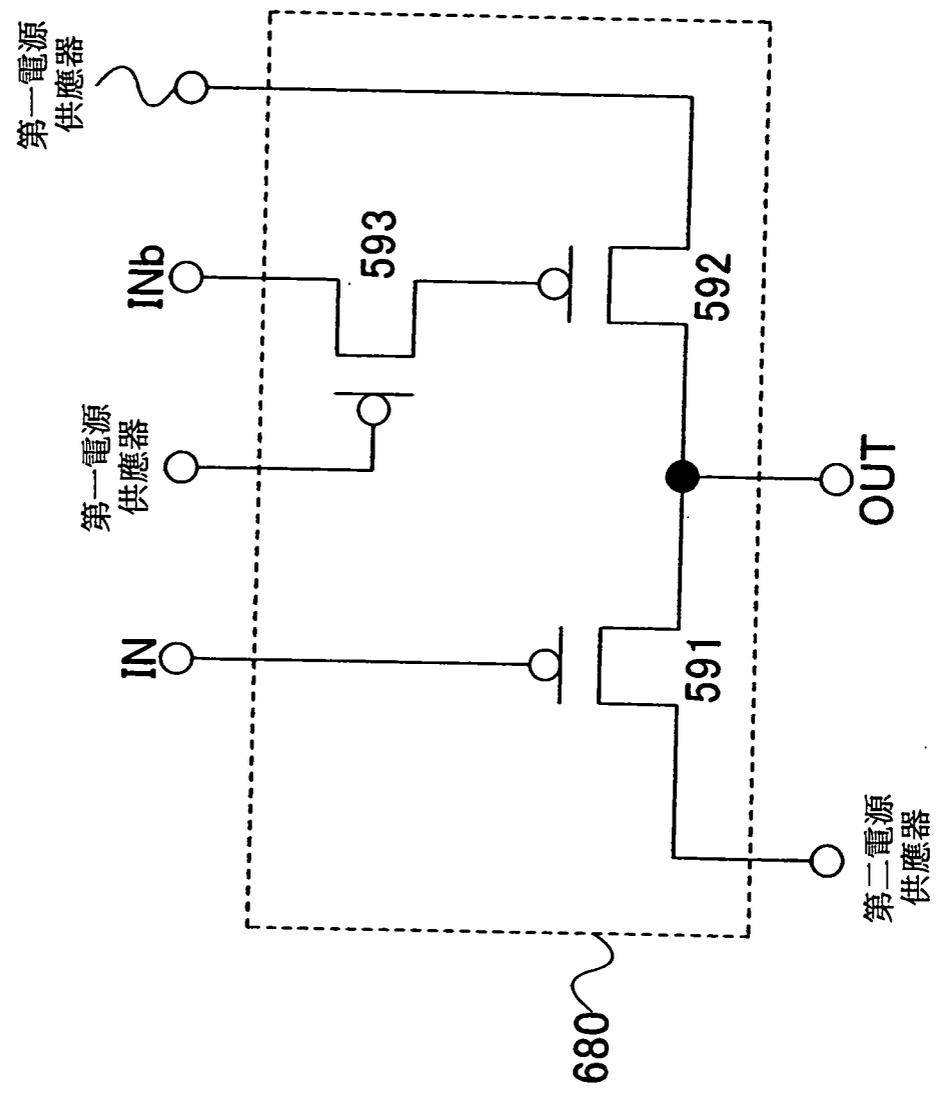
第66圖



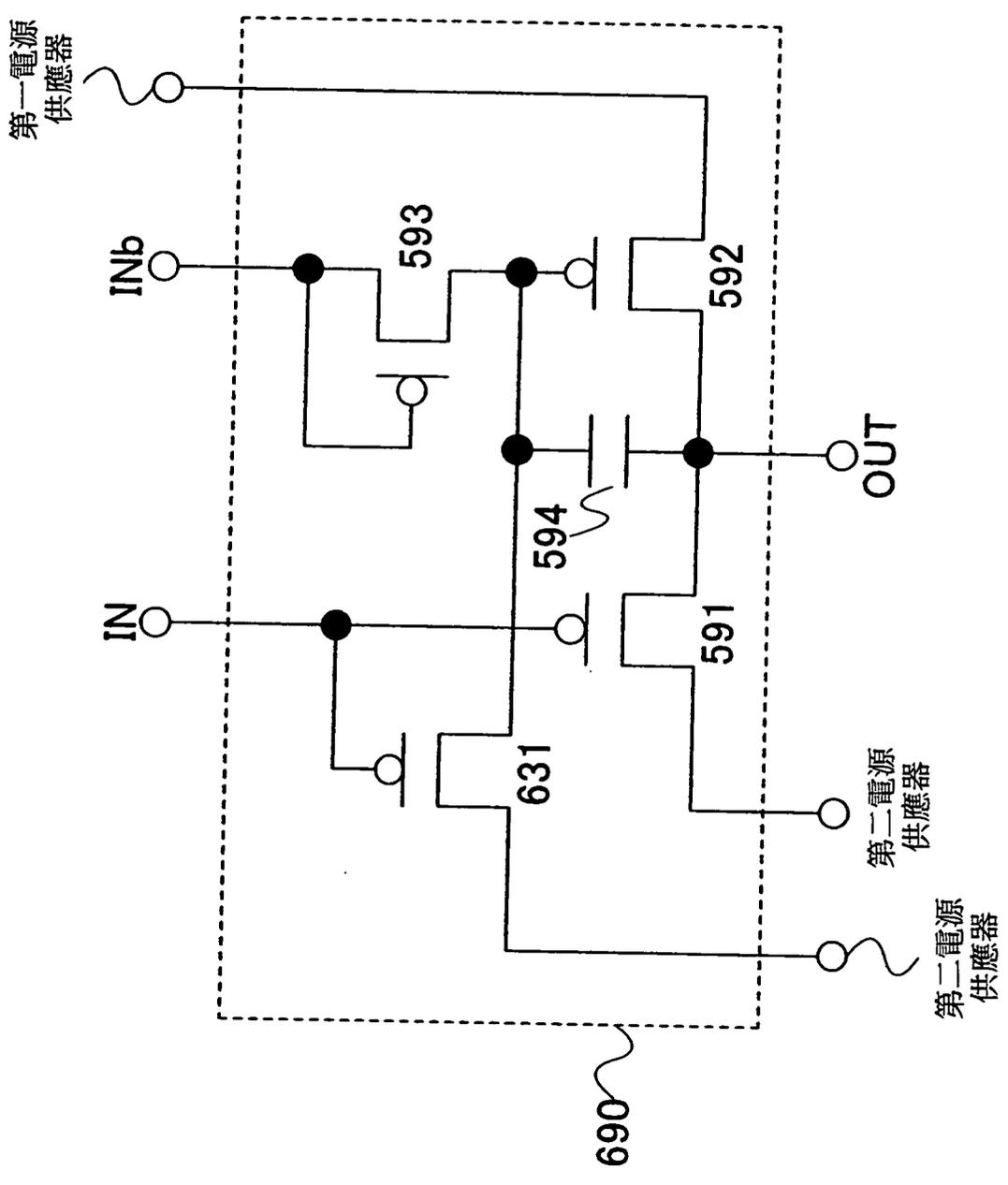
第67圖



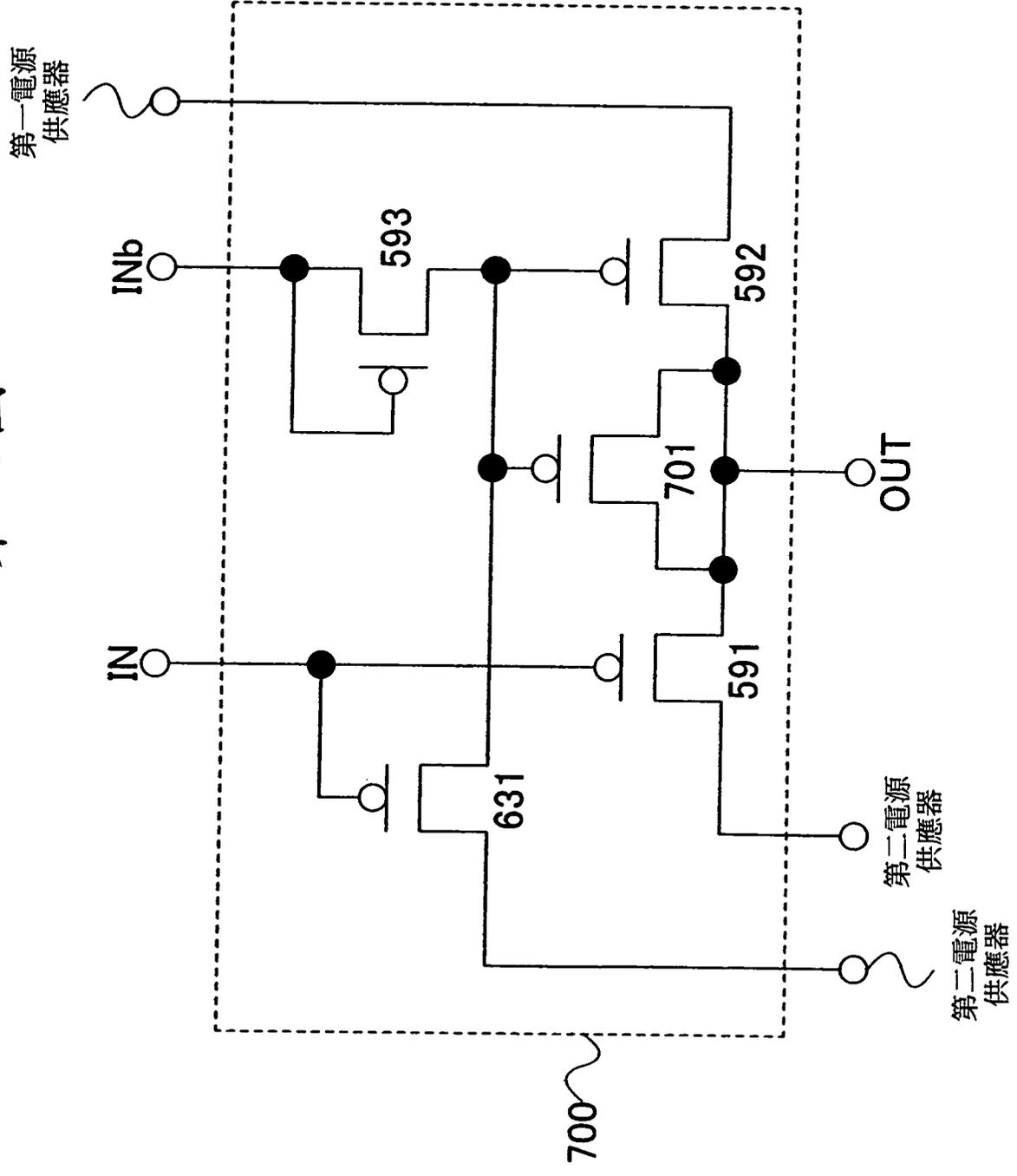
第68圖



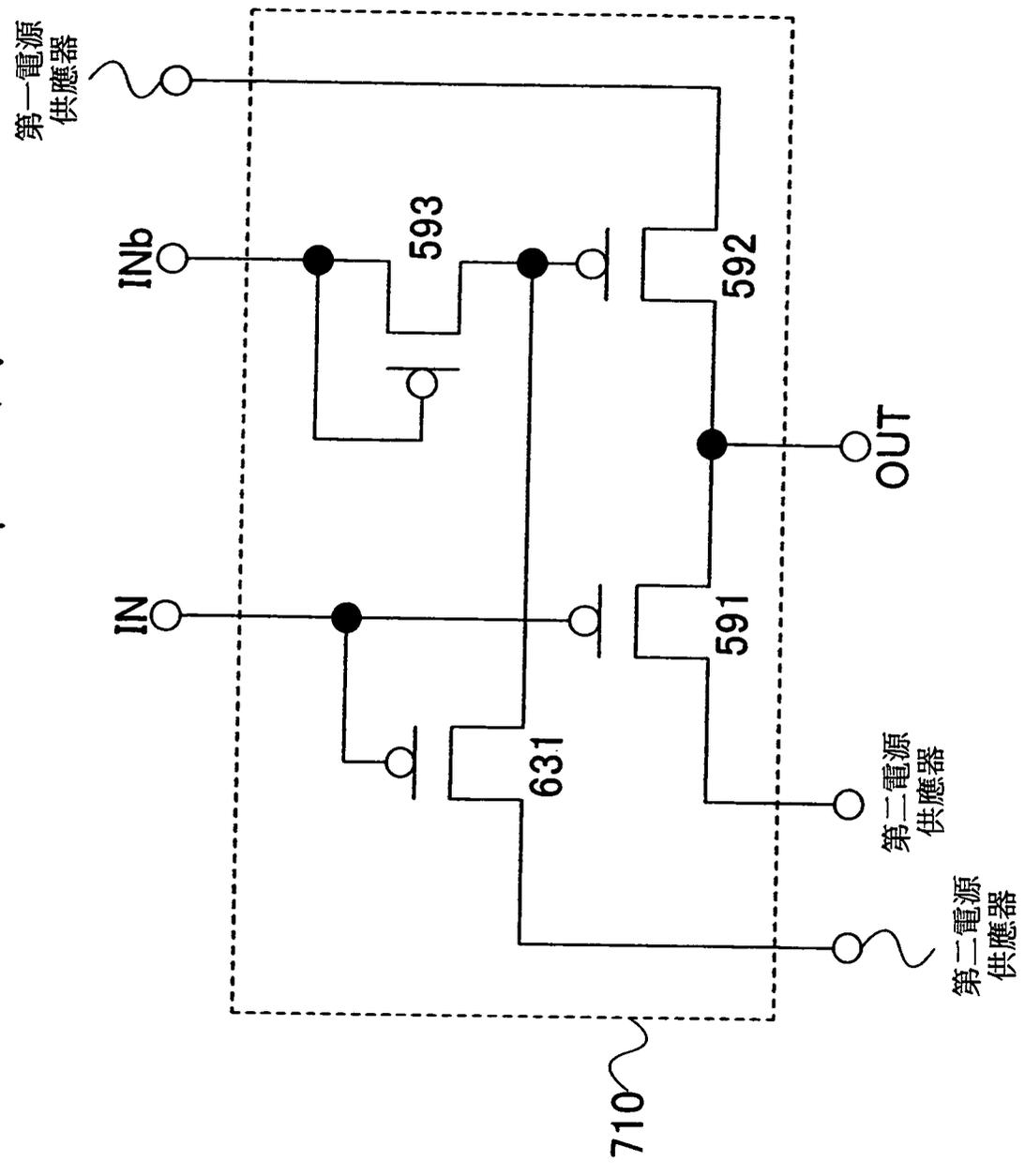
第69圖



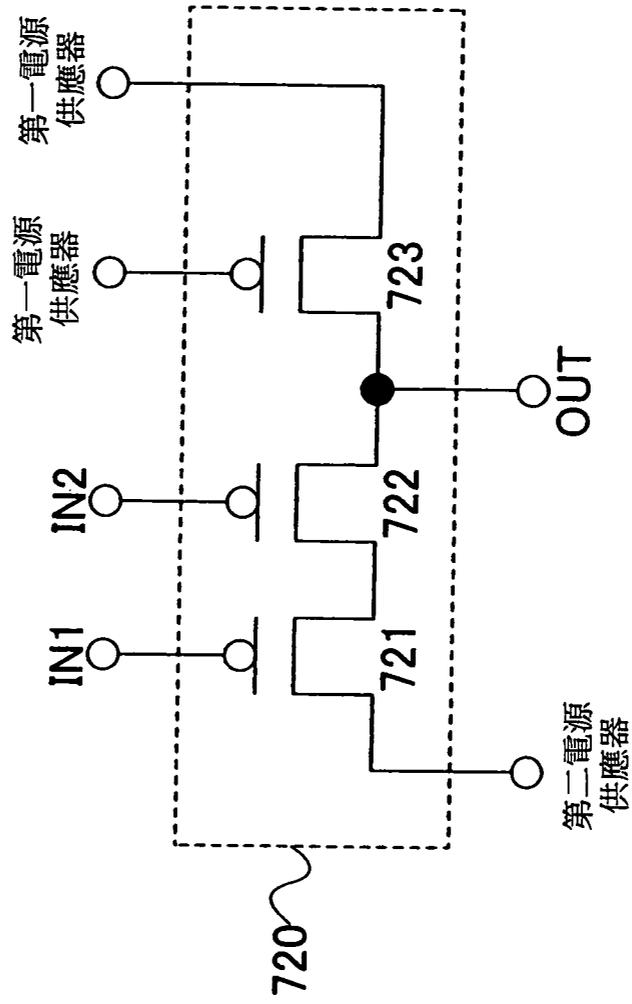
第70圖



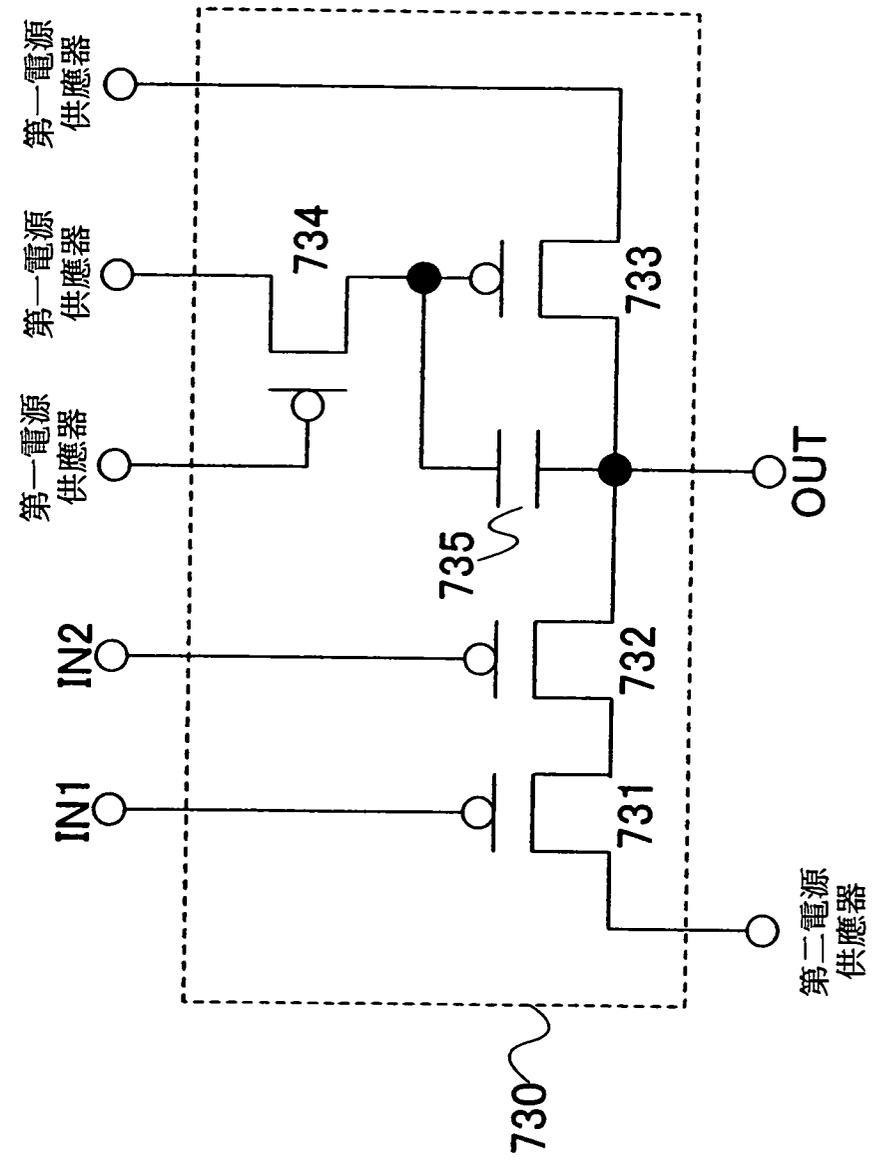
第71圖



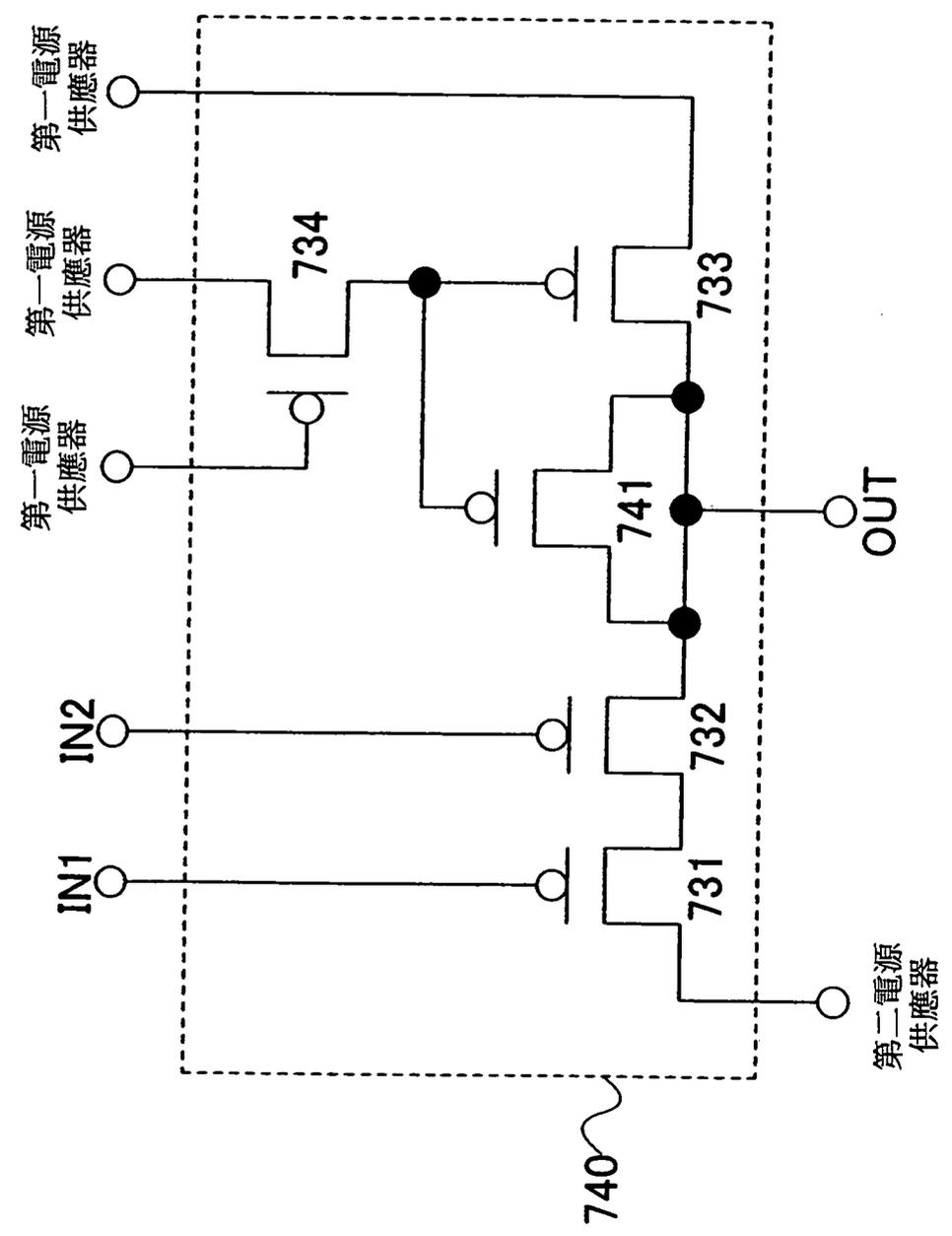
第72圖



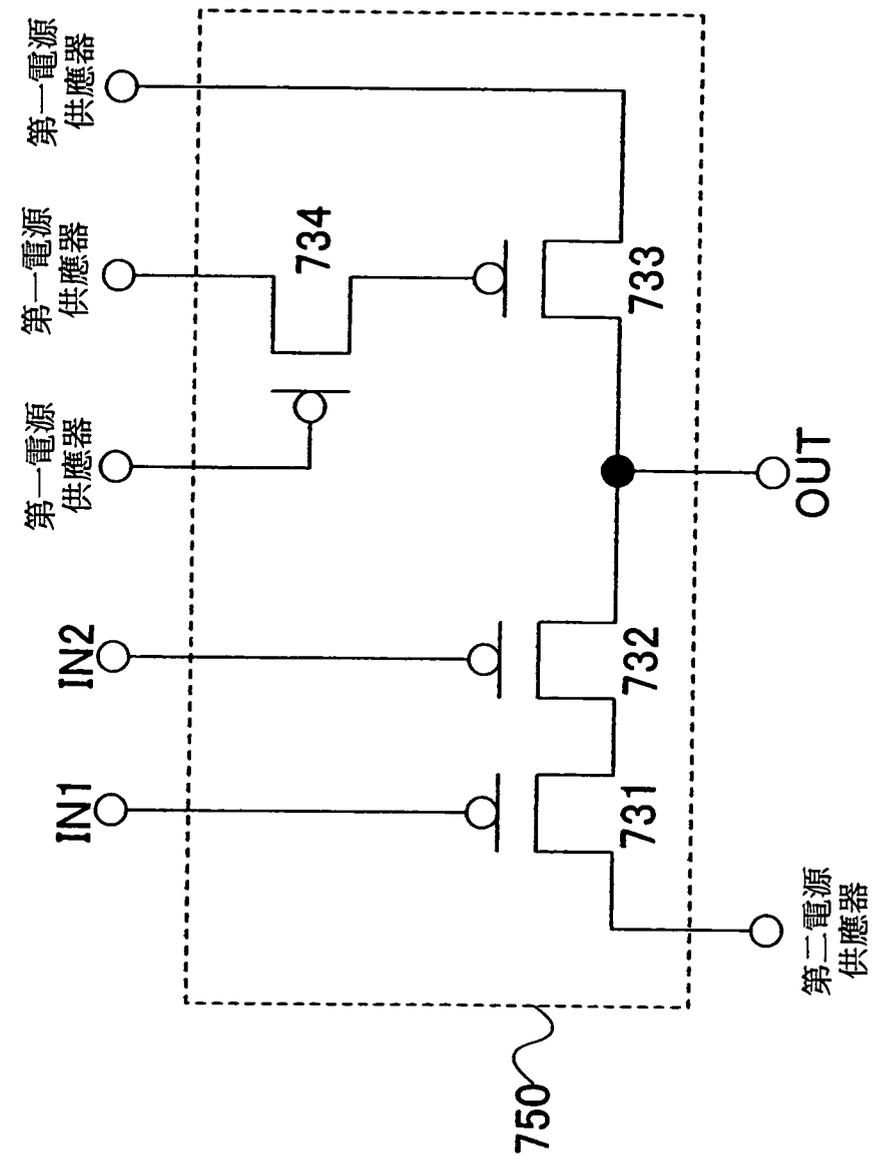
第73圖



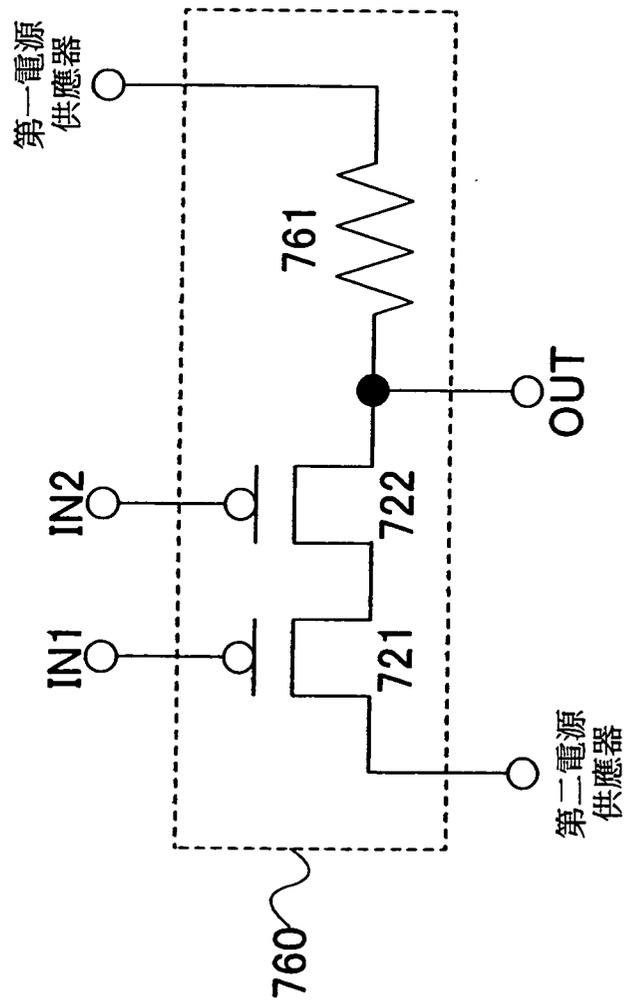
第74圖



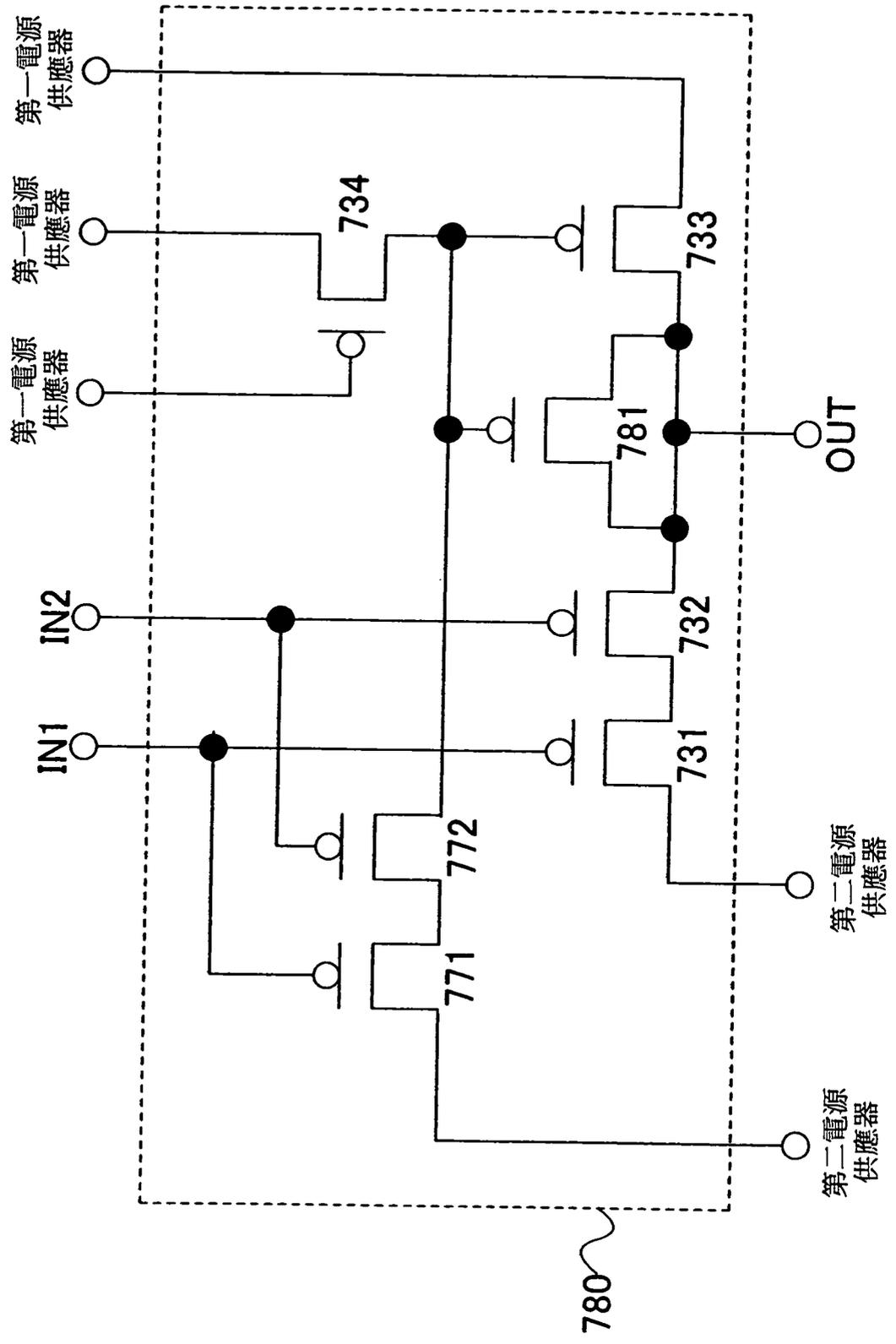
第75圖



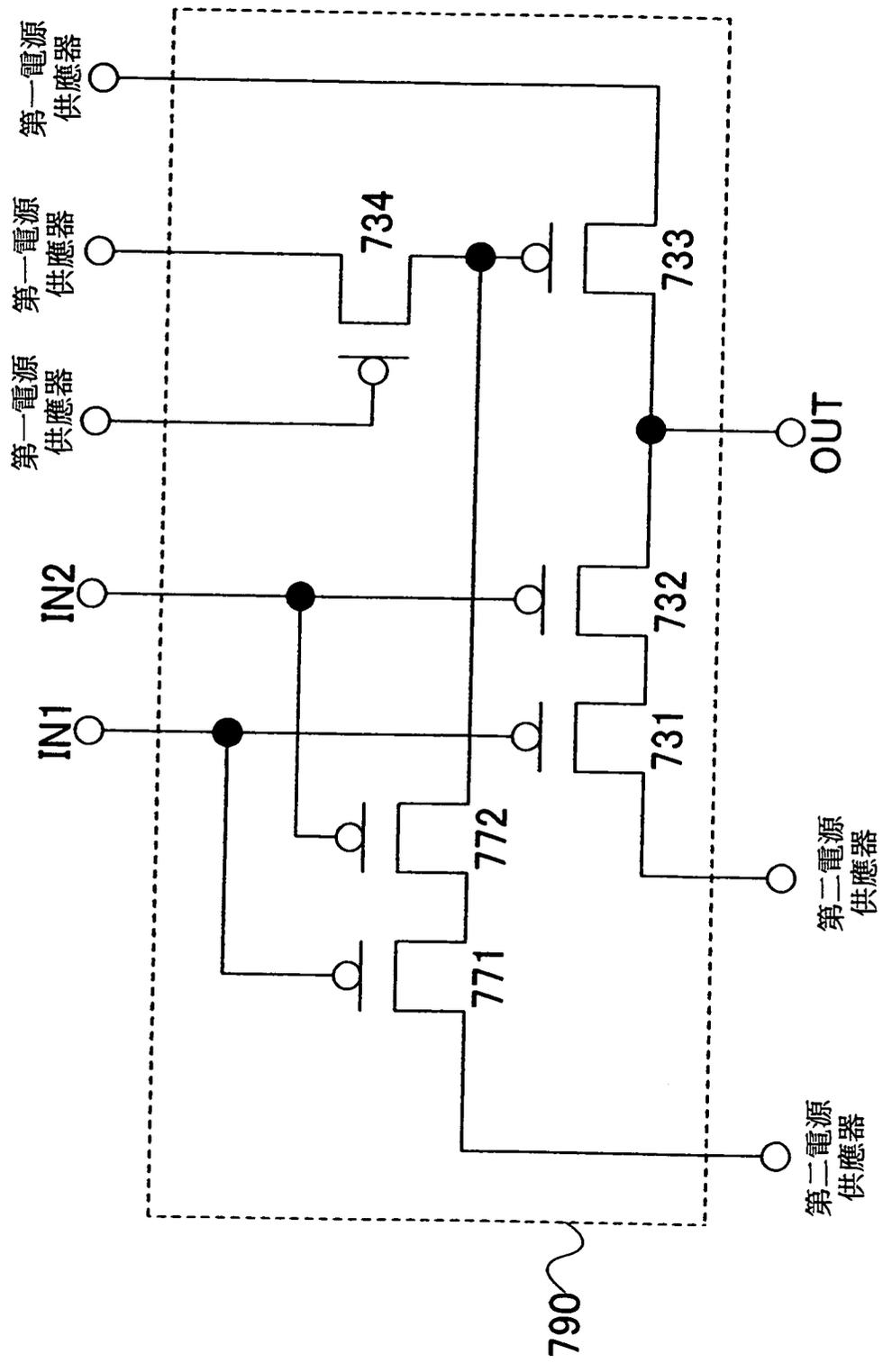
第76圖



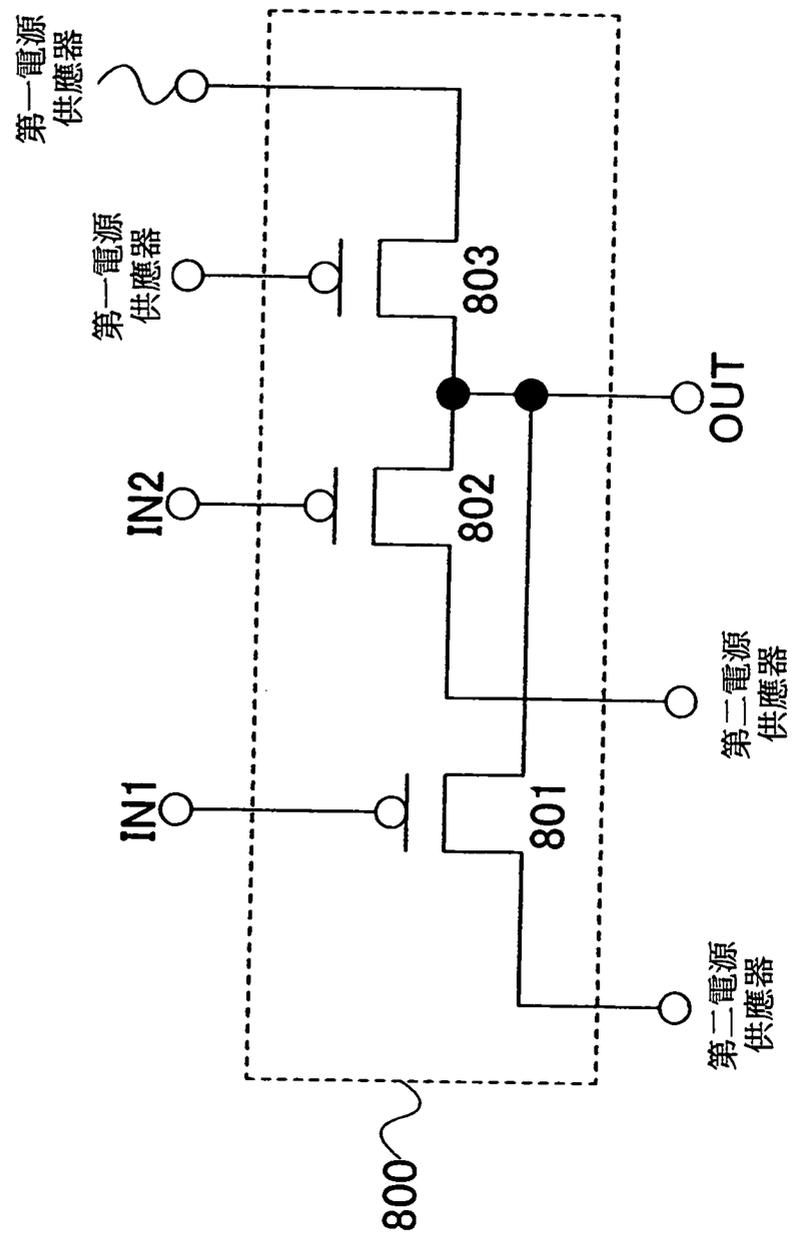
第78圖



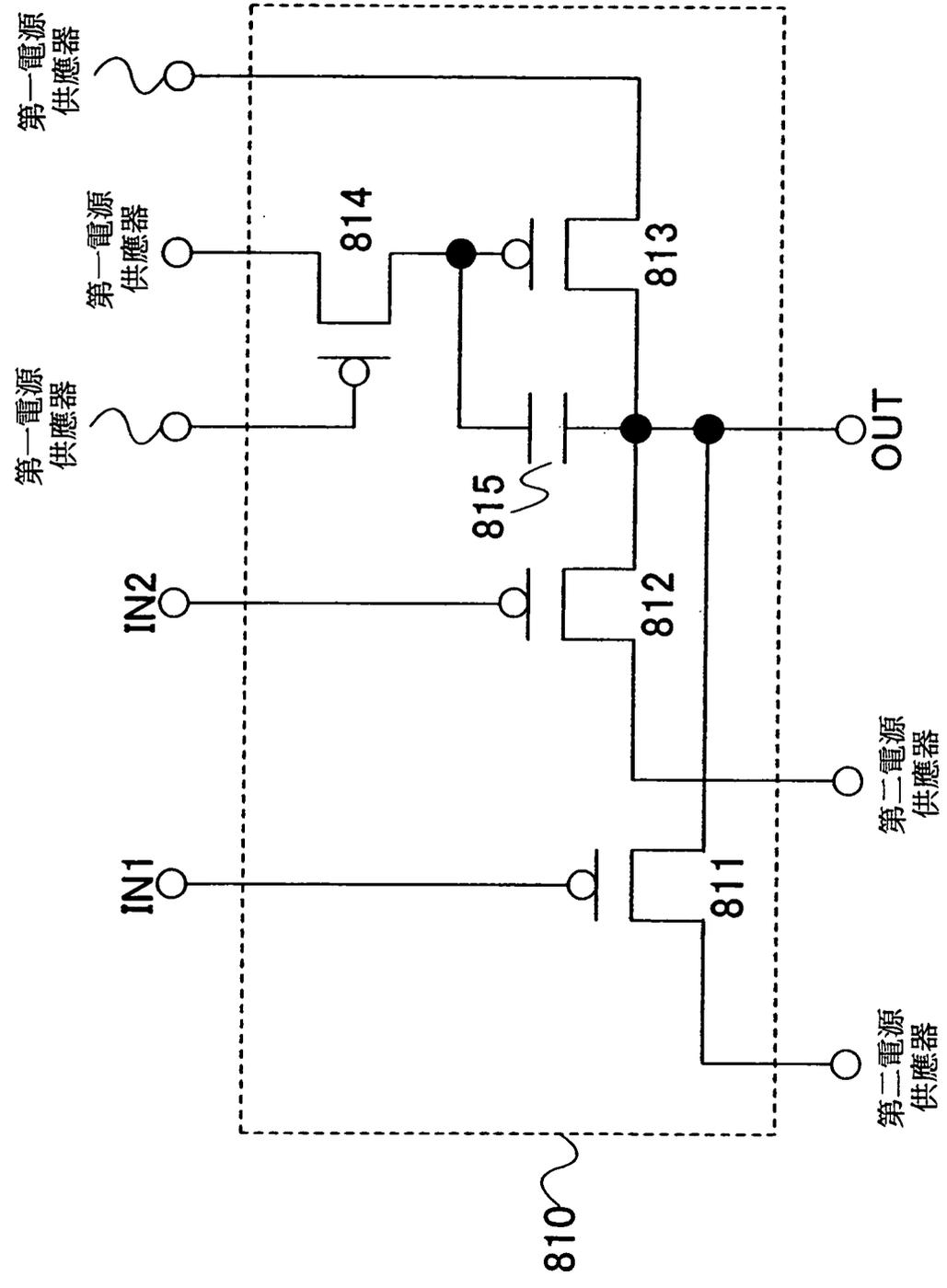
第79圖



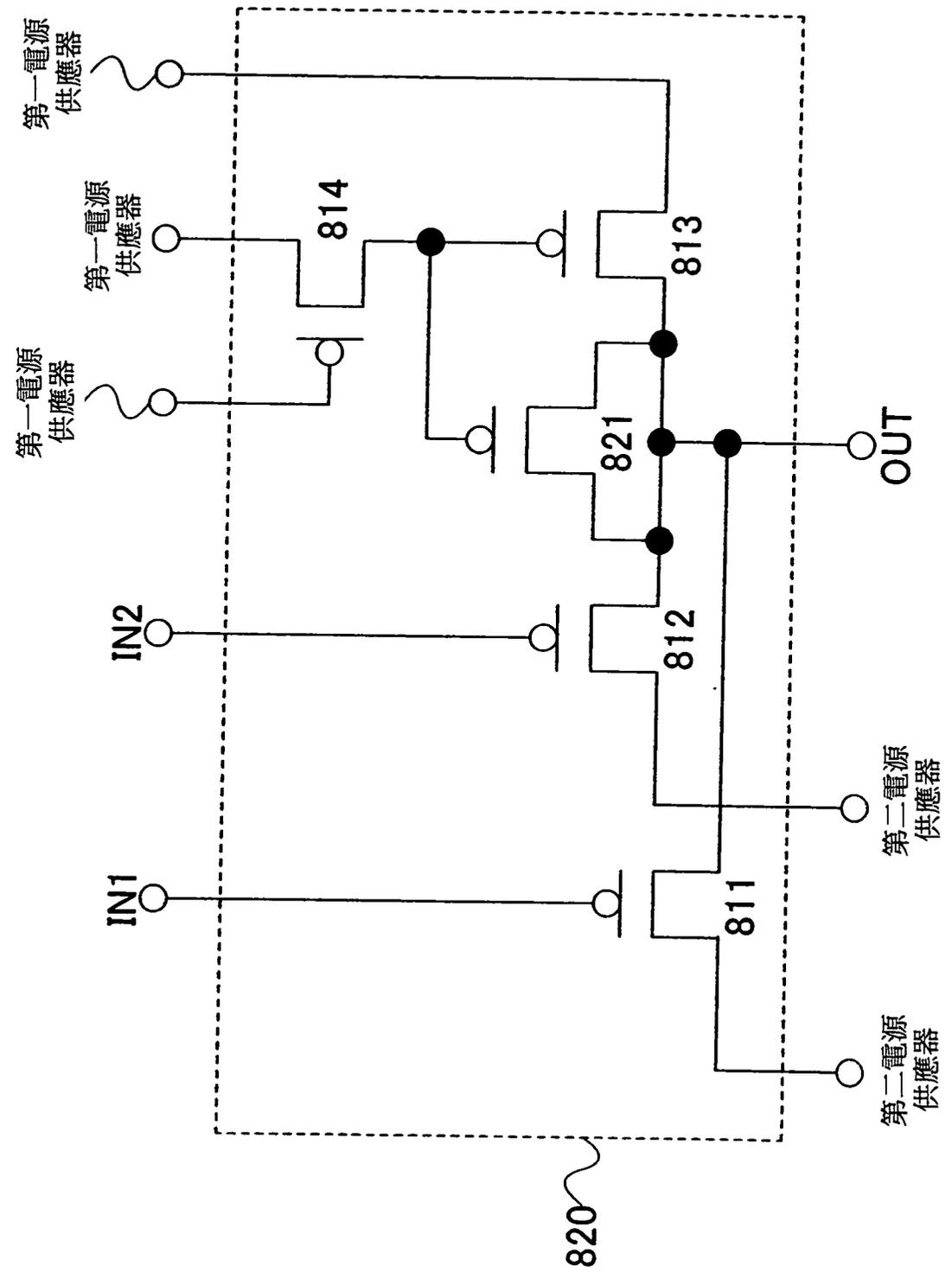
第80圖



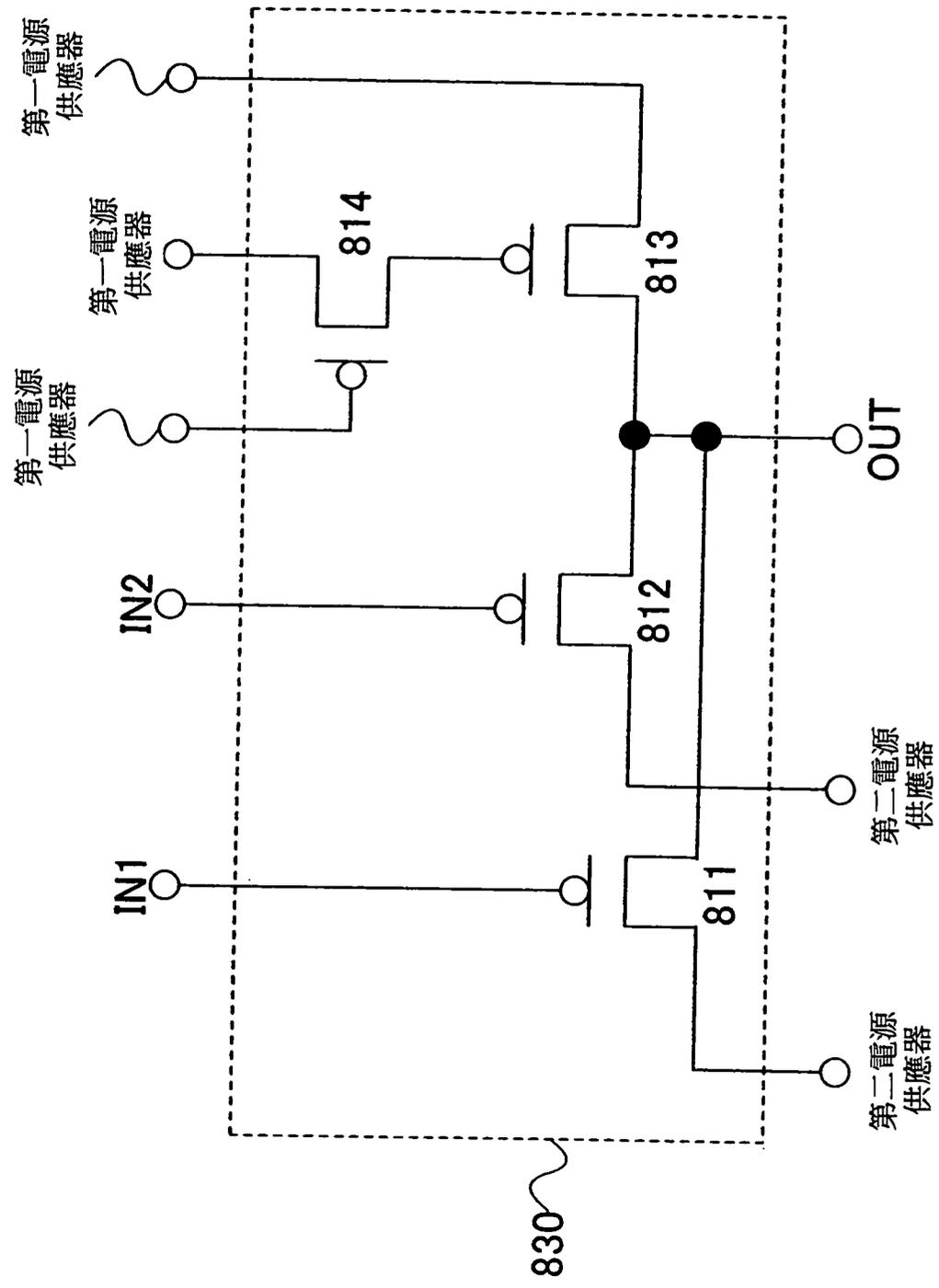
第81圖



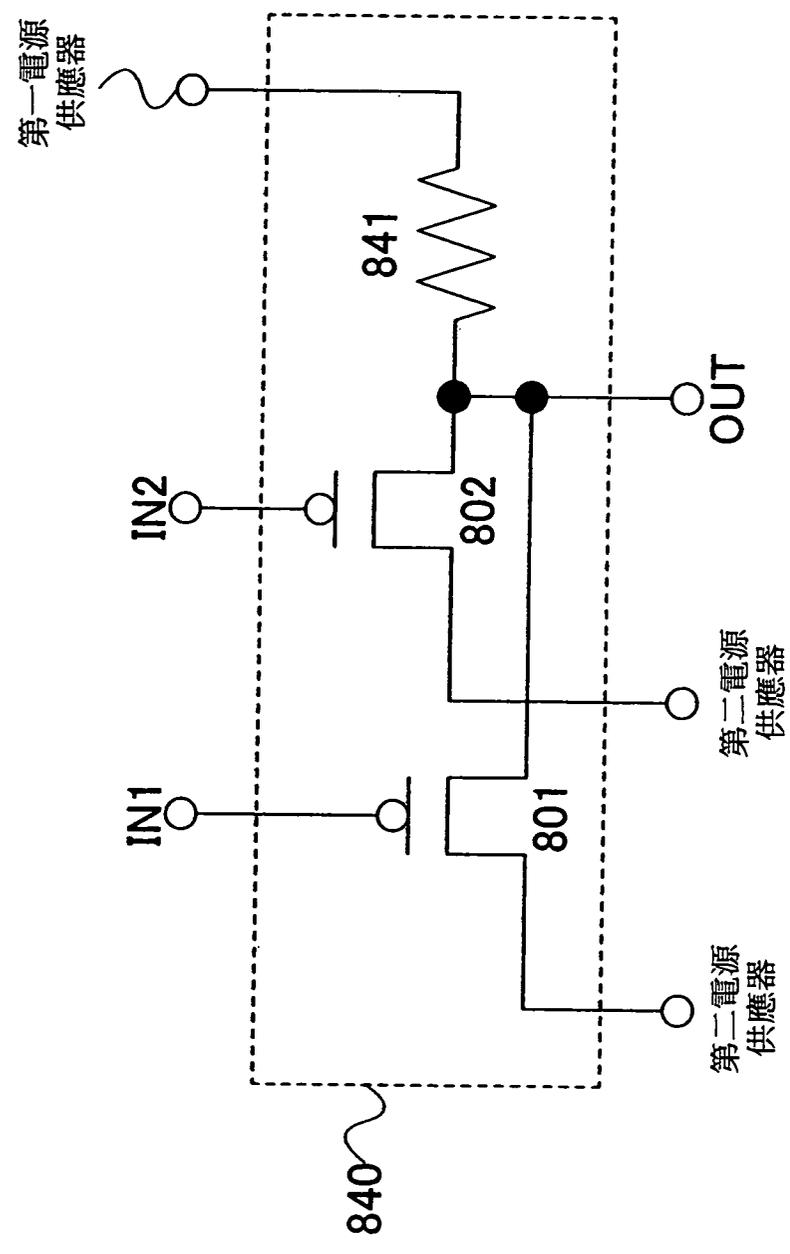
第82圖



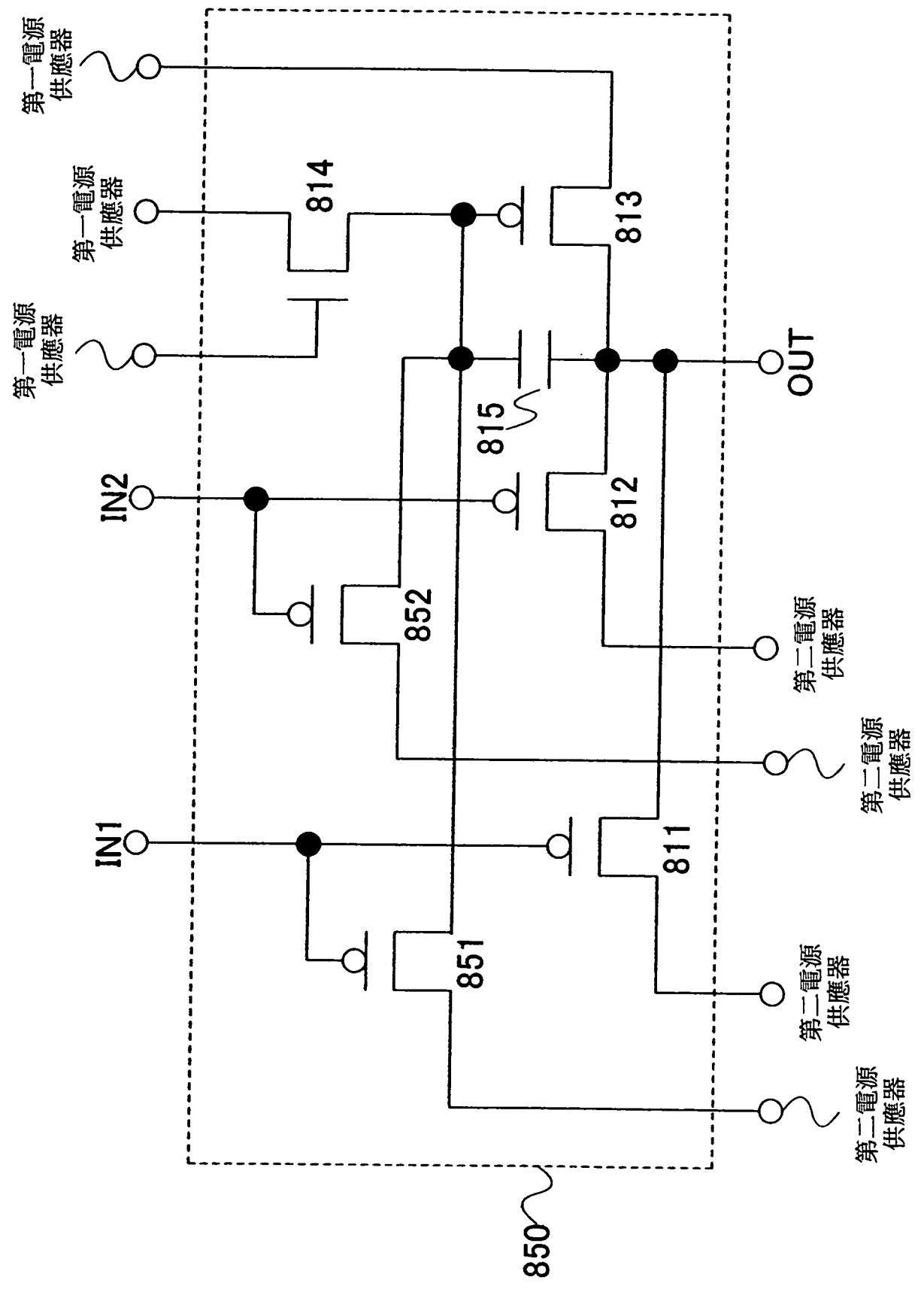
第83圖



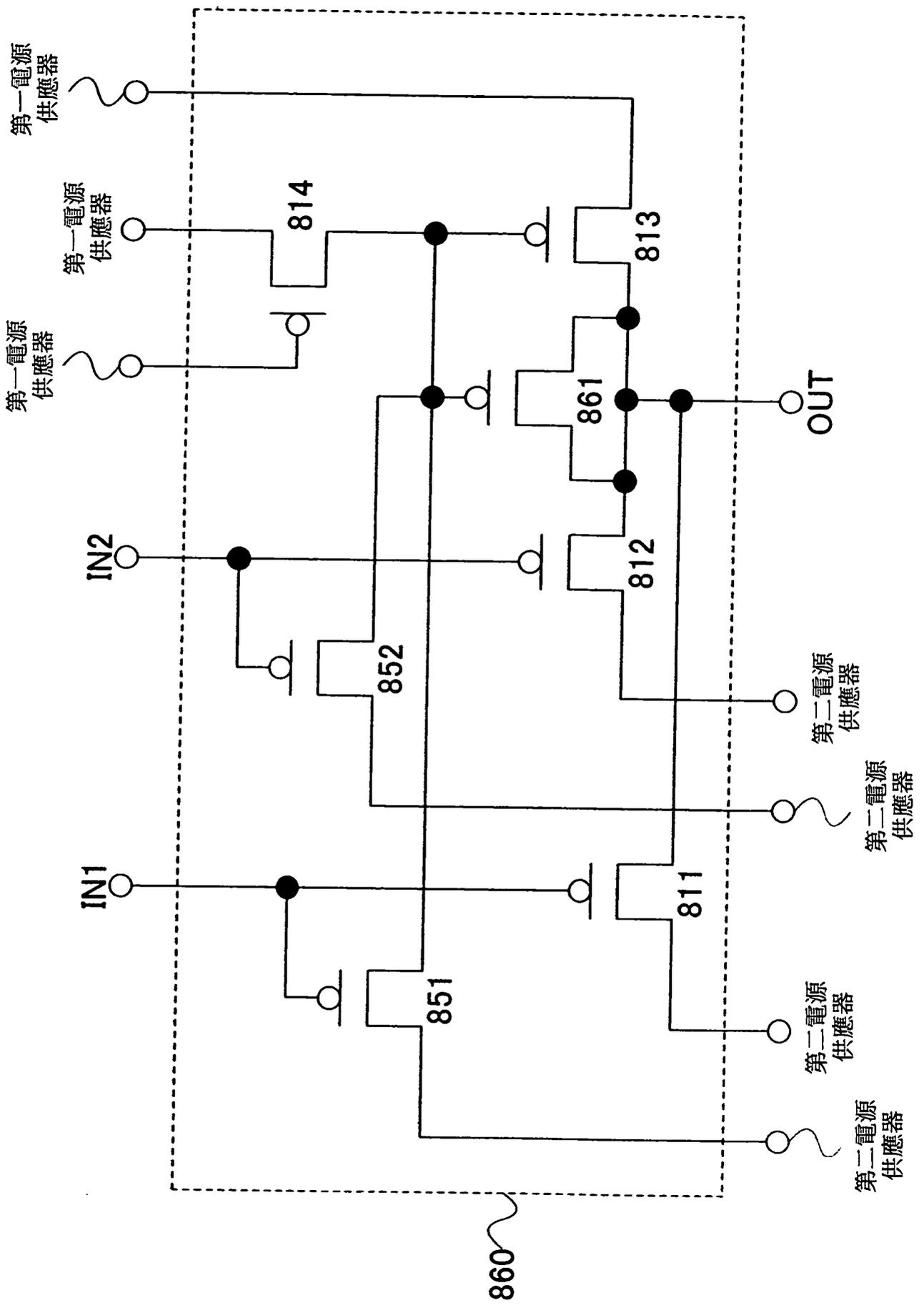
第84圖



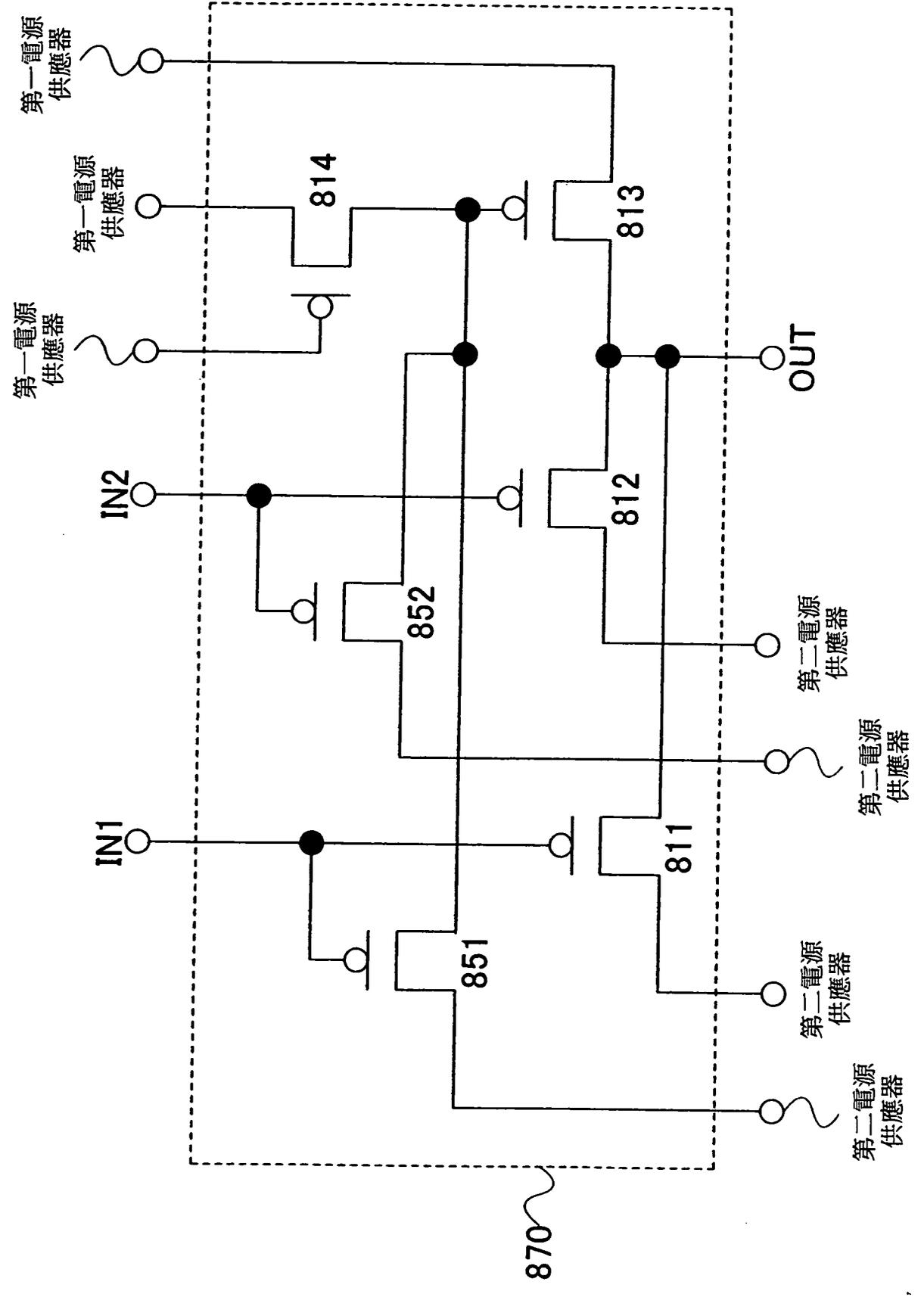
第85圖



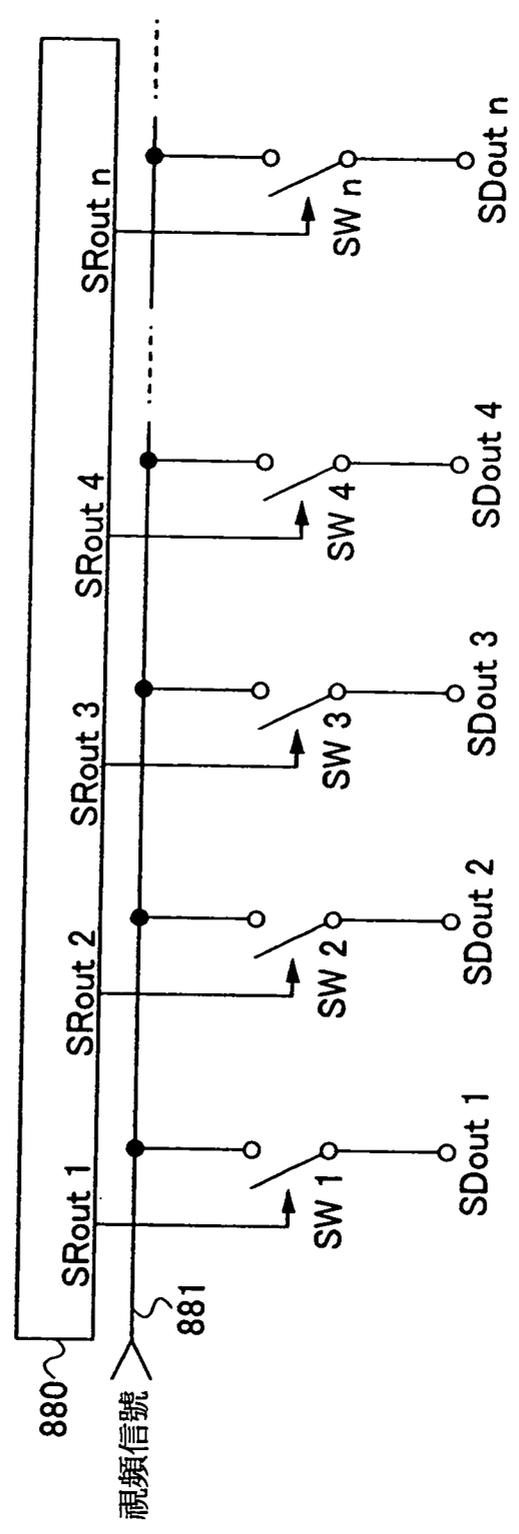
第86圖



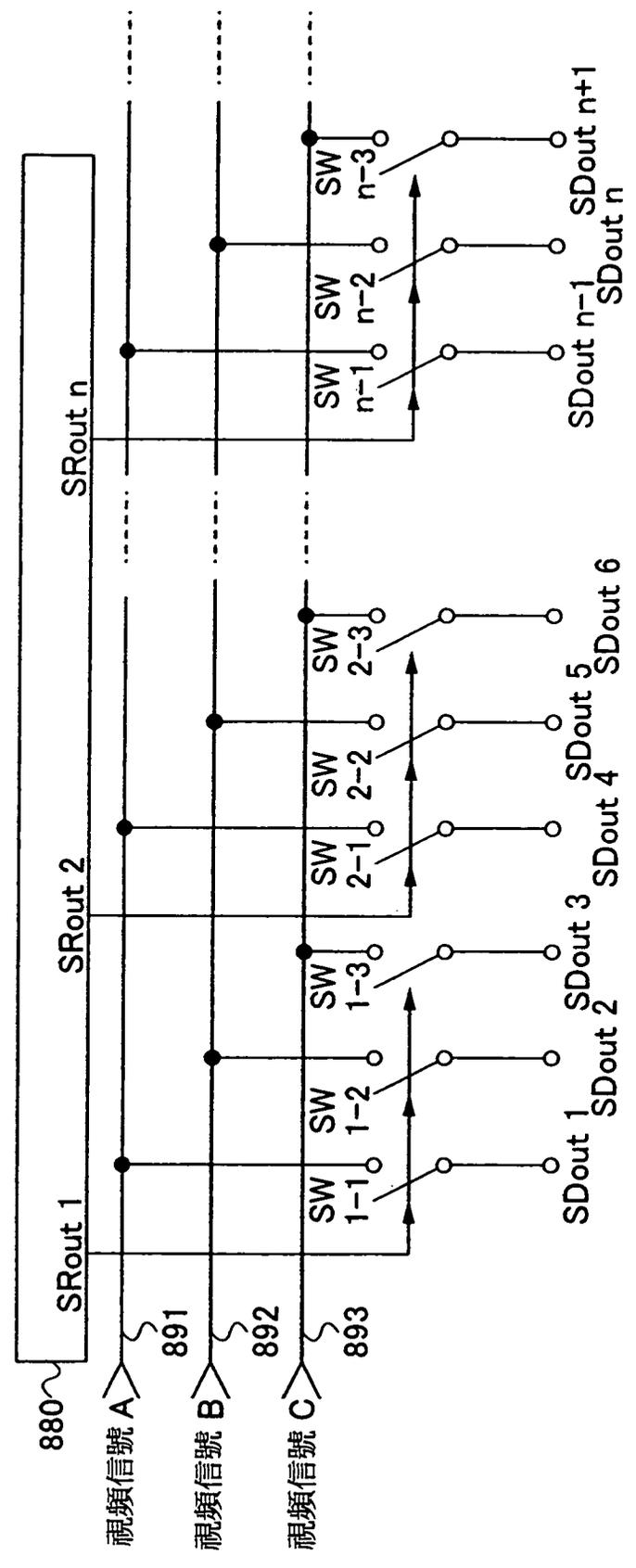
第87圖



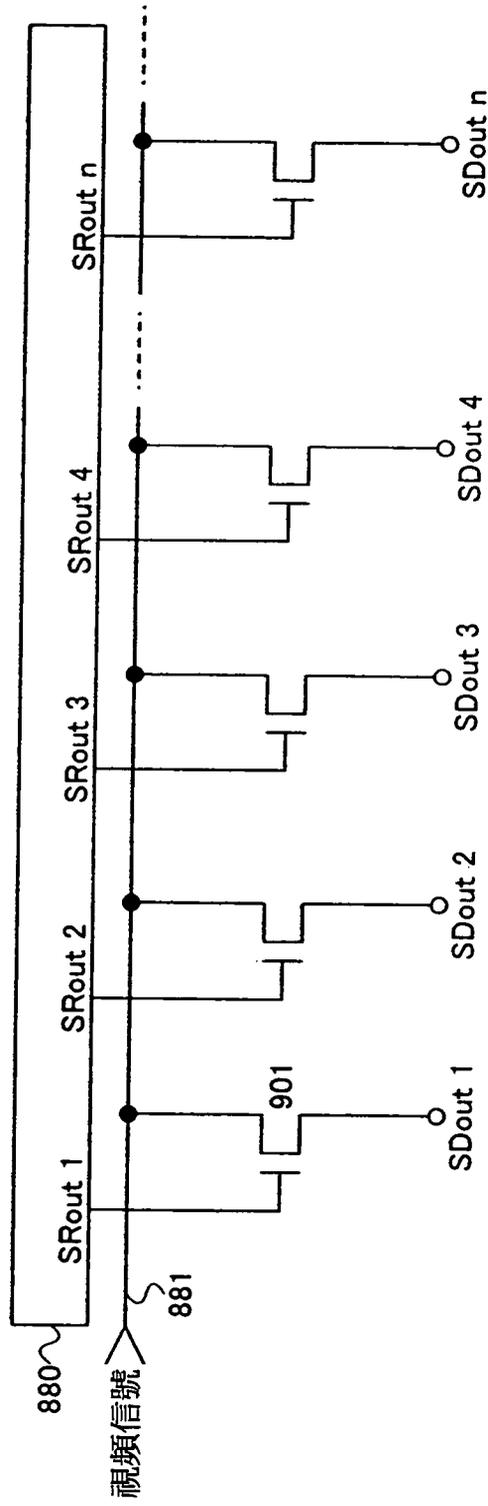
第88圖



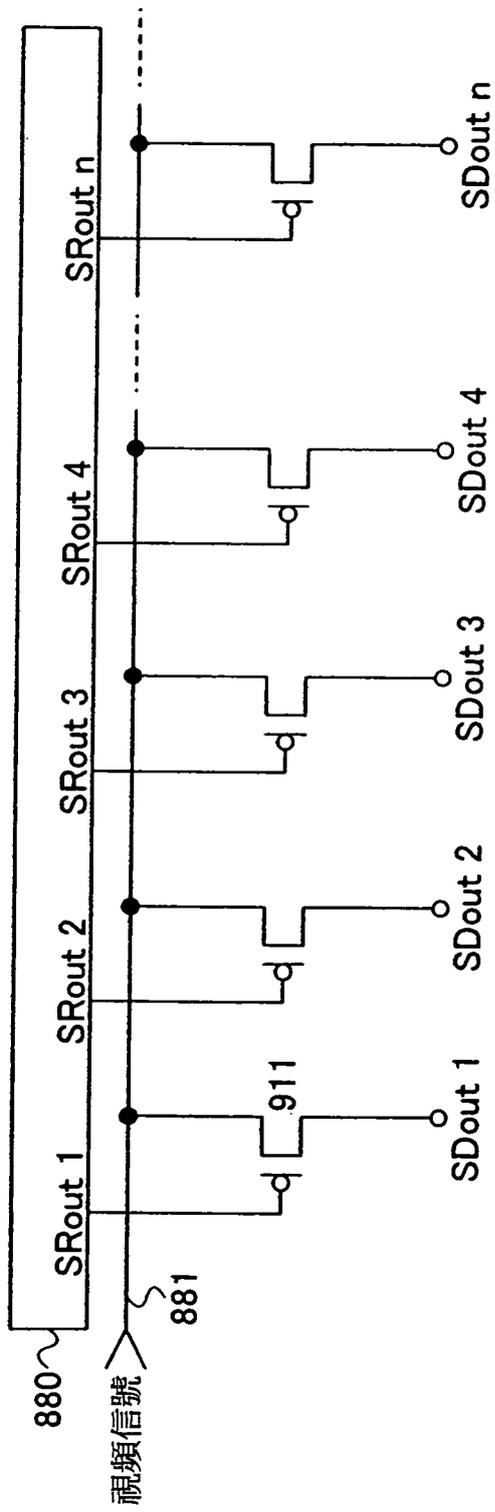
第89圖



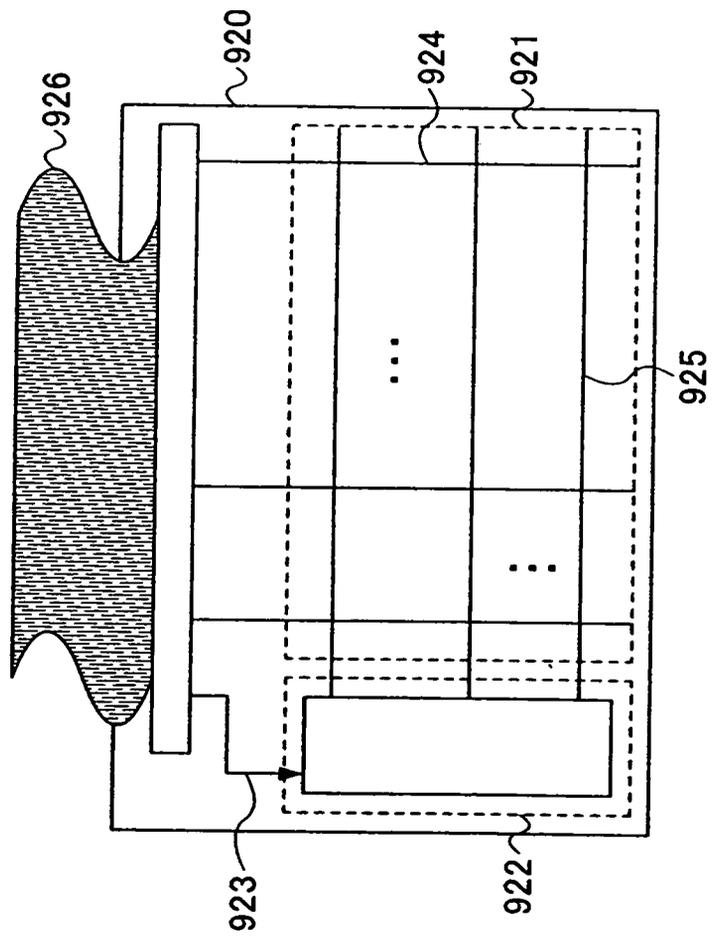
第90圖



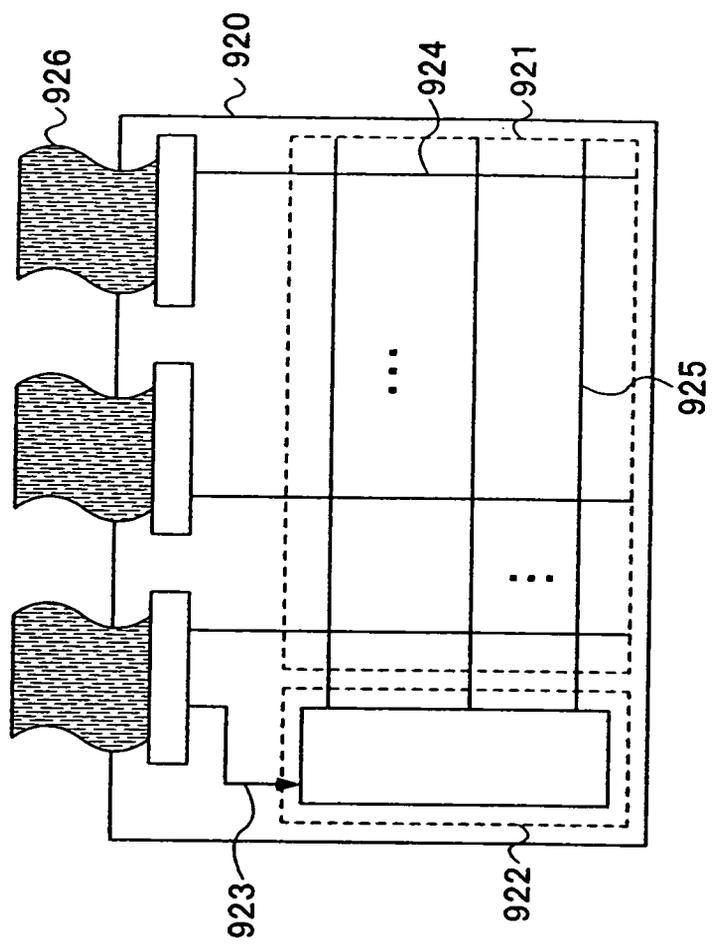
第91圖



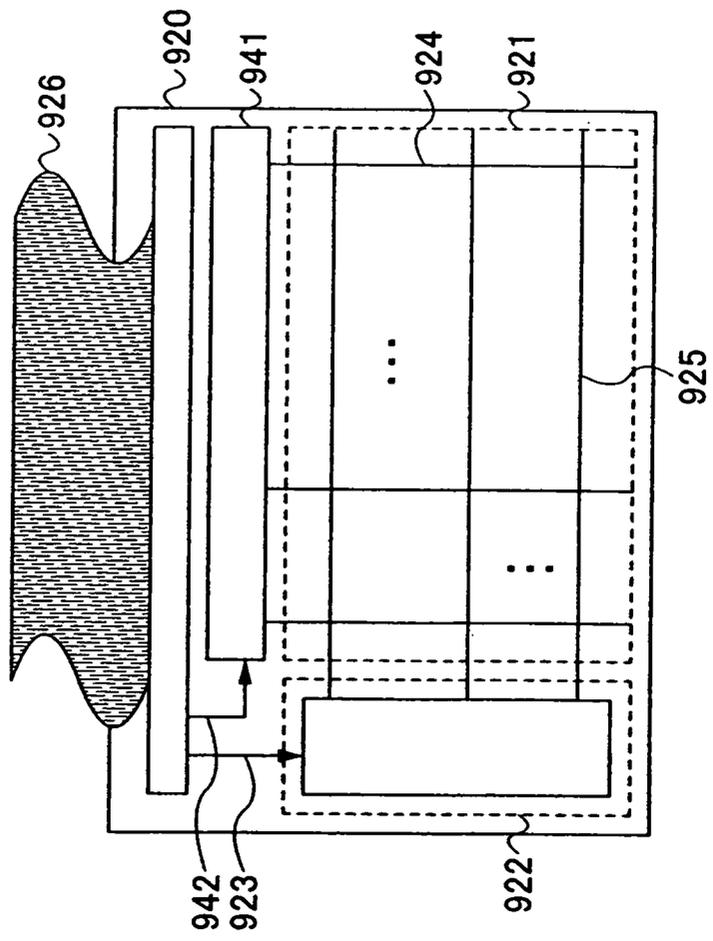
第92圖



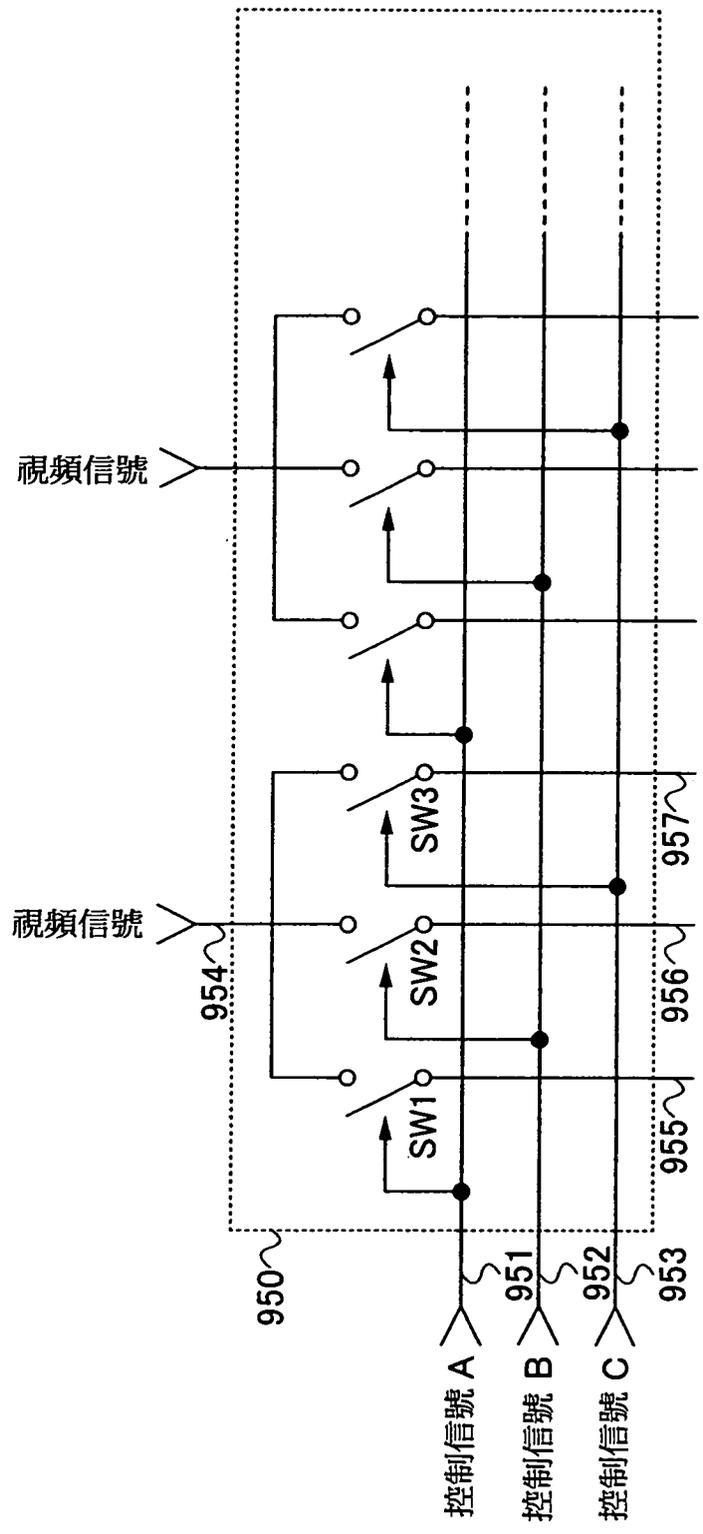
第93圖



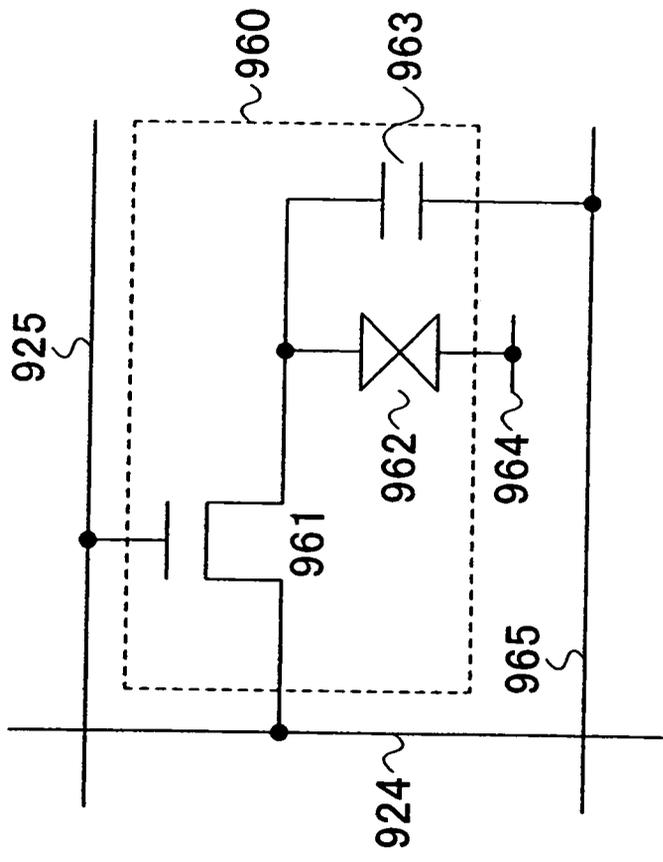
第94圖



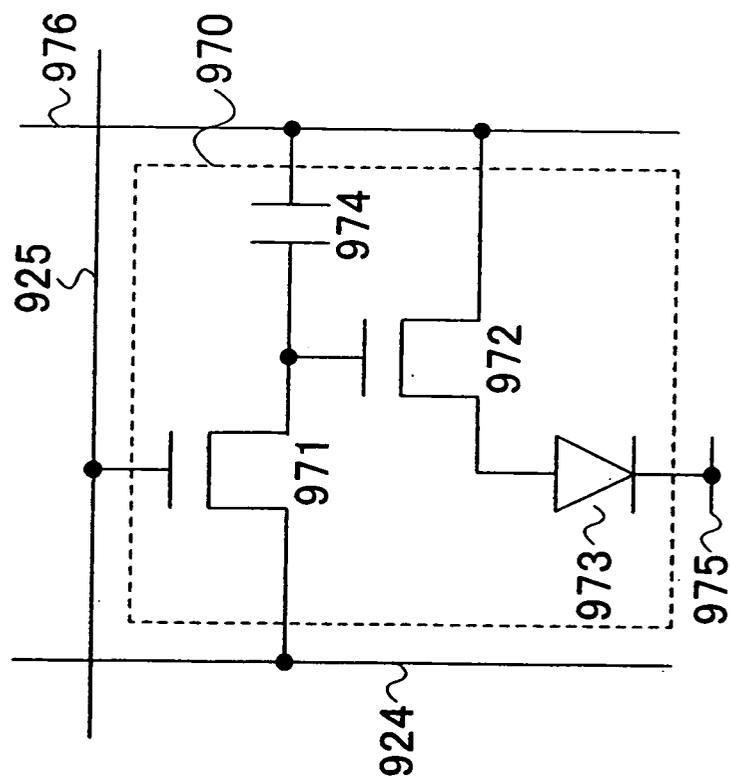
第95圖



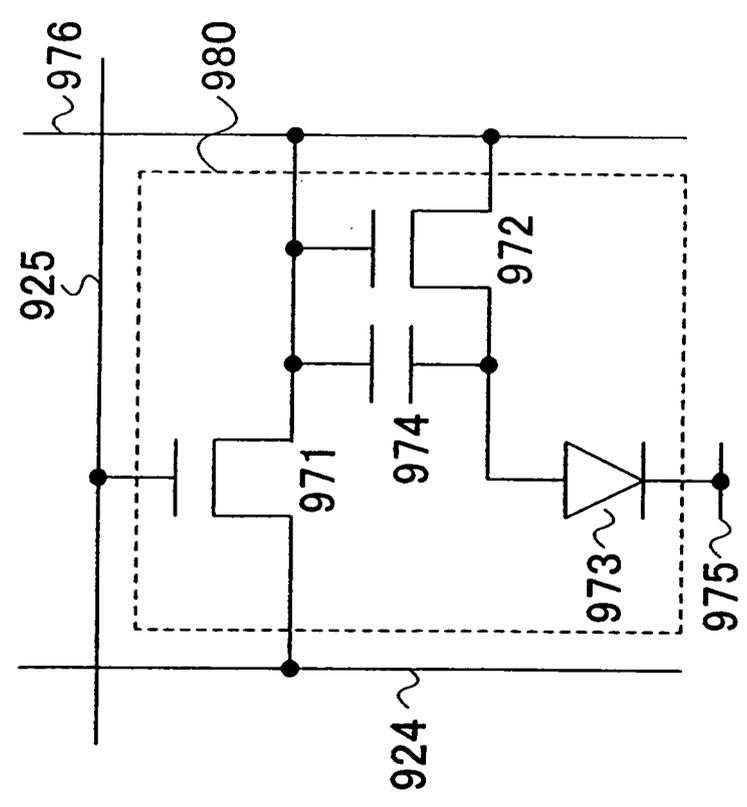
第96圖



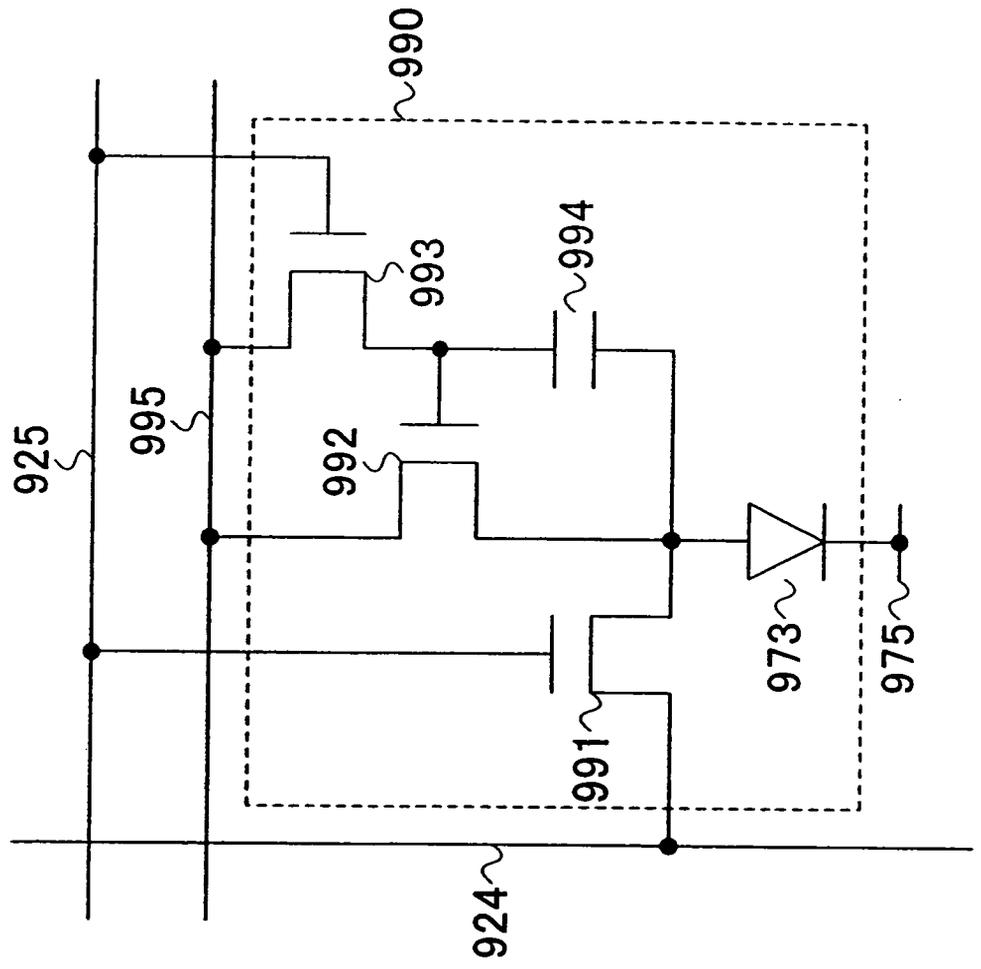
第97圖



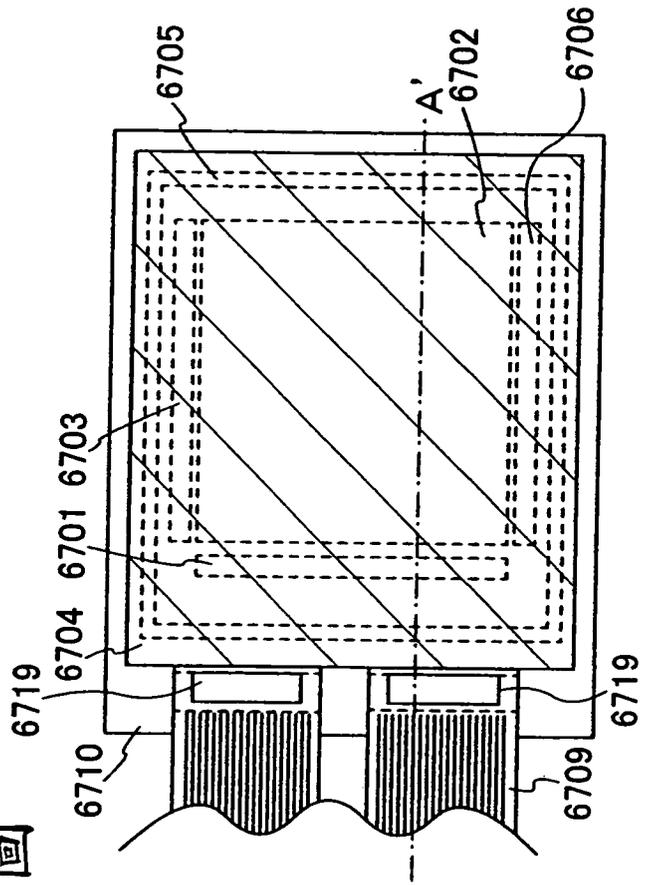
第98圖



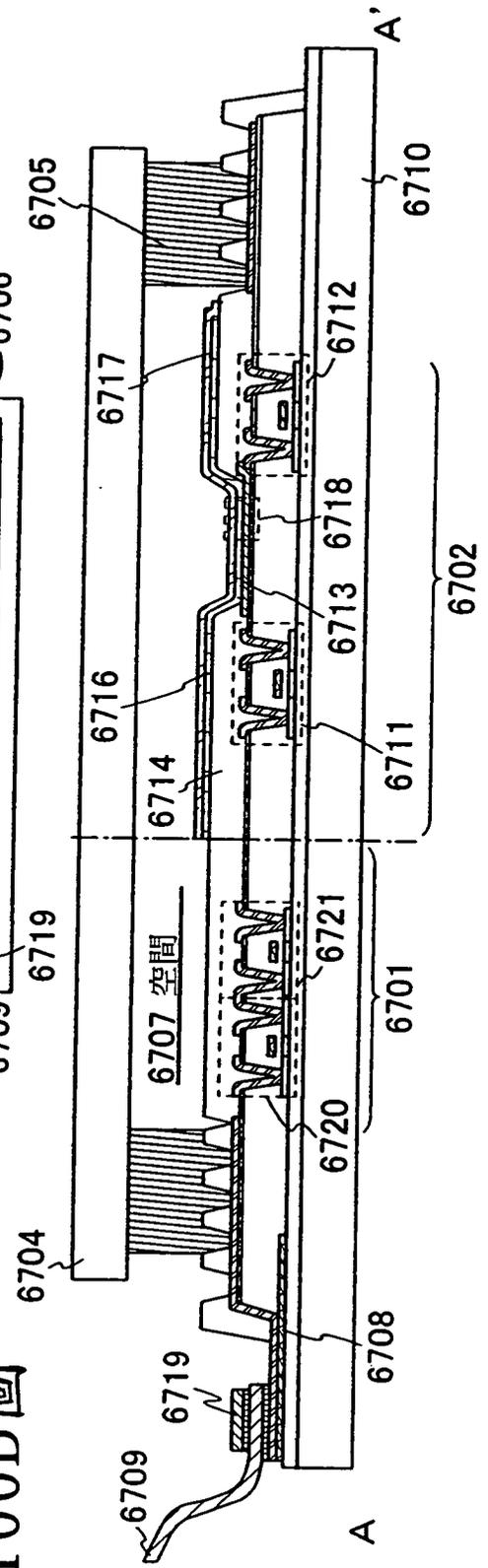
第99圖



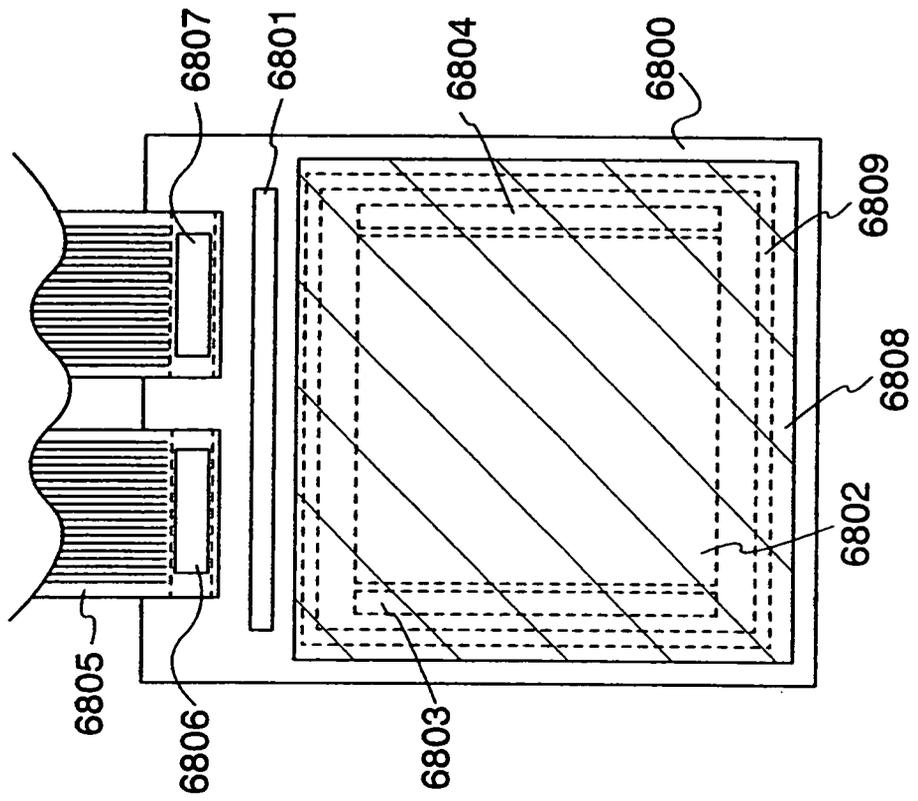
第100A圖



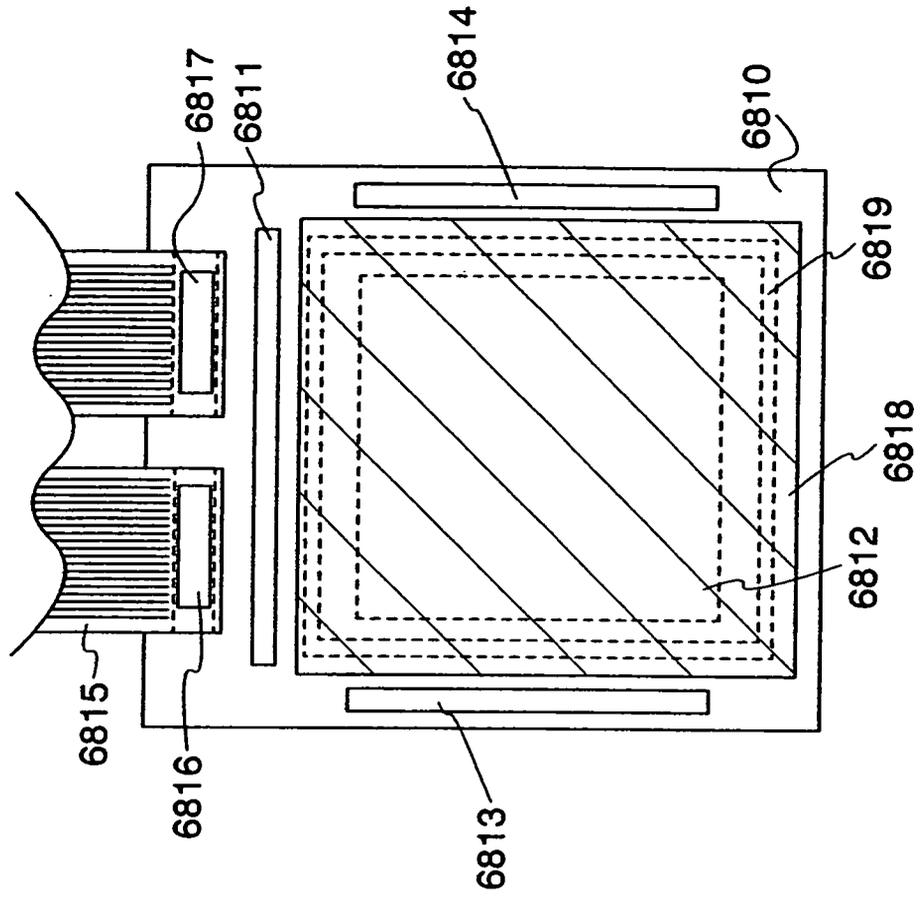
第100B圖



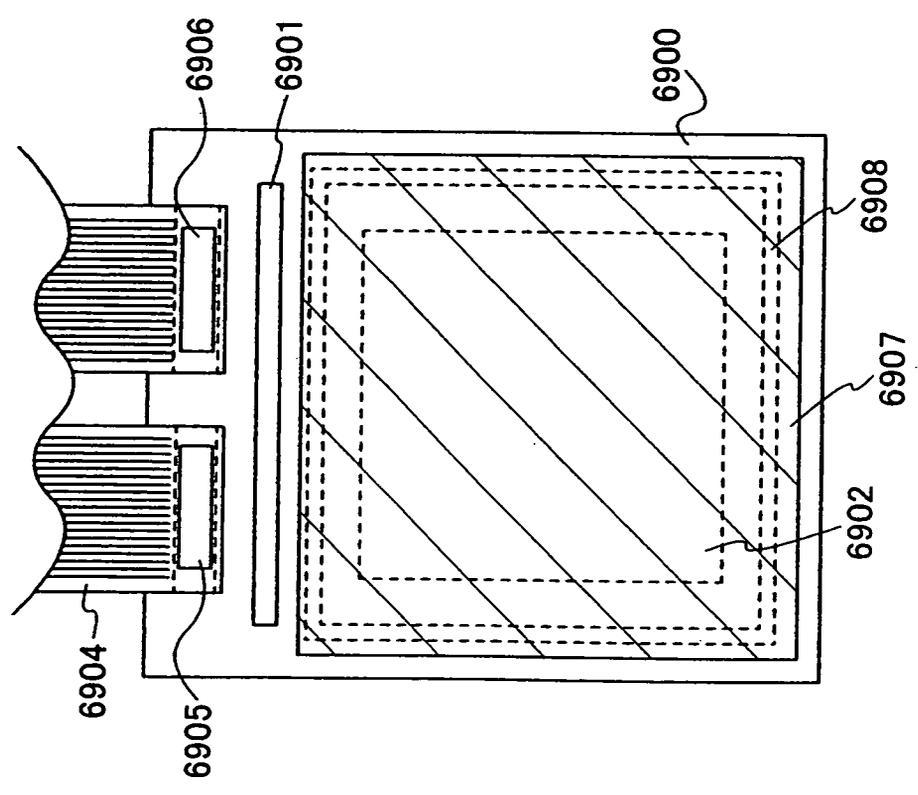
第101A圖



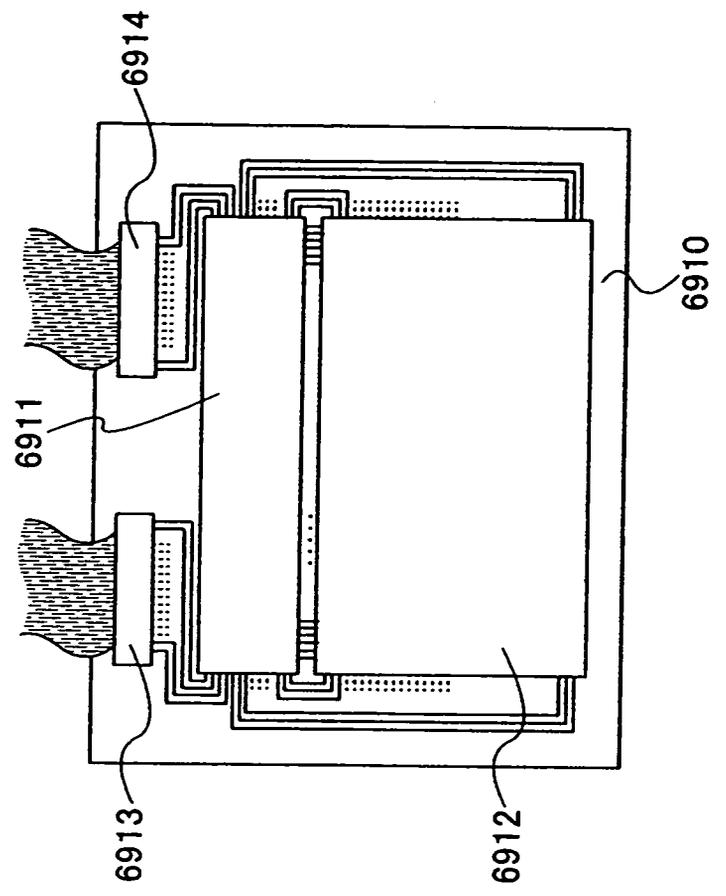
第101B圖



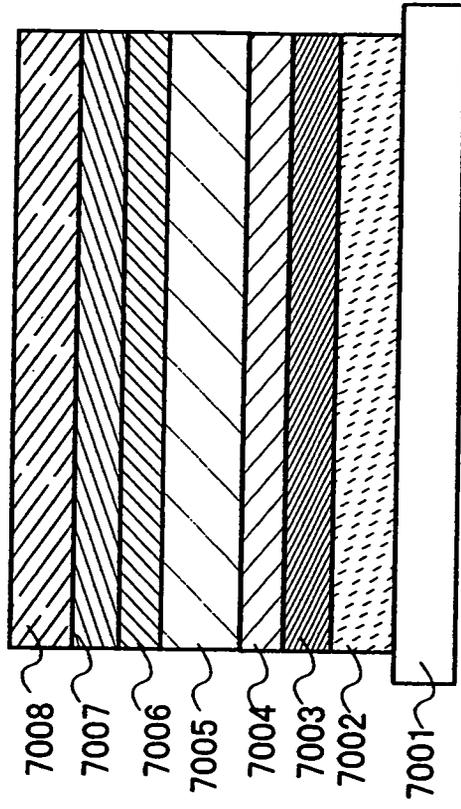
第102A圖



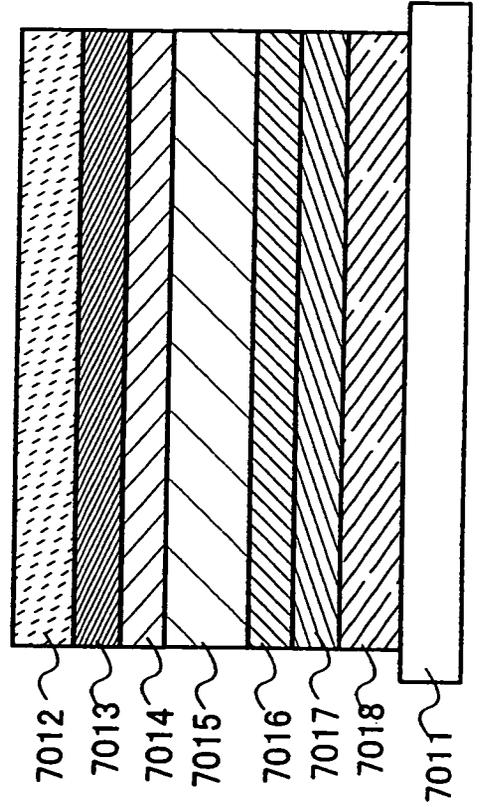
第102B圖



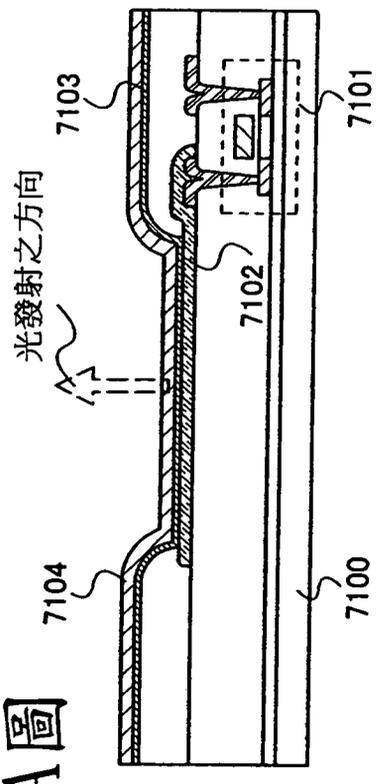
第103A圖



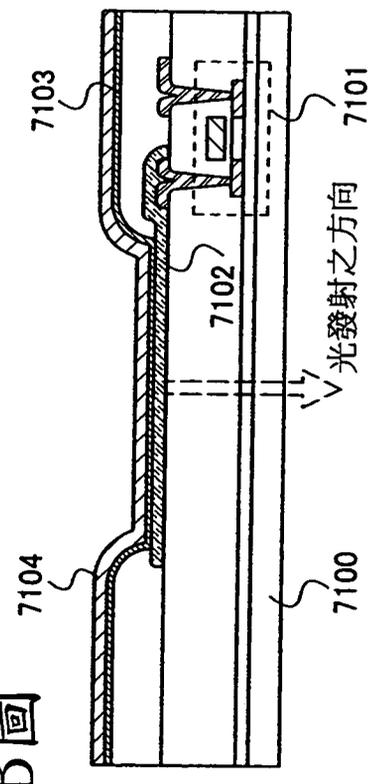
第103B圖



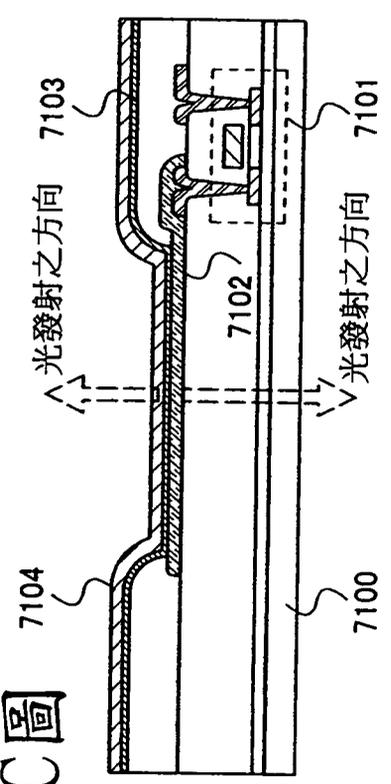
第104A圖



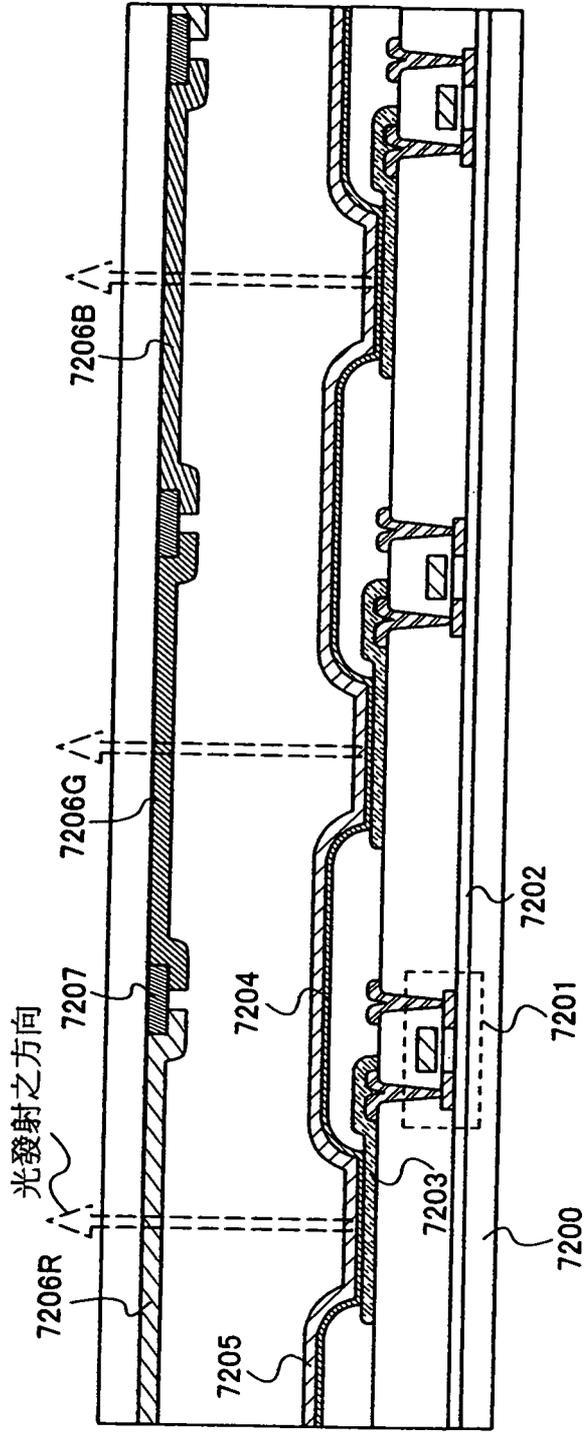
第104B圖



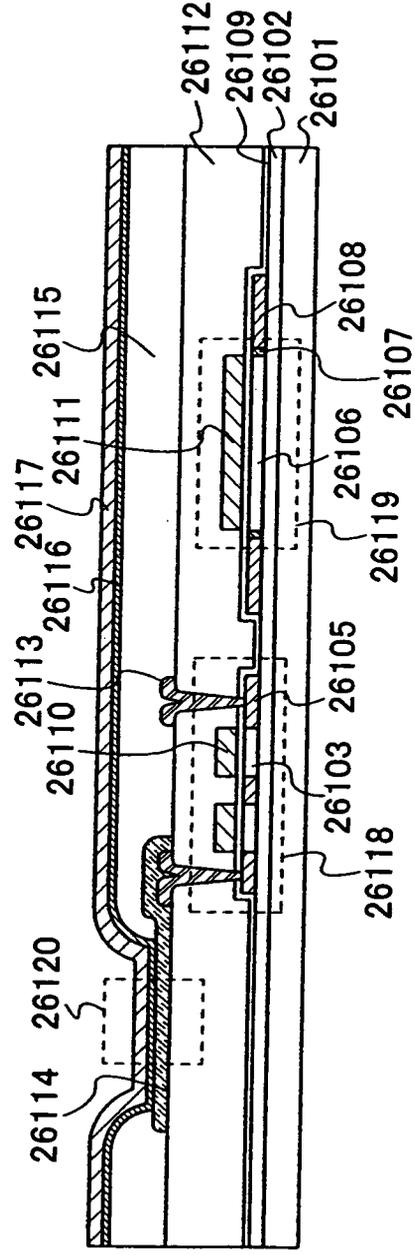
第104C圖



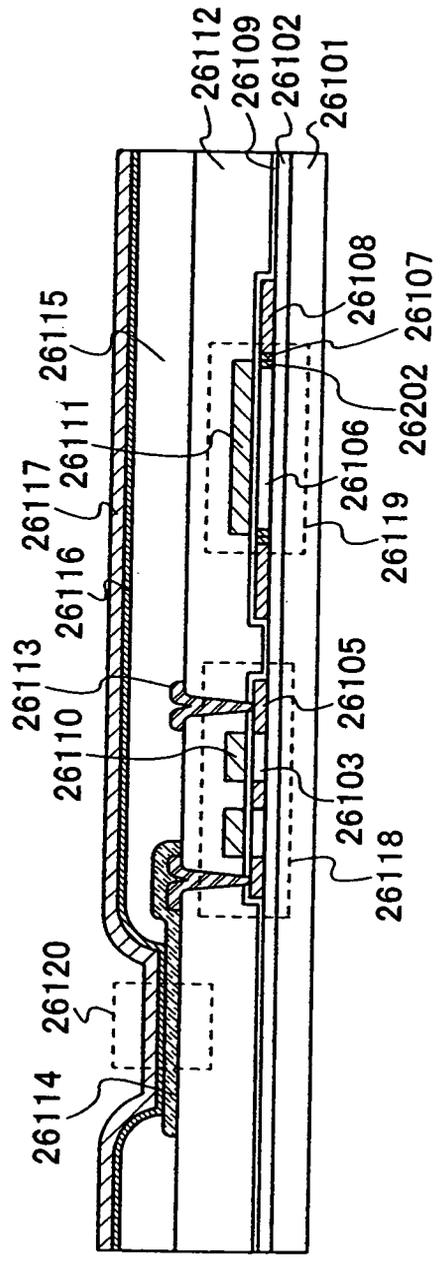
第105圖



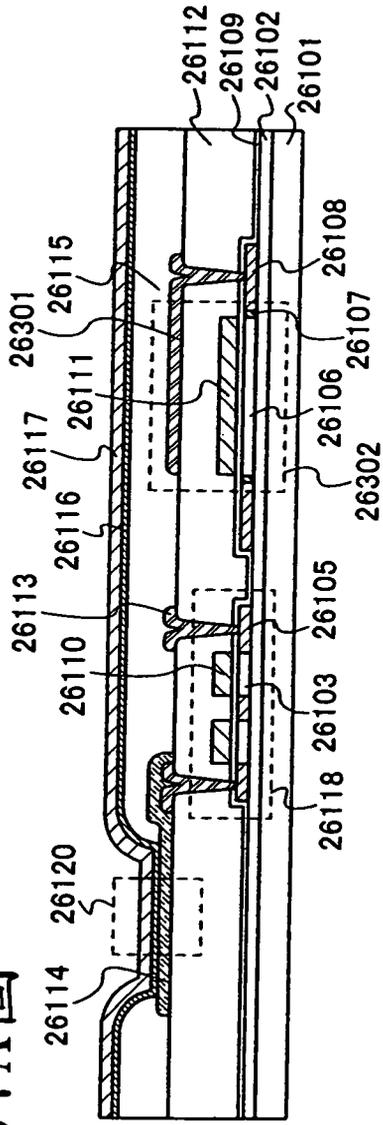
第106A圖



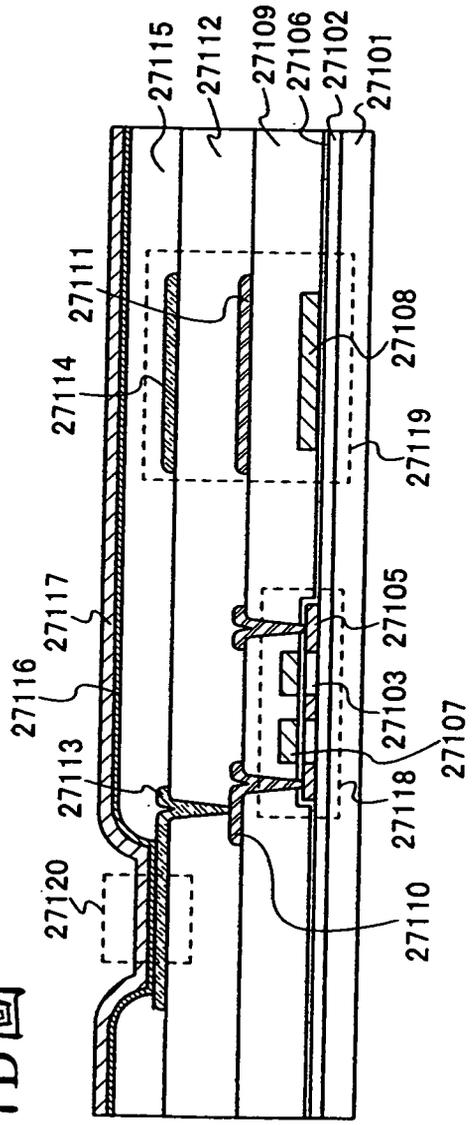
第106B圖



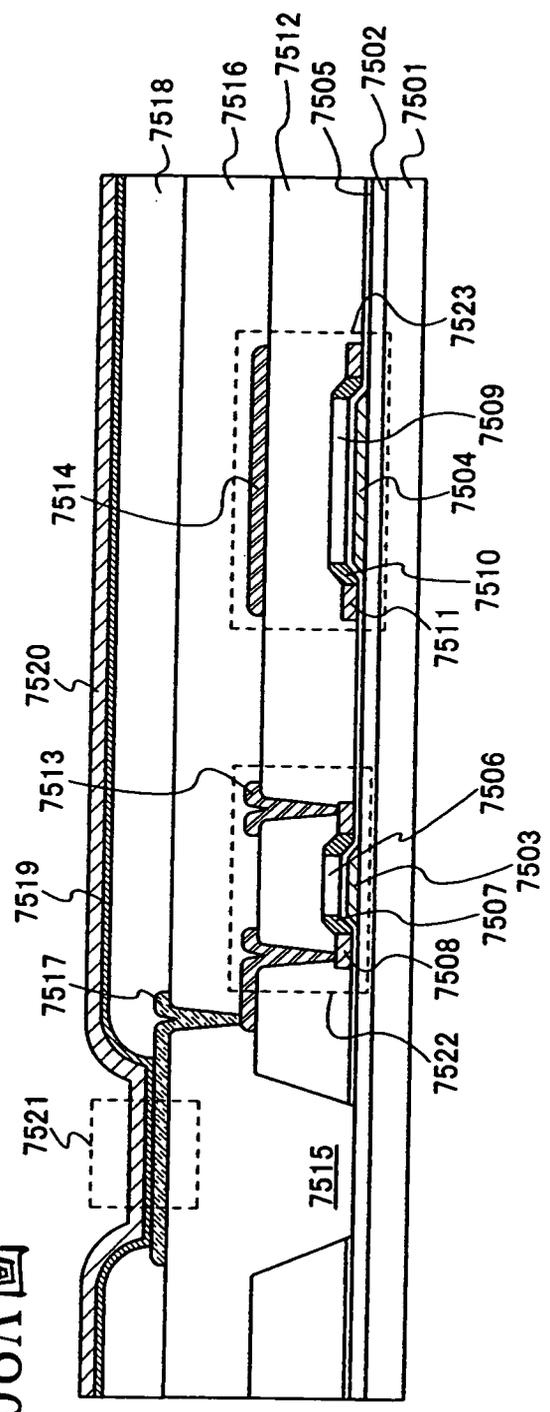
第107A圖



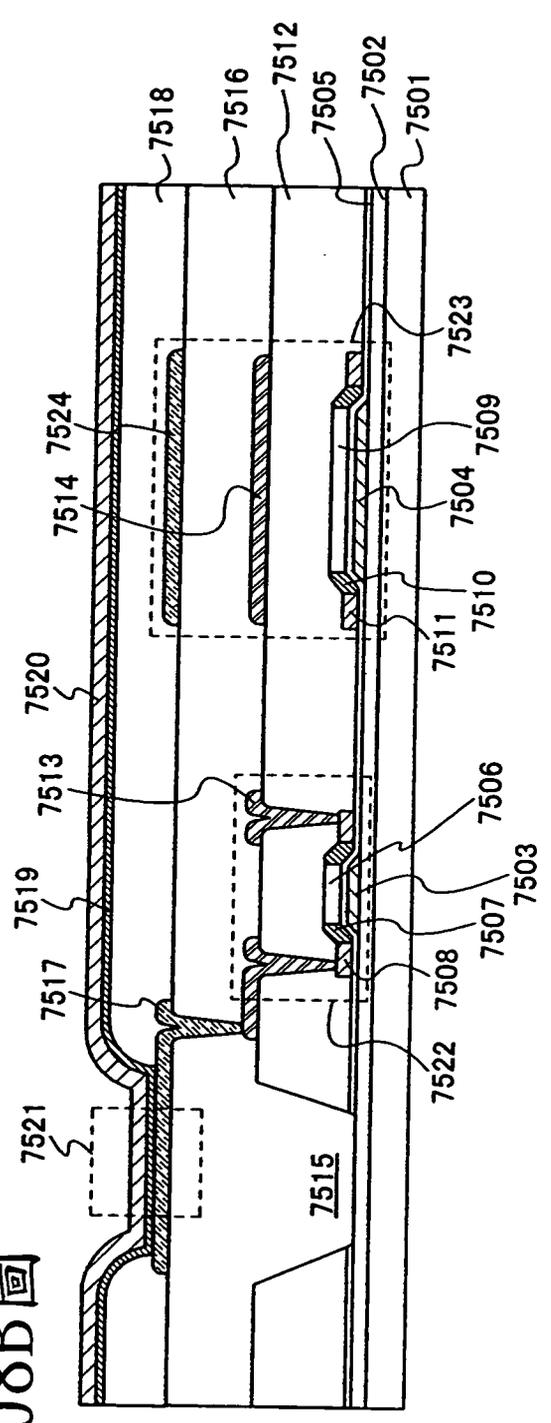
第107B圖



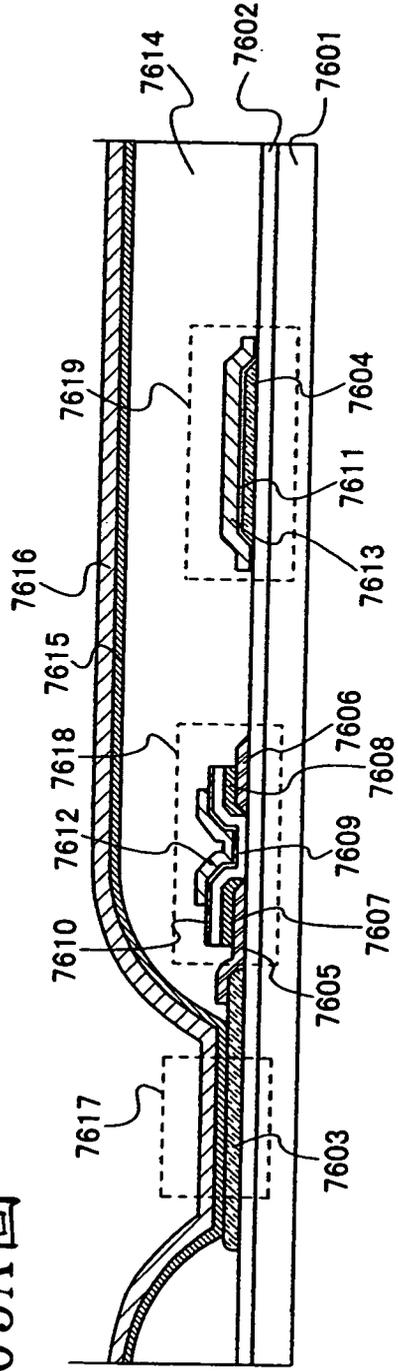
第108A圖



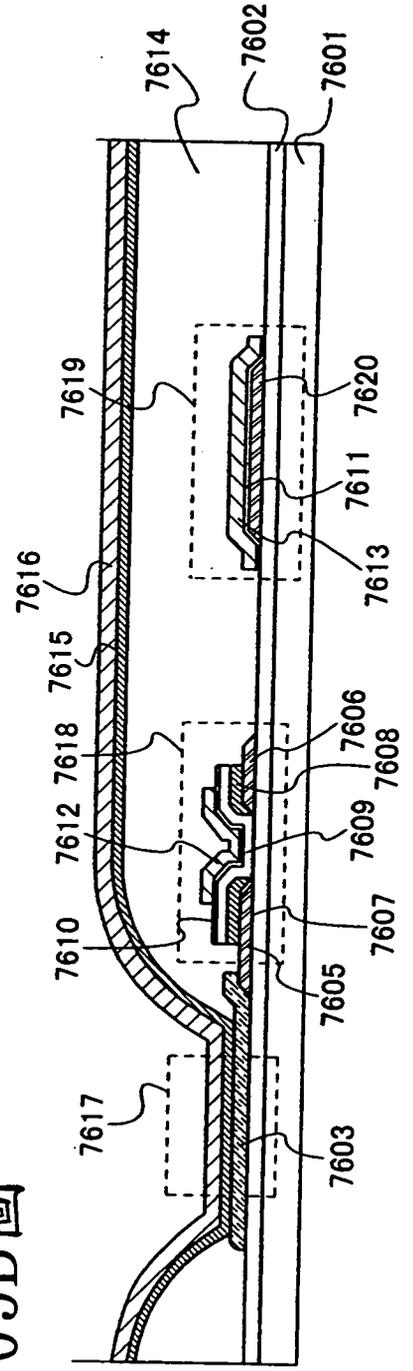
第108B圖



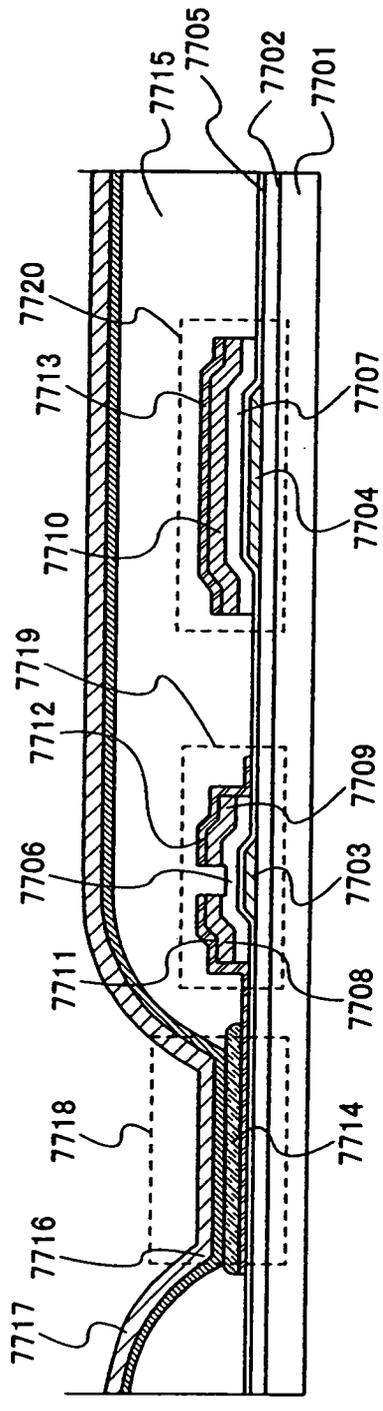
第109A圖



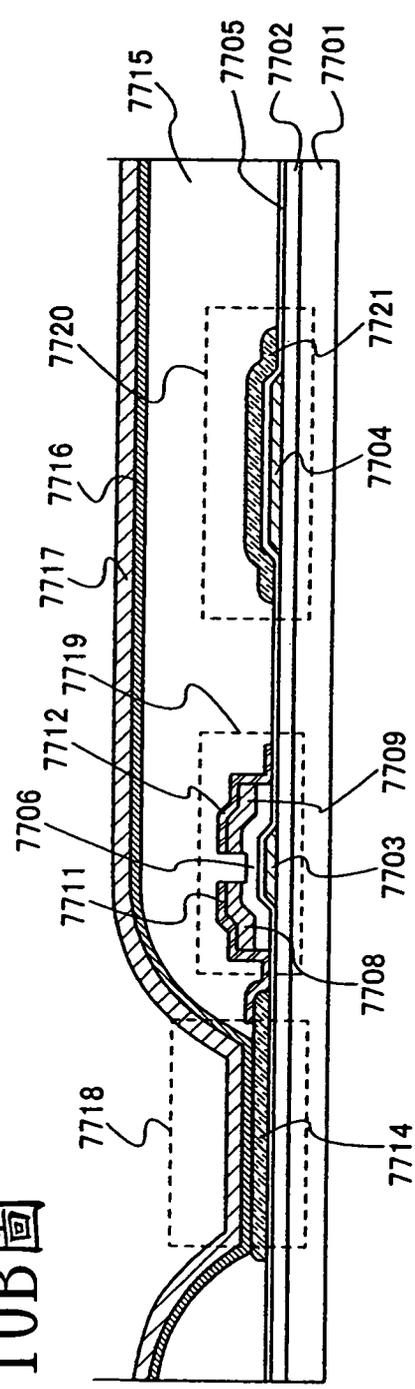
第109B圖



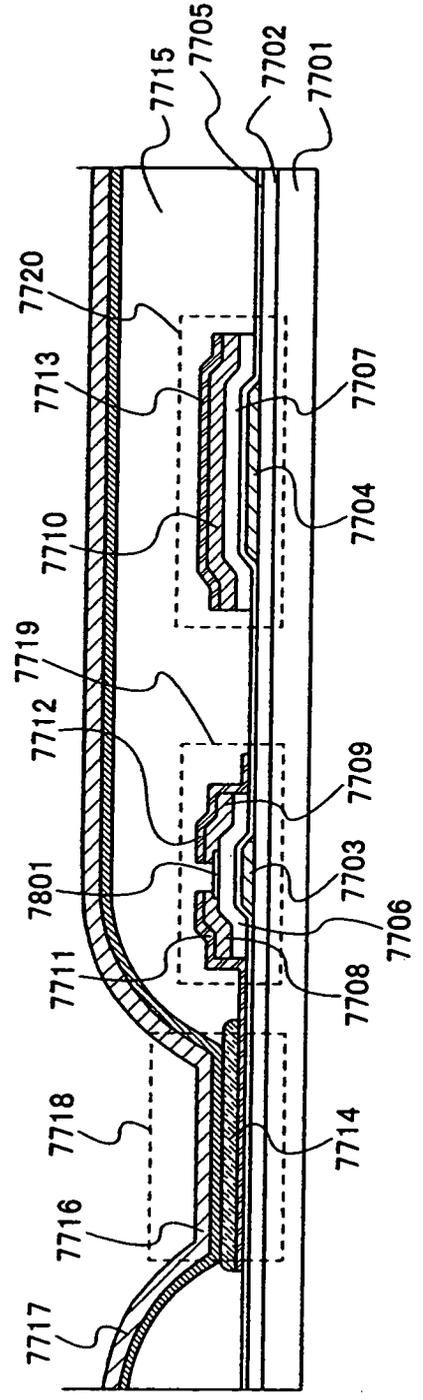
第110A圖



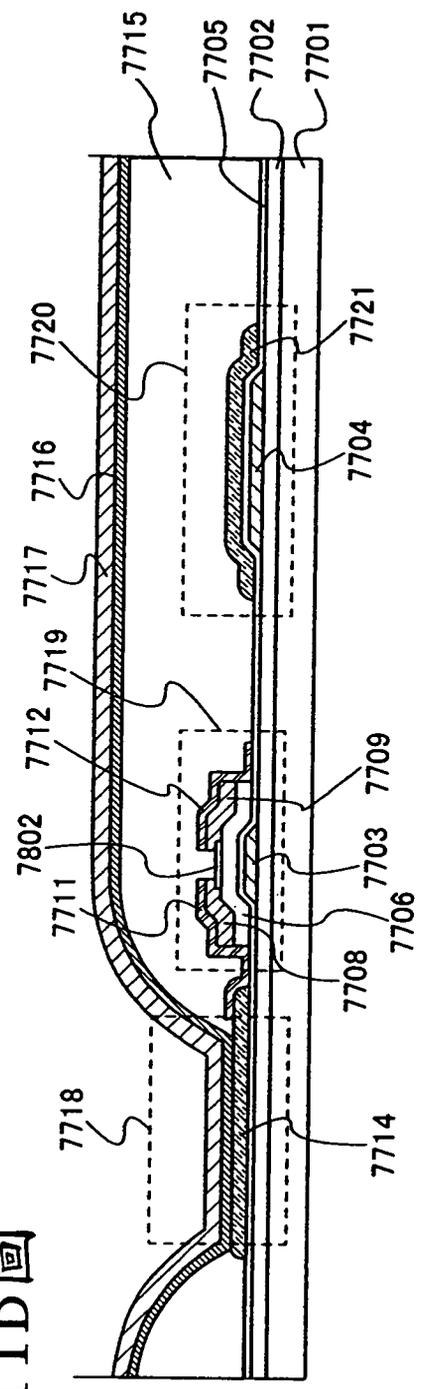
第110B圖



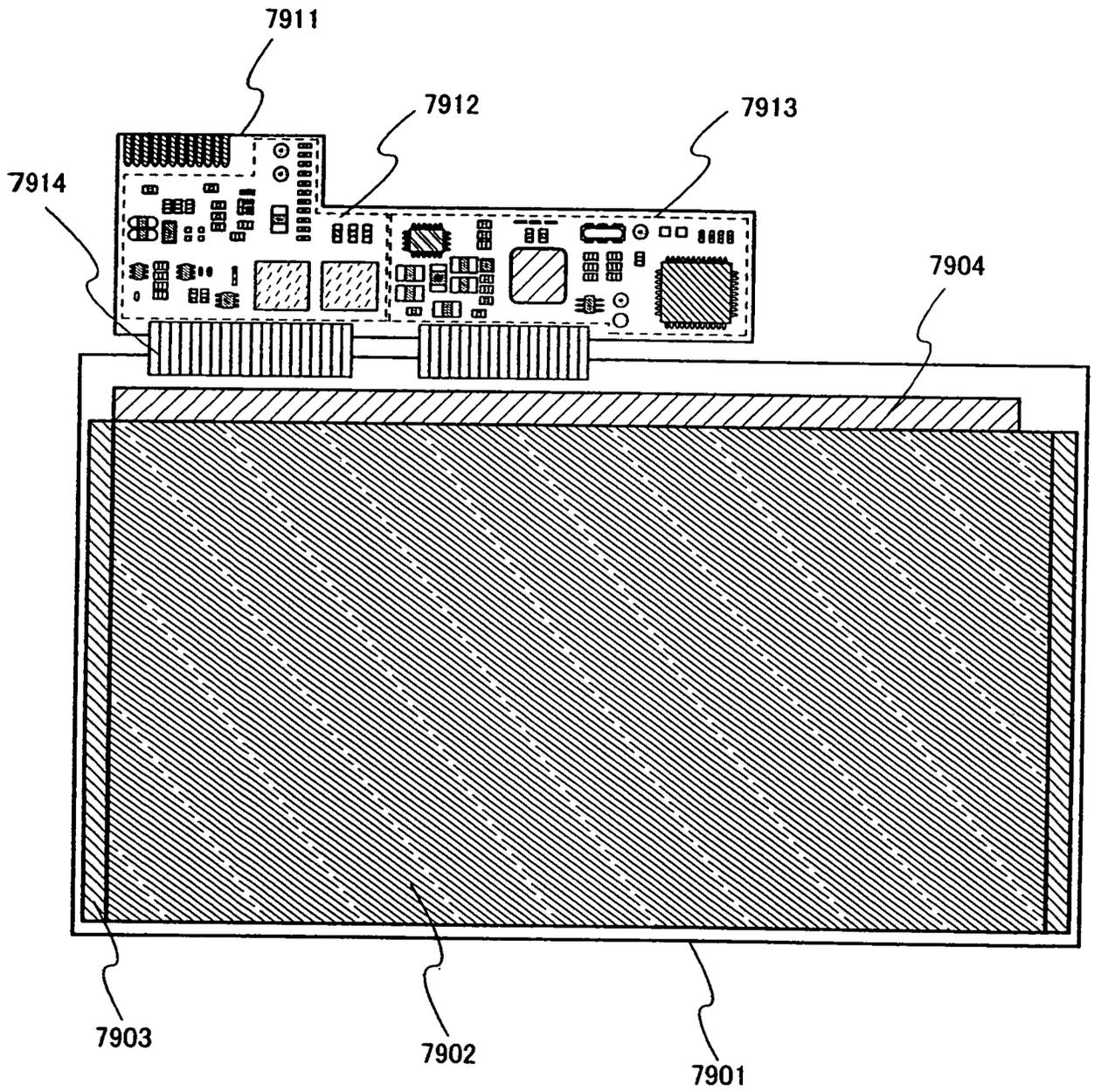
第111A圖



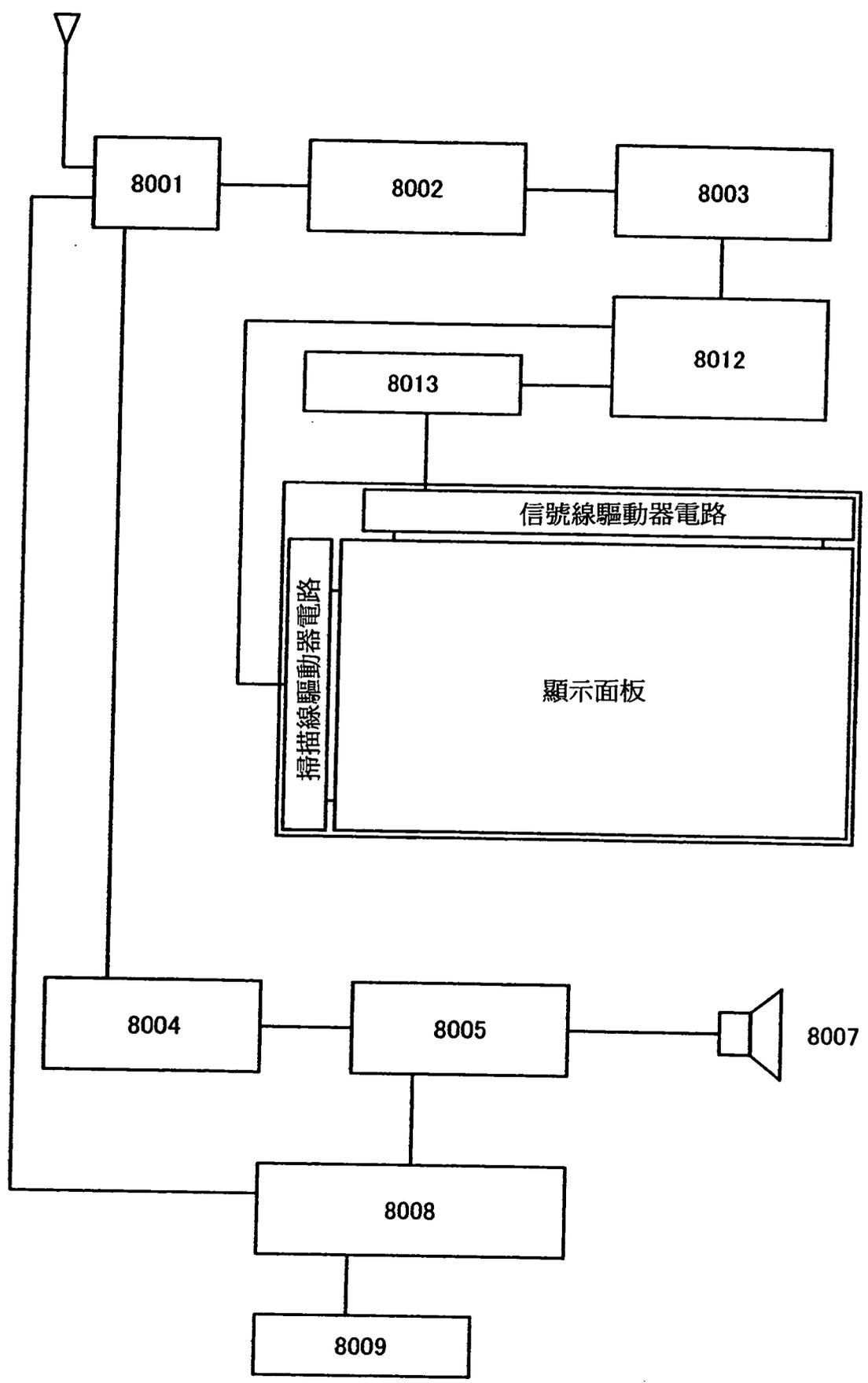
第111B圖



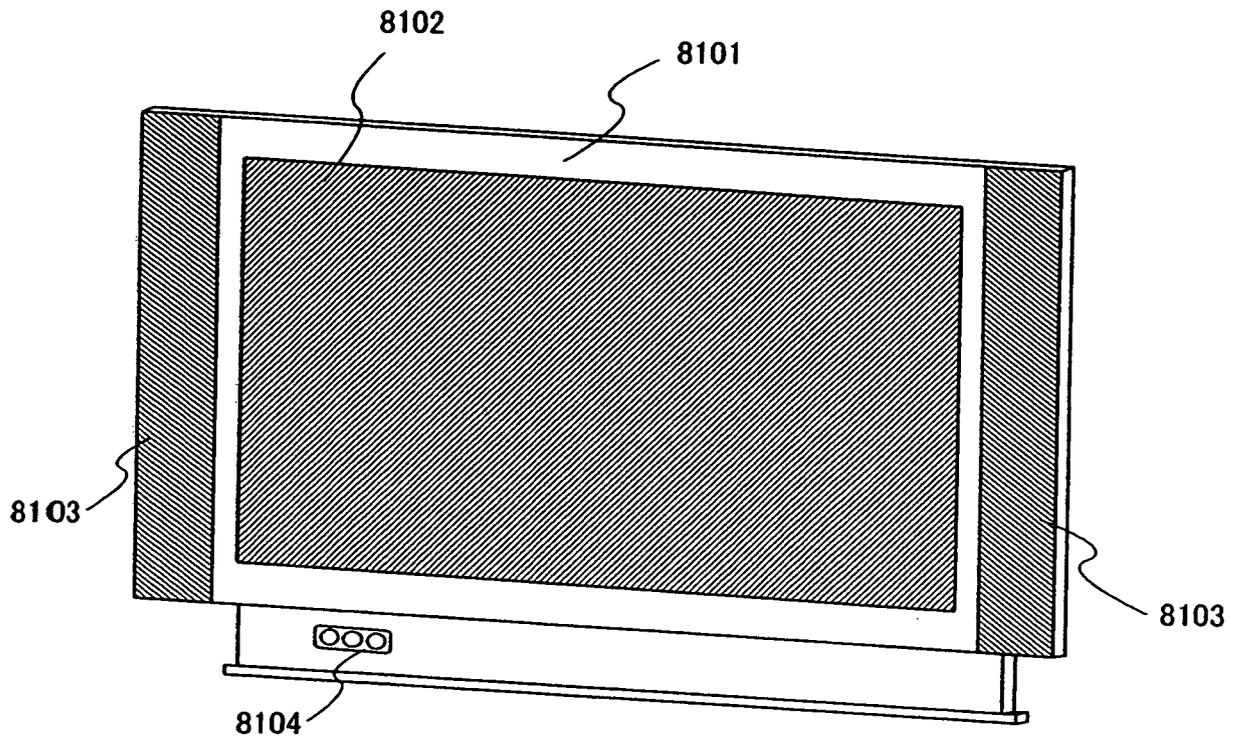
第112圖



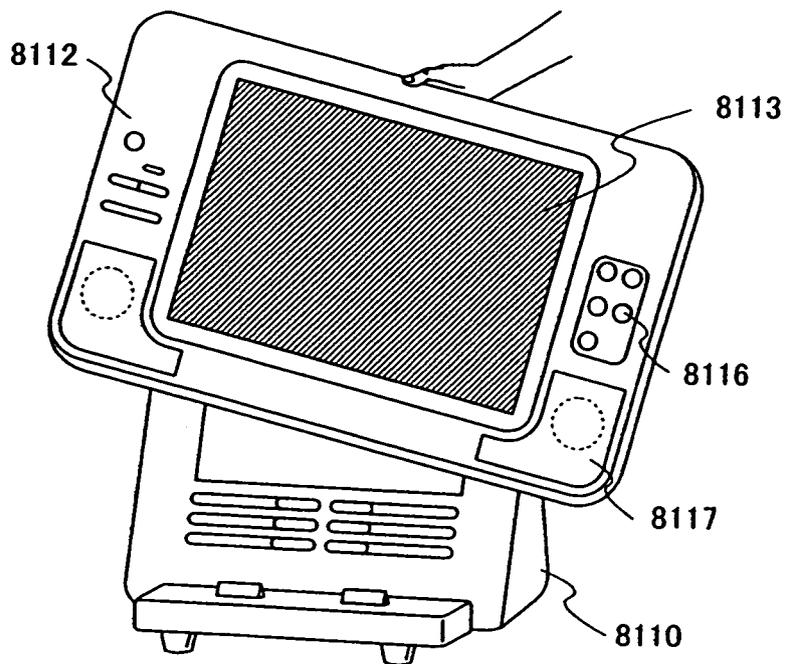
第113圖



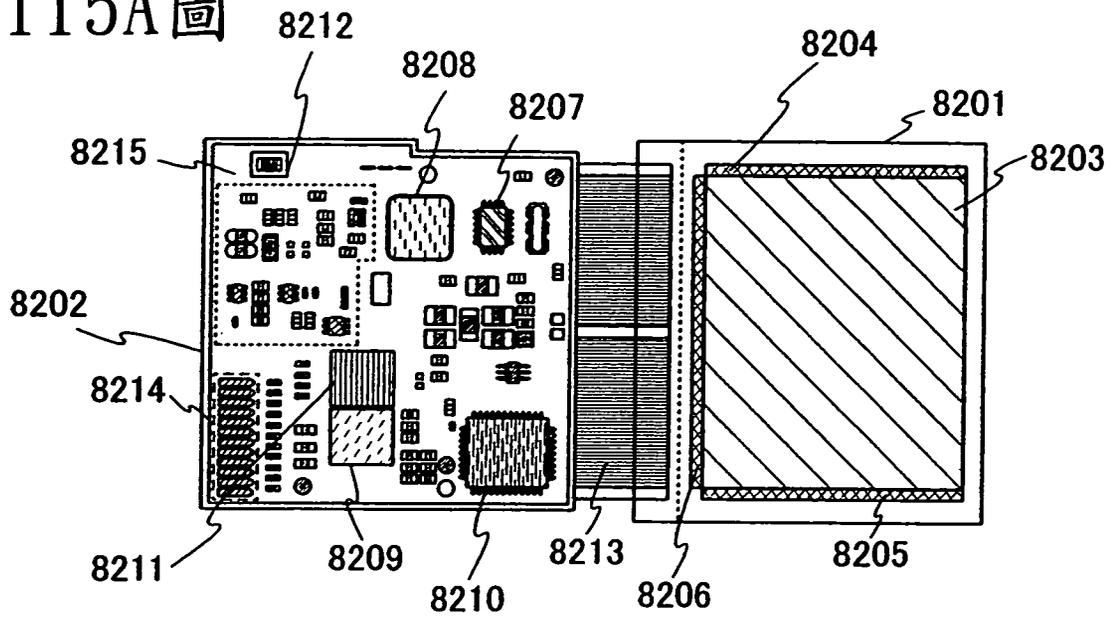
第114A圖



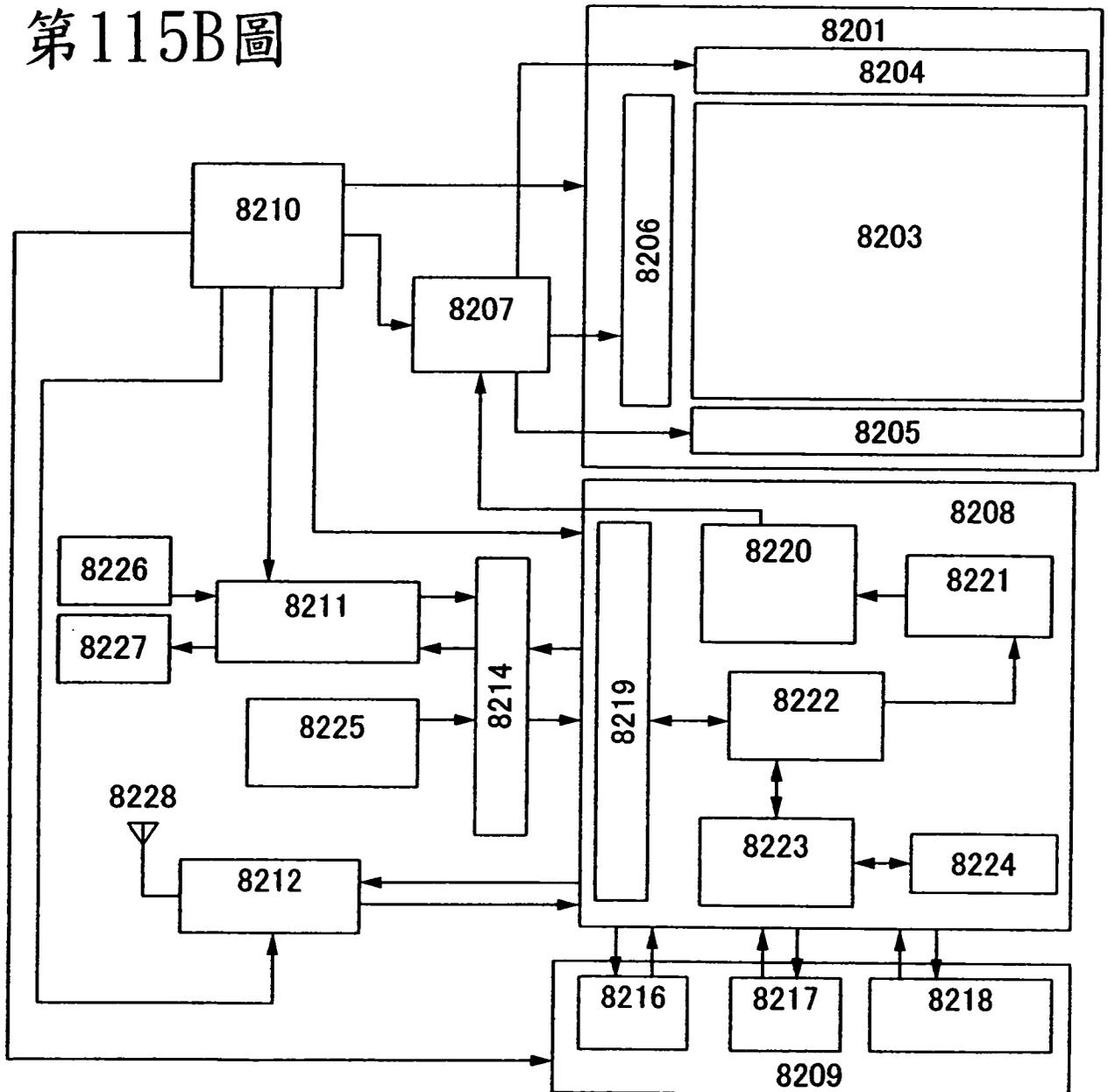
第114B圖



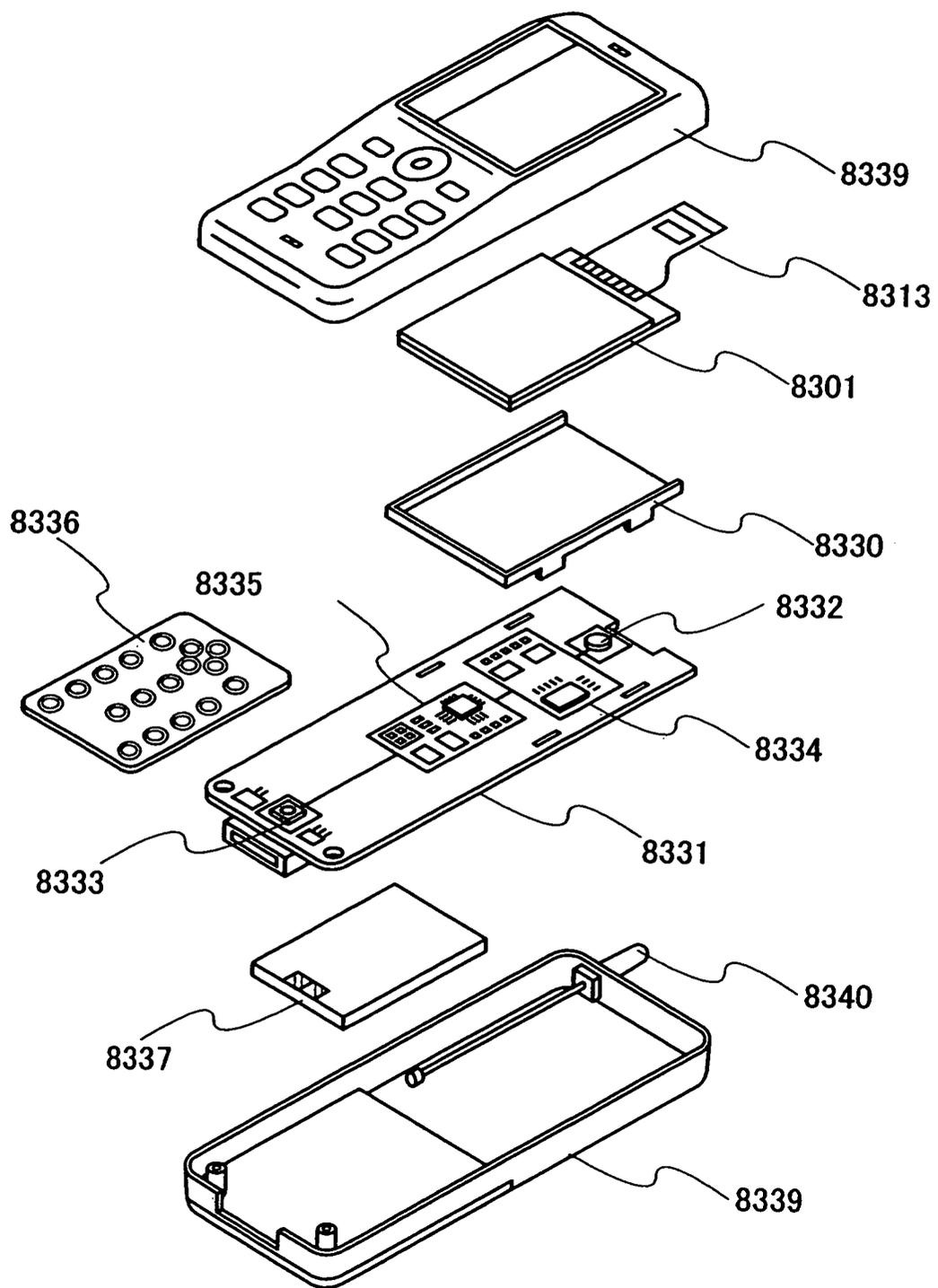
第115A圖



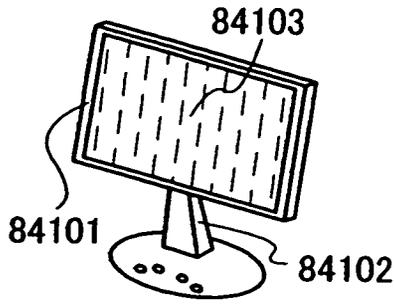
第115B圖



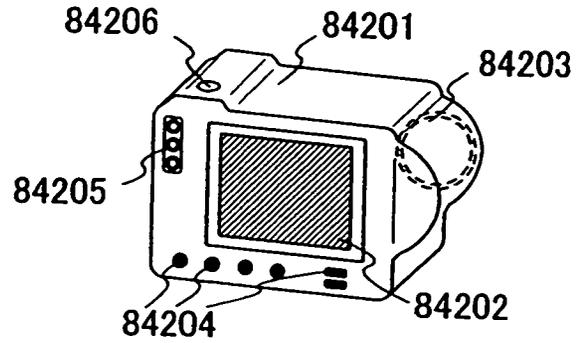
第116圖



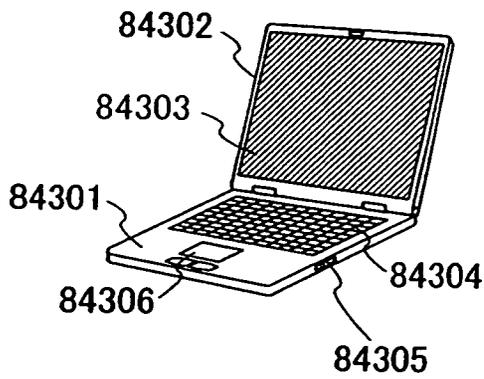
第117A圖



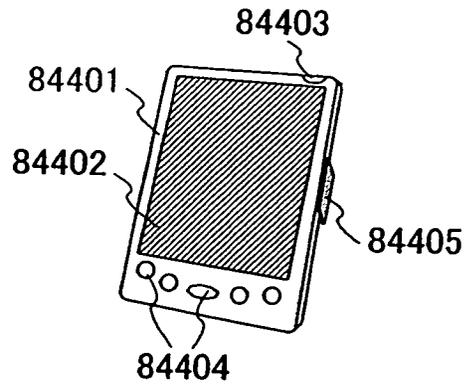
第117B圖



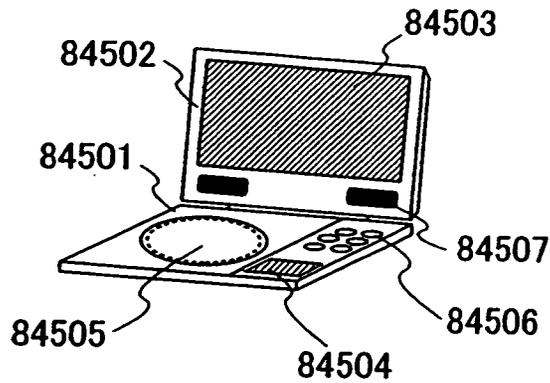
第117C圖



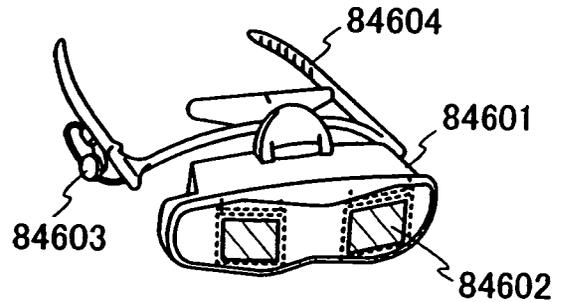
第117D圖



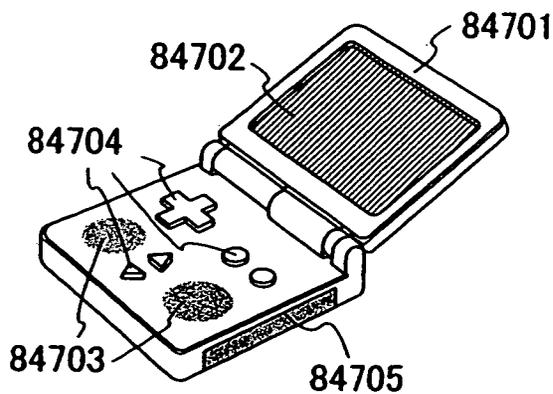
第117E圖



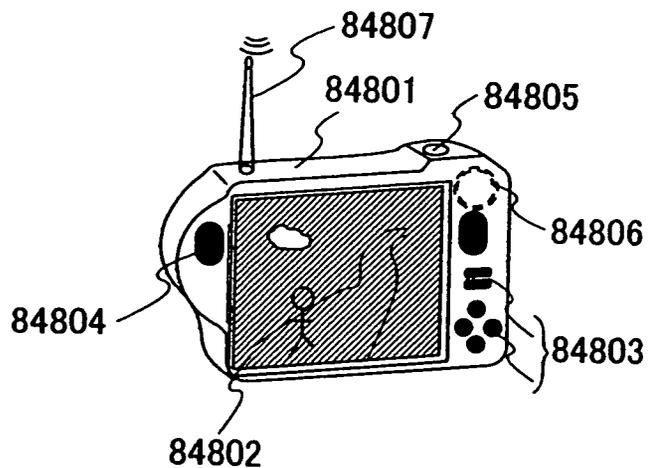
第117F圖



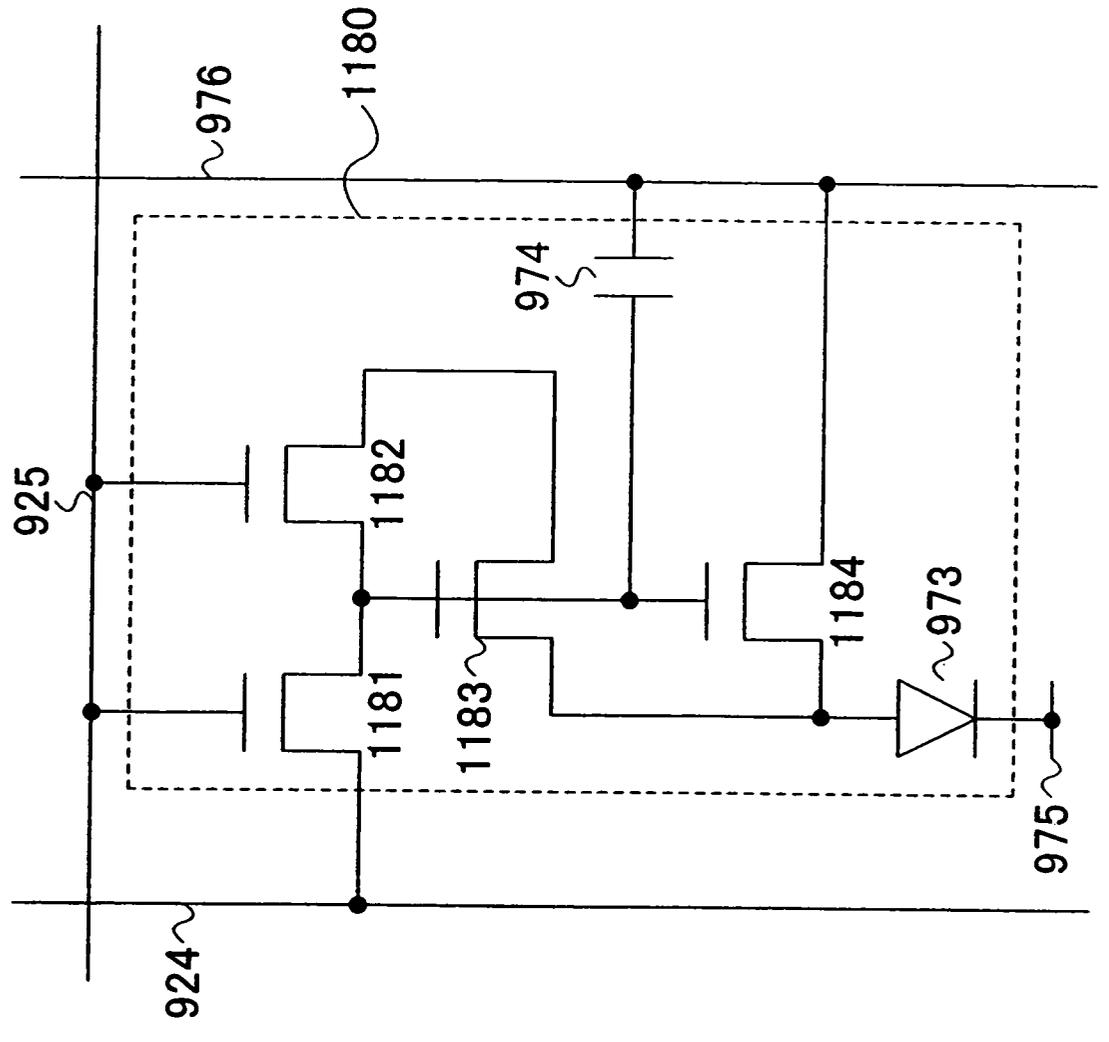
第117G圖



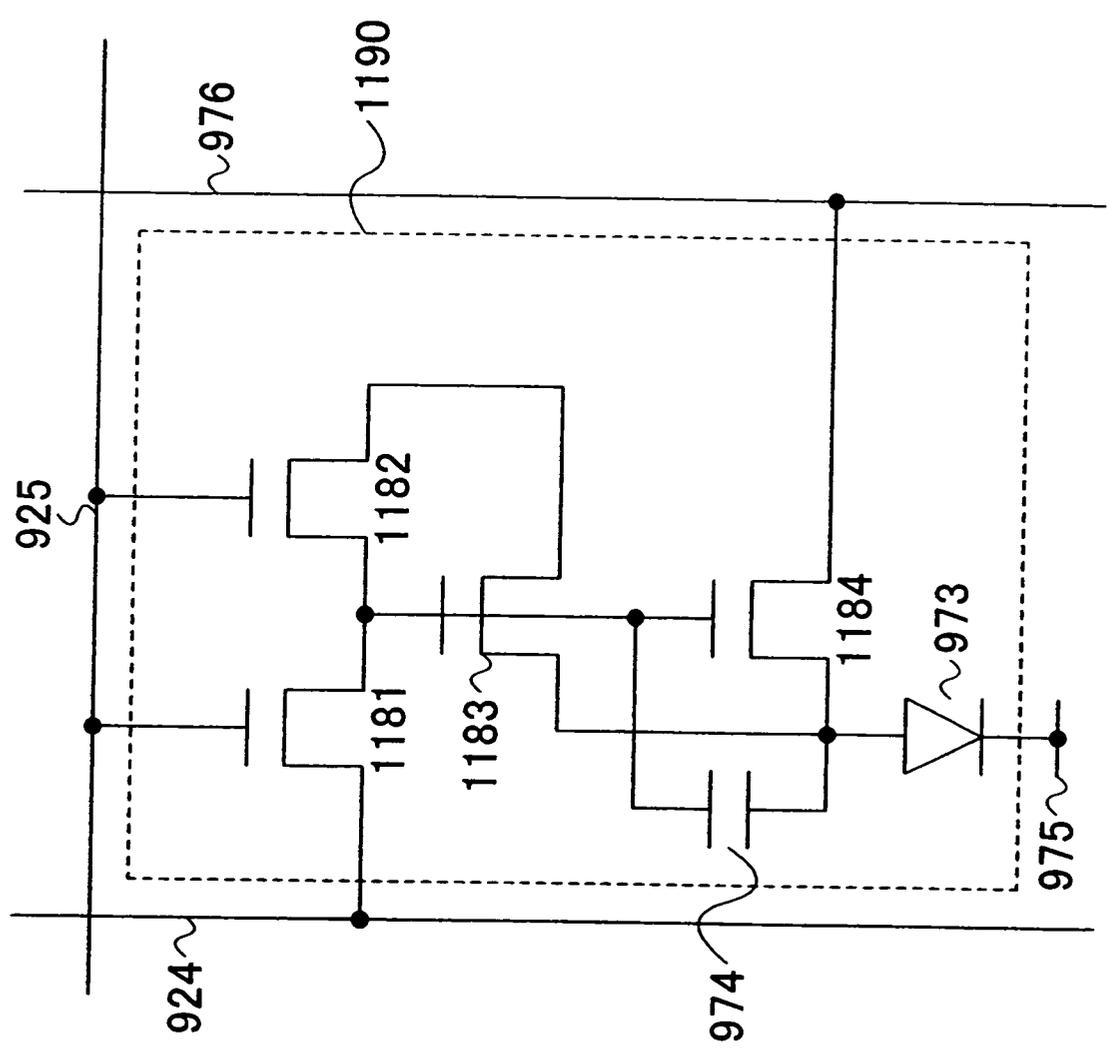
第117H圖



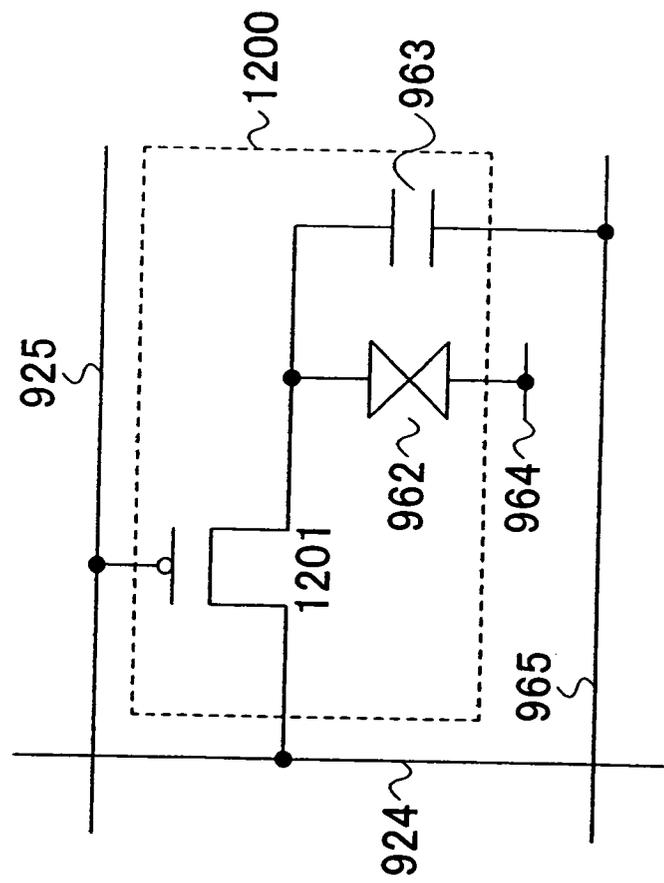
第118圖



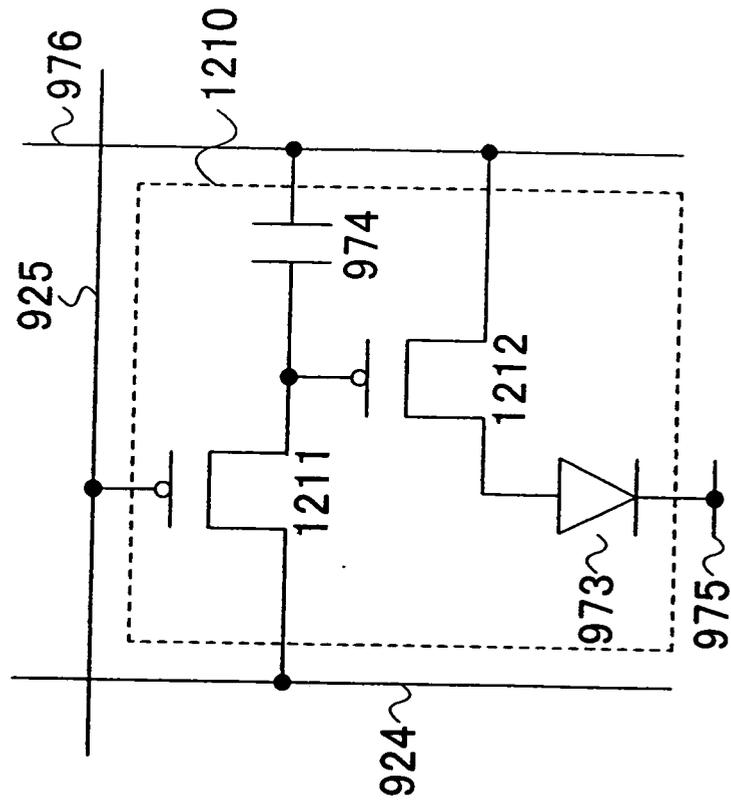
第119圖



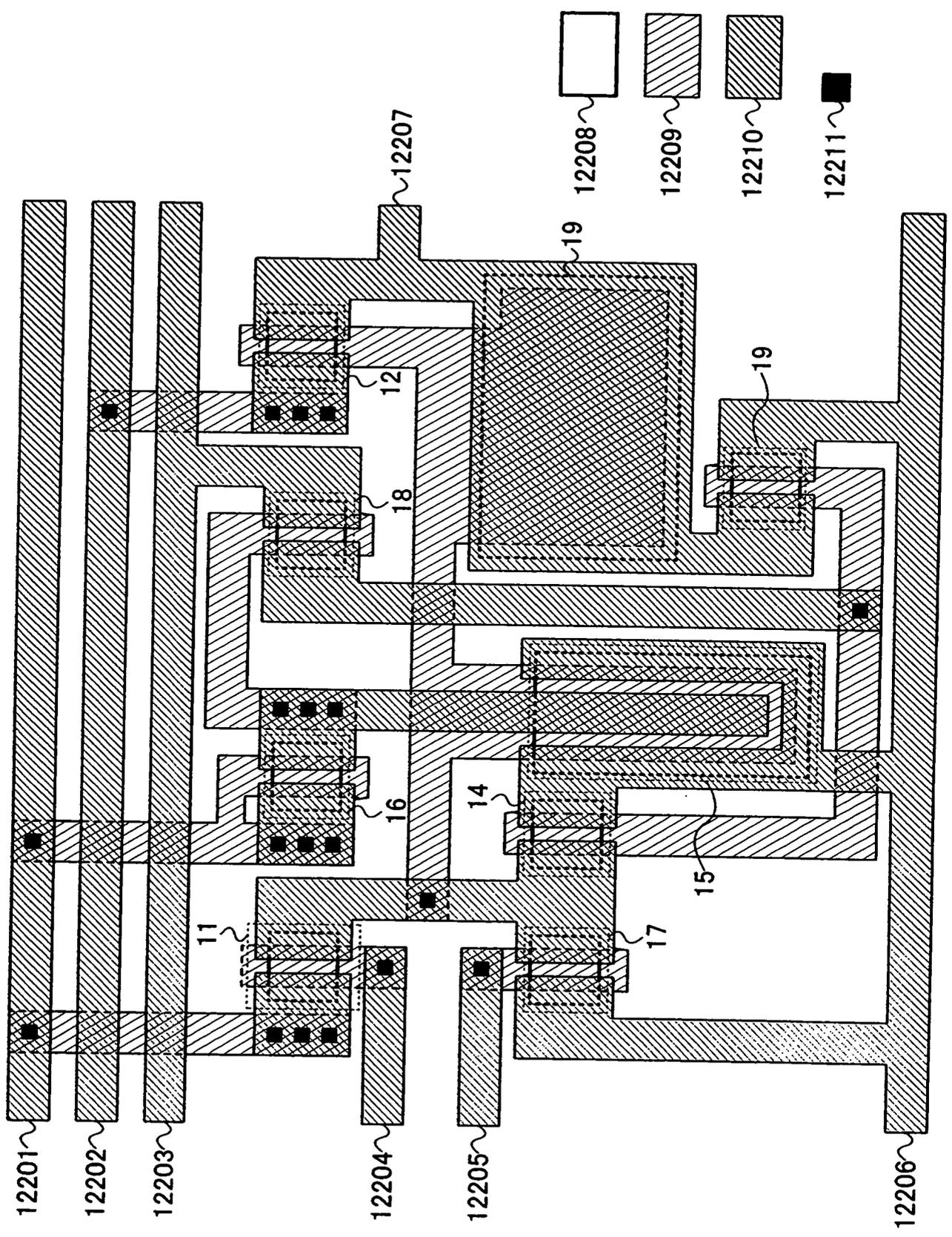
第120圖



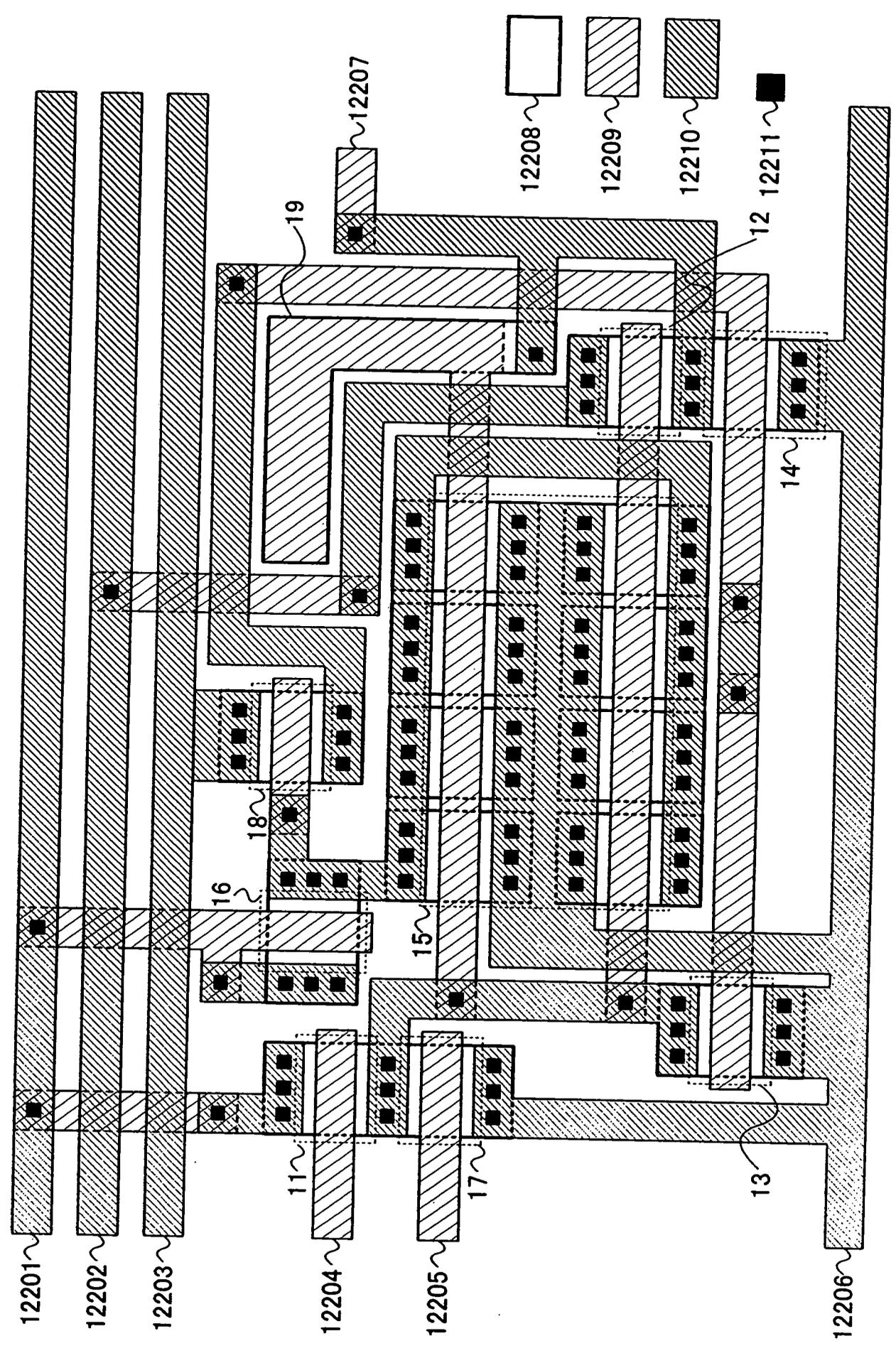
第121圖



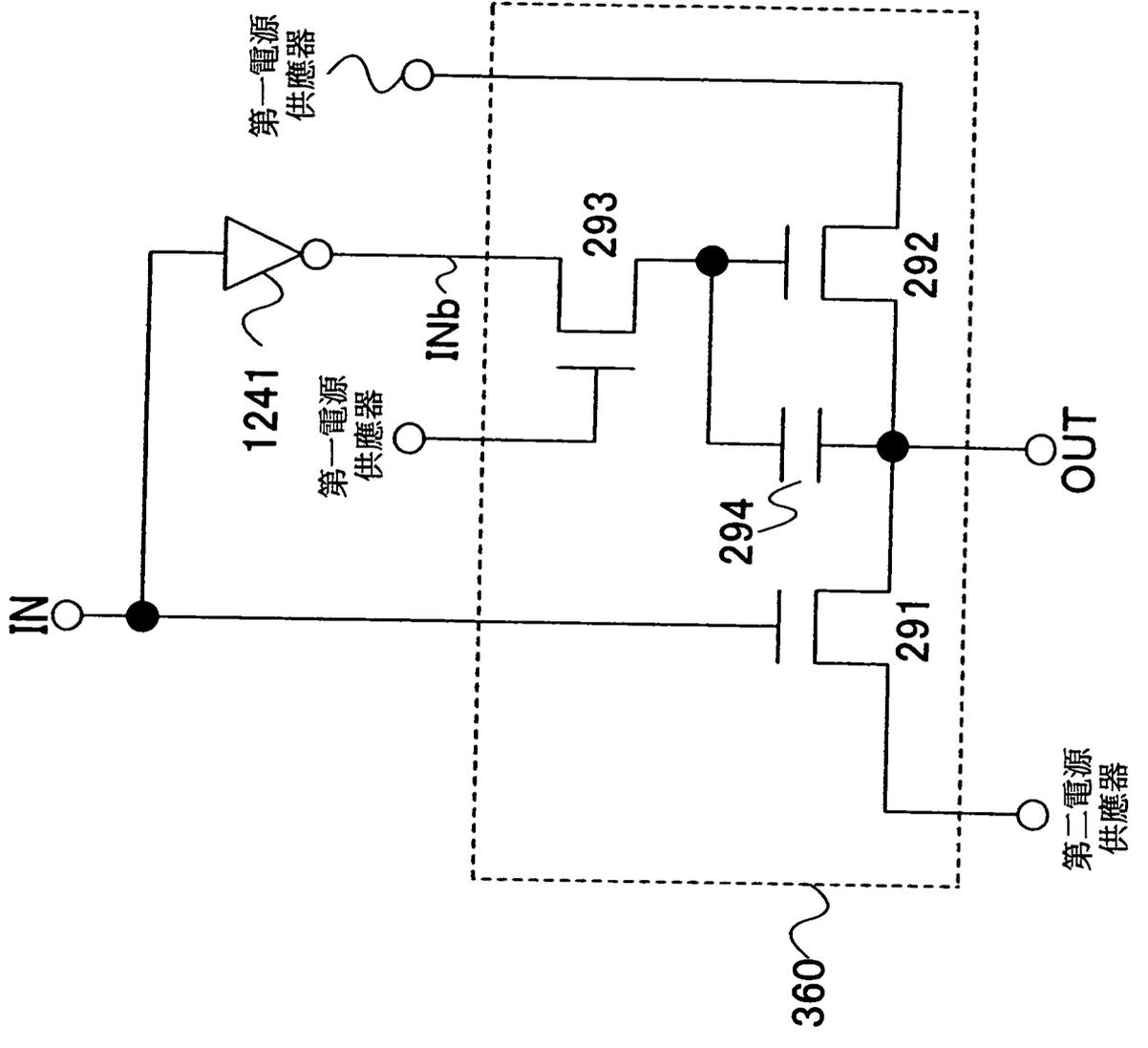
第122圖



第123圖



第124圖



第125圖

