



可変イコライザ回路 100 は、通信相手のデバイスから伝送線路 3 を介して受けた信号をイコライジングする。第 1 抵抗 R_1 は、出力端子 P_2 と固定電圧端子 P_{vss} の間に設けられ、その抵抗値が可変に構成される。第 1 キャパシタ C_1 は、出力端子 P_2 と固定電圧端子 P_{vss} の間に、第 1 抵抗 R_1 と並列に設けられ、その容量値が可変に構成される。第 2 抵抗 R_2 は、入力端子 P_1 と出力端子 P_2 の間に設けられる。第 2 キャパシタ C_2 は、入力端子 P_1 と出力端子 P_2 の間に第 2 抵抗 R_2 と並列に設けられる。シャント抵抗 R_s は、入力端子 P_1 から固定電圧端子 P_{vss} に至る第 1 キャパシタ C_1 および第 2 キャパシタ C_2 を含む経路上に設けられる。

明 細 書

発明の名称：可変イコライザ回路およびそれを用いた試験装置 技術分野

[0001] 本発明は、信号をイコライジングするイコライザ回路に関する。

背景技術

[0002] 半導体デバイスの製造後に、その半導体デバイスが正常に動作するかを試験する目的で半導体試験装置（以下、単に試験装置ともいう）が利用される。試験装置は、DUT（被試験デバイス）から出力される信号（被試験信号）を受け、それを期待値と比較することによりDUTの良否（Pass/Fail）を判定したり、被試験信号の振幅マージンやタイミングマージンを測定したりする。

先行技術文献

特許文献

[0003] 特許文献1：米国特許第6, 937, 054 B2号明細書

特許文献2：米国特許第7, 394, 331 B2号明細書

発明の概要

発明が解決しようとする課題

[0004] 試験装置の受信回路とDUTの間は、伝送線路やコネクタを介して電氣的に接続されるのが一般的である。伝送線路やコネクタのインピーダンスの特性インピーダンス Z_0 （たとえば50 Ω ）は、接続される回路ブロックとインピーダンス整合がとれるように設計されているため、理想的にはこれらを経由することによる波形歪みは生じないはずである。しかしながら現実的にはすべての帯域においてインピーダンス整合をとることは不可能であるため、伝送線路等は望ましくないフィルタとなって伝送線路等は被試験信号の波形を歪ませる。つまり、DUTから出力された波形は良好であったとしても、試験装置の受信回路に到達する波形は歪んだものとなり、DUT本来の性能を測定することができない。

[0005] 伝送線路等に起因する被試験信号の波形歪みは、試験装置の受信回路（たとえばコンパレータ）の前段に被試験信号の歪みを補償するためのイコライザ回路を設けることで改善できる。たとえば特許文献 1 には、差動アンプと一体化されたイコライザ回路が開示されている。また特許文献 2 には、L R C を用いたパッシブイコライザが開示されている。

[0006] 本発明はかかる状況においてなされたものであり、そのある態様の例示的な目的のひとつは、従来とは異なるアプローチによりイコライジング量を調節可能な可変イコライザ回路の提供にある。

課題を解決するための手段

[0007] 本発明のある態様は、通信相手のデバイスから伝送線路を介して受けた信号をイコライジングする可変イコライザ回路に関する。可変イコライザ回路は、伝送線路と接続される入力端子と、出力端子と、出力端子と固定電圧端子の間に設けられ、その抵抗値が可変に構成される第 1 抵抗と、出力端子と固定電圧端子の間に、第 1 抵抗と並列に設けられ、その容量値が可変に構成される第 1 キャパシタと、入力端子と出力端子の間に設けられた第 2 抵抗と、入力端子と出力端子の間に第 2 抵抗と並列に設けられた第 2 キャパシタと、入力端子から固定電圧端子に至る第 1 キャパシタおよび第 2 キャパシタを含む経路上に設けられたシャント抵抗と、を備える。

[0008] 本発明の別の態様もまた、通信相手のデバイスから伝送線路を介して受けた信号をイコライジングする可変イコライザ回路に関する。この可変イコライザ回路は、伝送線路と接続される入力端子と、出力端子と、出力端子と固定電圧端子の間に設けられ、その容量値が可変に構成される第 1 キャパシタと、入力端子と出力端子の間に設けられた第 2 抵抗と、入力端子と出力端子の間に第 2 抵抗と並列に設けられた第 2 キャパシタと、入力端子から固定電圧端子に至る第 1 キャパシタおよび第 2 キャパシタを含む経路上に設けられたシャント抵抗と、出力端子の電圧レベルをシフトするレベルシフタであって、出力端子と固定電圧端子間の抵抗成分が可変に構成されるレベルシフタと、を備える。

[0009] これらの態様のイコライジング回路は、入力された信号の高域成分を強調する高域強調フィルタ（エンファシスフィルタ）として機能し、ブースト量と時定数を調節できるという利点がある。また半導体チップに半導化可能であり、インダクタを用いないため実装面積が小さく、振動的な振る舞いが発生しないという利点がある。

[0010] 本発明のさらに別の態様は、被試験デバイスから伝送線路を介して信号を受信し、被試験デバイスを検査する試験装置に関する。この試験装置は、被試験デバイスからの信号をイコライジングする上述のいずれかの態様の可変イコライザ回路と、可変イコライザ回路の出力信号を受ける受信回路と、を備える。

この態様によれば、被試験デバイスから出力された信号を、伝送線路等に起因する歪みを補正した上で試験することができる。

[0011] なお、以上の構成要素の任意の組み合わせや本発明の構成要素や表現を、方法、装置などの間で相互に置換したものもまた、本発明の態様として有効である。

発明の効果

[0012] 本発明のある態様によれば、波形歪みを補償できる。

図面の簡単な説明

[0013] [図1]実施の形態に係る可変イコライザ回路を備える試験装置の構成を示す回路図である。

[図2]図2（a）～（c）は、可変抵抗および可変容量の構成例を示す回路図である。

[図3]図3（a）～（c）は、レベルシフタの構成例を示す回路図である。

[図4]比較技術に係る可変イコライザ回路の構成を示す回路図である。

[図5]図1の可変イコライザ回路の単純化された回路図である。

[図6]静的な状態における可変イコライザ回路の等価回路図である。

[図7]図7（a）、（b）は、図1の可変イコライザ回路のシミュレーション波形図である。

[図8] 第1の変形例に係る可変イコライザ回路の構成を示す回路図である。

[図9] 第2の変形例に係る可変イコライザ回路の構成を示す回路図である。

[図10] 第4の変形例に係る可変イコライザ回路の構成を示す回路図である。

発明を実施するための形態

[0014] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0015] 本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合や、部材Aと部材Bが、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

[0016] 図1は、実施の形態に係る可変イコライザ回路100を備える試験装置2の構成を示す回路図である。

[0017] 試験装置2は、DUT1と伝送線路3を介して接続されており、DUT1から出力される信号にもとづきDUT1の良否を判定したり、不良箇所を特定する。DUT1は、ドライバDrと出力抵抗Ruを含む。ドライバDr1は、出力抵抗Ruを介して伝送線路3の一端に被試験信号Vuを印加する。

[0018] 終端器6は、終端ドライバDr2および終端抵抗Rdを含む。終端ドライバDr2は、伝送線路3の他端に終端抵抗Rdを介して終端電圧Vdを印加する。終端器6は、DUT1に対して信号を出力する送信回路（ドライバ）として機能してもよい。

[0019] 受信回路8は、DUT1から出力される被試験信号Vuを受ける。たとえ

ば受信回路 8 は、コンパレータやバッファである。試験装置 2 は、受信回路 8 において受信された被試験信号を、期待値と比較することにより DUT 1 の良否を判定する。あるいは試験装置 2 は、被試験信号の振幅マージン、タイミングマージンを測定する。

[0020] このような試験システムにおいて、DUT 1 から出力される被試験信号は、伝送線路 3 あるいは図示しないコネクタなど（以下伝送線路等という）を経由する際に、波形が歪む。この波形歪みを補償するために、試験装置 2 は、受信回路 8 の前段に設けられた可変イコライザ回路 100 を備える。

[0021] 以下、可変イコライザ回路 100 の具体的な構成を説明する。

可変イコライザ回路 100 は、入力端子 P 1 に入力された通信相手の DUT 1 からの信号 V_a をイコライジングし、同時に減衰（アネーション）して出力端子 P 2 を介して受信回路 8 に出力する。

[0022] 可変イコライザ回路 100 は、イコライジング部 10 と、レベルシフタ 20 を備える。

イコライジング部 10 は、第 1 抵抗 R_1 、第 2 抵抗 R_2 、第 1 キャパシタ C_1 、第 2 キャパシタ C_2 、少なくともひとつのシャント抵抗 R_s を備える。

[0023] 第 1 抵抗 R_1 はその抵抗値が可変に構成される可変抵抗であって、出力端子 P 2 と固定電圧端子（接地端子）の間に設けられる。第 1 キャパシタ C_1 は、その容量値が可変に構成される可変容量であって、出力端子 P 2 と接地端子の間に、第 1 抵抗 R_1 と並列に設けられる。第 2 抵抗 R_2 は、入力端子 P 1 と出力端子 P 2 の間に設けられる。第 2 キャパシタ C_2 は、入力端子 P 1 と出力端子 P 2 の間に、第 2 抵抗 R_2 と並列に設けられる。

[0024] 少なくともひとつのシャント抵抗 R_s は、入力端子 P 1 から接地端子に至る第 1 キャパシタ C_1 および第 2 キャパシタ C_2 を含む経路上に設けられる。図 1 には、シャント抵抗 R_s として第 3 抵抗 R_3 および第 4 抵抗 R_c が示される。

[0025] 第 3 抵抗 R_3 は、第 2 抵抗 R_2 および第 2 キャパシタ C_2 の共通に接続さ

れた一端（N 1）と入力端子P 1の間に設けられる。第3抵抗R 3の抵抗値は、伝送線路3の特性インピーダンス（50Ω）よりも十分に大きく、たとえば特性インピーダンスの5倍～10倍程度とすることが望ましい。第3抵抗R 3の抵抗値を特性インピーダンスよりも大きくすることにより、可変イコライザ回路100が終端器6とDUT 1の間のインピーダンス整合に及ぼす影響を低減することができる。

[0026] 第4抵抗R cは、第1抵抗R 1と並列な経路上に、第1キャパシタC 1と直列に設けられる。

[0027] 図2（a）～（c）は、可変抵抗および可変容量の構成例を示す回路図である。図2（a）は第1抵抗R 1の構成例を示す。第1抵抗R 1は、第1端子P 1 1と、第2端子P 1 2と、第1端子P 1 1と第2端子P 1 2の間に直列に設けられた複数の抵抗R 1 1～R 1 6と、隣接する抵抗の接続点（タップ）と第2端子P 1 2の間に設けられた複数のスイッチSW 1 1～SW 1 5を備える。複数のスイッチSW 1 1～SW 1 5のオン、オフ状態を切りかえることにより、第1端子P 1 1と第2端子P 1 2の間の抵抗値を切りかえることができる。なおスイッチSW 1 1～SW 1 5は、固定電圧端子（接地端子）側に配置される。なお抵抗R 1の個数は任意である。

[0028] 図2（b）は第1キャパシタC 1の構成例を示す。第1キャパシタC 1は、第1端子P 2 1と第2端子P 2 2の間に並列に設けられた複数のキャパシタC 1 1～C 1 4を含む。複数のスイッチSW 2 1～SW 2 4はそれぞれ、複数のキャパシタC 1 1～C 1 4と直列に設けられる。複数のスイッチSW 2 1～SW 2 4の状態を切りかえることにより、第1端子P 2 1と第2端子P 2 2の間の容量値を切りかえることができる。スイッチSW 2 1～SW 2 4も、固定電圧端子（接地端子）側に配置することが望ましい。なお複数のキャパシタC 1 1～C 1 4の個数も任意である。

[0029] 図2（c）は、図2（a）、（b）に利用されるスイッチSW 1、SW 2の構成例を示す回路図である。スイッチSWは、いわゆるトランスファゲートであり、第1端子P 3 1と第2端子P 3 2の間に並列に設けられた、Nチ

チャンネルMOSFETの第1トランジスタM1と、PチャンネルMOSFETの第2トランジスタM2と、を備える。第1トランジスタM1のゲートには、制御信号S1が入力され、第2トランジスタM2のゲートには、インバータ32によって反転された制御信号#S1が入力される。制御信号S1に応じて、第1端子P31と第2端子P32の間の、導通、遮断が切り換えられる。

なお、第1端子P31と第2端子P32の電圧の関係によっては、NチャンネルMOSFETのみとしてもよいし、PチャンネルMOSFETのみとしてもよい。

[0030] なお可変抵抗や可変容量の構成は図2(a)～(c)のそれらには限定されず、それらのトポロジーは、必要な抵抗値や容量値に応じて設計すればよい。

[0031] 図1に戻る。レベルシフタ20は、出力端子P2の電圧レベルをシフトする。受信回路8がコンパレータや差動アンプの場合、その入力電圧範囲は、ある限定された範囲となる。そこでレベルシフタ20によって、出力端子P2の電位をコンパレータ等の入力電圧範囲に合致するようにシフトすることにより、高速な、あるいは正確な動作が期待できる。

[0032] 図3(a)～(c)は、レベルシフタ20の構成例を示す回路図である。図3(a)のレベルシフタ20は、第1電圧 V_{SH} を発生する電圧源22と、電圧源22と出力端子P2の間に設けられた第5抵抗 R_{SH} と、を含む。このレベルシフタ20は、第1電圧 V_{SH} を切りかえることにより、レベルシフト量を調節できる。

[0033] 図3(b)は、レベルシフタの別の構成例を示す回路図である。レベルシフタ20aは、第1固定電圧（電源電圧 v_{dd} ）が印加される第1固定電圧端子（電源端子） P_{vdd} と、第1固定電圧（電源電圧 v_{dd} ）とは異なる第2固定電圧（接地電圧 v_{ss} ）が印加される第2固定電圧端子（接地端子） P_{vss} と、第1固定電圧端子 P_{vdd} と出力端子P2の間に設けられた第1可変抵抗 R_{SH1} と、第2固定電圧端子 P_{vss} と出力端子P2の間に設け

られた第2可変抵抗 R_{SH2} と、を含む。

[0034] 図3(b)のレベルシフタと図3(a)のレベルシフタが等価であるとのもと、式(A1)が成り立つ。

$$R_{SH} = R_{SH1} \parallel R_{SH2}$$

$$V_{SH} = (v_{dd} \cdot R_{SH2} + v_{ss} \cdot R_{SH1}) / (R_{SH1} + R_{SH2}) \quad \cdots (A1)$$

ここで「 $R1 \parallel R2$ 」は、並列接続された抵抗 $R1$ 、 $R2$ の合成インピーダンスを表す演算子である。

式(A1)を、 R_{SH1} 、 R_{SH2} について解くと、式(A2)を得る。

$$R_{SH1} = R_{SH} \cdot (v_{dd} - v_{ss}) / (V_{SH} - v_{ss})$$

$$R_{SH2} = R_{SH} \cdot (v_{dd} - v_{ss}) / (v_{dd} - V_{SH}) \quad \cdots (A2)$$

[0035] 図3(c)は、図3(b)のレベルシフタ20aのより具体的な構成を示す回路図である。図3(c)のレベルシフタ20aでは、第1可変抵抗 R_{SH1} 、第2可変抵抗 R_{SH2} として図2(a)の可変抵抗が用いられている。

[0036] 第1可変抵抗 R_{SH1} および第2可変抵抗 R_{SH2} において、複数のスイッチ SW は、それぞれの固定電圧端子 P_{vdd} 、 P_{vss} 側に設けることが望ましい。各スイッチ SW は寄生容量（不図示）を有するところ、スイッチ SW を固定電圧端子側に設けることにより、出力端子 $P2$ の寄生容量を低減でき、その結果出力端子 $P2$ が接続されたノードを伝搬する信号に及ぼす影響を低減することができる。

[0037] 図1に戻る。以上が可変イコライザ回路100の構成である。続いてその動作を説明する。

[0038] いま、 $DUT1$ が試験装置2に対して被試験信号を出力すると、図1の可変イコライザ回路100の入力端子 $P1$ に入力される。

[0039] 第2抵抗 $R2$ および第2キャパシタ $C2$ は、入力端子 $P1$ に入力された信号 V_a に対してピーキングフィルタとして作用する。第2キャパシタ $C2$ の容量値 C_2 は、過補償となるように決定される。

[0040] 一方、第1抵抗 $R1$ および第1キャパシタ $C1$ は可変抵抗、可変容量であ

り、それらを調節することにより、可変イコライザ回路 100 全体の特性を調節するように機能する。具体的には第 1 キャパシタ C_1 の容量値 C_1 によって、第 2 キャパシタ C_2 によって与えられた過補償を抑制することができる。ここで第 1 キャパシタ C_1 と第 2 キャパシタ C_2 の容量値には、 $C_2 > C_1$ なる関係が成り立つ。また第 1 抵抗 R_1 の抵抗値によって、イコライザのブースト量を制御することができる。

[0041] 図 1 に示す試験システムにおいて、試験装置のユーザは、試験に先立って、DUT 1 から出力された信号が伝送線路 3 等によって受ける歪み量や歪みの周波数特性を測定もしくは計算することができる。したがってユーザは、第 1 抵抗 R_1 および第 1 キャパシタ C_1 の回路定数を、伝送線路 3 等に起因する歪みをキャンセルするように決定することができる。

[0042] イコライジング部 10 によって、入力端子 P 1 に入力された信号がイコライジングされ、同時に減衰される。レベルシフタ 20 は、イコライジング部 10 の出力信号をレベルシフトし、受信回路 8 へと出力する。

[0043] 以上が可変イコライザ回路 100 の動作である。可変イコライザ回路 100 の利点は、比較技術との対比によって明確となる。図 4 は、比較技術に係る可変イコライザ回路 300 の構成を示す回路図である。可変イコライザ回路 300 は、イコライジング部 310、レベルシフタ 320 を含む。イコライジング部 310 は、第 3 抵抗 R_3 、可変抵抗である第 2 抵抗 R_2 、可変容量である第 2 キャパシタ C_2 を含む。

[0044] 図 4 の可変イコライザ回路 300 において、第 2 抵抗 R_2 を図 2 (a) に示したような可変抵抗で構成すると、スイッチの寄生容量 C_{R2} が信号経路と接地端子間に接続される。同様に第 2 キャパシタ C_2 を図 2 (b) に示したような可変容量で構成すると、スイッチの寄生容量 C_{C2} が信号経路と接地端子間に接続される。これらの寄生容量 C_{R2} 、 C_{C2} は、受信回路 8 に入力される信号をなまらせるように作用する。すなわち、イコライザ回路の本来の作用を相殺してしまう。これは、回路の応答速度が低下することを意味する。

[0045] これに対して、図 1 に示す可変イコライザ回路 100 では、第 2 抵抗 R_2

および第2キャパシタC2が固定素子で構成され、第1抵抗R1および第1キャパシタC1が可変素子で構成される。ここで第1抵抗R1の寄生容量 C_{R1} や第1キャパシタC1の寄生容量 C_{C1} は、入力端子P1から出力端子P2に至る信号経路には直接接続されないため、回路の応答速度を改善することができる。

[0046] かかる利点に加えて、可変イコライザ回路100は以下の利点を有する。

[0047] 可変イコライザ回路100は、第1キャパシタC1および第1抵抗R1を調節することにより、ブースト量および時定数を可変とすることができる。

[0048] また可変イコライザ回路100は、抵抗、キャパシタ、トランジスタを含むことから、半導体チップに集積化するのに適した構成となっている。またインダクタを含まないことから、回路面積を小さくでき、振動的な振る舞いをしないという利点がある。

[0049] さらに可変イコライザ回路100は、イコライジングと同時にアテネーションするため、受信回路8に入力される電圧レベルを低下させることができる。したがって受信回路8を、高速で低耐压のトランジスタを用いて構成できるため、高速な信号を受信することが可能となる。

[0050] また第3抵抗R3を設けることにより、可変イコライザ回路100が、終端器6とDUT1のインピーダンス整合に及ぼす影響を小さくできる。さらに第4抵抗Rcを設けることにより、帯域を改善することができる。

[0051] 続いて、可変イコライザ回路100を定性的に解析する。

[0052] DUT1の出力抵抗 R_u 、終端器6の終端抵抗 R_d および伝送線路3の特性インピーダンス Z_o は、インピーダンス整合がとられているとする。このときノードN2のインピーダンスは、 $Z_o/2$ である。

[0053] また、上述したように第3抵抗R3の抵抗値が特性インピーダンス Z_o より十分高いため、可変イコライザ回路100が、終端器6とDUT1のインピーダンス整合に及ぼす影響は無視しうる程度に小さいと仮定する。

[0054] 図5は、図1の可変イコライザ回路100の単純化された回路図である。

R_1 は、第1抵抗R1の抵抗値を、 R_2 は第2抵抗R2の抵抗値を、 R_3 は第

3 抵抗 R_3 の抵抗値を、 R_c は第 4 抵抗 R_c の抵抗値を、 C_1 は第 1 キャパシタ C_1 の容量値を、 C_2 は第 2 キャパシタ C_2 の容量値を示す。

[0055] まずキルヒホッフの電流則から式 (1) を得る。

[数1]

$$i(t) = i_{R2}(t) + i_{C2}(t) = i_{SH}(t) + i_{R1}(t) + i_{C1}(t) \quad \dots (1)$$

[0056] 各電流は、式 (2) ~ (6) のように計算される。ここで $G_1 = 1/R_1$ 、 $G_2 = 1/R_2$ 、 $G_3 = 1/R_3$ 、 $G_{SH} = 1/R_{SH}$ である。 i_{c1} は別途計算する。

[数2]

$$i(t) = G_3 \cdot (v_A(t) - v_B(t)) \quad \dots (2)$$

$$i_{R2}(t) = G_2 \cdot (v_B(t) - v_C(t)) \quad \dots (3)$$

$$i_{C2}(t) = C_2 \cdot \frac{d}{dt} (v_B(t) - v_C(t)) \quad \dots (4)$$

$$i_{SH}(t) = G_{SH} \cdot (v_C(t) - V_{SH}) \quad \dots (5)$$

$$i_{R1}(t) = G_1 \cdot v_C(t) \quad \dots (6)$$

[0057] 式 (1) ~ (6) をラプラス変換すると、式 (1)' ~ (6)' を得る。

[数3]

$$I(s) = I_{R2}(s) + I_{C2}(s) = I_{SH}(s) + I_{R1}(s) + I_{C1}(s) \quad \dots (1)'$$

$$I(s) = G_3 \cdot (V_A(s) - V_B(s)) \quad \dots (2)'$$

$$I_{R2}(s) = G_2 \cdot (V_B(s) - V_C(s)) \quad \dots (3)'$$

$$I_{C2}(s) = C_2 \cdot \{s \cdot (V_B(s) - V_C(s)) - (v_B(0-) - v_C(0-))\} \quad \dots (4)'$$

$$I_{SH}(s) = G_{SH} \cdot \left(V_C(s) - \frac{1}{s} V_{SH} \right) \quad \dots (5)'$$

$$I_{R1}(s) = G_1 \cdot V_C(s) \quad \dots (6)'$$

[0058] 次に、 $i_{c1}(t)$ と $v_c(t)$ の関係に注目すると、式 (7) を得る。これをラプラス変換すると式 (7)' を得る。さらに式 (7)' から $V_P(s)$ を

消去して $I_{C1}(s)$ について解くと、式 (8) を得る。

[数4]

$$i_{C1}(t) = \frac{1}{R_C} (v_C(t) - v_P(t)) = C_1 \cdot \frac{dv_P(t)}{dt} \quad \dots (7)$$

$$I_{C1}(s) = \frac{1}{R_C} (V_C(s) - V_P(s)) = C_1 \cdot (s \cdot V_P(s) - v_P(0-)) \quad \dots (7)'$$

$$I_{C1}(s) = C_1 \cdot \frac{s \cdot V_C(s) - v_P(0-)}{s \cdot C_1 \cdot R_C + 1} \quad \dots (8)$$

[0059] 式 (1)' に、式 (2)' ~ (6)' および式 (8) を代入すると、式 (9) を得る。

[数5]

$$\begin{aligned} & G_3 \cdot (V_A(s) - V_B(s)) \quad \dots (9) \text{の左辺} \\ &= (G_2 + s \cdot C_2) \cdot (V_B(s) - V_C(s)) - C_2 \cdot (v_B(0-) - v_C(0-)) \quad \dots (9) \text{の中辺} \\ &= G_{SH} \cdot \left(V_C(s) - \frac{1}{s} V_{SH} \right) + G_1 \cdot V_C(s) + C_1 \cdot \frac{s \cdot V_C(s) - v_P(0-)}{s \cdot C_1 \cdot R_C + 1} \quad \dots (9) \text{の右辺} \end{aligned}$$

[0060] 式 (9) の左辺と中辺から、式 (10) を得る。

[数6]

$$V_B(s) = \frac{V_C(s) \cdot (s \cdot C_2 + G_2) + C_2 \cdot (v_B(0-) - v_C(0-)) + V_A(s) \cdot G_3}{s \cdot C_2 + G_2 + G_3} \quad \dots (10)$$

[0061] ここで $v_A(t)$ を式 (11) で表されるステップ関数と定義すると、そのラプラス変換は式 (12) に示すようになる。なお、式 (12) には V_{A1} の値は現れないが、初期状態の情報は式 (10) の $V_C(0-)$ に含まれるため、後の計算で支障はない。さらに時刻 $t < 0$ において回路が静的であると仮定すると、式 (13) が成り立つ。

[数7]

$$v_A(t) = \begin{cases} v_{A1} \cdots (t < 0) \\ v_{A2} \cdots (0 \leq t) \end{cases} \quad \cdots (11)$$

$$\downarrow \mathcal{L}$$

$$V_A(s) = \frac{V_{A2}}{s} \quad \cdots (12)$$

$$v_p(0-) = v_c(0-) \quad \cdots (13)$$

[0062] 式(9)の左辺に式(10)と式(12)を代入し、式(9)の右辺に式(13)を代入すれば式(14)を得る。さらに式(14)を変形すると式(15)を得る。

[数8]

$$\begin{aligned} G_3 \cdot \left(\frac{V_{A2}}{s} - \frac{V_c(s) \cdot (s \cdot C_2 + G_2) + C_2 \cdot (v_B(0-) - v_c(0-)) + V_A(s) \cdot G_3}{s \cdot C_2 + G_2 + G_3} \right) \\ = G_{SH} \cdot \left(V_c(s) - \frac{1}{s} V_{SH} \right) + G_1 \cdot V_c(s) + C_1 \cdot \frac{s \cdot V_c(s) - v_c(0-)}{s \cdot C_1 \cdot R_C + 1} \quad \cdots (14) \end{aligned}$$

$$V_c(s) = \frac{1}{s} \cdot \frac{A \cdot s^2 + T \cdot s + U}{s^2 + P \cdot s + Q} \quad \cdots (15)$$

[0063] 式(15)における係数A、T、U、P、Qは、式(15-1)～(15-5)に示す通りである。

[数9]

$$A = \frac{R_C \cdot \{V_{A2} \cdot G_3 - (v_B(0-) - v_c(0-)) \cdot G_3 + V_{SH} \cdot G_{SH}\} + v_c(0-)}{R_C \cdot (G_3 + G_{SH} + G_1) + 1} \quad \cdots (15-1)$$

$$T = \frac{V_{A2} \cdot G_3 \cdot \{C_2 + C_1 \cdot R_C \cdot G_3\} - G_3 \cdot C_2 \cdot (v_B(0-) - v_c(0-)) + V_{SH} \cdot G_{SH} \cdot \{C_2 + C_1 \cdot R_C \cdot (G_2 + G_3)\} + v_c(0-) \cdot C_1 \cdot (G_2 + G_3)}{C_1 \cdot C_2 \cdot \{R_C \cdot (G_3 + G_{SH} + G_1) + 1\}} \quad \cdots (15-2)$$

$$U = \frac{V_{A2} \cdot G_3 \cdot G_2 + V_{SH} \cdot G_{SH} \cdot (G_2 + G_3)}{C_1 \cdot C_2 \cdot \{R_C \cdot (G_3 + G_{SH} + G_1) + 1\}} \quad \cdots (15-3)$$

$$P = \frac{G_3 \cdot (C_1 \cdot R_C \cdot G_2 + C_3) + (G_{SH} + G_1) \cdot \{C_2 + C_1 \cdot R_C \cdot (G_2 + G_3)\} + C_1 \cdot (G_2 + G_3)}{C_1 \cdot C_2 \cdot \{R_C \cdot (G_3 + G_{SH} + G_1) + 1\}} \quad \cdots (15-4)$$

$$Q = \frac{G_3 \cdot G_3 + (G_{SH} + G_1) \cdot (G_2 + G_3)}{C_1 \cdot C_2 \cdot \{R_C \cdot (G_3 + G_{SH} + G_1) + 1\}} \quad \cdots (15-5)$$

[0064] 式(15)を式(16)のように部分分数分解できると仮定して、 α 、 β 、 γ 、 ω_1 、 ω_2 を求める。もし α 、 β 、 γ 、 ω_1 、 ω_2 のすべてが実数であれ

ば、式（１６）は逆ラプラス変換可能で、時間軸上での応答 $v_c(t)$ が求まる。式（１６）のように部分分数分解する根拠は、図１の可変イコライザ回路１００が、抵抗とキャパシタで構成されるため、この回路の応答が振動的でないことにもとづいている。式（１６）を通分すると、式（１７）が得られる。

[0065] [数10]

$$V_c(s) = \frac{\gamma}{s} + \frac{\alpha}{s + \omega_1} + \frac{\beta}{s + \omega_2} \quad \dots (16)$$

$$V_c(s) = \frac{1}{s} \cdot \frac{(\gamma + \alpha + \beta) \cdot s^2 + (\gamma \cdot (\omega_1 + \omega_2) + \alpha \cdot \omega_2 + \beta \cdot \omega_1) \cdot s + \gamma \cdot \omega_1 \cdot \omega_2}{s^2 + (\omega_1 + \omega_2) \cdot s + \omega_1 \cdot \omega_2} \quad \dots (17)$$

[0066] 式（１５）と式（１７）は公等的に等しくなければならないため、各項を比較することで式（１８－１）～（１８－５）を得る。

[数11]

$$A = \gamma + \alpha + \beta \quad \dots (18-1)$$

$$T = \gamma \cdot (\omega_1 + \omega_2) + \alpha \cdot \omega_2 + \beta \cdot \omega_1 \quad \dots (18-2)$$

$$U = \gamma \cdot \omega_1 \cdot \omega_2 \quad \dots (18-3)$$

$$P = \omega_1 + \omega_2 \quad \dots (18-4)$$

$$Q = \omega_1 \cdot \omega_2 \quad \dots (18-5)$$

[0067] 式（１８－１）～（１８－５）を解くと、式（１９－１）～（１９－５）を得る。

[数12]

$$\gamma = \frac{U}{Q} \quad \dots (19-1)$$

$$\omega_1 = \frac{1}{2} \left(P + \sqrt{P^2 - 4 \cdot Q} \right) \quad \dots (19-2)$$

$$\omega_2 = \frac{1}{2} \left(P - \sqrt{P^2 - 4 \cdot Q} \right) \quad \dots (19-3)$$

$$\alpha = \frac{-1}{2 \cdot \sqrt{P^2 - 4 \cdot Q}} \cdot \left\{ 2 \cdot T - \frac{U}{Q} \cdot \left(P - \sqrt{P^2 - 4 \cdot Q} \right) - A \cdot \left(P + \sqrt{P^2 - 4 \cdot Q} \right) \right\} \quad \dots (19-4)$$

$$\beta = \frac{1}{2 \cdot \sqrt{P^2 - 4 \cdot Q}} \cdot \left\{ 2 \cdot T - \frac{U}{Q} \cdot \left(P + \sqrt{P^2 - 4 \cdot Q} \right) - A \cdot \left(P - \sqrt{P^2 - 4 \cdot Q} \right) \right\} \quad \dots (19-5)$$

[0068] 式(16)を逆ラプラス変換すると式(20)を得る。

[数13]

$$V_c(s) = \frac{\gamma}{s} + \frac{\alpha}{s + \omega_1} + \frac{\beta}{s + \omega_2} \quad \dots (16) \text{ 再}$$

$$\downarrow \mathcal{L}^{-1}$$

$$v_c(t) = \gamma + \alpha \cdot \exp(-\omega_1 \cdot t) + \beta \cdot \exp(-\omega_2 \cdot t) \quad \dots (20)$$

[0069] 式(20)は、 $0 < t$ の範囲でしか定義されない。 $t < 0$ においては、回路は静的な状態であると考えて、 $v_c(0-)$ を計算する。図6は、静的な状態における可変イコライザ回路の等価回路図である。静的な状態では、キャパシタはオープンとみなすことができる。図6と図5では、 $0 < t$ において、同じ電圧、電流状態となるべきである。したがって図6の回路モデルから、 $v_c(0-)$ を計算すると式(21)を得る。

[数14]

$$v_c(0-) = \frac{V_{A1} \cdot R_{SH} \cdot R_i + V_{SH} \cdot R_3 \cdot (R_2 + R_3)}{R_{SH} \cdot R_i + (R_{SH} + R_i) \cdot (R_2 + R_3)} \quad \dots (21)$$

[0070] 式(20)と(21)を時刻 $t=0$ でつなげたものが、式(11)で表さ

れるステップ入力を与えたときの $v_c(t)$ の応答波形である。

[0071] 続いて減衰率を求める。

$v_A(t)$ が式 (11) に示したステップ関数であれば、 $t = \infty$ においても回路は静的であるため、図 6 を用いて、式 (22) のように $v_c(\infty)$ を計算できる。また減衰率 ATT は、式 (23) で与えられる。

[数15]

$$v_c(\infty) = \frac{V_{A2} \cdot R_{SH} \cdot R_1 + V_{SH} \cdot R_1 \cdot (R_2 + R_3)}{R_{SH} \cdot R_1 + (R_{SH} + R_1) \cdot (R_2 + R_3)} \quad \dots (22)$$

$$ATT = \frac{v_c(\infty) - v_c(0-)}{V_{A2} - V_{A1}} = \frac{1}{1 + \left(\frac{1}{R_{SH}} + \frac{1}{R_1} \right) \cdot (R_2 + R_3)} \quad \dots (23)$$

[0072] 図 7 (a)、(b) は、図 1 の可変イコライザ回路 100 のシミュレーション波形図である。

図 7 (a) は、第 1 抵抗 R_1 の抵抗値 R_1 を $2 \text{ k}\Omega$ 、 $4 \text{ k}\Omega$ 、 $6 \text{ k}\Omega$ 、 $8 \text{ k}\Omega$ 、 $10 \text{ k}\Omega$ と変化させたときの波形を示す。その他の回路定数は以下の通りである。

$$R_2 = 1.75 \text{ k}\Omega$$

$$R_3 = 250 \Omega$$

$$R_C = 2 \text{ k}\Omega$$

$$C_1 = 60 \text{ fF}$$

$$C_2 = 300 \text{ fF}$$

第 1 抵抗 R_1 の抵抗値 R_1 を変化させることにより、主としてブースト量が制御できることが確認される。

[0073] 図 7 (b) は、第 1 キャパシタ C_1 の容量値 C_1 を、 30 fF 、 60 fF 、 90 fF 、 120 fF と変化させたときの波形を示す。 $R_1 = 4 \text{ k}\Omega$ 、その他は上と同様である。第 1 キャパシタ C_1 の容量値 C_1 を変化させることにより、時定数を制御できることが確認される。

[0074] 上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組

み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

[0075] (第1の変形例)

図8は、第1の変形例に係る可変イコライザ回路100aの構成を示す回路図である。図8の可変イコライザ回路100aは、図1の可変イコライザ回路100からレベルシフタ20を省略した構成である。この場合でも、式(2)～(23)は、 $R_{SH} = \infty$ とすればそのまま成り立つ。レベルシフトしなくても、可変イコライザ回路100aの出力信号が受信回路8の入力電圧範囲に含まれる場合には、レベルシフタ20を省略することができる。

[0076] (第2の変形例)

図9は、第2の変形例に係る可変イコライザ回路100bの構成を示す回路図である。図9の可変イコライザ回路100bは、図1の可変イコライザ回路100から第4抵抗 R_c を省略した構成となっている。この場合、式(2)～(23)は、 $R_c = 0$ とすればそのまま成り立つ。

[0077] (第3の変形例)

第3の変形例は、図1の可変イコライザ回路100から第3抵抗 R_3 を省略した構成である。第2抵抗 R_2 、第1抵抗 R_1 、第4抵抗 R_c の抵抗値が伝送線路3の特性インピーダンス Z_0 に比べて十分に大きい場合、可変イコライザ回路100はインピーダンス整合に影響を及ぼさないため、第3抵抗 R_3 を省略することができる。

[0078] (第4の変形例)

図10は、第4の変形例に係る可変イコライザ回路100cの構成を示す回路図である。図10の可変イコライザ回路100cは、図1の可変イコライザ回路100から第1抵抗 R_1 を省略し、その代わりにレベルシフタ20cの抵抗 R_{SH} を可変とした構成を有する。レベルシフタ20cは、出力端子P2と固定電圧端子（接地端子もしくは電源端子）間の抵抗成分 R_{SH} が可変に構成される。この場合、式(2)～(23)は、 $R_1 = \infty$ とすればそのま

ま成り立つ。

[0079] ここで説明したいくつかの変形例は、別の変形例と組み合わせが可能である。

たとえば第 1 の変形例は、第 2、第 3 の変形例と組み合わせることが可能である。

たとえば第 2 の変形例は、第 1、第 3、第 4 の変形例と組み合わせることが可能である。

たとえば第 3 の変形例は、第 1、第 2、第 4 の変形例と組み合わせることが可能である。

たとえば第 4 の変形例は、第 2、第 3 の変形例と組み合わせることが可能である。

当業者には、本発明の効果を損なわない範囲において、さまざまな組み合わせ、変形例が存在することが理解される。

[0080] また実施の形態では、可変イコライザ回路 100 を試験装置 2 に利用する場合を説明したが、可変イコライザ回路 100 の用途はそれに限定されず、可変イコライザ回路は、外部からの信号を受けるさまざまなデバイスに利用することができる。

[0081] 実施の形態にもとづき本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

符号の説明

[0082] 100…可変イコライザ回路、P1…入力端子、P2…出力端子、1…DUT、2…試験装置、3…伝送線路、6…終端器、8…受信回路、R1…第 1 抵抗、R2…第 2 抵抗、C1…第 1 キャパシタ、C2…第 2 キャパシタ、Rs…シャント抵抗、R3…第 3 抵抗、Rc…第 4 抵抗、10…イコライジング部、20…レベルシフタ。

産業上の利用可能性

[0083] 本発明は、電気通信に利用できる。

請求の範囲

- [請求項1] 通信相手のデバイスから伝送線路を介して受けた信号をイコライジングする可変イコライザ回路であって、
- 前記伝送線路と接続される入力端子と、
- 出力端子と、
- 前記出力端子と固定電圧端子の間に設けられ、その抵抗値が可変に構成される第1抵抗と、
- 前記出力端子と前記固定電圧端子の間に、前記第1抵抗と並列に設けられ、その容量値が可変に構成される第1キャパシタと、
- 前記入力端子と前記出力端子の間に設けられた第2抵抗と、
- 前記入力端子と前記出力端子の間に前記第2抵抗と並列に設けられた第2キャパシタと、
- 前記入力端子から前記固定電圧端子に至る前記第1キャパシタおよび前記第2キャパシタを含む経路上に設けられたシャント抵抗と、
- を備えることを特徴とする可変イコライザ回路。
- [請求項2] 前記シャント抵抗は、
- 前記第2抵抗および前記第2キャパシタの共通に接続された一端と前記入力端子の間に設けられた第3抵抗を含むことを特徴とする請求項1に記載の可変イコライザ回路。
- [請求項3] 前記シャント抵抗は、
- 前記第1抵抗と並列な経路上に、前記第1キャパシタと直列に設けられた第4抵抗を含むことを特徴とする請求項1または2に記載の可変イコライザ回路。
- [請求項4] 前記出力端子の電圧レベルをシフトするレベルシフタをさらに備えることを特徴とする請求項1から3のいずれかに記載の可変イコライザ回路。
- [請求項5] 前記レベルシフタは、
- 第1電圧を発生する電圧源と、

前記電圧源と前記出力端子の間に設けられた第 5 抵抗と、
を含むことを特徴とする請求項 4 に記載の可変イコライザ回路。

[請求項 6]

前記レベルシフタは、

第 1 固定電圧が印加される第 1 固定電圧端子と、

前記第 1 固定電圧と異なる第 2 固定電圧が印加される第 2 固定電圧
端子と、

前記第 1 固定電圧端子と前記出力端子の間に設けられた第 1 可変抵
抗と、

前記第 2 固定電圧端子と前記出力端子の間に設けられた第 2 可変抵
抗と、

を含むことを特徴とする請求項 4 に記載の可変イコライザ回路。

[請求項 7]

通信相手のデバイスから伝送線路を介して受けた信号をイコライジ
ングする可変イコライザ回路であって、

前記伝送線路と接続される入力端子と、

出力端子と、

前記出力端子と固定電圧端子の間に設けられ、その容量値が可変に
構成される第 1 キャパシタと、

前記入力端子と前記出力端子の間に設けられた第 2 抵抗と、

前記入力端子と前記出力端子の間に前記第 2 抵抗と並列に設けられ
た第 2 キャパシタと、

前記入力端子から前記固定電圧端子に至る前記第 1 キャパシタおよ
び前記第 2 キャパシタを含む経路上に設けられたシャント抵抗と、

前記出力端子の電圧レベルをシフトするレベルシフタであって、前
記出力端子と固定電圧端子間の抵抗成分が可変に構成されるレベルシ
フタと、

を備えることを特徴とする可変イコライザ回路。

[請求項 8]

前記シャント抵抗は、

前記出力端子と前記固定電圧端子の間に、前記第 1 キャパシタと直

列に設けられた第 4 抵抗を含むことを特徴とする請求項 7 に記載の可変イコライザ回路。

[請求項 9]

前記シャント抵抗は、

前記第 2 抵抗および前記第 2 キャパシタの共通に接続された一端と前記入力端子の間に設けられた第 3 抵抗を含むことを特徴とする請求項 7 または 8 に記載の可変イコライザ回路。

[請求項 10]

前記レベルシフタは、

第 1 固定電圧が印加される第 1 固定電圧端子と、

前記第 1 固定電圧と異なる第 2 固定電圧が印加される第 2 固定電圧端子と、

前記第 1 固定電圧端子と前記出力端子の間に設けられた第 1 可変抵抗と、

前記第 2 固定電圧端子と前記出力端子の間に設けられた第 2 可変抵抗と、

を含むことを特徴とする請求項 7 から 9 のいずれかに記載の可変イコライザ回路。

[請求項 11]

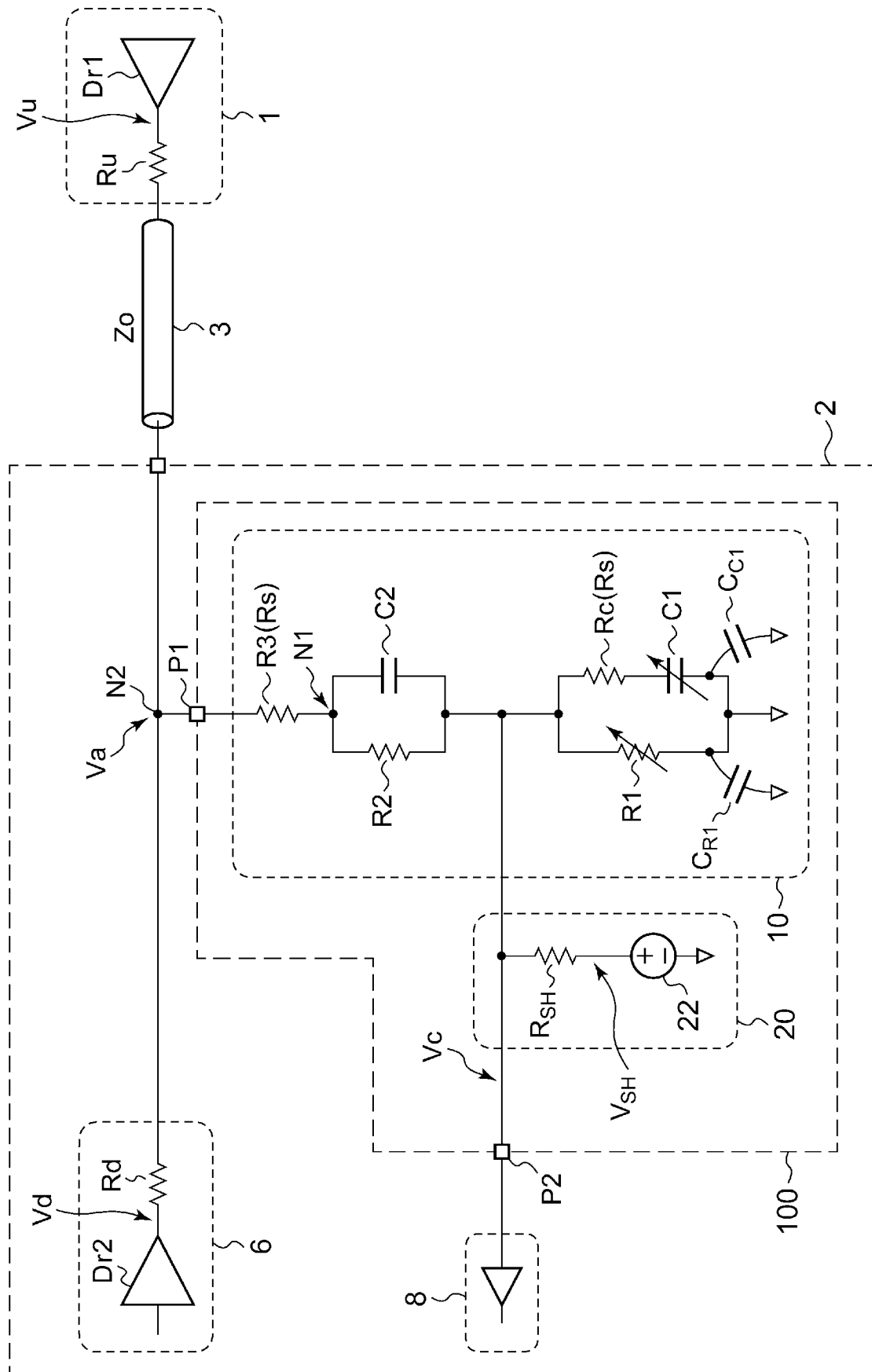
被試験デバイスから伝送線路を介して信号を受信し、前記被試験デバイスを検査する試験装置であって、

前記被試験デバイスからの信号をイコライジングする請求項 1 から 10 のいずれかに記載の可変イコライザ回路と、

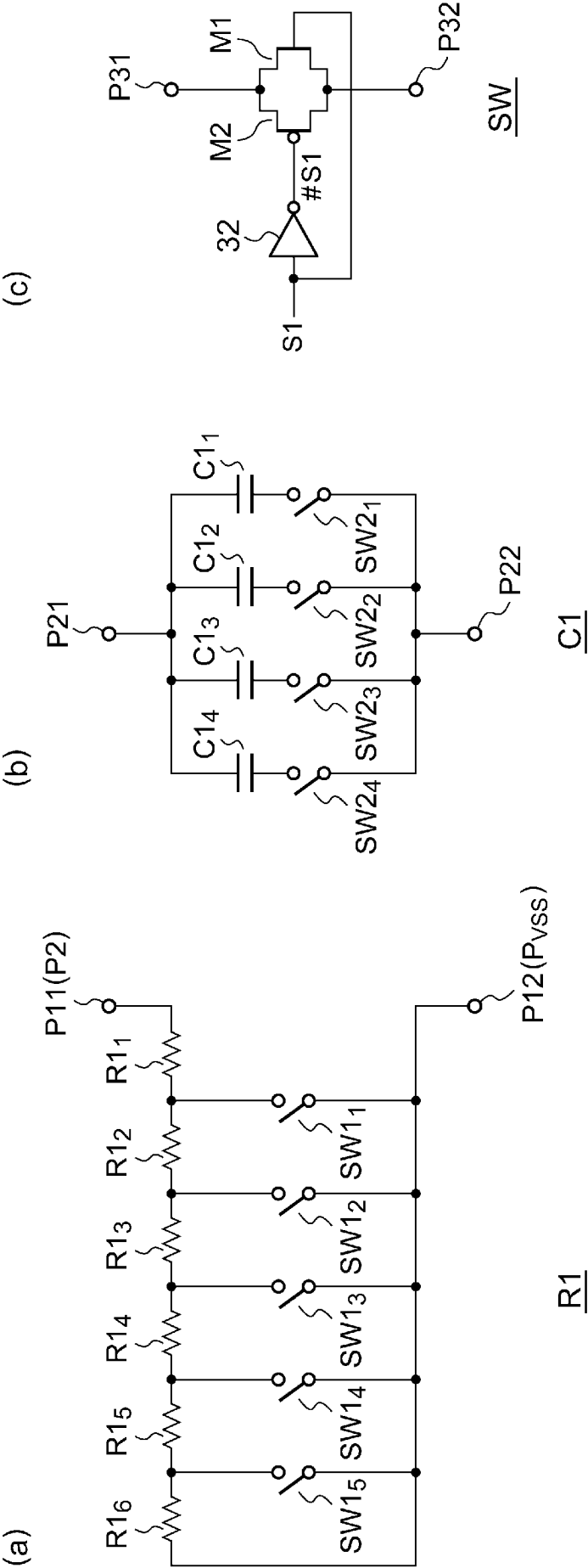
前記可変イコライザ回路の出力信号を受ける受信回路と、

を備えることを特徴とする試験装置。

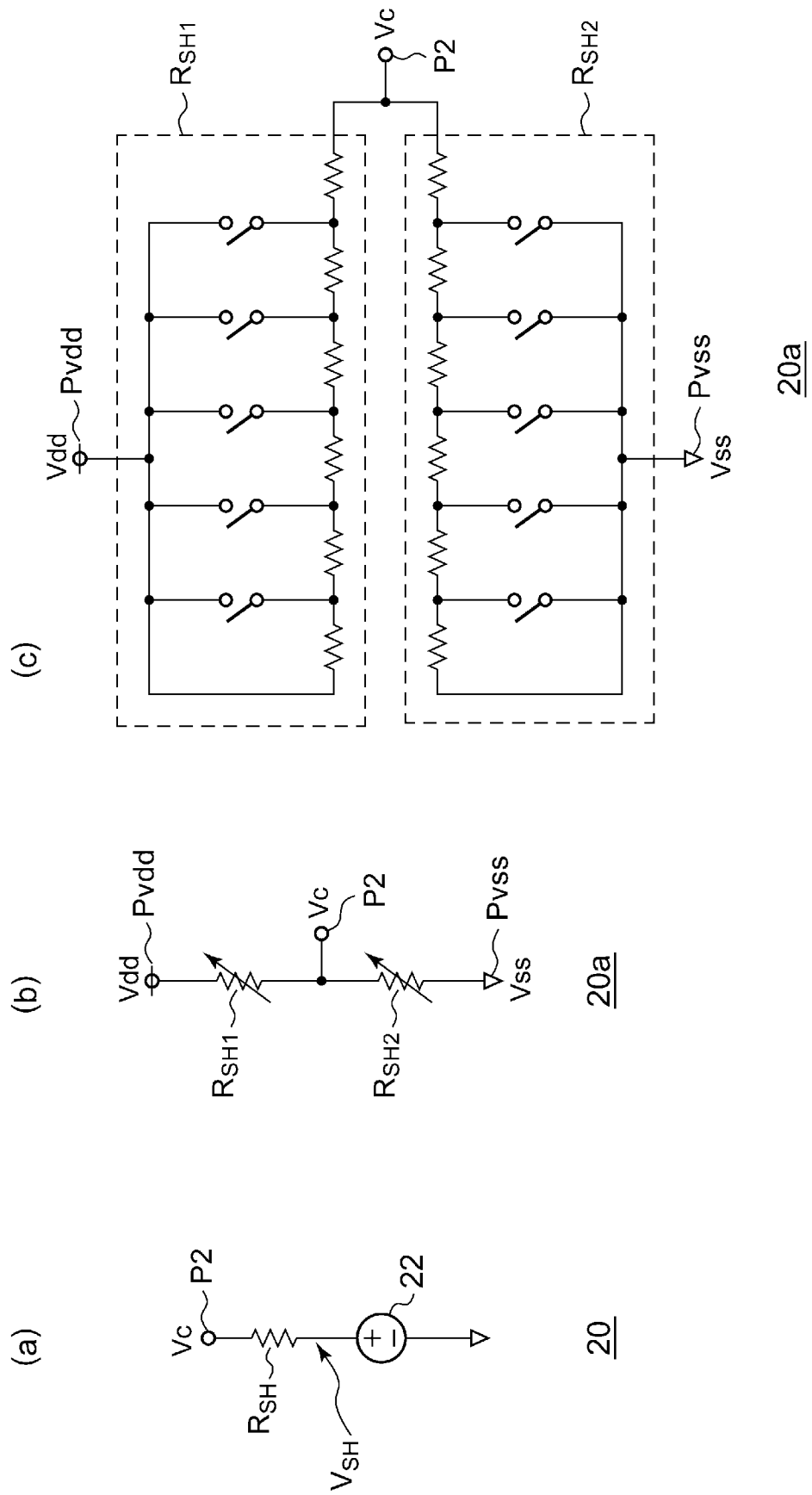
[図1]



[図2]

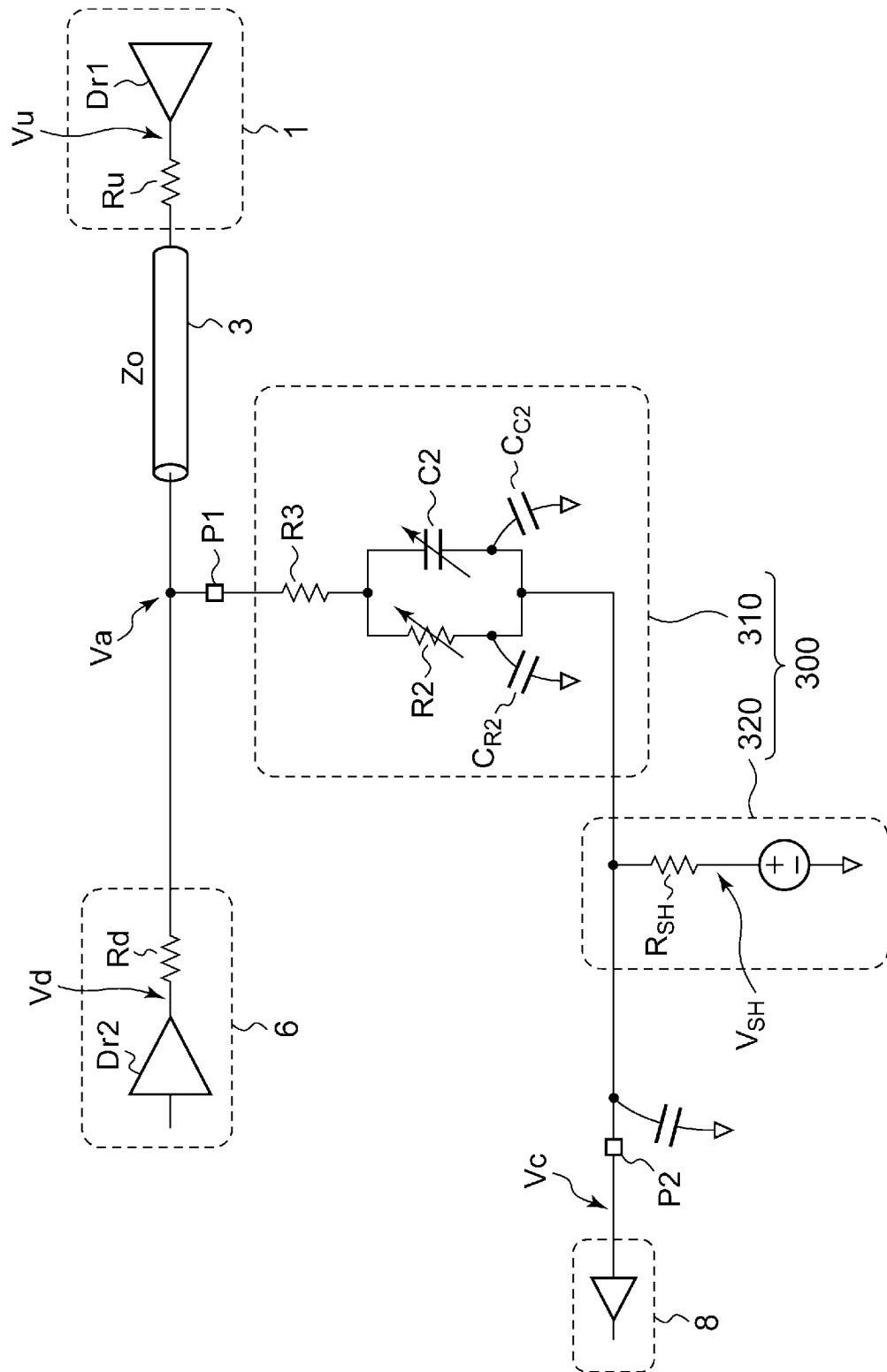


[図3]

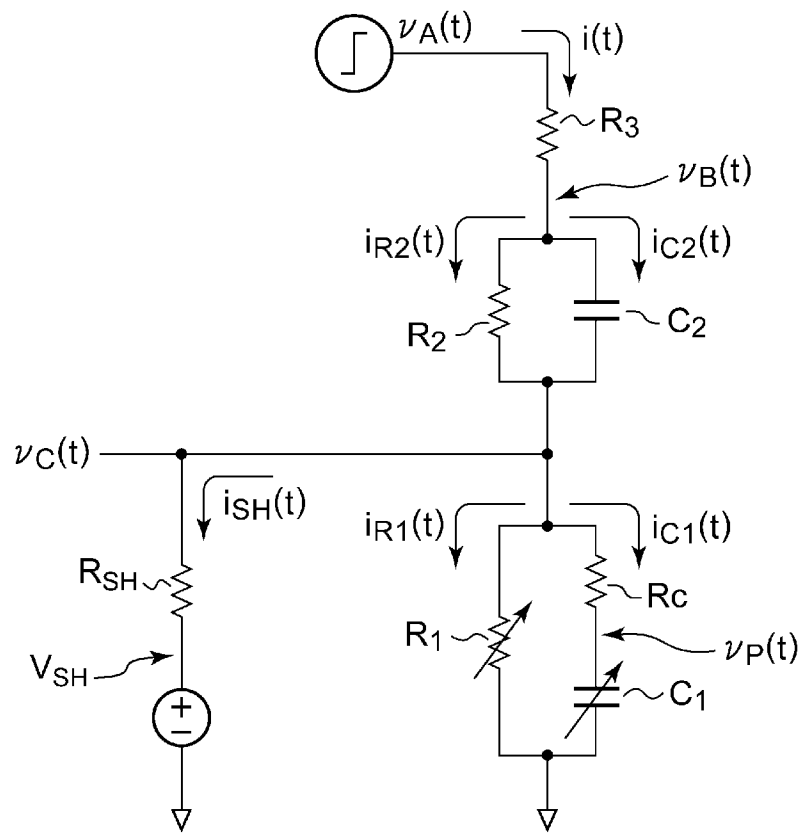


[図4]

比較技術

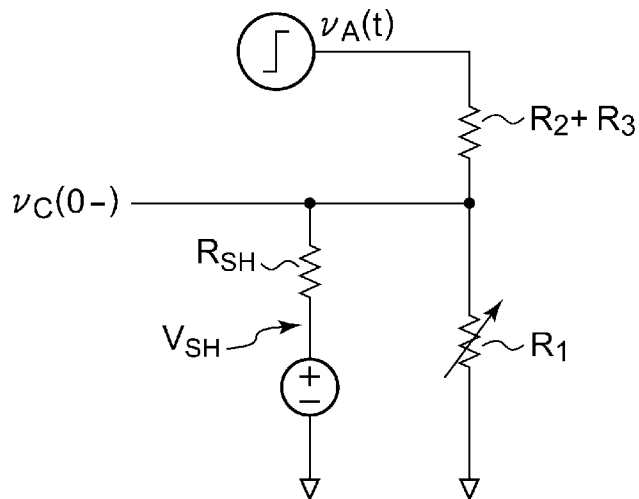


[図5]



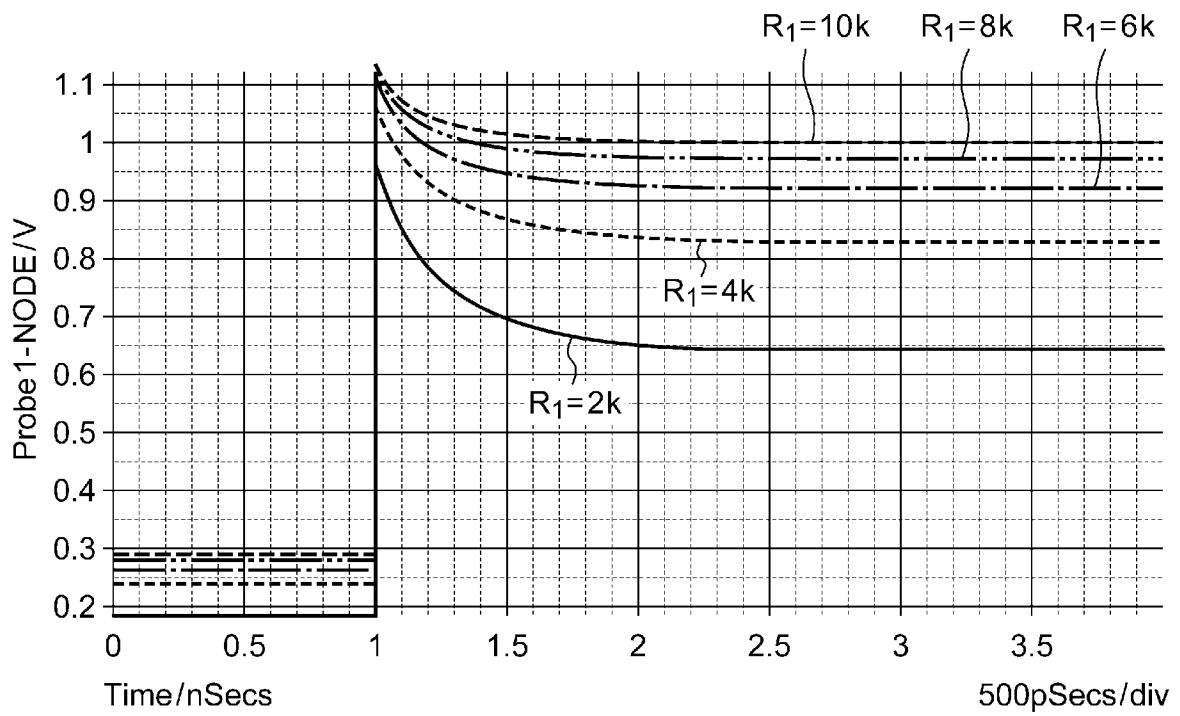
100

[図6]

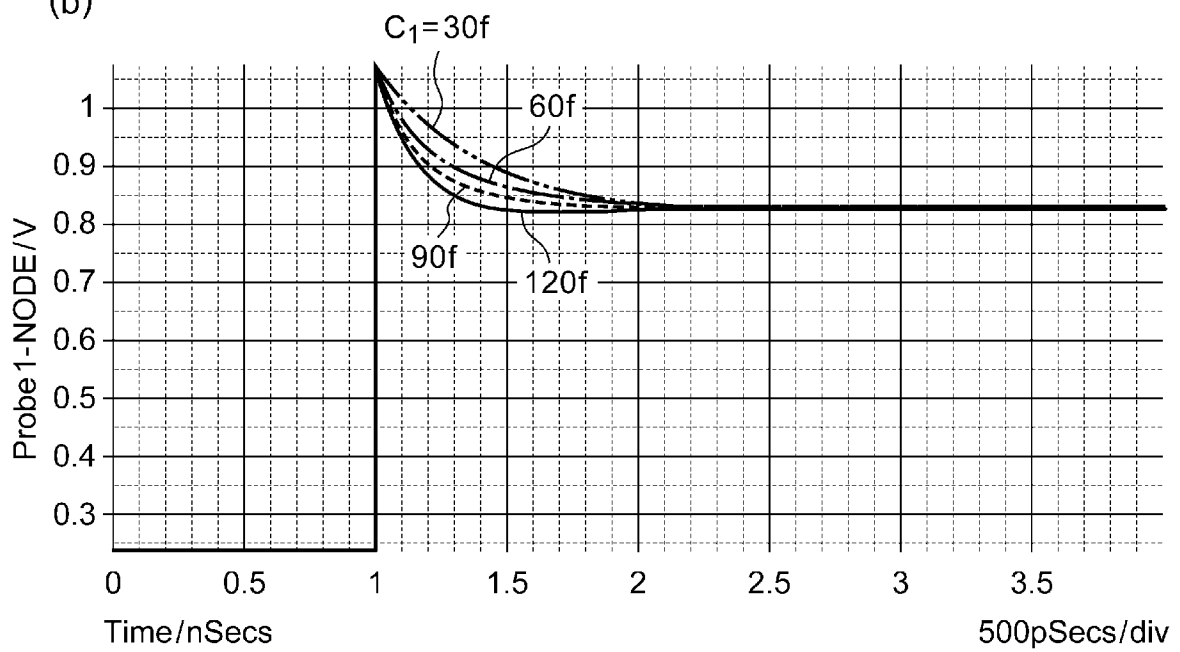


[図7]

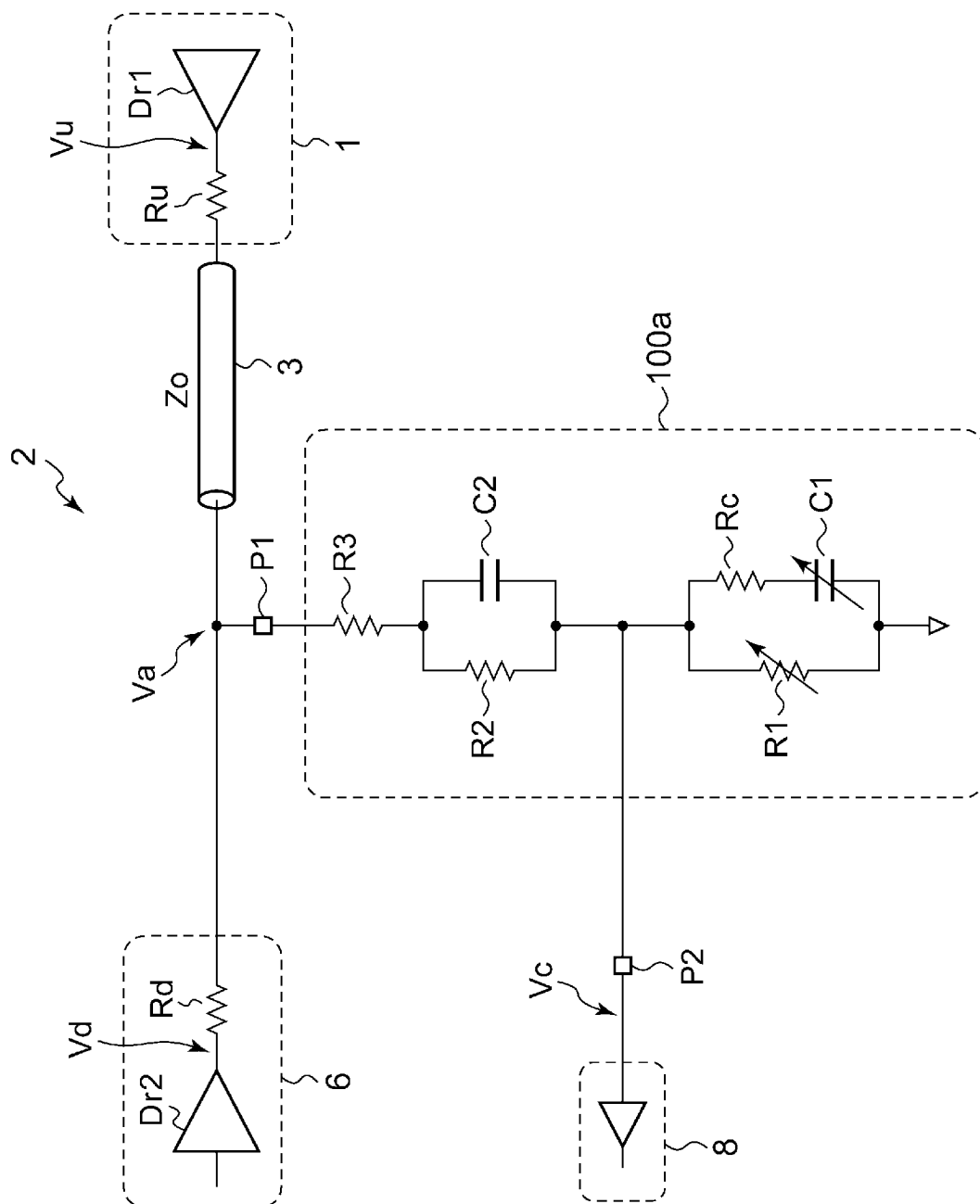
(a)



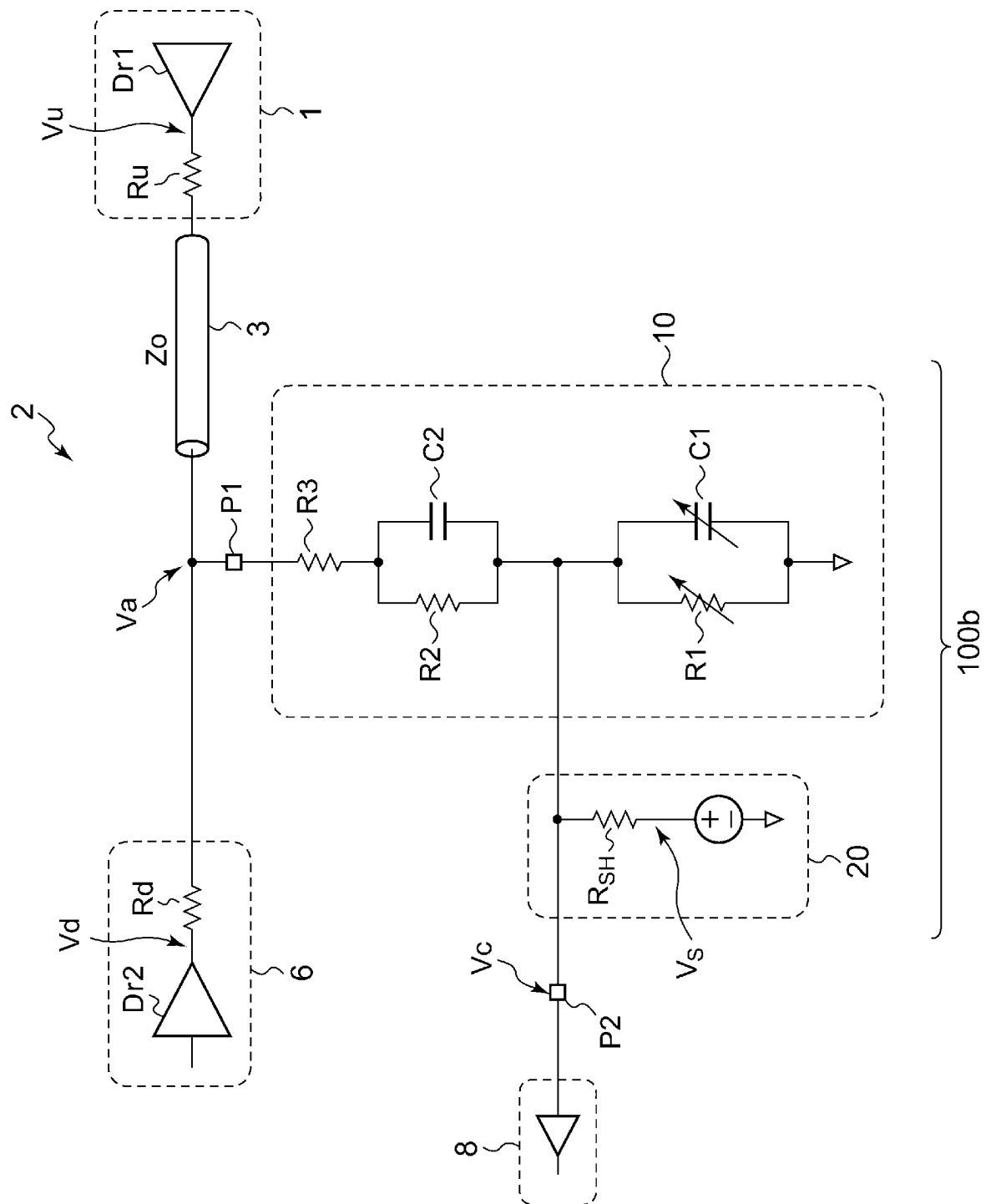
(b)



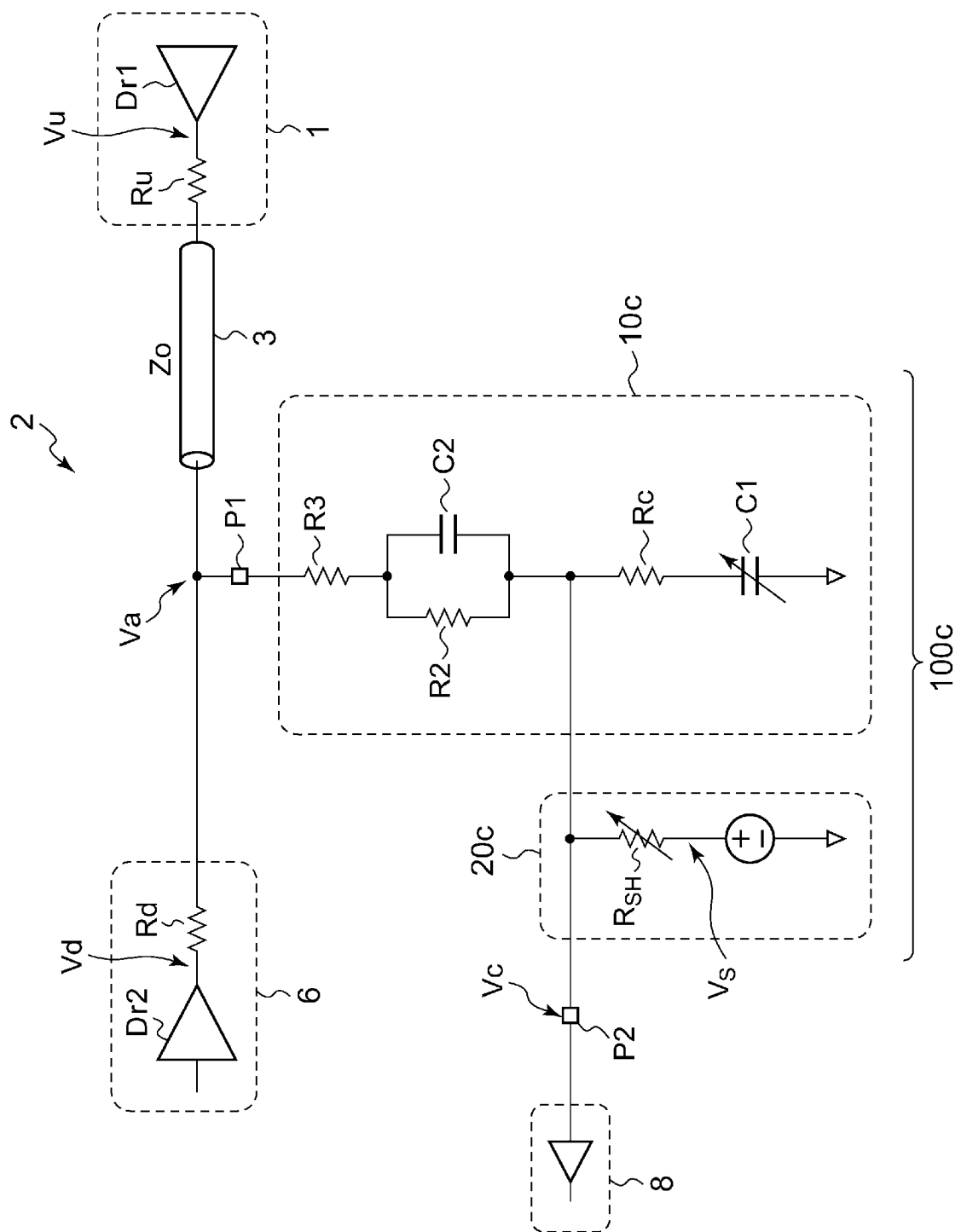
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002357

A. CLASSIFICATION OF SUBJECT MATTER

H03H7/01(2006.01)i, G01R31/28(2006.01)i, G01R31/319(2006.01)i, H04B3/14(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H7/00-7/13, H03H7/24-7/27, G01R1/06-1/073, G01R31/28, G01R31/319, H04B3/04-18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 54-012242 A (New Nippon Electric Co., Ltd.), 29 January 1979 (29.01.1979), entire text; all drawings (Family: none)	1-11
A	JP 06-331657 A (Yokogawa Electric Corp.), 02 December 1994 (02.12.1994), entire text; all drawings (Family: none)	1-11
A	JP 2003-168947 A (Iwatsu Electric Co., Ltd.), 13 June 2003 (13.06.2003), entire text; all drawings (Family: none)	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
28 May, 2010 (28.05.10)

Date of mailing of the international search report
08 June, 2010 (08.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03H7/01(2006.01)i, G01R31/28(2006.01)i, G01R31/319(2006.01)i, H04B3/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03H7/00-7/13, H03H7/24-7/27, G01R1/06-1/073, G01R31/28, G01R31/319, H04B3/04-18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
1 - 1 1	J P 5 4 - 0 1 2 2 4 2 A（新日本電気株式会社） 1 9 7 9 . 0 1 . 2 9 , 全文, 全図（ファミリーなし）	A
1 - 1 1	J P 0 6 - 3 3 1 6 5 7 A（横河電機株式会社） 1 9 9 4 . 1 2 . 0 2 , 全文, 全図（ファミリーなし）	A
1 - 1 1	J P 2 0 0 3 - 1 6 8 9 4 7 A（岩崎通信機株式会社） 2 0 0 3 . 0 6 . 1 3 , 全文, 全図（ファミリーなし）	A

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 0 5 . 2 0 1 0

国際調査報告の発送日

0 8 . 0 6 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 孝治

5 W

8 8 4 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 6