

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0031367
G09G 3/30 (2006.01) (43) 공개일자 2006년04월12일

(21) 출원번호 10-2004-0080368
(22) 출원일자 2004년10월08일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575
(72) 발명자 권오경
서울특별시 송파구 신천동 7번지 장미아파트 14동 1102호
(74) 대리인 유미특허법인

심사청구 : 있음

(54) 디지털/아날로그 컨버터와 이를 이용한 표시 장치 및 그 표시 패널과 구동 방법

요약

본 발명은 디지털/아날로그 컨버터와 이를 이용한 표시 장치 및 그 표시 패널과 구동 방법에 관한 것이다. 본 발명에 따른 표시 장치는 데이터 전류를 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 및 데이터선과 주사선에 의해 각각 정의되는 복수의 화소 영역을 포함하는 표시부, 제1 데이터와 제2 데이터를 각각 포함하는 복수의 계조 데이터를 데이터 전류로 변환하여 데이터선에 인가하는 데이터 구동부, 및 선택 신호를 복수의 주사선에 순차적으로 인가하는 주사 구동부를 포함하며, 데이터 구동부는 복수의 계조 데이터를 제1 계조 영역을 포함하는 적어도 두 개의 계조 영역으로 나누어 구동하고, 제1 데이터를 이용하여 계조 데이터가 포함되는 제1 계조 영역의 제1 전류를 출력하고, 제1 계조 영역에서 제2 데이터에 대응되는 제2 전류를 출력한다.

대표도

도 3

색인어

계조 데이터, 데이터 전류, 기준 전류 출력부, 미세 전류 출력부, 다중화부

명세서

도면의 간단한 설명

도 1은 본 발명의 일실시예에 따른 유기 EL 표시 장치를 개략적으로 도시한 평면도이다.

도 2는 본 발명의 일실시예에 따른 데이터 구동부를 도시한 블록도이다.

도 3는 본 발명의 제1 실시예에 따른 계조 전류 생성부의 디지털/아날로그 컨버터를 도시한 블록도이다.

도 4은 본 발명의 일실시예에 따른 감마 곡선을 도시한 것이다.

도 5은 도 4의 감마 곡선 중 제2 계조 영역에 대응되는 부분을 도시한 것이다.

도 6은 본 발명의 제1 실시예에 따른 디지털/아날로그 컨버터를 도시한 회로도이다.

도 7는 본 발명의 제2 실시예에 따른 디지털/아날로그 컨버터를 도시한 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치에 관한 것으로, 더욱 상세하게는 디지털/아날로그 컨버터 및 이를 이용한 유기 전계발광(electroluminescent, 이하 EL이라 함) 표시 장치 및 그 표시 패널과 구동 방법에 관한 것이다.

일반적으로 유기 EL 표시 장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, N×M 개의 유기 발광셀들을 전압 기입 혹은 전류 기입하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀은 애노드(ITO), 유기 박막, 캐소드 레이어(metal)의 구조를 가지고 있다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL) 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer, EIL)과 정공 주입층(hole injecting layer, HIL)을 포함하고 있다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT) 또는 MOSFET를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터와 커패시터를 각 ITO(indium tin oxide) 화소 전극에 접속하여 커패시터 용량에 의해 전압을 유지하도록 하는 구동 방식이다. 이때, 커패시터에 전압을 유지시키기 위해 인가되는 신호의 형태에 따라 능동 구동 방식은 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나뉘어진다.

그런데 종래의 전압 기입 방식의 화소 회로에서는 제조 공정의 불균일성에 의해 생기는 박막 트랜지스터의 문턱 전압(V_{TH}) 및 캐리어(carrier)의 이동도(mobility)의 편차로 인해 고계조를 얻기 어렵다는 문제점이 있다. 이에 반해 전류 기입 방식의 화소 회로는 화소 회로에 전류를 공급하는 전류원이 패널 전체를 통해 균일하다고 하면 각 화소내의 구동 트랜지스터가 불균일한 전압-전류 특성을 갖는다 하더라도 균일한 디스플레이 특성을 얻을 수 있다.

이러한 전류 기입형 화소를 이용하여 표시 장치를 구현하는 경우, 계조 데이터를 계조 전류로 변환하여 화소 회로에 인가하는 디지털/아날로그 컨버터가 필요하게 되며, 계조 데이터를 계조 전류로 변환하는 경우 디지털/아날로그 컨버터는 표시 패널의 특성을 고려하여 계조 데이터에 대하여 감마 보정을 수행하여야 한다.

그러나, 종래의 디지털/아날로그 컨버터는 계조 데이터에 선형적인 계조 전류를 출력하는 반면 표시 패널의 감마 특성은 계조 데이터에 비선형적인 문제가 있었다. 따라서 표시 패널에 원하는 계조의 영상이 표시되지 않게 되어 화질이 저하되었다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 감마 보정이 수행된 계조 전류를 출력할 수 있는 디지털/아날로그 컨버터 및 이를 이용한 표시 장치를 제공하기 위한 것이다.

발명의 구성 및 작용

상기 과제를 달성하기 위하여 본 발명의 하나의 특징에 따른 표시 장치는 데이터 전류를 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 및 상기 데이터선과 상기 주사선에 의해 각각 정의되는 복수의 화소 영역을 포함하는 표시부; 제1 데이터와 제2 데이터를 각각 포함하는 복수의 계조 데이터를 상기 데이터 전류로 변환하여 상기 데이터선에 인가하는 데이터 구동부; 및 상기 선택 신호를 상기 복수의 주사선에 순차적으로 인가하는 주사 구동부를 포함하며, 상기 데이터 구동부는 상기 복수의 계조 데이터를 제1 계조 영역을 포함하는 적어도 두 개의 계조 영역으로 나누어 구동하고, 상기 제1 데이터를 이용하여 상기 계조 데이터가 포함되는 상기 제1 계조 영역의 제1 전류를 출력하고, 상기 제1 계조 영역에서 상기 제2 데이터에 대응되는 제2 전류를 출력한다.

본 발명의 하나의 특징에 따른 표시 패널은 인가되는 데이터 전류에 대응하여 화상을 표시하는 복수의 화소를 포함하는 표시부; 및 복수의 계조 데이터를 상기 데이터 전류로 변환하여 상기 복수의 화소에 인가하는 계조 전류 생성부를 포함하며, 상기 계조 전류 생성부는, 상기 복수의 계조 데이터를 제1 계조 영역을 포함하는 적어도 두 개의 계조 영역으로 나누어 구동하고, 상기 계조 데이터의 상위 비트 데이터를 이용하여 상기 계조 데이터가 포함되는 제1 계조 영역의 제1 전류를 생성하고, 상기 계조 데이터의 하위 비트 데이터를 이용하여 상기 제1 계조 영역에서의 제2 전류를 생성하며, 상기 제1 전류와 상기 제2 전류를 합하여 상기 데이터 전류로 출력한다.

본 발명의 하나의 특징에 따른 디지털/아날로그 컨버터는 디지털 계조 데이터를 계조 전류로 변환하여 출력하는 디지털/아날로그 컨버터로서, 상기 디지털/아날로그 컨버터는 상기 계조 데이터를 복수의 계조 영역으로 나누어 상기 계조 전류로 변환하며, 상기 계조 데이터 중 제1 데이터를 이용하여 상기 계조 데이터가 포함되는 제1 계조 영역의 제1 전류를 출력하는 제1 전류 출력부; 상기 계조 영역의 단위 전류에 각각 대응하는 복수의 제1 전압 중 상기 제1 계조 영역의 제1 전압을 선택하여 출력하는 다중화부; 및 상기 다중화부로부터 출력된 상기 제1 전압과 상기 제2 데이터를 이용하여 제2 전류를 출력하는 제2 전류 출력부를 포함한다.

본 발명의 다른 특징에 따른 디지털/아날로그 컨버터는 디지털 계조 데이터를 계조 전류로 변환하여 출력하는 디지털/아날로그 컨버터로서, 상기 디지털/아날로그 컨버터는 상기 계조 데이터를 복수의 계조 영역으로 나누어 상기 계조 전류로 변환하며, 상기 계조 데이터 중 제1 데이터를 이용하여 상기 계조 데이터가 포함되는 제1 계조 영역의 제1 전류를 출력하는 제1 전류 출력부; 상기 계조 영역의 단위 전류에 각각 대응되는 복수의 제3 전류 중 상기 제1 계조 영역의 제3 전류를 선택하여 출력하는 제1 다중화부; 및 상기 제1 다중화부에서 출력된 상기 제3 전류를 복사하여 상기 제3 전류와 상기 제2 데이터의 곱에 해당하는 전류를 제2 전류로 출력하는 제2 전류 출력부를 포함한다.

본 발명의 하나의 특징에 따른 구동 방법은 인가되는 데이터 전류에 대응하여 화상을 표시하는 복수의 화소 회로가 형성된 표시 패널을 구동하기 위한 구동 방법으로서, 복수의 계조 데이터를 제1 계조 영역을 포함하는 적어도 두 개의 계조 영역으로 나누어 구동하고, 상기 구동 방법은, 상기 계조 데이터 중 제1 데이터를 이용하여 상기 계조 데이터가 포함되는 상기 제1 계조 영역의 제1 전류를 생성하는 제1 단계; 상기 적어도 두 개의 계조 영역에 대응되는 제1 신호 중 상기 제1 계조 영역의 제1 신호를 선택하여 출력하는 제2 단계; 상기 제1 신호에 대응되는 제3 전류를 생성하고, 상기 제3 전류와 상기 계조 데이터 중 제2 데이터를 이용하여 제2 전류를 생성하는 제3 단계; 및 상기 제1 전류와 상기 제2 전류를 더하여 상기 데이터 전류로 출력하는 제4 단계를 포함한다.

이하, 본 발명의 실시예를 도면을 참조하여 상세히 설명한다.

이하의 설명에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

이제 본 발명의 실시예에 따른 표시 장치 및 그 구동 방법에 대하여 도면을 참고로 하여 상세하게 설명한다. 그리고 본 발명의 실시예에서는 표시 장치로서 유기 물질의 전계발광을 이용하는 유기 전계발광(이하, "유기 EL"이라 함) 표시 장치를 예로 들어 설명한다.

도 1은 본 발명의 일 실시예에 따른 유기 EL 표시 장치를 개략적으로 도시한 평면도이다.

도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 EL 표시 장치는 표시 패널을 형성하기 위한 기관(1000)을 포함하며, 기관(1000)은 실제 화상이 표시되는 표시부(100)와 화상이 표시되지 않는 주변부를 포함한다. 주변부에는 데이터 구동부(200), 주사 구동부(300, 400)가 형성되어 있다.

표시부(100)는 복수의 데이터선(D1-Dm), 복수의 선택 주사선(S1-Sn), 복수의 발광 주사선(E1-En), 및 복수의 화소(110)를 포함한다. 데이터선(D1-Dm)은 열 방향으로 뻗어 있으며, 화상을 나타내는 데이터 전류를 화소로 전달한다. 선택 주사선(S1-Sm) 및 발광 주사선(E1-En)은 행 방향으로 뻗어 있으며 각각 선택 신호와 발광 신호를 화소로 전달한다. 그리고 하나의 데이터선과 하나의 선택 주사선에 의하여 화소 영역이 정의된다.

데이터 구동부(200)는 데이터 전류를 데이터선(D1-Dm)에 인가한다. 주사 구동부(300)는 복수의 선택 주사선(S1-Sn)에 선택 신호를 순차적으로 인가하고, 주사 구동부(400)는 복수의 발광 주사선(E1-En)에 발광 신호를 순차적으로 인가한다.

데이터 구동부 및/또는 주사 구동부(300, 400)는 기판(1000) 위에 집적 회로 형태로 직접 장착될 수 있다. 또는 이들 구동부(200, 300, 및/또는 400)를 기판(1000) 위에서 데이터선(D1-Dm), 주사선(S1-Sn, E1-En) 및 화소 회로의 트랜지스터를 형성하는 층과 동일한 층들로 형성할 수도 있다. 또는 이들 구동부(200, 300, 및/또는 400)를 기판(1000)과 별도의 기판에 형성하여 이들 기판을 기판(1000)에 전기적으로 연결할 수도 있으며, 또한 기판(1000)에 접촉되어 전기적으로 연결된 TCP(tape carrier package), FPC(flexible printed circuit) 또는 TAB(tape automatic bonding)에 칩 등의 형태로 장착할 수도 있다.

도 2는 본 발명의 일실시예에 따른 데이터 구동부(200)를 도시한 블록도이다.

도 2에 도시된 바와 같이, 본 발명의 일실시예에 따른 데이터 구동부(200)는 시프트 레지스터(210), 래치(220), 계조 전류 생성부(230), 및 출력부(240)를 포함한다.

시프트 레지스터(210)는 클럭 신호(Clk)에 동기하여 시작 신호(SP)를 순차적으로 시프트시켜 출력한다. 래치(220)는 시프트 레지스터(210)의 출력 신호에 동기하여 화상 신호를 래치하여 출력한다.

계조 전류 생성부(230)는 래치(220)로부터 출력된 화상 신호를 입력하여 화상 신호에 대응되는 계조 전류를 생성한다. 본 발명의 일실시예에 따르면, 계조 전류 생성부(230)는 복수 개의 디지털/아날로그 컨버터(DAC1-DACm)를 포함하며, 각 디지털/아날로그 컨버터(DAC1-DACm)는 입력되는 디지털 화상 신호를 계조 전류(Iout1-Ioutm)로 변환하여 출력한다.

출력부(240)는 계조 전류 생성부(230)로부터 출력된 계조 전류(Iout1-Ioutm)를 데이터선(D1-Dm)에 인가한다. 출력부(240)는 계조 전류 생성부(230)에 포함된 디지털/아날로그 컨버터(DAC1-DACm)와 데이터선(D1-Dm) 간에 각각 연결된 버퍼 회로로 형성될 수 있다.

이하에서는 도 3 내지 도 5을 참조하여 본 발명의 제1 실시예에 따른 계조 전류 생성부에 대하여 설명한다. 다만, 이하에서는 설명의 편의를 위하여 화상 신호가 6비트의 계조 데이터인 것으로 가정하여 설명한다.

도 3는 본 발명의 제1 실시예에 따른 계조 전류 생성부(230)의 디지털/아날로그 컨버터(DACm)를 도시한 블록도이다. 그리고 도 4은 본 발명의 일실시예에 따른 감마 곡선을 도시한 것이고, 도 5은 제2 계조 영역의 계조 데이터가 입력된 경우 출력되는 계조 전류를 예시적으로 도시한 것이다.

도 3에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 디지털/아날로그 컨버터(DACm)는 기준 전류 출력부(231), 다중화부(232), 및 미세 전류 출력부(233)를 포함한다.

기준 전류 출력부(231)는 계조 데이터의 상위 비트를 입력하여 기준 전류(I_R)를 출력한다. 다중화부(232)는 상위 비트에 대응되는 기준 전압(V_R)을 선택하여 미세 전류 출력부(233)로 전달하고, 미세 전류 출력부(233)는 기준 전압(V_R)을 입력하여 계조 데이터의 하위 비트에 대응되는 미세 전류(ΔI)를 출력한다.

본 발명의 일실시예에 따른 계조 전류 생성부(230)는 도 4과 같이 감마 곡선을 복수의 계조 영역으로 나누어 구동하고, 기준 전류 출력부(231)가 계조 데이터의 상위 비트를 이용하여 기준 전류(I_{R1} - I_{R3}) 또는 오프셋 전류를 출력하고, 미세 전류 출력부(233)가 계조 데이터의 하위 비트에 대응되는 미세 전류를 출력하도록 한다.

여기서, 미세 전류는 각 계조 영역에서의 단위 전류(I_1-I_4)와 하위 비트 데이터의 곱으로 산출할 수 있는데, 제1 내지 제4 계조 영역에서의 감마 곡선의 기울기가 서로 다르므로 단위 전류(I_1-I_4)는 서로 다른 값을 가지게 된다. 따라서, 다중화부(232)가 계조 데이터가 속하는 계조 영역의 기준 전압을 선택하여 미세 전류 출력부(233)로 전달하면, 미세 전류 출력부(233)는 해당 계조 영역에서의 단위 전류(I)와 계조 데이터의 하위 비트를 이용하여 미세 전류(ΔI)를 출력한다.

즉, 도 5과 같이 제2 계조 영역의 계조 데이터(G_{in})가 입력된 경우, 기준 전류 출력부(231)는 계조 데이터의 상위 비트를 이용하여 기준 전류(I_{R1})를 출력한다. 그리고, 다중화부(232)는 제2 계조 영역의 기준 전압(V_{R2})을 미세 전류 출력부(233)로 전달하고, 미세 전류 출력부(233)는 계조 데이터의 하위 비트를 이용하여 미세 전류(ΔI)를 출력한다. 예를 들어, 계조 데이터(G_{in})가 25(011001)인 경우에는 기준 전류 출력부(231)는 상위 비트(16)에 대응하는 기준 전류(I_{R1})를 출력하고, 다중화부(232)는 기준 전압(V_{R2})을 출력하며, 미세 전류 출력부(233)는 단위 전류(I_2)의 9배에 해당하는 전류를 출력한다.

이로써 본 발명의 일실시예에 따른 계조 전류 생성부(230)가 계조 데이터에 대응되는 계조 전류를 출력할 수 있게 된다.

이하에서는 도 6을 참조하여 본 발명의 제1 실시예에 따른 디지털/아날로그 컨버터(DACm)의 내부 구성을 구체적으로 설명한다.

도 6은 본 발명의 제1 실시예에 따른 디지털/아날로그 컨버터(DACm)를 도시한 회로도이다.

도 6에 도시된 바와 같이, 기준 전류 출력부(231)는 네 개의 트랜지스터(M11-M14)와 네 개의 스위칭 소자(SW11-SW14)를 포함하고, 계조 데이터의 상위 비트를 입력하여 기준 전류(I_R)를 출력한다.

트랜지스터(M11-M14)의 게이트에는 기준 전압($V_{R1}-V_{R3}$)과 오프셋 전압(V_{offset})이 각각 인가되고, 소스는 전원(VDD)에 연결된다. 스위칭 소자(SW11-SW14)는 트랜지스터(M11-M14)의 드레인에 각각 연결되어 있으며, 계조 데이터의 상위 비트에 의하여 온/오프가 제어된다.

또한, 본 발명의 일실시예에 따르면, 트랜지스터(M11-M13)는 게이트에 인가되는 기준 전압(V_{R1}, V_{R2}, V_{R3})에 의하여 각각 단위 전류(I_1, I_2, I_3)의 16배에 해당하는 전류를 출력하도록 설정될 수 있으며, 트랜지스터(M14)는 게이트에 인가되는 오프셋 전압(V_{offset})에 의하여 오프셋 전류(I_{offset})를 출력하도록 설정될 수 있다. 여기서, 오프셋 전류(I_{offset})는 계조 데이터 0에 해당하는 전류이다.

이로써, 계조 데이터의 상위 비트가 '00'인 경우에는 스위칭 소자(SW14)가 턴온되어 오프셋 전류(I_{offset})를 출력하고, 상위 비트가 '01'인 경우에는 스위칭 소자(SW11)가 턴온되어 기준 전류(I_{R1})를 출력한다.

그리고, 상위 비트 데이터가 '10'인 경우에는 스위칭 소자(SW11, SW12)가 턴온되어, 수학식 1과 같은 기준 전류(I_{R2})가 출력되며, 상위 비트 데이터가 '11'인 경우에는 스위칭 소자(SW11, SW12, SW13)가 턴온되어, 수학식 2와 같은 기준 전류(I_{R3})가 출력된다.

수학식 1

$$I_{R2} = 16 \times I_1 + 16 \times I_2$$

수학식 2

$$I_{R3} = 16 \times I_1 + 16 \times I_2 + 16 \times I_3$$

한편, 다르게는 계조 데이터의 상위 비트가 '00'인 경우에는 전류를 출력하지 않아도 되므로 상위 비트가 '01'인 경우에 오프셋 전류(I_{offset})를 출력할 수도 있다. 이하에서는, 계조 데이터의 상위 비트가 '00'인 경우에 오프셋 전류(I_{offset})를 출력하는 경우에 대하여만 상세하게 설명하도록 한다.

다중화부(232)는 계조 데이터의 상위 비트를 입력하여 네 개의 기준 전압($V_{R1}-V_{R4}$) 중 어느 하나를 선택하여 미세 전류 출력부(233)로 전달한다. 즉, 상위 비트가 00인 계조 데이터는 제1 계조 영역에 포함되므로 기준 전압(V_{R1})을 출력하고, 상위 비트가 01, 10, 11인 계조 데이터는 각각 제2 내지 제4 계조 영역에 포함되므로 기준 전압($V_{R2}-V_{R4}$)을 각각 출력한다.

그리고, 미세 전류 출력부(233)는 네 개의 트랜지스터(M21-M24) 및 네 개의 스위칭 소자(SW21-SW24)를 포함한다.

트랜지스터(M21-M24)는 다중화부(232)로부터 출력된 기준 전압(V_R)에 대응하는 전류를 출력하고, 스위칭 소자(SW21-SW24)는 계조 데이터의 하위 비트에 응답하여 턴온된다.

본 발명의 일실시예에 따르면, 트랜지스터(M21)는 기준 전압(V_R)에 대응되는 계조 영역의 단위 전류(I)를 출력하도록 채널의 폭과 길이가 설정되고, 트랜지스터(M22-M24)는 각각 단위 전류(I)의 2배, 4배, 8배의 전류를 출력하도록 채널의 폭과 길이가 설정된다.

구체적으로는, 트랜지스터(M21)의 채널의 폭과 길이의 비(W/L) 기준 전류 출력부(231)에 포함되는 트랜지스터(M11-M14) 보다 1/16이 되도록 설정하고, 트랜지스터(M22-M24)는 채널의 폭과 길이 비를 트랜지스터(M21)보다 각각 2배, 4배, 8배가 되도록 설정한다.

이로써, 제1 계조 영역의 계조 데이터가 입력되면 다중화부(232)는 기준 전압(V_{R1})을 선택하여 미세 전류 출력부(233)로 전달하고, 스위칭 소자(SW21-SW24)가 계조 데이터의 하위 비트에 의하여 온/오프됨으로써, 단위 전류(I_1)의 0 내지 15 배에 해당하는 전류가 미세 전류(ΔI)로 출력된다.

마찬가지로, 제2 내지 제4 계조 영역의 계조 데이터가 입력되면 다중화부(232)는 기준 전압($V_{R2}-V_{R4}$) 중 어느 하나를 선택하여 미세 전류 출력부(233)로 전달하고, 스위칭 소자(SW21-SW24)가 하위 비트 데이터에 의하여 온/오프됨으로써, 단위 전류(I_2-I_4)의 0 내지 15 배에 해당하는 전류가 미세 전류(ΔI)로 출력된다.

이와 같이, 계조 데이터의 상위 비트 데이터를 이용하여 계조 영역을 구분하고, 하위 비트 데이터를 이용하여 해당하는 계조 영역 내에서의 미세 전류를 출력함으로써, 비선형적인 감마 특성이 반영된 계조 전류를 출력할 수 있게 된다.

도 6에서는 트랜지스터(M11-M14, M21-M24)가 p타입의 채널을 갖는 MOS 트랜지스터로 형성되어 소스에 전원 전압(VDD)이 인가되는 것으로 도시하였으나, 본 발명의 범위가 트랜지스터(M11-M14, M21-M24)의 채널 타입에 한정되는 것은 아니며, 실시예에 따라서 N 타입의 채널을 갖는 MOS 트랜지스터를 이용하여 형성할 수 있다.

이하에서는 도 7를 참조하여 본 발명의 제2 실시예에 따른 디지털/아날로그 컨버터(DACm)에 대하여 설명한다.

도 7는 본 발명의 제2 실시예에 따른 디지털/아날로그 컨버터(DACm)를 도시한 것이다.

본 발명의 제2 실시예에 따른 디지털/아날로그 컨버터(DACm)는 기준 전류를 이용한 전류 미러 형태의 디지털/아날로그 컨버터라는 점에서 본 발명의 제1 실시예와 차이점을 갖는다.

구체적으로는, 본 발명의 제2 실시예에 따른 디지털/아날로그 컨버터(DACm)는 기준 전류 출력부(231), 미세 전류 출력부(233), 및 다중화부(232)를 포함한다.

기준 전류 출력부(231)는 트랜지스터(M11, M22, M31, M32)로 형성된 전류 미러 회로와 다중화부(234)를 포함한다. 다중화부(234)는 네 개의 전류($I_{R1}-I_{R3}$, Ioffset) 중 계조 데이터의 상위 비트에 대응되는 전류를 선택하여 트랜지스터(M31, M32)에 흐르도록 한다. 그리고, 트랜지스터(M31, M32)의 게이트와 트랜지스터(M11, M12)의 게이트가 서로 연결되어 전류 미러를 형성하고 있으므로, 트랜지스터(M11, M12)에도 다중화부(234)에서 선택된 전류와 실질적으로 동일한 전류가 흐르게 된다.

이로써, 상위 비트 데이터가 00인 경우에는 기준 전류 출력부(231)는 오프셋 전류를 출력하게 되고, 상위 비트 데이터가 01, 10, 11인 경우에는 각각 기준 전류(I_{R1} - I_{R3})를 출력하게 된다.

다중화부(232)는 단위 전류(I_1 - I_4) 중 계조 데이터의 상위 비트에 대응되는 단위 전류를 선택하여 미세 전류 출력부(233)로 전달한다. 즉, 계조 데이터의 상위 비트가 00인 경우에는 단위 전류(I_1)를 출력하고, 상위 비트가 01, 10, 11인 경우에는 각각 단위 전류(I_2 - I_4)를 출력한다.

미세 전류 출력부(233)는 전원(VDD)과 제2 다중화부(232) 사이에 연결된 트랜지스터(M41, M42), 트랜지스터(M41, M42)에 흐르는 전류를 복사하는 트랜지스터(M21-M28), 및 계조 데이터 중 하위 비트 데이터에 의하여 온/오프가 제어되는 스위칭 소자(SW21-SW24)를 포함한다.

트랜지스터(M21, M25)는 전원 전압(VDD)과 스위칭 소자(SW21) 간에 직렬로 연결되고, 트랜지스터(M21, M25)의 게이트는 각각 트랜지스터(M41, M42)의 게이트에 연결되어 트랜지스터(M41, M42)에 흐르는 전류를 복사한다. 본 발명의 일 실시예에 따르면, 트랜지스터(M21, M25)의 채널의 폭과 길이 비는 트랜지스터(M41, M42)와 실질적으로 동일하도록 설정된다.

마찬가지로, 트랜지스터(M22, M26), 트랜지스터(M23, M27), 트랜지스터(M24, M28)는 각각 전원 전압(VDD)과 스위칭 소자(SW22-SW24) 간에 직렬로 연결되어 있으며, 트랜지스터(M41, M42)에 흐르는 단위 전류를 2배, 4배, 8배에 해당하는 전류가 출력되도록 채널의 폭과 길이가 설정된다.

이와 같이 구성함으로써, 계조 데이터의 하위 비트로 스위칭 소자(SW21-SW24)를 온/오프시키면, 계조 영역 내부에서의 미세 전류(ΔI)를 출력할 수 있게 된다.

도 7와 같은 전류 미러 형태의 디지털/아날로그 컨버터를 사용하는 경우에는 디지털/아날로그 컨버터로부터 출력되는 계조 전류를 샘플링한 후 홀딩하는 샘플/홀드 회로를 포함할 수 있다. 이 경우, 샘플/홀드 회로는 복수의 디지털/아날로그 컨버터(DAC1-DACm)로부터 출력되는 전류를 샘플링한 후 실질적으로 동일한 시점에서 각 데이터선(D1-Dm)에 홀딩되도록 한다.

이상으로 본 발명의 실시예에 따른 계조 전류 생성을 위한 디지털/아날로그 컨버터 및 이를 이용한 표시 장치에 대하여 설명하였다. 상기 설명된 실시예는 본 발명의 개념이 적용된 일 실시예로서 본 발명의 범위가 상기 실시예에 한정되는 것은 아니며, 본 발명의 개념을 그대로 이용하여 여러 가지 변형된 실시예를 형성할 수 있다.

발명의 효과

본 발명에 따르면 계조 데이터를 상위 비트를 이용하여 계조 영역을 나누고, 각 계조 영역에서의 미세 전류를 하위 비트 데이터를 이용하여 생성함으로써, 비선형적인 감마 특성을 충족시키는 계조 전류를 화소 회로에 인가할 수 있다.

(57) 청구의 범위

청구항 1.

데이터 전류를 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 및 상기 데이터선과 상기 주사선에 의해 각각 정의되는 복수의 화소 영역을 포함하는 표시부;

제1 데이터와 제2 데이터를 각각 포함하는 복수의 계조 데이터를 상기 데이터 전류로 변환하여 상기 데이터선에 인가하는 데이터 구동부; 및

상기 선택 신호를 상기 복수의 주사선에 순차적으로 인가하는 주사 구동부

를 포함하며,

상기 데이터 구동부는 상기 복수의 계조 데이터를 제1 계조 영역을 포함하는 적어도 두 개의 계조 영역으로 나누어 구동하고, 상기 제1 데이터를 이용하여 상기 계조 데이터가 포함되는 상기 제1 계조 영역의 제1 전류를 출력하고, 상기 제1 계조 영역에서 상기 제2 데이터에 대응되는 제2 전류를 출력하는 표시 장치.

청구항 2.

제1항에 있어서,

상기 제1 데이터는 상기 계조 데이터의 상위 비트 데이터이고, 상기 제2 데이터는 상기 계조 데이터의 하위 비트 데이터인 표시 장치.

청구항 3.

제1항에 있어서,

상기 제1 전류는 상기 계조 영역에서의 초기 전류이고,

상기 제2 전류는 상기 계조 영역에서 단위 전류와 상기 제2 데이터에 대응되는 정수의 곱과 실질적으로 동일하며,

상기 단위 전류는 상기 계조 영역에서 이웃하는 두 개의 계조 데이터에 대응되는 계조 전류의 차이인 표시 장치.

청구항 4.

제1항에 있어서,

상기 데이터 구동부는, 제1 신호와 클록 신호를 입력하고, 상기 클록 신호에 동기하여 상기 제1 신호를 시프트시키는 시프트 레지스터,

상기 시프트 레지스터의 출력 신호에 동기하여 상기 계조 데이터를 래치하여 출력하는 래치, 및

상기 래치로부터 출력된 상기 계조 데이터를 상기 데이터 전류로 변환하여 출력하는 계조 전류 생성부를 포함하는 표시 장치.

청구항 5.

제4항에 있어서,

상기 계조 전류 생성부는, 상기 제1 데이터를 이용하여 상기 제1 계조 영역의 상기 제1 전류를 출력하는 제1 전류 출력부,

상기 계조 영역의 단위 전류에 각각 대응하는 복수의 제1 전압 중 상기 제1 계조 영역의 제1 전압을 선택하여 출력하는 다중화부, 및

상기 다중화부로부터 출력된 상기 제1 전압과 상기 제2 데이터를 이용하여 상기 제2 전류를 출력하는 제2 전류 출력부를 포함하는 표시 장치.

청구항 6.

제5항에 있어서,

상기 제1 전류 출력부는,

제2 전압에 대응되는 제3 전류를 출력하는 복수의 제1 트랜지스터, 및

상기 제1 데이터에 응답하여 상기 제1 트랜지스터의 전류를 상기 제1 전류로 출력하는 복수의 제1 스위칭 소자를 포함하는 표시 장치.

청구항 7.

제6항에 있어서,

상기 제2 전압은 상기 제1 전압과 실질적으로 동일하고,

상기 제3 전류는 상기 계조 영역 각각의 전류 구간 값과 실질적으로 동일하며,

상기 제1 전류는 상기 제1 계조 영역 이하의 계조 영역에서의 상기 제3 전류의 합과 실질적으로 동일한 표시 장치.

청구항 8.

제5항에 있어서,

상기 제2 전류 출력부는,

상기 다중화부로부터 출력된 상기 제1 전압에 대응하여 제4 전류를 출력하는 복수의 제2 트랜지스터, 및

상기 제2 데이터에 응답하여 상기 제2 트랜지스터의 전류를 상기 제2 전류로 출력하는 복수의 제2 스위칭 소자를 포함하는 표시 장치.

청구항 9.

제8항에 있어서,

상기 제4 전류는 상기 각 계조 영역에서의 단위 전류의 정수 배에 해당하며, 상기 제2 전류는 상기 제2 스위칭 소자를 통하여 출력되는 상기 제4 전류의 합과 실질적으로 동일한 표시 장치.

청구항 10.

제4항에 있어서,

상기 계조 전류 생성부는, 상기 제1 데이터를 이용하여 상기 제1 계조 영역의 상기 제1 전류를 출력하는 제1 전류 출력부,

상기 계조 영역의 단위 전류에 각각 대응되는 복수의 제3 전류 중 상기 제1 계조 영역의 상기 제3 전류를 선택하여 출력하는 제1 다중화부, 및

상기 제1 다중화부로부터 출력된 상기 제3 전류와 상기 제2 데이터를 이용하여 상기 제2 전류를 출력하는 제2 전류 출력부를 포함하는 표시 장치.

청구항 11.

제10항에 있어서,

상기 제3 전류는 상기 복수의 계조 영역에서의 단위 전류와 실질적으로 동일한 표시 장치.

청구항 12.

제10항에 있어서,

상기 제1 전류 출력부는 상기 복수의 제1 전류 중 상기 제1 계조 영역에서의 상기 제1 전류를 선택하여 출력하는 제2 다중화부와, 상기 제2 다중화부로부터 출력된 상기 제1 전류를 복사하여 출력하는 전류 미러 회로를 포함하는 표시 장치.

청구항 13.

제10항에 있어서,

상기 제2 전류 출력부는 상기 제1 다중화부로부터 출력된 상기 제3 전류를 복사하여 상기 제3 전류의 정수 배로 출력하는 복수의 전류 미러 회로를 포함하는 표시 장치.

청구항 14.

데이터 전류를 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 및 상기 데이터선과 상기 주사선에 의해 각각 정의되는 복수의 화소 영역을 포함하는 표시부;

복수의 계조 데이터를 상기 데이터 전류로 변환하여 상기 데이터선에 인가하는 데이터 구동부; 및

상기 선택 신호를 상기 복수의 주사선에 순차적으로 인가하는 주사 구동부

를 포함하며,

상기 데이터 구동부는 상기 복수의 계조 데이터를 제1 계조 영역을 포함하는 적어도 두 개의 계조 영역으로 나누어 구동하고,

상기 계조 데이터의 상위 비트 데이터를 이용하여 상기 계조 데이터가 포함되는 상기 제1 계조 영역의 기준 전류를 출력하고, 상기 제1 계조 영역에서 상기 계조 데이터의 하위 비트 데이터에 대응되는 미세 전류를 출력하는 표시 장치.

청구항 15.

제14항에 있어서,

상기 미세 전류는 상기 제1 계조 영역에서의 단위 전류와 상기 하위 비트 데이터에 대응되는 정수의 곱과 실질적으로 동일한 표시 장치.

청구항 16.

인가되는 데이터 전류에 대응하여 화상을 표시하는 복수의 화소를 포함하는 표시부; 및

복수의 계조 데이터를 상기 데이터 전류로 변환하여 상기 복수의 화소에 인가하는 계조 전류 생성부를 포함하며,

상기 계조 전류 생성부는, 상기 복수의 계조 데이터를 제1 계조 영역을 포함하는 적어도 두 개의 계조 영역으로 나누어 구동하고,

상기 계조 데이터의 상위 비트 데이터를 이용하여 상기 계조 데이터가 포함되는 제1 계조 영역의 제1 전류를 생성하고, 상기 계조 데이터의 하위 비트 데이터를 이용하여 상기 제1 계조 영역에서의 제2 전류를 생성하며, 상기 제1 전류와 상기 제2 전류를 합하여 상기 데이터 전류로 출력하는 표시 패널.

청구항 17.

제16항에 있어서,

상기 제1 전류는 상기 계조 영역에서의 초기 전류이고,

상기 제2 전류는 상기 계조 영역에서의 단위 전류와 상기 제2 데이터에 대응되는 정수의 곱과 실질적으로 동일한 표시 패널.

청구항 18.

제16항 또는 제17항에 있어서,

상기 계조 전류 생성부는, 상기 상위 비트 데이터를 이용하여 상기 제1 계조 영역의 상기 제1 전류를 생성하는 제1 전류 출력부,

상기 계조 영역의 단위 전류에 각각 대응되는 복수의 제1 전압 중 상기 제1 계조 영역의 제1 전압을 선택하여 출력하는 다중화부, 및

상기 제1 계조 영역의 상기 제1 전압과 상기 하위 비트 데이터를 이용하여 상기 제2 전류를 생성하는 제2 전류 출력부를 포함하는 표시 패널.

청구항 19.

제16항 또는 제17항에 있어서,

상기 계조 전류 생성부는, 상기 상위 비트 데이터를 이용하여 상기 제1 계조 영역의 상기 제1 전류를 생성하는 제1 전류 출력부,

상기 상위 비트 데이터를 이용하여 상기 계조 데이터가 포함되는 계조 영역의 단위 전류를 출력하는 다중화부, 및

상기 다중화부로부터 출력된 상기 단위 전류와 상기 하위 비트 데이터를 이용하여 상기 제2 전류를 생성하는 제2 전류 출력부를 표시 패널.

청구항 20.

제16항에 있어서,

상기 복수의 화소에 선택 신호를 인가하기 위한 주사 구동부를 더 포함하는 표시 패널.

청구항 21.

디지털 계조 데이터를 계조 전류로 변환하여 출력하는 디지털/아날로그 컨버터에 있어서,

상기 디지털/아날로그 컨버터는 상기 계조 데이터를 복수의 계조 영역으로 나누어 상기 계조 전류로 변환하며,

상기 계조 데이터 중 제1 데이터를 이용하여 상기 계조 데이터가 포함되는 제1 계조 영역의 제1 전류를 출력하는 제1 전류 출력부;

상기 계조 영역의 단위 전류에 각각 대응하는 복수의 제1 전압 중 상기 제1 계조 영역의 제1 전압을 선택하여 출력하는 다중화부; 및

상기 다중화부로부터 출력된 상기 제1 전압과 상기 제2 데이터를 이용하여 제2 전류를 출력하는 제2 전류 출력부를 포함하는 디지털/아날로그 컨버터.

청구항 22.

제21항에 있어서,

상기 제2 전류는 상기 제1 계조 영역의 단위 전류와 상기 제2 데이터에 대응되는 정수의 곱과 실질적으로 동일한 디지털/아날로그 컨버터.

청구항 23.

제21항에 있어서,

상기 제1 전류 출력부는, 상기 복수의 제1 전압에 각각 대응되는 제3 전류를 출력하는 복수의 제1 트랜지스터, 및

상기 제1 데이터에 응답하여 상기 제1 트랜지스터의 전류를 상기 제1 전류로 출력하는 복수의 제1 스위칭 소자를 포함하는 디지털/아날로그 컨버터.

청구항 24.

제21항에 있어서,

상기 제2 전류 출력부는, 상기 다중화부로부터 출력된 상기 제1 전압에 대응하여 제4 전류를 출력하는 복수의 제2 트랜지스터, 및

상기 제2 데이터에 응답하여 상기 제2 트랜지스터의 전류를 상기 제2 전류로 출력하는 복수의 제2 스위칭 소자를 포함하는 디지털/아날로그 컨버터.

청구항 25.

디지털 계조 데이터를 계조 전류로 변환하여 출력하는 디지털/아날로그 컨버터에 있어서,

상기 디지털/아날로그 컨버터는 상기 계조 데이터를 복수의 계조 영역으로 나누어 상기 계조 전류로 변환하며,

상기 계조 데이터 중 제1 데이터를 이용하여 상기 계조 데이터가 포함되는 제1 계조 영역의 제1 전류를 출력하는 제1 전류 출력부;

상기 계조 영역의 단위 전류에 각각 대응되는 복수의 제3 전류 중 상기 제1 계조 영역의 제3 전류를 선택하여 출력하는 제1 다중화부; 및

상기 제1 다중화부에서 출력된 상기 제3 전류를 복사하여 상기 제3 전류와 상기 제2 데이터의 곱에 해당하는 전류를 제2 전류로 출력하는 제2 전류 출력부

를 포함하는 디지털/아날로그 컨버터.

청구항 26.

제25항에 있어서,

제1 전류 출력부는 상기 복수의 제1 전류 중 상기 제1 계조 영역의 제1 전류를 선택하여 출력하는 제2 다중화부와, 상기 제2 다중화부로부터 출력된 상기 제1 전류를 복사하여 출력하는 전류 미리 회로를 포함하는 디지털/아날로그 컨버터.

청구항 27.

제25항 또는 제26항에 있어서,

상기 제2 전류 출력부는 상기 제2 다중화부로부터 출력된 상기 제3 전류를 복사하여 상기 제3 전류의 정수 배로 출력하는 복수의 전류 미리 회로를 포함하는 디지털/아날로그 컨버터.

청구항 28.

인가되는 데이터 전류에 대응하여 화상을 표시하는 복수의 화소 회로가 형성된 표시 패널을 구동하기 위한 구동 방법에 있어서,

복수의 계조 데이터를 제1 계조 영역을 포함하는 적어도 두 개의 계조 영역으로 나누어 구동하고,

상기 구동 방법은,

상기 계조 데이터 중 제1 데이터를 이용하여 상기 계조 데이터가 포함되는 상기 제1 계조 영역의 제1 전류를 생성하는 제1 단계;

상기 적어도 두 개의 계조 영역에 대응되는 제1 신호 중 상기 제1 계조 영역의 제1 신호를 선택하여 출력하는 제2 단계;

상기 제1 신호에 대응되는 제3 전류를 생성하고, 상기 제3 전류와 상기 계조 데이터 중 제2 데이터를 이용하여 제2 전류를 생성하는 제3 단계; 및

상기 제1 전류와 상기 제2 전류를 더하여 상기 데이터 전류로 출력하는 제4 단계

를 포함하는 표시 장치의 구동 방법.

청구항 29.

제28항에 있어서,

상기 제2 전류는 상기 제3 전류와 상기 제2 데이터에 대응되는 정수 배의 곱과 실질적으로 동일한 표시 장치의 구동 방법.

청구항 30.

제28항에 있어서,

상기 제1 신호는 상기 계조 영역의 단위 전류에 대응되는 전압인 표시 장치의 구동 방법.

청구항 31.

제28항에 있어서,

상기 제1 신호는 상기 계조 영역의 단위 전류와 실질적으로 동일한 전류인 표시 장치의 구동 방법.

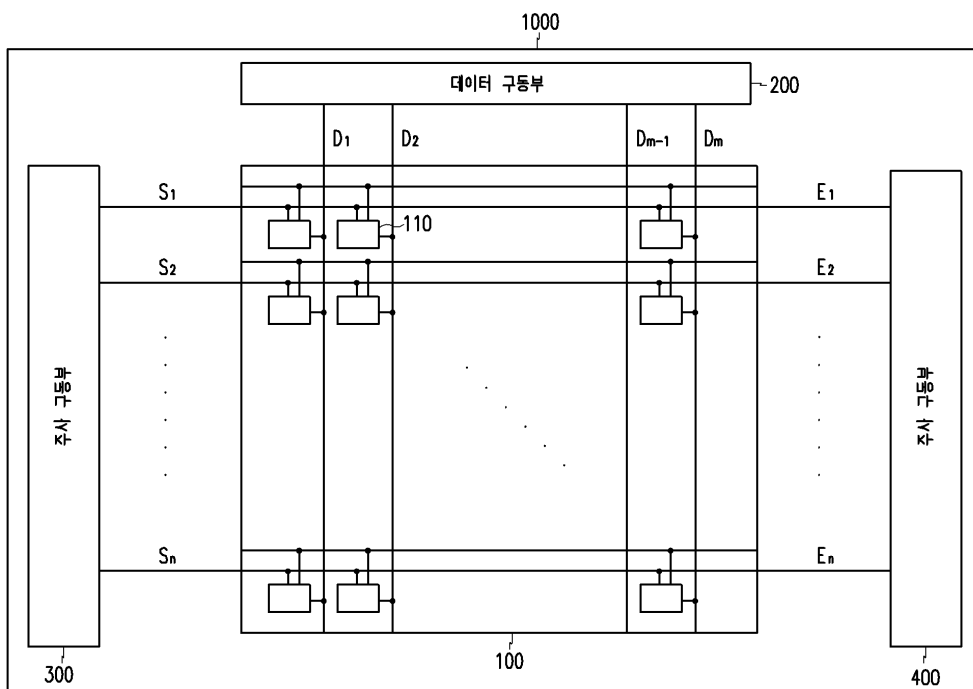
청구항 32.

제31항에 있어서,

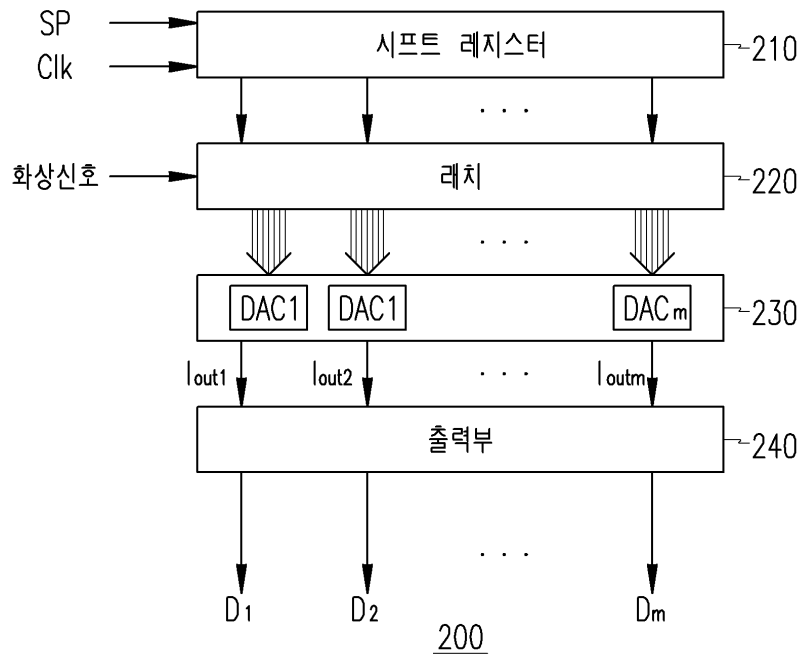
상기 제3 단계는 상기 제1 신호를 서로 다른 정수 배로 복사한 것을 더하여 상기 2 전류를 생성하는 표시 장치의 구동 방법.

도면

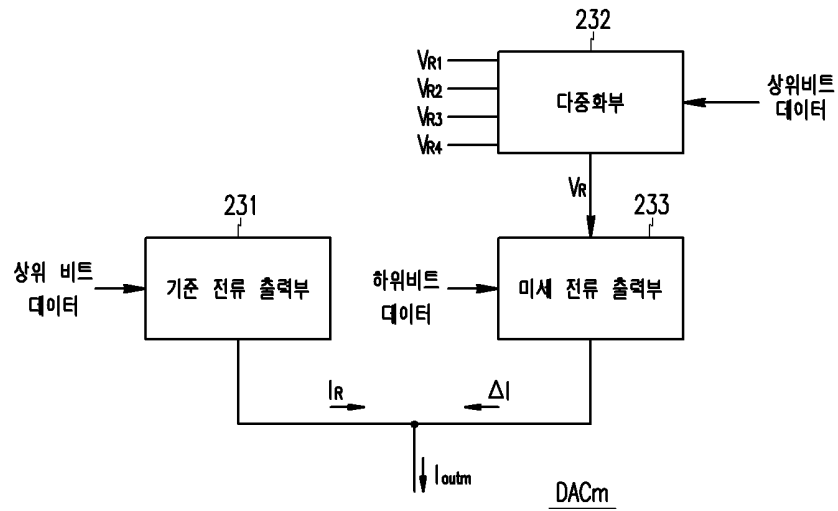
도면1



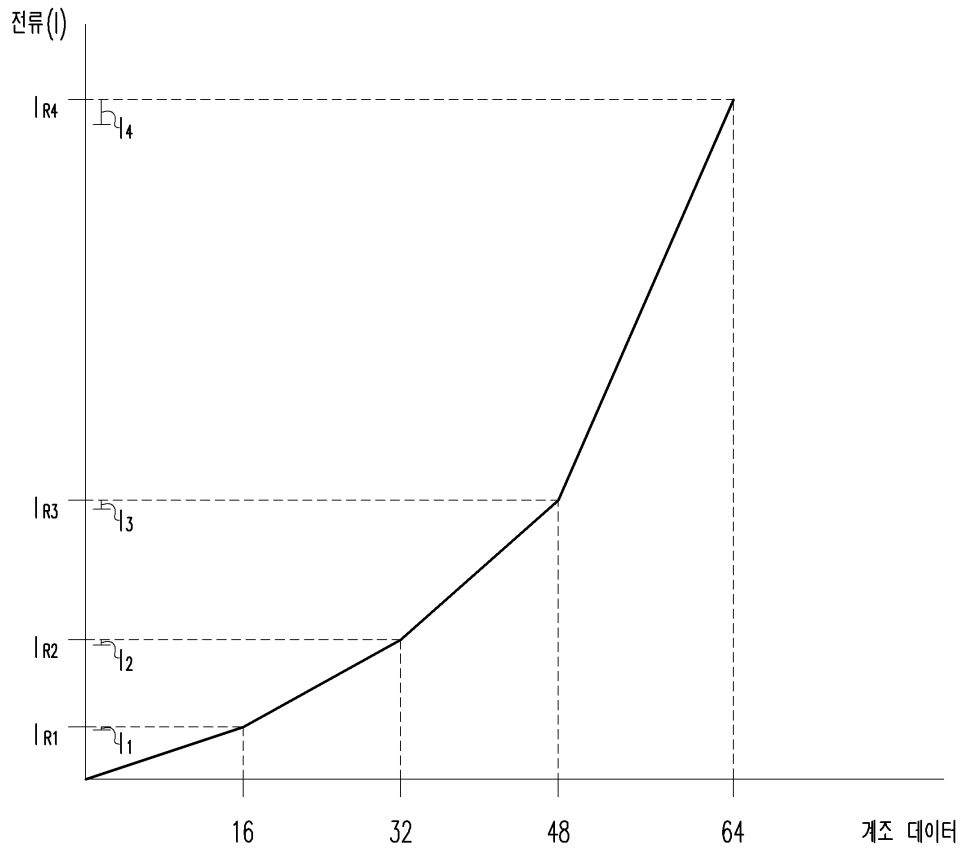
도면2



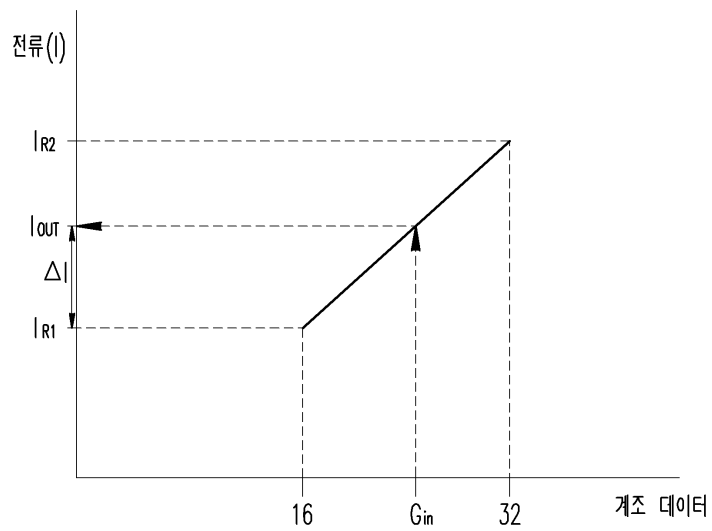
도면3



도면4



도면5



도면6

