

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月3日(03.09.2020)



(10) 国際公開番号

WO 2020/175684 A1

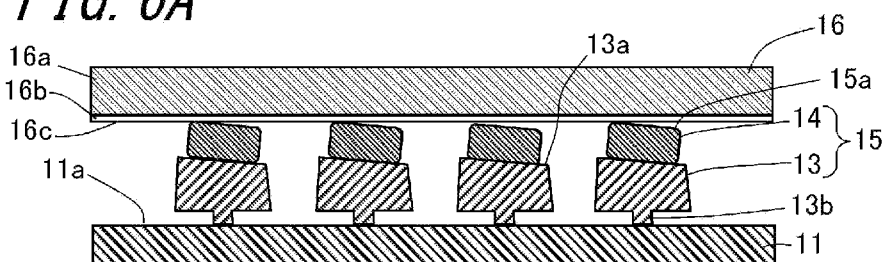
- (51) 国際特許分類:
H01L 21/02 (2006.01) *H01L 21/205* (2006.01)
H01L 21/20 (2006.01)
- (21) 国際出願番号: PCT/JP2020/008399
- (22) 国際出願日: 2020年2月28日(28.02.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-036097 2019年2月28日(28.02.2019) JP
- (71) 出願人: 京セラ株式会社 (KYOCERA CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).
- (72) 発明者: 正木 克明 (MASAKI, Katsuaki); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 村川 賢太郎 (MURAKAWA, Kentaro); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP).
- (74) 代理人: 西教 圭一郎 (SAIKYO, Keiichiro); 〒5410052 大阪府大阪市中央区安土町1丁目8番15号 野村不動産大阪ビル9階 西教特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR ELEMENT AND SEMICONDUCTOR ELEMENT BODY

(54) 発明の名称: 半導体素子の製造方法および半導体素子体

[図6A]

FIG. 6A



(57) Abstract: A method for manufacturing a semiconductor element according to the present invention includes: an element formation step (S1) for forming, on a ground substrate (11), semiconductor elements (15) that are connected to the ground substrate (11) via respective connections (13b) and that respectively have upper surfaces (15a) inclined with respect to the growth surface of the ground substrate (11); a preparation step (S2) for preparing a support substrate (16) that has an opposite surface (16c) opposite to the ground substrate (11); a joining step (S3) for pressing and heating the upper surfaces (15a) of the semiconductor elements (15) with respect to the opposite surface (16c) of the support substrate (16), and joining the upper surfaces (15a) of the semiconductor elements (15) to the support substrate (16); and a separating step (S4) for separating the semiconductor elements (15) from the ground substrate (11).

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：本開示の半導体素子の製造方法は、下地基板（11）上に、下地基板（11）と接続部（13b）を介して接続し、下地基板（11）の成長面に対して傾いた上面（15a）を有する半導体素子（15）を形成する素子形成工程（S1）と、下地基板（11）と対向させる対向面（16c）を有する支持基板（16）を準備する準備工程（S2）と、半導体素子（15）の上面（15a）を支持基板（16）の対向面（16c）に押圧および加熱して、半導体素子（15）の上面（15a）と支持基板（16）とを接合する接合工程（S3）と、半導体素子（15）を下地基板（11）から剥離する剥離工程（S4）と、を含む。

明 細 書

発明の名称：半導体素子の製造方法および半導体素子体

技術分野

[0001] 本開示は、半導体素子の製造方法および半導体素子体に関する。

背景技術

[0002] 従来技術の半導体素子の製造方法は、例えば、特許文献 1 に記載されている。

先行技術文献

特許文献

[0003] 特許文献1：特許第4 6 3 8 9 5 8号公報

発明の概要

[0004] 本開示の半導体素子の製造方法は、下地基板上に、該下地基板と接続部を介して接続し、前記下地基板の成長面に対して傾いた上面を有する半導体素子を形成する素子形成工程と、前記下地基板と対向させる対向面を有する支持基板を準備する準備工程と、前記半導体素子の上面を前記支持基板の対向面に押圧および加熱して、前記半導体素子の上面と前記支持基板とを接合する接合工程と、前記半導体素子を前記下地基板から剥離する剥離工程と、を含んでいてもよい。

[0005] 本開示の半導体素子の製造方法は、下地基板上に、該下地基板と接続部を介して接続している半導体素子を形成する素子形成工程と、前記下地基板と対向させたとき、該下地基板の成長面に対して傾いている対向面を有する支持基板を準備する準備工程と、前記半導体素子の上面を前記支持基板の対向面に押圧および加熱して、前記半導体素子の上面と前記支持基板とを接合する接合工程と、前記半導体素子を前記下地基板から剥離する剥離工程と、を含んでいてもよい。

[0006] 本開示の半導体素子の製造方法は、下地基板上に、該下地基板と接続部を介して接続している半導体素子を形成する素子形成工程と、前記下地基板と

対向させる対向面を有し、該対向面に段差部が設けられている支持基板を準備する準備工程と、前記半導体素子の上面と前記支持基板の対向面の段差部とが接触するように、前記半導体素子の上面を前記支持基板の対向面に押圧および加熱して、前記半導体素子の上面と前記支持基板とを接合する接合工程と、前記半導体素子を前記下地基板から剥離する剥離工程と、を含んでもよい。

[0007] 本開示の半導体素子体は、支持基板と、第1面と該第1面に対して反対側に位置する第2面とを有し、前記第1面の側が前記支持基板に固定されており、前記第2面が前記支持基板の表面に対して傾斜している半導体素子層と、を備えていてもよい。

[0008] 本開示の半導体素子体は、傾斜面を有する支持基板と、第1面と該第1面に対して反対側に位置する第2面とを有し、前記第1面の側が前記支持基板の傾斜面に固定されている半導体素子層と、を備えていてもよい。

[0009] 本開示の半導体素子体は、支持基板と、第1面と、該第1面に対して反対側に位置する第2面とを有し、前記第1面の側が前記支持基板に固定されており、前記第1面および前記第2面のうち少なくとも前記第1面が前記支持基板の表面に対して傾斜している半導体素子と、を備えていてもよい。

発明の効果

[0010] 本開示の半導体素子の製造方法によれば、半導体素子の歩留まりを上げることができる。

[0011] 本開示の半導体素子体によれば、個々の半導体素子への分離が容易になり、半導体素子の歩留まりを上げることができる。

図面の簡単な説明

[0012] [図1]本開示に係る実施形態の半導体素子の製造方法の工程図である。

[図2A]第1実施形態に係る素子形成工程を示す断面図である。

[図2B]第1実施形態に係る素子形成工程を示す断面図である。

[図2C]第1実施形態に係る素子形成工程を示す断面図である。

[図3]下地基板上に形成した半導体素子層の写真である。

[図4]半導体素子層の上面の傾きを示すグラフである。

[図5]第1実施形態に係る準備工程を示す断面図である。

[図6A]第1実施形態に係る接合工程を示す断面図である。

[図6B]第1実施形態に係る接合工程を示す断面図である。

[図7]第1実施形態に係る剥離工程を示す断面図である。

[図8A]第2実施形態に係る素子形成工程を示す断面図である。

[図8B]第2実施形態に係る素子形成工程を示す断面図である。

[図8C]第2実施形態に係る素子形成工程を示す断面図である。

[図9]第2実施形態に係る準備工程を示す断面図である。

[図10A]第2実施形態に係る接合工程を示す断面図である。

[図10B]第2実施形態に係る接合工程を示す断面図である。

[図11]第2実施形態に係る剥離工程を示す断面図である。

[図12]第3実施形態に係る準備工程を示す断面図である。

[図13A]第3実施形態に係る接合工程を示す断面図である。

[図13B]第3実施形態に係る接合工程を示す断面図である。

[図14]第3実施形態に係る剥離工程を示す断面図である。

発明を実施するための形態

[0013] 本発明の目的、特色、および利点は、下記の詳細な説明と図面とからより明確になるであろう。

[0014] 本開示が基礎とする半導体素子およびその製造方法では、サファイアまたはGa₂N（窒化ガリウム）などの下地基板上に、ストライプ状のスリットを有するマスクを形成する。そして、スリットから露出した基板から、半導体をエピタキシャル成長させ、形成した半導体素子を支持基板に転写する。

[0015] このような本開示が基礎とする技術では、成長させた半導体素子を支持基板に転写する際には、半導体素子を支持基板に接合した後に、下地基板および支持基板の各面に対して垂直方向の力を加えて、下地基板と半導体素子との接続部を破断する。このとき、支持基板と半導体素子との間に力が加わる

と、半導体素子の電極が剥離することがあり、支持基板への半導体素子の転写が確実になされないなどが生じやすい。これにより、半導体素子の歩留まりが向上しないおそれがある。

[0016] 以下、本開示に係る実施形態について、模式的に示した各図を参照しつつ説明する。図1は本開示に係る実施形態の半導体素子の製造方法の基本工程図である。本開示の半導体素子の製造方法は、下地基板上に半導体素子を形成する素子形成工程S1と、支持基板を準備する準備工程S2と、下地基板上の半導体素子を支持基板に接合する接合工程S3と、半導体素子を下地基板から剥離する剥離工程S4とを含む。素子形成工程S1および準備工程S2は、この順に行わなくてもよく、例えば、素子形成工程S1および準備工程S2を並行して行ってもよい。

[0017] (第1実施形態)

(1) 素子形成工程S1

図2A～図2Cは、第1実施形態に係る素子形成工程を示す断面図である。図2Aに示されるように、まず下地基板11を準備する。下地基板11としては、例えば、Ga_{1-x}N_xテンプレート基板を使用する。例えば、下地基板11はオフ基板であり、下地基板11の成長面11a（または下地基板11の厚み方向に対して垂直な面）の法線方向は、a軸（<11-20>）方向から0.3°傾いている。本実施形態では、a軸に対するオフ角は0.3°であるが、オフ角が0.1°から1°の基板、すなわち下地基板11の成長面11aは、成長面11aの法線に対してオフ角を有する結晶面であるものを用いることが可能である。このような下地基板11には、例えば、下地基板の成長面11aが所定の面方向になるようにGa_{1-x}N_x単結晶インゴットから切り出したGa_{1-x}N_x基板を使用することが可能である。下地基板11としては、窒化物半導体基板であればよい。また、窒化物半導体中に不純物がドーピングされたn型基板またはp型基板であってもよい。ここでいう「窒化物半導体」は、例えば、Al_xGa_yIn_zN（0 ≤ x ≤ 1；0 ≤ y ≤ 1；0 ≤ z ≤ 1；x + y + z = 1）によって構成され、以下に示す「窒化物半導体」も同様

である。また、GaNテンプレート基板としては、例えばサファイア、SiまたはSiCを用いることができる。

[0018] 次に、下地基板11上にマスク12を形成する。まず、下地基板11上にマスクの材料となる酸化シリコン（例えばSiO₂など）をPCVD（Plasma Chemical Vapor Deposition）法などを用いて、成長面11a上にSiO₂層を100nm程度積層する。続いて、フォトリソグラフィ法とバッファードフッ酸（BHF：Buffered Hydrogen Fluoride）によるウェットエッチングによって、SiO₂層をパターニングして、図2Aに示されるマスク12を形成する。マスク12は、帯状部12aを所定の間隔で複数本平行に並べたストライプ状である。隣り合う帯状部12aの間の開口部12bの幅は、例えば5μm程度である。帯状部12aの幅は、例えば50μm～200μm程度である。また、開口部12bの幅は、例えば2μm～20μm程度である。

[0019] マスク12を形成するためのマスク材料は、SiO₂のほか、気相成長によって、マスク材料から半導体層が成長しない材料であればよい。マスク材料は、例えば、パターニングが可能なZrO_x、TiO_xまたはAlO_xなどの酸化物、あるいは、WまたはCrなどの遷移金属を使用することもできる。また、マスク層の積層方法は、蒸着法、スパッタリング、または塗布硬化など、マスク材料に適合した方法を適宜用いることが可能である。

[0020] 続いて、図2Bに示されるように、開口部12bから露出している成長面11a上から半導体結晶の結晶成長層である半導体素子層13を気相成長させる。本開示の半導体素子層13は、窒化物半導体層である。

[0021] 結晶成長方法は、III族原料に塩化物を用いる塩化物輸送法による気相成長VPE（Vapor Phase Epitaxy）または、III族原料に有機金属を用いるMOCVD（Metal Organic Chemical Vapor Deposition）を用いることが可能である。成長工程中にIII族元素の原料ガスの割合、不純物の原料ガスの割合などを変化させて、半導体素子層13をLEDまたはLDとして機能する多層膜として形成することも可能である。

[0022] 成長した結晶がマスク 12 の開口部 12b を超えると、マスク上面 12c に沿って横方向にも結晶が成長する。結晶成長は、成長面 11a から成長した半導体素子層 13 が、隣り合う半導体素子層 13 と互いに重なる前に終了する。このようにして、窒化物半導体を ELO (Epitaxial Lateral Overgrowth) 法によって成長させた半導体素子層 13 を得る。半導体素子層 13 の幅は、例えば、 $50\mu\text{m}$ ～ $200\mu\text{m}$ 程度であり、高さは $10\mu\text{m}$ ～ $50\mu\text{m}$ 程度である。

[0023] 図 3 は、下地基板上に形成した半導体素子層の写真であり、上述の方法でマスク上に形成した半導体素子層を上面から見たものである。図 4 は、半導体素子層の上面の傾きを示すグラフであり、図 3 に示される半導体素子層の上面と基準面との距離を測定した測定結果を示すものである。帯状に形成された半導体素子層 13 の幅 W は、 $35\mu\text{m}$ であり、幅方向において、右端側は、左端側よりも高く、両端の高低差は 150nm である。半導体素子層 13 の第 1 面 13a (上面) の傾斜角は、 0.25° である。この半導体素子層 13 の成長に使用された下地基板 11 のオフ角は 0.22° であり、第 1 面 13a の傾斜角は、下地基板 11 のオフ角に対応したものとなっている。このように、下地基板 11 にオフ角をつけて半導体素子層 13 を成長させることは、品質に優れた結晶の半導体素子層 13 を実現させるうえでよい。半導体素子層 13 は、第 1 面 13a と第 1 面 13a の反対側に位置している第 2 面 13c とを有している。

[0024] 半導体素子層 13 を成長させた後、図 2B に示されるように、半導体素子層 13 の第 1 面 13a に金属層 14 を形成する。まず、下地基板 11、マスク 12 および半導体素子層 13 の上面全体をレジスト膜で覆う。その後、フォトリソグラフィ法を用いて、半導体素子層 13 の第 1 面 13a が露出するように、開口部を設ける。その後、開口部において、例えば、Cr 層と、金および錫の合金である AuSn 層とを順に蒸着する。その後、リフトオフ法によって、不要な金属層をレジスト膜とともに除去して、金属層 14 を形成する。この金属層の厚さは $1\mu\text{m}$ ～ $5\mu\text{m}$ 程度である。

[0025] 金属層 1 4 を形成後、下地基板 1 1、下地基板 1 1 上に形成したマスク 1 2、半導体素子層 1 3 および金属層 1 4 を B H F に約 1 0 分間程度浸漬し、マスク 1 2 を除去する。これにより、図 2 C に示されるように、下地基板 1 1 上に半導体素子 1 5 が形成される。半導体素子 1 5 と下地基板 1 1 とは、マスク 1 2 の開口部 1 2 b に成長した半導体素子層 1 3 の一部である、例えば、柱状の接続部 1 3 b を介して下地基板 1 1 に繋がっている。金属層 1 4 は、半導体素子 1 5 の電極として使用することができる。ただし、半導体素子 1 5 の構成によっては、金属層 1 4 は必ずしも電極として使用しなくてもよい。半導体素子 1 5 の上面 1 5 a は、半導体素子層 1 3 の第 1 面 1 3 a と同様に傾いている。半導体素子層 1 3 は第 1 面 1 3 a とその反対側に位置している第 2 面 1 3 c とを有する。

[0026] (2) 準備工程 S 2

図 5 は、第 1 実施形態に係る準備工程を示す断面図である。続いて、半導体素子 1 5 に接続するための支持基板 1 6 を準備する。支持基板 1 6 は、基体 1 6 a としてシリコン基板を用いる。基体 1 6 a の一方の面に A u などの金属層 1 6 b が形成され、金属層 1 6 b の表面が下地基板 1 1 に対向する対向面 1 6 c である。金属層 1 6 b によって、半導体素子 1 5 の支持基板 1 6 への接合が容易になる。

[0027] 続いて、基板接合装置（図示せず）を用いて半導体素子 1 5 を支持基板 1 6 に接続する。まず、下地基板 1 1 の成長面 1 1 a と、支持基板 1 6 の対向面 1 6 c とが平行になるように、下地基板 1 1 と支持基板 1 6 とを基板接合装置に取付ける。

[0028] (3) 接合工程 S 3

図 6 は、第 1 実施形態に係る接合工程を示す断面図である。続いて、図 6 (a) に示されるように、支持基板 1 6 の対向面 1 6 c と半導体素子 1 5 の上面 1 5 a とを接触させる。上述のように、半導体素子層 1 3 の第 1 面 1 3 a は傾斜しているので、その上に形成される金属層 1 4 の上面である、半導体素子 1 5 の上面 1 5 a も傾斜している。

[0029] 続いて、図6（b）に示されるように、支持基板16を加圧して、金属層14を支持基板16に密着加圧させた後、例えば、300℃に加熱して、AuSn接合を行う。ただし、この接合はAuSn接合に限定されず、他の材料を用いた各種の接合方法が可能である。このとき、半導体素子15の上面15aの全面が対向面16cに対して当接するように半導体素子15が変位する。これにより、半導体素子層13の接続部13bに大きな応力が発生して接続部13bが破断する。

[0030] （4）剥離工程S4

図7は、第1実施形態に係る剥離工程を示す断面図である。基板接合装置を冷却後、基板接合装置から下地基板11および支持基板16を取り出す。この際、半導体素子15は、支持基板16上に接合しており、また、接続部13bは破断しているので、下地基板11を容易に剥離することができる。図面では柱状の接続部13bは、半導体素子層13に付着している。接続部13bは破断の状況に応じて、下地基板11側、半導体素子15側またはその両方に残存することが考えられる。このため、剥離後、半導体素子15に残った接続部13bは、研磨などで取り除く。

[0031] 上記の方法で接合、剥離した半導体素子体17において、支持基板16の表面である対向面16cに対して半導体素子層13の第1面13aは平行である。一方、半導体素子層13の第2面13cは、半導体素子層13の第1面13aの傾斜に対応して、支持基板16の表面に対して傾斜している。ここで、半導体素子層13の第1面13aは支持基板16の表面に対して、例えば0.5°未満の傾斜であれば平行であるとみなす。

[0032] このように、第1実施形態の半導体素子体17は、支持基板16と、第1面13aと第1面13aに対して反対側に位置する第2面13cとを有し、第1面13aの側が支持基板16に固定されている。そして、半導体素子体17は、第2面13cが支持基板16の表面に対して傾斜している半導体素子層13を備えている。これにより、簡単な支持構造によって品質に優れた半導体素子層13を実現させることができる。

[0033] このように、半導体素子 15 には、下地基板 11 の成長面 11a に対して傾いた上面 15a が形成されているので、接合工程 S3 で加圧したとき、柱状の接続部 13b の端部にせん断応力が集中してせん断される。したがって、超音波などによって、下地基板 11 の表面に垂直方向に別途力を加えなくても、加圧するだけで半導体素子 15 を下地基板 11 から確実に分離することができる。このように、半導体素子 15 に過大な力を加えなくても半導体素子 15 を確実に支持基板 16 に転写できるので、半導体素子 15 の歩留まりを向上させることができる。

[0034] (第 2 実施形態)

(1) 素子形成工程 S1

図 8A～図 8C は、第 2 実施形態に係る素子形成工程を示す断面図である。図 8A に示されるように、まず、下地基板 21 を準備する。下地基板 21 としては、第 1 実施形態と同様に、例えば GaN テンプレート基板を使用する。ただし、下地基板 21 の成長面 21a の結晶面にオフ角はない。第 1 実施形態と同様の工程で、マスク 22 を形成する。マスク 22 の帯状体 22a の開口部 22b を通して成長面 21a が露出している。

[0035] 次に、図 8B に示されるように、第 1 実施形態と同様に、帯状体 22a の開口部 22b から露出している成長面 20a 上から窒化物半導体の結晶成長層である半導体素子層 23 を気相成長させる。その後、半導体素子層 23 の第 1 面 23a に、例えば AuSn 合金などの金属層 24 を形成する。

[0036] 続いて、図 8C に示されるように、下地基板 21 上のマスク 22 をエッチングして下地基板 21 上に半導体素子 25 を形成する。半導体素子層 23 の第 1 面 23a および半導体素子 25 の上面 25a は、下地基板 21 の成長面 21a とほぼ平行である。第 2 実施形態においても、第 1 実施形態と同様に、半導体素子層 23 は第 1 面 23a とその反対側に位置している第 2 面 23c とを有する。

[0037] (2) 準備工程 S2

図 9 は、第 2 実施形態に係る準備工程を示す断面図である。次に、半導体

素子 25 に接合するための支持基板 26 を準備する。支持基板 26 の基体 26 a は、例えばシリコン基板を用いる。シリコン基板は、例えば、面方向が (111) から 0.3° のオフ角を持つオフ基板、すなわち支持基板 26 は、下地基板 21 と対向させる対向面 26 c を備えている。支持基板 26 は、対向面 26 c は、対向面 26 c の法線に対してオフ角を有する結晶面であるオフ基板を用いることができる。このようなオフ基板上にストライプ状のフォトレジスト膜を形成し、KOH（水酸化カリウム）水溶液で異方性エッチングを行うことによって、基体 26 a に傾斜面 26 d を設ける。さらに、シリコン基板上に金などの金属層 26 b を蒸着法などによって形成する。このようにして形成された支持基板 26 は、傾斜した傾斜面 26 d を有する対向面 26 c を有している。傾斜面 26 d の傾斜角度 α はオフ角とほぼ同じである。

[0038] 支持基板 26 の対向面 26 c は、下地基板 21 に対して角度 α だけ傾いている。対向面 26 c は、下地基板 21 上に並ぶ半導体素子 25 の列ごとに形成されている。したがって、下地基板 21 上に半導体素子 25 が配設されているピッチと、支持基板 26 に多数形成されている傾斜面 26 d のピッチが一致していることが好ましい。続いて、基板接合装置（図示せず）を用いて、半導体素子 25 を支持基板 16 に接続する。まず、下地基板 21 の成長面 21 a と支持基板 26 の対向面 26 c が向かい合うように基板接合装置に付ける。

[0039] (3) 接合工程 S3

図 10A および図 10B は、第 2 実施形態に係る接合工程を示す断面図である。図 10A に示されるように、支持基板 26 の対向面 26 c と半導体素子 25 の上面 25 a とを接触させる。支持基板 26 の対向面 26 c は、傾斜しているので。半導体素子 25 の上面 25 a は、その一部が対向面 26 c に接触している。続いて図 10B に示されるように、支持基板 26 を加圧して、半導体素子 25 の上面 25 a を支持基板 26 の対向面 26 c に押圧して密着させ、例えば、 300°C に加熱して、AuSn 接合を行う。このとき、半

導体素子 25 の上面 25 a の全面が対向面 26 c に対して当接するように半導体素子 25 が変位する。これにより、半導体素子層 23 の接続部 23 b の端部に大きなせん断応力が発生し、接続部 23 b が破断する。

[0040] (4) 剥離工程 S4

図 11 は、第 2 実施形態に係る剥離工程を示す断面図である。基板接合装置を冷却後、基板接合装置から下地基板 21 および支持基板 26 を取り出すと、半導体素子 25 は、支持基板 26 の対向面 26 c に接合しており、また、接続部 23 b は破断しているので、下地基板 21 を容易に剥離することができる。図面では例えば柱状の接続部 23 b は、半導体素子層 23 に付着しているが、接続部 23 b は、研磨などで取り除くことができる。

[0041] このように、接合工程 S3 の前において、支持基板 26 の対向面 26 c は、下地基板 21 の成長面 21 a、あるいは半導体素子 25 の上面 25 a に対して傾いている。このため、接合工程 S3 おいて、半導体素子 25 の上面 25 a を支持基板 26 の対向面 26 c に押圧したとき、接続部 23 b の端部にせん断応力が集中してせん断される。したがって、超音波などの力を加えなくても、基板接合装置で加圧するだけで半導体素子 25 を下地基板 21 から確実に分離することができる。このように、半導体素子 25 に従来よりも小さい力を加えるだけで半導体素子 25 を確実に支持基板 26 に転写できる。これにより、半導体素子 25 の歩留まりを向上させることができる。

[0042] 上記の方法で接合、剥離した半導体素子体 27 において、支持基板 26 の対向面 26 c の一部が傾斜している。

[0043] このように、第 2 実施形態の半導体素子体 27 は、支持基板 26 と、第 1 面 23 a と第 1 面 23 a に対して反対側に位置する第 2 面 23 c とを有し、第 1 面 23 a の側が支持基板 26 に固定されている。そして、半導体素子体 27 は、第 2 面 23 c が支持基板 26 の表面に対して傾斜している半導体素子層 23 を備えている。これにより、支持基板 26 にも傾斜面を有しているので、半導体素子体 27 に対して劈開などがしやすく、個々の半導体素子 25 に分離する際の作業が容易となる。

[0044] (第3実施形態)

(1) 素子形成工程 S 1

第3実施形態において、素子形成工程 S 1 で使用される下地基板、および形成される半導体素子は、第2実施形態と同様であるので、説明を省略し、参照符号も同じものを付す。

[0045] (2) 準備工程 S 2

図12は第3実施形態に係る準備工程を示す断面図である。半導体素子25に接合するための支持基板36を準備する。支持基板36の基体36aには例えばシリコン基板を用いる。基体36aは、例えば、面方向が(100)のc面基板を用いる。まず、基体36a上に、例えば、Ti(チタン)を下地層とし、その上にAu層を積層した層を形成する。形成した層の上にストライプ状のマスクを作製し、例えばAuSnを蒸着させる。その後マスク上に蒸着させたAu層をマスクとともに除去する蒸着リフトオフ法によって、ストライプ状の凹凸が形成された金属層36bの対向面36cが形成された支持基板36を得る。下地基板21上に半導体素子25が配設されているピッチと、支持基板36のストライプ状凹凸のピッチが一致していることが好ましい。対向面36cの凹部と凸部の境界は段差部36dが形成されている。

[0046] (3) 接合工程 S 3

基板接合装置(図示せず)を用いて半導体素子25と支持基板36とを接合する。図13Aおよび図13Bは、第3実施形態に係る接合工程を示す断面図である。図13Aに示されるように、支持基板36の対向面36cと半導体素子25の上面25aとを接触させる。支持基板36の対向面36cは、段差部36dを有している。このため、半導体素子25の上面25aは、その一部が対向面36cに接触している。続いて図13Bに示されるように、支持基板36を加圧して、上面25aを支持基板36に押圧して、300℃に加熱して、AuSn接合を行う。このとき、半導体素子25の上面25aに対向面36cの段差部36dが当接し、半導体素子25の上面25aが

対向面 3 6 c の凹部に近接するように半導体素子 2 5 が変位する。これにより、半導体素子層 2 3 の接続部 2 3 b に大きなせん断応力が発生し、接続部 2 3 b が破断する。

[0047] (4) 剥離工程 S 4

図 1 4 は、第 3 実施形態に係る剥離工程を示す断面図である。基板接合装置を冷却後、基板接合装置から下地基板 2 1 および支持基板 3 6 を取り出すと、半導体素子 2 5 は、支持基板 3 6 上に接合しており、また、接続部 2 3 b は破断しているため、下地基板 2 1 を容易に剥離することができる。このとき、接合工程 S 3 で対向面 3 6 c は、平坦になっており、金属層 3 6 b と金属層 2 4 とが一体になっている。すなわち、支持基板 3 6 の表面である対向面 3 6 c には、半導体素子層 2 3 の第 1 面 2 3 a も金属を介して固定されている。図面では、例えば柱状の接続部 2 3 b は、半導体素子層 2 3 に付着しているが、接続部 2 3 b は、研磨などで取り除くことができる。

[0048] このように、支持基板 3 6 の対向面 3 6 c は、段差部 3 6 d を有している。このため、接合工程 S 3 で半導体素子 2 5 の上面 2 5 a を対向面 3 6 c に押圧したとき、接続部 2 3 b の下地基板 2 1 側の端部にせん断応力が集中して、接続部 2 3 b がせん断される。したがって、超音波などの力を加えなくても、加圧するだけで半導体素子 2 5 を下地基板 2 1 から確実に分離することができる。このように、半導体素子 2 5 に従来よりも小さい力を加えるだけで半導体素子 2 5 を確実に支持基板 3 6 に転写でき、半導体素子 2 5 の歩留まりを向上させることができる。

[0049] 上記の方法で接合、剥離した半導体素子体 3 7 は、支持基板 3 6 の表面である対向面 3 6 c に対して、半導体素子層 2 3 の第 1 面 2 3 a は段差部 3 6 d の構造に応じて傾斜している。

[0050] このように、第 3 実施形態の半導体素子体 3 7 は、支持基板 3 6 と、第 1 面 2 3 a と第 1 面 2 3 a に対して反対側に位置する第 2 面 2 3 c とを有し、第 1 面 2 3 a の側が支持基板 2 6 に固定されている。そして、半導体素子体 3 7 は、第 1 面 2 3 a および第 2 面 2 3 c のうち少なくとも第 1 面 2 3 a が

支持基板 3 6 の表面に対して傾斜している。これにより、簡単な構造で支持基板 2 6 にも傾斜面を有するようにできて、第 2 実施形態と同様に、半導体素子体 3 7 に対して劈開などがしやすく、個々の半導体素子 2 5 に分離する際の作業が容易となる。

[0051] 以上、本開示について詳細に説明したが、本開示は上述の実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲内において種々の変更、改良等が可能である。したがって、前述の実施形態はあらゆる点で単なる例示に過ぎず、本発明の範囲は請求の範囲に示すものであって、明細書本文には何ら拘束されない。さらに、請求の範囲に属する変形や変更は全て本発明の範囲内のものである。

符号の説明

- [0052] S 1 素子形成工程
S 2 準備工程
S 3 接合工程
S 4 剥離工程
1 1, 2 1 下地基板
1 3, 2 3 半導体素子層
1 3 a, 2 3 a 第 1 面
1 3 b, 2 3 b 接続部
1 3 c, 2 3 c 第 2 面
1 4, 2 4, 1 6 b, 2 6 b, 3 6 b 金属層
1 5, 2 5 半導体素子
1 5 a, 2 5 a 上面
1 6, 2 6, 3 6 支持基板
1 6 c, 2 6 c, 3 6 c 対向面
1 7, 2 7, 3 7 半導体素子体

請求の範囲

- [請求項1] 下地基板上に、該下基板と接続部を介して接続し、前記下基板の成長面に対して傾いた上面を有する半導体素子を形成する素子形成工程と、
前記下基板と対向させる対向面を有する支持基板を準備する準備工程と、
前記半導体素子の上面を前記支持基板の対向面に押圧および加熱して、前記半導体素子の上面と前記支持基板とを接合する接合工程と、
前記半導体素子を前記下基板から剥離する剥離工程と、
を含む半導体素子の製造方法。
- [請求項2] 前記下基板の前記成長面は、該成長面の法線に対してオフ角を有する結晶面であるものを用いる、請求項1に記載の半導体素子の製造方法。
- [請求項3] 下地基板上に、該下基板と接続部を介して接続している半導体素子を形成する素子形成工程と、
前記下基板と対向させたとき、該下基板の成長面に対して傾いている対向面を有する支持基板を準備する準備工程と、
前記半導体素子の上面を前記支持基板の対向面に押圧および加熱して、前記半導体素子の上面と前記支持基板とを接合する接合工程と、
前記半導体素子を前記下基板から剥離する剥離工程と、
を含む半導体素子の製造方法。
- [請求項4] 前記支持基板の前記対向面は、該対向面の法線に対してオフ角を有する結晶面であるものを用いる、請求項3に記載の半導体素子の製造方法。
- [請求項5] 下地基板上に、該下基板と接続部を介して接続している半導体素子を形成する素子形成工程と、
前記下基板と対向させる対向面を有し、該対向面に段差部が設けられている支持基板を準備する準備工程と、

前記半導体素子の上面と前記支持基板の対向面の段差部とが接触するように、前記半導体素子の上面を前記支持基板の対向面に押圧および加熱して、前記半導体素子の上面と前記支持基板とを接合する接合工程と、
前記半導体素子を前記下地基板から剥離する剥離工程と、
を含む半導体素子の製造方法。

[請求項6] 前記接合工程において、前記半導体素子の前記上面の一部が、前記支持基板の前記対向面の前記段差部に接触している、請求項5に記載の半導体素子の製造方法。

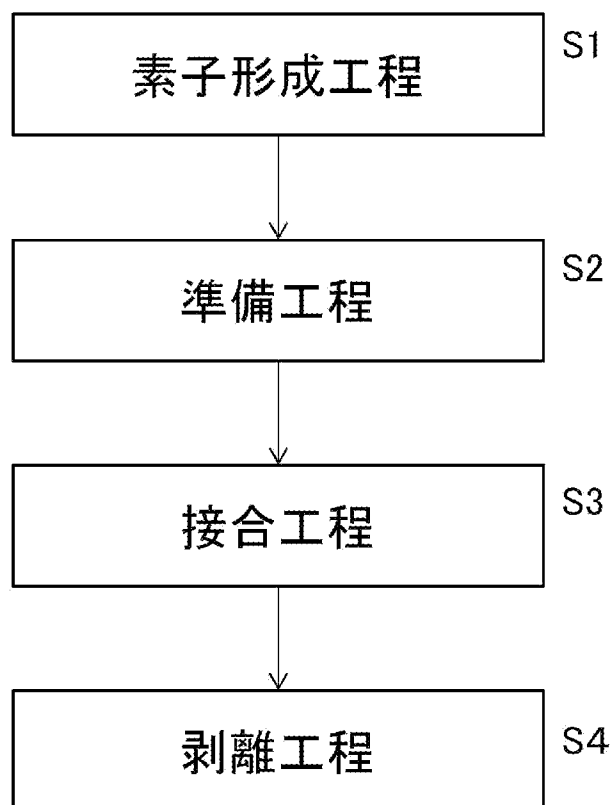
[請求項7] 支持基板と、
第1面と該第1面に対して反対側に位置する第2面とを有し、前記第1面の側が前記支持基板に固定されており、前記第2面が前記支持基板の表面に対して傾斜している半導体素子層と、
を備えている半導体素子体。

[請求項8] 傾斜面を有する支持基板と、
第1面と、該第1面に対して反対側に位置する第2面とを有し、前記第1面の側が前記支持基板の傾斜面に固定されている半導体素子層と、
、
を備えている半導体素子体。

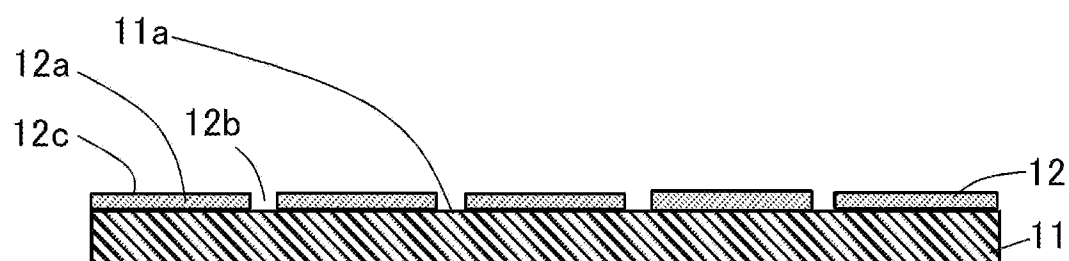
[請求項9] 支持基板と、
第1面と、該第1面に対して反対側に位置する第2面とを有し、前記第1面の側が前記支持基板に固定されており、前記第1面および前記第2面のうち少なくとも前記第1面が前記支持基板の表面に対して傾斜している半導体素子層と、
を備えている半導体素子体。

[請求項10] 前記支持基板の前記表面には、前記半導体素子層の前記第1面が金属を介して固定されている、請求項8または9に記載の半導体素子体。

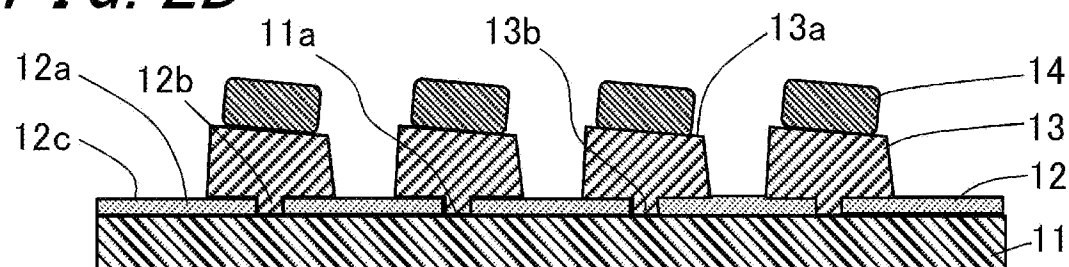
[図1]

FIG. 1

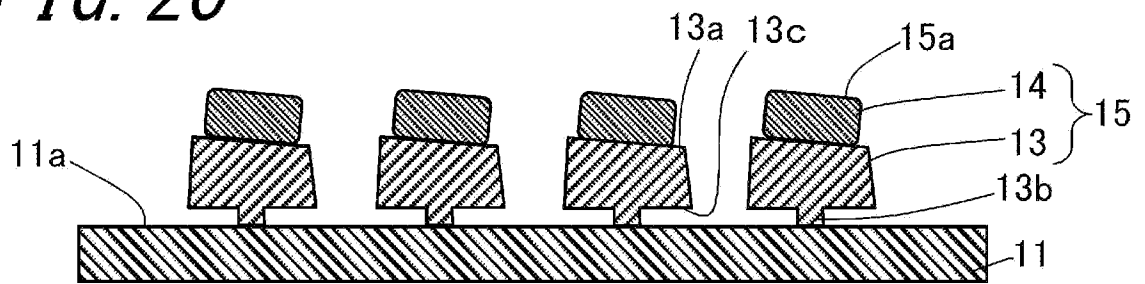
[図2A]

FIG. 2A

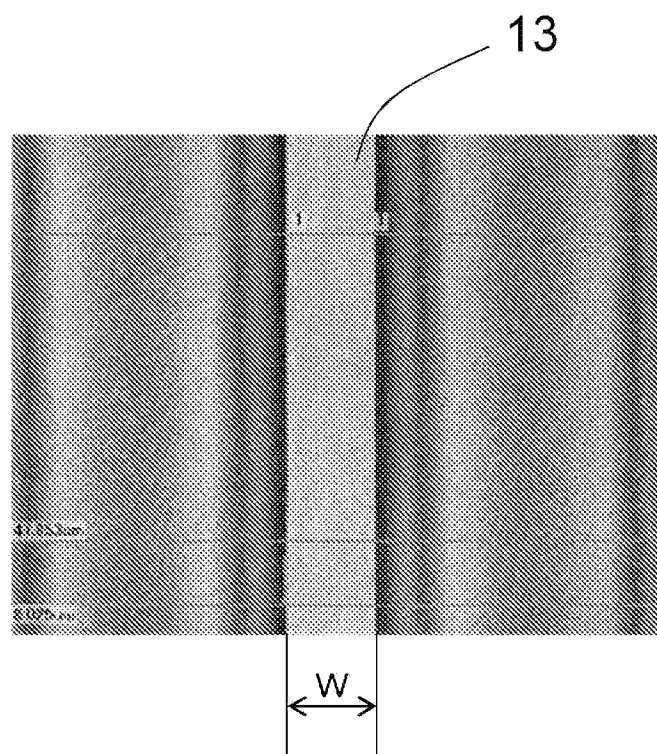
[図2B]

FIG. 2B

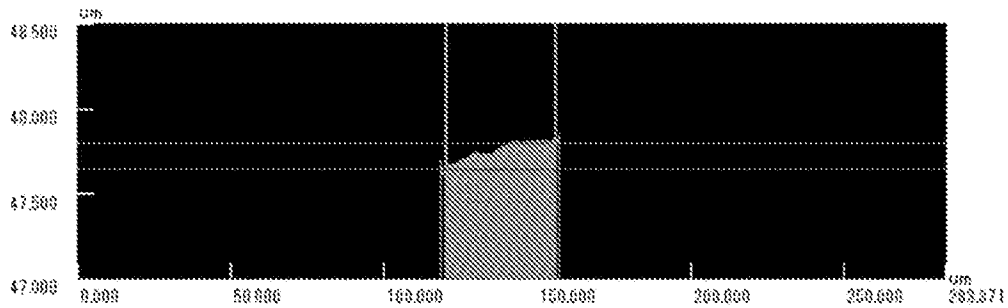
[図2C]

FIG. 2C

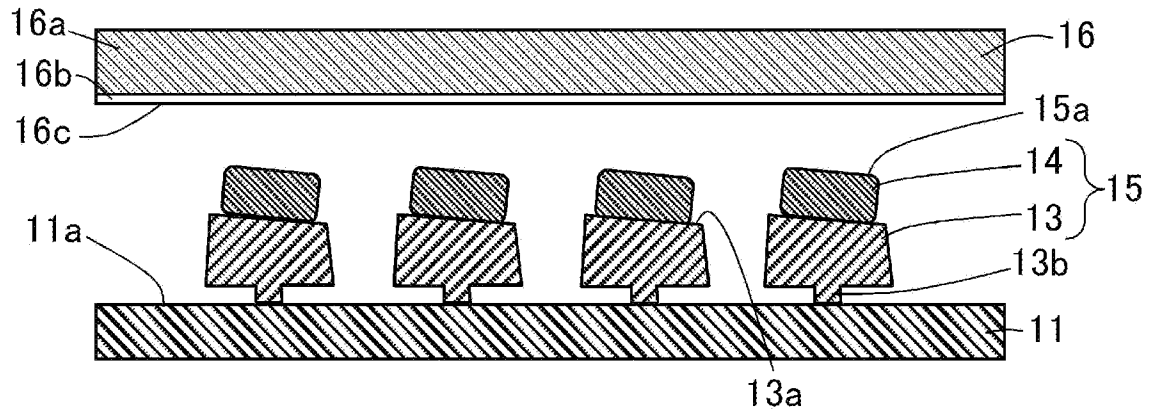
[図3]

FIG. 3

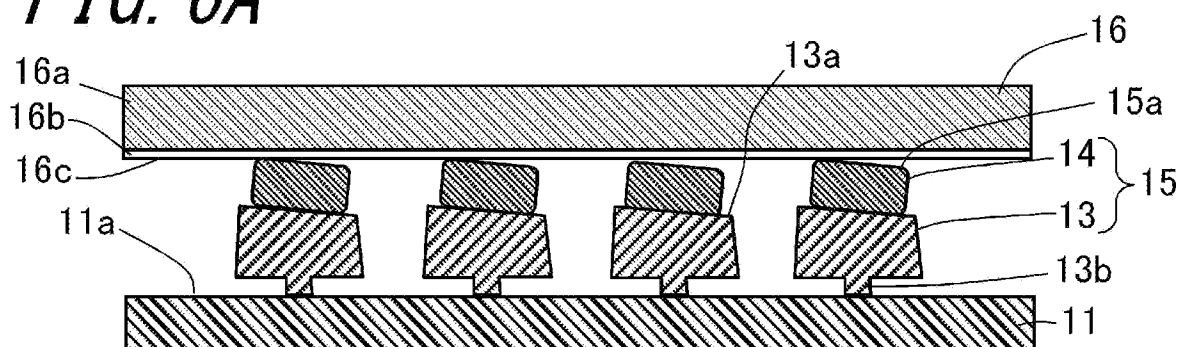
[図4]

FIG. 4

[図5]

FIG. 5

[図6A]

FIG. 6A

21a

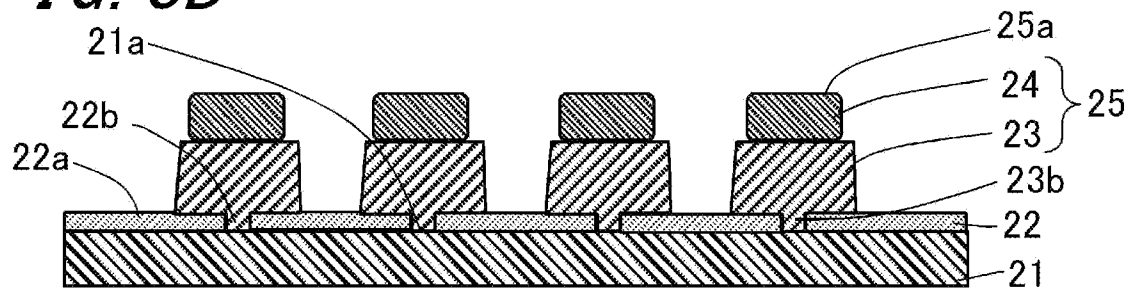
22a

22b

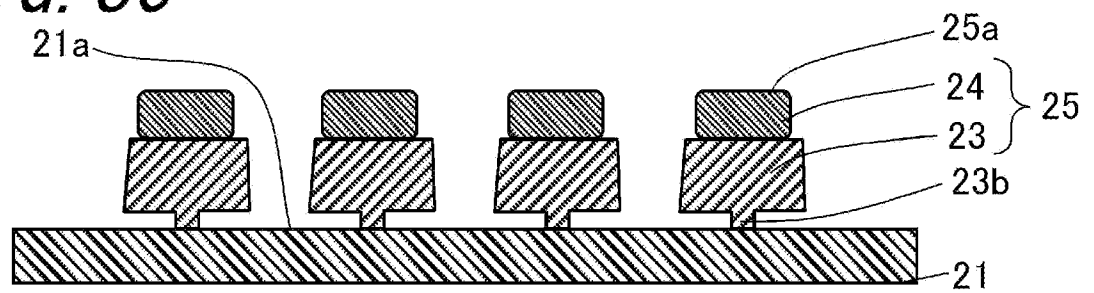
22

21

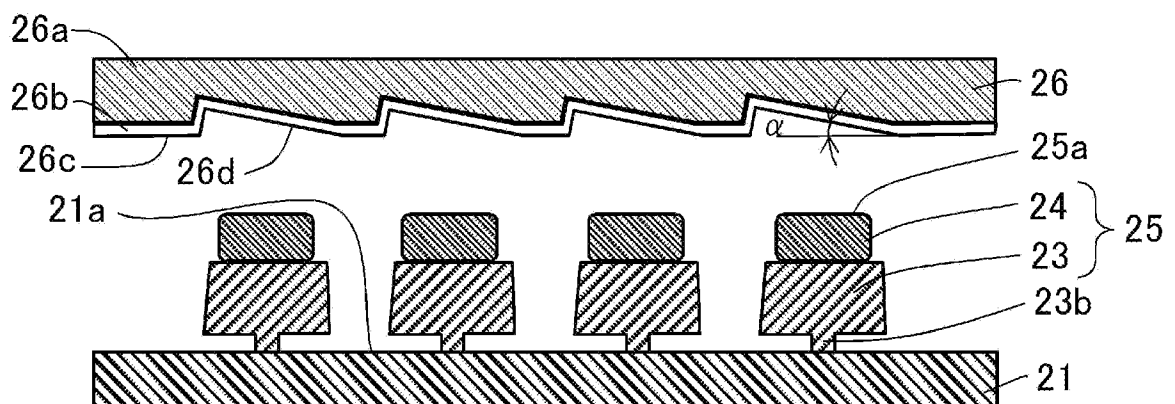
[図8B]

FIG. 8B

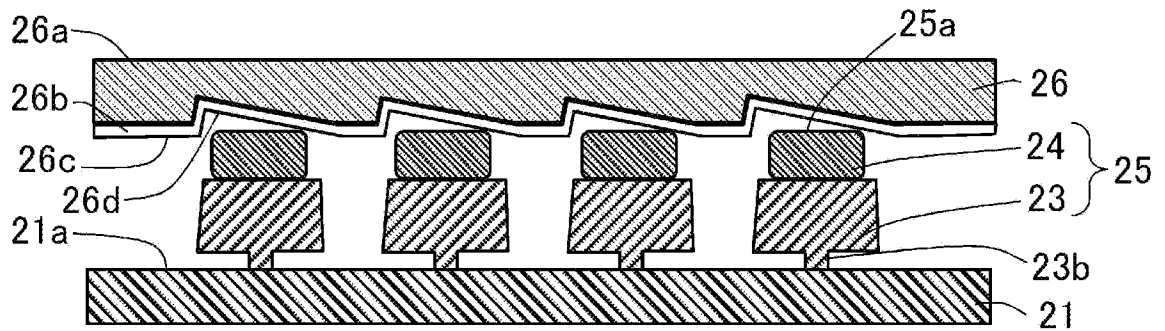
[図8C]

FIG. 8C

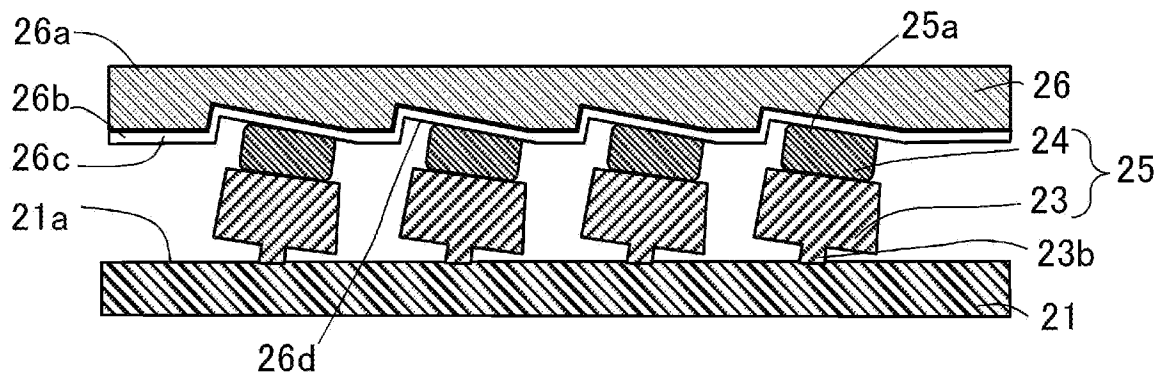
[図9]

FIG. 9

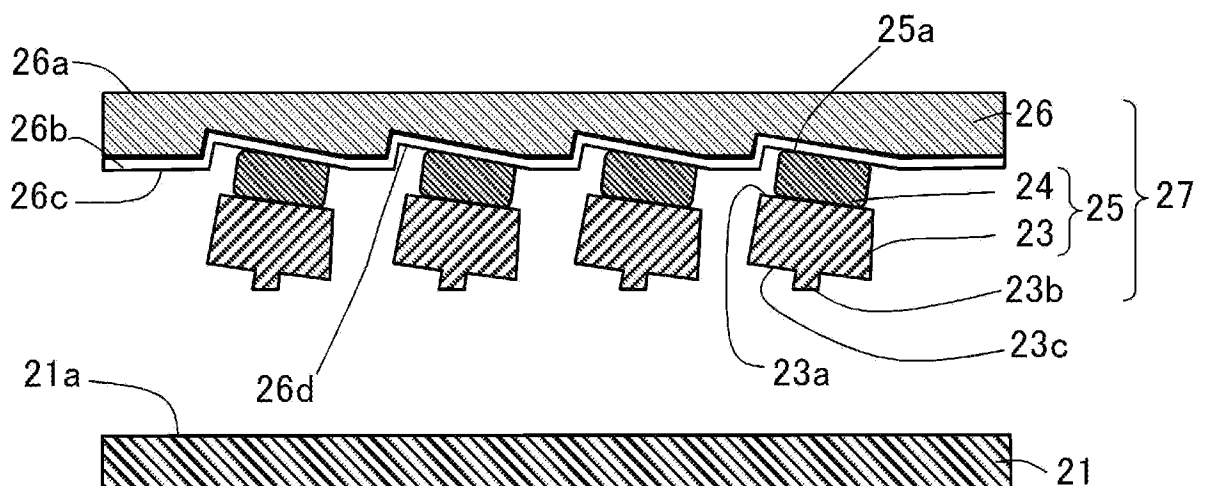
[図10A]

FIG. 10A

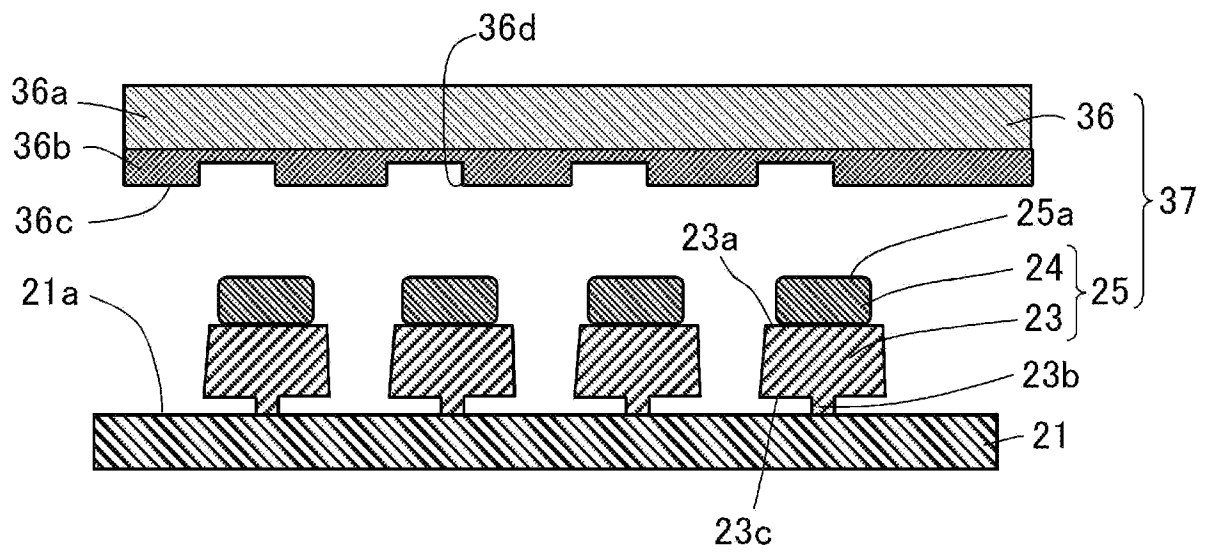
[図10B]

FIG. 10B

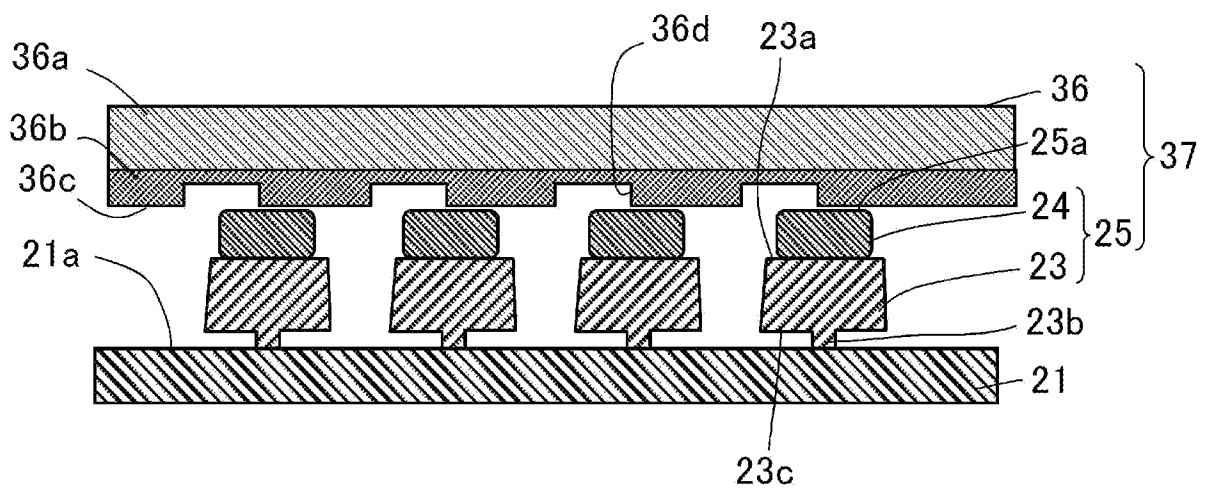
[図11]

FIG. 11

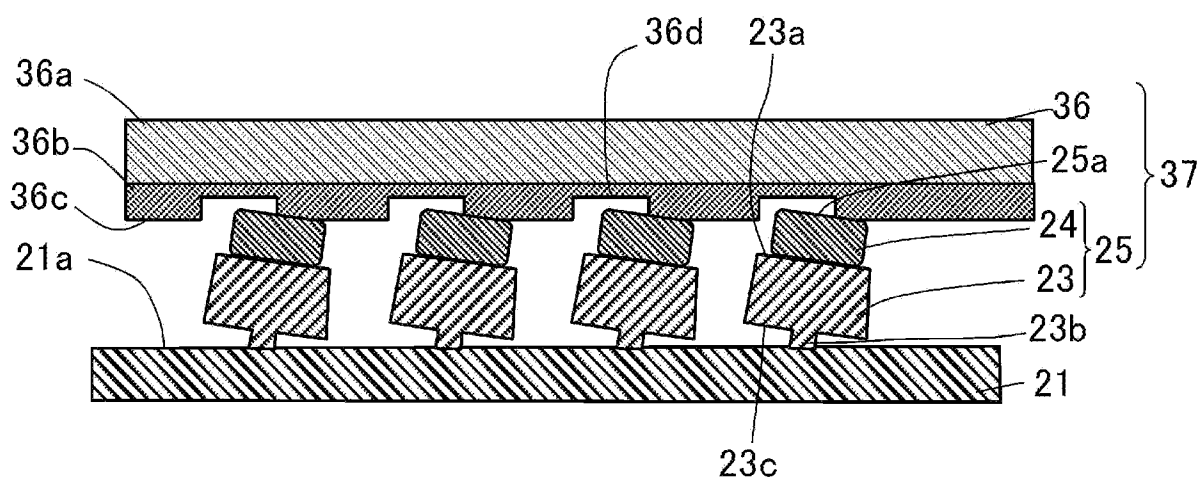
[図12]

FIG. 12

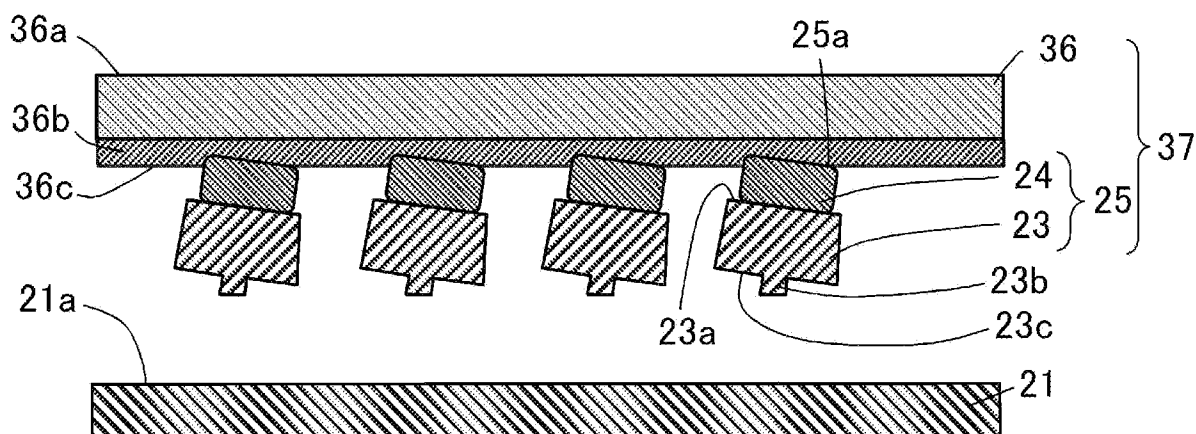
[図13A]

FIG. 13A

[図13B]

FIG. 13B

[図14]

FIG. 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/008399

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/02(2006.01)i; H01L 21/20(2006.01)i; H01L 21/205(2006.01)i

FI: H01L21/02 B; H01L21/205; H01L21/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02; H01L21/20; H01L21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2007-96114 A (SANYO ELECTRIC CO., LTD.) 12.04.2007 (2007-04-12) paragraphs [0028]-[0100], fig. 1-10	1-2, 7-10 3-6
A	JP 2011-66390 A (POWDEC K.K.) 31.03.2011 (2011-03-31)	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 April 2020 (27.04.2020)

Date of mailing of the international search report
12 May 2020 (12.05.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application no.

PCT/JP2020/008399

Patent Documents
referred in the
Report

Publication
Date

Patent Family

Publication
Date

JP 2007-96114 A

12 Apr. 2007

(Family: none)

JP 2011-66390 A

31 Mar. 2011

US 2012/0280363 A1

WO 2011/021710 A1

EP 2469581 A1

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/02(2006.01)i; H01L 21/20(2006.01)i; H01L 21/205(2006.01)i FI: H01L21/02 B; H01L21/205; H01L21/20														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L21/02; H01L21/20; H01L21/205														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2020年													
日本国実用新案登録公報	1996-2020年													
日本国登録実用新案公報	1994-2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2007-96114 A（三洋電機株式会社）12.04.2007（2007-04-12） 段落[0028]－[0100]及び図1－10	1-2, 7-10												
A		3-6												
A	JP 2011-66390 A（株式会社パウデック）31.03.2011（2011-03-31）	1-10												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 27.04.2020	国際調査報告の発送日 12.05.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 安田 雅彦 5F 9447 電話番号 03-3581-1101 内線 3516													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/008399

引用文献			公表日	パテントファミリー文献			公表日
JP	2007-96114	A	12.04.2007	(ファミリーなし)			
JP	2011-66390	A	31.03.2011	US	2012/0280363	A1	
				WO	2011/021710	A1	
				EP	2469581	A1	