

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5113263号
(P5113263)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月19日(2012.10.19)

(51) Int.Cl.

F I

H O 3 L 7/085 (2006.01)

H O 3 L 7/183 (2006.01)

H O 3 L 7/08 A

H O 3 L 7/18 B

請求項の数 23 (全 25 頁)

(21) 出願番号	特願2010-541499 (P2010-541499)	(73) 特許権者	595020643
(86) (22) 出願日	平成20年12月24日 (2008.12.24)		クァアルコム・インコーポレイテッド
(65) 公表番号	特表2011-509047 (P2011-509047A)		Q U A L C O M M I N C O R P O R A T E D
(43) 公表日	平成23年3月17日 (2011.3.17)		アメリカ合衆国、カリフォルニア州 9 2
(86) 国際出願番号	PCT/US2008/088262		1 2 1 - 1 7 1 4、サン・ディエゴ、モア
(87) 国際公開番号	W02009/088789		ハウス・ドライブ 5 7 7 5
(87) 国際公開日	平成21年7月16日 (2009.7.16)	(74) 代理人	100108855
審査請求日	平成22年7月29日 (2010.7.29)		弁理士 蔵田 昌俊
(31) 優先権主張番号	11/969,364	(74) 代理人	100091351
(32) 優先日	平成20年1月4日 (2008.1.4)		弁理士 河野 哲
(33) 優先権主張国	米国 (US)	(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 自己訂正する位相デジタル伝達関数を有する位相ロックループ

(57) 【特許請求の範囲】

【請求項 1】

第 1 の信号を出力するデジタル制御発振器 (D C O) と、
前記第 1 の信号を受け取り、そして第 2 の信号を出力するループ分周器と、ここにおいて、前記ループ分周器は、第 1 の第 1 の位相誤差ワード (d T i - 1) が、前記位相デジタル変換器部分によって生成されるときに、第 1 の除数 N によって分周し、前記ループ分周器は、第 2 の第 1 の位相誤差ワード (d T i) が、前記位相デジタル変換器部分によって生成されるときに、第 2 の除数 N + 1 によって分周する、
基準信号と前記第 2 の信号とを受け取り、そして第 2 の位相誤差ワードのストリームを生成する位相デジタル変換器 (P D C) と、
を備え、前記 P D C は、全般的位相デジタル伝達関数を有し、そして前記 P D C は、
第 1 の位相誤差ワードのストリームを出力する位相デジタル変換器部分であって、前記 P D C 部分が、第 1 の位相デジタル伝達関数を有する位相デジタル変換器部分と、
前記全般的位相デジタル伝達関数が、前記第 1 の位相デジタル伝達関数とは異なるように、第 1 の位相誤差ワードの前記ストリームを受け取り、そして第 2 の位相誤差ワードの前記ストリームを生成する訂正部分と、
を備える、位相ロックループ (P L L) 回路。

【請求項 2】

第 2 の位相誤差ワードの前記ストリームを受け取り、前記ストリームにフィルタをかけ、そして同調ワードのストリームを前記 D C O に対して出力するデジタルループフィルタ

をさらに備える請求項 1 に記載の P L L。

【請求項 3】

前記第 1 の位相デジタル伝達関数は、第 1 の利得を有し、そして前記訂正部分は、前記全般的位相デジタル伝達関数が、第 2 の利得を有するように、第 2 の位相誤差ワードの前記ストリームを生成する、請求項 1 に記載の P L L。

【請求項 4】

前記第 1 の位相デジタル伝達関数は、利得ミスマッチを示し、そして前記訂正部分は、前記全般的位相デジタル伝達関数が、より少ない利得ミスマッチを有するように、第 2 の位相誤差ワードの前記ストリームを生成する、請求項 1 に記載の P L L。

【請求項 5】

前記第 1 の位相デジタル伝達関数は、オフセットミスマッチを示し、そして前記訂正部分は、前記全般的位相デジタル伝達関数が、より少ないオフセットミスマッチを有するように、第 2 の位相誤差ワードの前記ストリームを生成する、請求項 1 に記載の P L L。

【請求項 6】

前記訂正部分は、 $d T i$ と $d T i - 1$ との間の差を決定し、そして乗数値を決定するために前記差を使用し、そして前記訂正部分は、第 1 の位相誤差ワードの前記ストリームの少なくとも一部分を正規化するために前記乗数値を使用する、請求項 1 に記載の P L L。

【請求項 7】

前記訂正部分は、乗数値を決定するために前記第 1 の第 1 の位相誤差ワードと、前記第 2 の第 1 の位相誤差ワードとの間の差を決定する、請求項 1 に記載の P L L。

【請求項 8】

前記訂正部分は、前記乗数値によって前記第 1 の第 1 の位相誤差ワードを乗算し、そして前記訂正部分は、前記乗数値によって前記第 2 の第 1 の位相誤差ワードを乗算する、請求項 7 に記載の P L L。

【請求項 9】

前記位相デジタル変換器の前記位相デジタル変換器部分は、
複数のノード $N 1 \sim N N$ を有するデジタル論理遅延要素のチェーン、ここにおいて、デジタル信号は、伝搬遅延時間の中でノード $N 1$ からノード $N N$ へと前記全体のチェーンを通して伝搬することができる；

複数の順次論理要素、ここにおいて、各順次論理要素は、入力リード線を有し、前記順次論理要素のおのおのそれぞれ 1 つの前記入力リード線は、前記ノード $N 1 \sim N N$ のうちの対応するそれぞれ 1 つに結合され、前記第 2 の信号は、周期を有し、そして前記周期は、前記伝搬遅延時間の 2 倍よりも大きい；

を備える、請求項 1 に記載の P L L。

【請求項 10】

前記基準信号は、前記基準信号の各周期中に第 1 のエッジと第 2 のエッジとを有し、前記第 2 の信号は、前記第 2 の信号の各周期中に第 1 のエッジと第 2 のエッジとを有し、そして前記第 1 の位相誤差ワードのおのおのは、前記基準信号の第 1 のエッジが起きる時刻と、前記第 2 の信号の第 1 のエッジが起きる時刻との間のいくつかの遅延要素の遅延を表すデジタル値であり、請求項 1 に記載の P L L。

【請求項 11】

各第 1 の位相誤差ワードは、符号ビットを有する符号付きデジタル値であり、前記符号ビットは、前記基準信号と、前記第 2 の信号との間の位相関係を示す、請求項 1 に記載の P L L。

【請求項 12】

前記第 1 の信号は、周波数 $F 1$ を有し、前記 P D C の前記位相デジタル変換器部分は、デジタル論理遅延要素のチェーンを含み、請求項 1 に記載の P L L。

【請求項 13】

前記訂正部分によって受信される前記第 1 の位相誤差ワードは、正の第 1 の位相誤差ワードと、負の第 1 の位相誤差ワードとを含み、そして前記訂正部分は、前記正の第 1 の位

10

20

30

40

50

相誤差ワードを第 1 のやり方で処理し、そして前記負の第 1 の位相誤差ワードを第 2 のやり方で処理する、請求項 1 に記載の PLL。

【請求項 1 4】

前記第 1 の位相デジタル伝達関数は、第 1 の範囲の値における第 1 の位相誤差ワードに関連する第 1 の部分を有し、前記第 1 の位相デジタル伝達関数は、第 2 の範囲の値における第 1 の位相誤差ワードに関連する第 2 の部分を有し、前記第 1 の部分は、第 1 の位相デジタル利得を示し、前記第 2 の部分は、第 2 の位相デジタル利得を示し、前記訂正部分は、それが前記第 2 の範囲における第 1 の位相誤差ワードの前記位相デジタル利得を調整するのとは異なるように、前記第 1 の範囲における第 1 の位相誤差ワードの前記位相デジタル利得を調整する、請求項 1 に記載の PLL。

10

【請求項 1 5】

前記 PDC の前記訂正部分は、前記第 1 の位相デジタル伝達関数における利得ミスマッチと、前記第 1 の位相デジタル伝達関数におけるオフセットミスマッチとの両方について、前記利得ミスマッチと前記オフセットミスマッチとが、前記全般的位相デジタル伝達関数において存在しないように、訂正する、請求項 1 4 に記載の PLL。

【請求項 1 6】

前記ループ分周器は、整数部分 N と小数部分 f とを有する除数 $N + f$ によって分周し、前記 PDC の前記訂正部分は、前記除数を受け取り、そして第 1 の乗数値と第 2 の乗数値とを決定するために前記除数を使用し、そして前記訂正部分は、第 1 の組の前記第 2 の位相誤差ワードを生成するために第 1 の組の前記第 1 の位相誤差ワードを前記第 1 の乗数値によって乗算し、そして前記訂正部分は、第 2 の組の前記第 2 の位相誤差ワードを生成するために第 2 の組の前記第 1 の位相誤差ワードを前記第 2 の乗数値によって乗算する、請求項 1 に記載の PLL。

20

【請求項 1 7】

(a) 位相デジタル変換器 (PDC) 完全デジタル位相ロックループ (ADPLL) において、第 1 の第 1 の位相誤差ワード $dTi - 1$ を決定すること、ここにおいて、 $dTi - 1$ は、前記 PDC ADPLL のループ分周器が、除数 N によって分周しているときに決定される；

(b) 前記 PDC ADPLL において、第 2 の第 1 の位相誤差ワード dTi を決定すること、ここにおいて、 dTi は、前記ループ分周器が、除数 $N + 1$ によって分周しているときに決定される；

30

(c) 乗数値を決定するために dTi と $dTi - 1$ との間の差を使用すること；

(d) 第 1 の第 2 の位相誤差ワード $dTi - 1_corr$ を生成するように $dTi - 1$ をスケールリングするために前記乗数値を使用すること；

(e) 第 2 の第 2 の位相誤差ワード dTi_corr を生成するように $dTi - 1$ をスケールリングするために前記乗数値を使用すること；

を備える方法。

【請求項 1 8】

$dTi - 1$ および dTi は、前記 PDC ADPLL の位相デジタル変換器部分によってステップ (a) および (b) において生成され、前記位相デジタル変換器部分は、第 1 の位相デジタル伝達関数を有し、前記第 1 の位相デジタル伝達関数は、温度に依存した利得を有し、前記の $dTi - 1_corr$ と dTi_corr とは、前記 PDC ADPLL の訂正部分によってステップ (d) および (e) において生成され、前記位相デジタル変換器部分および前記訂正部分は、一緒に、第 2 の位相デジタル伝達関数を有し、そして前記第 2 の位相デジタル伝達関数は、温度と独立した利得を有する、請求項 1 7 に記載の方法。

40

【請求項 1 9】

$dTi - 1$ および dTi は、前記 PDC ADPLL の位相デジタル変換器部分によってステップ (a) および (b) において生成され、前記位相デジタル変換器部分は、第 1 の位相デジタル伝達関数を有し、前記第 1 の位相デジタル伝達関数は、利得ミスマッチ不

50

完全性を示し、前記の $dTi - 1_corr$ および dTi_corr は、前記 PDC ADPLL の訂正部分によってステップ (d) および (e) において生成され、前記位相デジタル変換器部分と前記訂正部分とは、一緒に、第 2 の位相デジタル伝達関数を有し、そして前記第 2 の位相デジタル伝達関数は、利得ミスマッチ不完全性のないことを示す、請求項 17 に記載の方法。

【請求項 20】

$dTi - 1$ および dTi は、前記 PDC ADPLL の位相デジタル変換器部分によってステップ (a) および (b) において生成され、前記位相デジタル変換器部分は、第 1 の位相デジタル伝達関数を有し、前記第 1 の位相デジタル伝達関数は、オフセットミスマッチ不完全性を示し、前記の $dTi - 1_corr$ および dTi_corr は、前記 PDC ADPLL の訂正部分によってステップ (d) および (e) において生成され、前記位相デジタル変換器部分および前記訂正部分は、一緒に、第 2 の位相デジタル伝達関数を有し、そして前記第 2 の位相デジタル伝達関数は、オフセットミスマッチ不完全性のないことを示す、請求項 17 に記載の方法。

10

【請求項 21】

基準信号およびフィードバック信号を受け取り、そして第 1 の位相誤差ワードのストリームを出力する位相デジタル変換器部分と、ここにおいて、前記基準信号と前記フィードバック信号とは、同じ周波数のものであり、前記位相デジタル変換器部分は、温度依存性を示す第 1 の位相デジタル伝達関数を有する；

第 2 の位相誤差ワードのストリームを生成するために第 1 の位相誤差ワードの前記ストリームを処理するための手段と、ここにおいて、前記位相デジタル変換器部分と前記手段とは、一緒に、第 2 の位相デジタル伝達関数を有し、前記処理は、前記第 2 の位相デジタル伝達関数が、温度に依存しないようにし、前記手段は、前記第 1 の位相誤差ワードのうちの第 1 のものと、前記第 1 の位相誤差ワードのうちの第 2 のものとの間の差を決定し、前記手段は、乗数値を生成するために前記差を使用し、前記手段は、前記第 1 の位相誤差ワードのうちの前記第 1 のものを前記乗数値によって乗算し、そして前記手段は、前記第 1 の位相誤差ワードのうちの前記第 2 のものを前記乗数値によって乗算する、

20

を備える位相ロックループ。

【請求項 22】

前記第 1 の位相デジタル伝達関数はまた、利得ミスマッチを示し、そして前記手段は、前記利得ミスマッチが、前記第 2 の位相デジタル伝達関数の中に存在しないように、第 2 の位相誤差ワードの前記ストリームを生成する、請求項 21 に記載の位相ロックループ。

30

【請求項 23】

前記第 1 の位相デジタル伝達関数はまた、オフセットミスマッチを示し、そして前記手段は、前記オフセットミスマッチが、前記第 2 の位相デジタル伝達関数の中に存在しないように、第 2 の位相誤差ワードの前記ストリームを生成する、請求項 21 に記載の位相ロックループ。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の実施形態は、完全デジタル位相ロックループ (ADPLL) の中の位相デジタル変換器 (PDC) の伝達関数 (transfer function) の訂正に関する。

40

【背景技術】

【0002】

位相ロックループ (Phase-locked loops) は、セルラー電話のレシーバおよびトランスミッタの局部発振器 (local oscillators) での使用を含めて、多数の用途で使用される。これまでは、セルラー電話で使われるような位相ロックループは、一般にアナログ回路を用いてインプリメントされた。しかしながら、より最近では、位相ロックループのデジタルインプリメンテーションが、使用されてきている。これらの位相ロックループは、多くの場合に、完全デジタル位相ロックループ (All-Digital Phase-Locked Loops) (ADPLL

50

L) と称される。例えば、いわゆる位相デジタル変換器 PLL (Phase-to-Digital Converter PLLs) (PDC ADPLL) と、いわゆる時間デジタル PLL (Time-to-Digital PLLs) (TDC ADPLL) とを含めて、いくつかのカテゴリの ADPLL 回路が存在する。

【0003】

図1 (先行技術) は、TDC ADPLL 1 のハイレベルの簡略化された概念回路図である。TDC ADPLL 1 は、デジタル同調ワード(digital tuning words)のストリームを出力するループフィルタ(loop filter) 2 を必要とする。デジタル制御発振器(Digitally Controlled Oscillator) (DCO) 3 は、デジタル同調ワードを受け取り、そしてその周波数が、デジタル同調ワードによって決定される対応する信号 HCLK を出力する。時間デジタル変換器(Time-to-Digital Converter) (TDC) 4 は、HCLK 信号、ならびに基準クロック(reference clock) FREF を受け取り、そして位相誤差ワード(phase error word)の小数部分(fractional part)を出力する。位相誤差ワードは、FREF 信号と HCLK 信号との間の位相誤差を示している。アキュムレータ(accumulator) 5 は、位相誤差ワードの整数部分を出力する。加算器(summer) 6 は、デジタル位相誤差ワードのストリームを出力するために、対応する整数部分(integer portions)と小数部分(fractional portions)とを合計する。デジタル位相誤差ワードのストリームは、ループフィルタ 2 に供給される。ループがロックされるときに、HCLK の位相は、基準クロック FREF の位相にロックされる。TDC ADPLL についての追加の情報のためには、スタツヴェスキー他(Staszewski et al.)による「90 - nm CMOS における周波数合成のための 1.3 V、20 ps の時間デジタル変換器(1.3 V 20 ps Time-to-Digital Converter for Frequency Synthesis in 90-nm CMOS)」、回路およびシステムについての IEEE トランザクション - II、53 巻、No. 3、2006 年 3 月(IEEE Transactions on Circuits and Systems -II, Vol.53, No.3, March 2006)という名称の論文を参照されたい。

【0004】

図2 (先行技術) は、図1 の TDC 4 の回路図である。TDC 4 は、インバータ 7 のチェーンと、関連する 1 組のフリップフロップ 8 と、デコーダ 9 と、自己較正正規化回路(self-calibrating normalization circuitry) 10 ~ 12 と、を含む。図3 (先行技術) は、それらの信号が TDC 4 の入力に供給されるとき、信号 FREF と HCLK とを示す波形図である。図4 (先行技術) は、インバータ 7 のチェーンに沿って対応するインバータによって出力される値 D1 ~ D10 を示す波形図である。波形図の中の垂直破線 13 によって示される時点において、1 組のフリップフロップ 8 は、信号 FREF の立ち上がりエッジによってクロックされる。次いで、様々なインバータの値は、並列にワード Q (1 : 10) としてデコーダ 9 へと出力される。ワード Q (1 : 10) は、FREF の立ち上がりエッジと、HCLK の立ち上がりおよび立ち下りのエッジとの間の時間間隔(time separation)上の情報を含んでいる。ワード Q (1 : 10) は、6 ビットの立ち下り時間値 Δt_f と、6 ビットの立ち上がり時間値 Δt_r とを出力するようにデコーダ(decoder) 9 によって復号される。6 ビットの立ち下り時間値 Δt_f は、HCLK の立ち下りエッジと、FREF の立ち上がりエッジとの間の時間を示している。6 ビットの立ち上がり時間値 Δt_r は、HCLK の立ち上がりエッジと、FREF の立ち上がりエッジとの間の時間を示している。図2 に示されるように、値 Δt_f は、乗算器 12 によって正規化された後の、TDC の出力 OUT である。インバータチェーンのインバータを通した遅延が、プロセス、電圧および / または温度における変動に起因して変化すべきであった場合、そのときには結果として生じる値 Δt_r はまた、変化することになり、そして位相デジタル変換利得は、変化することになる。TDC は、それ故に、プロセス、電圧および温度(process, voltage and temperature) (PVT) の変化にわたってのインバータ遅延における変動を明らかにする(account for)ように自己較正する。ブロック 10 および 11 は、 Δt_r 値のストリームを自己較正するために、乗算器 12 に供給される値を生成する。

【0005】

図5 (先行技術) は、位相デジタル変換器完全デジタル位相ロックループ (PDC A

10

20

30

40

50

DPLL)の1つの回路トポロジ14の簡略化されたブロック図である。1つのPDC ADPLLにおいて、ループフィルタ15は、位相デジタル変換器16から符号つき数字を受け取ることになる。しかしながら、図2のTDC ADPLLトポロジは、正の値および負の値の Δt_r 値を生成しない。さらに、PDC ADPLLの中のループ分周器(loop divider)17の出力DIV__OUTの周期は、ループ分周器17が、分周する(divide)値に応じて、HCLKの周期よりも何倍(例えば、千倍)も長くなることができる。DIV__OUTという全体がハイ(entire high)のパルスを取り込むのに十分に長い遅延チェーン(delay chain)を提供することは、実行不可能で、そして非現実的である可能性がある。さらに、図2のTDC ADPLLにおいて使用される技法は、インバータのチェーンの中にDCO出力信号HCLKを供給することを必要とする。DCO出力信号HCLKが、4GHzなどの高周波数のものである場合、そのときにはHCLKを受け取る、遅延チェーンのインバータは、高周波数においてスイッチするように行われであろう。インバータが、相補的論理(CMOS)インバータである場合、そのときには回路の電流消費は、望ましくないように高くなるであろう。したがって、図2の先行技術の技法は、望ましくなく、そして複数の理由のためにPDC ADPLLの中の自己較正のために効果的に使用されることができない。

【発明の概要】

【0006】

位相デジタル変換器完全デジタル位相ロックループ(PDC ADPLL)は、位相デジタル変換器と、デジタルループフィルタと、デジタル制御発振器(DCO)と、ループ分周器と、を含む。ループ分周器は、小数除数値(fractional divisor value) $N.f$ によって時間と共に(over time)分周するように、シグマデルタ変調器(sigma-delta modulator)によって制御され、そこでNは、整数部分(integer portion)であり、fは、小数部分(fractional portion)である。位相デジタル変換器は、基準信号源から基準クロック信号XOを受け取り、そしてループ分周器からフィードバック信号DIV__OUTを受け取り、そして第2の位相誤差ワードのストリームを生成する。第2の位相誤差ワードのストリームは、デジタルループフィルタへと供給される。位相デジタル変換器は、位相デジタル変換器部分、ならびに新規訂正部分を含む。位相デジタル変換器部分は、基準信号XOと、フィードバック信号DIV__OUTとを受け取り、そして第1の位相誤差ワードのストリームを生成する。新規訂正部分は、第1の位相誤差ワードのストリームを受け取り、そして新規処理を実行し、そして第2の位相誤差ワードのストリームを生成する。

【0007】

一例においては、位相デジタル変換器部分は、傾斜(slope)を示す位相デジタル伝達関数(phase-to-digital transfer function)を有する。傾斜は、位相デジタル変換器部分における遅延線(delay line)の中の遅延要素の伝搬遅延の変化によって影響を受ける。ある場合には、遅延要素伝搬遅延の変化は、PVT(プロセス、供給電圧、および/または温度)における変化に起因している。新規訂正回路は、位相デジタル変換器部分と訂正部分とが、一緒に、その傾斜が遅延要素伝搬遅延の変化とは実質的に独立している全般的位相デジタル伝達関数を有するように、第1の位相誤差ワードのストリームを受け取り、そして第2の位相誤差ワードのストリームを生成する。

【0008】

特定の1つのインプリメンテーションにおいては、訂正部分は、第1の第1の位相誤差ワード $dTi-1$ と、第2の第1の位相誤差ワード dTi とを受け取るデジタル論理の量であり、ここで第1の位相誤差ワードのうちの一方は、ループ分周器が、除数値Nによって分周しているときに生成され、そしてそこで第1の位相誤差ワードのうちの他方は、ループ分周器が、除数値 $N+1$ によって分周しているときに生成される。訂正回路は、 dTi と $dTi-1$ との間の差を決定し、そして乗数値を決定するためにこの差を使用する。次いで、訂正部分は、結果として生じる第2の位相誤差ワードの位相デジタル伝達関数の傾斜が、正規化され、そして遅延要素伝搬遅延の変化とは実質的に独立するように、第1の位相誤差ワードを正規化するためにその乗数値を使用する。一例においては、フィ

10

20

30

40

50

ードバック信号 DIV_OUT の周期は、位相デジタル変換器部分の全遅延線を通しての伝搬遅延時間の2倍よりも実質的に大きい。 PDC_ADPLL が、動作するとき、訂正部分は、位相デジタル変換器部分と、訂正部分との全般的位相デジタル伝達関数の傾斜が、一緒に、実質的に一定であるように、乗数値を調整する。

【0009】

別の例においては、位相デジタル変換器部分の位相デジタル伝達関数(phase-to-transfer function)は、利得ミスマッチ不完全性(gain mismatch imperfection)を示す。訂正部分は、位相デジタル伝達関数(phase-to-transfer function)の第1の部分の伝達関数の傾斜が、第1のやり方で調整されるように、そして位相デジタル伝達関数(phase-to-digital function)の第2の部分の伝達関数の傾斜が、第2のやり方で調整されるように、第2の組の第1の位相誤差ワードとは異なるように第1の組の第1の位相誤差ワードを処理する。結果は、(位相デジタル変換器部分と訂正部分との一緒の)全般的位相デジタル伝達関数が、利得ミスマッチを示していないことである。

10

【0010】

別の例においては、位相デジタル変換器部分の位相デジタル伝達関数(phase-to-transfer function)は、オフセットミスマッチ不完全性(offset mismatch imperfection)を示す。第1の位相誤差ワードのストリームから、訂正部分は、(位相デジタル変換器部分と訂正部分との一緒の)全般的位相デジタル伝達関数が、オフセットミスマッチを示さないように、オフセットの大きさを決定し、そして次いでオフセットの決定された大きさだけ第1の位相誤差ワードのうちの適切なものを調整する。特定の一実施形態においては、新規訂正部分は、遅延要素変動と、利得ミスマッチと、オフセットミスマッチとについて訂正する純粋なデジタル論理の量である。

20

【0011】

上記は、概要であり、それ故に、必然的に、詳細についての簡略化、一般化、および省略を含んでおり、したがって当業者は、本概要が、例示的なものにすぎず、そして決して限定することを意味してはいないことを理解するであろう。ここにおいて説明されるデバイスおよび/またはプロセスの他の態様、発明の特徴、および利点は、ただ単に特許請求の範囲によって定義されるように、ここにおいて述べられる非限定的な詳細な説明の中で明らかになるであろう。

【図面の簡単な説明】

30

【0012】

【図1】図1(先行技術)は、時間デジタル変換器完全デジタル位相ロックループ(TDC_ADPLL)の回路図である。

【図2】図2(先行技術)は、図1の TDC_ADPLL 内の時間デジタル変換器4のより詳細な回路図である。

【図3】図3(先行技術)は、それらの信号が、図1の TDC_ADPLL の $TDC4$ の入力に供給されるとき信号 REF と $HCLK$ とを示す波形図である。

【図4】図4(先行技術)は、図1の TDC_ADPLL の $TDC4$ のオペレーションを示す波形図である。

【図5】図5(先行技術)は、位相デジタル変換器完全デジタル位相ロックループ(PDC_ADPLL)の簡略化されたブロック図である。

40

【図6】図6は、新規の一態様に従う、特定のタイプのモバイル通信デバイス100の非常に簡略化されたハイレベルのブロック図である。

【図7】図7は、図6のRFトランシーバ集積回路103のより詳細なブロック図である。

【図8】図8は、RFトランシーバ集積回路103の局部発振器106をさらに詳細に示す回路図である。

【図9A】図9Aは、正の位相状態における局部発振器106の中の $PFD133$ のオペレーションを示す波形図である。

【図9B】図9Bは、負の位相状態における局部発振器106の中の $PFD133$ のオペ

50

レーションを示す波形図である。

【図 1 0】図 1 0 は、どのように図 8 の局部発振器 1 0 6 の中の D L P D C 1 3 4 が動作するかを示す簡略化された回路図と、関連する波形図とである。

【図 1 1】図 1 1 は、局部発振器 1 0 6 の中の P D C 1 2 6 の簡略化されたブロック図である。

【図 1 2】図 1 2 は、どのようにして新規訂正部分 1 3 2 が、D L P D C 1 3 4 の位相デジタル伝達関数の中の利得変化を訂正するかを示している。

【図 1 3】図 1 3 は、図 1 3 A と図 1 3 B とを含む図である。

【図 1 3 A】図 1 3 A は、新規訂正部分 1 3 2 を通しての処理のフローを示すフローチャートである。

10

【図 1 3 B】図 1 3 B は、新規訂正部分 1 3 2 を通しての処理のフローを示すフローチャートである。

【図 1 4】図 1 4 は、どのようにして新規訂正回路 1 3 2 が、遅延要素伝搬遅延の変化に起因した（例えば、P V T 変化に起因した）D L P D C 位相デジタル伝達関数利得における変化について訂正するかの一例を示している。

【図 1 5】図 1 5 は、図 1 4 の訂正オペレーションを示すグラフである。

【図 1 6】図 1 6 は、どのようにして新規訂正部分 1 3 2 が、D L P D C 位相デジタル伝達関数の中の利得ミスマッチ不完全性を訂正するかを示している。

【図 1 7】図 1 7 は、どのようにして新規訂正回路 1 3 2 が、D L P D C 位相デジタル伝達関数の中の利得ミスマッチ不完全性について訂正するかの一例を示している。

20

【図 1 8】図 1 8 は、図 1 7 の訂正オペレーションを示すグラフである。

【図 1 9】図 1 9 は、どのようにして新規訂正部分 1 3 2 が、D L P D C 位相デジタル伝達関数の中のオフセットミスマッチ不完全性を訂正するかを示している。

【図 2 0】図 2 0 は、どのようにして新規訂正回路 1 3 2 が、D L P D C 位相デジタル伝達関数の中のオフセットミスマッチ不完全性について訂正するかの一例を示している。

【図 2 1】図 2 1 は、図 2 0 の訂正オペレーションを示すグラフである。

【図 2 2】図 2 2 は、新規の一態様に従う方法の簡略化されたフローチャートである。

【詳細な説明】

【0 0 1 3】

図 6 は、新規な一態様に従う、特定のタイプのモバイル通信デバイス 1 0 0 の非常に簡略化されたハイレベルのブロック図である。この例においては、モバイル通信デバイス 1 0 0 は、符号分割多元接続(Code Division Multiple Access) (C D M A) セルラー電話通信プロトコルを使用したセルラー電話である。セルラー電話は、(図に示されていないいくつかの他の部分のうちに) アンテナ 1 0 2 と、2 つの集積回路 1 0 3 および 1 0 4 と、を含む。集積回路 1 0 4 は、「デジタルベースバンド集積回路」または「ベースバンドプロセッサ集積回路」と呼ばれる。集積回路 1 0 3 は、R F トランシーバ集積回路である。R F トランシーバ集積回路 1 0 3 は、それが、トランスミッタならびにレシーバを含むので、「トランシーバ」と呼ばれる。

30

【0 0 1 4】

図 7 は、図 6 の R F トランシーバ集積回路 1 0 3 のより詳細なブロック図である。レシーバは、「受信チェーン(receive chain)」と呼ばれるもの 1 0 5、ならびに局部発振器(L O) 1 0 6、を含む。セルラー電話が、受信しているときに、高周波数 R F 信号 1 0 7 が、アンテナ 1 0 2 上で受信される。信号 1 0 7 からの情報は、デュプレクサ(duplexer) 1 0 8 と、マッチングネットワーク(matching network) 1 0 9 と、受信チェーン 1 0 5 とを通過する。信号 1 0 7 は、低雑音増幅器(low noise amplifier) (L N A) 1 1 0 によって増幅され、そしてミキサ 1 1 1 によって周波数をダウンコンバートされる。結果として生じるダウンコンバートされた信号は、ベースバンドフィルタ 1 1 2 によってフィルタがかけられ、そしてデジタルベースバンド集積回路 1 0 4 へと渡される。デジタルベースバンド集積回路 1 0 4 の中のアナログデジタル変換器 1 1 3 は、信号をデジタル形式へと変換し、そして結果として生じるデジタル情報は、デジタルベースバンド集積回路 1 0

40

50

4 中のデジタル回路によって処理される。デジタルベースバンド集積回路 104 は、局部発振器出力 114 上でミキサ 111 に対して供給される局部発振器信号 (LO) の周波数を制御することによってレシーバを同調させる。

【0015】

セルラー電話が、送信している場合、そのときには送信されるべき情報は、デジタルベースバンド集積回路 104 中のデジタルアナログ変換器 115 によってアナログ形式へと変換され、そして「送信チェーン(transmit chain)」116 へと供給される。ベースバンドフィルタ 117 は、デジタルアナログ変換プロセスに起因した雑音をフィルタをかけて除去する。次いで局部発振器 119 の制御下のミキサブロック 118 は、信号を高周波数信号へとアップコンバートする。駆動増幅器(Driver amplifier) 120 と外部電力増幅器 121 とは、アンテナ 102 を駆動するために高周波数信号を増幅し、その結果、高周波数 RF 信号 122 は、アンテナ 102 から送信されるようになる。

10

【0016】

図 8 は、局部発振器 106 をさらに詳細に示す回路図である。局部発振器 106 は、水晶発振器 123 と、位相デジタル(Phase-to-Digital) (PDC) 完全デジタル位相ロックループ (ADPLL) 124 と、を含む。デジタルベースバンド集積回路 104 は、RF トランシーバ集積回路 103 へと制御情報を送ることにより局部発振器出力信号 LO の周波数を制御する。この制御情報は、小数 F 除数値(fractional F divisor value) (N.f) を決定する。図 8 における矢印 125 は、この制御情報の転送を表しており、そして制御情報が渡される特定の接続を表してはいない。例えば、制御情報は、他の情報と一緒に直列バス(serial bus)を通して集積回路 104 から集積回路 103 へと通信されることができる。

20

【0017】

PDC ADPLL 124 は、位相デジタル変換器 (PDC) 126 と、デジタルループフィルタ 127 と、デジタル制御発振器 (DCO) 128 と、ループ分周器 129 と、シグマデルタ変調器 130 と、を含む。PDC 126 は、次に、位相デジタル変換器部分 131 と、訂正部分 132 と、を含む。PDC 部分 131 は、位相周波数検出器(Phase-Frequency Detector) (PFD) 133 と、遅延線位相デジタル変換器(Delay Line Phase-to-Digital Converter) (DL PDC) 134 と、を含む。DCO 128 は、8 ビットデジタル同調ワードのストリームを受け取る。ある与えられた時刻に、DCO 128 によって受け取られるデジタル同調ワードは、DCO 128 によって出力される局部発振器出力信号 LO の周波数を決定する。局部発振器信号 LO は、この例においては、4 GHz 帯におけるデジタル信号である。

30

【0018】

ループ分周器 129 は、ライン 135 を経由してシグマデルタ変調器 130 から受け取られる多ビットデジタル除数値によって単一ビットの局部発振器信号を周波数分周し、そして結果として生じる分周された(divided-down)単一ビットの信号 DIV__OUT を導体 136 上へ、そして PFD 133 の第 2 の入力 137 へと出力する。シグマデルタ変調器 130 は、時間と共に、LO の周波数が、小数 F 値(fractional F value) N.f によって分周されるように、時間と共に除数値を整数値 N から次の整数 N+1 へと変更する。小数 F 値「N.f」の中の「N」は、整数を表すのに対して、小数値(fractional value)「N.f」の中の「.f」は、小数値を表す。上記に説明されるように、それによってループ分周器が、分周する小数値 N.f は、デジタルベースバンド集積回路 104 から受け取られた後に局部発振器 106 に知られている。

40

【0019】

PDC 部分 131 は、PFD 133 の第 1 の入力 138 上で水晶発振器 123 からの基準クロック信号を受け取り、そしてまた PFD 133 の第 2 の入力 137 上で DIV__OUT を受け取る。PDC 部分 131 は、第 1 の位相誤差ワード dTi のストリームを導体 139 上へと出力する。この例においては、おのこの第 1 の位相誤差ワードは、8 ビットのデジタル値であり、その第 1 のビットは、符号ビットである。符号ビットは、入力 1

50

37上のDIV__OUT信号の位相に関する入力138上のXO信号の位相を示す。位相誤差ワードの残りの7ビットは、2つの信号が、互いに位相がずれている程度を示す数字である。

【0020】

新規訂正部分132は、第1の位相誤差ワードdTiのストリームを受け取り、そして第2の位相誤差ワードdTi__corrのストリームを出力する。おのこの第2の位相誤差ワードはまた、8ビットのデジタル値であり、その第1のビットは、符号ビットである。新規訂正部分132のオペレーションは、下記の説明においてさらに詳細に説明される。

【0021】

デジタルループフィルタ127は、第2の位相誤差ワードdTi__corrのストリームを受け取り、そしてフィルタがかけられたストリームの値を出力する。デジタルループフィルタ127によって受け取られるおのこの第2の位相誤差ワードについてデジタルループフィルタ127から出力される1つのそのような値が存在する。デジタルループフィルタ127によって出力される値は、ここでデジタル同調ワードと称される。

【0022】

PDC126と、デジタルループフィルタ127と、DCO128と、ループフィルタ129とは、DIV__OUTの位相が、基準クロック信号XOの位相に関してロックされるように、位相ロックループとして一緒に機能する。DIV__OUTの周波数F2は、基準クロック信号XOの周波数と同じである。現在の例においては、基準クロック信号XOの周波数は、20MHzである。ループ分周器129は、小数F値N.fによって周波数分周するので、局部発振器出力信号LOの周波数は、 $F2 * (N.f)$ である。例えば、N.fが、200.1であり、そしてF2が、20MHzである場合、そのときにはLOの周波数F1は、4.002GHzである。

【0023】

図9Aは、PFD133のオペレーションを示す波形図である。PFD133は、3つのデジタル信号UP、DNおよびSを出力する。信号UPは、基準クロック信号XOの立ち上がりエッジ上でハイ(high)に遷移する。信号DNは、DIV__OUT信号の立ち上がりエッジ上でハイに遷移する。信号UPとDNとの両方がハイにアサートされて間もなく後に、信号UPとDNとの両方は、非同期的にロー(low)に遷移するようにされる。UP信号とDN信号とは、DLPDC134に対して通信される。信号Sは、符号信号である。DIV__OUT信号が、ハイに遷移する前に、基準クロック信号XOが、ハイに遷移する場合、そのときには符号信号Sは、デジタルの0であり、そうでない場合には、符号信号Sは、デジタルの1である。

【0024】

図10は、どのようにDLPDC134が、UP信号とDN信号とを第1の位相誤差ワードdTiへと変換するかを示す簡略化された回路図と、関連する波形図とである。DLPDC134は、1対のマルチプレクサ140、141と、遅延要素のチェーン142と、1組の順次論理要素143と、エンコーダ144と、を含む。遅延要素のチェーン142はまた、遅延線とも称される。示された例の中の遅延要素は、インバータである。示された例の中の順次論理要素は、フリップフロップである。図9Aに示された入来信号XOとDIV__OUTとの正の位相状態を考える。XOの第1の立ち上がりエッジは、信号UPが、ローからハイへと遷移するようにする。符号信号Sは、デジタル論理ローである。信号UPのローからハイへの遷移は、それ故に、マルチプレクサ140を通して渡され、そして信号Dとして遅延線142へと導入される。立ち上がりエッジは、左から右へと遅延線を通して伝搬する。「1回目(FIRST TIME)」とラベル付けされる上方の2つの波形は、立ち上がりエッジが、遅延線の3つのインバータを通して伝搬している1回目を示す。「2回目(SECOND TIME)」とラベル付けされる次の2つの波形は、立ち上がりエッジが、遅延線のより多くのインバータを通して伝搬しているその後の時刻を示す。次に、DIV__OUT信号は、図9Aの位相の例においてハイへと遷移する。このローからハイへの遷

10

20

30

40

50

移は、DN信号が、ローからハイへと遷移するようにする。図10に示されるように、DN信号は、フリップフロップ143のクロック入力リード線上の信号Lとしてマルチプレクサ141を通して供給される。すべてのフリップフロップは、信号Lの立ち上がりエッジ上で同じ時刻にデータを取り込むようにクロックされる。1つのフリップフロップのデータ入力Dが、遅延線の中のインバータ出力のおおのそれぞれ1つに結合されるので、フリップフロップ取り込み情報は、UPの立ち上がりエッジが、L信号の立ち上がりエッジが起きる前に遅延線142をどれだけ下方に離れて進んでいるかを示している。「3回目(THIRD TIME)」とラベル付けされる最下部の2つの波形は、フリップフロップが、クロックされるようにする、信号Lがハイに遷移する時刻を示す。矢印145は、信号Dのローからハイへの波面が、信号Lの立ち上がりエッジが起きる前に遅延線をどれだけ下方に離れて進んでいるかを示している。エンコーダ144は、符号信号Sと一緒にフリップフロップ143の出力を受け取り、そしてその情報を8ビットの符号付きの第1の位相誤差ワードdTiへと符号化する。

【0025】

図9Bは、DIV__OUT信号がハイへ遷移した後に、基準クロック信号XOがハイに遷移するときのPFD133のオペレーションを示す波形図である。図9Aの例におけるように、PFD133は、DIV__OUT信号の立ち上がりエッジ上で信号DNをハイにアサートし、そして基準クロック信号XOの立ち上がりエッジ上で信号UPをハイにアサートする。また、図9Aの例におけるように、信号UPとDNとの両方が、ハイにアサートされて間もなく後に、信号UPとDNとの両方は、非同期的にローに遷移するようにされる。しかしながら、図9Bの例においては、符号信号Sは、信号XOが、信号DIV__OUTの後にハイに遷移するので、デジタルハイ値を有する。マルチプレクサ140は、それ故にDN信号を信号Dとして遅延線142へと供給し、そしてマルチプレクサ141は、UP信号を信号Lとしてフリップフロップ143のクロック入力リード線へと供給する。たとえ図9Aと9Bとの例におけるXO信号とDIV__OUT信号との相対位相が異なるとしても、図9Aと9BとのDおよびLの波形は、類似して見えることに注意すべきである。それ故に、D信号のローからハイへの遷移は、信号Lのローからハイへの遷移が起きる前に、図9Aの例においては、図9Bの例におけると同じ距離だけ遅延線142を下方に移動する。しかしながら、図9Bの例においては、符号信号Sの値は、図9Aの例においてそれがデジタルローであったのとは対照的に、デジタルハイである。

【0026】

図11は、符号付きの第1の位相誤差ワードdTiの表現を示しているPDC126の簡略化されたブロック図である。

【0027】

図10の遅延線142の遅延要素を通した遅延は、必ずしも一定とは限らず、そうではなくていくつかの理由のうちの任意の1つに起因して変化する可能性がある。遅延は、プロセス、供給電圧、および/または動作温度(PVT)にわたって変化する可能性がある。信号XOとDIV__OUTとの間の位相は、いくつかの遅延要素遅延の観点から位相デジタル変換器部分131によって測定されるので、遅延要素を通しての伝搬遅延が、変化すべきであった場合、そのときには位相デジタル変換器部分131から出力されるようなdTiの第1の位相誤差ワードは、たとえばXO対DIV__OUTの信号の実際の位相が、一定のままであるべきであったとしても、変化することになる。

【0028】

図12は、DL PDC134の位相デジタル伝達関数をdTiとラベル付けされた線146として示している。XO信号対DIV__OUT信号の位相が増大するにつれて、DL PDC134から出力されるデジタル値dTiもまた、そのようになる。線146によって表される伝達関数は、線形である。残念ながら、温度の変化は、伝達関数線146の傾斜を変化させる可能性がある。伝達関数の傾斜(傾斜は、「利得」とも称される)におけるそのような変化は、望ましくなく、そして望ましくないやり方でPDC ADPLLのオペレーションを変化させる可能性がある。利得における変化は、例えば、位相ロックル

10

20

30

40

50

ープの帯域幅を変化させる可能性があり、そしてそれ故にADPLLのロックまでの時間(time-to-lock)を変化させる可能性がある。様々な通信プロトコルは、レシーバ局部発振器106のADPLLのロックまでの時間に対して異なる要件を出す。この理由および他の理由のために、位相デジタル伝達関数の利得は、無理なく可能なようにPVTにわたってできる限り一定であることが望ましい。

【0029】

新規の一態様に従って、新規訂正部分132が、提供される。新規訂正部分132は、位相デジタル変換器126の全般的位相デジタル伝達関数の傾斜が、実質的に一定のままにとどまるように、第1の位相誤差ワード dTi のストリーム上で、そのストリームを第2の位相誤差ワード dTi_corr のストリームへと変換するためにある関数を実行する。第1の位相誤差ワードのストリームの位相デジタル伝達関数の傾斜は、正規化された傾斜147を有するように正規化され、その結果、たとえPVTにおける変化が、遅延線142の中で伝搬遅延の変化を引き起こすとしても、第2の位相誤差ワードの傾斜は、常に同じ傾斜を有するようになる。訂正された第2の位相誤差ワードの位相デジタル伝達関数は、図12の中で線147によって表される。

【0030】

図13Aおよび13Bは、訂正部分132によって実行されるオペレーションを示している。図13Aにおいて、DLPC134からの出力としての dTi の第1の位相誤差ワードのストリームは、処理ブロック201への矢印200によって示されるように受け取られる。受け取られた各 dTi 値について、対応する $N \cdot f$ のループ分周器の値が存在する。 $N \cdot f$ 値の小数部分 f が、0.5より大きい場合、そのときには値 $N0$ は、整数部分 N に設定され、そして値 k は、小数の f 部分になるように設定される。他方では、 $N \cdot f$ の小数部分 f が、0.5より小さい場合、そのときには値 $N0$ は、整数 $N + 1$ になるように設定され、そして値 k は、値 $1 - f$ になるように設定される。おのおのの dTi の第1の位相誤差ワードが受け取られるときに、対応する値 $N0$ と k とは、決定される。

【0031】

次に、 dTi の第1の位相誤差ワードが、負の値である場合、そのときには処理は、矢印202によって示されるように乗算機能(multiplication function)203へと進み、そうでなくて dTi の位相誤差ワードが、ゼロまたは正である場合、そのときには処理は、矢印204によって示されるように乗算機能205へと進む。表記 dTi は、第1の位相誤差ワードを示すのに対して、表記 $dTi - 1$ は、以前に生成された第1の位相誤差ワードを示す。

【0032】

dTi の位相誤差ワードが、負である場合、そして以前の $dTi - 1$ が、負でない場合、そのときには乗数値 $M1$ 206は、変更されない。矢印202によって表されるように乗算機能203に入る dTi の位相誤差ワードは、 $M1$ によって乗算され、そしてその結果は、矢印207によって示されるように多重化機能(multiplexing function)208へと供給される。それ故に、 dTi の位相誤差ワードは、多重化機能208の出力へと供給され、そして矢印209上で値 dTi_norm になる。

【0033】

しかしながら、 dTi の位相誤差ワードが、負であり、そして以前の $dTi - 1$ の位相誤差ワードもまた、負である場合、そのときには乗数値 $M1$ は、アップデートされる。 dTi と、以前の $dTi - 1$ との間の差が、決定される。処理ブロック210の中で、最後の10個のそのような差の移動平均(running average)が、保持される。その移動平均は、矢印211によって示されるように処理ブロック212へと供給される。ブロック212において、乗数 $M1$ は、移動平均の逆数を取ることと、次いでこの逆数を値 k によって乗算することによって、決定される。

【0034】

したがって、破線146上に配置される、図12における負の dTi 「デジタル出力(DIGITAL OUT)」値では、負の値は、 dTi 値が図12のグラフにおいて垂直次元の中で移

10

20

30

40

50

動されるように、乗数 $M1$ によって乗算され、その結果、結果として生じる dTi_norm 値は、位相デジタル伝達関数線 147 上にあるようになる。同様に、以前の負の $dTi - 1$ 値はまた、 $dTi - 1$ 値が図 12 のグラフにおいて垂直次元の中で移動されるように、乗数 $M1$ によって乗算され、その結果、結果として生じる $dTi - 1_norm$ 値は、位相デジタル伝達関数線 147 上にあるようになる。オフセットミスマッチ（オフセットミスマッチは、以下で説明される）が存在しない場合、そのときには dTi_norm 値、 dTi_norm と $dTi - 1_norm$ と、は、ただ図 13 B のオペレーションを不変のまま通過し、そして図 13 B の処理から、訂正された dTi_corr と $dTi - 1_corr$ との第 2 の位相誤差ワードとして出力される。

【0035】

10

この PVT 遅延正規化の背後にある原理は、DCO 出力周波数 $F1$ が、ロックされ、そして PLL が、ロック状態にあるときに約 0.1 ppm ($0.1 \text{ parts per million}$) に実質的に固定されることであり、そしてこれは、PVT 変化に起因した遅延要素遅延における変化にわたって真のままである。それ故に、DCO 期間 TDCO は、固定され、そして基準クロック XO の知られている期間によって $N \cdot f$ を乗算することにより決定されることができる。以下の式 1 の関係は、それ故に真である。式 1 において、 Ni は、 dTi が測定されたときにループ分周器 129 が、分周した除数値 N を表す。

【0036】

$$dTi - dTi - 1 = (Ni - N \cdot f) * Tvco \quad (\text{式 1})$$

20

式の左辺の単位は、遅延要素の遅延である。式の右辺の単位は、秒である。それ故に、式 1 は、PLL が動作しているときに、位相デジタル変換器 126 の中の遅延要素の秒における遅延を決定するために使用されることができる。また、 $(dTi - dTi - 1)$ は、遅延要素の遅延に比例している。ひとたび $(dTi - dTi - 1)$ が、遅延要素の遅延に比例していることが認識された後に、値 $(dTi - dTi - 1)$ は、遅延要素の遅延における変化を明らかにするために dTi 測定値を正規化するために使用されることができることが認識される。したがって、図 13 A のプロセスフローの中で、おのこの負の dTi 値は、値 $(dTi - dTi - 1)$ によって効果的に分周される。第 2 の位相誤差ワードの訂正されたストリームの実際の傾斜は、第 2 の位相誤差ワードのストリームの傾斜が遅延要素の伝搬遅延における変化と共に変化しないことを保証しているほど重要ではない。したがって、値 k によって $(dTi - dTi - 1)$ の移動平均の逆数を乗算することによる、処理ブロック 212 における乗算値 (multiplication value) $M1$ の決定は、オプションである。値 k は、結果として生じる正規化された伝達関数の傾斜に影響を及ぼす。

30

【0037】

図 14 は、どのようにして新規訂正回路 132 が、PVT 遅延正規化を実行するかを示す一例を示している。インパータ遅延が、15 ピコ秒である第 1 の PVT 状態では、第 1 の 1 対の dTi の位相誤差ワードは、DLPC 134 によって測定される。第 1 の dTi の第 1 の位相誤差ワードは、 N によって分周するループ分周器 129 のためのものである。第 1 の dTi の第 1 の位相誤差ワードは、10 である。第 1 の位相誤差ワードのうちの第 2 の $dTi - 1$ は、 $N + 1$ によって分周するループ分周器 129 のためのものである。第 2 の $dTi - 1$ の第 1 の位相誤差ワードは、-5 である。これら 2 つの dTi の位相誤差ワードは、位相デジタル伝達関数線の第 1 の傾斜を示す。図 15 において、線 148 は、この第 1 の傾斜を示す。

40

【0038】

図 13 A の処理が、追隨されるとき、 dTi 値と $dTi - 1$ 値とのおのこのは、その分母 (denominator) に値 $(dTi - dTi - 1)$ を有する乗数 $M1$ によって乗算される。図 14 の例における乗数 $M1$ は、0.06 である。乗算は、それぞれ 0.6 および -0.3 という dTi_norm 値および $dTi - 1_norm$ 値を生成する。その 1 対の dTi_norm 値は、位相デジタル伝達関数線の正規化された傾斜を示す。図 15 において、線 149 は、この正規化された傾斜を示す。第 1 の位相誤差ワードのストリームが、利得ミスマッチ不完全性、またはオフセットミスマッチ不完全性を示さない場合、そのときに

50

は図13Bの処理は、 dTi_norm 値と $dTi-1_norm$ 値とを変更せず、そして dTi_norm 値と $dTi-1_norm$ 値とは、その処理を通過し、そしてデジタルループフィルタ127に対して供給されるように、1対の第2の位相誤差ワード dTi_corr と $dTi-1_corr$ となる。処理ステップ212において、乗数値が、 k によって乗算することにより決定される場合、そのときには図14の例において、第2の位相誤差ワードのストリームの傾斜は、 $1/TDCO$ によって与えられる。

【0039】

次に、図14の例においては、インバータ遅延に、25ピコ秒へと変化するようにさせるPVT状態における変化が存在する。第2の1対の第1の位相誤差ワードは、DLPC134から出力される。図14の例においては、これらの dTi 値および $dTi-1$ 値は、20および11である。この第2の対の第1の位相誤差ワードは、位相デジタル伝達関数線の第2の傾斜を示す。図15において、線150は、この第2の傾斜を示す。図13Aの処理が追従されるときに、M1の乗数は、0.1である。結果として生じる dTi_norm 値および $dTi-1_norm$ 値は、それぞれ2および1.1である。それ故に、この第2の対の dTi_norm 値は、第1の対の dTi_norm 値がそうであったように、同じ傾斜（線149の $1/TDCO$ ）を示すことが分かる。したがって、新規訂正部分132は、PVT変動に起因した遅延線142の遅延要素の遅延における変化に起因した位相デジタル伝達関数利得における変化について訂正する。

【0040】

PVT変動に起因した位相デジタル利得変化に加えて、新規訂正部分132が訂正する、他のタイプの位相デジタル伝達関数の不完全性が存在する。図16は、「利得ミスマッチ」と称される不完全性のタイプを示している。DLPC134から出てくる値 dTi の位相デジタル伝達関数は、負の dTi 値については第1の利得151を示すことができるが、但し正の dTi 値については第2の利得152を示すことができる。図16において、151とラベル付けされる破線の左の部分は、152とラベル付けされる破線の右の部分よりも急な傾斜を有することに注意すべきである。新規訂正部分132は、全般的位相デジタル伝達関数の位相デジタル変換器126が、単一の利得153を有するように位相デジタル伝達関数を訂正する。

【0041】

どのようにして訂正部分132が、図16の利得ミスマッチ状態を訂正するかが、図13Aに示される。負の dTi の第1の位相誤差ワードは、処理213によって訂正されるのに対して、正の dTi の第1の位相誤差ワードは、処理214によって訂正される。矢印204は、ゼロまたは正である dTi 値のフローを示している。乗算プロセス205に入る dTi の第1の位相誤差ワードは、乗数値M2によって乗算され、その結果、正規化された dTi 値は、矢印215によって示されるように、多重化機能208へと供給される。 dTi 値がゼロまたは正である状況においては、多重化機能208は、「0」入力を乗算機能出力に対して結合する。 dTi の位相誤差ワードは、それ故に多重化機能208の出力へと供給され、そして矢印209上で値 dTi_norm になる。 dTi と以前の $dTi-1$ とが、ゼロまたは正である場合だけに、乗数値M2は、ブロック216および217のプロセスを通してアップデートされる。したがって、負の dTi 値は、処理213においては第1の乗数M1によって正規化されるのに対して、正の dTi 値は、処理214において第2の乗数M2によって正規化されることが分かる。異なる乗数値は、図16の破線の左および右の部分151および152の傾斜を異なるように調整する役割を果たし、その結果、それらは両方ともに、訂正されるように、同じ傾斜を有するようになる。

【0042】

図17は、利得ミスマッチについて訂正する訂正部分132の一例を示している。第1の1対の正の dTi 値、10および1では、図13Aの右の部分の処理214は、0.1という乗数値M2をもたず。伝達関数の傾斜は、それ故に $1/TDCO$ に調整される。図18は、矢印154を用いてこの調整を示している。第2の1対の負の dTi 値、-1

10

20

30

40

50

および - 11 では、図 13 A の左の部分の処理 213 は、0.09 という乗数値 M1 をもたらす。伝達関数の傾斜は、それ故に $1 / TDCO$ に調整される。図 18 は、矢印 155 を用いてこの調整を示している。訂正後に、全般的位相デジタル変換器 126 の位相デジタル伝達関数の正の部分と負の部分との両方は、同じ傾斜を有することに注意すべきである。

【0043】

図 19 は、新規訂正部分 132 が訂正する、別のタイプの位相デジタル伝達関数の不完全性を示している。このタイプの不完全性は、オフセットミスマッチと称される。オフセットミスマッチについての訂正は、図 13 B に示される処理 218 によって実行される。

【0044】

図 13 B において、ブロック 219 ~ 222 によって表される処理は、垂直オフセットミスマッチ C の大きさを測定する。現在の dTi_norm 値が N0 である場合、そして dTi_norm と以前の $dTi - 1_norm$ とが、決定ブロック 219 において決定されるのと同じ符号を有する場合、そのときには処理は、処理 220 へと進む。しかしながら、 dTi_norm と以前の $dTi - 1_norm$ とが、異なる符号を有する場合、そのときには処理は、処理 221 へと進む。処理 222 は、垂直オフセット C の大きさを決定する。 dTi_norm が、処理 223 によって決定されるときに正である場合、そのときには垂直オフセット値 C は、処理 224 においてオフセット値 C を dTi_norm に加えることにより dTi_norm 値から効果的に差し引かれる。概念的には、これは、負の部分 157 と位置合わせするために伝達関数の正の部分 156 (図 19 参照) を下方に移動することを意味する。図 13 B の処理 222 によって決定される計算されたオフセット C は、実際には負の数であり、それで dTi_norm に処理 224 によって加えられる値 C は、実際には伝達関数の部分 156 を下方に移動する役割を果たす。他方、 dTi_norm 値が、処理ブロック 223 によって決定されるときにゼロまたは負である場合、そのときには dTi_norm 値は、位相デジタル伝達関数線の左側上での測定値を表す。 dTi_norm 値は、それ故に修正されない。概念的には、これは、図 19 の伝達関数の負の部分 157 を下方に移動しないことを意味する。これは、ブロック 225 によって示され、このブロックにおいては dTi_corr 値は、単に入来 dTi_norm 値である。

【0045】

図 20 は、図 17 の利得ミスマッチ訂正例の第 2 の部分を示している。その例の最初の部分は、図 17 および 18 に示され、そして利得ミスマッチについて訂正する役割を果たす。その例の後続の部分は、図 20 および 21 に示され、そしてオフセットミスマッチについて訂正する役割を果たす。第 1 の 1 対の 1 および - 0.3 という正の dTi_norm 値および $dTi - 1_norm$ 値では、値 B は、図 13 B のブロック 221 の処理に従って 1.3 になるように決定される。図 17 の例においては 2 つの他の dTi_norm 値および $dTi - 1_norm$ 値も存在し、そしてそれらは、1 および 0.1 である。図 13 B の処理 220 に従って、値 A は、0.9 になるように決定される。垂直オフセット値 C は、それ故に処理 222 において - 0.4 になるように決定される。図 13 B の処理 224 において、正の dTi_norm 値は、値 C だけ減じられ、その結果、垂直オフセットは、位相デジタル伝達関数から削除されるようになる。

【0046】

図 21 は、図 17 および 18 の利得ミスマッチ訂正と、図 20 の後続のオフセット訂正との組み合わせられた結果を示す図である。矢印 158 は、図 20 の例の中でオフセット訂正を実行するオペレーションを表す。

【0047】

図 22 は、新規の一態様に従う一方法のフローチャートである。PDC ADPLL の位相デジタル変換器部分は、基準信号 XO とフィードバック信号 DIV_OUT とを受け取り、そしてこれらの 2 つの信号から第 1 の位相誤差ワードのストリームを生成する。第 1 の位相誤差ワードのうち的一方 $dTi - 1$ は、PLL のループ分周器が、除数値 N によ

10

20

30

40

50

って分周しているときに決定される（ステップ300）。第1の位相誤差ワードのうちの
 他方 dTi は、ループフィルタが、除数値 $N+1$ によって分周しているときに決定される
 （ステップ301）。訂正部分は、2つの第1の位相誤差ワード $dTi-1$ および dTi
 を受け取り、そしてそれら2つのワードの間の差を決定する。この差は、乗数値を決定す
 るために使用される（ステップ302）。次いで乗数値は、 $dTi-1$ が第1の第2の位
 相誤差ワード dTi_corr になるようにスケーリングするために、そして dTi が第
 2の第2の位相誤差ワード dTi_corr になるようにスケーリングするために、使用
 される（ステップ303および304）。2つの第2の位相誤差ワード $dTi-1_corr$
 と dTi_corr とは、第2の位相誤差ワードのストリーム的一部分としてループ
 フィルタに供給される（ステップ305）。ステップ300～305の結果は、PDC部
 分内の遅延線の中の遅延要素伝搬遅延における変化が、全般的位相デジタル伝達関数の中
 で傾斜の変化を引き起こさないようにする、PDC部分と訂正部分との全般的位相デジタル
 伝達関数の傾斜の正規化である。

10

【0048】

ある種の特実の実施形態は、教育の目的のために上記に説明されるが、本特許文書の教
 示は、一般的な適用可能性を有し、そして上記に説明される特実の実施形態だけには限定
 されない。上記に説明される新規の位相デジタル伝達関数の訂正方法は、上記に示される
 PDC ADPLLの特実のインプリメンテーションだけには限定されない。新規の本方
 法は、PDCが、遅延線を用いて時間を測定することにより動作する限り、使用されるこ
 とができる。例えば、新規の本方法は、PFDを含まないPDCの中で使用可能である。
 さらに、上記に示される新規の位相デジタル伝達関数の訂正方法は、除数が N から $N+1$
 へと変更される状況において（ $dTi-1-dTi$ ）を決定することだけに限定されず、
 そうではなくてシグマデルタ変調器が、ループ分周器が N によって、そして次いで $N+1$
 でない別の除数（例えば、 $N+2$ 、または $N+3$ 、あるいは $N-1$ 、または $N-2$ ）によ
 って分周するように制御するADPLLに対しても同様によく適用される。したがって、
 説明された特実の実施形態の様々な特徴についての様々な修正、適応、および組合せは、
 添付の特許請求の範囲の範囲を逸脱することなく実行されることができる。

20

本願出願時の請求項1-14に対応する記載を下記に付記1-24として表記する。

付記1

第1の信号を出力するデジタル制御発振器（DCO）と、
 前記第1の信号を受け取り、そして第2の信号を出力するループ分周器と、
 基準信号と前記第2の信号とを受け取り、そして第2の位相誤差ワードのストリームを生
 成する位相デジタル変換器（PDC）と、
 を備え、前記PDCは、全般的位相デジタル伝達関数を有し、そして前記PDCは、
 第1の位相誤差ワードのストリームを出力する位相デジタル変換器部分であって、前記P
 DC部分が、第1の位相デジタル伝達関数を有する位相デジタル変換器部分と、
 前記全般的位相デジタル伝達関数が、前記第1の位相デジタル伝達関数とは異なるよう
 に、第1の位相誤差ワードの前記ストリームを受け取り、そして第2の位相誤差ワードの前
 記ストリームを生成する訂正部分と、
 を備える、位相ロックループ（PLL）回路。

30

40

付記2

第2の位相誤差ワードの前記ストリームを受け取り、前記ストリームにフィルタをかけ、
 そして同調ワードのストリームを前記DCOに対して出力するデジタルループフィルタを
 さらに備える付記1に記載のPLL。

付記3

前記第1の位相デジタル伝達関数は、第1の利得を有し、そして前記訂正部分は、前記全
 般的位相デジタル伝達関数が、第2の利得を有するように、第2の位相誤差ワードの前記
 ストリームを生成する、付記1に記載のPLL。

付記4

前記第1の位相デジタル伝達関数は、利得ミスマッチを示し、そして前記訂正部分は、前

50

記全般的位相デジタル伝達関数が、実質的により少ない利得ミスマッチを有するように、
第 2 の位相誤差ワードの前記ストリームを生成する、付記 1 に記載の P L L。

付記 5

前記第 1 の位相デジタル伝達関数は、オフセットミスマッチを示し、そして前記訂正部分
は、前記全般的位相デジタル伝達関数が、実質的により少ないオフセットミスマッチを有
するように、第 2 の位相誤差ワードの前記ストリームを生成する、付記 1 に記載の P L L
。

付記 6

前記ループ分周器は、第 1 の第 1 の位相誤差ワード ($d T i - 1$) が、前記位相デジタル
変換器部分によって生成されるときに、第 1 の除数 N によって分周し、前記ループ分周器
は、第 2 の第 1 の位相誤差ワード ($d T i$) が、前記位相デジタル変換器部分によって生
成されるときに、第 2 の除数 $N + 1$ によって分周し、前記訂正部分は、 $d T i$ と $d T i -$
 1 との間の差を決定し、そして乗数値を決定するために前記差を使用し、そして前記訂正
部分は、第 1 の位相誤差ワードの前記ストリームの少なくとも一部分を正規化するために
前記乗数値を使用する、付記 1 に記載の P L L。

10

付記 7

前記ループ分周器は、第 1 の第 1 の位相誤差ワードが、前記位相デジタル変換器部分によ
って生成されるときに、第 1 の除数 N によって分周し、前記ループ分周器は、第 2 の第 1
の位相誤差ワードが、前記位相デジタル変換器部分によって生成されるときに、第 2 の除
数 $N + 1$ によって分周し、前記訂正部分は、乗数値を決定するために前記第 1 の第 1 の位
相誤差ワードと、前記第 2 の第 1 の位相誤差ワードとの間の差を決定する、付記 1 に記載
の P L L。

20

付記 8

前記訂正部分は、前記乗数値によって前記第 1 の第 1 の位相誤差ワードを乗算し、そして
前記訂正部分は、前記乗数値によって前記第 2 の第 1 の位相誤差ワードを乗算する、付記
7 に記載の P L L。

付記 9

前記位相デジタル変換器の前記位相デジタル変換器部分は、
複数のノード $N 1 \sim N N$ を有するデジタル論理遅延要素のチェーン、ここにおいて、デジ
タル信号は、伝搬遅延時間の中でノード $N 1$ からノード $N N$ へと前記全体のチェーンを通
して伝搬することができる；
複数の順次論理要素、ここにおいて、各順次論理要素は、入力リード線を有し、前記順次
論理要素のおのおのそれぞれ 1 つの前記入力リード線は、前記ノード $N 1 \sim N N$ のうちの
対応するそれぞれ 1 つに結合され、前記第 2 の信号は、周期を有し、そして前記周期は、
実質的に前記伝搬遅延時間の 2 倍よりも大きい；
を備える、付記 1 に記載の P L L。

30

付記 10

前記基準信号は、前記基準信号の各周期中に第 1 のエッジと第 2 のエッジとを有し、前記
第 2 の信号は、前記第 2 の信号の各周期中に第 1 のエッジと第 2 のエッジとを有し、そし
て前記第 1 の位相誤差ワードのおのおのは、前記基準信号の第 1 のエッジが起きる時刻と
、前記第 2 の信号の第 1 のエッジが起きる時刻との間のいくつかの遅延要素の遅延を表す
デジタル値であり、前記 P D C の前記位相デジタル変換器部分は、前記基準信号の第 2 の
エッジ、または前記第 2 の信号の第 2 のエッジのいずれかに対して相対的ないくつかの遅
延要素の遅延を示すデジタルワードを出力しない、付記 1 に記載の P L L。

40

付記 11

各第 1 の位相誤差ワードは、符号ビットを有する符号付きデジタル値であり、前記符号ビ
ットは、前記基準信号と、前記第 2 の信号との間の位相関係を示す、付記 1 に記載の P L
L。

付記 12

前記第 1 の信号は、周波数 $F 1$ を有し、前記 P D C の前記位相デジタル変換器部分は、デ

50

デジタル論理遅延要素のチェーンを含み、そして信号は、決してF 1の4分の1よりも高い周波数を有するデジタル論理遅延要素の前記チェーンを通して伝搬するようにされない、付記1に記載のPLL。

付記13

前記訂正部分によって受信される前記第1の位相誤差ワードは、正の第1の位相誤差ワードと、負の第1の位相誤差ワードとを含み、そして前記訂正部分は、前記正の第1の位相誤差ワードを第1のやり方で処理し、そして前記負の第1の位相誤差ワードを第2のやり方で処理する、付記1に記載のPLL。

付記14

前記第1の位相デジタル伝達関数は、第1の範囲の値における第1の位相誤差ワードに関連する第1の部分を含み、前記第1の位相デジタル伝達関数は、第2の範囲の値における第1の位相誤差ワードに関連する第2の部分を含み、前記第1の部分は、第1の位相デジタル利得を示し、前記第2の部分は、第2の位相デジタル利得を示し、前記訂正部分は、それが前記第2の範囲における第1の位相誤差ワードの前記位相デジタル利得を調整するのとは異なるように、前記第1の範囲における第1の位相誤差ワードの前記位相デジタル利得を調整する、付記1に記載のPLL。

10

付記15

前記PDCの前記訂正部分は、前記第1の位相デジタル伝達関数における利得ミスマッチと、前記第1の位相デジタル伝達関数におけるオフセットミスマッチとの両方について、前記利得ミスマッチと前記オフセットミスマッチとが、前記全般的位相デジタル伝達関数において存在しないように、訂正する、付記14に記載のPLL。

20

付記16

前記ループ分周器は、整数部分Nと小数部分fとを有する除数N・fによって分周し、前記PDCの前記訂正部分は、前記除数を受け取り、そして第1の乗数値と第2の乗数値とを決定するために前記除数を使用し、そして前記訂正部分は、第1の組の前記第2の位相誤差ワードを生成するために第1の組の前記第1の位相誤差ワードを前記第1の乗数値によって乗算し、そして前記訂正部分は、第2の組の前記第2の位相誤差ワードを生成するために第2の組の前記第1の位相誤差ワードを前記第2の乗数値によって乗算する、付記1に記載のPLL。

付記17

30

(a) 位相デジタル(PDC)完全デジタル位相ロックループ(ADPLL)において、第1の第1の位相誤差ワード $dTi-1$ を決定すること、ここにおいて、 $dTi-1$ は、前記PDC ADPLLのループ分周器が、除数Nによって分周しているときに決定される；

(b) 前記PDC ADPLLにおいて、第2の第1の位相誤差ワード dTi を決定すること、ここにおいて、 dTi は、前記ループ分周器が、除数N+1によって分周しているときに決定される；

(c) 乗数値を決定するために dTi と $dTi-1$ との間の差を使用すること；

(d) 第1の第2の位相誤差ワード $dTi-1_corr$ を生成するように $dTi-1$ をスケールリングするために前記乗数値を使用すること；

40

(e) 第2の第2の位相誤差ワード dTi_corr を生成するように $dTi-1$ をスケールリングするために前記乗数値を使用すること；

を備える方法。

付記18

$dTi-1$ および dTi は、前記PDC ADPLLの位相デジタル変換器部分によってステップ(a)および(b)において生成され、前記位相デジタル変換器部分は、第1の位相デジタル伝達関数を有し、前記第1の位相デジタル伝達関数は、温度に依存した利得を有し、前記の $dTi-1_corr$ と dTi_corr とは、前記PDC ADPLLの訂正部分によってステップ(d)および(e)において生成され、前記位相デジタル変換器部分および前記訂正部分は、一緒に、第2の位相デジタル伝達関数を有し、そして前

50

記第 2 の位相デジタル伝達関数は、実質的に温度と独立した利得を有する、付記 17 に記載の方法。

付記 19

$dTi - 1$ および dTi は、前記 PDC ADPLL の位相デジタル変換器部分によってステップ (a) および (b) において生成され、前記位相デジタル変換器部分は、第 1 の位相デジタル伝達関数を有し、前記第 1 の位相デジタル伝達関数は、利得ミスマッチ不完全性を示し、前記の $dTi - 1_corr$ および dTi_corr は、前記 PDC ADPLL の訂正部分によってステップ (d) および (e) において生成され、前記位相デジタル変換器部分と前記訂正部分とは、一緒に、第 2 の位相デジタル伝達関数を有し、そして前記第 2 の位相デジタル伝達関数は、実質的に利得ミスマッチ不完全性のないことを示す、付記 17 に記載の方法。

10

付記 20

$dTi - 1$ および dTi は、前記 PDC ADPLL の位相デジタル変換器部分によってステップ (a) および (b) において生成され、前記位相デジタル変換器部分は、第 1 の位相デジタル伝達関数を有し、前記第 1 の位相デジタル伝達関数は、オフセットミスマッチ不完全性を示し、前記の $dTi - 1_corr$ および dTi_corr は、前記 PDC ADPLL の訂正部分によってステップ (d) および (e) において生成され、前記位相デジタル変換器部分および前記訂正部分は、一緒に、第 2 の位相デジタル伝達関数を有し、そして前記第 2 の位相デジタル伝達関数は、実質的にオフセットミスマッチ不完全性のないことを示す、付記 17 に記載の方法。

20

付記 21

基準信号およびフィードバック信号を受け取り、そして第 1 の位相誤差ワードのストリームを出力する位相デジタル変換器部分と、ここにおいて、前記フィードバック信号と前記フィードバック信号とは、実質的に同じ周波数のものであり、前記位相デジタル変換器部分は、温度依存性を示す第 1 の位相デジタル伝達関数を有する；

第 2 の位相誤差ワードのストリームを生成するために第 1 の位相誤差ワードの前記ストリームを処理するための手段と、ここにおいて、前記位相デジタル変換器部分と前記手段とは、一緒に、第 2 の位相デジタル伝達関数を有し、前記処理は、前記第 2 の位相デジタル伝達関数が、実質的に温度に依存しない；

を備える位相ロックループ。

30

付記 22

前記手段は、前記第 1 の位相誤差ワードのうちの第 1 のものと、前記第 1 の位相誤差ワードのうちの第 2 のものとの間の差を決定し、前記手段は、乗数値を生成するために前記差を使用し、前記手段は、前記第 1 の位相誤差ワードのうちの前記第 1 のものを前記乗数値によって乗算し、そして前記手段は、前記第 1 の位相誤差ワードのうちの前記第 2 のものを前記乗数値によって乗算する、付記 21 に記載の位相ロックループ。

付記 23

前記第 1 の位相デジタル伝達関数はまた、利得ミスマッチを示し、そして前記手段は、前記利得ミスマッチが、前記第 2 の位相デジタル伝達関数の中に存在しないように、第 2 の位相誤差ワードの前記ストリームを生成する、付記 21 に記載の位相ロックループ。

40

付記 24

前記第 1 の位相デジタル伝達関数はまた、オフセットミスマッチを示し、そして前記手段は、前記オフセットミスマッチが、前記第 2 の位相デジタル伝達関数の中に存在しないように、第 2 の位相誤差ワードの前記ストリームを生成する、付記 21 に記載の位相ロックループ。

【図 1】

図 1

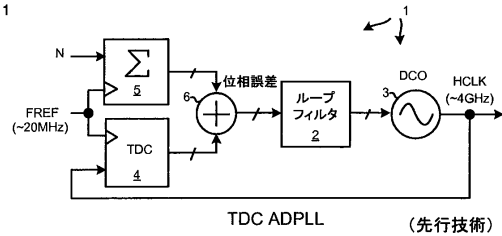


FIG. 1

【図 2】

図 2

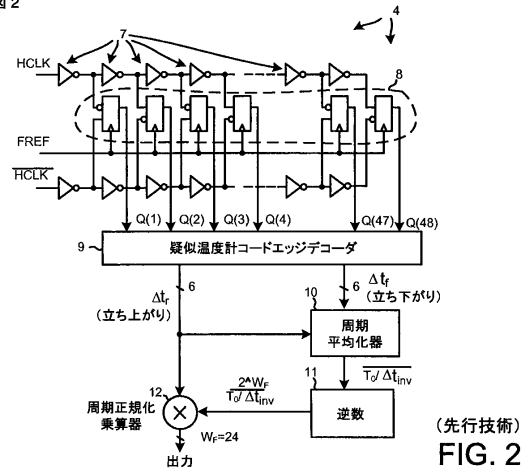


FIG. 2

【図 3】

図 3

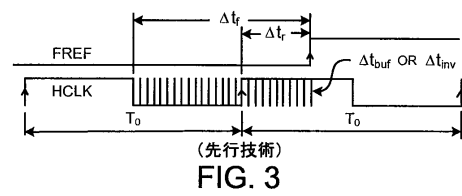


FIG. 3

【図 4】

図 4

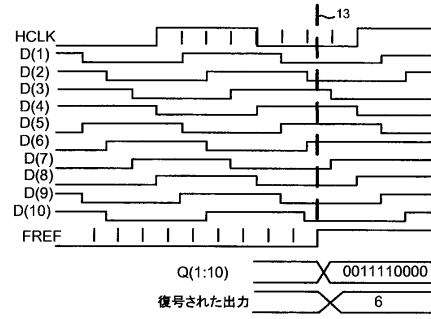


FIG. 4

【図 5】

図 5

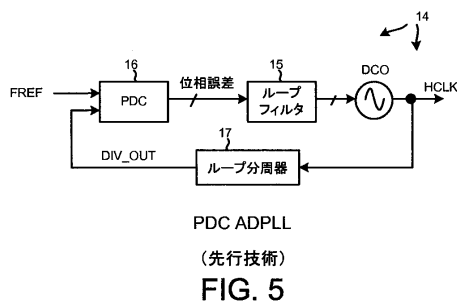


FIG. 5

【図 6】

図 6

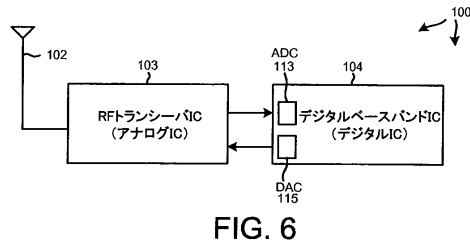


FIG. 6

【図 7】

図 7

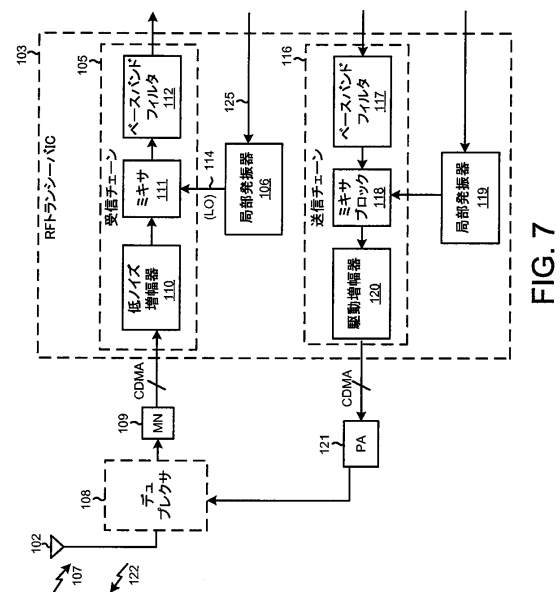


FIG. 7

【図 1 1】

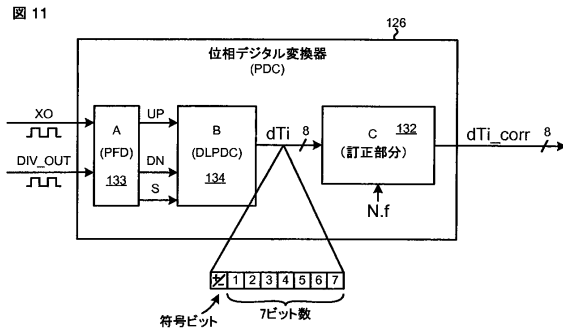


FIG. 11

【図 1 3】

図 13

FIG. 13

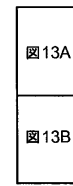
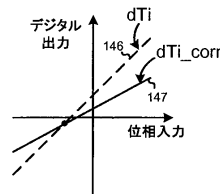


図13の手掛かり

【図 1 2】

図 12



温度または電圧における
変化に起因した利得変化

PDC位相デジタル伝達関数

FIG. 12

【図 1 3 A】

図 13A

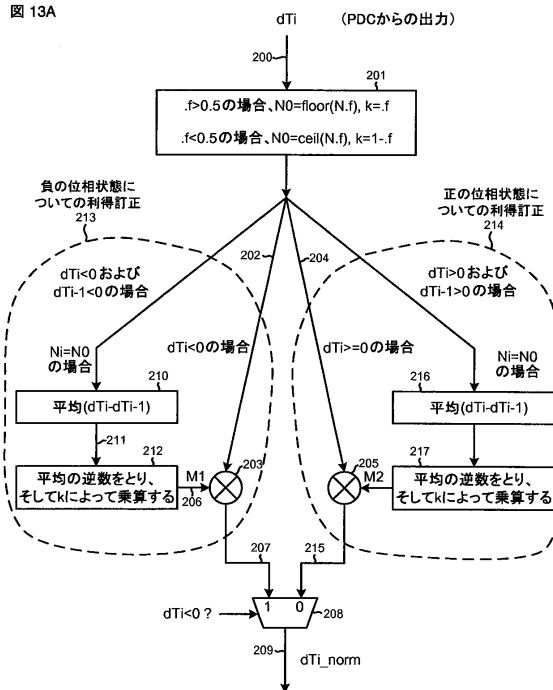


FIG. 13A

【図 1 3 B】

図 13B

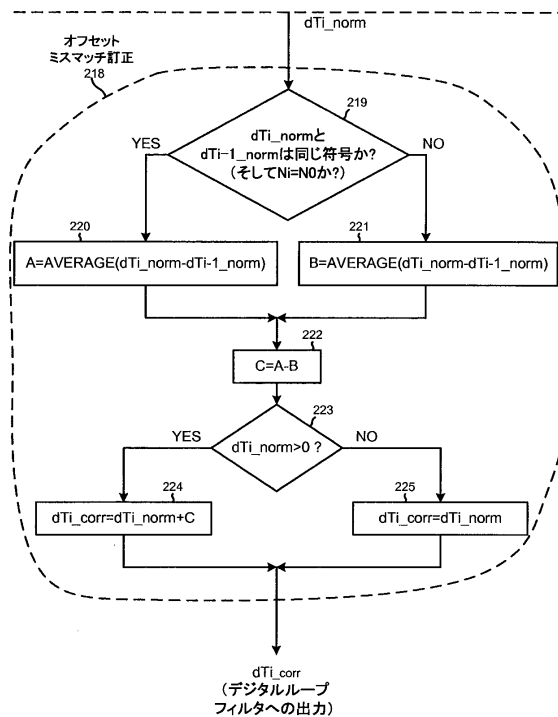


FIG. 13B

【図 14】

図 14

 $Nf = 100.1$
 $N0=101, k=1-0.1=0.9$

PVT1において、インバータ遅延 = 15ps

 $dT_{1_1}=10$ (150ps), $dT_{1_1}=5$ (75ps)

 $dT_{1_1} - dT_{1_1}=10-5= (225ps)$

従って、傾斜は $15/0.9 \cdot TDCO=16.66/TDCO$ であり、ここでTDCOIは、DCO期間である

 $M1 = 0.9 \cdot 1/15=0.06$
 $dT_{1_norm_1}=10 \cdot 0.06=0.6$, $dT_{1_1_norm_1}=5 \cdot 0.06=-0.3$

訂正後傾斜 $=(0.6-(-0.3))/0.9TDCO=1/TDCO$

PVT2において、インバータ遅延 = 25ps

 $dT_{1_2}=20$ (500ps), $dT_{1_2}=11$ (275ps)

 $dT_{1_2} - dT_{1_2}=20-11= (225ps)$

それで傾斜は $9/0.9 \cdot TDCO=10/TDCO$ であり、ここでTDCOIは、DCO期間である

 $M1 = 0.9 \cdot 1/9=0.1$
 $dT_{1_norm_2}=20 \cdot 0.1=2$, $dT_{1_1_norm_2}=11 \cdot 0.1=1.1$

訂正後傾斜 $=(2-1.1)/0.9TDCO=1/TDCO$

それで訂正後に、両方の傾斜は、 $1/TDCO$ になる

例#1:PVT訂正

FIG. 14

【図 15】

図 15

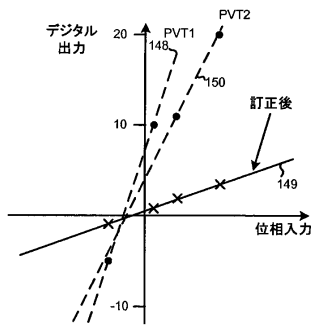


FIG. 15

【図 18】

図 18

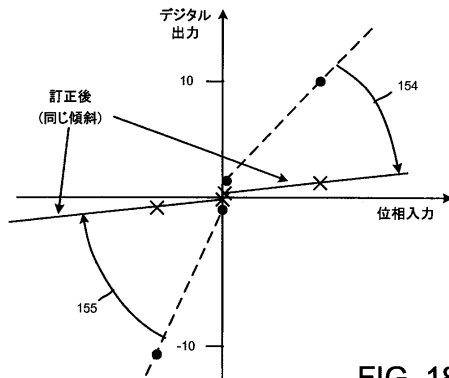
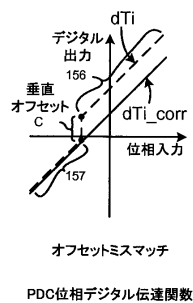


FIG. 18

【図 19】

図 19



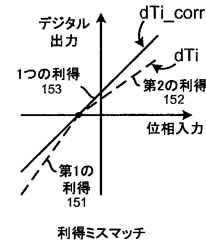
オフセットミスマッチ

PDC位相デジタル伝達関数

FIG. 19

【図 16】

図 16



PDC位相デジタル伝達関数

FIG. 16

【図 17】

図 17

 $Nf = 100.1$
 $N0=101, k=1-0.1=0.9$

遅延ミスマッチを仮定する:

($dT>0$) の場合、インバータ遅延 = 20 ps

($dT<0$) の場合、インバータ遅延 = 18 ps

$dT>0$ となる2つの dTi 値:

 $dT_{1_a}=10$ (200ps), $dT_{1_a}=1$ (20ps)

 $dT_{1_a} - dT_{1_a}=9$ (180ps)

 $M2 = 0.9 \cdot (1/9) = 0.1$
 $dT_{1_norm_a}=10 \cdot 0.1=1$, $dT_{1_1_norm_a}=1 \cdot 0.1=0.1$

従って、傾斜は $(1-0.1)/0.9TDCO=1/TDCO$ である

$dT<0$ となる2つの dTi 値:

 $dT_{1_b}=-1$ (-18ps), $dT_{1_b}=-11$ (-198ps)

 $dT_{1_b} - dT_{1_b}=10$ (180ps)

 $M1 = 0.9 \cdot (1/10) = 0.09$
 $dT_{1_norm_b}=-1 \cdot 0.09=-0.09$, $dT_{1_1_norm_b}=-11 \cdot 0.09=-0.99$

従って、傾斜は $(-0.9-(-0.99))/0.9TDCO=1/TDCO$ である

従って、2つの側は、 $1/TDCO$ という同じ傾斜を有するように正規化される

例#2-部分A:利得ミスマッチ訂正

FIG. 17

【図 20】

図 20

2つの dTi 値で、1つは正であり、1つは負である:

 $dTP>0$: $dTi_norm_c=1$
 $dTi<0$: $dTi_1_norm_c=-0.3$
 $B = dTi_norm_c - dTi_1_norm_C = 1-(-0.3) = 1.3$

図17から、2つの値 dTi_norm が同じ符号を有するとき:

 $dTi_norm_a=1$
 $dTi_1_norm_a=0.1$
 $A = dTi_norm - dTi_1_norm = 0.9$

従って、オフセットは、次のようになる:

 $C = A-B = 0.9-1.3 = -0.4$

それで値 >0 の場合に、 $dTi_corr = dTi_norm + C = dTi_norm - 0.4$

 $dTi_corr_a = 1-0.4 = 0.6$
 $dTi_1_corr_a = 0.1-0.4 = -0.3$
 $dTi_1_corr_c = 1-0.4 = 0.6$

例#2-部分B:オフセットミスマッチ訂正

FIG. 20

【図 21】

図 21

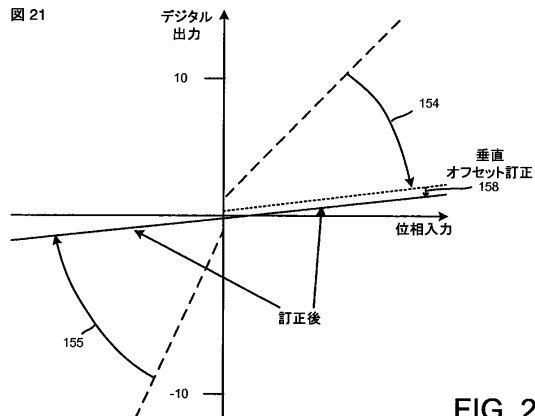


FIG. 21

【図 22】

図 22

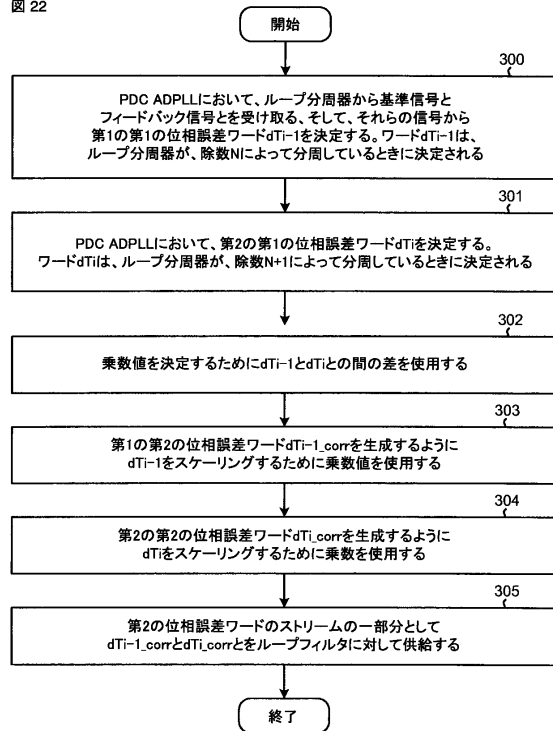


FIG. 22

フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 ジャン、ガン
アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ド
ライブ 5775

審査官 佐藤 聡史

- (56)参考文献 特開平07-095055(JP,A)
特開2001-326830(JP,A)
特開2007-259431(JP,A)
米国特許出願公開第2007/0075785(US,A1)
特開2002-204160(JP,A)
特開平08-154053(JP,A)
特開2006-333487(JP,A)
特開平10-322198(JP,A)
特開平08-265140(JP,A)
特開昭62-126712(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03L 7/00 - 7/26