M417634

(19)中華民國智慧財產局

(12)新型說明書公告本 **(11)證書號數：TW M417634U1**

(45)公告日： 中華民國 100 (2011) 年 12 月 01 日

(21)申請案號：100200843 (22)申請日： 中華民國 100 (2011) 年 01 月 14 日

(51)Int. Cl.： *G11C14/00 (2006.01)*

(71)申請人：修平技術學院(中華民國) HSIUPING INSTITUTE OF TECHNOLOGY (TW)
臺中市大里區工業路 11 號

(72)創作人：蕭明椿 SHIAU, MING CHUEN (TW)；黃淳德 HUANG, CHUEN DER (TW)；唐國泰 TANG, GUO QIN (TW)；管展均 GUAN, JHAN JYUN (TW)

申請專利範圍項數：3 項 圖式數：8 共 24 頁

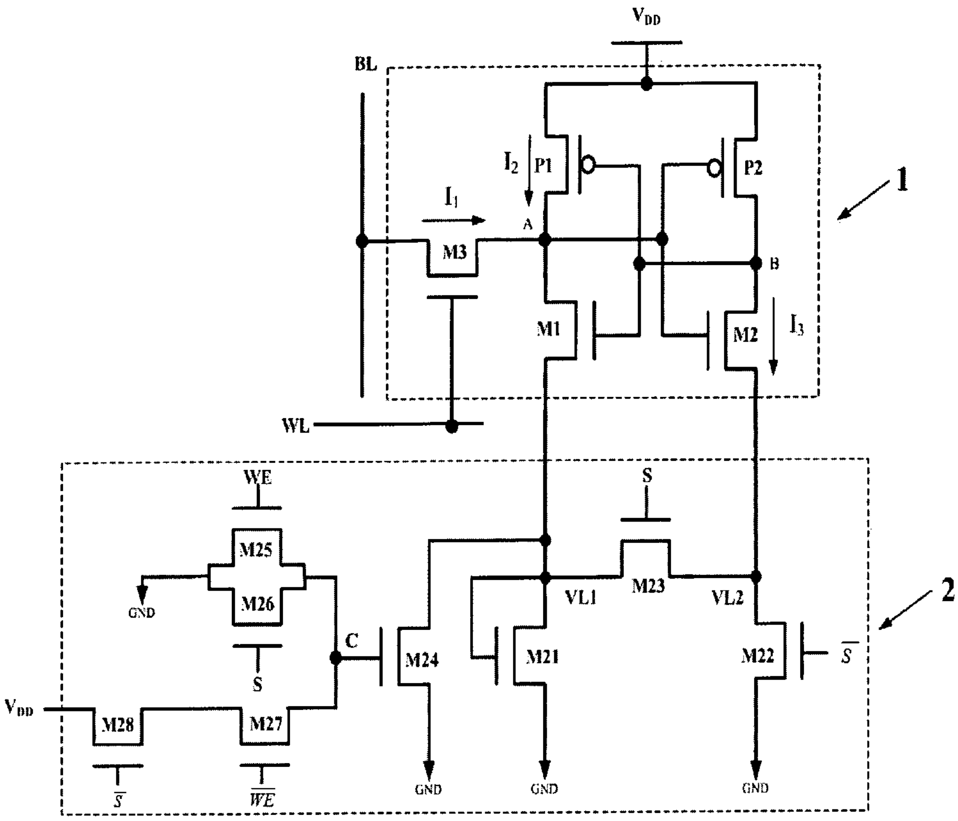
(54)名稱

５Ｔ單埠靜態隨機存取記憶體

5T SINGLE PORT SRAM

(57)摘要

本創作提出一種 5T 單埠靜態隨機存取記憶體，其主要包括一記憶體陣列以及複數個控制電路(2)，該記憶體陣列係由複數個記憶體區塊所組成，每一記憶體區塊設置一個控制電路，且每一記憶體區塊更包括複數個記憶體晶胞(1)，每一記憶體晶胞(1)則由一 NMOS 存取電晶體(M3)、二 NMOS 驅動電晶體(M1 和 M2)及二 PMOS 負載電晶體(P1 和 P2)所組成。每一控制單元係連接至對應記憶體區塊中之每一記憶晶胞的二 NMOS 驅動電晶體的源極端，以便因應不同操作模式而控制該等源極端之源極電壓，於寫入模式時，將選定記憶體晶胞中較接近位元線之驅動電晶體(M1)的源極電壓設定成較接地電壓為高之一預定電壓且將選定晶胞中另一驅動電晶體(M2)的源極電壓設定成接地電壓，以便防止寫入邏輯 1 困難之問題；於待機模式時，將所有記憶體晶胞中之驅動電晶體的源極電壓設定成較接地電壓為高之該預定電壓，以便降低漏電流；而於其他模式時則將所有記憶體晶胞中之驅動電晶體的源極電壓設定成接地電壓，以便維持讀取穩定度。



第 6 圖

$\overline{S}$

$\overline{WE}$

P1．．．第一 PMOS 電晶體

P2．．．第二 PMOS 電晶體

M1．．．第一 NMOS 電晶體

M2．．．第二 NMOS 電晶體

M3．．．第三 NMOS 電晶體

WL．．．字元線

BL．．．位元線

A．．．儲存節點

B．．．反相儲存節點

V_{DD}．．．電源供應電壓

S．．．待機模式控制信號

$\overline{S}$．．．反相待機模式控制信號

VL1．．．第一低電壓節點

VL2．．．第二低電壓節點

M21．．．第四 NMOS 電晶體

M22．．．第五 NMOS 電晶體

M23．．．第六 NMOS 電晶體

M24．．．第七 NMOS 電晶體

M25．．．第八 NMOS 電晶體

M26．．．第九 NMOS 電晶體

M27・・・第十NMOS電晶體

M28・・・第十一NMOS電晶體

WE・・・寫入致能信號

$\overline{WE}$・・・反相寫入致能信號

1・・・SRAM晶胞

2・・・控制電路

I_1・・・漏電流

I_2・・・漏電流

I_3・・・漏電流

與每一行記憶體晶胞各包括有複數個記憶體晶胞；複數條字元線（word line， WL_1、WL_2 等），每一字元線對應至複數列記憶體晶胞中之一列；以及複數位元線對（bit line pairs，BL_1、$BLB_1...BL_m$、BLB_m 等），每一位元線對係對應至複數行記憶體晶胞中之一行，且每一位元線對係由一位元線（$BL_1...BL_m$）及一互補位元線（$BLB_1...BLB_m$）所組成。

第 1b 圖所示即是 6T 靜態隨機存取記憶體（SRAM）晶胞之電路示意圖，其中，PMOS 電晶體 P1 和 P2 稱為負載電晶體（load transistor），NMOS 電晶體 M1 和 M2 稱為驅動電晶體（driving transistor），NMOS 電晶體 M3 和 M4 稱為存取電晶體（access transistor），WL 為字元線（word line），而 BL 及 BLB 分別為位元線（bit line）及互補位元線（complementary bit line），由於該 SRAM 晶胞需要 6 個電晶體，且驅動電晶體與存取電晶體間的電流驅動能力比（即單元比率（cell ratio））通常設定在 2.2 至 3.5 之間，而導致存在有高集積化困難及價格高等缺失。

第 1b 圖所示 6T 靜態隨機存取記憶體晶胞於寫入操作時之 HSPICE 暫態分析模擬結果，如第 2 圖所示，其係以 level 49 模型且使用 TSMC 0.18 微米 CMOS 製程參數加以模擬。

用來減少 6T 靜態隨機存取記憶體（SRAM）晶胞之電晶體數之一種方式係揭露於第 3 圖中。第 3 圖顯示一種僅具單一位元線之 5T 靜態隨機存取記憶體晶胞之電路示意圖，與第 1 圖之 6T 靜態隨機存取記憶體晶胞相比，此種 5T 靜態隨機存取記憶體晶胞比 6T 靜態隨機存取記憶體晶胞少一個電晶體及少一條位元線，惟該 5T 靜態隨機存取記憶體晶胞在不變更 PMOS 電晶體 P1 和 P2 以及 NMOS 電晶體 M1、M2 和 M3 的通道寬長比的情況下存在寫入邏輯 1 相當困難之問題。茲考慮記憶晶胞左側節點 A 原本儲存邏輯 0 的情況，由於節點 A 之電荷僅單獨自位元線（BL）傳送，因此很難將節點 A 中先前寫入的邏輯 0 蓋寫成

邏輯 1。第 3 圖所示 5T 靜態隨機存取記憶體晶胞，於寫入操作時之 HSPICE 暫態分析模擬結果，如第 4 圖所示，其係以 level 49 模型且使用 TSMC 0.18 微米 CMOS 製程參數加以模擬，由該模擬結果可証實，具單一位元線之 5T 靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題。

迄今，有許多具單一位元線之 5T 靜態隨機存取記憶體晶胞之技術被提出，例如非專利文獻 1(I. Carlson et al. ," A high density, low leakage, 5T SRAM for embedded caches," Solid-State Circuits Conference, 2004. ESSCIRC 2004. Proceeding of the 30th European, pp.215-218,2004.)之 5T SRAM 由於係藉由重新設計晶胞中之二驅動電晶體、二負載電晶體以及一存取電晶體之通道寬長比以解決寫入邏輯 1 困難之問題，而造成破壞原有晶胞中之驅動電晶體與負載電晶體之對稱性關係並從而易受製程變異的影響；非專利文獻 2（M. Wieckowski et al. ," A novel five-transistor （5T） SRAM cell for high performance cache," IEEE Conference on SOC, pp.1001-1002,2005.）之 5T SRAM 由於係將一長通道長度之存取電晶體設置於晶胞中之二負載電晶體之間以解決寫入邏輯 1 困難之問題，而造成降低存取速度之缺失；專利文獻 3（98 年 6 月 1 日第 TW M358390 號）所提出之「寫入操作時降低電源電壓之單埠 SRAM」(其主要代表圖如第 5 圖所示）雖可有效解決寫入邏輯 1 困難之問題，惟寫入操作時，由於高電壓節點（VH）在由高電源供應電壓（HV_{DD}）下降至低電源供應電壓（LV_{DD}）的過程中缺乏有效的放電路徑，而造成於高記憶容量及/或高速操作時存在低寫入速度之缺失；專利文獻 4 (90 年 5 月 16 日第 TW 434537 號）所提出之「適用於單位元線同時讀寫之低電壓靜態隨機存取記憶體的六顆電晶體雙埠記憶單元電路」由於係將晶胞中的左側驅動電晶體之源極由原本連接至接地端變更為連接至相對應之寫入字元線以有效解決寫入邏輯 1 困難之問

【實施方式】

根據上述之主要目的，本創作提出一種5T單埠靜態隨機存取記憶體，其主要包括一記憶體陣列，該記憶體陣列係由複數個記憶體區塊所組成，每一記憶體區塊更包括有複數個記憶體晶胞（1）；以及複數個控制電路（2），每一記憶體區塊設置一個控制電路（2）。在此值得注意的是，該記憶體區塊可簡單至僅為一列記憶體晶胞或一行記憶體晶胞。

為了便於說明起見，第6圖所示之5T單埠SRAM僅以一個記憶體晶胞（1）、一條字元線（WL）、一條位元線（BL）、以及一控制電路（2）做為實施例來說明。該記憶體晶胞（1）係包括一第一反相器（由第一PMOS電晶體P1與第一NMOS電晶體M1所組成）、一第二反相器（由第二PMOS電晶體P2與第二NMOS電晶體M2所組成）以及一第三NMOS電晶體（M3），其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出（即節點A）係連接該第二反相器之輸入，而該第二反相器之輸出（即節點B）則連接該第一反相器之輸入，並且該第一反相器之輸出（節點A）係用於儲存SRAM晶胞之資料，而該第二反相器之輸出（節點B）則用於儲存SRAM晶胞之反相資料，該第三NMOS電晶體（M3），係連接在該儲存節點（A）與位元線（BL）之間，且閘極連接至字元線（WL），以作為記憶體晶胞之存取電晶體使用。

請再參考第6圖，該控制電路（2）係由一第四NMOS電晶體（M21）、一第五NMOS電晶體（M22）、一第六NMOS電晶體（M23）、一第七NMOS電晶體（M24）、一第八NMOS電晶體（M25）、一第九NMOS電晶體（M26）、一第十NMOS電晶體（M27）、一第十一NMOS電晶體（M28）所組成，該第四NMOS電晶體（M21）之源極

係連接至接地電壓，而閘極與汲極係連接在一起，並連接至一第一低電壓節點（VL1）；該第五 NMOS 電晶體（M22）之源極、閘極與汲極係分別連接至接地電壓、一反相待機模式控制信號（$\overline{S}$）與一第二低電壓節點（VL2），而該第六 NMOS 電晶體（M23）源極、閘極與汲極係分別連接至該第二低電壓節點（VL2）、一待機模式控制信號（S）與該第一低電壓節點（VL1）；該第七 NMOS 電晶體（M24）之源極連接至接地電壓，汲極連接至該第一低電壓節點（VL1），而閘極則連接至一第八 NMOS 電晶體（M25）之汲極、一第九 NMOS 電晶體（M26）之汲極與一第十 NMOS 電晶體（M27）之源極；該第八 NMOS 電晶體（M25）之源極、閘極與汲極係分別連接至接地電壓、一寫入致能信號（WE）與該第七 NMOS 電晶體（M24）之閘極；該第九 NMOS 電晶體（M26）之源極、閘極與汲極係分別連接至接地電壓、該待機模式控制信號（S）與該第七 NMOS 電晶體（M24）之閘極；該第十 NMOS 電晶體（M27）之源極、閘極與汲極係分別連接至該第七 NMOS 電晶體（M24）之閘極、一反相寫入致能信號（$\overline{WE}$）與一第十一 NMOS 電晶體（M28）之源極；該第十一 NMOS 電晶體（M28）之源極、閘極與汲極則分別連接至該第十 NMOS 電晶體（M27）之汲極、該反相待機模式控制信號（$\overline{S}$）與一電源供應電壓（V_{DD}）。在此值得注意的是，該反相待機模式控制信號（$\overline{S}$）係由該待機模式控制信號（S）經一反相器而獲得，而反相寫入致能信號（$\overline{WE}$）亦係由該寫入致能信號（WE）經一反相器而獲得。

該控制電路（2）係設計成可因應不同操作模式而控制該第一低電壓節點（VL1）與該第二低電壓節點（VL2）之電壓位準，於寫入模式時，將該第一低電壓節點（VL1）設定成較接地電壓為高之一預定電壓且將該第二低電壓節點（VL2）設定成接地電壓，以便防止寫入邏輯 1 困難之問題；於待機模式時，將該第一低電壓節點（VL1）與該第二低

電壓節點（VL2）設定成較接地電壓為高之該預定電壓，以便降低漏電流；而於其他模式時則將該第一低電壓節點（VL1）與該第二低電壓節點（VL2）設定成接地電壓，以便維持讀取穩定度。其詳細工作電壓位準如表1所示，其中節點C之電壓即為該第七NMOS電晶體（M24）之閘極電壓，Max (V_{TM28}, V_{TM27}) 表示 V_{TM27} 與 V_{TM28} 中之較大者，該 V_{TM27} 與 V_{TM28} 分別表示該第十NMOS電晶體(M27)及該第十一NMOS電晶體（M28）之臨界電壓（threshold voltage），而 V_{TM21} 則表示該第四NMOS電晶體（M21）之臨界電壓，在此值得注意的是，於寫入1時該第一低電壓節點（VL1）之電壓為 V_{TM21}，而寫入0時該第一低電壓節點（VL1）之電壓為0V。。

表1　各種工作模式下之電壓位準

WE	S	節點C	VL1	VL2	模式
0	0	$V_{DD}-Max(V_{TM28}, V_{TM27})$	0	0	其他
0	V_{DD}	0	V_{TM21}	V_{TM21}	待機
V_{DD}	0	0	V_{TM21} 或 0	0	寫入

茲依單埠SRAM之工作模式說明第6圖之本創作較佳實施例的工作原理如下：

（Ⅰ）　寫入模式（write mode）

此時該寫入致能信號（WE）為邏輯高位準，該待機模式控制信號（S）為邏輯低位準，而該反相待機模式控制信號（$\overline{S}$）為邏輯高位準，該邏輯高位準之該反相待機模式控制信號（$\overline{S}$）可使得該控制電路（2）中之該第五NMOS電晶體（M22）導通（ON），而該邏輯低位準之該待機模式控制信號(S)使得該第六NMOS電晶體(M23)截止(OFF)，

於是可將該第二低電壓節點（VL2）之電壓拉低至接地電壓，而該第一低電壓節點（VL1）之電壓位準於寫入操作前則等於該第四 NMOS 電晶體（M21）之臨界電壓之位準，俾藉此以有效防止寫入邏輯 1 困難之問題。

接下來依單埠靜態隨機存取記憶晶胞之4種寫入狀態來說明第6圖之本創作較佳實施例如何完成寫入動作。

（一） 節點 A 原本儲存邏輯 0，而現在欲寫入邏輯 0：

在寫入動作發生前（該字元線 WL 為接地電壓），該第一 NMOS 電晶體（M1）為導通（ON）。因為該第一 NMOS 電晶體（M1）為 ON，所以當寫入動作開始時，該字元線（WL）由 Low（接地電壓）轉 High（電源供應電壓 V_{DD}）。當該字元線（WL）的電壓大於該第三 NMOS 電晶體（M3）（即存取電晶體）的臨界電壓時，該第三 NMOS 電晶體（M3）由截止（OFF）轉變為導通（ON），此時因為位元線（BL）是接地電壓，所以會將該節點 A 放電，而完成邏輯 0 的寫入動作，直到寫入週期結束。

（二） 節點 A 原本儲存邏輯 0，而現在欲寫入邏輯 1：

在寫入動作發生前（該字元線 WL 為接地電壓），該第一 NMOS 電晶體（M1）為導通（ON）。因為該第一 NMOS 電晶體（M1）為 ON，所以當寫入動作開始時，該字元線（WL）由 Low（接地電壓）轉 High(該電源供應電壓 V_{DD})，該節點 A 的電壓會跟隨該字元線(WL)的電壓而上升。

當該字元線（WL）的電壓大於該第三 NMOS 電晶體（M3）的臨界電壓時，該第三 NMOS 電晶體(M3)由截止(OFF)轉變為導通(ON)，此時因為該位元線（BL）是 High（該電源供應電壓 V_{DD}），並且因為該第一 NMOS 電晶體(M1)仍為 ON 且該節點 B 仍處於電壓位準為接近於該電源供應電壓(V_{DD})之電壓位準的初始狀態，所以該第一 PMOS

電晶體 P1 仍為截止（OFF），而該節點 A 則會朝一分壓電壓位準快速充電，該分壓電壓位準等於（$R_{M1}+R_{M21}$）/（$R_{M3}+R_{M1}+R_{M21}$）乘以該電源供應電壓（V_{DD}），其中該 R_{M3} 表示該第三 NMOS 電晶體（M3）之導通等效電阻，該 R_{M1} 表示該第一 NMOS 電晶體（M1）之導通等效電阻，而該 R_{M21} 表示該第四 NMOS 電晶體（M21）之導通等效電阻，此時因為第三 NMOS 電晶體（M3）仍工作於飽和區（saturation region）且該第一 NMOS 電晶體（M1）仍工作於線性區（triode region），雖然該第三 NMOS 電晶體（M3）之導通等效電阻（R_{M3}）會遠大於該第一 NMOS 電晶體（M1）之導通等效電阻（R_{M1}），但由於該第四 NMOS 電晶體（M21）係呈二極體連接，因此可於該第一低電壓節點（VL1）處提供一等於該第四 NMOS 電晶體（M21）之閘源極電壓 V_{GS} 之電壓位準，結果節點 A 所呈現的該分壓電壓位準，其電壓值會比第 4 圖之習知 5T 靜態隨機存取記憶體晶胞之該節點 A 之電壓位準還要高許多。該還要高許多之分壓電壓位準足以使該第二 NMOS 電晶體（M2）導通，於是使得節點 B 放電至一較低電壓位準，該節點 B 之較低電壓位準會使得該第一 NMOS 電晶體（M1）之導通等效電阻（R_{M1}）呈現較高的電阻值，該第一 NMOS 電晶體（M1）之該較高的電阻值會於該節點 A 獲得較高電壓位準，該節點 A 之較高電壓位準又會經由一第二反相器（由第二 PMOS 電晶體 P2 與第二 NMOS 電晶體 M2 所組成），而使得該節點 B 呈現更低電壓位準，該節點 B 之更低電壓位準又會經由一第一反相器（由第一 PMOS 電晶體 P1 與第一 NMOS 電晶體 M1 所組成），而使得該節點 A 獲得更高電壓位準，依此循環，即可將該節點 A 充電至該電源供應電壓（V_{DD}），而完成邏輯 1 的寫入動作。

在此值得注意的是，該第一低電壓節點（VL1）於寫入邏輯 1 後，係具有等於該第四 NMOS 電晶體（M21）之臨界電壓之電壓位準。

（三） 節點 A 原本儲存邏輯 1，而現在欲寫入邏輯 1：

在寫入動作發生前（該字元線 WL 為接地電壓），該第一 PMOS 電晶體（P1）為導通（ON）。當該字元線（WL）由 Low（接地電壓）轉 High（該電源供應電壓 V_{DD}），且該字元線（WL）的電壓大於該第三 NMOS 電晶體（M3）的臨界電壓時，該第三 NMOS 電晶體（M3）由截止（OFF）轉變為導通（ON）；此時因為該位元線（BL）是 High（該電源供應電壓 V_{DD}），並且因為該第一 PMOS 電晶體（P1）仍為 ON，所以該節點 A 的電壓會維持於該電源供應電壓（V_{DD}）之電壓位準，直到寫入週期結束。在此值得注意的是，該第一低電壓節點（VL1）於寫入邏輯 1 後，係具有等於該第四 NMOS 電晶體（M21）之臨界電壓之電壓位準。

（四） 節點 A 原本儲存邏輯 1，而現在欲寫入邏輯 0：

在寫入動作發生前（該字元線 WL 為接地電壓），該第一 PMOS 電晶體（P1）為導通（ON）。當該字元線（WL）由 Low（接地電壓）轉 High（該電源供應電壓 V_{DD}），且該字元線（WL）的電壓大於該第三 NMOS 電晶體（M3）的臨界電壓時，該第三 NMOS 電晶體（M3）由截止（OFF）轉變為導通（ON），此時因為該位元線（BL）是 Low（接地電壓），所以會將該節點 A 以及該第一低電壓節點（VL1）放電而完成邏輯 0 的寫入動作，直到寫入週期結束。在此值得注意的是，該第一低電壓節點（VL1）於寫入邏輯 0 後，係具有接地電壓之位準。

第 6 圖所示之本創作較佳實施例，於寫入操作時之 HSPICE 暫態分析模擬結果，如第 7 圖所示，其係以 level 49 模型且使用 TSMC 0.18 微米 CMOS 製程參數加以模擬，由該模擬結果可証實，本創作所提出之 5T 單埠 SRAM，能藉由寫入邏輯 1 時提高該第一低電壓節點（VL1）之電壓位準，以有效避免習知具單一位元線之單埠靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題。

（II） 待機模式（standby mode）

此時該待機模式控制信號（S）為邏輯高位準，而該反相待機模式控制信號（$\overline{S}$）為邏輯低位準，該邏輯低位準之該反相待機模式控制信號（$\overline{S}$）可使得該控制電路（2）中之該第五 NMOS 電晶體（M22）截止（OFF），而該邏輯高位準之該待機模式控制信號（S）則使得該第六 NMOS 電晶體（M23）導通（ON），此時該第六 NMOS 電晶體（M23）係作為等化器(equalizer)使用，因此可藉由呈導通狀態之該第六 NMOS 電晶體（M23），以使得該第一低電壓節點（VL1）之電壓位準相等於該第二低電壓節點（VL2）之電壓位準，因此該等電壓位準均會等於該第四 NMOS 電晶體（M21）之臨界電壓位準。

接下來說明本創作於待機模式（standby mode）時如何減少漏電流，請參考第 6 圖， 第 6 圖描述有本創作實施例處於待機模式時所產生之各漏電流(subthreshold leakage current)I_1、I_2和 I_3，其中假設 SRAM 晶胞中之該第一反相器之輸出（即節點 A）為邏輯 Low（在此值得注意的是，由於待機模式時該第二低電壓節點（VL2）之電壓位準係維持在第四 NMOS 電晶體(M21)之臨界電壓位準，因此節點 A 為邏輯 Low 之電壓位準亦維持在該第四 NMOS 電晶體（M21）之臨界電壓位準），而該第二反相器之輸出（即節點 B）為邏輯 High（電源供應電壓 V_{DD}）。請參考第 1b 圖之先前技藝與第 6 圖之本創作實施例，來說明本創作所提出之 5T 單埠 SRAM 與第 1b 圖之 6T SRAM 於漏電流方面之比較，首先關於流經該第三 NMOS 電晶體（M3）之漏電流 I_1，由於本創作於待機模式時節點 A 之電壓位準係維持在該第四 NMOS 電晶體（M21）

之臨界電壓位準，且假設字元線（WL） 於待機模式時係設定成接地電壓，因此本創作之第三 NMOS 電晶體（M3）的閘源極電壓 V_{GS} 為負值，反觀於待機模式時第 1b 圖先前技藝之 NMOS 電晶體（M3）的閘源極電壓 V_{GS} 等於 0，根據閘極引發汲極洩漏（Gate Induced Drain Leakage，簡稱 GIDL）效應或 2005 年 3 月 8 日第 US6865119 號專利案第 3（A）及 3（B）圖之結果可知，對於 NMOS 電晶體而言，閘源極電壓為-0.1 伏特時之次臨界電流約為閘源極電壓為 0 伏特時之次臨界電流的 1%，因此導因於 GIDL 效應所引發之流經本創作之該第三 NMOS 電晶體(M3)之漏電流 I_1 遠小於第 1b 圖先前技藝之 NMOS 電晶體(M3)者；再者，本創作該第三 NMOS 電晶體（M3）之汲源極電壓 V_{DS} 為該電源供應電壓 V_{DD} 扣減該第四 NMOS 電晶體(M21)之臨界電壓位準，反觀於待機模式時傳統第 1b 圖 6T 靜態隨機存取記憶體之 NMOS 電晶體 M3 之汲源極電壓 V_{DS} 係等於該電源供應電壓 V_{DD}，根據汲極引發能障下跌（Drain-Induced Barrier Lowering，簡稱 DIBL）效應，由於 DIBL 效應所引發之流經本創作之該第三 NMOS 電晶體（M3）之漏電流 I_1 亦小於第 1b 圖先前技藝之 NMOS 電晶體（M3）者；結果，流經本創作之該第三 NMOS 電晶體（M3）之漏電流 I_1 遠小於第 1b 圖先前技藝之 NMOS 電晶體（M3）者。

接著關於流經該第一 PMOS 電晶體（P1）之漏電流 I_2，由於待機模式時該第一 PMOS 電晶體(P1)之源極係為該電源供應電壓(V_{DD})，而該第一 PMOS 電晶體（P1）之汲極係維持在該第四 NMOS 電晶體（M21）之臨界電壓位準，因此本創作之該第一 PMOS 電晶體（P1）

之源汲極電壓 V_{SD} 為該電源供應電壓（V_{DD}）扣減該第四 NMOS 電晶體（M21）之臨界電壓位準，反觀於待機模式時第 1b 圖先前技藝之 PMOS 電晶體（P1）之源汲極電壓 V_{SD} 係等於該電源供應電壓（V_{DD}），根據 DIBL 效應，因此流經該第一 PMOS 電晶體（P1）之漏電流 I_2 會小於第 1b 圖先前技藝之 PMOS 電晶體（P1）者；最後，關於流經該第二 NMOS 電晶體（M2）之漏電流 I3，由於待機模式時該第二低電壓節點（VL2）之電壓位準係維持在第四 NMOS 電晶體（M21）之臨界電壓，節點 A 之電壓位準亦維持在該第四 NMOS 電晶體（M21）之臨界電壓位準，而節點 B 之電壓位準係等於該電源供應電壓（V_{DD}）且該第二 NMOS 電晶體(M2)之基底為接地電壓，因此本創作之該第二 NMOS 電晶體（M2）的基源極電壓 V_{BS} 為負值，且該第二 NMOS 電晶體（M2）之汲源極電壓 V_{DS} 為該電源供應電壓（V_{DD}）扣減該第四 NMOS 電晶體（M21）之臨界電壓位準，反觀於待機模式時第 1b 圖先前技藝之 NMOS 電晶體（M2）的基源極電壓 V_{BS} 等於 0，且 NMOS 電晶體（M2）之汲源極電壓 V_{DS} 等於該電源供應電壓（V_{DD}），根據本體效應（body effect）及 DIBL 效應可知，流經本創作之該第二 NMOS 電晶體（M2）之漏電流 I_3 遠小於第 1b 圖先前技藝之 NMOS 電晶體（M2）者。

經由以上分析可知，本創作於待機模式（standby mode）時確實可有效減少漏電流。

（ III ）其他模式（other mode）

其他模式時，由於所有記憶體晶胞中之驅動電晶體（M1 和 M2)的源極電壓皆設定成接地電壓，其工作原理相同於傳統具單一位元線之 5T 靜態隨機存取記憶體晶胞，於此不再累述。

【創作功效】

本創作所提出之5T單埠SRAM，具有如下功效：

(1) 避免寫入邏輯1困難之問題：本創作所提出之5T單埠SRAM於寫入操作時，可藉由提高該第一低電壓節點（VL1）之電壓位準以有效避免習知具單一位元線之單埠靜態隨機存取記憶體晶胞存在寫入邏輯1相當困難之問題；

(2) 低待機電流：由於本創作所提出之5T單埠SRAM於待機模式時，可藉由呈導通狀態之該第六NMOS電晶體（M23），以使得該第一低電壓節點（VL1）之電壓位準相等於該第二低電壓節點（VL2）之電壓位準，並使得該等電壓位準均等於該第四NMOS電晶體（M21）之臨界電壓的位準，因此本創作所提出之5T單埠SRAM亦具備低待機電流之功效；以及

(3) 維持讀取穩定度：本創作所提出之5T單埠SRAM於讀取操作時，係將所有記憶體晶胞中之驅動電晶體（M1和M2)的源極電壓皆設定成接地電壓，因此可有效維持讀取穩定度。

雖然本創作特別揭露並描述了所選之較佳實施例，但舉凡熟悉本技術之人士可明瞭任何形式或是細節上可能的變化均未脫離本創作的精神與範圍。因此，所有相關技術範疇內之改變都包括在本創作之申請專利範圍內。

【圖式簡單說明】

第 1a 圖 係顯示習知之靜態隨機存取記憶體，第 1b 圖係顯示習知 6T 靜態隨機存取記憶體晶胞之電路示意圖；

第 2 圖 係顯示習知 6T 靜態隨機存取記憶體晶胞之寫入動作時序圖；

第 3 圖 係顯示習知 5T 靜態隨機存取記憶體晶胞之電路示意圖；

第 4 圖 係顯示習知 5T 靜態隨機存取記憶體晶胞之寫入動作時序圖；

第 5 圖 係顯示習知第 TW M358390 號之 5T 靜態隨機存取記憶體晶胞之電路示意圖；

第 6 圖 係顯示本創作較佳實施例所提出之之電路示意圖；

第 7 圖 係顯示第 6 圖之本創作較佳實施例之寫入動作時序圖。

【主要元件符號說明】

P1	第一 PMOS 電晶體	P2	第二 PMOS 電晶體
M1	第一 NMOS 電晶體	M2	第二 NMOS 電晶體
M3	第三 NMOS 電晶體	WL	字元線
BL	位元線	A	儲存節點
B	反相儲存節點	V_{DD}	電源供應電壓
S	待機模式控制信號	$\overline{S}$	反相待機模式控制信號
VL1	第一低電壓節點	VL2	第二低電壓節點
M21	第四 NMOS 電晶體	M22	第五 NMOS 電晶體
M23	第六 NMOS 電晶體	M24	第七 NMOS 電晶體
M25	第八 NMOS 電晶體	M26	第九 NMOS 電晶體
M27	第十 NMOS 電晶體	M28	第十一 NMOS 電晶體
WE	寫入致能信號	$\overline{WE}$	反相寫入致能信號
1	SRAM 晶胞	2	控制電路
I_1	漏電流	I_2	漏電流
I_3	漏電流	$BL_1 \cdots BL_m$	位元線
BLB	互補位元線	$MB_1 \cdots MB_k$	記憶體區塊
$BLB_1 \cdots BLB_m$	互補位元線	$WL_1 \cdots WL_n$	字元線

M417634

新型專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：100200843

※ 申請日：100. 1. 14　　※IPC 分類：G11C 14/00 (2006.01)

一、新型名稱：(中文/英文)

5T 單埠靜態隨機存取記憶體

5T Single port SRAM

二、中文新型摘要：

本創作提出一種 5T 單埠靜態隨機存取記憶體，其主要包括一記憶體陣列以及複數個控制電路(2)，該記憶體陣列係由複數個記憶體區塊所組成，每一記憶體區塊設置一個控制電路，且每一記憶體區塊更包括複數個記憶體晶胞（1），每一記憶體晶胞（1）則由一 NMOS 存取電晶體（M3）、二 NMOS 驅動電晶體（M1 和 M2）及二 PMOS 負載電晶體（P1 和 P2）所組成。每一控制單元係連接至對應記憶體區塊中之每一記憶晶胞的二 NMOS 驅動電晶體的源極端，以便因應不同操作模式而控制該等源極端之源極電壓，於寫入模式時，將選定記憶體晶胞中較接近位元線之驅動電晶體（M1）的源極電壓設定成較接地電壓為高之一預定電壓且將選定晶胞中另一驅動電晶體（M2）的源極電壓設定成接地電壓，以便防止寫入邏輯 1 困難之問題；於待機模式時，將所有記憶體晶胞中之驅動電晶體的源極電壓設定成較接地電壓為高之該預定電壓，以便降低漏電流；而於其他模式時則將所有記憶體晶胞中之驅動電晶體的源極電壓設定成接地電壓，以便維持讀取穩定度。

三、英文新型摘要：

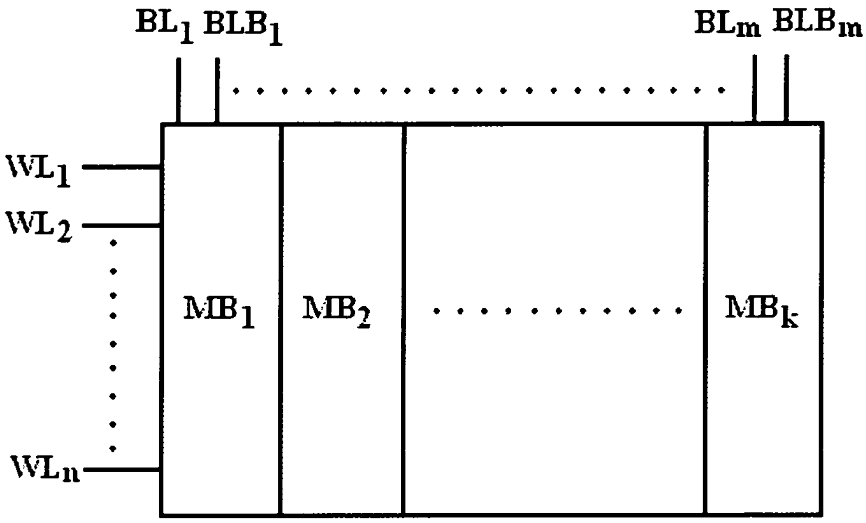
六、申請專利範圍：

1. 一種 5T 單埠靜態隨機存取記憶體，包括：
一記憶體陣列，該記憶體陣列係由複數個記憶體區塊所組成，每一記憶體區塊更包括有複數個記憶體晶胞（1）；
以及複數個控制電路（2），每一記憶體區塊設置一個控制電路（2）；
其中，每一記憶體晶胞（1）更包含：
一第一反相器，係由一第一PMOS電晶體（P1）與一第一NMOS電晶體（M1）所組成，該第一反相器係連接在一電源供應電壓（V_{DD}）與一第一低電壓節點（VL1）之間；
一第二反相器，係由一第二PMOS電晶體（P2）與一第二NMOS電晶體（M2）所組成，該第二反相器係連接在該電源供應電壓（V_{DD}）與一第二低電壓節點（VL2）之間；
一儲存節點（A），係由該第一反相器之輸出端所形成；
一反相儲存節點（B），係由該第二反相器之輸出端所形成； 以及
一第三NMOS電晶體（M3），係連接在該儲存節點（A）與對應之一位元線（BL）之間，且閘極連接至對應之一字元線（WL）；
其中，該第一反相器和該第二反相器係呈交互耦合連接，亦即該第一反相器之輸出端（即儲存節點 A）係連接至該第二反相器之輸入端，而該第二反相器之輸出端（即反相儲存節點 B）則連接至該第一反相器之輸入端；
其中，每一控制電路（2）更包含：
一第四 NMOS 電晶體（M21），該第四 NMOS 電晶體（M21）之源極係連接至接地電壓，而閘極與汲極係連接在一起，並連接至該第一低電壓節點（VL1）；
一第五 NMOS 電晶體（M22），該第五 NMOS 電晶體（M22）之源極、閘極與汲極係分別連接至接地電壓、一反相待機模式控制信號（$\overline{S}$）與該第二低電壓節點（VL2）；
一第六NMOS電晶體（M23），該第六NMOS電晶體（M23）之源極、閘極與汲極係分別連接至該第二低電壓節點（VL2）、一待機模式控制信

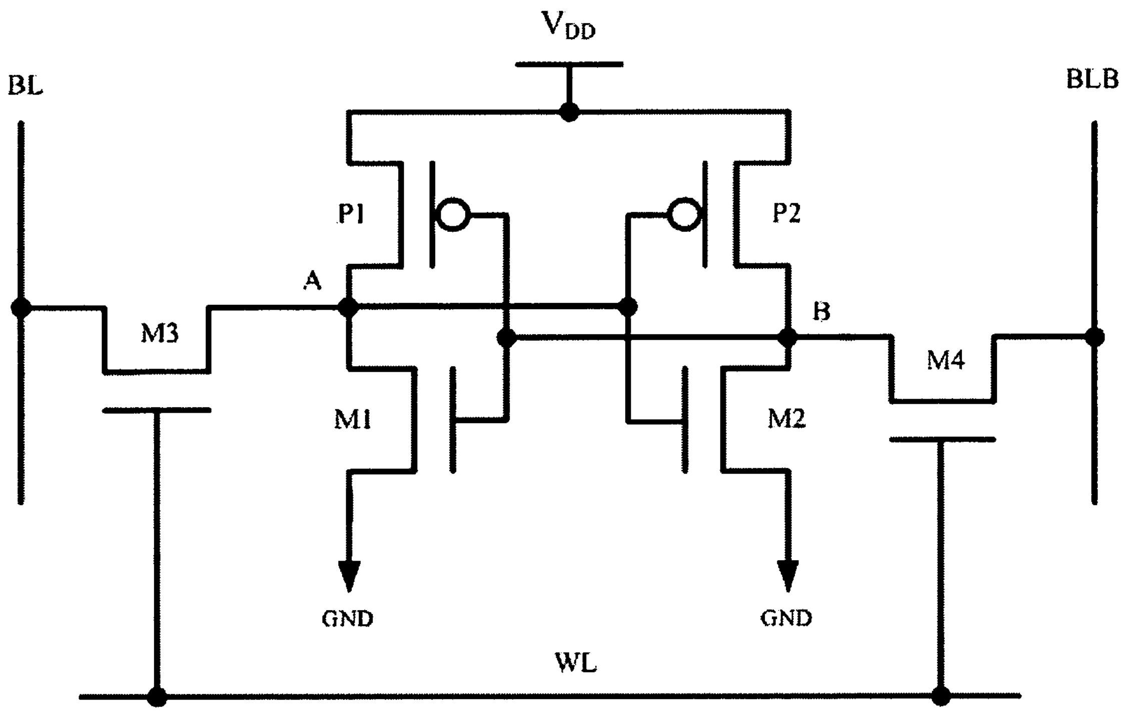
號（S）與該第一低電壓節點（VL1）；
一第七NMOS電晶體（M24），該第七NMOS電晶體（M24）之源極連接至接地電壓，汲極連接至該第一低電壓節點（VL1），而閘極連接至一第八NMOS電晶體（M25）之汲極、一第九NMOS電晶體（M26）之汲極與一第十NMOS電晶體（M27）之源極；
該第八NMOS電晶體（M25），該第八NMOS電晶體（M25）之源極、閘極與汲極係分別連接至接地電壓、一寫入致能信號（WE）與第七NMOS電晶體（M24）之閘極；
該第九NMOS電晶體（M26），該第九NMOS電晶體（M26）之源極、閘極與汲極係分別連接至接地電壓、一待機模式控制信號(S)與第七NMOS電晶體（M24）之閘極；
該第十NMOS電晶體（M27），該第十NMOS電晶體（M27）之源極、閘極與汲極係分別連接至第七NMOS電晶體（M24）之閘極、一反相寫入致能信號（$\overline{WE}$）與一第十一NMOS電晶體（M28）之汲極；以及
該第十一NMOS電晶體（M28），該第十一NMOS電晶體（M28）之源極、閘極與汲極係分別連接至該第十NMOS電晶體（M27）之汲極、該反相待機模式控制信號（$\overline{S}$）與該電源供應電壓（V_{DD}）；
其中，該反相待機模式控制信號（$\overline{S}$）係由該待機模式控制信號（S）經一第三反相器而獲得，而該反相寫入致能信號（$\overline{WE}$）係由寫入致能信號（WE）經一第四反相器而獲得。

2. 如申請專利範圍第1項所述之5T單埠靜態隨機存取記憶體，其中，該記憶體區塊為一列記憶體晶胞。
3. 如申請專利範圍第1項所述之5T單埠靜態隨機存取記憶體，其中，該記憶體區塊為一行記憶體晶胞。

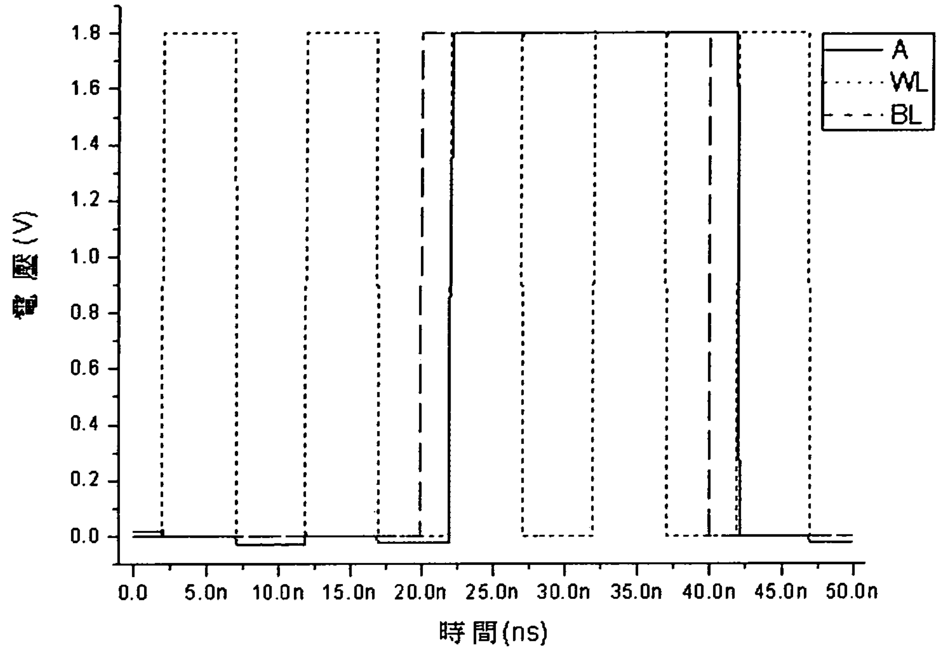
七、圖式：



第 1a 圖

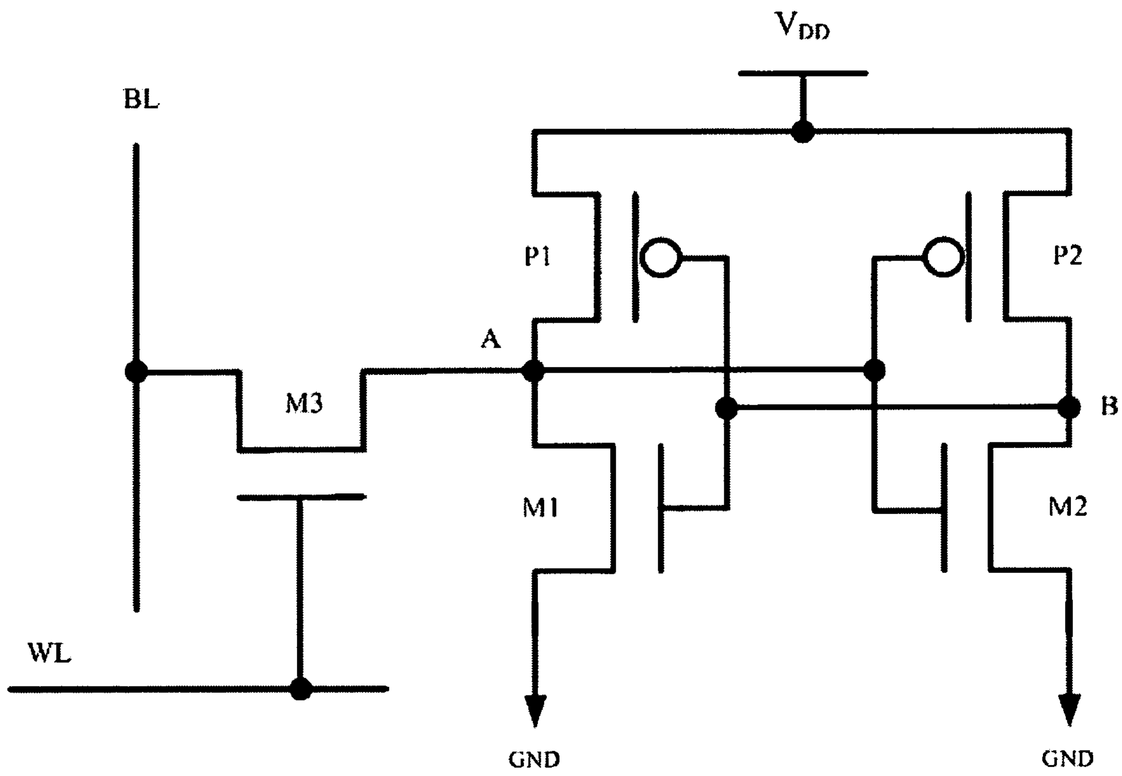


第 1b 圖



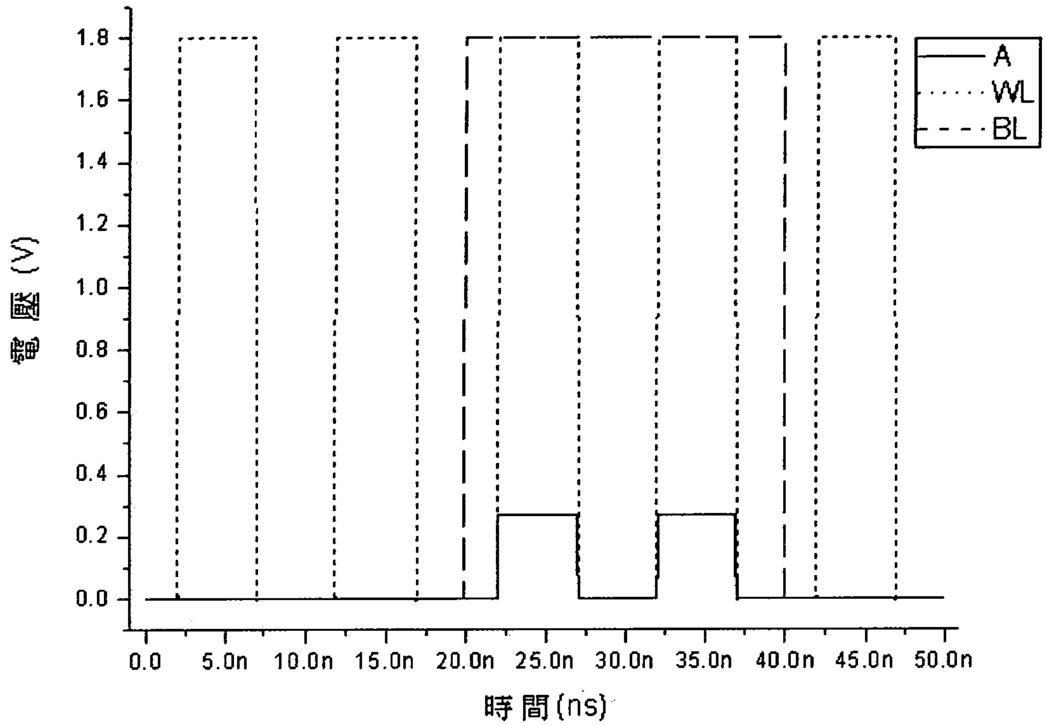
1.8
1.6
1.4
1.2
1.0
0.8
0.6
0.4
0.2
0.0
電壓(V)
0.0
5.0n
10.0n
15.0n
20.0n
25.0n
30.0n
35.0n
40.0n
45.0n
50.0n
時間(ns)
A
WL
BL

第 2 圖

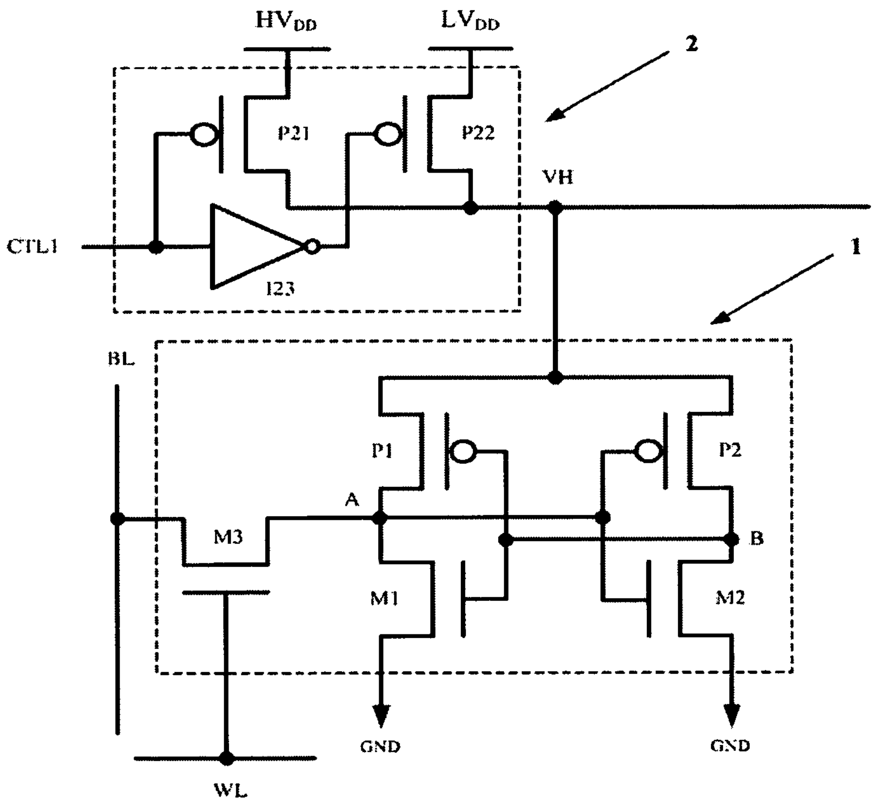


V_{DD}
BL
P1
P2
A
M3
B
M1
M2
WL
GND
GND

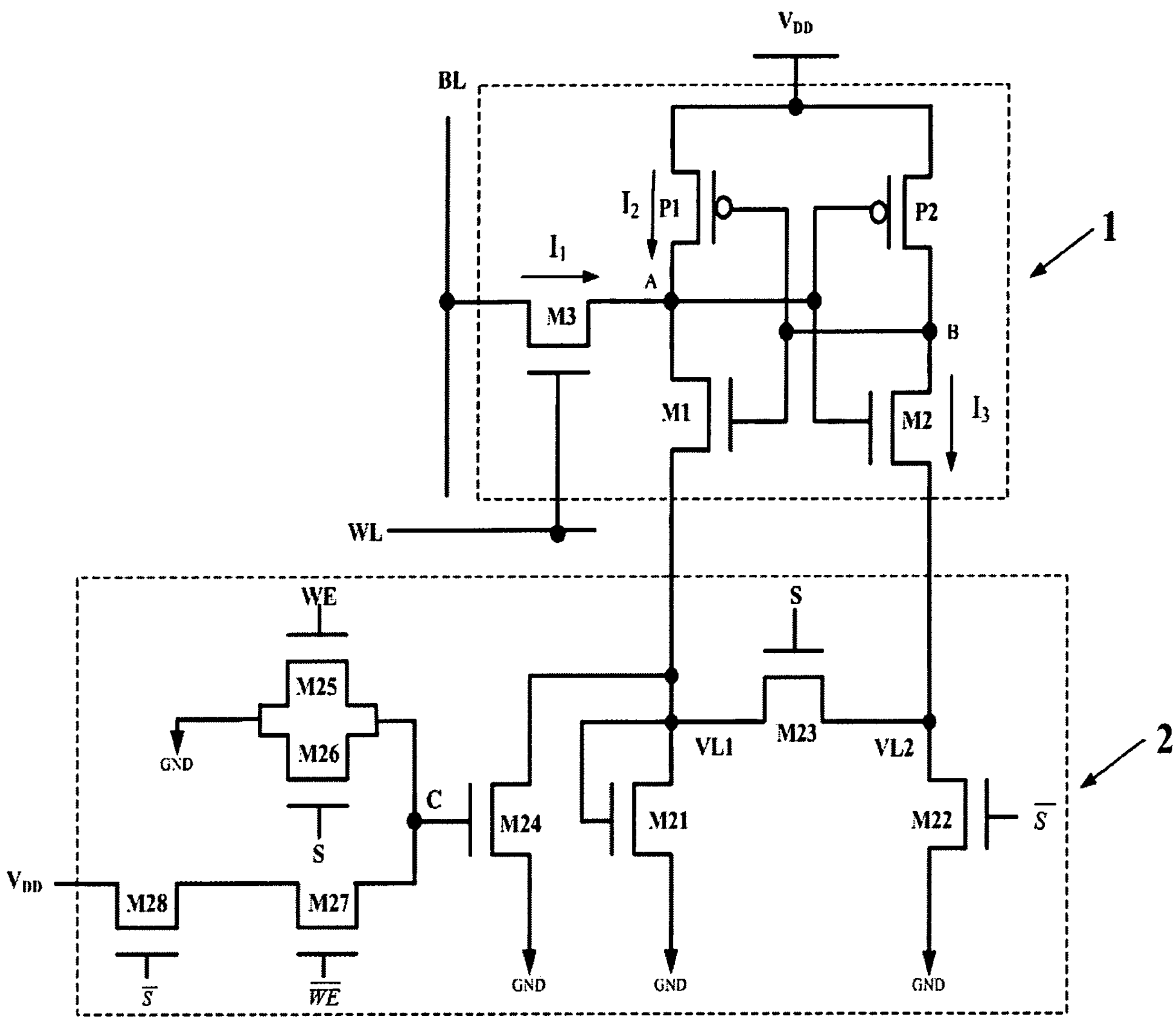
第 3 圖


1.8
1.6
1.4
1.2
1.0
0.8
0.6
0.4
0.2
0.0
電壓 (V)
0.0
5.0n
10.0n
15.0n
20.0n
25.0n
30.0n
35.0n
40.0n
45.0n
50.0n
時間(ns)
A
WL
BL

第 4 圖

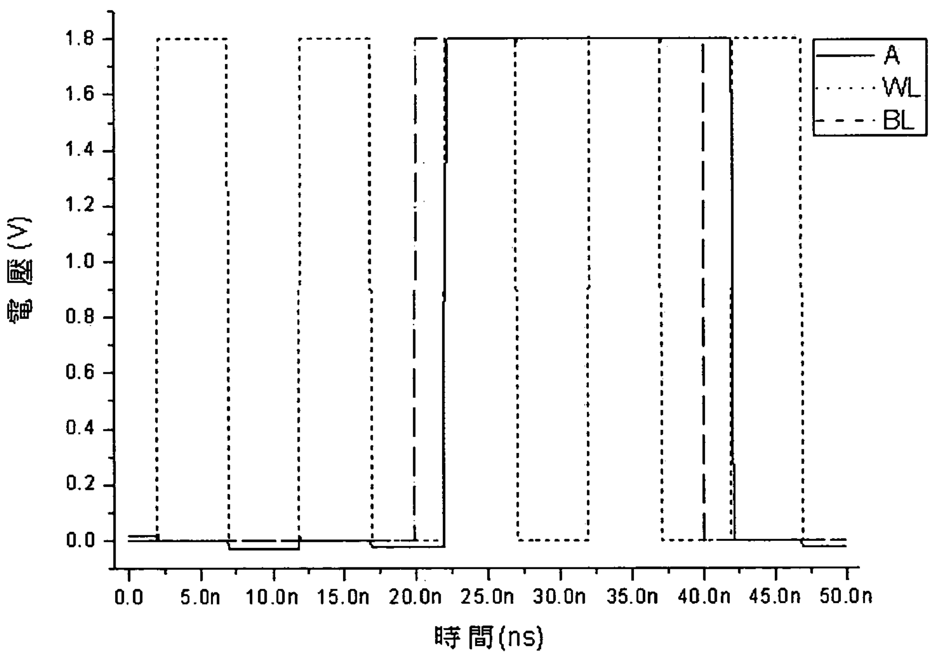

HV_DD
LV_DD
2
P21
P22
VH
CTL1
123
1
BL
P1
P2
A
M3
B
M1
M2
GND
GND
WL

第 5 圖



V_DD
BL
I2
P1
P2
1
I1
A
M3
B
M1
M2
I3
WL
WE
S
M25
M26
GND
S
C
M24
M21
VL1
M23
VL2
M22
2
S
V_DD
M28
M27
S
WE
GND
GND
GND

第 6 圖



1.8
1.6
1.4
1.2
1.0
0.8
0.6
0.4
0.2
0.0
電壓(V)
A
WL
BL
0.0
5.0n
10.0n
15.0n
20.0n
25.0n
30.0n
35.0n
40.0n
45.0n
50.0n
時間(ns)

第 7 圖

四、指定代表圖：

(一)本案指定代表圖為：第（ 6 ）圖。

(二)本代表圖之元件符號簡單說明：

P1	第一 PMOS 電晶體	P2	第二 PMOS 電晶體
M1	第一 NMOS 電晶體	M2	第二 NMOS 電晶體
M3	第三 NMOS 電晶體	WL	字元線
BL	位元線	A	儲存節點
B	反相儲存節點	V_{DD}	電源供應電壓
S	待機模式控制信號	$\overline{S}$	反相待機模式控制信號
VL1	第一低電壓節點	VL2	第二低電壓節點
M21	第四 NMOS 電晶體	M22	第五 NMOS 電晶體
M23	第六 NMOS 電晶體	M24	第七 NMOS 電晶體
M25	第八 NMOS 電晶體	M26	第九 NMOS 電晶體
M27	第十 NMOS 電晶體	M28	第十一 NMOS 電晶體
WE	寫入致能信號	$\overline{WE}$	反相寫入致能信號
1	SRAM 晶胞	2	控制電路
I_1	漏電流	I_2	漏電流
I_3	漏電流		

五、新型說明：

【新型所屬之技術領域】

本創作係有關於一種 5T 單埠靜態隨機存取記憶體（Static Random Access Memory，簡稱 SRAM），尤指一種可降低漏電流（leakage current）且能解決習知具單一位元線之單埠 SRAM 寫入邏輯 1 困難之單埠靜態隨機存取記憶體。

【先前技術】

記憶體在電腦工業中扮演著無可或缺的角色。通常，記憶體可依照其能否在電源關閉後仍能保存資料，而區分為非揮發性（non-volatile）記憶體及揮發性（volatile）記憶體，非揮發性記憶體所儲存之資料並不會因電源關閉或中斷而消失，而儲存在揮發性記憶體之資料則會隨著電源關閉或中斷而被消除。常見的揮發性記憶體有動態隨機存取記憶體（DRAM）及靜態隨機存取記憶體（SRAM）兩種。動態隨機存取記憶體（DRAM）具有面積小及價格低等優點，但操作時必須不時地更新（refresh）以防止資料因漏電流而遺失，而導致存在有高速化困難及消耗功率大等缺失。相反地，靜態隨機存取記憶體（SRAM）的操作則較為簡易且毋須更新操作，因此具有高速化及消耗功率低等優點。

目前以行動電話為代表之行動電子設備所採用之半導體記憶裝置，係以 SRAM 為主流。此乃由於 SRAM 待機電流小，適於連續通話時間、連續待機時間盡可能延長之手機。

習知之靜態隨機存取記憶體（SRAM）如第 1a 圖所示，其主要包括一記憶體陣列（memory array），該記憶體陣列係由複數個記憶體區塊（memory block，MB_1、MB_2 等）所組成，每一記憶體區塊更由複數列記憶體晶胞（a plurality of rows of memory cells）與複數行記憶體晶胞（a plurality of columns of memory cells）所組成，每一列記憶體晶胞

題，而造成無法應用於單埠（single port）靜態隨機存取記憶體中，因此仍有改進空間。

有鑑於此，本創作之主要目的係提出一種 5T 單埠靜態隨機存取記憶體，其能藉由控制電路以有效避免習知具單一位元線之單埠靜態隨機存取記憶體晶胞存在寫入邏輯 1 相當困難之問題。

本創作作之次要目的係提出一種 5T 單埠靜態隨機存取記憶體，其能藉由控制電路以有效降低待機模式之漏電流。

【新型內容】

本創作提出一種 5T 單埠靜態隨機存取記憶體，其主要包括一記憶體陣列以及複數個控制電路（2），該記憶體陣列係由複數個記憶體區塊所組成，每一記憶體區塊設置一個控制電路，且每一記憶體區塊更包括複數個記憶體晶胞（1），每一記憶體晶胞（1）則由一 NMOS 存取電晶體（M3）、二 NMOS 驅動電晶體（M1 和 M2）及二 PMOS 負載電晶體（P1 和 P2）所組成。每一控制單元係連接至對應記憶體區塊中之每一記憶晶胞的二 NMOS 驅動電晶體的源極端，以便因應不同操作模式而控制該等源極端之源極電壓，於寫入模式時，將選定記憶體晶胞中較接近位元線之驅動電晶體（M1）的源極電壓設定成較接地電壓為高之一預定電壓且將選定晶胞中另一驅動電晶體（M2）的源極電壓設定成接地電壓，以便防止寫入邏輯 1 困難之問題；於待機模式時，將所有記憶體晶胞中之驅動電晶體的源極電壓設定成較接地電壓為高之該預定電壓，以便降低漏電流；而於其他模式時則將所有記憶體晶胞中之驅動電晶體的源極電壓設定成接地電壓，以便維持讀取穩定度。綜上所述，本創作所提出之 5T 單埠 SRAM，不但可有效避免習知具單一位元線之單埠 SRAM 所存在寫入邏輯 1 相當困難之問題，並且也能兼具待機模式時降低漏電流之功效。