

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-169552

(P2019-169552A)

(43) 公開日 令和1年10月3日(2019.10.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	4M104
HO 1 L 29/778 (2006.01)	HO 1 L 29/06 3O1F	5F033
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 C	5F102
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 3O1B	5F140
HO 1 L 21/337 (2006.01)	HO 1 L 29/78 3O1S	

審査請求 未請求 請求項の数 21 O L (全 37 頁) 最終頁に続く

(21) 出願番号 特願2018-54896 (P2018-54896)
 (22) 出願日 平成30年3月22日 (2018. 3. 22)

(71) 出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 110002310
 特許業務法人あい特許事務所
 (72) 発明者 吉持 賢一
 京都市右京区西院溝崎町2 1 番地 ローム
 株式会社内
 Fターム(参考) 4M104 AA04 AA07 BB30 CC01 CC05
 DD34 DD37 EE03 EE15 EE16
 EE17 FF02 FF10 FF13 GG08
 GG09 GG12 GG14

最終頁に続く

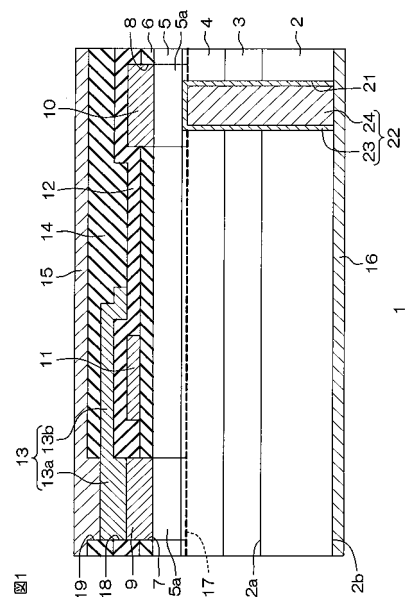
(54) 【発明の名称】 窒化物半導体装置

(57) 【要約】

【課題】一般的な縦型トランジスタのパッケージを採用することが可能となる窒化物半導体装置を提供する。

【解決手段】窒化物半導体装置 1 は、表面および裏面を有する Si 基板 2 と、Si 基板 2 の表面に形成されたバッファ層 3 と、バッファ層 3 上に形成された第 1 窒化物半導体層 4 と、第 1 窒化物半導体層 4 上に形成された第 2 窒化物半導体層 5 と、第 2 窒化物半導体層 5 上に配置されたゲート電極 1 1、ソース電極 9 およびドレイン電極 1 0 と、Si 基板 2 の裏面に形成された裏面電極パッド 1 6 と、Si 基板 2、バッファ層 3、第 1 窒化物半導体層 4 および第 2 窒化物半導体層 5 に形成され、ソース電極 9 およびドレイン電極 1 0 のうちのいずれか一方を、前記裏面電極パッド 1 6 に電気的に接続するための導電経路とを含む。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

表面および裏面を有する S i 基板と、
前記 S i 基板の表面に形成されたバッファ層と、
前記バッファ層上に形成され、電子走行層を構成する第 1 窒化物半導体層と、
前記第 1 窒化物半導体層上に形成され、電子供給層を構成する第 2 窒化物半導体層と、
前記第 2 窒化物半導体層上に配置されたゲート電極と、
前記第 2 窒化物半導体層上に、前記ゲート電極を挟むように前記ゲート電極から離れて配置され、前記第 2 窒化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、

10

前記 S i 基板の裏面に形成された裏面電極パッドと、
前記 S i 基板、前記バッファ層、前記第 1 窒化物半導体層および前記第 2 窒化物半導体層に形成され、前記第 1 電極および前記第 2 電極のうちのいずれか一方を前記裏面電極パッドに電氣的に接続するための導電経路とを含む、窒化物半導体装置。

【請求項 2】

前記第 1 電極および前記第 2 電極のうち前記裏面電極パッドに電氣的に接続される電極を裏面引出対象電極とすると、

前記導電経路は、前記 S i 基板の裏面における前記裏面引出対象電極に対向する位置から、当該裏面引出対象電極に向かって延びかつ前記 S i 基板、前記バッファ層、前記第 1 窒化物半導体層および前記第 2 窒化物半導体層のうち少なくとも前記 S i 基板および前記バッファ層を連続して貫通するコンタクトホールと、当該コンタクトホール内に埋め込まれた導電材とを含む、請求項 1 に記載の窒化物半導体装置。

20

【請求項 3】

前記コンタクトホールは、前記 S i 基板、前記バッファ層および前記第 1 窒化物半導体層を連続して貫通しているが、前記第 2 窒化物半導体層には形成されていない、請求項 2 に記載の窒化物半導体装置。

【請求項 4】

前記コンタクトホールが、前記 S i 基板、前記バッファ層、前記第 1 窒化物半導体層および前記第 2 窒化物半導体層を連続して貫通している、請求項 2 に記載の窒化物半導体装置。

30

【請求項 5】

前記第 2 窒化物半導体層における前記裏面引出対象電極の直下に低抵抗領域が形成されている、請求項 1 ~ 4 のいずれか一項に記載の窒化物半導体装置。

【請求項 6】

表面および裏面を有する S i 基板と、
前記 S i 基板の表面に形成されたバッファ層と、
前記バッファ層上に形成され、電子走行層を構成する第 1 窒化物半導体層と、
前記第 1 窒化物半導体層上に形成され、電子供給層を構成する第 2 窒化物半導体層と、
前記第 2 窒化物半導体層上に配置されたゲート電極と、
前記第 2 窒化物半導体層上に、前記ゲート電極を挟むように前記ゲート電極から離れて配置され、前記第 2 窒化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、

40

前記 S i 基板の裏面に形成されたドレイン電極パッドと、
前記 S i 基板、前記バッファ層、前記第 1 窒化物半導体層および前記第 2 窒化物半導体層に形成され、前記ドレイン電極を前記ドレイン電極パッドに電氣的に接続するための導電経路とを含む、窒化物半導体装置。

【請求項 7】

前記導電経路は、前記 S i 基板の裏面における前記ドレイン電極に対向する位置から、前記ドレイン電極に向かって延びかつ前記 S i 基板、前記バッファ層、前記第 1 窒化物半導体層および前記第 2 窒化物半導体層のうち少なくとも前記 S i 基板および前記バッファ

50

層を連続して貫通するコンタクトホールと、当該コンタクトホール内に埋め込まれた導電材とを含む、請求項 6 に記載の窒化物半導体装置。

【請求項 8】

前記コンタクトホールは、前記 S i 基板、前記パッファ層および前記第 1 窒化物半導体層を連続して貫通しているが、前記第 2 窒化物半導体層には形成されていない、請求項 7 に記載の窒化物半導体装置。

【請求項 9】

前記コンタクトホールが、前記 S i 基板、前記パッファ層、前記第 1 窒化物半導体層および前記第 2 窒化物半導体層を連続して貫通している、請求項 7 に記載の窒化物半導体装置。

10

【請求項 10】

前記第 2 窒化物半導体層における前記ドレイン電極の直下に低抵抗領域が形成されている、請求項 6 ~ 9 のいずれか一項に記載の窒化物半導体装置。

【請求項 11】

表面および裏面を有する S i 基板と、
前記 S i 基板の表面に形成されたパッファ層と、
前記パッファ層上に形成され、電子走行層を構成する第 1 窒化物半導体層と、
前記第 1 窒化物半導体層上に形成され、電子供給層を構成する第 2 窒化物半導体層と、
前記第 2 窒化物半導体層上に配置されたゲート電極と、
前記第 2 窒化物半導体層上に、前記ゲート電極を挟むように前記ゲート電極から離れて配置され、前記第 2 窒化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、

20

前記 S i 基板の裏面に形成されたソース電極パッドと、
前記 S i 基板、前記パッファ層、前記第 1 窒化物半導体層および前記第 2 窒化物半導体層に形成され、前記ソース電極を前記ソース電極パッドに電氣的に接続するための導電経路とを含む、窒化物半導体装置。

【請求項 12】

前記導電経路は、前記 S i 基板の裏面における前記ソース電極に対向する位置から、前記ソース電極に向かって延びかつ前記 S i 基板、前記パッファ層、前記第 1 窒化物半導体層および前記第 2 窒化物半導体層のうち少なくとも前記 S i 基板および前記パッファ層を連続して貫通するコンタクトホールと、当該コンタクトホール内に埋め込まれた導電材とを含む、請求項 11 に記載の窒化物半導体装置。

30

【請求項 13】

前記コンタクトホールは、前記 S i 基板、前記パッファ層および前記第 1 窒化物半導体層を連続して貫通しているが、前記第 2 窒化物半導体層には形成されていない、請求項 12 に記載の窒化物半導体装置。

【請求項 14】

前記コンタクトホールが、前記 S i 基板、前記パッファ層、前記第 1 窒化物半導体層および前記第 2 窒化物半導体層を連続して貫通している、請求項 12 に記載の窒化物半導体装置。

40

【請求項 15】

前記第 2 窒化物半導体層における前記ソース電極の直下に低抵抗領域が形成されている、請求項 11 ~ 14 のいずれか一項に記載の窒化物半導体装置。

【請求項 16】

前記ゲート電極と前記ドレイン電極との間に配置され、前記ソース電極に電氣的に接続されたソースフィールドプレートを含む、請求項 1 ~ 15 のいずれか一項に記載の窒化物半導体装置。

【請求項 17】

前記第 1 窒化物半導体層は G a N 層からなり、前記第 2 窒化物半導体層は A l G a N 層からなる、請求項 1 ~ 16 のいずれか一項に記載の窒化物半導体装置。

50

【請求項 18】

前記バッファ層が、前記 Si 基板の表面に形成された AlN 層と前記 AlN 層上に積層され AlGaIn 層との積層膜からなる、請求項 17 に記載の窒化物半導体装置。

【請求項 19】

前記バッファ層が、AlN 層または AlGaIn 層からなる、請求項 17 に記載の窒化物半導体装置。

【請求項 20】

表面および裏面を有する Si 基板と、
 前記 Si 基板の表面に形成されたバッファ層と、
 前記バッファ層上に形成され、電子走行層を構成する第 1 窒化物半導体層と、
 前記第 1 窒化物半導体層上に形成され、電子供給層を構成する第 2 窒化物半導体層と、
 前記第 2 窒化物半導体層上に配置されたゲート部と、
 前記第 2 窒化物半導体層上に、前記ゲート部を挟むように前記ゲート部から離れて配置され、前記第 2 窒化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、
 前記 Si 基板の裏面に形成されたドレイン電極パッドと、
 前記 Si 基板、前記バッファ層、前記第 1 窒化物半導体層および前記第 2 窒化物半導体層に形成され、前記ドレイン電極を前記ドレイン電極パッドに電氣的に接続するための導電経路とを含み、
 前記ゲート部は、前記第 2 窒化物半導体層上に配置されかつアクセプタ型不純物を含む窒化物半導体ゲート層と、前記窒化物半導体ゲート層上に配置されたゲート電極とを含む、窒化物半導体装置。

10

20

【請求項 21】

表面および裏面を有する Si 基板と、
 前記 Si 基板の表面に形成されたバッファ層と、
 前記バッファ層上に形成され、電子走行層を構成する第 1 窒化物半導体層と、
 前記第 1 窒化物半導体層上に形成され、電子供給層を構成する第 2 窒化物半導体層と、
 前記第 2 窒化物半導体層上に配置されたゲート部と、
 前記第 2 窒化物半導体層上に、前記ゲート部を挟むように前記ゲート部から離れて配置され、前記第 2 窒化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、
 前記 Si 基板の裏面に形成されたソース電極パッドと、
 前記 Si 基板、前記バッファ層、前記第 1 窒化物半導体層および前記第 2 窒化物半導体層に形成され、前記ソース電極を前記ソース電極パッドに電氣的に接続するための導電経路とを含み、
 前記ゲート部は、前記第 2 窒化物半導体層上に配置されかつアクセプタ型不純物を含む窒化物半導体ゲート層と、前記窒化物半導体ゲート層上に配置されたゲート電極とを含む、窒化物半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、III 族窒化物半導体（以下単に「窒化物半導体」という場合がある。）からなる窒化物半導体装置に関する。

40

【背景技術】

【0002】

III 族窒化物半導体とは、III-V 族半導体において V 族元素として窒素を用いた半導体である。窒化アルミニウム (AlN)、窒化ガリウム (GaN)、窒化インジウム (InN) が代表例である。一般には、 $Al_x In_y Ga_{1-x-y} N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$) と表わすことができる。

特許文献 1 には、窒化物半導体を用いた HEMT (High Electron Mobility Transistor; 高電子移動度トランジスタ) が開示されている。特許文献 1 の HEMT は、Si 基板と、Si 基板上に形成され、GaN からなる電子走行層と、電子走行層上に形成された Al

50

GaNからなる電子供給層とを含んでいる。この電子供給層に接するように一对のソース電極およびドレイン電極が形成され、それらの間にゲート電極が配置されている。GaNとAlGaNとの格子不整合に起因する分極のために、電子走行層内において、電子走行層と電子供給層との界面から数だけ内方の位置に、二次元電子ガスが形成される。この二次元電子ガスをチャンネルとして、ソース・ドレイン間が接続される。ゲート電極に制御電圧を印加することで、二次元電子ガスを遮断すると、ソース・ドレイン間が遮断される。

【先行技術文献】

【特許文献】

【0003】

10

【特許文献1】特開2012-109366号公報

【特許文献2】特開2006-339561号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に記載のSi基板を用いた窒化物半導体装置では、窒化物半導体装置の一表面側にソース電極に接続された電極パッド、ドレイン電極に接続された電極パッドおよびゲート電極に接続された電極パッドが形成されているため、一般的な縦型トランジスタのパッケージを採用することは困難であった。

この発明の目的は、一般的な縦型トランジスタのパッケージを採用することが可能となる窒化物半導体装置を提供することにある。

20

【課題を解決するための手段】

【0005】

この発明の一実施形態に係る窒化物半導体は、表面および裏面を有するSi基板と、前記Si基板の表面に形成されたバッファ層と、前記バッファ層上に形成され、電子走行層を構成する第1窒化物半導体層と、前記第1窒化物半導体層上に形成され、電子供給層を構成する第2窒化物半導体層と、前記第2窒化物半導体層上に配置されたゲート電極と、前記第2窒化物半導体層上に、前記ゲート電極を挟むように前記ゲート電極から離れて配置され、前記第2窒化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、前記Si基板の裏面に形成された裏面電極パッドと、前記Si基板、前記バッファ層、前記第1窒化物半導体層および前記第2窒化物半導体層に形成され、前記ソース電極および前記ドレイン電極のうちのいずれか一方を前記裏面電極パッドに電氣的に接続するための導電経路とを含む。

30

【0006】

この構成では、一般的な縦型トランジスタのパッケージを採用することが可能となる。

この発明の一実施形態では、前記ソース電極および前記ドレイン電極のうち前記裏面電極パッドに電氣的に接続される電極を裏面引出対象電極とすると、前記導電経路は、前記Si基板の裏面における前記裏面引出対象電極に対向する位置から、当該裏面引出対象電極に向かって延びかつ前記Si基板、前記バッファ層、前記第1窒化物半導体層および前記第2窒化物半導体層のうち少なくとも前記Si基板および前記バッファ層を連続して貫通するコンタクトホールと、当該コンタクトホール内に埋め込まれた導電材とを含む。

40

【0007】

この発明の一実施形態では、前記コンタクトホールは、前記Si基板、前記バッファ層および前記第1窒化物半導体を連続して貫通しているが、前記第2窒化物半導体層には形成されていない。

この発明の一実施形態では、前記コンタクトホールが、前記Si基板、前記バッファ層、前記第1窒化物半導体層および前記第2窒化物半導体層を連続して貫通している。

【0008】

この発明の一実施形態では、前記第2窒化物半導体層における前記裏面引出対象電極の直下に低抵抗領域が形成されている。

50

この発明の一実施形態に係る窒化物半導体は、表面および裏面を有するSi基板と、前記Si基板の表面に形成されたバッファ層と、前記バッファ層上に形成され、電子走行層を構成する第1窒化物半導体層と、前記第1窒化物半導体層上に形成され、電子供給層を構成する第2窒化物半導体層と、前記第2窒化物半導体層上に配置されたゲート電極と、前記第2窒化物半導体層上に、前記ゲート電極を挟むように前記ゲート電極から離れて配置され、前記第2窒化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、前記Si基板の裏面に形成されたドレイン電極パッドと、前記Si基板、前記バッファ層、前記第1窒化物半導体層および前記第2窒化物半導体層に形成され、前記ドレイン電極を前記ドレイン電極パッドに電氣的に接続するための導電経路とを含む。

【0009】

この構成では、一般的な縦型トランジスタのパッケージを採用することが可能となる。
この発明の一実施形態では、前記導電経路は、前記Si基板の裏面における前記ドレイン電極に対向する位置から、前記ドレイン電極に向かって延びかつ前記Si基板、前記バッファ層、前記第1窒化物半導体層および前記第2窒化物半導体層のうち少なくとも前記Si基板および前記バッファ層を連続して貫通するコンタクトホールと、当該コンタクトホール内に埋め込まれた導電材とを含む。

【0010】

この発明の一実施形態では、前記コンタクトホールは、前記Si基板、前記バッファ層および前記第1窒化物半導体を連続して貫通しているが、前記第2窒化物半導体層には形成されていない。

この発明の一実施形態では、前記コンタクトホールが、前記Si基板、前記バッファ層、前記第1窒化物半導体層および前記第2窒化物半導体層を連続して貫通している。

【0011】

この発明の一実施形態では、前記第2窒化物半導体層における前記ドレイン電極の直下に低抵抗領域が形成されている。

この発明の一実施形態に係る窒化物半導体は、表面および裏面を有するSi基板と、前記Si基板の表面に形成されたバッファ層と、前記バッファ層上に形成され、電子走行層を構成する第1窒化物半導体層と、前記第1窒化物半導体層上に形成され、電子供給層を構成する第2窒化物半導体層と、前記第2窒化物半導体層上に配置されたゲート電極と、前記第2窒化物半導体層上に、前記ゲート電極を挟むように前記ゲート電極から離れて配置され、前記第2窒化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、前記Si基板の裏面に形成されたソース電極パッドと、前記Si基板、前記バッファ層、前記第1窒化物半導体層および前記第2窒化物半導体層に形成され、前記ソース電極を前記ソース電極パッドに電氣的に接続するための導電経路とを含む。

【0012】

この構成では、一般的な縦型トランジスタのパッケージを採用することが可能となる。
この発明の一実施形態では、前記導電経路は、前記Si基板の裏面における前記ソース電極に対向する位置から、前記ソース電極に向かって延びかつ前記Si基板、前記バッファ層、前記第1窒化物半導体層および前記第2窒化物半導体層のうち少なくとも前記Si基板および前記バッファ層を連続して貫通するコンタクトホールと、当該コンタクトホール内に埋め込まれた導電材とを含む。

【0013】

この発明の一実施形態では、前記コンタクトホールは、前記Si基板、前記バッファ層および前記第1窒化物半導体を連続して貫通しているが、前記第2窒化物半導体層には形成されていない。

この発明の一実施形態では、前記コンタクトホールが、前記Si基板、前記バッファ層、前記第1窒化物半導体層および前記第2窒化物半導体層を連続して貫通している。

【0014】

この発明の一実施形態では、前記第2窒化物半導体層における前記ソース電極の直下に低抵抗領域が形成されている。

10

20

30

40

50

この発明の一実施形態では、前記ゲート電極と前記ドレイン電極との間に配置され、前記ソース電極に電氣的に接続されたソースフィールドプレートを含む。

この発明の一実施形態では、前記第1窒化物半導体層はGaN層からなり、前記第2窒化物半導体層はAlGaN層からなる。

【0015】

この発明の一実施形態では、前記バッファ層が、前記Si基板の表面に形成されたAlN層と前記AlN層上に積層されAlGaN層との積層膜からなる。

この発明の一実施形態では、前記バッファ層が、AlN層またはAlGaN層からなる。

この発明の一実施形態に係る窒化物半導体は、表面および裏面を有するSi基板と、前記Si基板の表面に形成されたバッファ層と、前記バッファ層上に形成され、電子走行層を構成する第1窒化物半導体層と、前記第1窒化物半導体層上に形成され、電子供給層を構成する第2窒化物半導体層と、前記第2窒化物半導体層上に配置されたゲート部と、前記第2窒化物半導体層上に、前記ゲート部を挟むように前記ゲート部から離れて配置され、前記第2窒化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、前記Si基板の裏面に形成されたドレイン電極パッドと、前記Si基板、前記バッファ層、前記第1窒化物半導体層および前記第2窒化物半導体層に形成され、前記ドレイン電極を前記ドレイン電極パッドに電氣的に接続するための導電経路とを含み、前記ゲート部は、前記第2窒化物半導体層上に配置されかつアクセプタ型不純物を含む窒化物半導体ゲート層と、前記窒化物半導体ゲート層上に配置されたゲート電極とを含む。

10

20

【0016】

この構成では、一般的な縦型トランジスタのパッケージを採用することが可能となる。

この発明の一実施形態に係る窒化物半導体は、表面および裏面を有するSi基板と、前記Si基板の表面に形成されたバッファ層と、前記バッファ層上に形成され、電子走行層を構成する第1窒化物半導体層と、前記第1窒化物半導体層上に形成され、電子供給層を構成する第2窒化物半導体層と、前記第2窒化物半導体層上に配置されたゲート部と、前記第2窒化物半導体層上に、前記ゲート部を挟むように前記ゲート部から離れて配置され、前記第2窒化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、前記Si基板の裏面に形成されたソース電極パッドと、前記Si基板、前記バッファ層、前記第1窒化物半導体層および前記第2窒化物半導体層に形成され、前記ソース電極を前記ソース電極パッドに電氣的に接続するための導電経路とを含み、前記ゲート部は、前記第2窒化物半導体層上に配置されかつアクセプタ型不純物を含む窒化物半導体ゲート層と、前記窒化物半導体ゲート層上に配置されたゲート電極とを含む。

30

【0017】

この構成では、一般的な縦型トランジスタのパッケージを採用することが可能となる。

【図面の簡単な説明】

【0018】

【図1】図1は、この発明の第1実施形態に係る窒化物半導体装置の構成を説明するための断面図である。

【図2A】図2Aは、前記窒化物半導体装置の製造工程の一例を示す断面図である。

40

【図2B】図2Bは、図2Aの次の工程を示す断面図である。

【図2C】図2Cは、図2Bの次の工程を示す断面図である。

【図2D】図2Dは、図2Cの次の工程を示す断面図である。

【図2E】図2Eは、図2Dの次の工程を示す断面図である。

【図2F】図2Fは、図2Eの次の工程を示す断面図である。

【図2G】図2Gは、図2Fの次の工程を示す断面図である。

【図2H】図2Hは、図2Gの次の工程を示す断面図である。

【図2I】図2Iは、図2Hの次の工程を示す断面図である。

【図2J】図2Jは、図2Iの次の工程を示す断面図である。

【図2K】図2Kは、図2Jの次の工程を示す断面図である。

50

- 【図 2 L】図 2 L は、図 2 K の次の工程を示す断面図である。
- 【図 2 M】図 2 M は、図 2 L の次の工程を示す断面図である。
- 【図 2 N】図 2 N は、図 2 M の次の工程を示す断面図である。
- 【図 3】図 3 は、前述の窒化物半導体装置が内蔵されたパッケージを示す平面図である。
- 【図 4】図 4 は、図 3 の IV-IV 線に沿う断面図である。
- 【図 5】図 5 は、第 1 実施形態の変形例を示す断面図である。
- 【図 6】図 6 は、第 1 実施形態の他の変形例を示す断面図である。
- 【図 7】図 7 は、この発明の第 2 実施形態に係る窒化物半導体装置の構成を説明するための断面図である。
- 【図 8 A】図 8 A は、前記窒化物半導体装置の製造工程の一例を示す断面図である。 10
- 【図 8 B】図 8 B は、図 8 A の次の工程を示す断面図である。
- 【図 8 C】図 8 C は、図 8 B の次の工程を示す断面図である。
- 【図 8 D】図 8 D は、図 8 C の次の工程を示す断面図である。
- 【図 8 E】図 8 E は、図 8 D の次の工程を示す断面図である。
- 【図 8 F】図 8 F は、図 8 E の次の工程を示す断面図である。
- 【図 8 G】図 8 G は、図 8 F の次の工程を示す断面図である。
- 【図 8 H】図 8 H は、図 8 G の次の工程を示す断面図である。
- 【図 8 I】図 8 I は、図 8 H の次の工程を示す断面図である。
- 【図 8 J】図 8 J は、図 8 I の次の工程を示す断面図である。
- 【図 8 K】図 8 K は、図 8 J の次の工程を示す断面図である。 20
- 【図 8 L】図 8 L は、図 8 K の次の工程を示す断面図である。
- 【図 8 M】図 8 M は、図 8 L の次の工程を示す断面図である。
- 【図 8 N】図 8 N は、図 8 M の次の工程を示す断面図である。
- 【図 9】図 9 は、第 2 実施形態の変形例を示す断面図である。
- 【図 10】図 10 は、第 2 実施形態の他の変形例を示す断面図である。
- 【図 11】図 11 は、この発明の第 3 実施形態に係る窒化物半導体装置の構成を説明するための断面図である。
- 【図 12】図 12 は、この発明の第 4 実施形態に係る窒化物半導体装置の構成を説明するための断面図である。
- 【発明を実施するための形態】 30
- 【0019】
- 以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。
- 図 1 は、この発明の第 1 実施形態に係る窒化物半導体装置の構成を説明するための断面図である。
- 窒化物半導体装置 1 は、基板 2 と、基板 2 の表面 2 a に形成されたバッファ層 3 と、バッファ層 3 上にエピタキシャル成長された第 1 窒化物半導体層 4 と、第 1 窒化物半導体層 4 上にエピタキシャル成長された第 2 窒化物半導体層 5 とを含む。
- 【0020】
- さらに、この窒化物半導体装置 1 は、第 2 窒化物半導体層 5 上に形成されたゲート絶縁膜 6 を含む。さらに、この窒化物半導体装置 1 は、ゲート絶縁膜 6 に形成されたソース電極用コンタクトホール 7 およびドレイン電極用コンタクトホール 8 を貫通して第 2 窒化物半導体層 5 にオーミック接触しているソース電極 9 およびドレイン電極 10 を含む。ソース電極 9 およびドレイン電極 10 は、間隔を開けて配置されている。 40
- 【0021】
- さらに、この窒化物半導体装置 1 は、ゲート絶縁膜 6 上に形成されたゲート電極 11 を含む。ゲート電極 11 は、ソース電極 9 とドレイン電極 10 との間に配置されている。
- さらに、この窒化物半導体装置 1 は、ゲート絶縁膜 6、ゲート電極 11 およびドレイン電極 10 を覆う第 1 層間絶縁膜 12 と、第 1 層間絶縁膜 12 上に形成されたソースフィールドプレート 13 と、第 1 層間絶縁膜 12 およびソースフィールドプレート 13 を覆う第 2 層間絶縁膜 14 とを含む。さらに、この窒化物半導体装置 1 は、第 2 層間絶縁膜 14 上 50

に形成されたソース電極パッド15と、基板2の裏面2bに形成されたドレイン電極パッド16とを含む。なお、第2層間絶縁膜14上には、ソース電極パッド15の他、ゲート電極パッド(図示略)が形成されている。

【0022】

基板2は、この実施形態では、低抵抗のシリコン基板である。低抵抗のシリコン基板は、例えば、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ (より具体的には $1 \times 10^{18} \text{ cm}^{-3}$ 程度)の不純物濃度を有していてもよい。基板2の厚さは $30 \mu\text{m} \sim 300 \mu\text{m}$ 程度である。

バッファ層3は、バッファ層3上に形成される第1窒化物半導体層4の格子定数と、基板2の格子定数との相違によって生じる歪を緩和するための緩衝層である。バッファ層3は、この実施形態では、複数の窒化物半導体膜を積層した多層バッファ層から構成されている。この実施形態では、バッファ層3は、基板2の表面に接するAlN膜と、このAlN膜の表面(基板2とは反対側の表面)に積層されたAlGaN膜との積層膜から構成されている。バッファ層3は、AlN膜の単膜またはAlGaNの単膜から構成されていてもよい。

【0023】

第1窒化物半導体層4は、電子走行層を構成している。この実施形態では、第1窒化物半導体層4は、ドナー型不純物がドーピングされたn型GaN層からなり、その厚さは $1.0 \mu\text{m} \sim 10 \mu\text{m}$ 程度である。なお、第1窒化物半導体層4は、アンドープのGaN層から構成されてもよい。

第2窒化物半導体層5は、電子供給層を構成している。第2窒化物半導体層5は、第1窒化物半導体層4よりもバンドギャップの大きい窒化物半導体からなっている。具体的には、第2窒化物半導体層5は、第1窒化物半導体層4よりもAl組成の高い窒化物半導体からなっている。窒化物半導体においては、Al組成が高いほどバンドギャップは大きくなる。この実施形態では、第2窒化物半導体層5は、 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 層($0 < x_1 < 1$)からなり、その厚さは $10 \text{ nm} \sim 100 \text{ nm}$ 程度である。

【0024】

このように第1窒化物半導体層4(電子走行層)と第2窒化物半導体層5(電子供給層)とは、バンドギャップ(Al組成)の異なる窒化物半導体からなっており、それらの間には格子不整合が生じている。そして、第1窒化物半導体層4および第2窒化物半導体層5の自発分極ならびにそれらの間の格子不整合に起因するピエゾ分極によって、第1窒化物半導体層4と第2窒化物半導体層5との界面における第1窒化物半導体層4の伝導帯のエネルギーレベルはフェルミ準位よりも低くなる。これにより、第1窒化物半導体層4と第2窒化物半導体層5との界面に近い位置(たとえば界面から数程度の距離)には、二次元電子ガス(2DEG)17が広がっている。

【0025】

ゲート絶縁膜6は、第2窒化物半導体層5の表面のほぼ全域に形成されている。ゲート絶縁膜6は、この実施形態では、 SiO_2 からなる。ゲート絶縁膜6の厚さは、 $10 \text{ nm} \sim 100 \text{ nm}$ 程度である。ゲート絶縁膜6は、 SiO_2 の他、 SiN 、 SiON 、 Al_2O_3 、 AlN 、 AlON 、 HfO 、 HfN 、 HfON 、 HfSiON 、 AlON 等から構成されてもよい。

【0026】

ソース電極9およびドレイン電極10は、例えば、Ti膜、AlSiCu膜、Ti膜およびTiN膜が、下層からその順に積層されたTiN/AlSiCu/Ti/TiN積層膜から構成されている。下層側のTiN膜の厚さは、例えば 50 nm 程度である。AlSiCu膜の厚さは、例えば 1000 nm 程度である。上層側のTi膜の厚さは、例えば 20 nm 程度である。TiN膜の厚さは、例えば 50 nm 程度である。

【0027】

ゲート電極11は、ゲート絶縁膜6の表面に接するように形成されている。ゲート電極11は、ソース電極用コンタクトホール7寄りに偏って配置されている。ゲート電極11

10

20

30

40

50

は、例えば、Ti膜、AlSiCu膜、Ti膜およびTiN膜が、下層からその順に積層されたTiN/AlSiCu/Ti/TiN積層膜から構成されている。下層側のTiN膜の厚さは、例えば50nm程度である。AlSiCu膜の厚さは、例えば1000nm程度である。上層側のTi膜の厚さは、例えば20nm程度である。TiN膜の厚さは、例えば50nm程度である。

【0028】

第1層間絶縁膜12は、ゲート絶縁膜6の表面、ゲート電極11の側面および表面、ソース電極9の側面（ゲート絶縁膜6で覆われている領域を除く）ならびにドレイン電極10の側面（ゲート絶縁膜6で覆われている領域を除く）および表面を覆っている。この実施形態では、第1層間絶縁膜12は、SiO₂膜からなり、その厚さは0.5μm~1.0μm程度である。第1層間絶縁膜12には、ソース電極9に対向する位置に、ソース電極9の表面を露出させるフィールドプレート開口18が形成されている。第1層間絶縁膜12は、SiO₂の他、SiN等から構成されてもよい。

10

【0029】

第1層間絶縁膜12上には、フィールドプレート開口18を覆うソースフィールドプレート13が形成されている。ソースフィールドプレート13の一部は、フィールドプレート開口18に入り込み、フィールドプレート開口18内においてソース電極9に接続されている。

ソースフィールドプレート13は、ソース電極9の表面上に形成された基部13aと、基部13aからゲート電極11上の上方を通してドレイン電極10に向かって伸びたプレート部13bとを含む。プレート部13bは、ゲート電極11とドレイン電極10との間に配置された部分を有している。ソースフィールドプレート13は、ゲート電極11の端部への電界集中を緩和するために設けられている。ソースフィールドプレート13は、例えばTiN膜、Ti膜、Al膜等からなる。ソースフィールドプレート13のプレート部13bの厚さは、例えば100nm程度である。

20

【0030】

第2層間絶縁膜14は、第1層間絶縁膜12およびソースフィールドプレート13を覆っている。この実施形態では、第2層間絶縁膜14は、SiO₂膜からなり、その厚さは、0.5μm~1.0μmである。第2層間絶縁膜14には、ソースフィールドプレート13の基部13aの表面を露出させるソースパッド開口19が形成されている。

30

第2層間絶縁膜14上に、ソースパッド開口19を覆うソース電極パッド15が形成されている。ソース電極パッド15は、第2層間絶縁膜14上のほぼ全域に形成されている。ソース電極パッド15の一部はソースパッド開口19に入り込み、ソースパッド開口19内でソースフィールドプレート13の基部13aに接続されている。したがって、ソース電極パッド15は、ソースフィールドプレート13の基部13aを介して、ソース電極9に電氣的に接続されている。ソース電極パッド15は、例えば、Al膜、AlCu膜等からなる。

【0031】

第2層間絶縁膜14上には、ソース電極パッド15が形成されていない除去領域があり、この除去領域内に図示しないゲート電極パッドが形成されている。ゲート電極パッドは、図示しないゲート配線を介してゲート電極11に電氣的に接続されている。

40

第2窒化物半導体層5におけるソース電極9の直下領域およびドレイン電極10の直下領域には、Alが拡散された低抵抗領域5aが形成されている。この実施形態では、低抵抗領域5aは第1窒化物半導体層4の表層部にも広がっている。

【0032】

基板2の裏面2bと第2窒化物半導体層5との間には、基板2の裏面2bにおけるドレイン電極10に対向する位置からドレイン電極10に向かって伸びかつ基板2、バッファ層3および第1窒化物半導体層4を連続して貫通するドレインパッド用コンタクトホール21が形成されている。この実施形態では、ドレインパッド用コンタクトホール21の上端は、第2窒化物半導体層5におけるドレイン電極10の直下の低抵抗領域5aに達して

50

いる。

【0033】

ドレインパッド用コンタクトホール21内には、第2窒化物半導体層5におけるドレイン電極10の直下の低抵抗領域5aに上端が接続されたドレイン・コンタクトプラグ(導電体)22が埋め込まれている。ドレイン・コンタクトプラグ22は、ドレインパッド用コンタクトホール21の側壁および第2窒化物半導体層5のドレインパッド用コンタクトホール21に臨む部分に形成されたバリアメタル膜23と、バリアメタル膜23に包囲された状態でドレインパッド用コンタクトホール21に埋め込まれた金属プラグ24からなる。バリアメタル膜23は、例えば、TiNからなる。金属プラグ24は、例えばCuからなる。

10

【0034】

ドレイン電極パッド16は、基板2の裏面2bのほぼ全域に形成されている。ドレイン電極パッド16は、ドレイン・コンタクトプラグ22の下端に接続されている。したがって、ドレイン電極パッド16は、ドレイン・コンタクトプラグ22および第2窒化物半導体層5におけるドレイン電極10の直下の低抵抗領域5aからなる導電経路を介してドレイン電極10に電氣的に接続されている。ドレイン電極パッド16は、例えば、Ni、Ag、Ti、Au等からなる。

【0035】

この窒化物半導体装置1では、第1窒化物半導体層4(電子走行層)上にバンドギャップ(Al組成)の異なる第2窒化物半導体層5(電子供給層)が形成されてヘテロ接合が形成されている。これにより、第1窒化物半導体層4と第2窒化物半導体層5との界面付近の第1窒化物半導体層4内に二次元電子ガス17が形成され、この二次元電子ガス17をチャンネルとして利用したHEMTが形成されている。ゲート電極11に制御電圧を印可していない状態では、二次元電子ガス17をチャンネルとして、ソース電極9とドレイン電極10との間が接続される。したがって、このHEMTはノーマリーオン型である。ソース電極9に対してゲート電極11の電位が負となるような制御電圧をゲート電極11に印加すると、二次元電子ガス17が遮断され、HEMTがオフ状態となる。

20

【0036】

図2A~図2Nは、前述の窒化物半導体装置1の製造工程の一例を説明するための断面図であり、製造工程における複数の段階における断面構造が示されている。

30

まず、図2Aに示すように、MOCVD(Metal Organic Chemical Vapor Deposition)法によって、基板2の表面2aに、パuffa層3および第1窒化物半導体層(電子走行層)4が順にエピタキシャル成長される。さらに、MOCVD法によって、第1窒化物半導体層4上に第2窒化物半導体層(電子供給層)5がエピタキシャル成長される。さらに、プラズマCVD法、LPCVD(Low Pressure CVD)法、ALD(Atomic Layer Deposition)法等によって、ゲート絶縁膜6の材料膜である絶縁材料膜31が第2窒化物半導体層5に形成される。

【0037】

次に、絶縁材料膜31上に、ソース電極用コンタクトホール7およびドレイン電極用コンタクトホール8を形成すべき領域を除いた領域にレジスト膜が形成される。このレジスト膜を介して絶縁材料膜31をエッチングすることにより、図2Bに示すように、ソース電極用コンタクトホール7およびドレイン電極用コンタクトホール8が形成される。これにより、絶縁材料膜31がパターニングされてゲート絶縁膜6が得られる。ソース電極用コンタクトホール7およびドレイン電極用コンタクトホール8は、ゲート絶縁膜6を貫通して、第2窒化物半導体層5に達している。

40

【0038】

次に、レジスト膜が除去された後、図2Cに示すように、第2窒化物半導体層5上に、例えば、蒸着法、スパッタ法等によって、ゲート絶縁膜6を覆うように、ソース電極9、ドレイン電極10およびゲート電極11の材料膜である電極膜32が形成される。電極膜32は、例えば、Ti膜、AlSiCu膜、Ti膜およびTiN膜が、下層からその順に

50

積層されたTiN/AlSiCu/Ti/TiN積層膜からなる。

【0039】

次に、電極膜32表面におけるソース電極作成予定領域、ドレイン電極作成予定領域およびゲート電極作成予定領域を覆うレジスト膜が形成される。そして、このレジスト膜をマスクとして、電極膜32が選択的にエッチングされることにより、図2Dに示すように、ソース電極9、ドレイン電極10およびゲート電極11が得られる。

次に、図2Eに示すように、レジスト膜が除去された後、アニール処理が施されることにより、ソース電極9およびドレイン電極10が第2窒化物半導体層5を介して二次元電子ガス層17にオーミック接合される。この際、ソース電極9およびドレイン電極10に含まれるAlが第2窒化物半導体層5に拡散されるので、第2窒化物半導体層5におけるソース電極9の直下領域およびドレイン電極10の直下領域に低抵抗領域5aが形成される。

10

【0040】

次に、図2Fに示すように、プラズマCVD法またはLPCVD法によって、第2窒化物半導体層5上に、ソース電極9、ドレイン電極10およびゲート電極11を覆うように、第1層間絶縁膜12が形成される。

次に、第1層間絶縁膜12表面におけるソース電極9に対向する領域以外の領域を覆うレジスト膜が形成される。そして、このレジスト膜をマスクとして、第1層間絶縁膜12が選択的にエッチングされることにより、図2Gに示すように、第1層間絶縁膜12にソース電極9の表面を露出させるフィールドプレート開口18が形成される。

20

【0041】

次に、レジスト膜が除去された後、図2Hに示すように、第1層間絶縁膜12上に、例えば、スパッタ法によって、フィールドプレート開口18を覆うように、ソースフィールドプレート13の材料膜であるプレート膜33が形成される。プレート膜33は、例えば、TiN膜からなる。

次に、プレート膜33表面におけるソースフィールドプレート形成予定領域を覆うレジスト膜が形成される。そして、このレジスト膜をマスクとして、プレート膜33が選択的にエッチングされることにより、図2Iに示すように、ソース電極9上に形成された基部13aと基部13aからドレイン電極10に向かって延びたプレート部13bとからなるソースフィールドプレート13が得られる。

30

【0042】

次に、レジスト膜が除去された後、図2Jに示すように、プラズマCVD法またはLPCVD法によって、第1層間絶縁膜12上に、ソースフィールドプレート13を覆うように、第2層間絶縁膜14が形成される。

次に、第2層間絶縁膜14表面におけるソースフィールドプレート13の基部13aに対向する領域以外の領域を覆うレジスト膜が形成される。そして、このレジスト膜をマスクとして、第2層間絶縁膜14が選択的にエッチングされることにより、図2Kに示すように、第2層間絶縁膜14に基部13aの表面を露出させるソースパッド開口19が形成される。

40

【0043】

次に、レジスト膜が除去された後、例えば、スパッタ法によって、第2層間絶縁膜14上に、ソースパッド開口19を覆うように、ソース電極パッド15の材料膜が形成される。そして、図2Lに示すように、この材料膜がパターニングされることにより、ソース電極パッド15が得られる。ソース電極パッド15の一部は、ソースパッド開口19内に入り込み、ソースパッド開口19内でソースフィールドプレート13の基部13aに接続される。

【0044】

次に、図2Mに示すように、エッチングによって、基板2の裏面2bから、基板2、バッファ層3および第1窒化物半導体層4を連続して貫通し、ドレイン電極10の直下の低抵抗領域5aに達するドレインパッド用コンタクトホール21が形成される。

50

次に、図 2 N に示すように、例えば、スパッタ法によって、ドレインパッド用コンタクトホール 2 1 の側壁および第 2 窒化物半導体層 5 のドレインパッド用コンタクトホール 2 1 に臨む部分にバリアメタル膜 2 3 が形成される。続いて、例えば、めっき法によって、バリアメタル膜 2 3 が形成されたドレインパッド用コンタクトホール 2 1 内に金属プラグ 2 4 が形成される。これにより、ドレインパッド用コンタクトホール 2 1 内に、ドレイン電極 1 0 の直下の低抵抗領域 5 a に接続されたドレイン・コンタクトプラグ 2 2 が形成される。この後、例えば、スパッタ法によって、基板 2 の裏面 2 b に、ドレイン電極パッド 1 6 が形成されることにより、図 1 に示すような構造の窒化物半導体装置 1 が得られる。

【 0 0 4 5 】

図 3 は、前述の窒化物半導体装置 1 が内蔵されたパッケージを示す平面図である。図 4 は、図 3 の IV-IV 線に沿う断面図である。図 3 においては、モールド樹脂は省略されている。

パッケージ 1 0 1 は、ダイパッド 1 1 1 と、ソース用リード 1 1 2 と、ゲート用リード 1 1 3 と、窒化物半導体装置 1 と、これらを封止するモールド樹脂 1 1 4 と含む。ダイパッド 1 1 1 は、平面視において凸形であり、矩形状のダイパッド本体 1 1 1 A とダイパッド本体 1 1 1 A の一辺のほぼ中央から突出したドレイン用リード 1 1 1 B とを有している。ドレイン用リード 1 1 1 B の先端部は、モールド樹脂 1 1 4 から突出している。

【 0 0 4 6 】

ダイパッド本体 1 1 1 A の表面（上面）に、窒化物半導体装置 1 がダイボンディングされている。窒化物半導体装置 1 は、ダイパッド 1 1 1 に対向する表面にドレイン電極パッド 1 6 を有しており、このドレイン電極パッド 1 6 がダイパッド本体 1 1 1 A に導電性ろう材で接合されている。窒化物半導体装置 1 は、ダイパッド 1 1 1 とは反対側の表面にソース電極パッド 1 5 およびゲート電極パッド 1 0 2 を有している。

【 0 0 4 7 】

ソース用リード 1 1 2 とゲート用リード 1 1 3 とは、ドレイン用リード 1 1 1 B と平行に配置されている。ソース用リード 1 1 2 とゲート用リード 1 1 3 の先端部は、ドレイン用リード 1 1 1 B の先端部の突出方向とは反対の方向に延びて、モールド樹脂 1 1 4 から突出している。ソース用リード 1 1 2 の一端部はソース電極パッド 1 5 に接続されており、他端はモールド樹脂 1 1 4 から突出している。ゲート用リード 1 1 3 の一端部はゲート電極パッド 1 0 2 に接続されており、他端はモールド樹脂 1 1 4 から突出している。ダイパッド 1 1 1、ソース用リード 1 1 2 およびゲート用リード 1 1 3 は、例えば、銅またはアルミニウムの板状体からなる。

【 0 0 4 8 】

前述の第 1 実施形態では、窒化物半導体装置 1 の一方の表面側にソース電極パッド 1 5 が形成され、窒化物半導体装置 1 の他方の表面側にドレイン電極パッド 1 6 が形成されている。このため、一般的な縦型トランジスタのパッケージを採用することが可能となる。

前述の第 1 実施形態では、ドレインパッド用コンタクトホール 2 1 は、基板 2 の裏面 2 b と第 2 窒化物半導体層 5 との間に、基板 2、バッファ層 3 および第 1 窒化物半導体層 4 を連続して貫通するように形成されている。しかし、図 5 に示すように、ドレインパッド用コンタクトホール 2 1 は、基板 2 の裏面 2 b とドレイン電極 1 0 との間に、基板 2、バッファ層 3、第 1 窒化物半導体層 4 および第 2 窒化物半導体層 5 を連続して貫通するように形成されてもよい。この場合には、ドレインパッド用コンタクトホール 2 1 には、ドレイン電極 1 0 に接続されるドレイン・コンタクトプラグ 2 2 が埋め込まれる。この場合には、ドレイン電極パッド 1 6 は、ドレイン・コンタクトプラグ 2 2 からなる導電経路を介してドレイン電極 1 0 に電氣的に接続される。ドレイン・コンタクトプラグ 2 2 は、前述の第 1 実施形態と同様に、バリアメタル膜 2 3 および金属プラグ 2 4 とからなる。

【 0 0 4 9 】

また、図 6 に示すように、ドレインパッド用コンタクトホール 2 1 は、基板 2 の裏面 2 b と第 1 窒化物半導体層 4 との間に、基板 2 およびバッファ層 3 を連続して貫通するように形成されてもよい。この場合には、図 6 に示すように、第 1 窒化物半導体層 4 における

10

20

30

40

50

、少なくとも第2窒化物半導体層5のドレイン電極10直下の低抵抗領域5aの直下領域に、n型不純物が拡散された低抵抗領域4aを形成することが好ましい。この場合には、ドレインパッド用コンタクトホール21には、第1窒化物半導体層4の低抵抗領域4aに接続されるドレイン・コンタクトプラグ22が埋め込まれる。この場合には、ドレイン電極パッド16は、ドレイン・コンタクトプラグ22、第1窒化物半導体層4の低抵抗領域4aおよび第2窒化物半導体層5のドレイン電極10直下の低抵抗領域5aからなる導電経路を介してドレイン電極10に電氣的に接続される。

【0050】

ドレインパッド用コンタクトホール21は、基板2の裏面2bにおけるドレイン電極10に対向する位置から、ドレイン電極10に向かって延びかつ基板2、バッファ層3、第1窒化物半導体層4および第2窒化物半導体層5のうち少なくとも基板2およびバッファ層3を連続して貫通していればよい。

図7は、この発明の第2実施形態に係る窒化物半導体装置の構成を説明するための断面図である。

【0051】

窒化物半導体装置1Aは、基板2と、基板2の表面2aに形成されたバッファ層3と、バッファ層3上にエピタキシャル成長された第1窒化物半導体層4と、第1窒化物半導体層4上にエピタキシャル成長された第2窒化物半導体層5とを含む。

さらに、この窒化物半導体装置1Aは、第2窒化物半導体層5上に形成されたゲート絶縁膜6を含む。さらに、この窒化物半導体装置1Aは、ゲート絶縁膜6に形成されたソース電極用コンタクトホール7およびドレイン電極用コンタクトホール8を貫通して第2窒化物半導体層5にオーミック接触しているソース電極9およびドレイン電極10を含む。ソース電極9およびドレイン電極10は、間隔を開けて配置されている。

【0052】

さらに、この窒化物半導体装置1Aは、ゲート絶縁膜6上に形成されたゲート電極11を含む。ゲート電極11は、ソース電極9とドレイン電極10との間に配置されている。

さらに、この窒化物半導体装置1Aは、ゲート絶縁膜6、ゲート電極11およびドレイン電極10を覆う第1層間絶縁膜12と、第1層間絶縁膜12上に形成されたソースフィールドプレート13と、第1層間絶縁膜12およびソースフィールドプレート13を覆う第2層間絶縁膜14とを含む。さらに、この窒化物半導体装置1Aは、第2層間絶縁膜14上に形成されたドレイン電極パッド16と、基板2の裏面2bに形成されたソース電極パッド15とを含む。なお、第2層間絶縁膜14上には、ドレイン電極パッド16の他、ゲート電極パッド(図示略)が形成されている。

【0053】

基板2は、この実施形態では、低抵抗のシリコン基板である。低抵抗のシリコン基板は、例えば、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ (より具体的には $1 \times 10^{18} \text{ cm}^{-3}$ 程度) の不純物濃度を有していてもよい。基板2の厚さは $30 \mu\text{m} \sim 300 \mu\text{m}$ 程度である。

バッファ層3は、バッファ層3上に形成される第1窒化物半導体層4の格子定数と、基板2の格子定数との相違によって生じる歪を緩和するための緩衝層である。バッファ層3は、この実施形態では、複数の窒化物半導体膜を積層した多層バッファ層から構成されている。この実施形態では、バッファ層3は、基板2の表面に接するAlN膜と、このAlN膜の表面(基板2とは反対側の表面)に積層されたAlGaN膜との積層膜から構成されている。バッファ層3は、AlN膜の単膜またはAlGaNの単膜から構成されていてもよい。

【0054】

第1窒化物半導体層4は、電子走行層を構成している。この実施形態では、第1窒化物半導体層4は、ドナー型不純物がドーピングされたn型GaN層からなり、その厚さは $1.0 \mu\text{m} \sim 10 \mu\text{m}$ 程度である。なお、第1窒化物半導体層4は、アンドープのGaN層から構成されてもよい。

10

20

30

40

50

第2窒化物半導体層5は、電子供給層を構成している。第2窒化物半導体層5は、第1窒化物半導体層4よりもバンドギャップの大きい窒化物半導体からなっている。具体的には、第2窒化物半導体層5は、第1窒化物半導体層4よりもAl組成の高い窒化物半導体からなっている。窒化物半導体においては、Al組成が高いほどバンドギャップは大きくなる。この実施形態では、第2窒化物半導体層5は、 $Al_{x_1}Ga_{1-x_1}N$ 層 ($0 < x_1 < 1$) からなり、その厚さは10nm~100nm程度である。

【0055】

このように第1窒化物半導体層4（電子走行層）と第2窒化物半導体層5（電子供給層）とは、バンドギャップ（Al組成）の異なる窒化物半導体からなっており、それらの間には格子不整合が生じている。そして、第1窒化物半導体層4および第2窒化物半導体層5の自発分極ならびにそれらの間の格子不整合に起因するピエゾ分極によって、第1窒化物半導体層4と第2窒化物半導体層5との界面における第1窒化物半導体層4の伝導帯のエネルギーレベルはフェルミ準位よりも低くなる。これにより、第1窒化物半導体層4と第2窒化物半導体層5との界面に近い位置（たとえば界面から数程度の距離）には、二次元電子ガス（2DEG）17が広がっている。

10

【0056】

ゲート絶縁膜6は、第2窒化物半導体層5の表面のほぼ全域に形成されている。ゲート絶縁膜6は、この実施形態では、 SiO_2 からなる。ゲート絶縁膜6の厚さは、10nm~100nmである。ゲート絶縁膜6は、 SiO_2 の他、 SiN 、 $SiON$ 、 Al_2O_3 、 AlN 、 $AlON$ 、 HfO 、 HfN 、 $HfON$ 、 $HfSiON$ 、 $AlON$ 等から構成されてもよい。

20

【0057】

ソース電極9およびドレイン電極10は、例えば、Ti膜、 $AlSiCu$ 膜、Ti膜およびTiN膜が、下層からその順に積層されたTiN/ $AlSiCu$ /Ti/TiN積層膜から構成されている。下層側のTiN膜の厚さは、例えば50nm程度である。 $AlSiCu$ 膜の厚さは、例えば1000nm程度である。上層側のTi膜の厚さは、例えば20nm程度である。TiN膜の厚さは、例えば50nm程度である。

【0058】

ゲート電極11は、ゲート絶縁膜6の表面に接するように形成されている。ゲート電極11は、ソース電極用コンタクトホール7寄りに偏って配置されている。ゲート電極11は、例えば、Ti膜、 $AlSiCu$ 膜、Ti膜およびTiN膜が、下層からその順に積層されたTiN/ $AlSiCu$ /Ti/TiN積層膜から構成されている。下層側のTiN膜の厚さは、例えば50nm程度である。 $AlSiCu$ 膜の厚さは、例えば1000nm程度である。上層側のTi膜の厚さは、例えば20nm程度である。TiN膜の厚さは、例えば50nm程度である。

30

【0059】

第1層間絶縁膜12は、ゲート絶縁膜6の表面、ゲート電極11の側面および表面、ソース電極9の側面（ゲート絶縁膜6で覆われている領域を除く）および表面ならびにドレイン電極10の側面（ゲート絶縁膜6で覆われている領域を除く）および表面（ドレイン電極パッド16で覆われている部分を除く）を覆っている。この実施形態では、第1層間絶縁膜12は、 SiO_2 膜からなり、その厚さは0.5 μm ~1.0 μm 程度である。第1層間絶縁膜12には、ソース電極9に対向する位置に、ソース電極9の表面を露出させるフィールドプレート開口18が形成されている。また、第1層間絶縁膜12には、ドレイン電極10に対向する位置に、ドレイン電極10の表面の一部を露出させる第1ドレインパッド開口20Aが形成されている。第1層間絶縁膜12は、 SiO_2 の他、 SiN 等から構成されてもよい。

40

【0060】

第1層間絶縁膜12上には、フィールドプレート開口18を覆うソースフィールドプレート13が形成されている。ソースフィールドプレート13の一部は、フィールドプレート開口18に入り込み、フィールドプレート開口18内においてソース電極9に接続され

50

ている。ソースフィールドプレート13は、ソース電極9の表面上に形成された基部13aと、基部13aからゲート電極11上の上方を通過してドレイン電極10に向かって延びたプレート部13bとを含む。プレート部13bは、ゲート電極11とドレイン電極10との間に配置された部分を有している。ソースフィールドプレート13は、ゲート電極11の端部への電界集中を緩和するために設けられている。ソースフィールドプレート13は、例えばTiN膜、Ti膜、Al膜等からなる。ソースフィールドプレート13のプレート部13bの厚さは、例えば100nm程度である。

【0061】

第2層間絶縁膜14は、第1層間絶縁膜12およびソースフィールドプレート13を覆っている。この実施形態では、第2層間絶縁膜14は、SiO₂膜からなり、その厚さは、0.5μm~1.0μm程度である。第2層間絶縁膜14には、第1ドレインパッド開口20Aに連通する第2ドレインパッド開口20Bが形成されている。第1ドレインパッド開口20Aと第2ドレインパッド開口20Bとによってドレインパッド開口20が形成されている。

10

【0062】

第2層間絶縁膜14上に、ドレインパッド開口20を覆うドレイン電極パッド16が形成されている。ドレイン電極パッド16は、第2層間絶縁膜14上のほぼ全域に形成されている。ドレイン電極パッド16の一部はドレインパッド開口20に入り込み、ドレインパッド開口20内でドレイン電極10に接続されている。ドレイン電極パッド16は、例えば、Al膜、AlCu膜等からなる。

20

【0063】

第2層間絶縁膜14上には、ドレイン電極パッド16が形成されていない除去領域があり、この除去領域内に図示しないゲート電極パッドが形成されている。ゲート電極パッドは、図示しないゲート配線を介してゲート電極11に電氣的に接続されている。

第2窒化物半導体層5におけるソース電極9の直下領域およびドレイン電極10の直下領域には、Alが拡散された低抵抗領域5aが形成されている。この実施形態では、低抵抗領域5aは第1窒化物半導体層4の表層部にも広がっている。

【0064】

基板2の裏面2bと第2窒化物半導体層5との間には、基板2の裏面2bにおけるソース電極9に対向する位置からソース電極9に向かって延びかつ基板2、バッファ層3および第1窒化物半導体層4を連続して貫通するソースパッド用コンタクトホール41が形成されている。この実施形態では、ソースパッド用コンタクトホール41の上端は、第2窒化物半導体層5におけるソース電極9の直下の低抵抗領域5aに達している。

30

【0065】

ソースパッド用コンタクトホール41内には、第2窒化物半導体層5におけるソース電極9の直下の低抵抗領域5aに上端が接続されたソース・コンタクトプラグ(導電体)42が埋め込まれている。ソース・コンタクトプラグ42は、ソースパッド用コンタクトホール41の側壁および第2窒化物半導体層5のソースパッド用コンタクトホール41に臨む部分に形成されたバリアメタル膜43と、バリアメタル膜43に包囲された状態でソースパッド用コンタクトホール41に埋め込まれた金属プラグ44からなる。バリアメタル膜43は、例えば、TiNからなる。金属プラグ44は、例えばCuからなる。

40

【0066】

ソース電極パッド15は、基板2の裏面2bのほぼ全域に形成されている。ソース電極パッド15は、ソース・コンタクトプラグ42の下端に接続されている。したがって、ソース電極パッド15は、ソース・コンタクトプラグ42および第2窒化物半導体層5におけるソース電極9の直下の低抵抗領域5aからなる導電経路を介してソース電極9に電氣的に接続されている。ソース電極パッド15は、例えば、Ni、Ag、Au、Ti等からなる。

【0067】

この窒化物半導体装置1では、第1窒化物半導体層4(電子走行層)上にバンドギャッ

50

ブ（A1組成）の異なる第2窒化物半導体層5（電子供給層）が形成されてヘテロ接合が形成されている。これにより、第1窒化物半導体層4と第2窒化物半導体層5との界面付近の第1窒化物半導体層4内に二次元電子ガス17が形成され、この二次元電子ガス17をチャンネルとして利用したHEMTが形成されている。ゲート電極11に制御電圧を印可していない状態では、二次元電子ガス17をチャンネルとして、ソース電極9とドレイン電極10との間が接続される。したがって、このHEMTはノーマリーオン型である。ソース電極9に対してゲート電極11の電位が負となるような制御電圧をゲート電極11に印加すると、二次元電子ガス17が遮断され、HEMTがオフ状態となる。

【0068】

図8A～図8Nは、前述の窒化物半導体装置1Aの製造工程の一例を説明するための断面図であり、製造工程における複数の段階における断面構造が示されている。

まず、図8Aに示すように、MOCVD（Metal Organic Chemical Vapor Deposition）法によって、基板2の表面2aに、パuffa層3および第1窒化物半導体層（電子走行層）4が順にエピタキシャル成長される。さらに、MOCVD法によって、第1窒化物半導体層4上に第2窒化物半導体層（電子供給層）5がエピタキシャル成長される。さらに、プラズマCVD法、LPCVD（Low Pressure CVD）法、ALD（Atomic Layer Deposition）法等によって、ゲート絶縁膜6の材料膜である絶縁材料膜31が第2窒化物半導体層5に形成される。

【0069】

次に、絶縁材料膜31上に、ソース電極用コンタクトホール7およびドレイン電極用コンタクトホール8を形成すべき領域を除いた領域にレジスト膜が形成される。このレジスト膜を介して絶縁材料膜31をエッチングすることにより、図8Bに示すように、ソース電極用コンタクトホール7およびドレイン電極用コンタクトホール8が形成される。これにより、絶縁材料膜31がパターニングされてゲート絶縁膜6が得られる。ソース電極用コンタクトホール7およびドレイン電極用コンタクトホール8は、ゲート絶縁膜6を貫通して、第2窒化物半導体層5に達している。

【0070】

次に、レジスト膜が除去された後、図8Cに示すように、第2窒化物半導体層5上に、例えば、蒸着法、スパッタ法等によって、ゲート絶縁膜6を覆うように、ソース電極9、ドレイン電極10およびゲート電極11の材料膜である電極膜32が形成される。電極膜32は、例えば、Ti膜、AlSiCu膜、Ti膜およびTiN膜が、下層からその順に積層されたTiN/AlSiCu/Ti/TiN積層膜からなる。

【0071】

次に、電極膜32表面におけるソース電極作成予定領域、ドレイン電極作成予定領域およびゲート電極作成予定領域を覆うレジスト膜が形成される。そして、このレジスト膜をマスクとして、電極膜32が選択的にエッチングされることにより、図8Dに示すように、ソース電極9、ドレイン電極10およびゲート電極11が得られる。

次に、図8Eに示すように、レジスト膜が除去された後、アニール処理が施されることにより、ソース電極9およびドレイン電極10が第2窒化物半導体層5を介して二次元電子ガス層17にオーミック接合される。この際、ソース電極9およびドレイン電極10に含まれるAlが第2窒化物半導体層5に拡散されるので、第2窒化物半導体層5におけるソース電極9の直下領域およびドレイン電極10の直下領域に低抵抗領域5aが形成される。

【0072】

次に、図8Fに示すように、プラズマCVD法またはLPCVD法によって、第2窒化物半導体層5上に、ソース電極9、ドレイン電極10およびゲート電極11を覆うように、第1層間絶縁膜12が形成される。

次に、第1層間絶縁膜12表面におけるソース電極9に対向する領域以外の領域を覆うレジスト膜が形成される。そして、このレジスト膜をマスクとして、第1層間絶縁膜12が選択的にエッチングされることにより、図8Gに示すように、第1層間絶縁膜12にソ

10

20

30

40

50

ース電極 9 の表面を露出させるフィールドプレート開口 18 が形成される。

【0073】

次に、レジスト膜が除去された後、図 8 H に示すように、第 1 層間絶縁膜 12 上に、例えば、スパッタ法によって、フィールドプレート開口 18 を覆うように、ソースフィールドプレート 13 の材料膜であるプレート膜 33 が形成される。プレート膜 33 は、例えば、TiN 膜からなる。

次に、プレート膜 33 表面におけるソースフィールドプレート形成予定領域を覆うレジスト膜が形成される。そして、このレジスト膜をマスクとして、プレート膜 33 が選択的にエッチングされることにより、図 8 I に示すように、ソース電極 9 上に形成された基部 13 a と基部 13 a からドレイン電極 10 に向かって延びたプレート部 13 b とからなるソースフィールドプレート 13 が得られる。

10

【0074】

次に、レジスト膜が除去された後、図 8 J に示すように、プラズマ CVD 法または LPCVD 法によって、第 1 層間絶縁膜 12 上に、ソースフィールドプレート 13 を覆うように、第 2 層間絶縁膜 14 が形成される。

次に、第 2 層間絶縁膜 14 表面におけるドレイン電極 10 の表面の一部に対向する領域以外の領域を覆うレジスト膜が形成される。そして、このレジスト膜をマスクとして、第 2 層間絶縁膜 14 および第 1 層間絶縁膜 12 が選択的にエッチングされることにより、図 8 K に示すように、第 2 層間絶縁膜 14 および第 1 層間絶縁膜 12 にドレイン電極 10 の表面の一部を露出させるドレインパッド開口 20 が形成される。ドレインパッド開口 20 は、第 1 層間絶縁膜 12 を貫通する第 1 ドレインパッド開口 20 A と、第 2 層間絶縁膜 14 を貫通し、第 1 ドレインパッド開口 20 A に連通する第 2 ドレインパッド開口 20 B とからなる。

20

【0075】

次に、レジスト膜が除去された後、例えば、スパッタ法によって、第 2 層間絶縁膜 14 上に、ドレインパッド開口 20 を覆うように、ドレイン電極パッド 16 の材料膜が形成される。そして、図 8 L に示すように、この材料膜がパターンニングされることにより、ドレイン電極パッド 16 が得られる。ドレイン電極パッド 16 の一部は、ドレインパッド開口 20 内に入り込み、ドレインパッド開口 20 内でドレイン電極 10 に接続される。

【0076】

次に、図 8 M に示すように、エッチングによって、基板 2 の裏面 2 b から、基板 2、バッファ層 3 および第 1 窒化物半導体層 4 を連続して貫通し、ソース電極 9 の直下の低抵抗領域 5 a に達するソースパッド用コンタクトホール 41 が形成される。

次に、図 8 N に示すように、例えば、スパッタ法によって、ソースパッド用コンタクトホール 41 の側壁および第 2 窒化物半導体層 5 のソースパッド用コンタクトホール 41 に臨む部分にバリアメタル膜 43 が形成される。続いて、例えば、めっき法によって、バリアメタル膜 43 が形成されたソースパッド用コンタクトホール 41 内に金属プラグ 44 が形成される。これにより、ソースパッド用コンタクトホール 41 内に、ソース電極 9 の直下の低抵抗領域 5 a に接続されたソース・コンタクトプラグ 42 が形成される。この後、例えば、スパッタ法によって、基板 2 の裏面 2 b に、ソース電極パッド 15 が形成されることにより、図 7 に示すような構造の窒化物半導体装置 1 A が得られる。

30

40

【0077】

前述の第 2 実施形態では、窒化物半導体装置 1 A の一方の表面側にドレイン電極パッド 16 が形成され、窒化物半導体装置 1 の他方の表面側にソース電極パッド 15 が形成されている。このため、一般的な縦型トランジスタのパッケージを採用することが可能となる。

前述の第 2 実施形態では、ソースパッド用コンタクトホール 41 は、基板 2 の裏面 2 b と第 2 窒化物半導体層 5 との間に、基板 2、バッファ層 3 および第 1 窒化物半導体層 4 を連続して貫通するように形成されている。しかし、図 9 に示すように、ソースパッド用コンタクトホール 41 は、基板 2 の裏面 2 b とソース電極 9 との間に、基板 2、バッファ層

50

3、第1窒化物半導体層4および第2窒化物半導体層5を連続して貫通するように形成されてもよい。この場合には、ソースパッド用コンタクトホール41には、ソース電極9に接続されるソース・コンタクトプラグ42が埋め込まれる。この場合には、ソース電極パッド15は、ソース・コンタクトプラグ42からなる導電経路を介してソース電極9に電氣的に接続される。ソース・コンタクトプラグ42は、前述の第2実施形態と同様に、バリアメタル膜43および金属プラグ44とからなる。

【0078】

また、図10に示すように、ソースパッド用コンタクトホール41は、基板2の裏面2bと第1窒化物半導体層4との間に、基板2およびバッファ層3を連続して貫通するように形成されてもよい。この場合には、図10に示すように、第1窒化物半導体層4における、少なくとも第2窒化物半導体層5のソース電極9直下の低抵抗領域5aの直下領域に、n型不純物が拡散された低抵抗領域4aを形成することが好ましい。この場合には、ソースパッド用コンタクトホール41には、第1窒化物半導体層4の低抵抗領域4aに接続されるソース・コンタクトプラグ42が埋め込まれる。この場合には、ソース電極パッド15は、ソース・コンタクトプラグ42、第1窒化物半導体層4の低抵抗領域4aおよび第2窒化物半導体層5のソース電極9直下の低抵抗領域5aからなる導電経路を介してソース電極9に電氣的に接続される。

【0079】

ソースパッド用コンタクトホール41は、基板2の裏面2bにおけるソース電極9に対向する位置から、ソース電極9に向かって延びかつ基板2、バッファ層3、第1窒化物半導体層4および第2窒化物半導体層5のうち少なくとも基板2およびバッファ層3を連続して貫通していればよい。

図11は、この発明の第3実施形態に係る窒化物半導体装置の構成を説明するための模式的な断面図である。

【0080】

窒化物半導体装置1Bは、基板2と、基板2の表面2aに形成されたバッファ層3と、バッファ層3上にエピタキシャル成長された第1窒化物半導体層4と、第1窒化物半導体層4上にエピタキシャル成長された第2窒化物半導体層5とを含む。さらに、この窒化物半導体装置1Bは、第2窒化物半導体層5上に形成されたゲート部70とを含む。

さらに、この窒化物半導体装置1Bは、第2窒化物半導体層5およびゲート部70を覆うパッシベーション膜58と、パッシベーション膜58上に積層されたバリアメタル膜59とを含む。さらに、この窒化物半導体装置1Bは、パッシベーション膜58とバリアメタル膜59との積層膜に形成されたソース電極用コンタクト孔60およびドレイン電極用コンタクト孔61を貫通して第2窒化物半導体層5にオーミック接触しているソース電極62およびドレイン電極63とを含む。ソース電極62およびドレイン電極63は、間隔を開けて配置されている。ソース電極62は、ゲート部70を覆うように形成されている。

【0081】

さらに、この窒化物半導体装置1Bは、ソース電極62およびドレイン電極63を覆う層間絶縁膜64を含む。さらに、この窒化物半導体装置1Bは、層間絶縁膜64上に形成されたソース電極パッド65と、基板2の裏面2bに形成されたドレイン電極パッド66とを含む。なお、層間絶縁膜64上には、ソース電極パッド65の他、ゲート電極パッド(図示略)が形成されている。

【0082】

基板2は、シリコン(Si)基板からなる。この実施形態では、基板2は低抵抗のシリコン基板からなる。低抵抗のシリコン基板は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ (より具体的には $1 \times 10^{18} \text{ cm}^{-3}$ 程度)の不純物濃度を有していてもよい。基板2の厚さは、 $30 \mu\text{m} \sim 300 \mu\text{m}$ 程度である。

バッファ層3は、この実施形態では、基板2の表面2aに接するAlN膜と、このAlN膜の表面(基板2とは反対側の表面)に積層されたAlGaN膜との積層膜から構成さ

10

20

30

40

50

れている。バッファ層 3 は、AlN 膜の単膜または AlGaN の単膜から構成されていてもよい。

【0083】

第 1 窒化物半導体層 4 は、電子走行層を構成している。この実施形態では、第 1 窒化物半導体層 4 は、アクセプタ型不純物がドーピングされた GaN 層からなり、その厚さは $1.0 \mu\text{m} \sim 10 \mu\text{m}$ 程度である。アクセプタ型不純物の濃度は、 $4 \times 10^{16} \text{cm}^{-3}$ 以上であることが好ましい。この実施形態では、アクセプタ型不純物は、C (炭素) である。

【0084】

第 2 窒化物半導体層 5 は、電子供給層を構成している。第 2 窒化物半導体層 5 は、第 1 窒化物半導体層 4 よりもバンドギャップの大きい窒化物半導体からなっている。具体的には、第 2 窒化物半導体層 5 は、第 1 窒化物半導体層 4 よりも Al 組成の高い窒化物半導体からなっている。窒化物半導体においては、Al 組成が高いほどバンドギャップは大きくなる。この実施形態では、第 2 窒化物半導体層 5 は、 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 層 ($0 < x_1 < 1$) からなり、その厚さは $10 \text{nm} \sim 100 \text{nm}$ 程度である。

10

【0085】

このように第 1 窒化物半導体層 4 (電子走行層) と第 2 窒化物半導体層 5 (電子供給層) とは、バンドギャップ (Al 組成) の異なる窒化物半導体からなっており、それらの間には格子不整合が生じている。そして、第 1 窒化物半導体層 4 および第 2 窒化物半導体層 5 の自発分極ならびにそれらの間の格子不整合に起因するピエゾ分極によって、第 1 窒化物半導体層 4 と第 2 窒化物半導体層 5 との界面における第 1 窒化物半導体層 4 の伝導帯のエネルギーレベルはフェルミ準位よりも低くなる。これにより、第 1 窒化物半導体層 4 と第 2 窒化物半導体層 5 との界面に近い位置 (たとえば界面から数程度の距離) には、二次元電子ガス (2DEG) 17 が広がっている。

20

【0086】

ゲート部 70 は、第 2 窒化物半導体層 5 上にエピタキシャル成長された窒化物半導体ゲート層 56 と、窒化物半導体ゲート層 56 上に形成されたゲート電極 57 とを含む。ゲート部 70 は、ソース電極用コンタクト孔 60 寄りに偏って配置されている。

窒化物半導体ゲート層 56 は、アクセプタ型不純物がドーピングされた窒化物半導体からなる。この実施形態では、窒化物半導体ゲート層 56 は、アクセプタ型不純物がドーピングされた GaN 層 (p 型 GaN 層) からなっており、その厚さは $10 \text{nm} \sim 100 \text{nm}$ 程度である。窒化物半導体ゲート層 56 に注入されるアクセプタ型不純物の濃度は、 $3 \times 10^{17} \text{cm}^{-3}$ 以上であることが好ましい。この実施形態では、アクセプタ型不純物は、Mg (マグネシウム) である。アクセプタ型不純物は、C (炭素) 等の Mg 以外のアクセプタ型不純物であってもよい。窒化物半導体ゲート層 56 は、ゲート部 70 の直下の領域において、第 1 窒化物半導体層 4 (電子走行層) と第 2 窒化物半導体層 5 (電子供給層) との界面に生じる二次元電子ガス 17 を相殺するために設けられている。

30

【0087】

ゲート電極 57 は、窒化物半導体ゲート層 56 の表面に接するように形成されている。ゲート電極 57 は、この実施形態では、TiN 層から構成されており、その厚さは 100nm 程度である。

40

パッシベーション膜 58 は、第 2 窒化物半導体層 5 の表面 (コンタクト孔 60, 61 が臨んでいる領域を除く) および窒化物半導体ゲート層 56 の側面ならびにゲート電極 57 の側面および表面を覆っている。この実施形態では、パッシベーション膜 58 は SiN 膜からなり、その厚さは 100nm 程度である。

【0088】

パッシベーション膜 58 上には、ゲート部 70 を覆うように、バリアメタル膜 59 が積層されている。この実施形態では、バリアメタル膜 59 は TiN 膜からなり、その厚さは 50nm 程度である。

ソース電極 62 およびドレイン電極 63 は、例えば、第 2 窒化物半導体層 5 に接する下

50

層と、下層に積層された中間層と、中間層に積層された上層とを有していてもよい。下層は厚さが20nm程度のTiであってよく、中間層は200nm程度のAlであってよく、上層は厚さが50nm程度のTiNであってよい。

【0089】

層間絶縁膜64は、例えば、SiO₂からなる。層間絶縁膜64の厚さは、1μm程度である。層間絶縁膜64には、ソース電極62の表面の一部を露出させるソースパッド開口67が形成されている。層間絶縁膜64上に、ソースパッド開口67を覆うソース電極パッド65が形成されている。ソース電極パッド65は、層間絶縁膜64上のほぼ全域に形成されている。ソース電極パッド65の一部はソースパッド開口67に入り込み、ソースパッド開口67内でソース電極62に接続されている。ソース電極パッド65は、例えば、Al膜、AlCu膜等からなる。

10

【0090】

第2層間絶縁膜64上には、ソース電極パッド65が形成されていない除去領域があり、この除去領域内に図示しないゲート電極パッドが形成されている。ゲート電極パッドは、図示しないゲート配線を介してゲート電極57に電氣的に接続されている。

第2窒化物半導体層5におけるソース電極62の直下領域およびドレイン電極63の直下領域には、Alが拡散された低抵抗領域5aが形成されている。この実施形態では、低抵抗領域5aは第1窒化物半導体層4の表層部にも広がっている。

【0091】

基板2の裏面2bと第2窒化物半導体層5との間には、基板2の裏面2bにおけるドレイン電極63に対向する位置からドレイン電極63に向かって延びかつ基板2、バッファ層3および第1窒化物半導体層4を連続して貫通するドレインパッド用コンタクトホール21が形成されている。この実施形態では、ドレインパッド用コンタクトホール21の上端は、第2窒化物半導体層5におけるドレイン電極63の直下の低抵抗領域5aに達している。

20

【0092】

ドレインパッド用コンタクトホール21内には、第2窒化物半導体層5におけるドレイン電極63の直下の低抵抗領域5aに上端が接続されたドレイン・コンタクトプラグ(導電体)22が埋め込まれている。ドレイン・コンタクトプラグ22は、ドレインパッド用コンタクトホール21の側壁および第2窒化物半導体層5のドレインパッド用コンタクトホール21に臨む部分に形成されたバリアメタル膜23と、バリアメタル膜23に包囲された状態でドレインパッド用コンタクトホール21に埋め込まれた金属プラグ24からなる。バリアメタル膜23は、例えば、TiNからなる。金属プラグ24は、例えばCuからなる。

30

【0093】

ドレイン電極パッド66は、基板2の裏面2bのほぼ全域に形成されている。ドレイン電極パッド66は、ドレイン・コンタクトプラグ22の下端に接続されている。したがって、ドレイン電極パッド66は、ドレイン・コンタクトプラグ22および第2窒化物半導体層5におけるドレイン電極63の直下の低抵抗領域5aからなる導電経路を介してドレイン電極63に電氣的に接続されている。ドレイン電極パッド66は、例えば、Ni、Ag、Ti、Au等からなる。

40

【0094】

この窒化物半導体装置1Bでは、第1窒化物半導体層4(電子走行層)上にバンドギャップ(Al組成)の異なる第2窒化物半導体層5(電子供給層)が形成されてヘテロ接合が形成されている。これにより、第1窒化物半導体層4と第2窒化物半導体層5との界面付近の第1窒化物半導体層4内に二次元電子ガス17が形成され、この二次元電子ガス17をチャンネルとして利用したHEMTが形成されている。

【0095】

ゲート電極57は、p型GaN層からなる窒化物半導体ゲート層56を挟んで第2窒化物半導体層5に対向している。ゲート電極57の下方においては、p型GaN層からなる

50

窒化物半導体ゲート層 5 6 に含まれるイオン化アクセプタによって、第 1 窒化物半導体層 4 および第 2 窒化物半導体層 5 のエネルギーレベルが引き上げられる。このため、第 1 窒化物半導体層 4 と第 2 窒化物半導体層 5 との間のヘテロ接合界面における伝導帯のエネルギーレベルはフェルミ準位よりも大きくなる。したがって、ゲート電極 5 7 (ゲート部 7 0) の直下では、第 1 窒化物半導体層 4 および第 2 窒化物半導体層 5 の自発分極ならびにそれらの格子不整合によるピエゾ分極に起因する二次元電子ガス 1 7 が形成されない。

【0096】

よって、ゲート電極 5 7 にバイアスを印加していないとき(ゼロバイアス時)には、二次元電子ガス 1 7 によるチャンネルはゲート電極 5 7 の直下で遮断されている。こうして、ノーマリーオフ型の HEMT が実現されている。ゲート電極 5 7 に適切なオン電圧(たとえば 3 V)を印加すると、ゲート電極 5 7 の直下の第 1 窒化物半導体層 4 内にチャンネルが誘起され、ゲート電極 5 7 の両側の二次元電子ガス 1 7 が接続される。これにより、ソース-ドレイン間が導通する。

10

【0097】

使用に際しては、たとえば、ソース電極 6 2 とドレイン電極 6 3 との間に、ドレイン電極 6 3 側が正となる所定の電圧(たとえば 200 V ~ 300 V)が印加される。その状態で、ゲート電極 5 7 に対して、ソース電極 6 2 を基準電位(0 V)として、オフ電圧(0 V)またはオン電圧(3 V)が印加される。

前述の第 3 実施形態では、窒化物半導体装置 1 B の一方の表面側にソース電極パッド 6 5 が形成され、窒化物半導体装置 1 B の他方の表面側にドレイン電極パッド 6 6 が形成されている。このため、一般的な縦型トランジスタのパッケージを採用することが可能となる。

20

【0098】

第 3 実施形態において、ドレインパッド用コンタクトホール 2 1 は、基板 2 の裏面 2 b とドレイン電極 6 3 との間に、基板 2、バッファ層 3、第 1 窒化物半導体層 4 および第 2 窒化物半導体層 5 を連続して貫通するように形成されてもよい。また、ドレインパッド用コンタクトホール 2 1 は、基板 2 の裏面 2 b と第 1 窒化物半導体層 4 との間に、基板 2 およびバッファ層 3 を連続して貫通するように形成されてもよい。

【0099】

図 1 2 は、この発明の第 4 実施形態に係る窒化物半導体装置の構成を説明するための模式的な断面図である。

30

窒化物半導体装置 1 C は、基板 2 と、基板 2 の表面 2 a に形成されたバッファ層 3 と、バッファ層 3 上にエピタキシャル成長された第 1 窒化物半導体層 4 と、第 1 窒化物半導体層 4 上にエピタキシャル成長された第 2 窒化物半導体層 5 とを含む。さらに、この窒化物半導体装置 1 は、第 2 窒化物半導体層 5 上に形成されたゲート部 7 0 とを含む。

【0100】

さらに、この窒化物半導体装置 1 C は、第 2 窒化物半導体層 5 およびゲート部 7 0 を覆うパッシベーション膜 5 8 と、パッシベーション膜 5 8 上に積層されたバリアメタル膜 5 9 とを含む。さらに、この窒化物半導体装置 1 B は、パッシベーション膜 5 8 とバリアメタル膜 5 9 との積層膜に形成されたソース電極用コンタクト孔 6 0 およびドレイン電極用コンタクト孔 6 1 を貫通して第 2 窒化物半導体層 5 にオーミック接触しているソース電極 6 2 およびドレイン電極 6 3 とを含む。ソース電極 6 2 およびドレイン電極 6 3 は、間隔を開けて配置されている。ソース電極 6 2 は、ゲート部 7 0 を覆うように形成されている。

40

【0101】

さらに、この窒化物半導体装置 1 B は、ソース電極 6 2 およびドレイン電極 6 3 を覆う層間絶縁膜 6 4 を含む。さらに、この窒化物半導体装置 1 C は、層間絶縁膜 6 4 上に形成されたドレイン電極パッド 6 6 と、基板 2 の裏面 2 b に形成されたソース電極パッド 6 5 とを含む。なお、層間絶縁膜 6 4 上には、ドレイン電極パッド 6 6 の他、ゲート電極パッド(図示略)が形成されている。

50

【0102】

基板2は、シリコン(Si)基板からなる。この実施形態では、基板2は低抵抗のシリコン基板からなる。低抵抗のシリコン基板は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ (より具体的には $1 \times 10^{18} \text{ cm}^{-3}$ 程度)の不純物濃度を有していてもよい。基板2の厚さは、 $30 \mu\text{m} \sim 300 \mu\text{m}$ 程度である。

バッファ層3は、この実施形態では、基板2の表面2aに接するAlN膜と、このAlN膜の表面(基板2とは反対側の表面)に積層されたAlGaN膜との積層膜から構成されている。バッファ層3は、AlN膜の単膜またはAlGaNの単膜から構成されていてもよい。

【0103】

第1窒化物半導体層4は、電子走行層を構成している。この実施形態では、第1窒化物半導体層4は、アクセプタ型不純物がドーピングされたGaN層からなり、その厚さは $1.0 \mu\text{m} \sim 10 \mu\text{m}$ 程度である。アクセプタ型不純物の濃度は、 $4 \times 10^{16} \text{ cm}^{-3}$ 以上であることが好ましい。この実施形態では、アクセプタ型不純物は、C(炭素)である。

【0104】

第2窒化物半導体層5は、電子供給層を構成している。第2窒化物半導体層5は、第1窒化物半導体層4よりもバンドギャップの大きい窒化物半導体からなっている。具体的には、第2窒化物半導体層5は、第1窒化物半導体層4よりもAl組成の高い窒化物半導体からなっている。窒化物半導体においては、Al組成が高いほどバンドギャップは大きくなる。この実施形態では、第2窒化物半導体層5は、 $\text{Al}_{x_1}\text{Ga}_{1-x_1}\text{N}$ 層($0 < x_1 < 1$)からなり、その厚さは $10 \text{ nm} \sim 100 \text{ nm}$ 程度である。

【0105】

このように第1窒化物半導体層4(電子走行層)と第2窒化物半導体層5(電子供給層)とは、バンドギャップ(Al組成)の異なる窒化物半導体からなっており、それらの間には格子不整合が生じている。そして、第1窒化物半導体層4および第2窒化物半導体層5の自発分極ならびにそれらの間の格子不整合に起因するピエゾ分極によって、第1窒化物半導体層4と第2窒化物半導体層5との界面における第1窒化物半導体層4の伝導帯のエネルギーレベルはフェルミ準位よりも低くなる。これにより、第1窒化物半導体層4と第2窒化物半導体層5との界面に近い位置(たとえば界面から数程度の距離)には、二次元電子ガス(2DEG)17が広がっている。

【0106】

ゲート部70は、第2窒化物半導体層5上にエピタキシャル成長された窒化物半導体ゲート層56と、窒化物半導体ゲート層56上に形成されたゲート電極57とを含む。ゲート部70は、ソース電極用コンタクト孔60寄りに偏って配置されている。

窒化物半導体ゲート層56は、アクセプタ型不純物がドーピングされた窒化物半導体からなる。この実施形態では、窒化物半導体ゲート層56は、アクセプタ型不純物がドーピングされたGaN層(p型GaN層)からなっており、その厚さは $10 \text{ nm} \sim 100 \text{ nm}$ 程度である。窒化物半導体ゲート層56に注入されるアクセプタ型不純物の濃度は、 $3 \times 10^{17} \text{ cm}^{-3}$ 以上であることが好ましい。この実施形態では、アクセプタ型不純物は、Mg(マグネシウム)である。アクセプタ型不純物は、C(炭素)等のMg以外のアクセプタ型不純物であってもよい。窒化物半導体ゲート層56は、ゲート部70の直下の領域において、第1窒化物半導体層4(電子走行層)と第2窒化物半導体層5(電子供給層)との界面に生じる二次元電子ガス17を相殺するために設けられている。

【0107】

ゲート電極57は、窒化物半導体ゲート層56の表面に接するように形成されている。ゲート電極57は、この実施形態では、TiN層から構成されており、その厚さは 100 nm 程度である。

パッシベーション膜58は、第2窒化物半導体層5の表面(コンタクト孔60, 61が臨んでいる領域を除く)および窒化物半導体ゲート層56の側面ならびにゲート電極57

10

20

30

40

50

の側面および表面を覆っている。この実施形態では、パッシベーション膜 58 は SiN 膜からなり、その厚さは 100 nm 程度である。

【0108】

パッシベーション膜 58 上には、ゲート部 70 を覆うように、バリアメタル膜 59 が積層されている。この実施形態では、バリアメタル膜 59 は TiN 膜からなり、その厚さは 50 nm 程度である。

ソース電極 62 およびドレイン電極 63 は、例えば、第 2 窒化物半導体層 5 に接する下層と、下層に積層された中間層と、中間層に積層された上層とを有していてもよい。下層は厚さが 20 nm 程度の Ti であってよく、中間層は 200 nm 程度の Al であってよく、上層は厚さが 50 nm 程度の TiN であってよい。

10

【0109】

層間絶縁膜 64 は、例えば、SiO₂ からなる。層間絶縁膜 64 の厚さは、1 μm 程度である。層間絶縁膜 64 には、ドレイン電極 63 の表面の一部を露出させるドレインパッド開口 68 が形成されている。層間絶縁膜 64 上に、ドレインパッド開口 68 を覆うドレイン電極パッド 66 が形成されている。ドレイン電極パッド 66 は、層間絶縁膜 64 上のほぼ全域に形成されている。ドレイン電極パッド 66 の一部はドレインパッド開口 68 に入り込み、ドレインパッド開口 68 内でドレイン電極 63 に接続されている。ドレイン電極パッド 66 は、例えば、Al 膜、AlCu 膜等からなる。

【0110】

第 2 層間絶縁膜 64 上には、ドレイン電極パッド 66 が形成されていない除去領域があり、この除去領域内に図示しないゲート電極パッドが形成されている。ゲート電極パッドは、図示しないゲート配線を介してゲート電極 57 に電氣的に接続されている。

20

第 2 窒化物半導体層 5 におけるソース電極 62 の直下領域およびドレイン電極 63 の直下領域には、Al が拡散された低抵抗領域 5a が形成されている。この実施形態では、低抵抗領域 5a は第 1 窒化物半導体層 4 の表層部にも広がっている。

【0111】

基板 2 の裏面 2b と第 2 窒化物半導体層 5 との間には、基板 2 の裏面 2b におけるソース電極 62 に対向する位置からソース電極 62 に向かって延びかつ基板 2、バッファ層 3 および第 1 窒化物半導体層 4 を連続して貫通するソースパッド用コンタクトホール 41 が形成されている。この実施形態では、ソースパッド用コンタクトホール 41 の上端は、第 2 窒化物半導体層 5 におけるソース電極 62 の直下の低抵抗領域 5a に達している。

30

【0112】

ソースパッド用コンタクトホール 41 内には、第 2 窒化物半導体層 5 におけるソース電極 62 の直下の低抵抗領域 5a に上端が接続されたソース・コンタクトプラグ (導電体) 42 が埋め込まれている。ソース・コンタクトプラグ 42 は、ソースパッド用コンタクトホール 41 の側壁および第 2 窒化物半導体層 5 のソースパッド用コンタクトホール 41 に臨む部分に形成されたバリアメタル膜 43 と、バリアメタル膜 43 に包囲された状態でソースパッド用コンタクトホール 41 に埋め込まれた金属プラグ 44 からなる。バリアメタル膜 43 は、例えば、TiN からなる。金属プラグ 44 は、例えば Cu からなる。

【0113】

ソース電極パッド 65 は、基板 2 の裏面 2b のほぼ全域に形成されている。ソース電極パッド 65 は、ソース・コンタクトプラグ 42 の下端に接続されている。したがって、ソース電極パッド 65 は、ソース・コンタクトプラグ 42 および第 2 窒化物半導体層 5 におけるソース電極 62 の直下の低抵抗領域 5a からなる導電経路を介してソース電極 62 に電氣的に接続されている。ソース電極パッド 65 は、例えば、Ni、Ag、Ti、Au 等からなる。

40

【0114】

この窒化物半導体装置 1C では、第 1 窒化物半導体層 4 (電子走行層) 上にバンドギャップ (Al 組成) の異なる第 2 窒化物半導体層 5 (電子供給層) が形成されてヘテロ接合が形成されている。これにより、第 1 窒化物半導体層 4 と第 2 窒化物半導体層 5 との界面

50

付近の第1窒化物半導体層4内に二次元電子ガス17が形成され、この二次元電子ガス17をチャンネルとして利用したHEMTが形成されている。

【0115】

ゲート電極57は、p型GaN層からなる窒化物半導体ゲート層56を挟んで第2窒化物半導体層5に対向している。ゲート電極57の下方においては、p型GaN層からなる窒化物半導体ゲート層56に含まれるイオン化アクセプタによって、第1窒化物半導体層4および第2窒化物半導体層5のエネルギーレベルが引き上げられる。このため、第1窒化物半導体層4と第2窒化物半導体層5との間のヘテロ接合界面における伝導帯のエネルギーレベルはフェルミ準位よりも大きくなる。したがって、ゲート電極57（ゲート部70）の直下では、第1窒化物半導体層4および第2窒化物半導体層5の自発分極ならびにそれらの格子不整合によるピエゾ分極に起因する二次元電子ガス17が形成されない。

10

【0116】

よって、ゲート電極57にバイアスを印加していないとき（ゼロバイアス時）には、二次元電子ガス17によるチャンネルはゲート電極57の直下で遮断されている。こうして、ノーマリーオフ型のHEMTが実現されている。ゲート電極57に適切なオン電圧（たとえば3V）を印加すると、ゲート電極57の直下の第1窒化物半導体層4内にチャンネルが誘起され、ゲート電極57の両側の二次元電子ガス17が接続される。これにより、ソース-ドレイン間が導通する。

【0117】

使用に際しては、たとえば、ソース電極62とドレイン電極63との間に、ドレイン電極63側が正となる所定の電圧（たとえば200V～300V）が印加される。その状態で、ゲート電極57に対して、ソース電極62を基準電位（0V）として、オフ電圧（0V）またはオン電圧（3V）が印加される。

20

前述の第4実施形態では、窒化物半導体装置1Cの一方の表面側にドレイン電極パッド66が形成され、窒化物半導体装置1Cの他方の表面側にソース電極パッド65が形成されている。このため、一般的な縦型トランジスタのパッケージを採用することが可能となる。

【0118】

第4実施形態において、ソースパッド用コンタクトホール41は、基板2の裏面2bとソース電極62との間に、基板2、バッファ層3、第1窒化物半導体層4および第2窒化物半導体層5を連続して貫通するように形成されてもよい。また、ソースパッド用コンタクトホール41は、基板2の裏面2bと第1窒化物半導体層4との間に、基板2およびバッファ層3を連続して貫通するように形成されてもよい。

30

【0119】

以上、この発明の第1～第4実施形態について説明したが、この発明は、さらに他の形態で実施することもできる。たとえば、前述の第1～第4実施形態では、第1窒化物半導体層（電子走行層）4がGaN層からなり、第2窒化物半導体層（電子供給層）5がAlGaN層からなる例について説明したが、第1窒化物半導体層4と第2窒化物半導体層5とはバンドギャップ（例えばAl組成）が異なっていればよく、他の組み合わせも可能である。たとえば、第1窒化物半導体層4/第2窒化物半導体層5の組み合わせとしては、GaN/AlN、AlGaN/AlNなどを例示できる。

40

【0120】

また、前述の第1～第4実施形態では、基板2の材料例としてシリコンを例示したが、ほかにも、サファイア基板やGaN基板などの任意の基板材料を適用できる。

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【符号の説明】

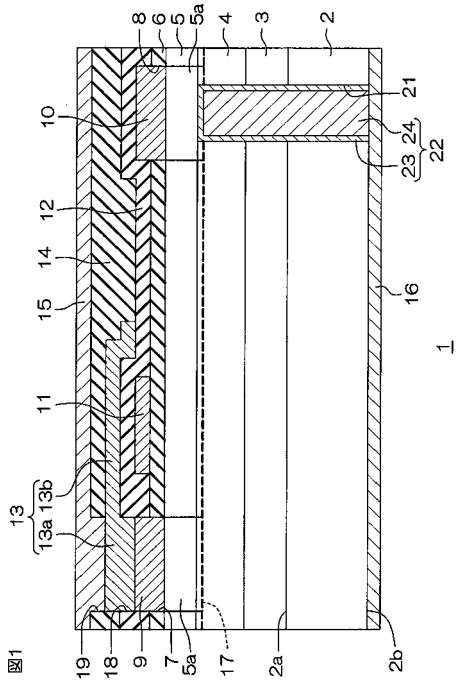
【0121】

- 1, 1A, 1B, 1C 窒化物半導体装置
- 2 基板

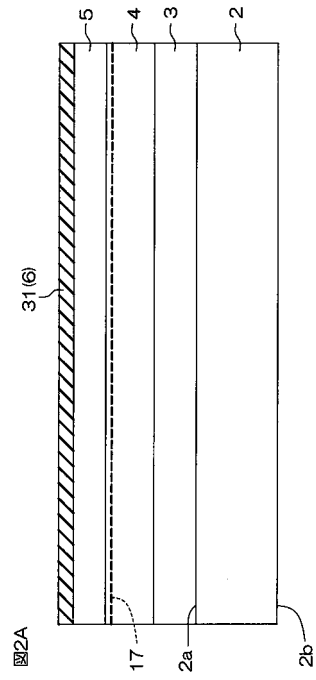
50

3	バッファ層	
4	第1窒化物半導体層	
5	第2窒化物半導体層	
5 a	低抵抗領域	
6	ゲート絶縁膜	
7	ソース電極用コンタクトホール	
8	ドレイン電極用コンタクトホール	
9, 6 2	ソース電極	
1 0, 6 3	ドレイン電極	
1 1, 5 7	ゲート電極	10
1 2	第1層間絶縁膜	
1 3	ソースフィールドプレート	
1 3 a	基部	
1 3 b	プレート部	
1 4	第2層間絶縁膜	
1 5, 5 5	ソース電極パッド	
1 6, 5 6	ドレイン電極パッド	
1 7	二次元電子ガス	
1 8	フィールドプレート開口	
1 9, 6 7	ソースパッド開口	20
2 0, 6 8	ドレインパッド開口	
2 0 A	第1ドレインパッド開口	
2 0 B	第2ドレインパッド開口	
2 1	ドレインパッド用コンタクトホール	
2 2	ドレイン・コンタクトプラグ	
2 3	バリアメタル膜	
2 4	金属プラグ	
3 1	絶縁材料膜	
3 2	電極膜	
3 3	プレート膜	30
4 1	ソースパッド用コンタクトホール	
4 2	ソース・コンタクトプラグ	
4 3	バリアメタル膜	
4 4	金属プラグ	
1 0 1	パッケージ	
1 0 2	ゲート電極パッド	
1 1 1	ダイパッド	
1 1 1 A	ダイパッド本体	
1 1 1 B	ドレイン用リード	
1 1 2	ソース用リード	40
1 1 3	ゲート用リード	
1 1 4	モールド樹脂	

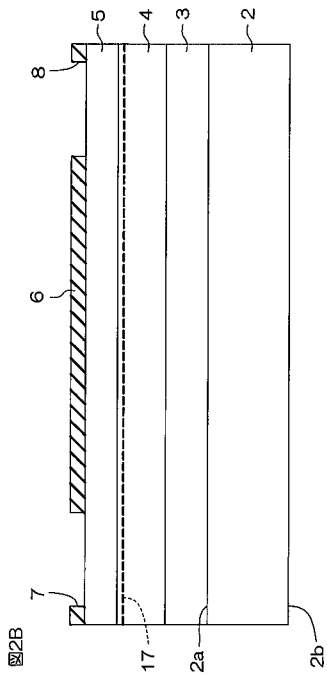
【 図 1 】



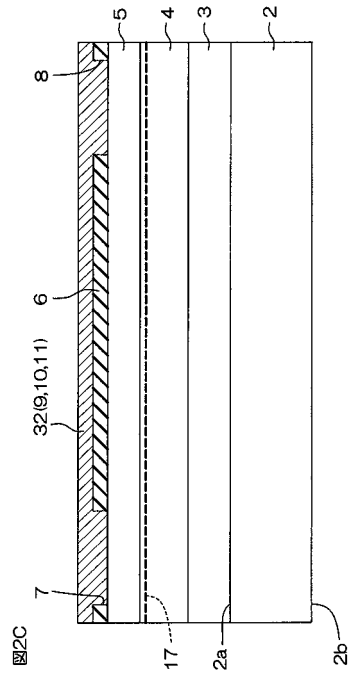
【 図 2 A 】



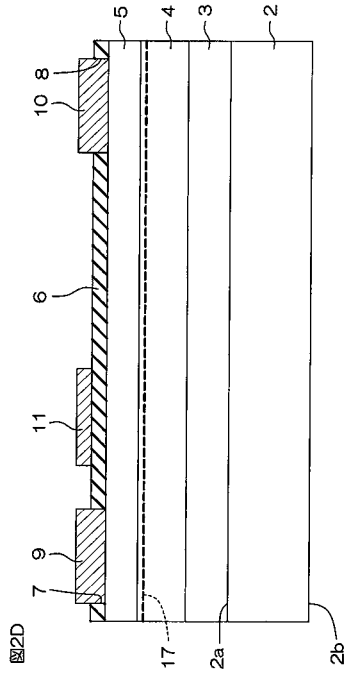
【 図 2 B 】



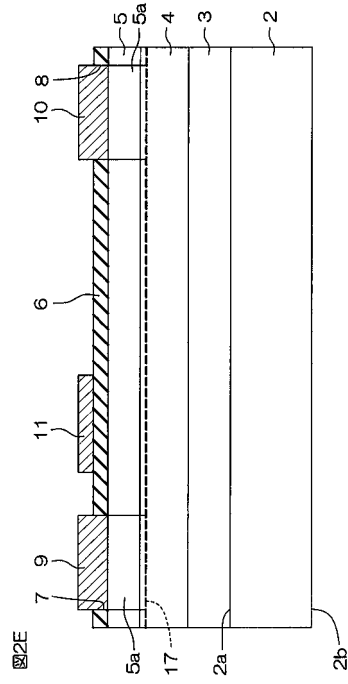
【 図 2 C 】



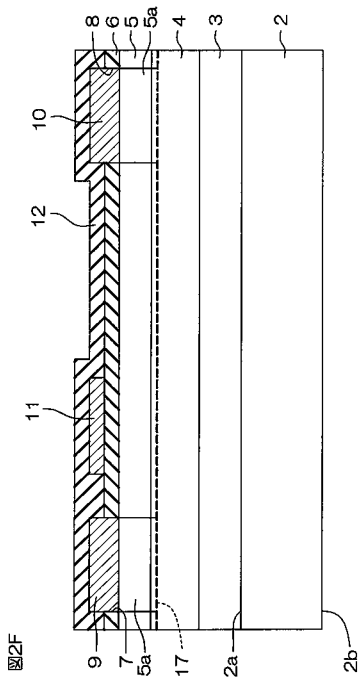
【 図 2 D 】



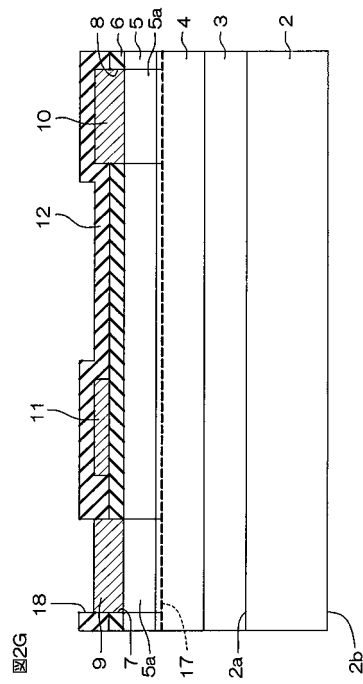
【 図 2 E 】



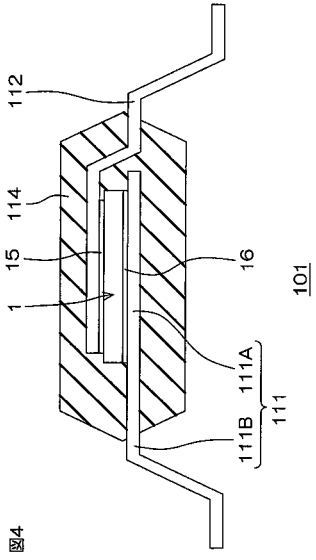
【 図 2 F 】



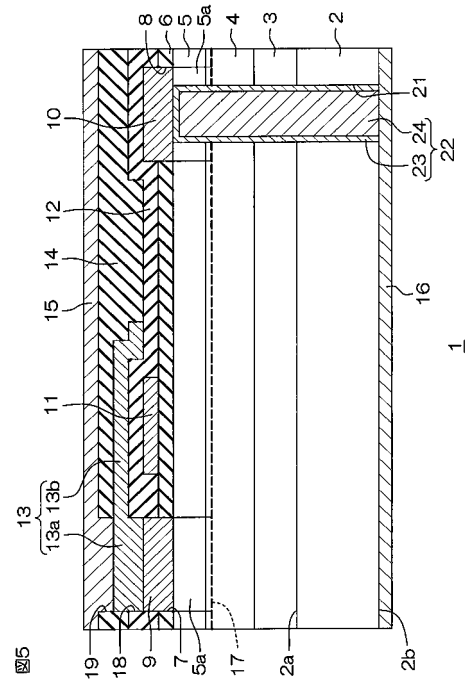
【 図 2 G 】



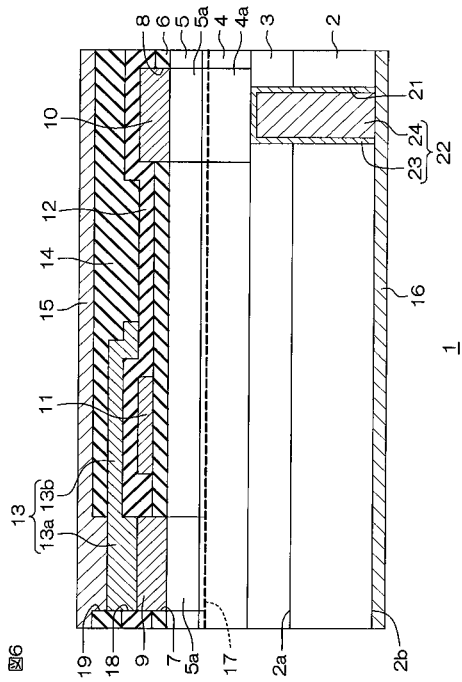
【 図 4 】



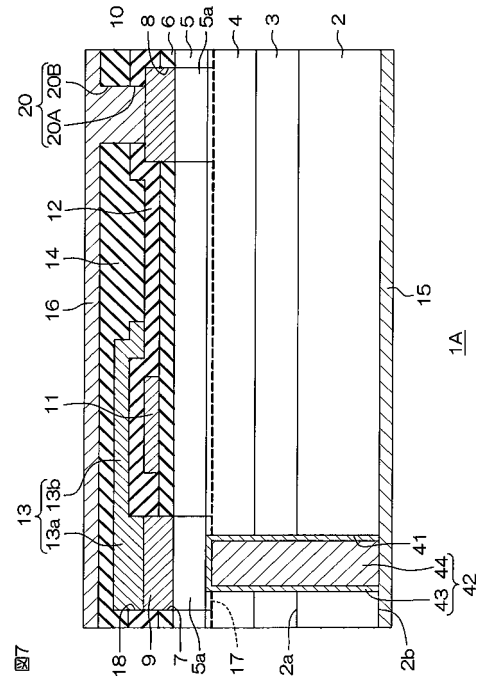
【 図 5 】



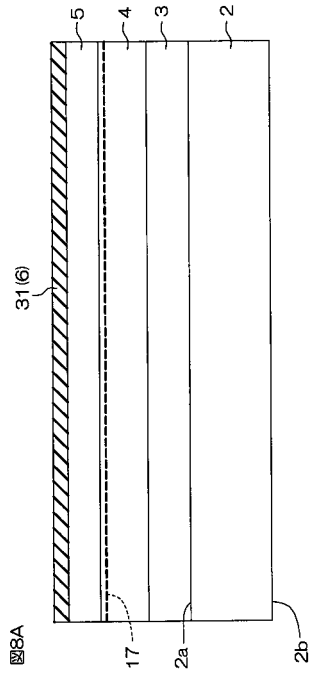
【 図 6 】



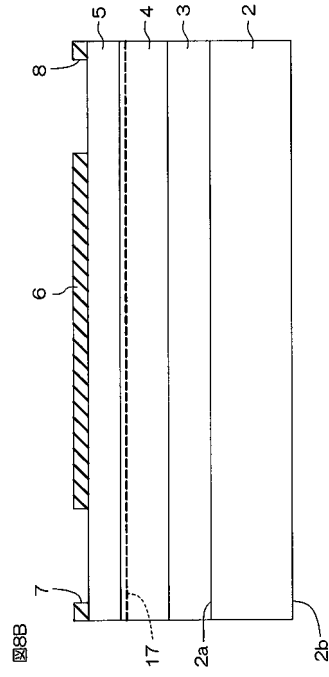
【 図 7 】



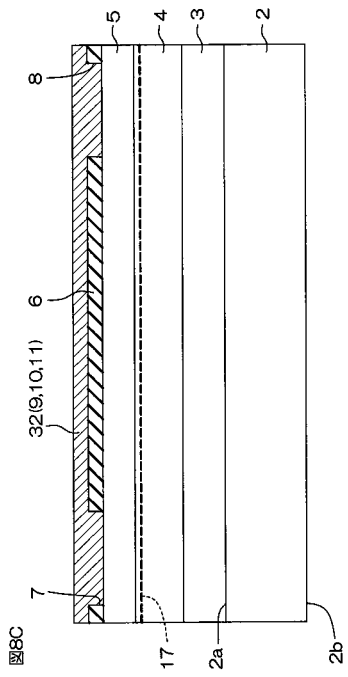
【 図 8 A 】



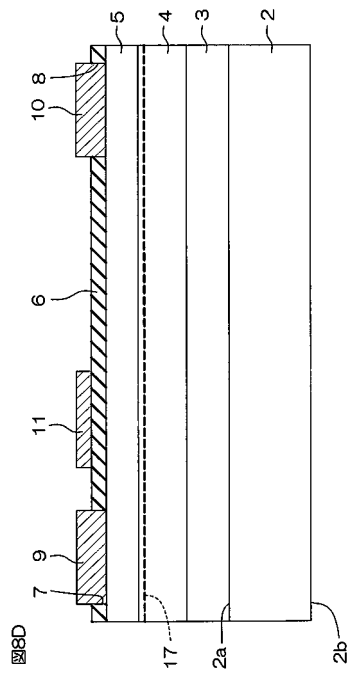
【 図 8 B 】



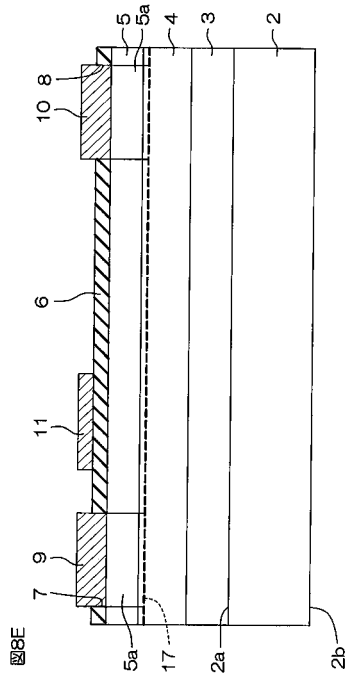
【 図 8 C 】



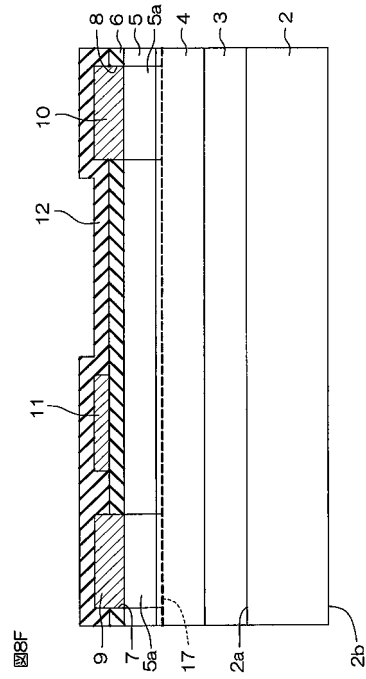
【 図 8 D 】



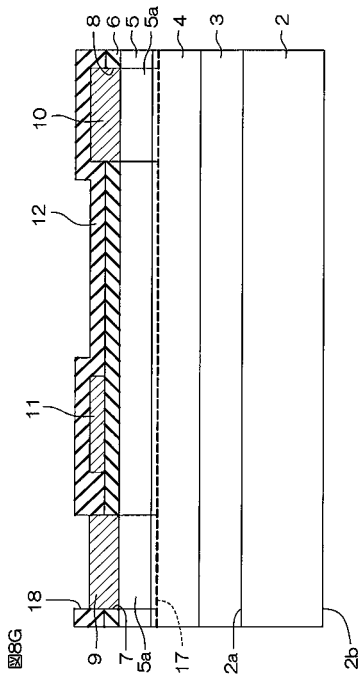
【 8 E 】



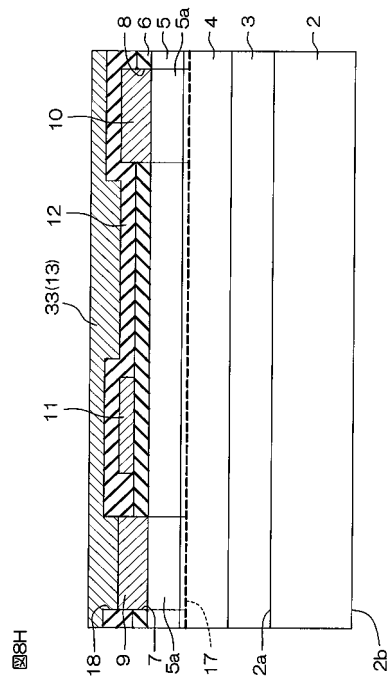
【 8 F 】



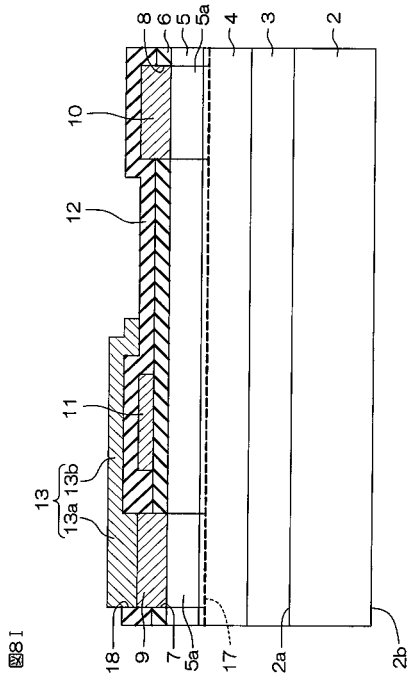
【 8 G 】



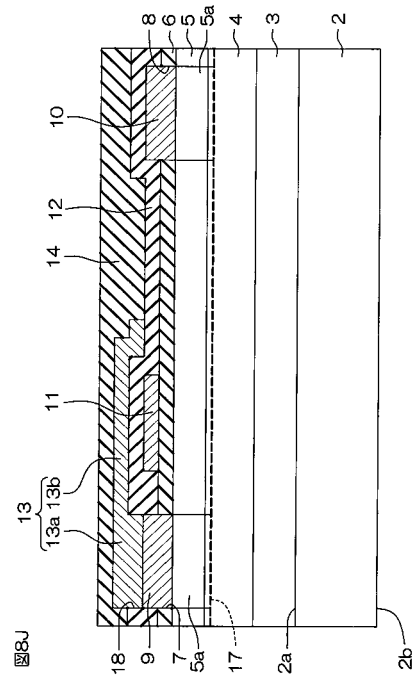
【 8 H 】



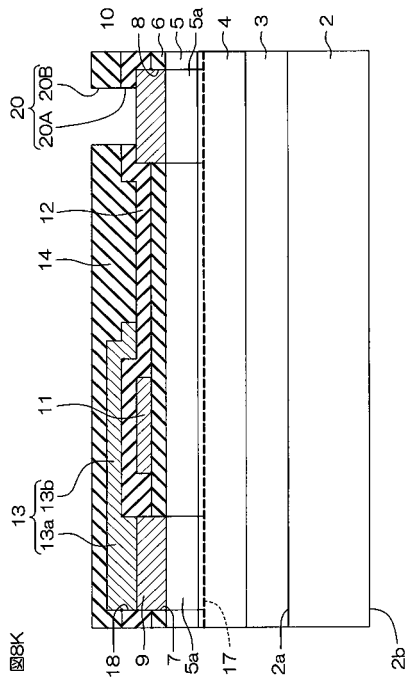
【 図 8 I 】



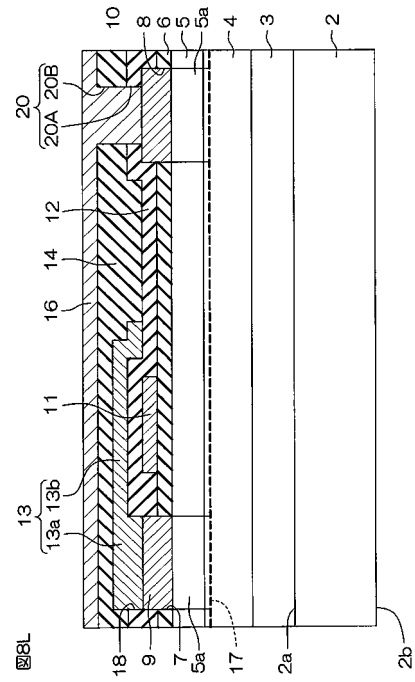
【 図 8 J 】



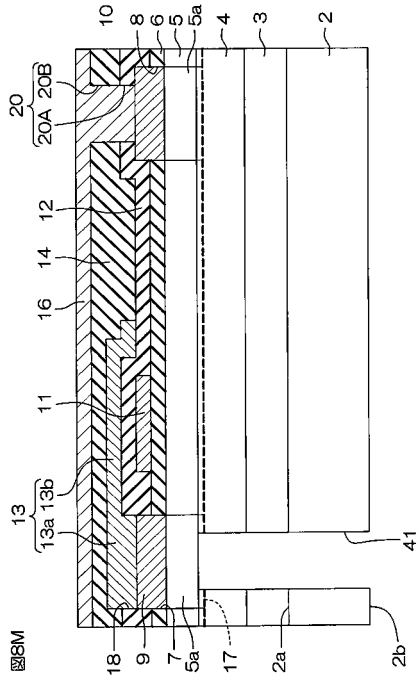
【 図 8 K 】



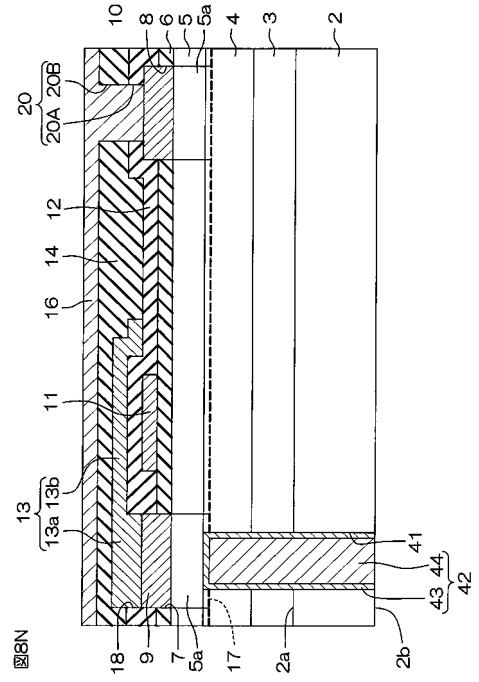
【 図 8 L 】



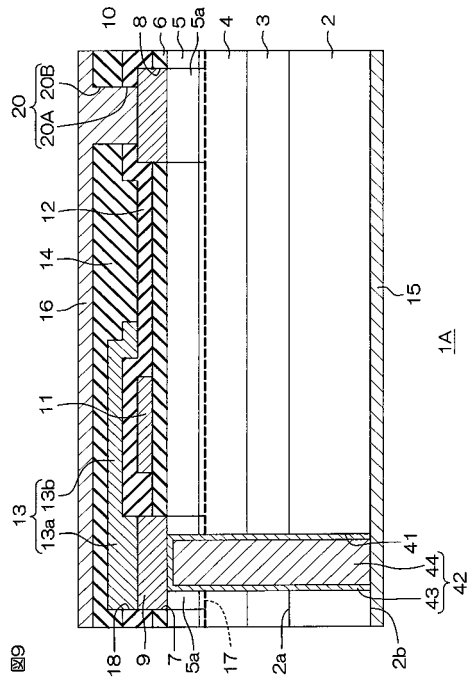
【 図 8 M 】



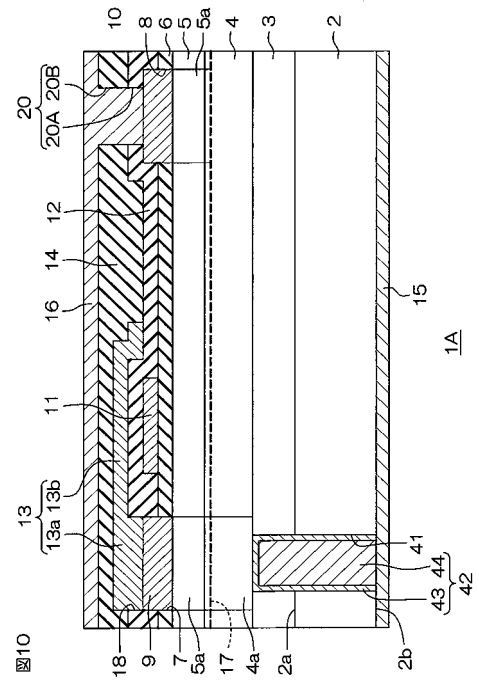
【 図 8 N 】



【 図 9 】



【 図 1 0 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L	29/808	(2006.01)	H 0 1 L 21/28	3 0 1 B
H 0 1 L	21/336	(2006.01)	H 0 1 L 29/50	M
H 0 1 L	29/78	(2006.01)	H 0 1 L 29/58	G
H 0 1 L	21/28	(2006.01)	H 0 1 L 21/88	J
H 0 1 L	29/417	(2006.01)	H 0 1 L 21/88	T
H 0 1 L	29/423	(2006.01)		
H 0 1 L	29/49	(2006.01)		
H 0 1 L	21/3205	(2006.01)		
H 0 1 L	21/768	(2006.01)		
H 0 1 L	23/522	(2006.01)		

F ターム(参考)	5F033	GG02	HH09	HH11	HH18	HH33	JJ01	JJ08	JJ11	JJ18	JJ33
		KK01	KK08	KK09	KK18	KK33	MM08	MM12	MM13	MM30	NN03
		PP15	PP19	RR04	RR06	SS11	SS13	SS15	VV07		
	5F102	FA03	GB01	GB02	GC01	GD04	GD10	GJ03	GK04	GK08	GL04
		GM04	GQ01	GR07	GR12	GV03	GV07	GV08			
	5F140	AA36	BA06	BA09	BA17	BB18	BD05	BD06	BD07	BD09	BD11
		BE10	BE14	BF04	BF10	BF16	BF22	BF25	BF30	BH30	BJ10
		BJ11	BJ15	BJ16	BJ20	BJ25	BJ27	BK15	BK29	BK38	CA06
		CA10	CC03	CC08	CC12	CC13	CD09				