

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2013年12月12日(12.12.2013)



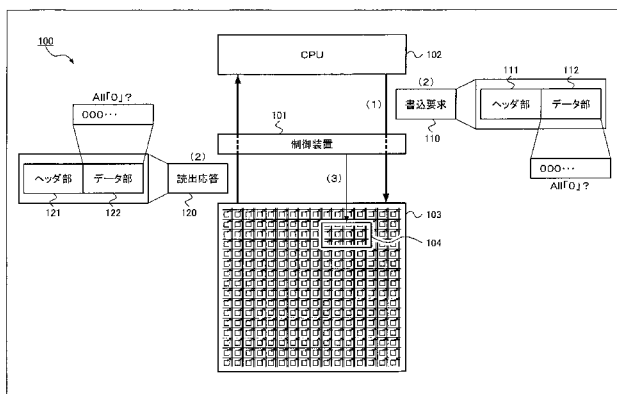
(10) 国際公開番号  
WO 2013/183155 A1

- (51) 国際特許分類:  
G11C 11/406 (2006.01)
  - (21) 国際出願番号: PCT/JP2012/064723
  - (22) 国際出願日: 2012年6月7日(07.06.2012)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (71) 出願人(米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
  - (72) 発明者; および
  - (75) 発明者/出願人(米国についてのみ): 土肥 実久(DOI, Tsunehisa) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
  - (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関3丁目2番5号 霞が関ビルディング20階 酒井総合特許事務所 Tokyo (JP).
  - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告(条約第21条(3))

(54) Title: CONTROL DEVICE THAT SELECTIVELY REFRESHES MEMORY

(54) 発明の名称: 選択的にメモリのリフレッシュを行う制御装置

[図1]



101 Control device	112 Data section
110 Writing request	120 Reading response
111 Header section	121 Header section
	122 Data section

(57) Abstract: A control device (101) detects an access request for a memory region (104) in a memory (103). The control device (101) determines whether or not the write information to be written into the memory region (104) or the read information to be read from the memory region (104) in accordance with the detected access request coincides with the information stored in the memory region (104) when a charge is emitted. When the control device (101) determines that the write information or the read information coincides with the information stored in the memory region (104) when a charge is emitted, the control device stops refreshing the memory region (104).

(57) 要約: 制御装置(101)は、メモリ(103)内のメモリ領域(104)に対するアクセス要求を検出する。制御装置(101)は、検出したアクセス要求に応じてメモリ領域(104)に書き込まれる書込情報またはメモリ領域(104)から読み出される読出情報が、電荷が放電された場合にメモリ領域(104)に記憶される情報と一致するか否かを判定する。制御装置(101)は、書込情報または読出情報が、電荷が

放電された場合にメモリ領域(104)に記憶される情報と一致すると判定した場合、メモリ領域(104)に対するリフレッシュ動作を停止させる。

WO 2013/183155 A1

## 明 細 書

**発明の名称**： 選択的にメモリのリフレッシュを行う制御装置

### 技術分野

[0001] 本発明は、制御装置、制御方法および制御プログラムに関する。

### 背景技術

[0002] DRAM (Dynamic Random Access Memory) は、メモリセルのキャパシタの蓄積電荷の有無により「1」または「0」の情報を記憶する。キャパシタの蓄積電荷は、pn接合の微小リークなどにより徐々に失われるため、DRAMを含むシステムでは、定期的に同じ情報を書き込みし直すリフレッシュ動作が行われる。

[0003] 関連する先行技術としては、例えば、予め記憶したメモリアドレスの範囲と対応するメモリブロックの番号を元に、上位装置からの命令で該当するメモリブロックを選択し、そのメモリブロックのリフレッシュ信号をオン／オフするものがある。また、中央処理装置からの命令によりリフレッシュ動作を停止することにより、CPUのオーバーヘッドを減少させるための技術がある。また、ワード線が活性化され、リフレッシュ指示信号が活性化された場合において、保持回路の出力がライト履歴無しの値を示している場合に、センスアンプの駆動電源として供給されるセンスアンプ駆動信号の活性化を停止するものがある。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開平10-177786号公報

特許文献2：特開平2-048752号公報

特許文献3：特開2003-187577号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] しかしながら、従来技術によれば、メモリ領域に記憶された情報を保持す

るためのリフレッシュ動作により、システムの消費電力の増大化を招くという問題がある。

[0006] 一側面では、本発明は、メモリのリフレッシュ動作にかかる消費電力を抑制することを目的とする。

### 課題を解決するための手段

[0007] 本発明の一側面によれば、電荷を充放電することにより情報を記憶するメモリ内の所定のメモリ領域に対するアクセス要求を検出し、検出した前記アクセス要求に応じて前記メモリ領域に書き込まれる書込情報または前記メモリ領域から読み出される読出情報が、電荷が放電された場合に前記メモリ領域に記憶される情報と一致するか否かを判定し、前記書込情報または前記読出情報が、電荷が放電された場合に前記メモリ領域に記憶される情報と一致すると判定した場合、前記メモリ領域に対するリフレッシュ動作を停止させる制御装置、制御方法および制御プログラムが提案される。

[0008] また、本発明の一側面によれば、電荷を充放電することにより情報を記憶するメモリ内の所定のメモリ領域に記憶されている情報をクリアするクリア命令を検出し、前記クリア命令を検出した場合、前記メモリ領域に対するリフレッシュ動作を停止させる制御装置、制御方法および制御プログラムが提案される。

### 発明の効果

[0009] 本発明の一態様によれば、メモリのリフレッシュ動作にかかる消費電力を抑制することができるという効果を奏する。

### 図面の簡単な説明

[0010] [図1]図1は、実施の形態1にかかる制御方法の一実施例である。

[図2]図2は、実施の形態2にかかる制御方法の一実施例である。

[図3]図3は、システム300のシステム構成例を示す説明図である。

[図4]図4は、クリアフラグテーブル400の記憶内容の一例を示す説明図である。

[図5]図5は、アクセス要求を表すパケットの具体例を示す説明図（その1）

である。

[図6]図6は、アクセス要求を表すパケットの具体例を示す説明図（その2）である。

[図7]図7は、DRAM305のメモリセルアレイの一例を示す説明図である。

[図8]図8は、制御装置101の機能的構成例を示すブロック図である。

[図9]図9は、判定部802の動作例を示す説明図である。

[図10]図10は、システム300のクリア処理にかかる動作例を示す説明図である。

[図11]図11は、制御装置101の更新処理手順の一例を示すフローチャート（その1）である。

[図12]図12は、制御装置101の更新処理手順の一例を示すフローチャート（その2）である。

[図13]図13は、制御装置101の更新処理手順の一例を示すフローチャート（その3）である。

[図14]図14は、制御装置101の制御処理手順の一例を示すフローチャートである。

### 発明を実施するための形態

[0011] 以下に添付図面を参照して、この発明にかかる制御装置、制御方法および制御プログラムの実施の形態を詳細に説明する。

[0012] （実施の形態1）

図1は、実施の形態1にかかる制御方法の一実施例である。図1において、システム100は、制御装置101と、CPU（Central Processing Unit）102と、メモリ103と、を含む。

[0013] 制御装置101は、メモリ103に対する情報のリード／ライトを制御する。また、制御装置101は、メモリ103のリフレッシュ動作を制御する。CPU102は、システム100の全体の制御を司る。

[0014] メモリ103は、電荷を充放電することにより情報を記憶する記憶装置で

ある。具体的には、例えば、メモリ103は、メモリセルのキャパシタの蓄積電荷の有無により「1」または「0」の情報を記憶する。メモリセルは、1ビットの単位情報を記憶する回路であり、トランジスタとキャパシタとを含む。

[0015] ここで、リフレッシュ動作とは、メモリセルに記憶されている情報と同一の情報をメモリセルに書き込みし直す記憶保持動作である。メモリセルに蓄えられた電荷は、キャパシタに接続されたN型拡散層とP型基板間の微小リークなどにより徐々に失われていく。このため、メモリ103は、定期的にメモリセルに同一の情報を書き込みし直すリフレッシュ動作を行うことにより、メモリセルの記憶内容が失われることを防ぐ。リフレッシュ動作は、例えば、各メモリセルに対して数 $\mu$ sや数十 $\mu$ sの周期で行われる。すなわち、システム100における過剰なりフレッシュ動作は、システム100の消費電力の増大化を招いてしまう。

[0016] そこで、実施の形態1では、制御装置101は、メモリ103内の複数のメモリ領域のうち情報を保持する必要がないメモリ領域に対するリフレッシュ動作を停止させることにより、メモリ103のリフレッシュ動作にかかる消費電力を抑制する。以下、実施の形態1にかかる制御装置101の動作例について説明する。

[0017] (1) 制御装置101は、メモリ103内の所定のメモリ領域に対するアクセス要求を検出する。アクセス要求は、メモリ領域に対する書込要求または読出要求である。具体的には、例えば、制御装置101は、メモリ領域に対するアクセス要求をCPU102から受け付けることにより、メモリ領域に対するアクセス要求を検出する。

[0018] 図1の例では、メモリ103内のメモリ領域104に対するアクセス要求が検出されている。また、メモリ領域104に対するアクセス要求の一例として、メモリ領域104に対する書込要求110が表示されている。

[0019] (2) 制御装置101は、検出したアクセス要求に応じてメモリ領域に書き込まれる書込情報またはメモリ領域から読み出される読出情報が、電荷が

放電された場合にメモリ領域に記憶される情報と一致するか否かを判定する。

[0020] ここで、書込情報は、例えば、メモリ領域104に対する書込要求110に含まれるヘッダ部111とデータ部112のうちのデータ部112に含まれる書込対象となる情報である。また、読出情報は、例えば、メモリ領域104に対する読出要求（不図示）に応じた読出応答120に含まれるヘッダ部121とデータ部122のうちのデータ部122に含まれる読出対象となった情報である。

[0021] また、電荷が放電された場合に各メモリセルに記憶される情報は、「1」または「0」のいずれかの情報である。電荷が放電された場合に各メモリセルに記憶される情報を「1」または「0」のいずれの情報にするかは任意に設定可能である。以下の説明では、電荷が放電された場合に各メモリセルに記憶される情報を「0」とする。この場合、電荷が放電された場合にメモリ領域に記憶される情報は、電荷が放電された場合に各メモリセルが記憶する情報の集合、すなわち、「0」の集合である。

[0022] 具体的には、例えば、制御装置101は、メモリ領域104に対する書込要求110を検出した場合、書込要求110のデータ部112に含まれる書込情報が、すべて「0」であるか否かを判定する。また、例えば、制御装置101は、メモリ領域104に対する読出要求を検出した場合、読出要求に対する読出応答120のデータ部122に含まれる読出情報が、すべて「0」であるか否かを判定する。

[0023] (3) 制御装置101は、判定した判定結果に基づいて、メモリ領域104に対するリフレッシュ動作を制御する。具体的には、例えば、制御装置101は、書込情報または読出情報がすべて「0」であると判定した場合、メモリ領域104に対するリフレッシュ動作を停止させる。一方、制御装置101は、書込情報または読出情報に「1」が含まれると判定した場合、メモリ領域104に対するリフレッシュ動作を停止させない。

[0024] このように、実施の形態1にかかる制御装置101によれば、メモリ10

3内のメモリ領域に対する書込要求を検出し、メモリ領域に書き込まれる書込情報がすべて「0」の場合に、メモリ領域に対するリフレッシュ動作を停止させることができる。また、制御装置101によれば、メモリ領域に対する読出要求を検出し、メモリ領域から読み出される読出情報がすべて「0」の場合に、メモリ領域に対するリフレッシュ動作を停止させることができる。これにより、記憶内容が「0」であることが保証できる、すなわち、情報を保持する必要がないメモリ領域に対するリフレッシュ動作を停止して、メモリ103のリフレッシュ動作にかかる消費電力を抑制することができる。

[0025] (実施の形態2)

つぎに、図2を用いて、実施の形態2にかかる制御方法の一実施例について説明する。実施の形態2では、メモリ103内のメモリ領域に対するクリア命令を用いた制御装置101の動作例について説明する。なお、実施の形態1で説明した箇所と同一箇所については説明を省略する。

[0026] 図2は、実施の形態2にかかる制御方法の一実施例である。以下、実施の形態2にかかる制御装置101の制御処理例について説明する。

[0027] (1) 制御装置101は、メモリ103内の所定のメモリ領域に対するクリア命令を検出する。クリア命令とは、メモリ領域に記憶されている情報を消去するための命令である。具体的には、例えば、制御装置101は、メモリ領域に対するクリア命令をCPU102から受け付けることにより、メモリ領域に対するクリア命令を検出する。図2の例では、メモリ103内のメモリ領域104に対するクリア命令130が検出されている。この場合、メモリ領域104に記憶されている情報はクリアされる。

[0028] (2) 制御装置101は、メモリ領域に対するクリア命令を検出した場合、メモリ領域に対するリフレッシュ動作を停止させる。すなわち、メモリ領域に対するクリア命令があるとメモリ領域の記憶内容はクリアされるため、制御装置101は、メモリ領域に対するリフレッシュ動作を停止させる。図2の例では、制御装置101は、メモリ領域104に対するクリア命令130を検出した場合、メモリ領域104に対するリフレッシュ動作を停止させ

る。

[0029] このように、実施の形態2にかかる制御装置101によれば、メモリ103内のメモリ領域に対するクリア命令を検出した場合、メモリ領域に対するリフレッシュ動作を停止させることができる。これにより、記憶内容が「0」であることが保証できる、すなわち、情報を保持する必要がないメモリ領域に対するリフレッシュ動作を停止して、メモリ103のリフレッシュ動作にかかる消費電力を抑制することができる。

[0030] (実施の形態3)

つぎに、実施の形態3にかかるシステム300のシステム構成例について説明する。なお、実施の形態1および実施の形態2で説明した箇所と同一箇所については説明を省略する。

[0031] 図3は、システム300のシステム構成例を示す説明図である。図3において、システム300は、CPU301と、I/F (Interface) 302と、入出力装置303と、ROM (Read-Only Memory) 304と、DRAM305と、を有する。また、各構成部は、バス310によってそれぞれ接続されている。

[0032] ここで、CPU301は、システム300の全体の制御を司る。I/F302は、通信回線を通じてネットワークに接続され、ネットワークを介して他のコンピュータに接続される。ネットワークは、例えば、LAN (Local Area Network)、WAN (Wide Area Network)、インターネットなどである。I/F302は、ネットワークと内部のインターフェースを司り、他のコンピュータからのデータの入出力を制御する。

[0033] 入出力装置303は、情報の入出力を行う。入出力装置303としては、例えば、文書、画像、機能情報などのデータを表示する表示装置や、文字、数字、各種指示などの入力のためのキーボードなどがある。ROM304は、例えば、各種プログラムを記憶する記憶装置である。

[0034] DRAM305は、例えば、メインメモリとして使用される記憶装置であ

る。DRAM305は、制御装置101を有する。制御装置101は、演算装置306と記憶部307とを有し、DRAM305に対する情報のリード／ライトを制御するコンピュータである。演算装置306は、制御装置101の制御を司る。記憶部307は、ROMやレジスタを含む。また、制御装置101は、DRAM305に対するリフレッシュ動作を制御する。制御装置101は、例えば、メモリコントローラである。

[0035] なお、システム300は、上述した構成部のほかに、例えば、磁気ディスク、磁気テープ、光ディスクなどの外部記憶装置を有することによってもよい。

[0036] (クリアフラグテーブル400の記憶内容)

つぎに、制御装置101が用いるクリアフラグテーブル400の記憶内容について説明する。クリアフラグテーブル400は、例えば、図3に示した制御装置101が有する記憶部307により実現される。

[0037] 図4は、クリアフラグテーブル400の記憶内容の一例を示す説明図である。図4において、クリアフラグテーブル400は、領域ID、アドレス、サイズおよびクリアフラグのフィールドを有する。各フィールドに情報を設定することにより、クリアフラグ情報400-1~400-nをレコードとして記憶している。

[0038] ここで、領域IDは、DRAM305のメモリ領域を識別する識別子である。メモリ領域は、リフレッシュ動作の制御対象となる記憶単位であり、例えば、1 [KB]、4 [KB]、16 [KB]などのページ単位で管理される。アドレスは、メモリ領域の開始アドレスである。サイズは、メモリ領域の記憶容量である。サイズは、例えば、2の冪乗で指定される。サイズの単位は、例えば、[byte]である。

[0039] クリアフラグは、メモリ領域の記憶内容がクリア済みか否かを示すフラグである。クリア済みとは、例えば、メモリ領域の記憶内容がすべて「0」である状態を表す。ここでは、クリアフラグが「C | r」の場合にメモリ領域がクリア済みであることを示し、クリアフラグが「N o - c | r」の場合に

メモリ領域が未クリアであることを示す。また、初期状態では、メモリ領域のクリアフラグは「N o - c l r」である。

[0040] クリアフラグ情報400-1を例に挙げると、メモリ領域R1のアドレス「0x0000000000000000」、サイズ「4K（キロ）」およびクリアフラグ「N o - c l r」が示されている。

[0041] 以下の説明では、DRAM305内の複数のメモリ領域を「メモリ領域R1～Rn」と表記し、メモリ領域R1～Rnのうちの任意のメモリ領域を「メモリ領域Ri」と表記する場合がある（i=1, 2, …, n）。

[0042] （アクセス要求の具体例）

つぎに、DRAM305内の所定のメモリ領域に対するアクセス要求を表すパケットの具体例について説明する。ここでは、アクセス要求の一例として、メモリ領域に対する書込要求を例に挙げて説明する。

[0043] 図5および図6は、アクセス要求を表すパケットの具体例を示す説明図である。図5において、パケット500は、ヘッダ部510とデータ部520とを含む。図6において、パケット600は、ヘッダ部610とデータ部620とを含む。

[0044] ここで、各ヘッダ部510, 610には、例えば、各データ部520, 620に含まれる書込情報521, 621のサイズ（図中、「L e n g t h」）が含まれている。また、各ヘッダ部510, 610には、アクセス要求の要求元を識別する識別情報（図中、「R e q u e s t e r I D」）が含まれている。

[0045] また、各ヘッダ部510, 610には、アクセス先のアドレス（図中、「A d d r e s s」）が含まれている。各データ部520, 620には、書込情報521, 621が含まれている。図5の例では、書込情報521は、すべて「0」の情報である。また、図6の例では、書込情報621は、すべて「1」の情報である。

[0046] （DRAM305のメモリセルアレイ）

ここで、DRAM305のメモリセルアレイについて説明する。メモリセ

ルアレイは、例えば、メモリセルを2次元の格子状に並べたものである。

[0047] 図7は、DRAM305のメモリセルアレイの一例を示す説明図である。図7において、DRAM305のメモリセルアレイ700が示されている。メモリセルアレイ700は、所定行および所定列に配列された複数のメモリセルを含む。

[0048] ここで、DRAM305には、各メモリセルに対する読み書き回路が設けられている。また、各メモリセルには行アドレス指定信号線および列アドレス指定信号線が接続されており、読み書き回路は、行および列アドレス指定信号線に対する信号入力を検知することにより、制御対象のメモリセルを特定することができる。

[0049] (制御装置101の機能的構成例)

つぎに、制御装置101の機能的構成例について説明する。図8は、制御装置101の機能的構成例を示すブロック図である。図8において、制御装置101は、検出部801と、判定部802と、更新部803と、クリア部804と、制御部805と、を含む。各機能部は、例えば、ハードウェアにより実現されてもよい。具体的には、例えば、各機能部は、論理積回路であるAND、否定論理回路であるINVERTER、論理和回路であるOR、論理和否定回路であるNORや、ラッチ回路であるFF(Flip Flop)などの素子によって形成されてもよい。また、各機能部は、例えば、Verilog-HDL(Hardware Description Language)などの記述によって機能定義し、その記述を論理合成してFPGA(Field Programmable Gate Array)によって実現してもよい。また、各機能部は、例えば、各機能部の機能を実現するプログラムを演算装置306に実行させることにより実現されてもよい。当該プログラムは、例えば、記憶部307に記憶されている。

[0050] 検出部801は、DRAM305内の所定のメモリ領域に対するアクセス要求を検出する機能を有する。具体的には、例えば、検出部801は、所定のメモリ領域に対する書込要求または読出要求をCPU301から受け付け

ることにより、所定のメモリ領域に対する書込要求または読出要求を検出する。

[0051] 以下の説明では、アクセス要求に対応するアクセス先となる所定のメモリ領域を「アクセス領域AR」と表記する場合がある。また、アクセス領域ARに対する書込要求を「書込要求W」と表記する場合がある。また、アクセス領域ARに対する読出要求に応じた読出応答を「読出応答R」と表記する場合がある。

[0052] また、検出部801は、DRAM305内の所定のメモリ領域に記憶されている情報をクリアするクリア命令を検出する機能を有する。また、例えば、検出部801は、所定のメモリ領域に対するクリア命令をCPU301から受け付けることにより、所定のメモリ領域に対するクリア命令を検出する。

[0053] 以下の説明では、クリア命令に対応するクリア先となる所定のメモリ領域を「クリア対象領域CR」と表記する場合がある。また、クリア対象領域CRに対するクリア命令を「クリア命令C」と表記する場合がある。

[0054] 判定部802は、検出されたアクセス要求に応じてアクセス領域ARに書き込まれる書込情報が、すべて「0」であるか否かを判定する機能を有する。具体的には、例えば、判定部802は、検出された書込要求Wを表すパケットのデータ部に含まれる書込情報が、すべて「0」であるか否かを判定する。

[0055] 図5に示したパケット500の例では、判定部802は、データ部520に含まれる書込情報521がすべて「0」とであると判定する。また、図6に示したパケット600の例では、判定部802は、データ部620に含まれる書込情報621に「1」が含まれると判定する。

[0056] また、判定部802は、検出されたアクセス要求に応じてアクセス領域ARから読み出される読出情報が、すべて「0」であるか否かを判定する機能を有する。具体的には、例えば、判定部802は、検出された読出要求に応じた読出応答Rを表すパケットのデータ部に含まれる読出情報が、すべて「

0」であるか否かを判定する。なお、判定部802の動作例については、図9を用いて後述する。

[0057] 更新部803は、メモリ領域R<sub>i</sub>のクリアフラグを更新する機能を有する。具体的には、例えば、更新部803は、アクセス領域ARに書き込まれる書込情報がすべて「0」であると判定された場合、クリアフラグテーブル400（図4参照）を参照して、メモリ領域R<sub>1</sub>～R<sub>n</sub>の中からアクセス領域ARに含まれるメモリ領域R<sub>i</sub>を特定する。そして、更新部803は、特定したメモリ領域R<sub>i</sub>のクリアフラグを「C | r」に変更する。

[0058] また、更新部803は、例えば、アクセス領域ARから読み出される読出情報がすべて「0」であると判定された場合、クリアフラグテーブル400を参照して、メモリ領域R<sub>1</sub>～R<sub>n</sub>の中からアクセス領域ARに含まれるメモリ領域R<sub>i</sub>を特定する。そして、更新部803は、特定したメモリ領域R<sub>i</sub>のクリアフラグを「C | r」に変更する。

[0059] なお、アクセス領域ARに含まれるメモリ領域が複数存在する場合には、更新部803は、アクセス領域ARに含まれる各々のメモリ領域のクリアフラグを「C | r」に変更することにしてもよい。

[0060] また、更新部803は、例えば、クリア対象領域CRに対するクリア命令Cが検出された場合、クリアフラグテーブル400を参照して、メモリ領域R<sub>1</sub>～R<sub>n</sub>の中からクリア対象領域CRに含まれるメモリ領域R<sub>i</sub>を特定する。そして、更新部803は、特定したメモリ領域R<sub>i</sub>のクリアフラグを「C | r」に変更する。

[0061] なお、クリア対象領域CRに含まれるメモリ領域が複数存在する場合には、更新部803は、クリア対象領域CRに含まれる各々のメモリ領域のクリアフラグを「C | r」に変更することにしてもよい。

[0062] クリア部804は、クリア対象領域CRに対するクリア命令Cが検出された場合、クリア対象領域CRの記憶内容をクリアする機能を有する。具体的には、例えば、クリア部804は、クリア対象領域CRに含まれる各メモリの電荷を開放することにより、クリア対象領域CRの記憶内容をクリア

する。

[0063] また、クリア部804は、クリア対象領域CRに対して無意味な情報を上書きすることにより、クリア対象領域CRの記憶内容をクリアすることにしてもよい。なお、クリア対象領域CRの記憶内容をクリアするクリア処理にかかるシステム300の動作例については、図10を用いて後述する。

[0064] 制御部805は、判定された判定結果に基づいて、メモリ領域R<sub>i</sub>に対するリフレッシュ動作を制御する機能を有する。具体的には、例えば、制御部805は、アクセス領域ARに書き込まれる書込情報がすべて「0」であると判定された場合、アクセス領域ARに対するリフレッシュ動作を停止させる。

[0065] また、制御部805は、例えば、アクセス領域ARから読み出される読出情報がすべて「0」であると判定された場合、アクセス領域ARに対するリフレッシュ動作を停止させる。また、制御部805は、例えば、クリア対象領域CRに対するクリア命令Cが検出された場合、クリア対象領域CRに対するリフレッシュ動作を停止させる。

[0066] より具体的には、例えば、制御部805は、クリアフラグテーブル400を参照して、DRAM305の各メモリセルに対して定期的に行われるリフレッシュ動作を制御する。例えば、制御部805は、クリアフラグテーブル400を参照して、メモリ領域R<sub>1</sub>～R<sub>n</sub>から選ばれたメモリ領域R<sub>i</sub>のクリアフラグが「C | r」の場合、メモリ領域R<sub>i</sub>内の各メモリセルに対して定期的に行われるリフレッシュ動作を停止させる。一方、メモリ領域R<sub>i</sub>のクリアフラグが「N o - c | r」の場合、制御部805は、例えば、DRAM305の読み書き回路を制御して、メモリ領域R<sub>i</sub>内の各メモリセルに対するリフレッシュを行う。

[0067] また、更新部803は、アクセス領域ARに書き込まれる書込情報に「1」が含まれると判定された場合、クリアフラグテーブル400を参照して、メモリ領域R<sub>1</sub>～R<sub>n</sub>の中からアクセス領域ARの少なくともいずれかの領域を含むメモリ領域R<sub>i</sub>を特定する。そして、更新部803は、特定したメ

メモリ領域  $R_i$  のクリアフラグを「`No-clear`」に変更する。

[0068] これにより、アクセス領域  $AR$  のいずれかのメモリセルに「1」が記憶される場合に、当該メモリセルを含むメモリ領域  $R_i$ 、例えば、リフレッシュ動作が停止中のメモリ領域  $R_i$  のクリアフラグを「`Clear`」から「`No-clear`」に変更することができる。なお、アクセス領域  $AR$  の少なくともいずれかの領域を含むメモリ領域が複数存在する場合には、更新部 803 は、アクセス領域  $AR$  の少なくともいずれかの領域を含む各々のメモリ領域のクリアフラグを「`No-clear`」に変更する。

[0069] また、制御部 805 は、リフレッシュ動作を停止中のアクセス領域  $AR$  に書き込まれる書込情報に「1」が含まれると判定された場合、アクセス領域  $AR$  に対するリフレッシュ動作を再開させる。具体的には、例えば、制御部 805 は、クリアフラグテーブル 400 を参照して、メモリ領域  $R_1 \sim R_n$  から選ばれたメモリ領域  $R_i$  のクリアフラグが「`No-clear`」の場合、メモリ領域  $R_i$  内の各メモリセルに対するリフレッシュ動作を行う。

[0070] これにより、リフレッシュ動作を停止中のメモリ領域  $R_i$  のいずれかのメモリセルに「1」が書き込まれる場合に、メモリ領域  $R_i$  に対する定期的なリフレッシュ動作を再開させることができる。

[0071] (判定部 802 の動作例)

つぎに、上述した判定部 802 の動作例について説明する。ここでは、アクセス領域  $AR$  に対する書込要求  $W$  が検出された場合を例に挙げて、判定部 802 の動作例について説明する。

[0072] 図 9 は、判定部 802 の動作例を示す説明図である。図 9 において、判定部 802 は、CPU 301 からのアクセス領域  $AR$  に対する書込要求  $W$  が入力されると、書込要求  $W$  のデータ部 (図 9 中、`<body>`) に含まれる書込情報がすべて「0」であるか否かをチェックする。

[0073] 具体的には、例えば、書込要求  $W$  のデータ部に含まれる書込情報がセル 901 に入力され、書込情報がすべて「0」の場合にセル 901 から「`true`」の信号が出力される。「`true`」の信号は、書込情報がすべて「0」

であることを示している。

[0074] なお、図示は省略するが、読出応答Rの場合も同様に、読出応答Rのデータ部に含まれる読出情報がセル901に入力され、読出情報がすべて「0」の場合にセル901から「true」の信号が出力される。判定部802は、例えば、既存のECC (Error Check and Correct) やパリティチェックの機構を応用して実現することができる。

[0075] (システム300のクリア処理にかかる動作例)

つぎに、クリア対象領域CRの記憶内容をクリアするクリア処理にかかるシステム300の動作例について説明する。図10は、システム300のクリア処理にかかる動作例を示す説明図である。

[0076] (1) CPU301は、クリア対象領域CRに対するクリア命令Cを制御装置101に発行する。クリア命令Cは、クリア対象領域CRを指定するアドレス“<addr>”と、クリア対象領域CRのサイズ“<size>”とを含む。クリア命令CがCPU301によって実行されると、メモリクリアのバストランザクションが発生する。

[0077] (2) CPU301は、バス310を介して、クリア命令Cを含むメモリクリア要求を制御装置101に送信する。

[0078] (3) 制御装置101は、クリア命令Cから特定されるクリア対象領域CRの記憶内容をクリアする。具体的には、例えば、クリア命令Cによって行および列に対する複数のアドレス信号線が同時に指定され、複数の行および複数の列からなるクリア対象領域CRが指定される。そして、クリア部804が、クリア対象領域CRに含まれる各メモリセルの電荷を開放することにより、クリア対象領域CRの記憶内容をクリアする。

[0079] (4) 制御装置101は、クリア対象領域CRの記憶内容をクリアするクリア処理が終了すると、クリア完了通知を生成し、バス310を介してクリア完了通知をCPU301に送信する。

[0080] (5) CPU301は、クリア完了通知を受信すると、クリア命令Cを終了する。このように、制御装置101側でクリア処理が終了すると、クリア

完了通知がバストランザクションとしてCPU301に届き、CPU301がクリア命令Cを終了して、クリア命令Cのブロックが解除される。

[0081] 以上説明したクリア処理によれば、CPU301やDMA (Direct Memory Access) によって「0」の連続書き込み処理を実行する場合に比べて、高速にクリア対象領域CRのクリアを実現することができる。なお、クリア処理についての詳細な説明は、例えば、特開2009-289117号公報を参照することができる。

[0082] (制御装置101の更新処理手順)

つぎに、クリアフラグテーブル400のメモリ領域R<sub>i</sub>のクリアフラグを更新する制御装置101の更新処理手順について説明する。ここでは、まず、アクセス領域ARに対するアクセス要求が検出された場合の更新処理手順について説明する。

[0083] 図11は、制御装置101の更新処理手順の一例を示すフローチャート(その1)である。図11のフローチャートにおいて、まず、制御装置101は、アクセス領域ARに対するアクセス要求を検出した場合、アクセス要求の中からアクセス領域ARのアドレスとサイズを抽出する(ステップS1101)。

[0084] つぎに、制御装置101は、アクセス要求である書込要求Wまたは読出要求に応じた読出応答Rのデータ部をスキャンする(ステップS1102)。そして、制御装置101は、データ部に含まれる書込情報または読出情報が、すべて「0」であるか否かを判断する(ステップS1103)。

[0085] ここで、すべて「0」の場合(ステップS1103: Yes)、制御装置101は、クリアフラグテーブル400を参照して、メモリ領域R<sub>1</sub>~R<sub>n</sub>の中にアクセス領域ARに含まれるメモリ領域R<sub>i</sub>が存在するか否かを判断する(ステップS1104)。アクセス領域ARは、ステップS1101において抽出されたアドレスとサイズから特定される。

[0086] ここで、アクセス領域ARに含まれるメモリ領域R<sub>i</sub>が存在する場合(ステップS1104: Yes)、制御装置101は、クリアフラグテーブル4

00内のアクセス領域ARに含まれるメモリ領域R<sub>i</sub>のクリアフラグを「C l r」に変更して（ステップS 1 1 0 5）、本フローチャートによる一連の処理を終了する。一方、アクセス領域ARに含まれるメモリ領域R<sub>i</sub>が存在しない場合（ステップS 1 1 0 4 : N o）、制御装置101は、本フローチャートによる一連の処理を終了する。

[0087] また、ステップS 1 1 0 3において、書込情報または読出情報に「1」が含まれる場合（ステップS 1 1 0 3 : N o）、制御装置101は、アクセス要求が書込要求Wか否かを判断する（ステップS 1 1 0 6）。ここで、アクセス要求が読出要求の場合（ステップS 1 1 0 6 : N o）、制御装置101は、本フローチャートによる一連の処理を終了する。

[0088] 一方、アクセス要求が書込要求Wの場合（ステップS 1 1 0 6 : Y e s）、制御装置101は、クリアフラグテーブル400を参照して、メモリ領域R<sub>1</sub>～R<sub>n</sub>の中からアクセス領域ARの少なくともいずれかの領域を含むメモリ領域R<sub>i</sub>を特定する（ステップS 1 1 0 7）。

[0089] そして、制御装置101は、クリアフラグテーブル400内の特定したメモリ領域R<sub>i</sub>のクリアフラグを「N o - c l r」に変更して（ステップS 1 1 0 8）、本フローチャートによる一連の処理を終了する。

[0090] これにより、アクセス領域ARに書き込まれる書込情報がすべて「0」である、または、アクセス領域ARから読み出される読出情報がすべて「0」である場合に、アクセス領域ARに含まれるメモリ領域R<sub>i</sub>のクリアフラグを「C l r」に変更することができる。また、アクセス領域ARに書き込まれる書込情報に「1」が含まれる場合、アクセス領域ARの少なくともいずれかの領域を含むメモリ領域R<sub>i</sub>のクリアフラグを「N o - c l r」に変更することができる。

[0091] つぎに、アクセス領域ARに対する書込要求Wを検出してリフレッシュ動作を制御する場合を例に挙げて、アクセス領域ARに対する書込要求Wが検出された場合のクリアフラグテーブル400の更新処理手順について説明する。

- [0092] 図12は、制御装置101の更新処理手順の一例を示すフローチャート（その2）である。図12のフローチャートにおいて、まず、制御装置101は、アクセス領域ARに対する書込要求Wを検出した場合、アクセス領域ARに対する書込要求Wの中からアクセス領域ARのアドレスとサイズを抽出する（ステップS1201）。
- [0093] つぎに、制御装置101は、書込要求Wのデータ部をスキャンする（ステップS1202）。そして、制御装置101は、データ部に含まれる書込情報が、すべて「0」であるか否かを判断する（ステップS1203）。
- [0094] ここで、すべて「0」の場合（ステップS1203：Yes）、制御装置101は、クリアフラグテーブル400を参照して、メモリ領域R1～Rnの中にアクセス領域ARに含まれるメモリ領域Riが存在するか否かを判断する（ステップS1204）。
- [0095] ここで、アクセス領域ARに含まれるメモリ領域Riが存在する場合（ステップS1204：Yes）、制御装置101は、クリアフラグテーブル400内のアクセス領域ARに含まれるメモリ領域Riのクリアフラグを「Clr」に変更して（ステップS1205）、本フローチャートによる一連の処理を終了する。一方、アクセス領域ARに含まれるメモリ領域Riが存在しない場合（ステップS1204：No）、制御装置101は、本フローチャートによる一連の処理を終了する。
- [0096] また、ステップS1203において、書込情報に「1」が含まれる場合（ステップS1203：No）、制御装置101は、クリアフラグテーブル400を参照して、メモリ領域R1～Rnの中からアクセス領域ARの少なくともいずれかの領域を含むメモリ領域Riを特定する（ステップS1206）。
- [0097] そして、制御装置101は、クリアフラグテーブル400内の特定したメモリ領域Riのクリアフラグを「No-Clr」に変更して（ステップS1207）、本フローチャートによる一連の処理を終了する。
- [0098] これにより、アクセス領域ARに書き込まれる書込情報がすべて「0」で

ある場合に、アクセス領域ARに含まれるメモリ領域R<sub>i</sub>のクリアフラグを「C | r」に変更することができる。また、アクセス領域ARに書き込まれる書込情報に「1」が含まれる場合、アクセス領域ARの少なくともいずれかの領域を含むメモリ領域R<sub>i</sub>のクリアフラグを「N o - c | r」に変更することができる。

[0099] つぎに、クリア対象領域CRに対するクリア命令Cが検出された場合の更新処理手順について説明する。

[0100] 図13は、制御装置101の更新処理手順の一例を示すフローチャート（その3）である。図13のフローチャートにおいて、まず、制御装置101は、クリア対象領域CRに対するクリア命令Cを検出した場合、クリア対象領域CRに対するクリア命令Cの中からクリア対象領域CRのアドレスとサイズを抽出する（ステップS1301）。

[0101] つぎに、制御装置101は、クリアフラグテーブル400を参照して、メモリ領域R<sub>1</sub>～R<sub>n</sub>の中にクリア対象領域CRに含まれるメモリ領域R<sub>i</sub>が存在するか否かを判断する（ステップS1302）。クリア対象領域CRは、ステップS1301において抽出されたアドレスとサイズから特定される。

[0102] ここで、クリア対象領域CRに含まれるメモリ領域R<sub>i</sub>が存在する場合（ステップS1302：Y e s）、制御装置101は、クリアフラグテーブル400内のクリア対象領域CRに含まれるメモリ領域R<sub>i</sub>のクリアフラグを「C | r」に変更して（ステップS1303）、本フローチャートによる一連の処理を終了する。一方、クリア対象領域CRに含まれるメモリ領域R<sub>i</sub>が存在しない場合（ステップS1302：N o）、制御装置101は、本フローチャートによる一連の処理を終了する。

[0103] これにより、クリア対象領域CRに対するクリア命令Cを検出した場合、クリア対象領域CRに含まれるメモリ領域R<sub>i</sub>のクリアフラグを「C | r」に変更することができる。なお、図13に示した制御装置101の更新処理は、例えば、図11に示した制御装置101の更新処理または図12に示し

た制御装置101の更新処理と並列に実行される。

[0104] つぎに、メモリ領域R<sub>i</sub>に対するリフレッシュ動作を制御する制御装置101の制御処理手順について説明する。この制御処理は、例えば、予め設定された期間ごとに定期的に行われる。期間は、例えば、数 $\mu$ sや数十 $\mu$ sの周期で各メモリセルがリフレッシュされようように設定される。

[0105] 図14は、制御装置101の制御処理手順の一例を示すフローチャートである。図14のフローチャートにおいて、まず、制御装置101は、DRAM305内のメモリ領域R<sub>i</sub>の「i」を「i=1」とする（ステップS1401）。

[0106] そして、制御装置101は、クリアフラグテーブル400を参照して、メモリ領域R<sub>i</sub>のクリアフラグが「C | r」となっているか否かを判断する（ステップS1402）。ここで、クリアフラグが「C | r」の場合（ステップS1402: Yes）、制御装置101は、ステップS1405に移行する。

[0107] 一方、クリアフラグが「N o - c | r」の場合（ステップS1402: No）、制御装置101は、クリアフラグテーブル400を参照して、メモリ領域R<sub>i</sub>のアドレス範囲を特定する（ステップS1403）。そして、制御装置101は、DRAM305の読み書き回路を制御して、特定したアドレス範囲のメモリ領域R<sub>i</sub>のリフレッシュを行う（ステップS1404）。

[0108] つぎに、制御装置101は、メモリ領域R<sub>i</sub>の「i」をインクリメントして（ステップS1405）、「i」が「n」より大きくなったか否かを判断する（ステップS1406）。ここで、「i」が「n」以下の場合（ステップS1406: No）、制御装置101は、ステップS1402に戻る。

[0109] 一方、「i」が「n」より大きくなった場合（ステップS1406: Yes）、制御装置101は、本フローチャートによる一連の処理を終了する。これにより、メモリ領域R<sub>1</sub>~R<sub>n</sub>のうち、クリアフラグが「C | r」となっているメモリ領域R<sub>i</sub>のリフレッシュ動作を停止させることができる。

[0110] 以上説明した実施の形態3にかかる制御装置101によれば、アクセス領

域A Rに対する書込要求Wを検出した場合、アクセス領域A Rに書き込まれる書込情報が、すべて「0」であるか否かを判定することができる。そして、制御装置101によれば、アクセス領域A Rに書き込まれる書込情報がすべて「0」である場合、アクセス領域A Rに含まれるメモリ領域R iに対するリフレッシュ動作を停止させることができる。

[0111] また、実施の形態3にかかる制御装置101によれば、アクセス領域A Rに対する読出要求を検出した場合、アクセス領域A Rから読み出された読出情報が、すべて「0」であるか否かを判定することができる。そして、制御装置101によれば、アクセス領域A Rから読み出された読出情報がすべて「0」である場合、アクセス領域A Rに含まれるメモリ領域R iに対するリフレッシュ動作を停止させることができる。

[0112] また、実施の形態3にかかる制御装置101によれば、クリア対象領域C Rに対するクリア命令Cを検出した場合、クリア対象領域C Rに含まれるメモリ領域R iに対するリフレッシュ動作を停止させることができる。

[0113] これらのことから、制御装置101によれば、記憶内容が「0」であることが保証されるメモリ領域R iに対するリフレッシュ動作を停止して、DRAM305のリフレッシュ動作にかかる消費電力を抑制することができる。また、メモリ領域R iを1 [KB]、4 [KB]、16 [KB]などのページ単位で管理することにより、メモリ領域R iに対するリフレッシュ動作を効率的に制御することができる。

[0114] また、実施の形態3にかかる制御装置101によれば、アクセス領域A Rに書き込まれる書込情報に「1」が含まれる場合、メモリ領域R 1～R nの中からアクセス領域A Rの少なくともいずれかの領域を含むメモリ領域R iを特定することができる。そして、制御装置101によれば、特定したメモリ領域R iのクリアフラグを「No-Clr」に変更することができる。

[0115] これにより、記憶内容が「0」であることが保証されなくなったメモリ領域R iに対するリフレッシュ動作を再開して、メモリ領域R iの記憶内容を保持することができる。

[0116] なお、本実施の形態で説明した制御方法は、予め用意されたプログラムをコンピュータで実行することにより実現することができる。本制御プログラムは、コンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。また、本制御プログラムは、インターネット等のネットワークを介して配布してもよい。

[0117] また、本実施の形態で説明した制御装置101は、スタンダードセルやストラクチャードASIC (Application Specific Integrated Circuit) などの特定用途向けIC (以下、単に「ASIC」と称す。) やFPGAなどのPLD (Programmable Logic Device) によっても実現することができる。具体的には、例えば、上述した制御装置101の各機能部をHDL記述によって機能定義し、そのHDL記述を論理合成してASICやPLDに与えることにより、制御装置101を製造することができる。

### 符号の説明

- [0118] 101 制御装置  
103 メモリ  
305 DRAM  
801 検出部  
802 判定部  
803 更新部  
804 クリア部  
805 制御部

## 請求の範囲

- [請求項1] 電荷を充放電することにより情報を記憶するメモリ内の所定のメモリ領域に対するアクセス要求を検出する検出部と、
- 前記検出部によって検出された前記アクセス要求に応じて前記メモリ領域に書き込まれる書込情報または前記メモリ領域から読み出される読出情報が、電荷が放電された場合に前記メモリ領域に記憶される情報と一致するか否かを判定する判定部と、
- 前記判定部によって前記書込情報または前記読出情報が、電荷が放電された場合に前記メモリ領域に記憶される情報と一致すると判定された場合、前記メモリ領域に対するリフレッシュ動作を停止させる制御部と、
- を有することを特徴とする制御装置。
- [請求項2] 前記検出部は、
- 前記メモリ領域に記憶されている情報をクリアするクリア命令を検出し、
- 前記制御部は、
- 前記検出部によって前記クリア命令が検出された場合、前記メモリ領域に対するリフレッシュ動作を停止させることを特徴とする請求項1に記載の制御装置。
- [請求項3] 前記検出部は、
- リフレッシュ動作が停止された前記メモリ領域に対する書込要求を検出し、
- 前記判定部は、
- 前記書込要求に応じて前記メモリ領域に書き込まれる書込情報が、電荷が放電された場合に前記メモリ領域に記憶される情報と一致するか否かを判定し、
- 前記制御部は、
- 前記書込情報が、電荷が放電された場合に前記メモリ領域に記憶さ

れる情報と一致しないと判定された場合、前記メモリ領域に対するリフレッシュ動作を再開させることを特徴とする請求項1または2に記載の制御装置。

[請求項4] 電荷を充放電することにより情報を記憶するメモリ内の所定のメモリ領域に記憶されている情報をクリアするクリア命令を検出する検出部と、

前記検出部によって前記クリア命令が検出された場合、前記メモリ領域に対するリフレッシュ動作を停止させる制御部と、

を有することを特徴とする制御装置。

[請求項5] コンピュータが、

電荷を充放電することにより情報を記憶するメモリ内の所定のメモリ領域に対するアクセス要求を検出し、

検出した前記アクセス要求に応じて前記メモリ領域に書き込まれる書込情報または前記メモリ領域から読み出される読出情報が、電荷が放電された場合に前記メモリ領域に記憶される情報と一致するか否かを判定し、

前記書込情報または前記読出情報が、電荷が放電された場合に前記メモリ領域に記憶される情報と一致すると判定した場合、前記メモリ領域に対するリフレッシュ動作を停止させる、

処理を実行することを特徴とする制御方法。

[請求項6] コンピュータが、

電荷を充放電することにより情報を記憶するメモリ内の所定のメモリ領域に記憶されている情報をクリアするクリア命令を検出し、

前記クリア命令を検出した場合、前記メモリ領域に対するリフレッシュ動作を停止させる、

処理を実行することを特徴とする制御方法。

[請求項7] コンピュータに、

電荷を充放電することにより情報を記憶するメモリ内の所定のメモ

リ領域に対するアクセス要求を検出し、

検出した前記アクセス要求に応じて前記メモリ領域に書き込まれる書込情報または前記メモリ領域から読み出される読出情報が、電荷が放電された場合に前記メモリ領域に記憶される情報と一致するか否かを判定し、

前記書込情報または前記読出情報が、電荷が放電された場合に前記メモリ領域に記憶される情報と一致すると判定した場合、前記メモリ領域に対するリフレッシュ動作を停止させる、

処理を実行させることを特徴とする制御プログラム。

[請求項8]

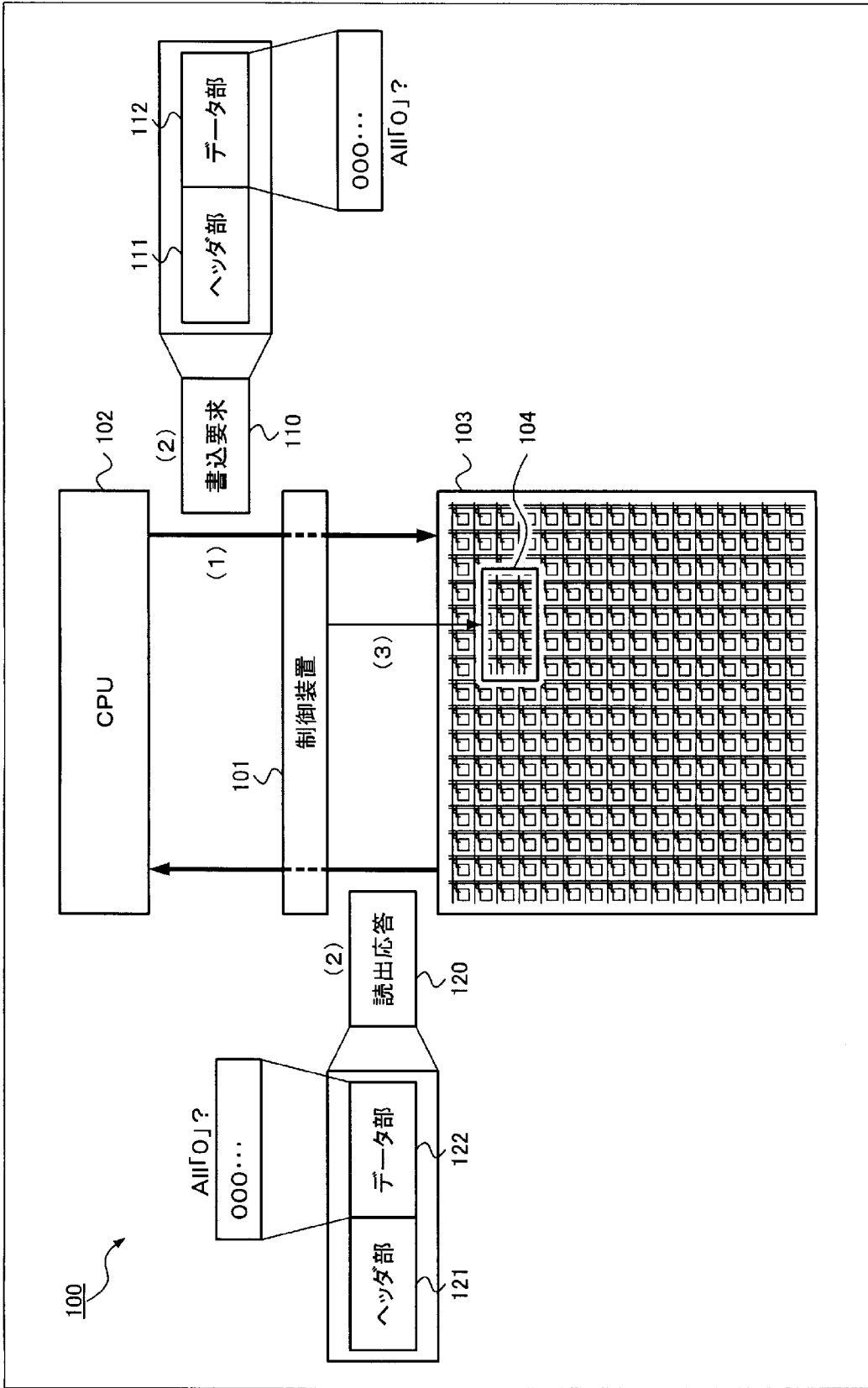
コンピュータに、

電荷を充放電することにより情報を記憶するメモリ内の所定のメモリ領域に記憶されている情報をクリアするクリア命令を検出し、

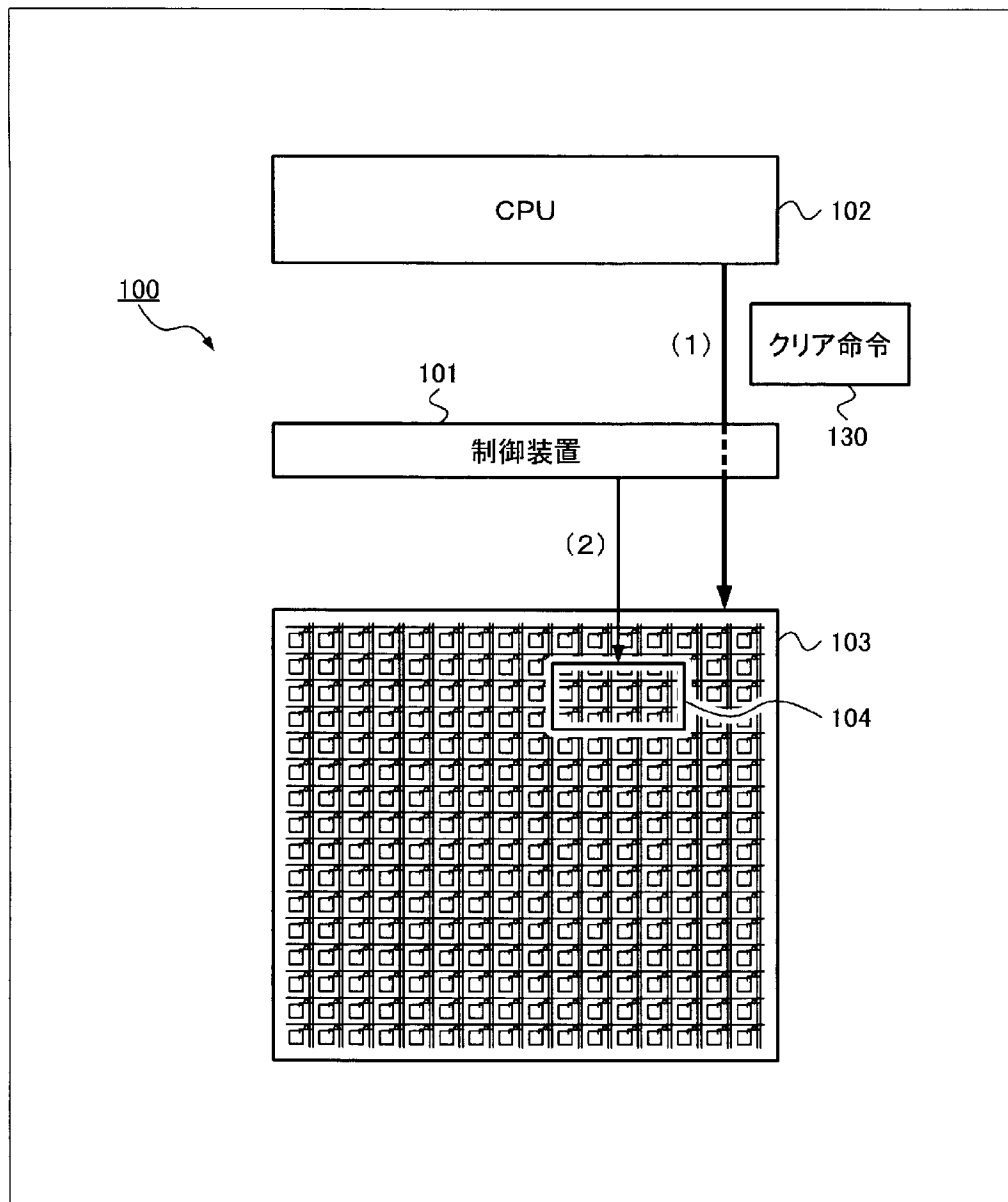
前記クリア命令を検出した場合、前記メモリ領域に対するリフレッシュ動作を停止させる、

処理を実行させることを特徴とする制御プログラム。

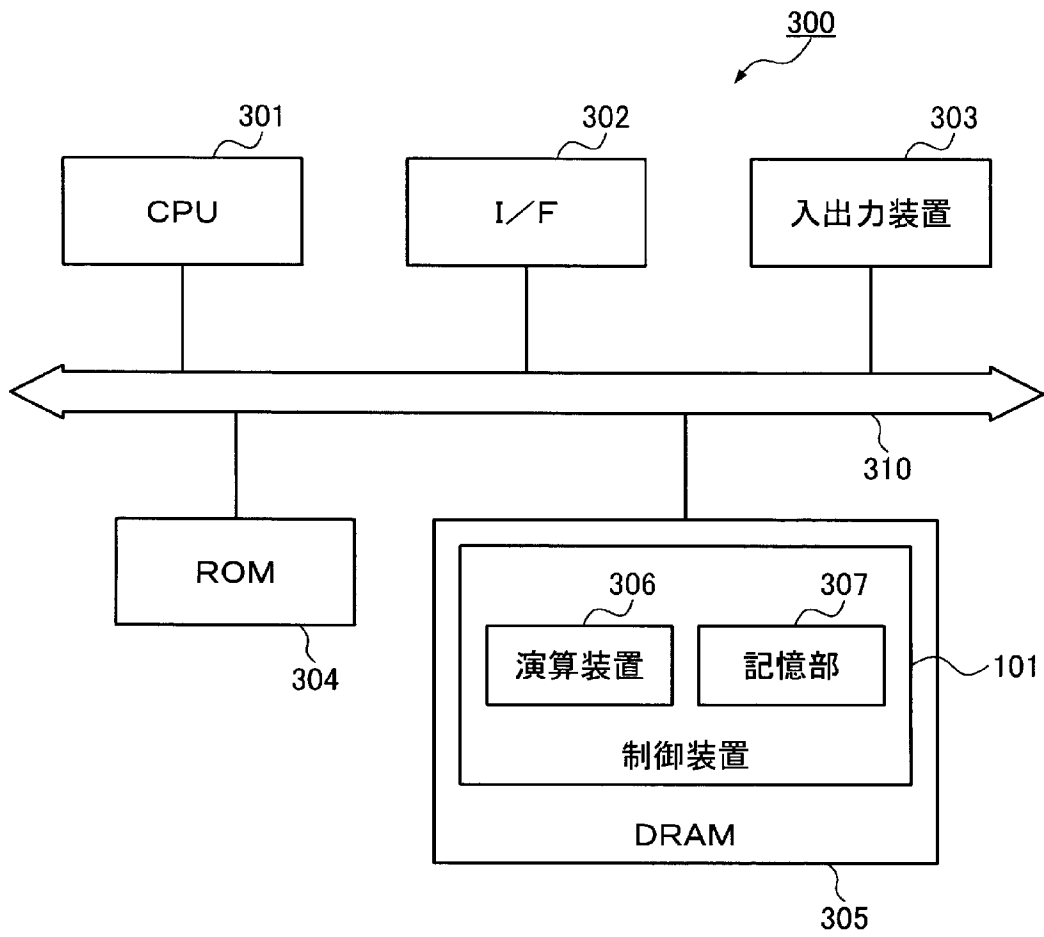
[図1]



[図2]



[図3]

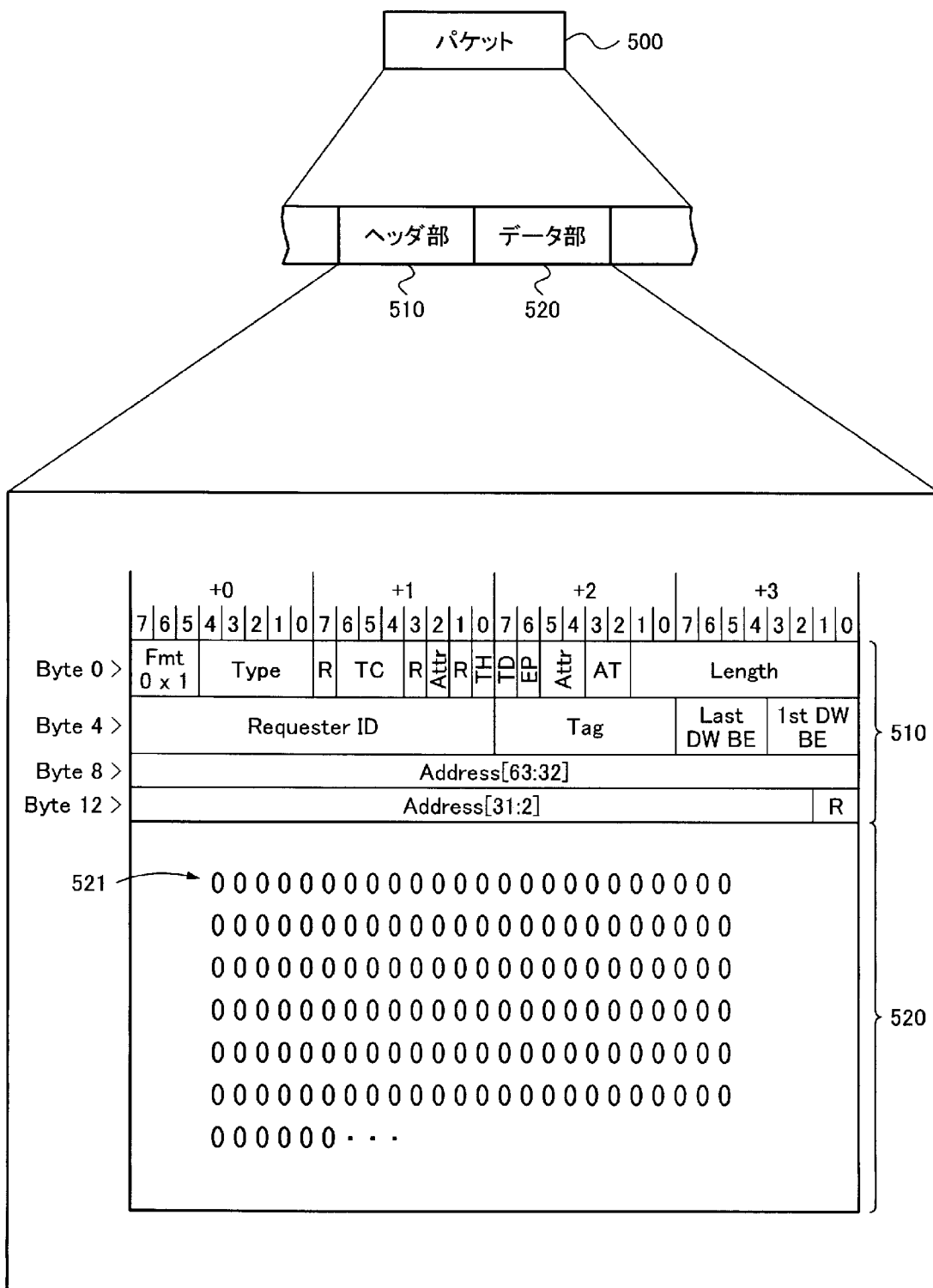


[図4]

クリアフラグテーブル 400

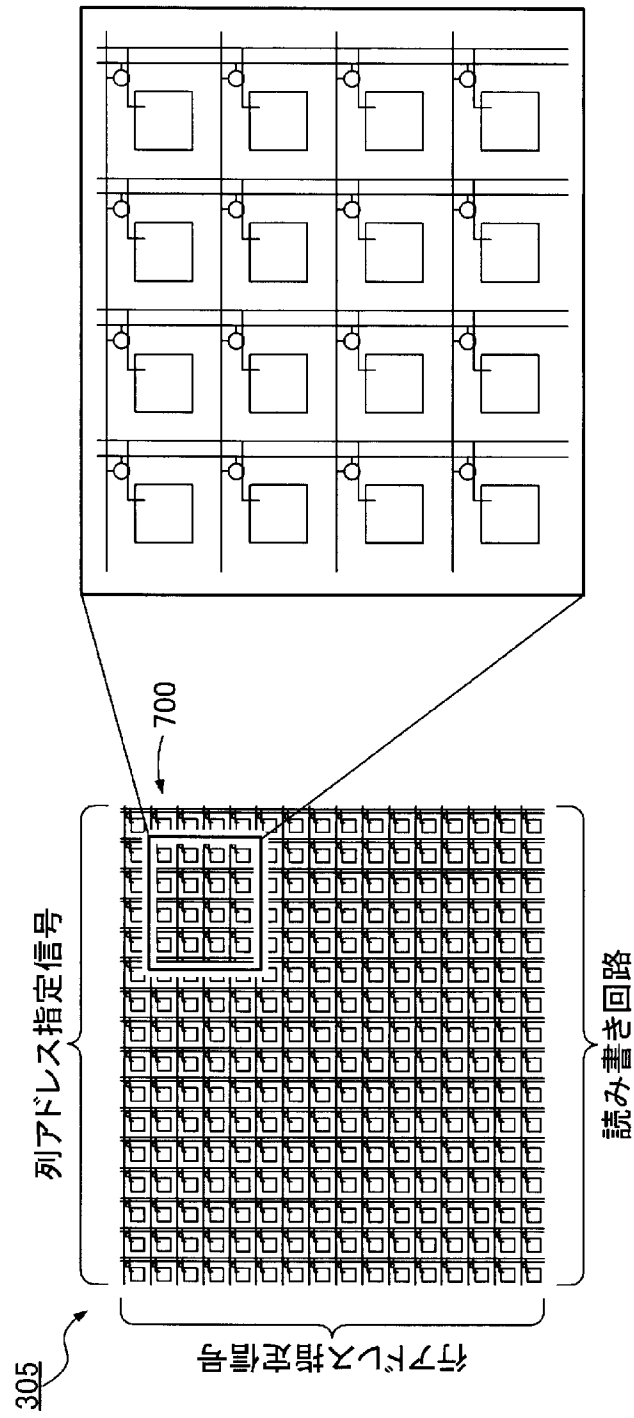
	領域ID	アドレス	サイズ	クリアフラグ
400-1	R1	0x0000000000000000	4K	No-clr
400-2	R2	0x0000000000000100	4K	No-clr
	⋮	⋮	⋮	⋮
	⋮	0x0000FF0000004000	4K	Clr
	⋮	⋮	⋮	⋮
	⋮	0x0001FF0000000000	16M	Clr
	⋮	⋮	⋮	⋮
400-n	Rn	⋮	⋮	⋮

[図5]

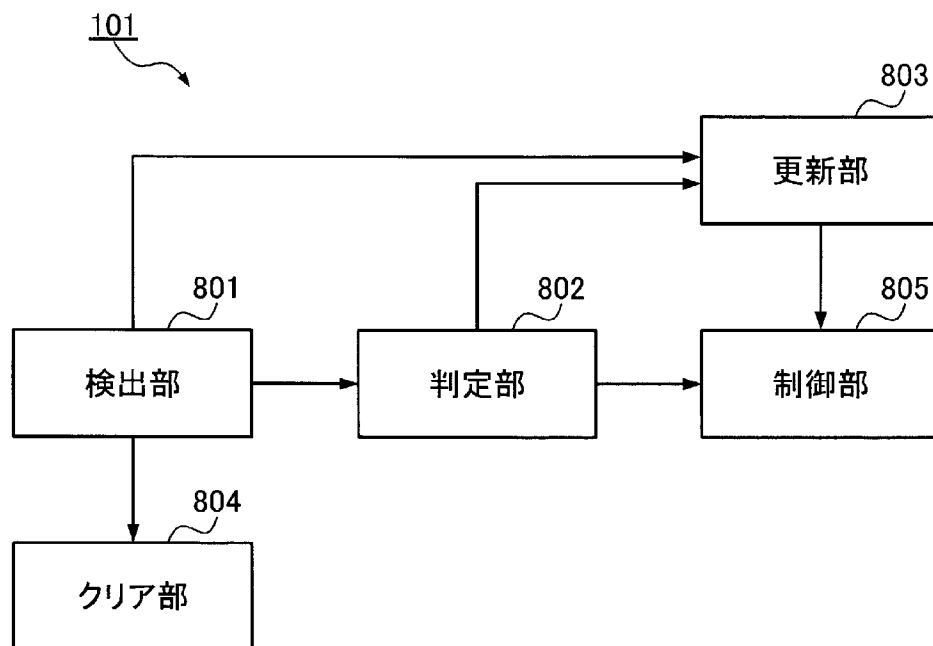




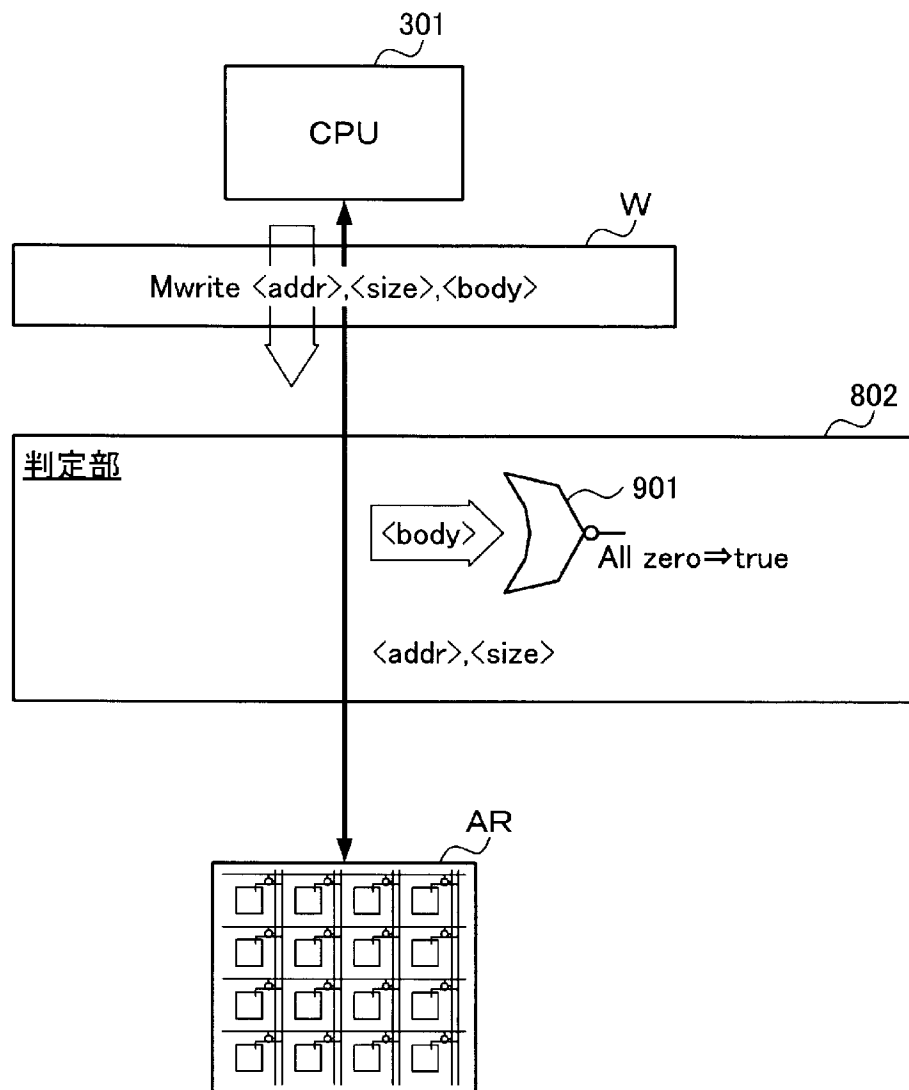
[図7]



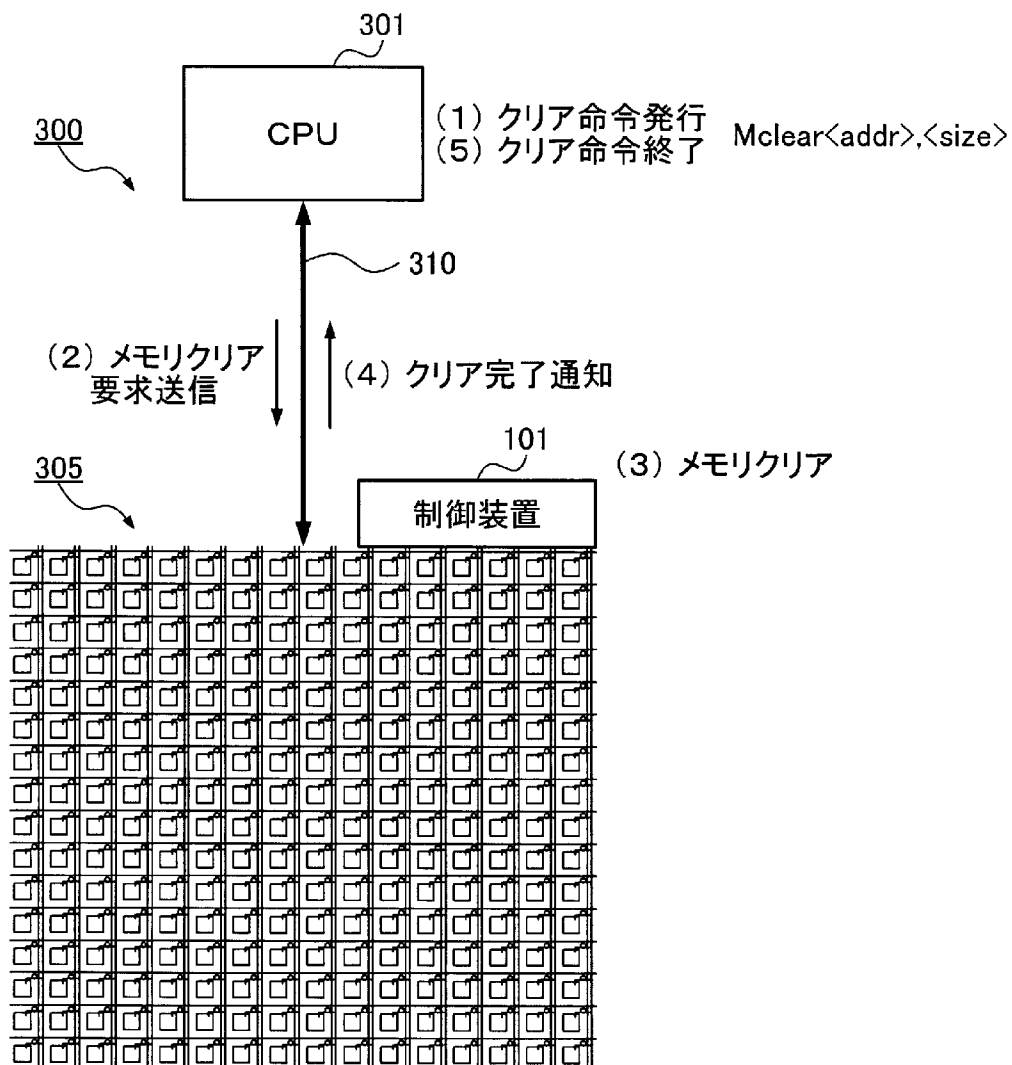
[図8]



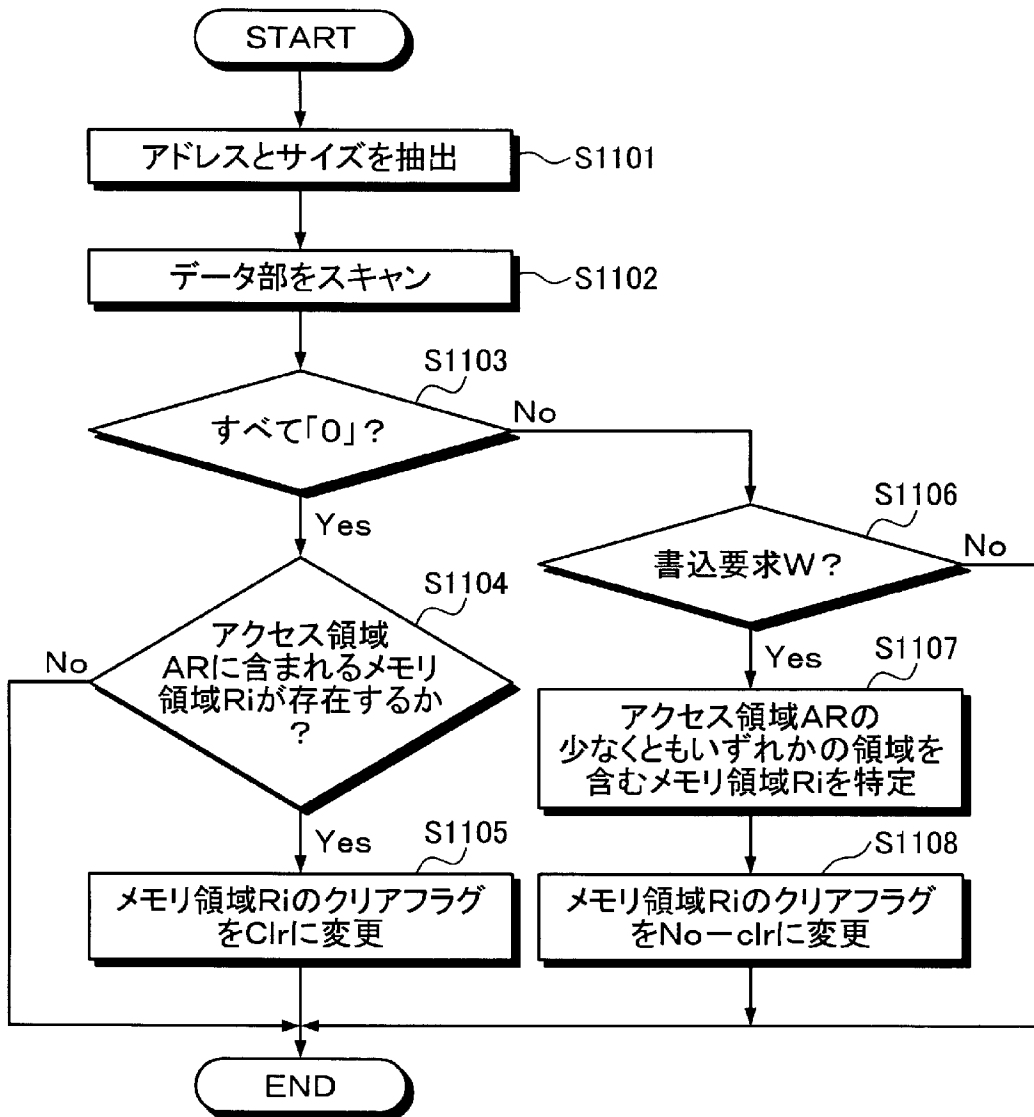
[図9]



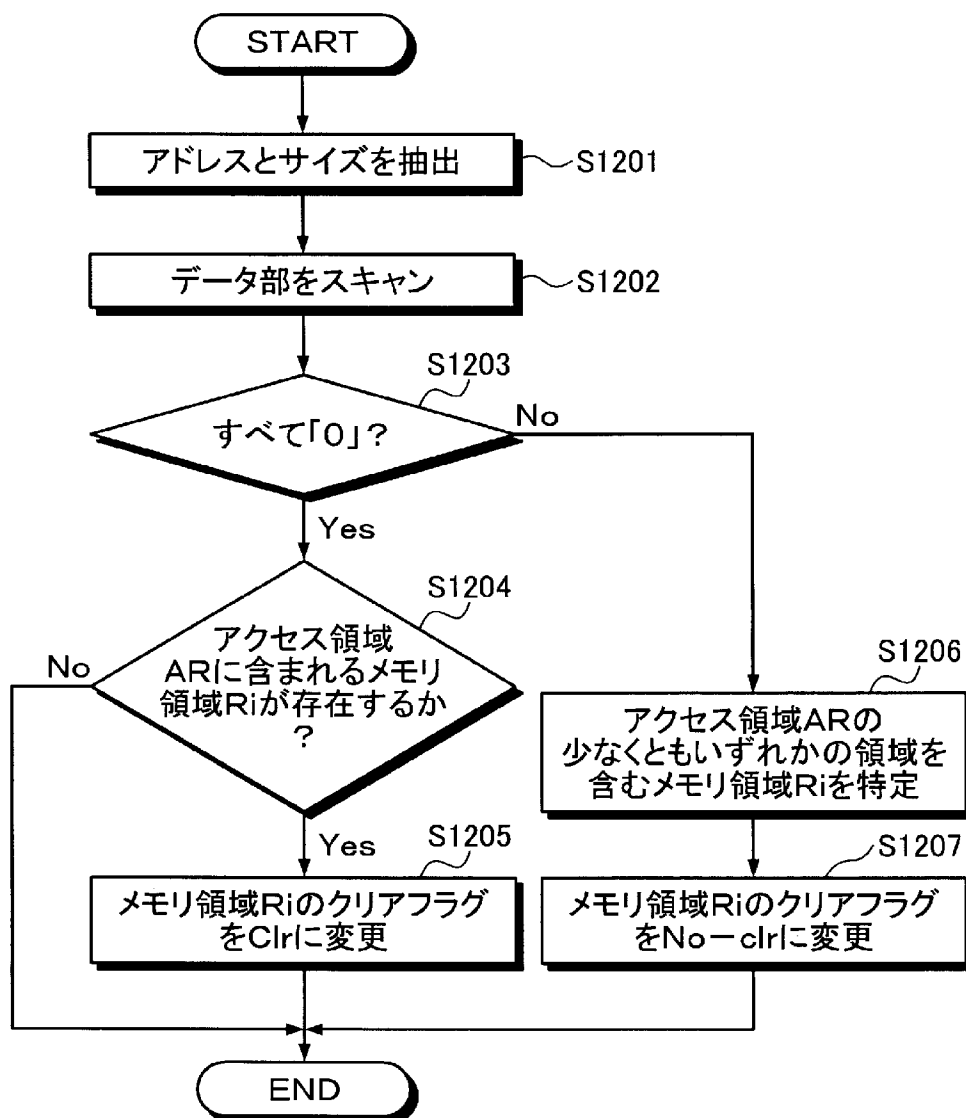
[図10]



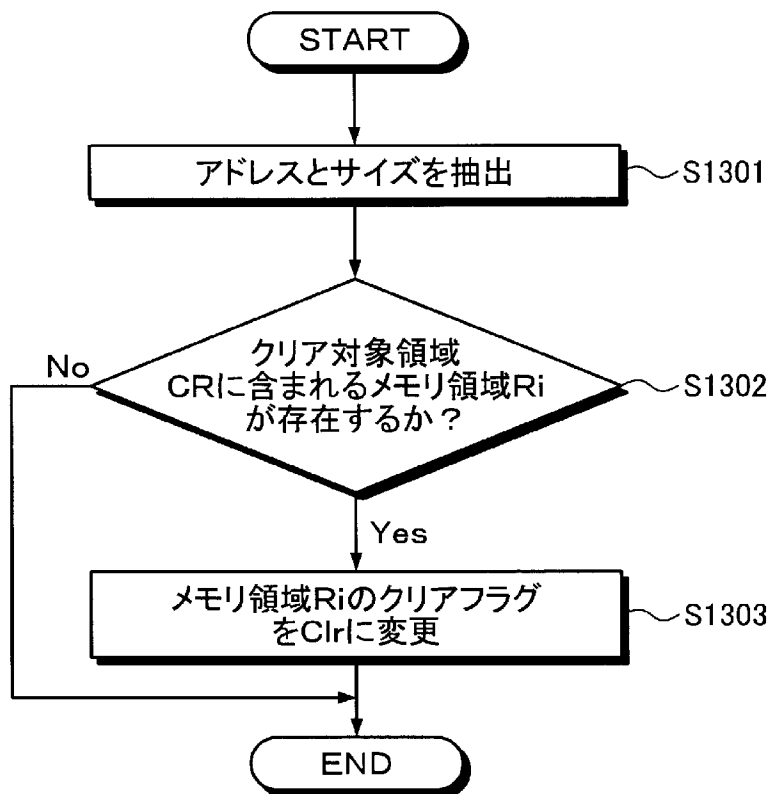
[図11]



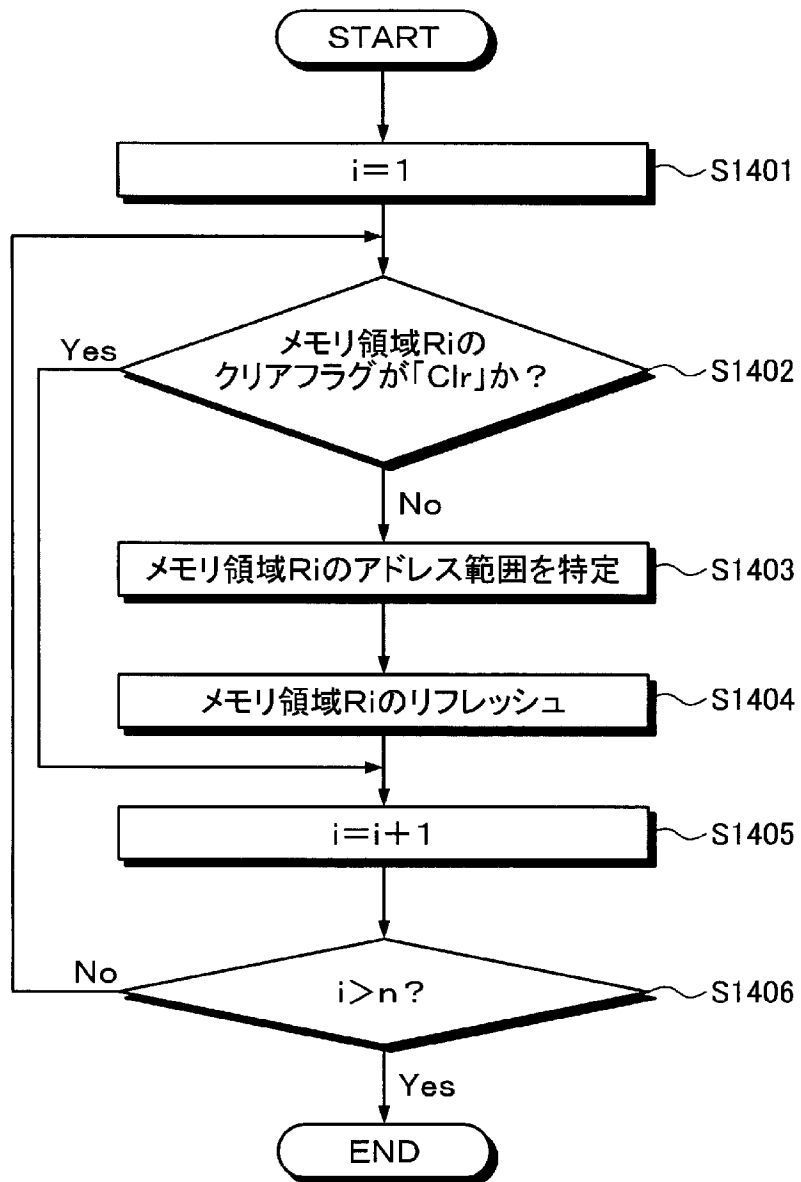
[図12]



[図13]



[図14]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064723

A. CLASSIFICATION OF SUBJECT MATTER G11C11/406(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G11C11/406		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 1-146195 A (Mitsubishi Electric Corp.), 08 June 1989 (08.06.1989), page 2, lower left column, line 18 to page 3, upper left column, line 15; fig. 1 (Family: none)	1, 3, 5, 7 2
X Y	JP 4-13290 A (NEC Home Electronics Ltd.), 17 January 1992 (17.01.1992), page 2, lower right column, line 3 to page 3, lower right column, line 6; page 4, lower left column, line 19 to lower right column, line 6; fig. 1 (Family: none)	4, 6, 8 2
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 July, 2012 (12.07.12)		Date of mailing of the international search report 24 July, 2012 (24.07.12)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2012/064723

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-527592 A (Intel Corp.), 27 September 2007 (27.09.2007), paragraphs [0011], [0021]; fig. 2 & US 2005/0002253 A1 & WO 2005/006341 A1 & KR 10-2006-0029272 A & CN 1839446 A	4, 6, 8 2

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G11C11/406(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G11C11/406		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 1-146195 A (三菱電機株式会社) 1989.06.08, 第2頁左下欄第18行-第3頁左上欄第15行, 第1図 (ファミリーなし)	1, 3, 5, 7 2
X Y	JP 4-13290 A (日本電気ホームエレクトロニクス株式会社) 1992.01.17, 第2頁右下欄第3行-第3頁右下欄第6行, 第4頁左下欄第19行-右下欄第6行, 第1図 (ファミリーなし)	4, 6, 8 2
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 12.07.2012	国際調査報告の発送日 24.07.2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 滝谷 亮一 電話番号 03-3581-1101 内線 3565	5U 5089

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-527592 A (インテル コーポレーション)	4, 6, 8
Y	2007. 09. 27, 段落【0011】, 【0021】, 第2図 & US 2005/0002253 A1 & WO 2005/006341 A1 & KR 10-2006-0029272 A & CN 1839446 A	2