



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0122518
(43) 공개일자 2009년12월01일

(51) Int. Cl.

G11C 29/04 (2006.01) G11C 16/04 (2006.01)

G11C 16/34 (2006.01)

(21) 출원번호 10-2008-0048379

(22) 출원일자 2008년05월26일

심사청구일자 2008년05월26일

(71) 출원인

창원대학교 산학협력단

경남 창원시 사림동 9 창원대학교내

(72) 발명자

김영희

경남 창원시 반림동 현대아파트 112동 1001호

(74) 대리인

이철희

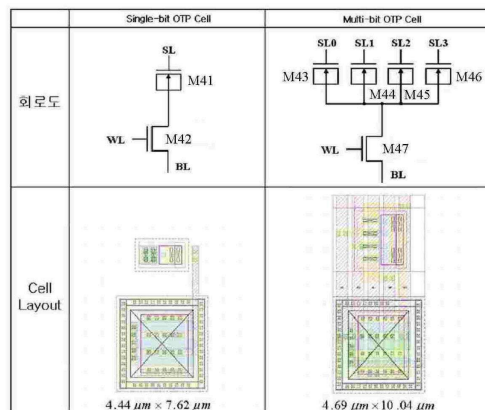
전체 청구항 수 : 총 7 항

(54) 멀티비트 OTP 셀

(57) 요약

본 발명은 셀 어레이가 차지하는 레이아웃 면적을 감소시키는 멀티비트 OTP 셀을 개시한다. 상기 멀티비트 OTP 셀은, 안티퓨즈 블록 및 액세스 트랜지스터를 구비하거나, 프로그램 트랜지스터를 더 구비한다. 상기 안티퓨즈블록에는 게이트가 적어도 2개의 선택라인 중 해당 선택라인에 연결되며 드레인 및 소스가 전기적으로 서로 연결된 안티퓨즈 커패시터를 적어도 2개 구비한다. 프로그램 트랜지스터를 더 구비하는 경우에는 셀에 데이터를 저장할 때에는 프로그램 트랜지스터를 사용하고 셀에 저장된 데이터를 읽을 때에는 액세스 트랜지스터를 사용한다.

대표도 - 도4



특허청구의 범위

청구항 1

게이트가 적어도 2개의 선택라인 중 해당 선택라인에 연결되며 드레인 및 소스가 전기적으로 서로 연결된 안티퓨즈 커패시터를 적어도 2개 구비하는 안티퓨즈블록(M43~M46); 및

일 단자가 상기 각 안티퓨즈 커패시터의 드레인 및 소스의 연결노드들에 공통으로 연결되고 다른 일 단자는 비트라인에 연결되며 게이트에 워드라인이 연결된 액세스 트랜지스터(M47)를 구비하는 것을 특징으로 하는 멀티비트 OTP 셀.

청구항 2

게이트가 적어도 2개의 선택라인 중 해당 선택라인에 연결되며 드레인 및 소스가 전기적으로 서로 연결된 안티퓨즈 커패시터를 적어도 2개 구비하는 안티퓨즈블록;

일 단자가 상기 각 안티퓨즈 커패시터의 드레인 및 소스의 연결노드들에 공통으로 연결되고 다른 일 단자는 비트라인에 연결되며 게이트에 읽기 워드라인(RWL) 또는 상기 읽기 워드라인과 위상이 반대되는 전기적 특성을 가지는 역 읽기 워드라인(RWLb)이 연결된 액세스 트랜지스터; 및

일 단자가 상기 각 안티퓨즈 커패시터의 드레인 및 소스의 연결노드들에 공통으로 연결되고 다른 일 단자는 제2 전원전압(VSS) 또는 제3전원전압(VPP)에 연결되며 게이트에 프로그램 워드라인(WWL) 또는 상기 프로그램 워드라인과 위상이 반대되는 전기적인 특성을 가지는 역 프로그램 워드라인(WWLb)이 연결된 프로그램 트랜지스터를 구비하는 것을 특징으로 하는 멀티비트 OTP 셀.

청구항 3

제2항에 있어서,

상기 제2전원전압(VSS)은 접지전압(GND)과 같거나 낮은 전압준위를 가지며,

상기 제3전원전압(VPP)은 상기 선택라인에 강하되는 전압보다 높은 전압준위를 가지며,

상기 제3전원전압(VPP)과 상기 선택라인에 강하되는 전압의 차는 상기 안티퓨즈 커패시터의 산화막을 파괴시킬 수 있는 정도의 전압차이인 것을 특징으로 하는 멀티비트 OTP 셀.

청구항 4

제2항에 있어서,

상기 프로그램 워드라인(WWL) 또는 상기 역 프로그램 워드라인(WWLb)은 상기 멀티비트 OTP 셀에 데이터를 저장 시키고자 할 때 인에이블 되며,

상기 읽기 워드라인(RWL) 또는 상기 역 읽기 워드라인(RWLb)은 상기 멀티비트 OTP 셀에 저장된 데이터를 읽고자 할 때 인에이블 되는 것을 특징으로 하는 멀티비트 OTP 셀.

청구항 5

제2항에 있어서,

상기 프로그램 트랜지스터가 N형 모스트랜지스터일 때, 상기 프로그램 트랜지스터의 게이트에는 상기 프로그램 워드라인이 연결되고 다른 일 단자에는 상기 제2전원전압이 연결되며,

상기 프로그램 트랜지스터가 N형 모스트랜지스터일 때, 상기 액세스 트랜지스터도 N형 모스트랜지스터일 경우 상기 액세스 트랜지스터의 게이트에 상기 읽기 워드라인이 연결되고, 상기 액세스 트랜지스터가 P형 모스트랜지스터일 경우 상기 액세스 트랜지스터의 게이트에 상기 역 읽기 워드라인이 연결되고,

상기 프로그램 트랜지스터가 P형 모스트랜지스터일 때, 상기 프로그램 트랜지스터의 게이트에는 상기 역 프로그램 워드라인이 연결되고 다른 일 단자에는 상기 제3전원전압이 연결되며,

상기 프로그램 트랜지스터가 P형 모스트랜지스터일 때, 상기 액세스 트랜지스터도 P형 모스트랜지스터 일 경우 상기 액세스 트랜지스터의 게이트에 상기 역 읽기 워드라인이 연결되며 상기 액세스 트랜지스터가 N형 모스트랜

지스터일 경우 상기 액세스 트랜지스터의 게이트에 상기 읽기 워드라인이 연결되는 것을 특징으로 하는 멀티비트 OTP 셀.

청구항 6

제1항 또는 제2항에 있어서, 상기 안티퓨즈 커패시터는,

얇은 게이트 산화막을 가지는 N형 모스트랜지스터, 얇은 게이트 산화막을 가지는 P형 모스트랜지스터 및 얇은 산화막을 가지는 커패시터 중 하나이거나 이들의 결합인 것을 특징으로 하는 멀티비트 OTP 셀.

청구항 7

제1항 또는 제2항에 있어서, 상기 안티퓨즈블록(M43~M46)은,

드레인 및 소스가 전기적으로 서로 연결되어 2개의 선택라인 중 해당 선택라인에 연결되며, 게이트가 상기 액세스 트랜지스터에 연결되는 안티퓨즈 커패시터를 적어도 2개 구비하는 것을 특징으로 하는 멀티비트 OTP 셀.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 OTP 셀에 관한 것으로, 특히 스텝 & 리퍼트의 기본 단위가 되는 멀티비트 OTP 셀에 관한 것이다.

배경 기술

- <2> 일반적으로 모바일(Mobile) 부품, 자동차 전장 부품 등에 사용되는 MCU(Micro Controller Unit), 전력(Power) IC, 디스플레이 구동 IC(Display Driver IC), CMOS 이미지센서(Image Sensor) 등에 사용되는 프로그램 메모리(program memory)로는, 소비면적이 적고 추가 공정이 필요 없으며 게이트 산화막의 두께가 얇으며(thin gate oxide), 고전압(high-voltage)을 인가하여 브레이크다운 매커니즘(breakdown mechanism)에 의해 전기적으로 단락(short)시켜 프로그램(program)하는 안티퓨즈(anti-fuse) 방식의 OTP(One-Time Programmable) 메모리가 많이 사용되고 있다.
- <3> 기존의 OTP 셀(cell)은 3개의 셀 트랜지스터를 구비하거나 2개의 셀 트랜지스터를 구비하고 각 셀 당 1개의 비트를 저장한다.
- <4> 도 1은 3개의 셀 트랜지스터를 구비하는 종래의 OTP 셀을 나타낸다.
- <5> 도 1을 참조하면, 3개의 셀 트랜지스터를 구비하는 OPT 셀(100)은, 안티퓨즈인 게이트 산화막(gate oxide)의 두께가 얇은 NMOS 커패시터(capacitor, M1)와 고전압(High-Voltage) 블록킹 트랜지스터(blocking transistor, M2), 액세스 트랜지스터(access transistor, M3)로 구성된다.
- <6> 프로그램 모드 시 NMOS 커패시터(M1)의 게이트에는 6V의 전압준위를 가지는 프로그램 전압(VPP)이 인가되고 블록킹 트랜지스터(M2)의 게이트에는 블록킹 전압(V_{G-BT}), 워드라인(Word-Line, WL)에는 1.8V의 전압준위를 가지는 전압(VDD)을 인가하고, 비트라인(Bit-Line, BL)에 0V의 전압을 인가하면, NMOS 커패시터(M1)의 게이트 산화막에 브레이크다운 전압 이상의 고전압이 걸려 해당 게이트 산화막이 파괴되어 게이트와 기판이 전기적으로 단락된다.
- <7> 도 1에 도시된 OTP 셀은, 프로그램 모드에서 프로그램 되는 셀의 워드라인(WL)과 비트라인(BL)은 0V이고, 셀 액세스 트랜지스터(M3)에 바로 고전압의 프로그램 전압(VPP)이 인가되는데, 이 경우 GIDL(Gate-Induced Drain Leakage) 현상에 의한 누설 전류(leakage current)를 줄이기 위해, 블록킹 트랜지스터(M2)가 부가적으로 필요하므로 셀이 차지하는 레이아웃(layout) 상의 면적이 커지는 단점이 있다.
- <8> 도 2는 2개의 셀 트랜지스터를 구비하는 종래의 OTP셀을 나타낸다.
- <9> 도 3은 도 2에 도시된 OTP셀의 동작모드에 따른 노드별 바이어스 전압을 나타낸다.
- <10> 도 2 및 도 3을 참조하면, 2개의 셀 트랜지스터를 구비하는 OPT 셀(200)은, 프로그램 모드 시 선택되어진 셀의 워드라인(WL0, WL7)에 $VPP/2(=3.5V)$ 전압을 인가하여 액세스 트랜지스터를 턴 온 시키고 게이트 라인(Gate

Line, GL0, GL7)에 VPP(=7V) 전압, 비트라인(BL0, BL1, BL15)에 0V를 인가하여 안티퓨즈용 NMOS의 게이트 산화막을 파괴한다. 프로그램 모드 시 선택되지 않은 OTP 셀은 워드라인(WL0, WL7)에 0V를 인가하여 해당 액세스 트랜지스터를 턴 오프 시키고 게이트라인(GL0, GL7)에 VPP/2 전압을 인가한 상태에서 비트라인(BL0, BL1, BL15)을 플로팅(floating) 시키면 게이트 산화막은 파괴되지 않게 된다.

<11> 읽기모드(Read mode)시 모든 게이트라인(GL0, GL7)에 VDD(=1.8V) 전압을 인가하고 선택된 워드라인(WL)에는 VDD 전압을 인가한 후, 전류센스회로(미도시)를 통해 셀에 저장된 데이터를 출력한다. 이 때 선택되지 않은 워드라인(WL)에는 0V가 인가되어 해당 OTP 셀은 비트라인(BL)으로부터 격리된다.

<12> 종래의 2개의 트랜지스터를 구비하는 OTP 셀을 이용한 8나 16 어레이(array)를 갖는 OTP 메모리는, 프로그램 시에는 게이트라인(GL)에 VPP 전압 또는 VPP/2 전압을 인가해야 하고, 읽기 모드 시에는 VDD 전압을 인가해야 한다. 따라서 VPP, VPP/2, VDD 세 종류의 전원전압을 필요로 한다. 그리고 OTP 메모리 용량이 증가하게 되면 OTP 셀 어레이의 행(Rows)이 보다 증가해서 게이트 바이어스 스위치(gate bias switch) 회로가 추가되어 레이아웃 면적이 증가하는 단점이 있다.

발명의 내용

해결 하고자하는 과제

<13> 본 발명이 해결하고자 하는 기술적 과제는, 셀 어레이가 차지하는 레이아웃 면적을 감소시키는 멀티비트 OTP 셀을 제공하는데 있다.

과제 해결수단

<14> 상기 기술적 과제를 이루기 위한 본 발명의 일면에 따른 멀티비트 OTP 셀은, 안티퓨즈 블록 및 액세스 트랜지스터를 구비한다. 상기 안티퓨즈 블록은 게이트가 적어도 2개의 선택라인 중 해당 선택라인에 연결되며 드레인 및 소스가 전기적으로 서로 연결된 안티퓨즈 커패시터를 적어도 2개 구비한다. 상기 액세스 트랜지스터는 일 단자가 상기 각 안티퓨즈 커패시터의 드레인 및 소스의 연결노드들에 공통으로 연결되고 다른 일 단자는 비트라인에 연결되며 게이트에 워드라인이 연결된다.

<15> 상기 기술적 과제를 이루기 위한 본 발명의 다른 일면에 따른 멀티비트 OTP 셀은, 안티퓨즈블록, 액세스 트랜지스터 및 프로그램 트랜지스터를 구비한다. 상기 안티퓨즈블록은 게이트가 적어도 2개의 선택라인 중 해당 선택라인에 연결되며 드레인 및 소스가 전기적으로 서로 연결된 안티퓨즈 커패시터를 적어도 2개 구비한다. 상기 액세스 트랜지스터는 일 단자가 상기 각 안티퓨즈 커패시터의 드레인 및 소스의 연결노드들에 공통으로 연결되고 다른 일 단자는 비트라인에 연결되며 게이트에 읽기 워드라인 또는 상기 읽기 워드라인과 위상이 반대되는 전기적 특성을 가지는 역 읽기 워드라인이 연결된다. 상기 프로그램 트랜지스터는 일 단자가 상기 각 안티퓨즈 커패시터의 드레인 및 소스의 연결노드들에 공통으로 연결되고 다른 일 단자는 제2전원전압 또는 제3전원전압에 연결되며 게이트에 프로그램 워드라인 또는 상기 프로그램 워드라인과 위상이 반대되는 전기적인 특성을 가지는 역 프로그램 워드라인이 연결된다.

효 과

<16> 본 발명은 복수 개의 셀을 스텝 & 리프트 방식으로 배열하였을 때의 셀 어레이가 차지하는 레이아웃 면적을 감소시키는 장점이 있다.

발명의 실시를 위한 구체적인 내용

<17> 이하에서는 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.

<18> 도 4는 본 발명에 따른 멀티비트 OTP 셀 및 종래의 OTP 셀의 회로도 및 레이아웃을 도시한다.

<19> 도 4를 참조하면, 왼쪽 상단에 도시된 종래의 1비트를 저장하는 OTP 셀은, 하나의 안티퓨즈 커패시터(M41) 및 하나의 액세스 트랜지스터(M42)를 구비한다. 반면에, 오른쪽 상단에 도시된 본 발명에 따른 멀티비트를 저장하는 OTP 셀은, 4개의 안티퓨즈용 NMOS 커패시터(M43~M46) 및 하나의 액세스 트랜지스터(M47)를 구비한다.

<20> 4개의 NMOS 커패시터(M43~M46)의 게이트 단자에는 4개의 선택신호(SL0~SL3)가 각각 인가되고, 드레인 및 소스의 공통단자는 서로 연결되어 액세스 트랜지스터(M47)의 일 단자에 연결된다. 액세스 트랜지스터(M47)의 다른 일

단자는 비트라인(BL)에 연결되고 게이트에는 워드라인(WL)이 연결된다.

- <21> 셀 당 n (n 은 정수)비트의 데이터를 프로그램 할 수 있는 본 발명에 따른 멀티비트 OTP 셀은 한 개의 액세스 트랜지스터(M47)에 $n(=2^m)$, m 은 정수) 개의 NMOS 커패시터(M42~M46)로 구성하면 된다. 여기서 m 은 칼럼 어드레스 비트(column address bit)의 수이다.
- <22> 도 4에는 4비트의 데이터를 프로그램 하는 경우에 대하여 도시되어 있지만, 셀 당 2비트의 데이터를 프로그램 하고자 하는 경우는 NMOS 커패시터가 2개 있으면 되고, 8비트의 데이터를 프로그램 하고 싶으면 NMOS 커패시터의 개수를 8개로 확장하면 된다. 셀 당 프로그램 가능 비트 수가 증가하면 증가할수록 OTP IP의 전체 레이아웃은 감소된다. 도 4를 참조하면, 4비트 OTP 셀의 레이아웃이 차지하는 면적은 종래의 1비트 OTP 셀이 차지하는 면적에 비해 39% 정도 증가하였다는 것을 알 수 있다.
- <23> 그러나 이는 종래의 1비트용 OTP 셀과 본 발명에 따른 4비트용 OTP 셀을 비교한 것으로, 실제로 종래의 OTP 셀을 이용하여 4비트의 OTP 셀 어레이를 구현하게 되면 본 발명에 따른 4비트용 OTP 셀이 차지하는 레이아웃에 비해 몇 배 많은 면적을 차지하게 될 것은 분명하다.
- <24> 도 4에는 프로그램 모드 시 및 읽기모드 시 하나의 액세스 트랜지스터(M47)를 공통으로 사용한다. 프로그램 모드 시 NMOS 커패시터의 게이트 산화막을 분명하게 파괴하기 위해서는 해당 산화막에 걸리는 전계(electric field)를 가능한 크게 하여야 한다. 따라서 프로그램 모드 시 NMOS 커패시터의 게이트에 걸리는 인가되는 전압과 드레인 & 소스 공통단자에 인가되는 전압의 차이를 크게 하기 위하여, 프로그램 모드 시 NMOS 커패시터의 드레인 & 소스 공통단자에 연결되는 프로그램 용 트랜지스터를 더 구비하는 OTP 셀의 구조를 이하에서 제안한다.
- <25> 도 5 내지 도 8은 본 발명에 따른 멀티비트 OTP 셀의 다른 실시 예들이다.
- <26> 도 5를 참조하면, 멀티비트 OTP 셀(500)은, 안티퓨즈용 4개의 NMOS 커패시터(M51~M54), 프로그램 트랜지스터(M55) 및 액세스 트랜지스터(M56)를 구비한다. 4개의 커패시터의 게이트 단자에는 4개의 선택신호(SL0~SL3)가 각각 인가되고, 드레인 및 소스의 공통단자는 프로그램 트랜지스터(M55) 및 액세스 트랜지스터(M56)의 일 단자에 연결되어 있다. 프로그램 트랜지스터(M55)의 게이트에는 후술할 프로그램(PGM) 명령에 의해 활성화되는 프로그램 워드라인(WWL)이 인가되고 다른 일 단자는 제2공급전원(VSS)에 연결된다. 액세스 트랜지스터(M56)의 게이트에는 후술할 읽기명령(READ)에 의해 활성화되는 읽기 워드라인(RWL)이 인가되고 다른 일 단자는 비트라인(BL)에 연결된다.
- <27> 도 4에 도시된 멀티비트 OTP 셀은, 하나의 액세스 트랜지스터(M47) 만을 구비하기 때문에 셀에 데이터를 프로그램 할 때 및 기록된 데이터를 읽을 때 액세스 트랜지스터(M47)를 공통으로 사용한다. 반면에, 도 5에 도시된 멀티비트 OTP 셀(500)은, 셀에 데이터를 프로그램 할 때에는 추가된 프로그램 트랜지스터(M55)를 사용하고 기록된 데이터를 읽을 때는 액세스 트랜지스터(M56)를 사용한다는 점에서 다르다.
- <28> 추가된 프로그램 트랜지스터(M55)의 다른 일 단자에는 제2공급전원(VSS)이 인가되고 있는데, 제2공급전원(VSS)의 전압준위는 일반적인 경우에는 접지전압(GND)과 동일하게 할 수도 있지만, 해당 NMOS 커패시터의 산화막을 확실하게 파괴하기 위해서 접지전압(GND)보다 더 낮은 전압준위를 갖도록 할 수 있다. 즉, 접지전압(GND) 보다 낮은 전압을 인가함으로써 NMOS 커패시터의 양 단자에 강해지는 전압을 크게 함으로써 안티퓨즈 용 커패시터의 산화막에 강해지는 전계를 크게 하여 해당 커패시터의 산화막을 보다 용이하게 파괴시킬 수 있다. 추가된 프로그램 트랜지스터의 기능은 이하에 설명할 도 6 내지 도 8에도 그대로 적용된다.
- <29> 도 6을 참조하면, 멀티비트 OTP 셀(600)은, 안티퓨즈용 4개의 NMOS 커패시터(M61~M64), 프로그램 트랜지스터(M65) 및 액세스 트랜지스터(M66)를 구비한다. 여기서 액세스 트랜지스터(M66)의 형태는 도 5의 경우 N형 MOS 트랜지스터이나 도 6의 경우에는 P형 MOS 트랜지스터이다. 따라서 읽기모드 시 액세스 트랜지스터(M66)의 게이트에는 읽기 워드라인(RWL)의 위상과 반대의 위상을 가지는 역 읽기 워드라인(RWLb)이 연결되어야 할 것이다.
- <30> 그 외에는 도 5 및 도 6의 구조가 동일하므로, 도 6의 연결 관계 및 동작에 대해서는 설명을 하지 않는다.
- <31> 도 7을 참조하면, 멀티비트 OTP 셀(700)은, 안티퓨즈용 4개의 NMOS 커패시터(M71~M74), 프로그램 트랜지스터(M75) 및 액세스 트랜지스터(M76)를 구비한다. 4개의 커패시터의 게이트 단자에는 4개의 선택신호(SL0~SL3)가 각각 인가되고, 드레인 및 소스의 공통단자는 프로그램 트랜지스터(M75) 및 액세스 트랜지스터(M76)의 일 단자에 연결되어 있다. 프로그램 트랜지스터(M75)의 게이트에는 프로그램(PGM) 명령에 의해 활성화되는 프로그램 워드라인(WWL)과 위상이 반대가 되는 역 프로그램 워드라인(WWLb)이 연결되고 다른 일 단자는 제1공급전원(VPP)에 연결된다. 액세스 트랜지스터(M76)의 게이트에는 읽기명령(READ)에 의해 활성화되는 읽기 워드라인(RWL)과 위상

이 반대가 되는 역 읽기 워드라인(RWLb)이 연결되고 다른 일 단자는 비트라인(BL)에 연결된다.

- <32> 도 5에 도시된 멀티비트 OTP 셀(500)과 도 7에 도시된 멀티비트 OTP 셀(700)의 프로그램 트랜지스터 및 액세스 트랜지스터의 게이트에 연결되는 읽기 워드라인의 위상이 서로 반대가 되는 것은, 이들이 각각 N형 모스트랜지스터(M55, M56)와 P형 모스트랜지스터(M75, M76)로 구별되기 때문이다.
- <33> 도 8을 참조하면, 멀티비트 OTP 셀(800)은, 안티퓨즈용 4개의 NMOS 커패시터(M81~M84), 프로그램 트랜지스터(M85) 및 액세스 트랜지스터(M86)를 구비한다.
- <34> 여기서 도 7에 도시된 프로그램 트랜지스터(M75)의 게이트 및 도 8에 도시된 액세스 트랜지스터(M86)의 게이트에는 위상이 서로 반대가 되는 읽기 워드라인(RWL) 및 역 읽기 워드라인(RWLb)이 각각 인가되는데 이는 도 7에 도시된 프로그램 트랜지스터(M75)가 P형 모스트랜지스터이고 도 8에 도시된 프로그램 트랜지스터(M85)가 N형 모스트랜지스터이기 때문이다. 따라서 도 7에 도시된 프로그램 트랜지스터(M75)에는 역 읽기 워드라인(RWLb)이 연결되고 도 8에 도시된 프로그램 트랜지스터(M85)의 게이트에는 읽기 워드라인(RWL)이 연결된다.
- <35> 이외에는 도 8에 도시된 멀티비트 OTP 셀(800)이 도 7에 도시된 멀티비트 OTP 셀(700)과 연결 관계 및 동작이 동일하므로 설명을 하지 않는다.
- <36> 도 4 내지 도 8에 도시된 멀티비트 OTP 셀들을 이용하여 메모리를 설계하려면, 단위 셀들을 2차원적으로 배열하여야 한다. 이를 단위 셀의 스텝 & 리피트(Step & Repeat)라고 하는데, 이는 단위 셀들을 수평방향 및 수직방향으로 반복하여 설치하기 때문이다. 본 발명에 따른 멀티비트 OPT 셀들도 스텝 & 리피트의 기본 단위가 되는 단위 셀들이 된다.
- <37> 도 4 내지 도 8에 도시된 실시 예들은, 선택라인(SL)이 안티퓨즈 NMOS 커패시터의 일 전극 즉 게이트에 연결되고 드레인 및 소스의 공통단자가 액세스 트랜지스터에 연결된 것에 대하여 도시하였고 이에 대하여 설명하였다. 그러나 반대의 경우도 가능하다. 즉, 당업자라면 추가 도면 및 이에 대한 자세한 설명 없이, 본 발명을 간단하게 수정(modify)하여, 선택라인(SL)이 안티퓨즈 NMOS 커패시터의 다른 일 전극 즉 드레인 및 소스의 공통단자에 연결되고 일 단자가 액세스 트랜지스터에 연결되게 할 수 있다.
- <38> 도 9는 동작모드 별 멀티비트 OTP 셀 노드의 바이어스 전압을 나타낸다.
- <39> 도 9를 참조하면, 프로그램모드나 읽기모드에서 선택된 워드라인(WL)은 VPP로 활성화되고, 선택되지 않은 워드라인(WL)은 0V를 유지하므로 OTP 셀 커패시터는 비트라인(BL)으로부터 격리된다. 프로그램모드에서 멀티비트 OTP 셀의 선택된 안티퓨즈를 프로그램하기 위해서는 비트라인(BL)을 0V로 유지한 상태에서, 프로그램 되어야 할 셀에 연결된 4개의 선택라인(SL)중 칼럼어드레스(미도시)에 의해서 선택되는 선택라인(SL)에 VPP 전압을 인가하면, NMOS 커패시터의 양단에 브레이크다운전압 이상의 고전압인 VPP 전압이 걸리면서 과전류에 의해 커패시터는 전기적으로 단락 상태가 된다.
- <40> 선택된 셀에서 프로그램 되지 않아야 할 안티퓨즈와 관련된 선택라인(SL)을 플로팅(floating) 상태로 두면 해당 셀은 전기적으로 개방(open) 상태가 된다. 본 발명에 따른 멀티비트 OTP 셀을 구비하는 메모리에서, 선택된 셀에서 프로그램 된 안티퓨즈는 입력데이터(DIN)로 논리로우(0)인 인가된 경우이고, 프로그램 되지 않은 안티퓨즈는 입력데이터(DIN)로 논리하이(1)가 인가된 경우이다.
- <41> 종래의 3개의 트랜지스터를 구비하는 OTP 셀은 프로그램모드에서 먼저 프로그램 된 셀에서 NMOS 액세스 트랜지스터의 게이트 전압이 0V, 소스 단자(source node)인 선택라인(SL) 전압이 0V, 드레인 단자(drain node)의 전압이 VPP인 경우, 상술한 GIDL 현상에 의한 누설전류를 줄이기 위해 고전압 블로킹 트랜지스터를 사용하였다.
- <42> 그러나 본 발명에서 사용하는 5V 액세스 트랜지스터 경우, 누설전류가 10pA(pico-Ampere) 정도로 무시할 만큼 작아 블로킹 트랜지스터를 구비할 필요가 없다. 또한 읽기모드에서는 비트라인(BL)을 VDD 전압으로 프리차지(precharge)시킨 뒤 하이 임피던스(high-impedance)의 PMOS 풀업부하(pull up load) 트랜지스터를 턴 온 시키면서 워드라인(WL)을 VDD 전압으로 활성화시키면 안티퓨즈가 깨진(broken) 상태인 경우 단락된 NMOS 커패시터를 통해 칼럼어드레스에 의해 선택된 선택라인(SL)으로 전류경로(current path)가 제공되어 비트라인(BL)은 0V로 방전(discharging)되어 논리로우(0)가 출력(DOUT)된다.
- <43> 한편 깨지지 않은(Unbroken) 안티퓨즈가 칼럼어드레스에 의해 선택되는 경우 NMOS 커패시터가 개방상태이므로 접지전압(GND)으로의 전류경로가 차단되어 비트라인(BL)은 VDD로 프리차지 된 상태를 유지하므로 도 9에 표시된 바와 같이 논리하이(1)를 출력(DOUT)한다.

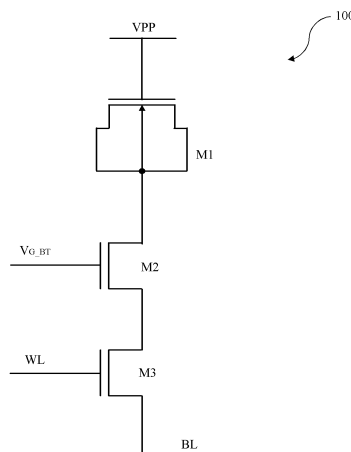
- <44> 이하에서는 자동차 전장용 전력 IC, 디스플레이 구동 IC, CMOS 이미지센서 등에 사용되기에 적합하도록, 본 발명에 따른 멀티비트 128바이트 OTP 메모리에 대한 설계 사양과 레이아웃에 대하여 설명한다.
- <45> 도 10은 비동기식 128Byte OTP 메모리의 전기적인 특성을 나타낸다.
- <46> 도 11은 비동기식 128바이트 OTP 메모리의 레이아웃을 나타낸다.
- <47> 도 10을 참조하면, 설계하고자 하는 비동기식 128Byte OTP memory의 cell array는 32Rows × 9Columns × 4bit로 구성되어 있으며, 한 개의 셀 당 4비트가 프로그램 된다. 공급전원으로는 1.5V의 전압준위를 가지며 논리회로에 공급되는 VDD, 5.5V의 전압준위를 가지고 프로그램 시 사용되는 VPPE(=5.5V)가 있으며, 프로그램모드와 읽기모드로 동작한다. 도 11에 도시된 비동기식 128바이트 OTP 메모리의 레이아웃은 매그나칩(Magnachip)사의 0.13 μ m CMOS 공정에 적합하도록 설계되었으며, 사용된 레이아웃 면적은 188.39 μ m × 452.62 μ m 이다.
- <48> 종래의 OTP 메모리가 한 개의 셀 당 단일 비트의 데이터를 저장하는 방식인 반면, 본 발명에서는 셀 어레이가 차지하는 레이아웃 면적을 감소시키기 위해 한 개의 셀에 n(n은 정수) 비트의 데이터를 저장한다. 본 발명에 따른 OTP 메모리 셀 한 개에는 1개의 액세스 트랜지스터와 n 개의 NMOS 커패시터들로 구성된다.
- <49> 전원전압(Power supply)으로는 논리회로에 공급되는 1.5V의 전압준위를 가지는 VDD와 프로그램 시 사용되는 8.5V의 전압준위를 가지는 VPP가 사용되며, 바이어스 회로는 사용하지 않았다.
- <50> 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

도면의 간단한 설명

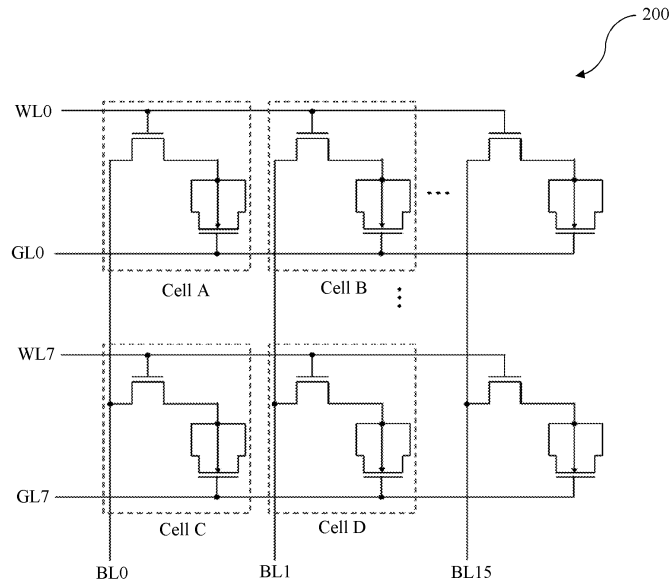
- <51> 도 1은 3개의 셀 트랜지스터를 구비하는 종래의 OTP셀을 나타낸다.
- <52> 도 2는 2개의 셀 트랜지스터를 구비하는 종래의 OTP셀을 나타낸다.
- <53> 도 3은 도 2에 도시된 OTP셀의 동작모드에 따른 노드별 바이어스 전압을 나타낸다.
- <54> 도 4는 본 발명에 따른 멀티비트 OTP 셀 및 종래의 OTP 셀의 회로도 및 레이아웃을 도시한다.
- <55> 도 5 내지 도 8은 본 발명에 따른 멀티비트 OTP 셀의 다른 실시 예들이다.
- <56> 도 9는 동작모드 별 멀티비트 OTP 셀 노드의 바이어스 전압을 나타낸다.
- <57> 도 10은 비동기식 128Byte OTP 메모리의 전기적인 특성을 나타낸다.
- <58> 도 11은 비동기식 128바이트 OTP 메모리의 레이아웃을 나타낸다.

도면

도면1



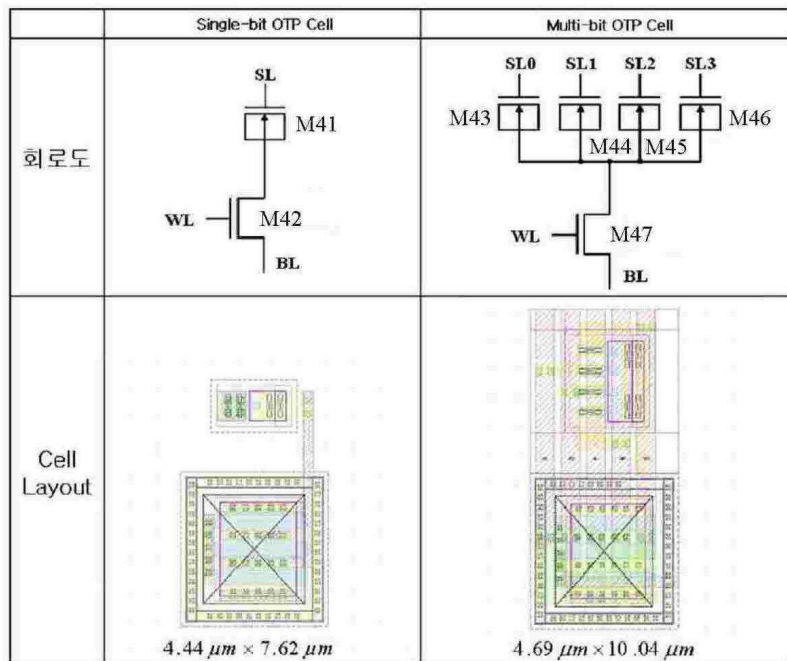
도면2



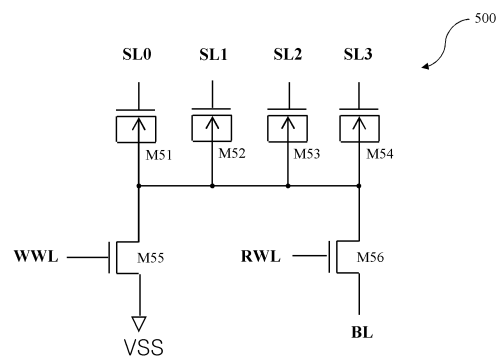
도면3

Program	Cell A	Cell B	Cell C	Cell D
GL0	VPP(7V)	VPP(7V)	-	-
WL0	VPP/2(3.5V)	VPP/2(3.5V)	-	-
GL7	-	-	VPP/2(3.5V)	VPP/2(3.5V)
WL7	-	-	0V	0V
BL0	0V	-	0V	-
BL15	-	Floating	-	Floating
AF	Programmed	Unprogrammed	Unprogrammed	Unprogrammed
Read	Cell A	Cell B	Cell C	Cell D
GL0	VDD(1.8V)	VDD(1.8V)	-	-
WL0	VDD(1.8V)	VDD(1.8V)	-	-
GL7	-	-	VDD(1.8V)	VDD(1.8V)
WL7	-	-	0V	0V
BL0	0V	-	0V	-
BL15	-	Floating	-	Floating
AF	Sensed	Not-sensed	Not-sensed	Not-sensed

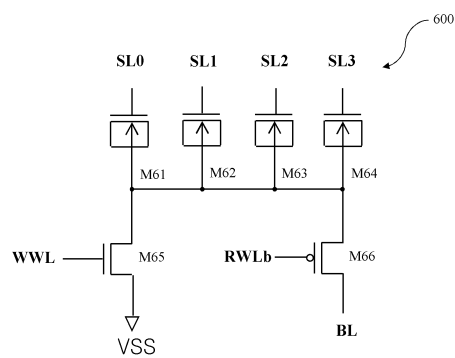
도면4



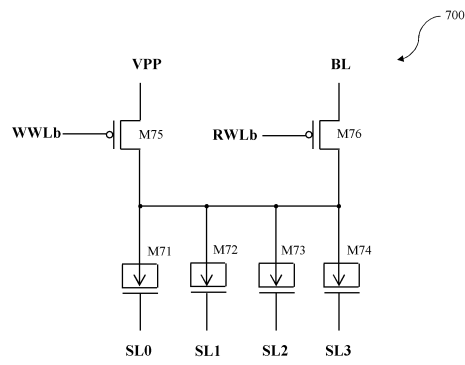
도면5



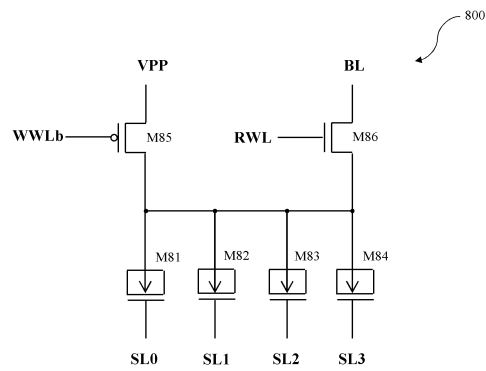
도면6



도면7



도면8



도면9

	Program		Read	
VPP	VPPE		VDD	
WL	VPP		VPP	
DIN	0	1	-	-
SL	VPP	Floating	0V	0V
BL	0V	0V	0V	VDD
DOUT	-	-	0	1
Antifuse	Broken	Unbroken	Broken	Unbroken

도면10

Items		Main Features
Process		Magnachip 0.13 μ m
Memory Density		128Byte (32Rows $\times$ 9Columns $\times$ 4b)
Supply Voltage	VDD	1.5V
	VPPE	8.5V
Temperature		-50~100℃
Operating Mode		Program/Read

도면11

