



(12) 发明专利申请

(10) 申请公布号 CN 102707919 A

(43) 申请公布日 2012. 10. 03

(21) 申请号 201210170315. 1

(22) 申请日 2012. 05. 28

(71) 申请人 上海海事大学

地址 200135 上海市浦东新区浦东大道
1550 号

(72) 发明人 安博文 梁忠东 李进文

(74) 专利代理机构 上海天翔知识产权代理有限
公司 31224

代理人 孙景宜

(51) Int. Cl.

G06F 5/06 (2006. 01)

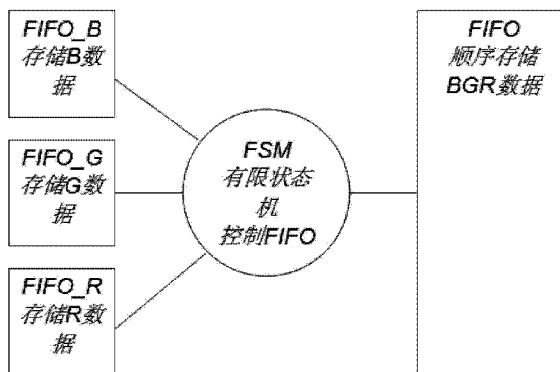
权利要求书 1 页 说明书 3 页 附图 3 页

(54) 发明名称

一种使用有限状态机控制 FIFO 之间读写的装置及方法

(57) 摘要

本发明公开了一种使用有限状态机控制 FIFO 之间读写的装置, 它包括依次连接的图像传感器、FPGA 和 DSP 芯片, 所述 DSP 芯片通过 FPGA 连接上位机, 其特征在于: 所述 FPGA 中的 3 个 FIFO 的读、空信号均由 FSM 有限状态机控制, FSM 有限状态机还控制 1 个用于写的 FIFO 的写、满信号。本发明的有益效果在于: 利用 FSM 有限状态机方法把 FIFO 之间读写的控制转化为状态控制, 简化了设计过程, 缩短了设计周期, 相比传统的 FIFO 之间读写的控制, 状态机更加高效, 稳定。



1. 一种使用有限状态机控制 FIFO 之间读写的装置,它包括依次连接的图像传感器、FPGA 和 DSP 芯片,所述 DSP 芯片通过 FPGA 连接上位机,其特征在于,所述 FPGA 中 3 个用于读的 FIFO 的读、空信号均由 FSM 有限状态机控制,FSM 有限状态机还控制 1 个用于写的 FIFO 的写、满信号。

2. 根据权利要求 1 所述的一种使用有限状态机控制 FIFO 之间读写完成数据传输的装置,其特征在于,所述 FIFO 的数据宽度均为 8 位。

3. 一种使用有限状态机控制 FIFO 之间读写的方法,其特征在于,所述方法包括如下步骤:

1)在时钟信号驱动下,产生次态 next_state,同时对 3 个分别存储 BGR 数据的 FIFO 的空信号 empty 和读信号 read 做一个时钟延时;

2) 在输入信号和时钟作用下,完成现态 current_state 和次态 next_state 的转换,对 3 个分别存储 BGR 数据的 FIFO 的读信号状态使用独热码 one-hot 进行状态编码;

3) 在经过延时的读信号的作用下,实现对写入数据的 FIFO 的写控制。

一种使用有限状态机控制 FIFO 之间读写的装置及方法

技术领域

[0001] 本发明涉及一种用于实时图像数据传输数据时的 FIFO 读写的控制,尤其涉及的是一种基于 FPGA 在高分辨率扫描成像中的使用 3 个数据宽度为 8 位的 FIFO 的读和一个数据宽度为 8 位的 FIFO 的写的控制。

背景技术

[0002] 在高分辨率扫描成像系统中, FPGA 中接受图像传感器的数据,经 bayer2rgb 模块完成初步的插值运算产生 24 位 RGB 图像数据后,再通过 rgb2ycbcr 模块转换为 3 个 8 位的 YCbCr 数据,传输至核心处理芯片如 DSP 以进行复杂的数字信号处理运算。DSP 完成运算处理后把图像数据以相同的数据格式传输至 FPGA, FPGA 通过解交织和插值模块完成 YCbCr4:2:2 到 4:4:4 格式转换后,使用 ycbcr2rgb 模块把数据转换为 3 个 8 位的 RGB 图像数据,分别写入 3 个 FIFO 中,由于最终的传输通道接口由 USB 的控制器和上位机构成,而且 USB 控制器的传输数据宽度为 8 位。因此在最终的传输之前必需把 3 个 FIFO 中的图像数据按照一定的顺序,写入到一个数据宽度为 8 位的 FIFO 中进行缓冲,再由 FPGA 控制 USB 控制器最终传输数据至上位机。

发明内容

[0003] 本发明的目的在于提供一种使用有限状态机控制 FIFO 之间读写的装置,利用 FSM 有限状态机方法把 FIFO 之间读写的控制转化为状态控制,简化了设计过程,缩短了设计周期,相比传统的 FIFO 之间读写的控制,状态机更加高效,稳定。

[0004] 本发明所解决的技术问题可以采用以下技术方案来实现:

[0005] 一种使用有限状态机控制 FIFO 之间读写的装置,它包括依次连接的图像传感器、FPGA、RGB 模块和 DSP 芯片,所述 DSP 芯片通过 FPGA 连接上位机,其特征在于:所述 FPGA 中的 3 个 FIFO 的读、空信号均由 FSM 有限状态机控制,FSM 有限状态机还控制 1 个用于写的 FIFO 的写、满信号。

[0006] 在本发明的一个实施例中,所述 FIFO 的数据宽度均为 8 位。

[0007] 一种使用有限状态机控制 FIFO 之间读写的方法,其特征在于,所述方法包括如下步骤:

[0008] 1) 在时钟信号的驱动下,产生次态 next_state,同时对 3 个分别存储 BGR 数据的 FIFO 的空信号 empty 和读信号 read 做一个时钟延时;

[0009] 2) 在输入信号和时钟作用下,完成现态 current_state 和次态 next_state 的转换,对 3 个分别存储 BGR 数据的 FIFO 的读信号状态使用独热码 one-hot 进行状态编码;

[0010] 3) 在经过延时的读信号的作用下,实现对写入数据的 FIFO 的写控制。

[0011] 本发明的有益效果在于:利用 FSM 有限状态机方法把 FIFO 之间读写的控制转化为状态控制,简化了设计过程,缩短了设计周期,相比传统的 FIFO 之间读写的控制,状态机更加高效,稳定。

附图说明

[0012] 图 1 是 FSM 有限状态机的结构框图。

[0013] 图 2 是 FSM 有限状态机的状态转移图。

[0014] 图 3 是 FPGA 中 FIFO 和状态机连接示意图。

具体实施方式

[0015] 为使本发明实现的技术手段、创作特征、达成目的与功效易于明白了解,下面结合具体实施方式,进一步阐述本发明。

[0016] 参见图 3,一种使用有限状态机控制 FIFO 之间读写的装置,它包括依次连接的图像传感器、FPGA、RGB 模块和 DSP 芯片,所述 DSP 芯片通过 FPGA 连接上位机,其特征在于:所述 FPGA 中的 3 个 FIFO 的读、空信号均由 FSM 有限状态机控制,FSM 有限状态机还控制 1 个用于写的 FIFO 的写、满信号。

[0017] 一种使用有限状态机控制 FIFO 之间读写的方法,其特征在于,所述方法包括如下步骤:

[0018] 1) 在时钟信号的驱动下,产生次态 next_state,同时对 3 个分别存储 BGR 数据的 FIFO 的空信号 empty 和读信号 read 做一个时钟延时;

[0019] 2) 在输入信号和时钟作用下,完成现态 current_state 和次态 next_state 的转换,对 3 个分别存储 BGR 数据的 FIFO 的读信号状态使用独热码 one-hot 进行状态编码;

[0020] 3) 在经过延时的读信号的作用下,实现对写入数据的 FIFO 的写控制。

[0021] 以下分别结合图 1 和图 2,对本方法在高分辨率扫描成像系统中利用 FSM 有限状态机对 3 个数据宽度为 8 位的 FIFO 的读和一个数据宽度为 8 位的 FIFO 的写的控制工作进行详细说明。

[0022] 此成像系统将从图像传感器获取的 2592*1944(像素/帧)的高分辨率 bayer 图像信号预处理成 RGB 彩色信号,通过 rgb2ycbcr 模块和输出时序控制模块,让 DSP 完成图像的核心数字信号处理运算,DSP 处理完成后把图像数据传输回 FPGA 中,FPGA 通过输入时序控制模块和 ycbcr2rgb 模块,把图像数据转换为 24 位的 RGB 数据,由于最终数据须由 USB 控制器的 8 位数据通道传输至上位机进行最后的拼接和处理,所以 FPGA 先把 24 位 RGB 数据存储到 3 个异步 FIFO 中,再由 FSM 有限状态机控制 3 个 FIFO 的读和最终连接 USB 控制器的 FIFO 的写,完成 3 个 8 位 RGB 数据按照 BMP 文件顺序(先 8 位 B 再 8 位 G 后 8 位 R 数据)的传输,直至按此顺序传输完成整幅图像数据。

[0023] 图 1 中 FSM 有限状态机的结构框图的次态逻辑中,采用了异步复位,如果复位信号有效,则状态为初始状态 state_B;在时钟信号的作用下,完成现态和次态的转换,同时由 6 个一位的移位寄存器分别保存当前的 3 个存储数据 FIFO 的空信号 empty_B、empty_G、empty_R 分别为 empty_B_d、empty_G_d、empty_R_d 和当前的 3 个存储数据 FIFO 的读信号 read_en_B、read_en_G、read_en_R 分别为 read_en_B_d、read_en_G_d、read_en_R_d。

[0024] 图 1 中 FSM 有限状态机的结构框图中的状态寄存器完成的功能可由图 2 中的 FSM 有限状态机的状态转移图描述:

[0025] 1)默认现态即初始状态为 state_B,如果存储数据 B 的 FIFO 中为空即 empty_B 为

1 时,则下一状态还是 state_B,即 read_B_en 置 0,read_G_en 置 0,read_R_en 置 0,即完成等待功能不读取任何数据。如果存储数据 B 的 FIFO 中一有数据即 empty_B 为 0 时,如果准备写入数据的 FIFO 不满时就读取存储数据 B 的 FIFO,即 read_B_en 置 1,read_G_en 置 0,read_R_en 置 0,完成第一个数据 B 的读功能,同时进入到读数据的下一状态即 state_G。否则下一状态仍为 state_B,read_B_en 置 0,read_G_en 置 0,read_R_en 置 0,即等待准备写入数据的 FIFO 变成可写状态才开始读数据 B。

[0026] 2)当状态 state_B 完成后进入到状态 state_G 时,如果准备写入数据的 FIFO 不满时就读取存储数据 G 的 FIFO,即 read_B_en 置 0,read_G_en 置 1,read_R_en 置 0,完成第二个数据 G 的读功能,同时进入到读数据的下一状态即 state_R。否则下一状态仍为 state_G,read_B_en 置 0,read_G_en 置 0,read_R_en 置 0,即等待准备写入数据的 FIFO 变成可写状态才开始读数据 G。

[0027] 3)当状态 state_G 完成后进入到状态 state_R 时,如果准备写入数据的 FIFO 不满时就读取存储数据 R 的 FIFO,即 read_B_en 置 0,read_G_en 置 0,read_R_en 置 1,完成第三个数据 R 的读功能,同时进入到读数据的下一状态即 state_B。否则下一状态仍为 state_R,read_B_en 置 0,read_G_en 置 0,read_R_en 置 0,即等待准备写入数据的 FIFO 变成可写状态才开始读数据 R。

[0028] 4)重复上述过程完成 3 个存储图像数据 BGR 的 FIFO 的读控制。

[0029] 图 1 中 FSM 有限状态机的结构框图中的输出逻辑完成最终写 FIFO 的数据写入和写信号 wr_end 的控制:

[0030] 1)当存储 B 数据的 FIFO 读数据完成后即 read_en_B_d 为 1 时,写入数据的 FIFO 的写信号 wr_end 置 1,同时写入数据 B。

[0031] 2)当存储 G 数据的 FIFO 读数据完成后即 read_en_G_d 为 1 时,写入数据的 FIFO 的写信号 wr_end 置 1,同时写入数据 G。

[0032] 3)当存储 R 数据的 FIFO 读数据完成后即 read_en_R_d 为 1 时,写入数据的 FIFO 的写信号 wr_end 置 1,同时写入数据 R。

[0033] 4)重复上述过程完成图像数据 BGR 的顺序写入到 FIFO 中。

[0034] 以上显示和描述了本发明的基本原理和主要特征和本发明的优点。本行业的技术人员应该了解,本发明不受上述实施例的限制,上述实施例和说明书中描述的只是说明本发明的原理,在不脱离本发明精神和范围的前提下,本发明还会有各种变化和改进,这些变化和进步都落入要求保护的本发明范围内。本发明要求保护范围由所附的权利要求书及其等效物界定。

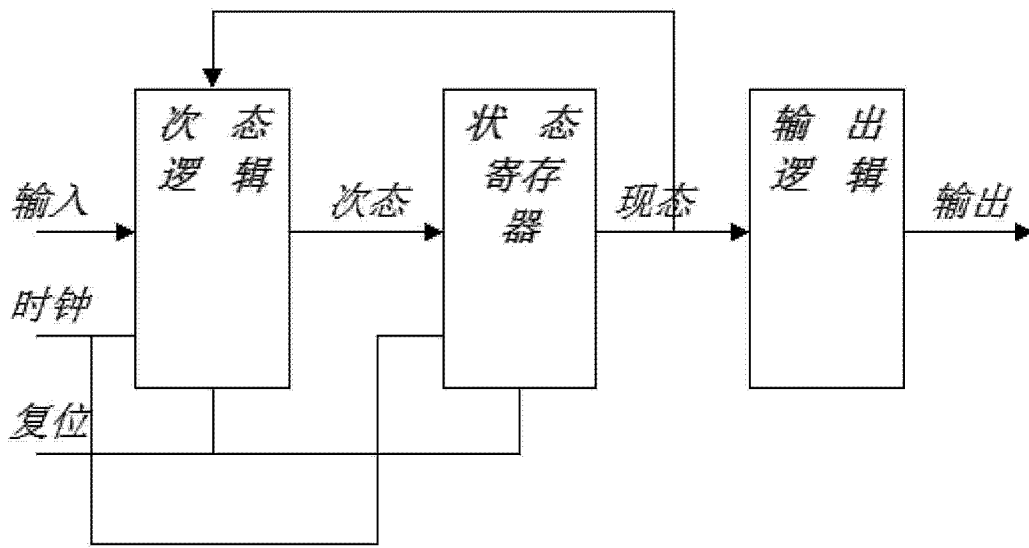


图 1

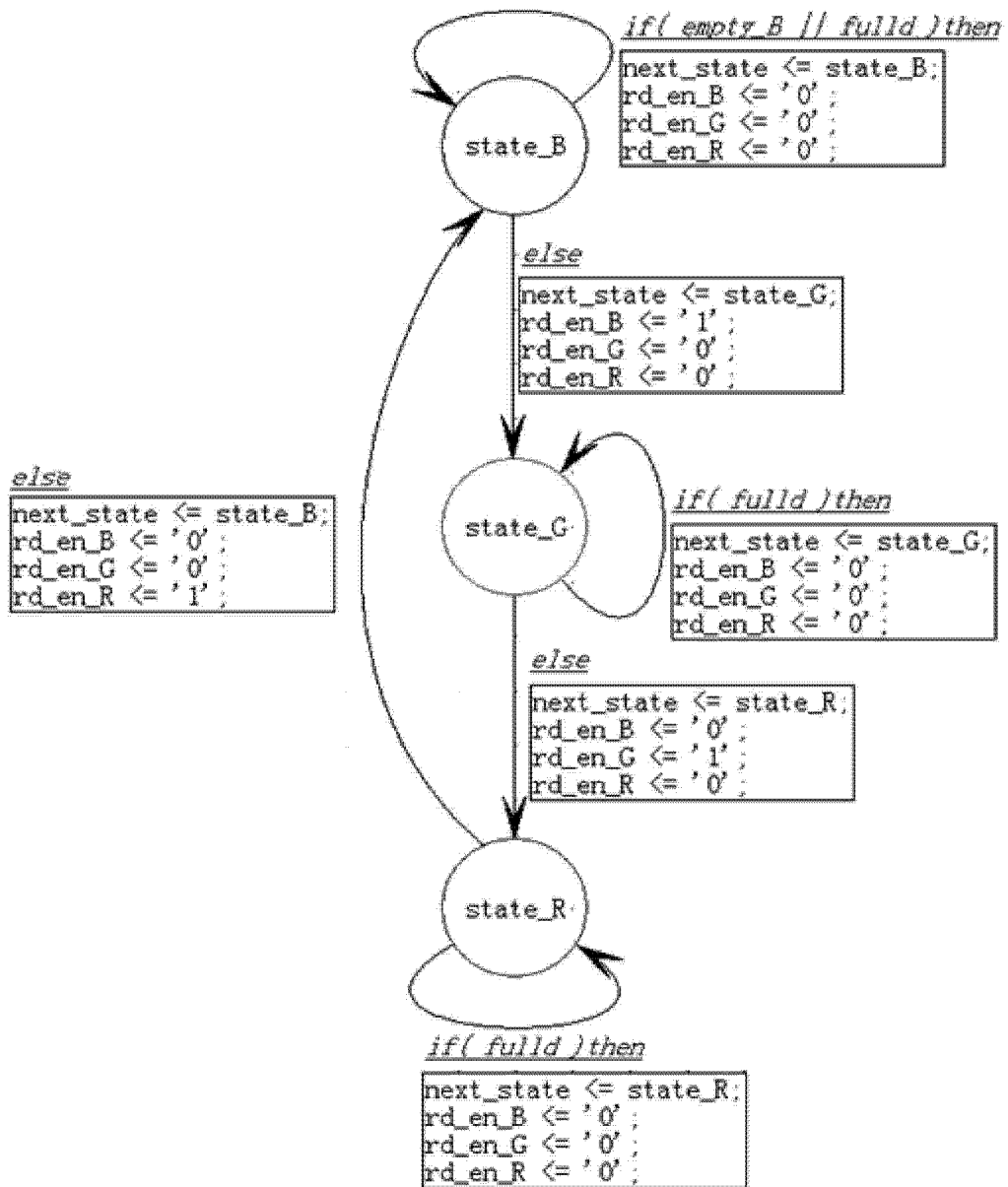


图 2

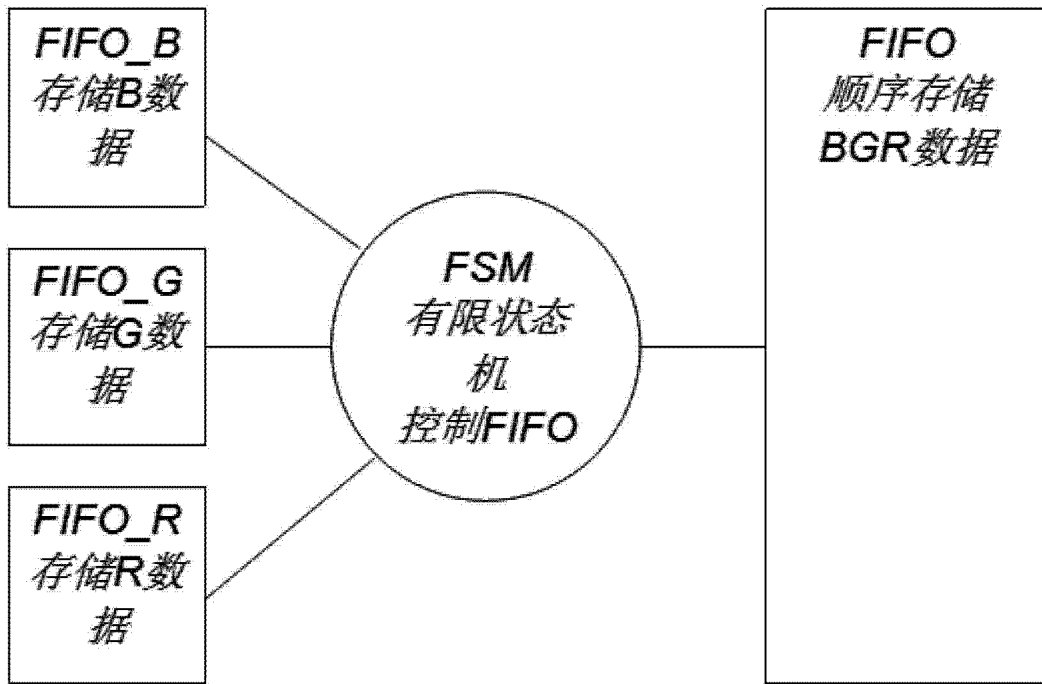


图 3