



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

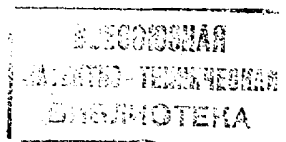
(19) SU (11) 1663758 A1

(51)5 Н 03 Н 17/02

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4620001/09

(22) 12.12.88

(46) 15.07.91. Бюл. № 26

(72) С.В.Пан

(53) 681.32(088.8)

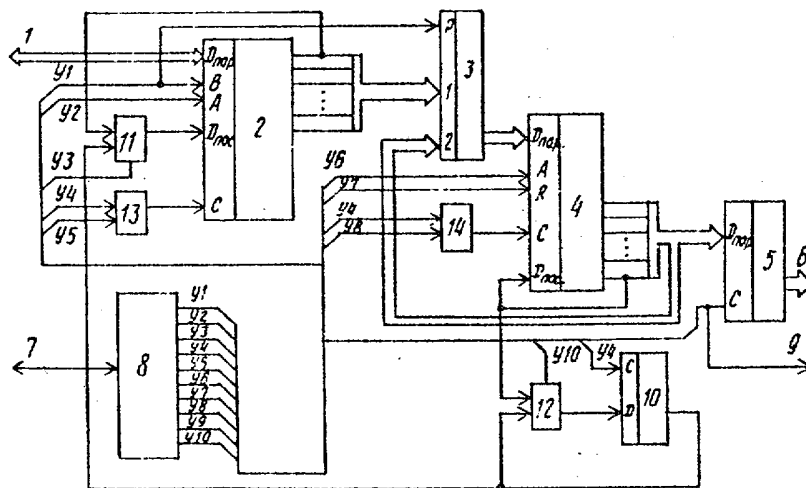
(56) Патент Японии

№ 61-29167, кл. Н 03 Н 17/02. 1986.

(54) ЦИФРОВОЙ ФИЛЬТР

(57) Изобретение относится к радиотехнике и может быть использовано в системах цифровой обработки сигналов, в частности в

автоматике. Цель изобретения – уменьшение фазового запаздывания выходного сигнала относительно входного и упрощение. Цифровой фильтр содержит входную 1 и выходную 6 шины, регистры 2, 4, 5 и 10, сумматор 3, мультиплексоры 11 и 12, элементы ИЛИ 13 и 14, блок 8 синхронизации, вход 7 и выход 9 сигналов синхронизации. В устройстве осуществляется обработка отсчетов входного сигнала в соответствии с алгоритмом рекурсивной фильтрации. 3 ил., 1 табл.



Фиг. 1

(19) SU (11) 1663758 A1

Изобретение относится к радиотехнике и может быть использовано в системах цифровой обработки сигналов, в частности в автоматике.

Цель изобретения – уменьшение фазового запаздывания выходного сигнала относительно входного и упрощение.

На фиг. 1 приведена электрическая структурная схема цифрового фильтра; на фиг. 2 – временные диаграммы его работы; на фиг. 3 – пример выполнения блока синхронизации.

Цифровой фильтр содержит входную шину 1, входной регистр 2, сумматор 3, регистр 4 сумматора, выходной регистр 5, выходную шину 6, вход 7 сигнала сопровождения, блок 8 синхронизации, выход 9 сигнала синхронизации, регистр 10 состояний, первый и второй мультиплексоры 11 и 12, первый и второй элементы ИЛИ 13 и 14.

Блок 8 синхронизации содержит генератор 15 тактовых импульсов, счетчик 16, блок 17 постоянной памяти, триггер 18, элемент ИЛИ 19 и элемент И 20.

Цифровой фильтр работает следующим образом.

Поскольку цифровые фильтры (ЦФ) высоких порядков обычно реализуются в виде каскадного соединения цифровых фильтров второго порядка, ограничимся рассмотрением цифрового фильтра второго порядка.

Разностное уравнение, описывающее работу ЦФ второго порядка в общем виде, следующее:

$$Y_n = \sum_{j=1}^2 a_j Y_{n-j} + \sum_{i=0}^2 b_i X_{n-i}, \quad (1)$$

a_j и b_i – коэффициенты;

Y_n и X_n – соответственно выходной и входной отсчеты в n -й момент времени.

Структура предлагаемого ЦФ определяется следующим алгоритмом, который получается из разностного уравнения (1):

$$\begin{aligned} Y_n &= b_0 Z; \\ Z &= X_n + K_3 V_{n-1} + K_4 V_{n-2}; \\ V_n &= Z - K_1 V_{n-1} - K_2 V_{n-2}. \end{aligned}$$

где V_n, V_{n-1}, V_{n-2} – отсчеты состояний ЦФ соответственно в n -й, $(n-1)$ -й, $(n-2)$ -й моменты времени;

$$K_1 = b_1/b_0; \quad K_2 = b_2/b_0; \quad K_3 = b_1/b_0 + a_1; \quad K_4 = b_2/b_0 + a_2.$$

b_0, b_1, b_2, a_1, a_2 – коэффициенты разностного уравнения (1).

Без потери общности рассуждений можно считать коэффициент b_0 равным ближайшему к нему числу 2^p , где $p=0, +1, +2, \dots$, так как b_0 влияет только на коэффициент усиления. При этом очевидно, что умноже-

ние на b_0 можно реализовать сдвигом числа Z влево на $-p$ разрядов.

Входной регистр 2 предназначен для приема и хранения входного отсчета X_n , а также для приема, сдвига и инвертирования при необходимости отсчетов состояния V_{n-1}, V_{n-2} .

Сумматор 3 предназначен для суммирования или вычитания чисел, а также для прибавления единицы по входу переноса при получении дополнительного кода из кода, поступающего в виде обратного (инверсного) кода из входного регистра 2.

Регистр 4 служит для промежуточного хранения рассчитываемых величин.

Выходной регистр 5 служит для хранения числа $Z = \frac{Y_n}{b_0}$. Выходной отсчет Y_n получается из числа Z автоматически при съеме информации с выходной шины 6 со сдвигом вправо на p разрядов, где $p = \lceil \log_2 b_0 \rceil$.

Регистр 10 служит для хранения двух отсчетов состояния V_{n-1}, V_{n-2} в виде одной последовательной кодовой посылки разрядностью $2m$, где m – разрядность входного регистра 2, сумматора 3, регистра 4, выходного регистра 5.

Мультиплексор 11 предназначен для подачи на последовательный вход входного регистра 2 сигнала с выхода регистра 10 состояния (при $Y_3=1$) или сигнала со старшего разряда параллельного выхода входного регистра 2 (при $Y_3=0$).

Мультиплексор 12 предназначен для подачи на вход регистра 10 сигнала младшего разряда параллельного выхода регистра 4 (при $Y_4=1$) или сигнала с выхода регистра 10 (при $Y_{10}=0$).

Блок 8 предназначен для обеспечения режима ожидания входного отсчета и для выработки управляющих сигналов в соответствии с алгоритмом работы цифрового фильтра. При этом, меняя соответствующим образом последовательность следования управляющих сигналов, можно изменить соответственно параметры ЦФ.

Рассмотрим функции, выполняемые управляющими сигналами $Y_1 \dots Y_{10}$, которые подаются на устройство из блока 8:

- 1 – прямой выходной код из входного регистра 2;
- 0 – инверсное представление выходного кода входного регистра 2 (а также сложение с единицей в сумматоре 3 по входу переноса);
- 1 – разрешение параллельной записи во входной регистр 2 при перепаде сигнала из "0" "1" по входу синхронизации входного регистра 2;
- 0 – разрешение последовательной записи по последовательному входу во

входной регистр 2 при перепаде сигнала из "0" в "1" по входу синхронизации входного регистра 2;

1 – подключение к последовательному входу входного регистра 2 выхода регистра 10 через первый мультиплексор 11;

$Y_3=0$ – подключение к последовательному входу входного регистра 2 старшего разряда параллельного выхода входного регистра 2;

– управляющий сигнал, представляющий последовательность из 24 положительных импульсов. По передним фронтам этих импульсов (при

$Y_2=0$) производится последовательный сдвиг информации одновременно во входном регистре 2, в регистре 4 и в регистре 10. При этом Y_4 поступает на входы синхронизации входного регистра 2 и регистра 4 через первый и второй элементы ИЛИ 13, 14 соответственно;

– каждый перепад из "0" в "1" этого сигнала приводит к сдвигу информации влево во входном регистре 2 при $Y_2=0$ или к параллельной записи во входной регистр 2 при $Y_2=1$;

1 – разрешение параллельной записи в регистр 4 при перепаде сигнала по входу синхронизации регистра 4 из "0" в "1";

$Y_6=0$ – разрешение последовательной записи в регистр 4 при перепаде сигнала по входу синхронизации регистра 4 из "0" в "1";

– сигнал обнуления регистра (при $Y_7=1$);

– перепад из "0" в "1" этого сигнала приводит к параллельной записи информации в регистр 4 при $Y_6=1$. При этом сигнал поступает на вход синхронизации регистра 4 через второй элемент ИЛИ 14;

– перепад из "0" в "1" этого сигнала приводит к параллельной записи информации в выходной регистр 5. Y_9 дополнительно поступает на выход 9;

1 – подключение младшего разряда параллельного выхода регистра 4 к входу регистра 10 через второй мультиплексор 12;

0 – подключение входа регистра 10 состояния на вход регистра 10 состояния через второй мультиплексор 12.

Рассмотрим работу предлагаемого ЦФ сначала качественно, разбив период на условные шаги.

Шаг 1. Исходное состояние.

В регистре 4 находится предварительно рассчитанное число

$$Z^1 = K_3 V_{n-1} + K_4 V_{n-2}.$$

Шаг 2. По приходу входного отсчета X_n рассчитывается число $Z = X_n + Z^1$ в сумматоре 3 с фиксацией результата в регистре 4.

Шаг 3. Производится подсчет выходного отсчета $Y_n = b_0 \cdot Z$.

Шаг 4. Производится расчет отсчета состояния

$$V_n = Z - K_1 V_{n-1} - K_2 V_{n-2}$$

Результат фиксируется в регистре сумматора 4.

Шаг 5. Вследствие "устранения" информации производится "переобозначение" через соответствующую пересылку

$$V_n \rightarrow V_{n-1} \rightarrow V_{n-2}.$$

Шаг 6. Производится предварительный расчет

$$Z^1 = K_3 V_{n-1} + K_4 V_{n-2}$$

с вновь образованными отсчетами состояния V_{n-1} и V_{n-2} на шаге 5.

Шаг 7. Исходное состояние.

Таким образом, фазовое запаздывание выходной информации относительно входной в предлагаемом ЦФ определяется фактически временем выполнения условных шагов 2 и 3.

Умножение отсчета на коэффициент производится с помощью сдвигов и сложений в соответствии с формулой

$$K \cdot V = \sum_{i=0}^m K_i (V \cdot 2^i),$$

где $K_0, K_1, \dots, K_m$ – разряды дополнительного кода коэффициента.

При этом отсчет V , помещенный во входной регистр 2, сдвигается в нем вправо и соответственно складывается в сумматоре 3 с накапливаемой частью, размещенной в регистре 4 в соответствии со значением K_i . Если K – отрицательный, то сдвигаемый отсчет представляется на входе сумматора 3 в виде дополнительного кода: инверсия кода во входном регистре 2 и сложение с единицей в сумматоре 3 (подача "1" на вход инвертирования b входного регистра 2 и вход переноса p сумматора 3 соответственно).

Теперь подробно рассмотрим работу предлагаемого цифрового фильтра на конкретном примере реализации цифрового фильтра нижних частот второго порядка с коэффициентами в двоичном виде: $K_1=10$; $K_2=1$; $K_3=11,11010101$; $K_4=1,11011101$; $b_0=0,0000001$.

Предположим, что разрядность входных и выходных отсчетов равна m , а результате умножения отсекается после D дробных разрядов. Тогда разрядность входного регистра 2, выходного регистра 5, регистра 4 и сумматора 3 равна $p=(m+D+8)$, а разряд-

ность регистра 10 равна 2^p . Для определенности можно принять $m=12$, $D=4$, $p=24$.

В таблице показаны управляющие сигналы $У_1...У_{10}$ и условные шаги работы ЦФ в зависимости от микротактов – периодов следования импульсов с генератора 15 при реализации данного конкретного ЦФ.

Шаг 1: исходное состояние:

– в регистре сумматора 4 зафиксировано заранее рассчитанное число $Z^1 = K_3V_{n-1} + K_4V_{n-2}$;

– блок 8 находится в режиме ожидания, при этом триггер 18 находится в единичном состоянии и через элемент ИЛИ 19 поддерживает счетчик 16 по входу R в нулевом положении.

Шаг 2:

– очередной импульс по входу 7 поступает в блок 8 синхронизации и принудительно устанавливает (или подтверждает) в нулевое состояние счетчик 16 по входу R через элемент ИЛИ 19. Одновременно по входу R обнуляется триггер 18;

– после того как на входе счетчика 16 устанавливается логический нуль, он начинает счет импульсов с генератора 15. Начинает изменяться код на входах адреса блока 17, и блок 8 начинает вырабатывать управляющие сигналы $У_1...У_{10}$;

– сопровождаемый импульсом по входу 7 входной отсчет X_n поступает на параллельный вход входного регистра 2;

– последовательно производятся действия: запись X_n во входной регистр 2, суммирование $X_n + Z^1$ в сумматоре 3, запись $Z = X_n + Z^1$ в регистр 4.

Шаг 3:

– число Z из регистра 4 переписывается в выходной регистр 5. Управляющий сигнал $У_9$ одновременно поступает на вход синхронизации выходного регистра и на выход 9. При этом выходной отсчет $У_n$ получается на выходной шине 6 автоматически из числа Z вследствие того, что информация считывается со сдвигом на $(-p)$ разрядов (умножение на коэффициент $b_0 = 2^p$).

Шаг 4:

– производится расчет $V_n = Z - K_1V_{n-1} - K_2V_{n-2}$, для чего осуществляется циклический сдвиг информации в регистре 10 на 24 разряда влево через мультиплексор 12. При этом информация в регистре 10 о двух отсчетах состояний (V_{n-1} , V_{n-2}), представленная одним последовательным 48-разрядным кодом, получается переставленной местами (V_{n-2} , V_{n-1}). В процессе сдвига выходная информация регистра 10 (V_{n-2}) записывается по последовательному входу во входной регистр 2 через мультиплексор 11;

– производится расчет промежуточной величины $V_{n\text{пром}} = Z - K_2V_{n-2}$. При этом умножение производится рассмотренным ранее способом при помощи сдвигов и сложений (вычитаний);

– снова производится циклический сдвиг информации в регистре 10 (V_{n-2} , V_{n-1}) на 24 разряда влево через мультиплексор 12. При этом информация снова меняется местами (V_{n-1} , V_{n-2}). Одновременно с этим выходная информация из регистра 10 (V_{n-1}) записывается во входной регистр 2 через мультиплексор 11;

– далее производится расчет $V_n = V_{n\text{пром}} - K_1V_{n-1}$.

Шаг 5: производится одновременная последовательная пересылка информации $V_n \rightarrow V_{n-1} \rightarrow V_{n-2}$.

– информация V_n поступает из регистра 4 на вход регистра 10 через мультиплексор 12;

– одновременная пересылка $V_{n-1} \rightarrow V_{n-2}$ производится внутри регистра 10. После пересылки в регистре 10 будет информация (V_n , V_{n-1}). Но так как эта информация в следующем такте поступления очередного входного отсчета X_n "устареет", то в дальнейшем в предварительных расчетах она будет считаться на шаг "старее", т.е. (V_{n-1} , V_{n-2}).

Шаг 6: производится предварительный расчет $Z^1 = K_3V_{n-1} + K_4V_{n-2}$, для чего:

– обнуляется регистр 4;

– далее расчет аналогичен расчету на шаге 4.

Шаг 7: подготовка исходного состояния:

– в регистре 4 находится $Z^1 = K_3V_{n-1} + K_4V_{n-2}$;

– в регистре 10 – информация (V_{n-1} , V_{n-2});

– блок 8 переводится в режим ожидания, так как в последнем управляющем слове из блока 17 по 11-му его выходу поступает сигнал на вход С-триггера 18 и переводит последний в единичное исходное состояние. Счетчик 16 принудительно переводится в нулевое состояние по входу установки нуля.

Функционирование предлагаемого цифрового фильтра внутри периода T поступления входных отсчетов X_n можно представить тремя участками (фиг.2):

$T_{\text{запаздывания}}$ – участок получения $У_n$ из X_n ;

$T_{\text{подготовки}}$ – участок выполнения подготовительных расчетов до прихода очередного X_n ;

$T_{\text{ожидания}}$ – участок ожидания очередного входного отсчета после выполнения всего объема вычислений в данном периоде T. Ожидания необязателен для работы цифрового фильтра.

При этом $T_{\text{счета}} = T_{\text{запаздывания}} + T_{\text{подготовки}}$ – время выполнения полного объема вычислений за период T.

На фиг.2 "а" и "в" приведены синхроимпульсы на входе 7 и выходе 9 соответственно; на фиг.2 "б" и "г" – входной и выходной

отсчеты на входной 1 и выходной 6 шинах соответственно.

Формула изобретения

Цифровой фильтр, содержащий входной регистр, последовательно соединенные сумматор, регистр сумматора и выходной регистр, а также регистр состояний, первый и второй мультиплексоры и блок синхронизации, причем параллельный вход входного и выход выходного регистров являются входной и выходной шиной цифрового фильтра, отличающийся тем, что, с целью уменьшения фазового запаздывания выходного сигнала относительно входного и упрощения, введены первый и второй элементы ИЛИ, выходы которых соединены с входами синхронизации входного регистра и регистра сумматора соответственно, выходы которых подключены к первому и второму входам сумматора соответственно, вход переноса которого соединен с входом управления входного регистра и первым выходом блока синхронизации, второй и третий выходы которого соединены с входом разрешения параллельной записи входного регистра и управляющим входом первого

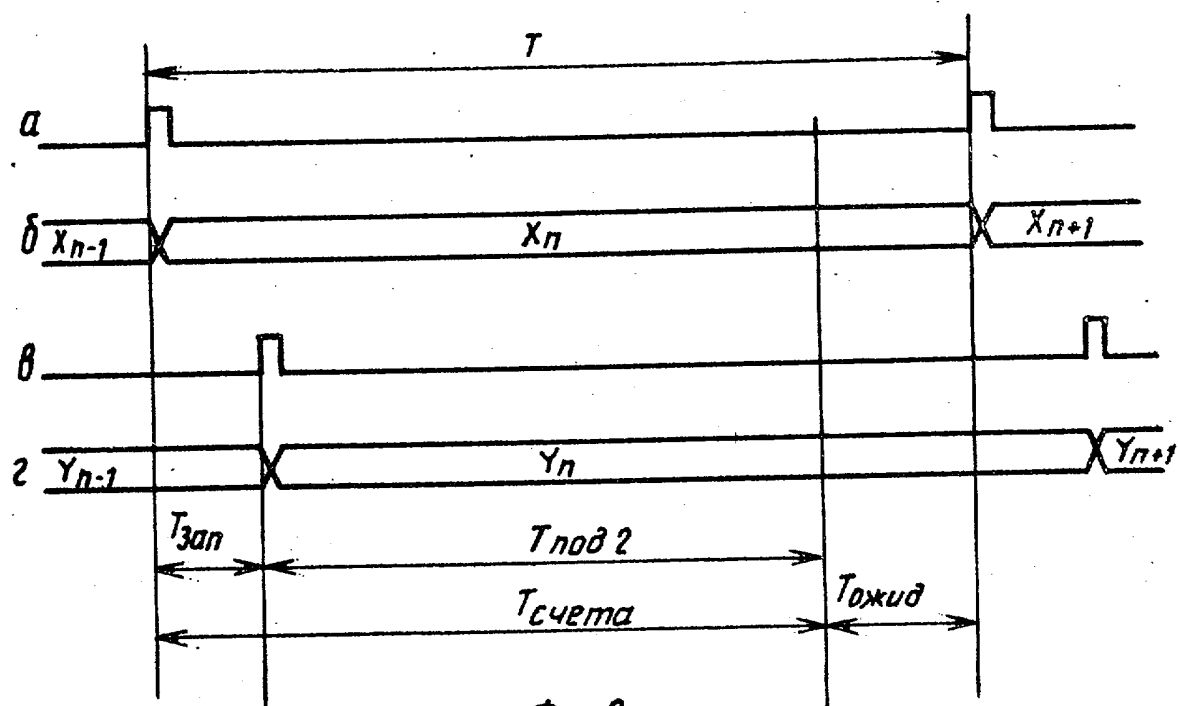
мультиплексора соответственно, четвертый выход блока синхронизации соединен с первыми входами первого и второго элементов ИЛИ и входом синхронизации регистра состояний, а пятый, шестой, седьмой, восьмой, девятый и десятый выходы блока синхронизации соединены с вторым входом первого элемента ИЛИ, входом разрешения параллельной записи регистра сумматора, входом сброса регистра сумматора, вторым входом второго элемента ИЛИ, входом синхронизации выходного регистра и управляющим входом второго мультиплексора соответственно, причем младший разряд выхода регистра сумматора соединен с последовательным входом регистра сумматора и первым входом второго мультиплексора, выход которого соединен с входом регистра состояний, выход которого соединен с вторым входом второго мультиплексора и первым входом первого мультиплексора, выход которого соединен с последовательным входом входного регистра, старший разряд выхода которого соединен с вторым входом первого мультиплексора.

Микро- такт	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7	Y_8	Y_9	Y_{10}	Усл. шаг	Комментарий
0	1	1	0	0	0	1	0	0	0	0	1	
1	1	1	0	0	1	1	0	0	0	0	2	$X_n \rightarrow RG2$
2	0	0	0	0	0	1	0	0	0	0	2	
3	0	0	0	0	0	1	0	1	0	0	2	$(x+K_1 V_{n-1} + K_2 V_{n-2}) = Z$ $Z \rightarrow RG4$
4	0	0	0	0	0	0	0	0	1	0	3	
5	0	0	1	24_n^*	0	0	0	0	0	0	4	
6	0	0	0	0	0	0	0	0	0	0	4	
7	0	0	0	0	0	1	0	0	0	0	4	
8	0	0	0	0	0	1	0	1	0	0	4	$(Z - K_4 V_{n-2}) \rightarrow RG$ сумматора 4 при $(K_4 = 1)$
9	0	0	0	0	0	0	0	0	0	0	4	
10	0	0	1	24_n	0	0	0	0	0	0	4	$V_{n-1} \rightarrow RG2$
11	0	0	0	0	0	0	0	0	0	0	4	
12	0	0	0	0	0	1	0	0	0	0	4	
13	0	0	0	0	0	1	0	1	0	0	4	
14	0	0	0	0	0	1	0	0	0	0	4	$V_n \rightarrow RG$ сумматора 4 при $K_3 = 2$
15	0	0	0	0	0	1	0	1	0	0	4	
16	1	0	0	0	0	0	0	0	0	1	5	
17	1	0	1	24_n	0	0	0	0	0	1	5	$V_n \rightarrow V_{n-1} \rightarrow V_{n-2}$
18	1	0	0	0	0	0	1	0	0	0	6	$0 \rightarrow RG$ сумматора 4
19	1	0	1	24_n	0	0	0	0	0	0	6	$V_{n-2} \rightarrow RG2$
20	1	0	0	0	0	0	0	0	0	0	6	Умножение $V_{n-2} \cdot K$ и одновременно фиксация промежуточных результатов в RG сумматоров 4
21	1	0	0	0	1	1	0	0	0	0	6	
22	1	0	0	0	0	1	0	0	0	0	6	
23	1	0	0	0	1	1	0	0	0	0	6	
24	1	0	0	0	0	1	0	0	0	0	6	

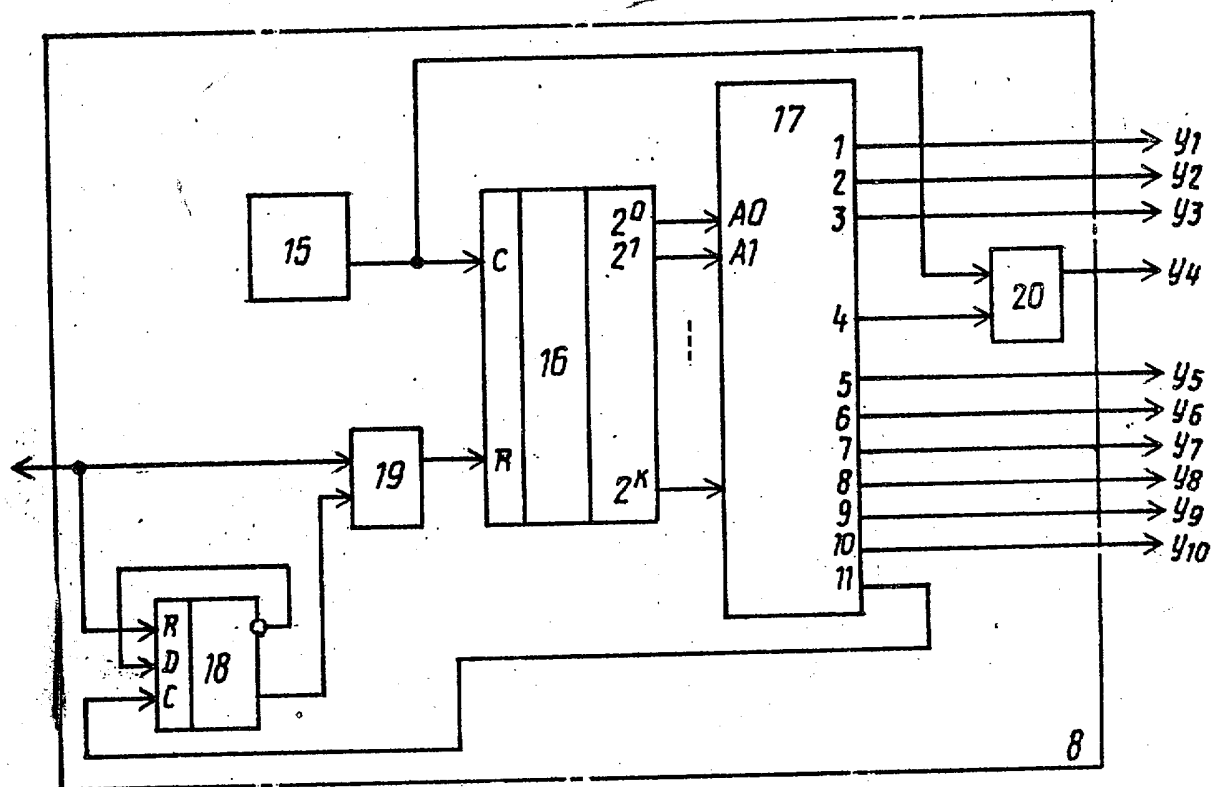
Продолжение таблицы

Микро- такт	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7	Y_8	Y_9	Y_{10}	Усл. шаг	Комментарий
25	1	0	0	0	0	1	0	0	0	0	6	Умножение $V_{n-2} \cdot K_2$ и одно- временно фиксация резуль- татов в RG сум- маторе 4
26	1	0	0	0	0	1	0	1	0	0	6	
27	1	0	0	0	1	1	0	0	0	0	6	
28	1	0	0	0	0	1	0	0	0	0	6	
29	1	0	0	0	1	1	0	0	0	0	6	
30	1	0	0	0	0	1	0	0	0	0	6	
31	1	0	0	0	1	1	0	0	0	0	6	
32	1	0	0	0	0	1	0	0	0	0	6	
33	1	0	0	0	1	1	0	0	0	0	6	
34	1	0	0	0	0	1	0	1	0	0	6	
35	1	0	0	0	1	1	0	0	0	0	6	
36	1	0	0	0	0	1	0	1	0	0	6	
37	1	0	0	0	0	0	0	0	0	0	6	Загрузка $V_{n-1} \rightarrow RG2$
38	1	0	1	24_n	0	0	0	0	0	0	6	
39	1	0	0	0	0	0	0	0	0	0	6	
40	1	0	0	0	0	1	0	0	0	0	6	Умножение $V_{n-1} \cdot K_1$ и одно- временно сум- мирование $V_{n-1} \cdot K_1 +$ $+ V_{n-2} \cdot K_2$
41	1	0	0	0	0	1	0	1	0	0	6	
42	1	0	0	0	0	1	0	0	0	0	6	
43	1	0	0	0	0	1	0	1	0	0	6	
44	1	0	0	0	0	1	0	0	0	0	6	
45	1	0	0	0	0	1	0	1	0	0	6	
46	1	0	0	0	1	1	0	0	0	0	6	
47	1	0	0	0	0	1	0	1	0	0	6	
48	1	0	0	0	1	1	0	0	0	0	6	
49	1	0	0	0	0	1	0	1	0	0	6	Умножение $V_{n-1} \cdot K_1$ и од- новременное суммирование $V_{n-1} \cdot K_1 +$ $+ V_{n-2} \cdot K_2$
50	1	0	0	0	1	1	0	0	0	0	6	
51	1	0	0	0	0	1	0	0	0	0	6	
52	1	0	0	0	1	1	0	0	0	0	6	
53	1	0	0	0	0	1	0	1	0	0	6	
54	1	0	0	0	1	1	0	0	0	0	6	
55	1	0	0	0	0	1	0	0	0	0	6	
56	1	0	0	0	1	1	0	1	0	0	6	
57	1	0	0	0	0	1	0	0	0	0	6	
58	1	0	0	0	1	1	0	0	0	0	6	
59	1	0	0	0	0	1	0	0	0	0	6	
60	1	0	0	0	1	1	0	0	0	0	6	
61	1	0	0	0	0	1	0	1	0	0	6	
62	1	0	0	0	0	1	0	0	0	0	7	

* 24_n - двадцать четыре импульса сдвига информации во всех внутренних регистрах ЦФ одновременно.



Фиг. 2



Фиг. 3

Редактор А.Маковская

Составитель А.Музычук
Техред М.Моргентал

Корректор О.Ципле

Заказ 2274

Тираж 448

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101