

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3842018号
(P3842018)

(45) 発行日 平成18年11月8日(2006.11.8)

(24) 登録日 平成18年8月18日(2006.8.18)

(51) Int. Cl.

A 6 3 F 7/02 (2006.01)

F I

A 6 3 F 7/02 3 3 4

A 6 3 F 7/02 3 0 4 Z

請求項の数 5 (全 40 頁)

(21) 出願番号 特願2000-190309 (P2000-190309)
 (22) 出願日 平成12年6月23日(2000.6.23)
 (65) 公開番号 特開2002-905 (P2002-905A)
 (43) 公開日 平成14年1月8日(2002.1.8)
 審査請求日 平成14年6月28日(2002.6.28)

(73) 特許権者 000144153
 株式会社三共
 群馬県桐生市境野町6丁目460番地
 (74) 代理人 100103090
 弁理士 岩壁 冬樹
 (74) 代理人 100124501
 弁理士 塩川 誠人
 (74) 代理人 100134692
 弁理士 川村 武
 (74) 代理人 100135161
 弁理士 眞野 修二
 (72) 発明者 鶴川 詔八
 群馬県桐生市相生町1丁目164番地の5

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項1】

遊技者が所定の遊技を行うことが可能な遊技機であって、
 遊技機に設けられる電気部品を制御するための電気部品制御手段と、
遊技機で使用される所定電位電源の電源電圧を監視し、該電源電圧が所定値以下になっ
たことにより電圧低下信号を前記電気部品制御手段に出力する電源監視手段とを備え、
前記電気部品制御手段は、前記電源監視手段からの電圧低下信号の入力に応じて、所定
の電力供給停止時処理を行い、
前記電気部品制御手段が所定のデータを出力するための複数の出力ポートが設けられ、
前記複数の出力ポートにはそれぞれアドレスが割り当てられており、
前記電気部品制御手段は、
クリアデータを出力する出力ポートのアドレスデータ、および出力ポートに出力される
クリアデータが各々複数設定されたデータテーブルを有し、
前記電力供給停止時処理にて、前記複数の出力ポートにクリアデータを出力する出力ポ
ートクリア処理を行うことが可能であり、
前記出力ポートクリア処理では、クリアデータを出力する出力ポートのアドレスを、前
記データテーブルを参照することによって設定し、前記データテーブルに設定されている
クリアデータを出力ポートに出力する処理を繰り返し実行する
 ことを特徴とする遊技機。

【請求項2】

10

20

データテーブルには、クリアデータを出力する処理の繰り返し回数を示す回数データも格納される

請求項 1 記載の遊技機。

【請求項 3】

出力ポートクリア処理によって、外部へ出力する制御に関わる情報の出力データがクリアされる

請求項 1 または請求項 2 記載の遊技機。

【請求項 4】

電気部品制御手段は、遊技の進行を制御する遊技制御手段を含み、

前記遊技制御手段が所定のデータを出力するための出力ポートが設けられ、

前記遊技制御手段は、電力供給停止時処理にて、出力ポートクリア処理を行うことが可能であり、

前記出力ポートクリア処理によって、可変入賞球装置の駆動が停止する

請求項 1 から請求項 3 のうちいずれかに記載の遊技機。

【請求項 5】

電気部品制御手段は、遊技の進行を制御する遊技制御手段と遊技媒体を払い出す払出手段を制御する払出制御手段とを含み、

前記遊技制御手段が所定のデータを出力するための出力ポートが設けられ、

前記遊技制御手段は、電力供給停止時処理にて、出力ポートクリア処理を行うことが可能であり、

前記出力ポートクリア処理によって、前記払出制御手段へのコマンドデータがクリアされる

請求項 1 から請求項 4 のうちいずれかに記載の遊技機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、本発明は、遊技者の操作に応じて遊技が行われるパチンコ遊技機、コイン遊技機、スロット機等の遊技機に関し、特に、遊技盤における遊技領域において遊技者の操作に応じて遊技が行われる遊技機に関する。

【0002】

【従来の技術】

遊技機の一例として、遊技球などの遊技媒体を発射装置によって遊技領域に発射し、遊技領域に設けられている入賞口などの入賞領域に遊技媒体が入賞すると、所定個の賞球が遊技者に払い出されるものがある。さらに、表示状態が変化可能な可変表示部が設けられ、可変表示部の表示結果があらかじめ定められた特定の表示態様となった場合に所定の遊技価値を遊技者に与えるように構成されたものがある。

【0003】

遊技価値とは、遊技機の遊技領域に設けられた可変入賞球装置の状態が打球が入賞しやすい遊技者にとって有利な状態になることや、遊技者にとって有利な状態となるための権利を発生させたりすることや、景品遊技媒体払出の条件が成立しやすくなる状態になることである。

【0004】

特別図柄を表示する可変表示部を備えた第 1 種パチンコ遊技機では、特別図柄を表示する可変表示部の表示結果があらかじめ定められた特定の表示態様の組合せとなることを、通常、「大当たり」という。大当たりが発生すると、例えば、大入賞口が所定回数開放して打球が入賞しやすい大当たり遊技状態に移行する。そして、各開放期間において、所定個（例えば 10 個）の大入賞口への入賞があると大入賞口は閉成する。そして、大入賞口の開放回数は、所定回数（例えば 16 ラウンド）に固定されている。なお、各開放について開放時間（例えば 2.9 秒）が決められ、入賞数が所定個に達しなくても開放時間が経過すると大入賞口は閉成する。また、大入賞口が閉成した時点で所定の条件（例えば、大入賞口

10

20

30

40

50

内に設けられているVゾーンへの入賞)が成立していない場合には、大当り遊技状態は終了する。

【0005】

また、「大当り」の組合せ以外の表示態様の組合せのうち、複数の可変表示部の表示結果のうちの一部が未だに導出表示されていない段階において、既に確定的な、または一時的な表示結果が導出表示されている可変表示部の表示態様が特定の表示態様の組合せとなる表示条件を満たしている状態を「リーチ」という。そして、可変表示部に可変表示される識別情報の表示結果が「大当り」となる条件を満たさない場合には「はずれ」となり、可変表示状態は終了する。遊技者は、大当りをいかにして発生させるかを楽しみつつ遊技を行う。

10

【0006】

そして、遊技球が遊技盤に設けられている入賞口に遊技球が入賞すると、あらかじめ決められている個数の賞球払出が行われる。遊技の進行は主基板に搭載された遊技制御手段によって制御されるので、入賞にもとづく賞球個数は、遊技制御手段によって決定され、払出制御基板に送信される。なお、以下、遊技制御手段およびその他の制御手段は、遊技機に設けられている各種電気部品を制御するので、それらを電気部品制御手段と呼ぶことがある。

【0007】

【発明が解決しようとする課題】

以上のように、遊技機には、遊技制御手段を初めとする種々の電気部品制御手段が搭載されている。一般に、各電気部品制御手段はマイクロコンピュータを含んだ構成とされる。そのような電気部品制御手段は、一般に、電源電圧が立ち上がると初期化処理を行い初期状態から制御を開始する。すると、停電等の不測の電源断生じ、その後、電源復旧すると初期状態に戻ってしまうので、遊技者が得た遊技価値等が消滅してしまう等の問題が生ずることがある。そのような問題が生じないようにするには、電源電圧値の低下に伴って発生される所定の信号に応じて遊技制御を中断し、そのときの遊技状態を、遊技機に対する電力供給停止中でも電源バックアップされている記憶手段(バックアップ記憶手段)に保存し、電力供給が完全に停止するのを待つように制御すればよい。そのような遊技機は、記憶手段に遊技状態が保存されている状態で電力供給が再開されたら、保存されている遊技状態にもとづいて遊技を再開するので、遊技者に不利益が与えられることが防止される。

20

30

【0008】

しかし、バックアップ記憶手段に遊技状態を保存し電力供給が停止するのを待つ処理を行う直前に電気部品が動作中であつた場合には、電力供給が停止するまで、電気部品制御手段から電気部品に対して動作状態を示す信号が与えられることになる。すると、電力供給再開時に復帰させるべき遊技状態を保存したにもかかわらず、さらに遊技が続行されてしまうような状況が起こりうる。例えば、可変表示部における可変表示開始の条件となる始動入賞口がソレノイド等で駆動される可変入賞球装置であつた場合に、その可変入賞球装置への入賞球の保留記憶値を保存したにもかかわらず、電力供給が停止するのを遊技制御手段が待っている間に始動入賞口としての可変入賞球装置にさらに入賞してしまうことも

40

【0009】

そこで、本発明は、不測の電源断時等に、電気部品の動作状態を適切に設定して、適切な遊技状態を保存できる遊技機を提供することを目的とする。併せて、電気部品への制御信号を出力するための出力ポートの初期化処理等を効率的に実行できる遊技機を提供することを目的とする。

【0010】

【課題を解決するための手段】

50

本発明による遊技機は、遊技者が所定の遊技を行うことが可能な遊技機であって、遊技機に設けられる電気部品を制御するための電気部品制御手段と、遊技機で使用される所定電位電源の電源電圧を監視し、該電源電圧が所定値以下になったことにより電圧低下信号を電気部品制御手段に出力する電源監視手段とを備え、電気部品制御手段は、電源監視手段からの電圧低下信号の入力に応じて、所定の電力供給停止時処理を行い、電気部品制御手段が所定のデータを出力するための複数の出力ポートが設けられ、複数の出力ポートにはそれぞれアドレスが割り当てられており、電気部品制御手段が、クリアデータを出力する出力ポートのアドレスデータ、および出力ポートに出力されるクリアデータが各々複数設定されたデータテーブルを有し、電力供給停止時処理にて、複数の出力ポートにクリアデータを出力する出力ポートクリア処理を行うことが可能であり、出力ポートクリア処理では、クリアデータを出力する出力ポートのアドレスを、データテーブルを参照することによって設定し、データテーブルに設定されているクリアデータを出力ポートに出力する処理を繰り返し実行することを特徴とする。

10

【 0 0 1 4 】

データテーブルには、クリアデータを出力する処理の繰り返し回数を示す回数データも格納されていてもよい。

【 0 0 1 5 】

出力ポートクリア処理によって、例えば、外部へ出力する制御に関わる情報の出力データがクリアされる。

【 0 0 1 6 】

20

電気部品制御手段は、遊技の進行を制御する遊技制御手段を含み、遊技制御手段が所定のデータを出力するための出力ポートが設けられ、遊技制御手段は、電力供給停止時処理にて、出力ポートクリア処理を行うことが可能であり、出力ポートクリア処理によって、可変入賞球装置の駆動が停止することが好ましい。

【 0 0 1 7 】

電気部品制御手段は、遊技の進行を制御する遊技制御手段と遊技媒体を払い出す払出手段を制御する払出制御手段とを含み、遊技制御手段が所定のデータを出力するための出力ポートが設けられ、遊技制御手段は、電力供給停止時処理にて、出力ポートクリア処理を行うことが可能であり、出力ポートクリア処理によって、払出制御手段へのコマンドデータがクリアされることが好ましい。

30

【 0 0 2 0 】

【発明の実施の形態】

以下、本発明の一実施形態を図面を参照して説明する。

まず、遊技機の一例であるパチンコ遊技機の全体の構成について説明する。図1はパチンコ遊技機1を正面からみた正面図である。なお、ここでは、遊技機の一例としてパチンコ遊技機を示すが、本発明はパチンコ遊技機に限られず、例えばコイン遊技機やスロット機等であってもよい。

【 0 0 2 1 】

図1に示すように、パチンコ遊技機1は、額縁状に形成されたガラス扉枠2を有する。ガラス扉枠2の下部表面には打球供給皿3がある。打球供給皿3の下部には、打球供給皿3からあふれた遊技球を貯留する余剰玉受皿4と打球を発射する打球操作ハンドル（操作ノブ）5が設けられている。ガラス扉枠2の後方には、遊技盤6が着脱可能に取り付けられている。また、遊技盤6の前面には遊技領域7が設けられている。

40

【 0 0 2 2 】

遊技領域7の中央付近には、複数種類の図柄を可変表示するための可変表示部（特別図柄表示装置）9と7セグメントLEDによる普通図柄表示器（普通図柄表示装置）10とを含む可変表示装置8が設けられている。可変表示部9には、例えば「左」、「中」、「右」の3つの図柄表示エリアがある。可変表示装置8の側部には、打球を導く通過ゲート11が設けられている。通過ゲート11を通過した打球は、玉出口13を経て始動入賞口14の方に導かれる。通過ゲート11と玉出口13との間の通路には、通過ゲート11を通

50

過した打球を検出するゲートスイッチ 12 がある。また、始動入賞口 14 に入った入賞球は、遊技盤 6 の背面に導かれ、始動口スイッチ 17 によって検出される。また、始動入賞口 14 の下部には開閉動作を行う可変入賞球装置 15 が設けられている。可変入賞球装置 15 は、ソレノイド 16 によって開状態とされる。

【0023】

可変入賞球装置 15 の下部には、特定遊技状態（大当たり状態）においてソレノイド 21 によって開状態とされる開閉板 20 が設けられている。この実施の形態では、開閉板 20 が大入賞口を開閉する手段となる。開閉板 20 から遊技盤 6 の背面に導かれた入賞球のうち一方（Vゾーン）に入った入賞球はVカウントスイッチ 22 で検出される。また、開閉板 20 からの入賞球はカウントスイッチ 23 で検出される。可変表示装置 8 の下部には、始動入賞口 14 に入った入賞球数を表示する 4 個の表示部を有する始動入賞記憶表示器 18 が設けられている。この例では、4 個を上限として、始動入賞がある毎に、始動入賞記憶表示器 18 は点灯している表示部を 1 つずつ増やす。そして、可変表示部 9 の可変表示が開始される毎に、点灯している表示部を 1 つ減らす。

10

【0024】

遊技盤 6 には、複数の入賞口 19, 24 が設けられ、遊技球のそれぞれの入賞口 19, 24 への入賞は、対応して設けられている入賞口スイッチ 19a, 19b, 24a, 24b によって検出される。遊技領域 7 の左右周辺には、遊技中に点滅表示される装飾ランプ 25 が設けられ、下部には、入賞しなかった打球を吸収するアウト口 26 がある。また、遊技領域 7 の外側の左右上部には、効果音を発する 2 つのスピーカ 27 が設けられている。遊技領域 7 の外周には、遊技効果 LED 28a および遊技効果ランプ 28b, 28c が設けられている。

20

【0025】

そして、この例では、一方のスピーカ 27 の近傍に、賞球残数があるときに点灯する賞球ランプ 51 が設けられ、他方のスピーカ 27 の近傍に、補給球が切れたときに点灯する球切れランプ 52 が設けられている。さらに、図 1 には、パチンコ遊技機 1 に隣接して設置され、プリペイドカードが挿入されることによって球貸しを可能にするカードユニット 50 も示されている。

【0026】

カードユニット 50 には、使用可能状態であるか否かを示す使用可表示ランプ 151、カード内に記録された残額情報に端数（100 円未満の数）が存在する場合にその端数を打球供給皿 3 の近傍に設けられる度数表示 LED に表示させるための端数表示スイッチ 152、カードユニット 50 がいずれの側のパチンコ遊技機 1 に対応しているのかを示す連結台方向表示器 153、カードユニット 50 内にカードが投入されていることを示すカード投入表示ランプ 154、記録媒体としてのカードが挿入されるカード挿入口 155、およびカード挿入口 155 の裏面に設けられているカードリーダーライタの機構を点検する場合にカードユニット 50 を解放するためのカードユニット錠 156 が設けられている。

30

【0027】

打球発射装置から発射された打球は、打球レールを通して遊技領域 7 に入り、その後、遊技領域 7 を下りてくる。打球が通過ゲート 11 を通ってゲートスイッチ 12 で検出されると、普通図柄表示器 10 の表示数字が連続的に変化する状態になる。また、打球が始動入賞口 14 に入り始動口スイッチ 17 で検出されると、図柄の変動を開始できる状態であれば、可変表示部 9 内の図柄が回転を始める。図柄の変動を開始できる状態でなければ、始動入賞記憶を 1 増やす。

40

【0028】

可変表示部 9 内の画像の回転は、一定時間が経過したときに停止する。停止時の画像の組み合わせが大当たり図柄の組み合わせであると、大当たり遊技状態に移行する。すなわち、開閉板 20 が、一定時間経過するまで、または、所定個数（例えば 10 個）の打球が入賞するまで開放する。そして、開閉板 20 の開放中に打球が特定入賞領域に入賞し V カウントスイッチ 22 で検出されると、継続権が発生し開閉板 20 の開放が再度行われる。継続権

50

の発生は、所定回数（例えば１５ラウンド）許容される。

【００２９】

停止時の可変表示部９内の画像の組み合わせが確率変動を伴う大当り図柄の組み合わせである場合には、次に大当りとなる確率が高くなる。すなわち、高確率状態という遊技者にとってさらに有利な状態となる。また、普通図柄表示器１０における停止図柄が所定の図柄（当り図柄＝小当り図柄）である場合に、可変入賞球装置１５が所定時間だけ開状態になる。さらに、高確率状態では、普通図柄表示器１０における停止図柄が当り図柄になる確率が高められるとともに、可変入賞球装置１５の開放時間と開放回数が高められる。

【００３０】

次に、パチンコ遊技機１の裏面に配置されている各基板について説明する。

10

図２に示すように、パチンコ遊技機１の裏面では、枠体２Ａ内の機構板の上部に玉貯留タンク３８が設けられ、パチンコ遊技機１が遊技機設置島に設置された状態でその上方から遊技球が球貯留タンク３８に供給される。球貯留タンク３８内の遊技球は、誘導樋３９を通して賞球ケース４０Ａで覆われる球払出装置に至る。

【００３１】

遊技機裏面側では、可変表示部９を制御する可変表示制御ユニット２９、遊技制御用マイクロコンピュータ等が搭載された遊技制御基板（主基板）３１が設置されている。また、球払出制御を行う払出制御用マイクロコンピュータ等が搭載された払出制御基板３７、およびモータの回転力を利用して打球を遊技領域７に発射する打球発射装置が設置されている。さらに、装飾ランプ２５、遊技効果ＬＥＤ２８ａ、遊技効果ランプ２８ｂ、２８ｃ、賞球ランプ５１および球切れランプ５２に信号を送るためのランプ制御基板３５、スピーカ２７からの音声発生を制御するための音声制御基板７０および打球発射装置を制御するための発射制御基板９１も設けられている。

20

【００３２】

さらに、ＤＣ３０Ｖ、ＤＣ２１Ｖ、ＤＣ１２ＶおよびＤＣ５Ｖを作成する電源回路が搭載された電源基板９１０が設けられ、上方には、各種情報を遊技機外部に出力するための各端子を備えたターミナル基板１６０が設置されている。ターミナル基板１６０には、少なくとも、球切れ検出スイッチの出力を導入して外部出力するための球切れ用端子、賞球個数信号を外部出力するための賞球用端子および球貸し個数信号を外部出力するための球貸し用端子が設けられている。また、中央付近には、主基板３１からの各種情報を遊技機外部に出力するための各端子を備えた情報端子盤３４が設置されている。なお、図２には、ランプ制御基板３５および音声制御基板７０からの信号を、枠側に設けられている遊技効果ＬＥＤ２８ａ、遊技効果ランプ２８ｂ、２８ｃ、賞球ランプ５１および球切れランプ５２に供給するための電飾中継基板Ａ７７が示されているが、信号中継の必要に応じて他の中継基板も設けられる。

30

【００３３】

図３はパチンコ遊技機１の機構板を背面からみた背面図である。球貯留タンク３８に貯留された玉は誘導樋３９を通り、図３に示されるように、球切れ検出器（球切れスイッチ）１８７ａ、１８７ｂを通過して球供給樋１８６ａ、１８６ｂを経て球払出装置９７に至る。球切れスイッチ１８７ａ、１８７ｂは遊技球通路内の遊技球の有無を検出するスイッチであるが、球タンク３８内の補給球の不足を検出する球切れ検出スイッチ１６７も設けられている。以下、球切れスイッチ１８７ａ、１８７ｂを、球切れスイッチ１８７と表現することがある。

40

【００３４】

球払出装置９７から払い出された遊技球は、連絡口４５を通過してパチンコ遊技機１の前面に設けられている打球供給皿３に供給される。連絡口４５の側方には、パチンコ遊技機１の前面に設けられている余剰玉受皿４に連通する余剰玉通路４６が形成されている。

【００３５】

入賞にもとづく景品球が多数払い出されて打球供給皿３が満杯になり、ついには遊技球が連絡口４５に到達した後さらに遊技球が払い出されると遊技球は、余剰玉通路４６を経て

50

余剰玉受皿 4 に導かれる。さらに遊技球が払い出されると、感知レバー 47 が満タンスイッチ 48 を押圧して満タンスイッチ 48 がオンする。その状態では、球払出装置 97 内のステッピングモータの回転が停止して球払出装置 97 の動作が停止するとともに打球発射装置 34 の駆動も停止する。

【0036】

次に、機構板 36 に設置されている中間ベースユニットの構成について説明する。中間ベースユニットには、球供給樋 186a, 186b や球払出装置 97 が設置される。図 4 に示すように、中間ベースユニットの上下には連結凹突部 182 が形成されている。連結凹突部 182 は、中間ベースユニットと機構板 36 の上部ベースユニットおよび下部ベースユニットを連結固定するものである。

10

【0037】

中間ベースユニットの上部には通路体 184 が固定されている。そして、通路体 184 の下部に球払出装置 97 が固定されている。通路体 184 は、カーブ樋 174 (図 3 参照) によって流下方向を左右方向に変換された 2 列の遊技球を流下させる払出球通路 186a, 186b を有する。払出球通路 186a, 186b の上流側には、球切れスイッチ 187a, 187b が設置されている。球切れスイッチ 187a, 187b は、払出球通路 186a, 186b 内の遊技球の有無を検出するものであって、球切れスイッチ 187a, 187b が遊技球を検出しなくなると球払出装置 97 における払出モータ (図 4 において図示せず) の回転を停止して球払出が不働化される。

【0038】

20

なお、球切れスイッチ 187a, 187b は、払出球通路 186a, 186b に 27 ~ 28 個程度の遊技球が存在することを検出できるような位置に係止片 188 によって係止されている。すなわち、球切れスイッチ 187a, 187b は、賞球の一単位の最大払出量 (この実施の形態では 15 個) および球貸しの一単位の最大払出量 (この実施の形態では 100 円 : 25 個) 以上が確保されていることが確認できるような位置に設置されている。

【0039】

通路体 184 の中央部は、内部を流下する遊技球の球圧を弱めるように、左右に湾曲する形状に形成されている。そして、払出球通路 186a, 186b の間に止め穴 189 が形成されている。止め穴 189 の裏面は中間ベースユニットに設けられている取付ボスがはめ込まれる。その状態で止めねじがねじ止めされて、通路体 184 は中間ベースユニットに固定される。なお、ねじ止めされる前に、中間ベースユニットに設けられている係止突片 185 によって通路体 184 の位置合わせを行えるようになっている。

30

【0040】

通路体 184 の下方には、球払出装置 97 に遊技球を供給するとともに故障時等には球払出装置 97 への遊技球の供給を停止する球止め装置 190 が設けられている。球止め装置 190 の下方に設置される球払出装置 97 は、直方体状のケース 198 の内部に収納されている。ケース 198 の左右 4 箇所には突部が設けられている。各突部が中間ベースユニットに設けられている位置決め突片に係った状態で、中間ベースユニットの下部に設けられている弾性係合片にケース 198 の下端がはめ込まれる。

40

【0041】

図 5 は球払出装置 97 の分解斜視図である。球払出装置 97 の構成および作用について図 5 を参照して説明する。この実施形態における球払出装置 97 は、ステッピングモータ (払出モータ) 289 がスクリュウ 288 を回転させることによりパチンコ玉を 1 個ずつ払い出す。なお、球払出装置 97 は、入賞にもとづく景品球だけでなく、貸し出すべき遊技球も払い出す。

【0042】

図 5 に示すように、球払出装置 97 は、2 つのケース 198a, 198b を有する。それぞれのケース 198a, 198b の左右 2 箇所に、球払出装置 97 の設置位置上部に設けられた位置決め突片に当接される係合突部 280 が設けられている。また、それぞれのケ

50

ース198a, 198bには、球供給路281a, 281bが形成されている。球供給路281a, 281bは湾曲面282a, 282bを有し、湾曲面282a, 282bの終端の下方には、球送り水平路284a, 284bが形成されている。さらに、球送り水平路284a, 284bの終端に球排出路283a, 283bが形成されている。

【0043】

球供給路281a, 281b、球送り水平路284a, 284b、球排出路283a, 283bは、ケース198a, 198bをそれぞれ前後に区画する区画壁295a, 295bの前方に形成されている。また、区画壁295a, 295bの前方において、玉圧緩衝部材285がケース198a, 198b間に挟み込まれる。玉圧緩衝部材285は、球払出装置97に供給される玉を左右側方に振り分けて球供給路281a, 281bに誘導する。

10

【0044】

また、玉圧緩衝部材285の下部には、発光素子(LED)286と受光素子(図示せず)とによる払出モータ位置センサが設けられている。発光素子286と受光素子とは、所定の間隔をあけて設けられている。そして、この間隔内に、スクリュー288の先端が挿入されるようになっている。なお、玉圧緩衝部材285は、ケース198a, 198bが張り合わされたときに、完全にその内部に収納固定される。

【0045】

球送り水平路284a, 284bには、払出モータ289によって回転させられるスクリュー288が配置されている。払出モータ289はモータ固定板290に固定され、モータ固定板290は、区画壁295a, 295bの後方に形成される固定溝291a, 291bにはめ込まれる。その状態で払出モータ289のモータ軸が区画壁295a, 295bの前方に突出するので、その突出の前方にスクリュー288が固定される。スクリュー288の外周には、払出モータ289の回転によって球送り水平路284a, 284bに載置された遊技球を前方に移動させるための螺旋突起288aが設けられている。

20

【0046】

そして、スクリュー288の先端には、発光素子286を収納するように凹部が形成され、その凹部の外周には、2つの切欠部292が互いに180度離れて形成されている。従って、スクリュー288が1回転する間に、発光素子286からの光は、切欠部292を介して受光素子で2回検出される。

30

【0047】

つまり、発光素子286と受光素子とによる払出モータ位置センサは、スクリュー288を定位置で停止するためのものであり、かつ、払出動作が行われた旨を検出するものである。なお、発光素子286、受光素子および払出モータ289からの配線は、まとめられてケース198a, 198bの後部下方に形成された引出穴から外部に引き出されコネクタに結線される。

【0048】

遊技球が球送り水平路284a, 284bに載置された状態において、払出モータ289が回転すると、スクリュー288の螺旋突起288aによって、遊技球は、球送り水平路284a, 284b上を前方に向かって移動する。そして、遂には、球送り水平路284a, 284bの終端から球排出路283a, 283bに落下する。このとき、左右の球送り水平路284a, 284bからの落下は交互に行われる。すなわち、スクリュー288が半回転する毎に一方から1個の遊技球が落下する。従って、1個の遊技球が落下する毎に、発光素子286からの光が受光素子によって検出される。

40

【0049】

図4に示すように、球払出装置97の下方には、球振分部材311が設けられている。球振分部材311は、振分ソレノイド310によって駆動される。例えば、ソレノイド310のオン時には、球振分部材311は右側に倒れ、オフ時には左側に倒れる。振分ソレノイド310の下方には、近接スイッチによる賞球カウントスイッチ301Aおよび球貸しカウントスイッチ301Bが設けられている。入賞にもとづく賞球時には、球振分部材3

50

1 1 は右側に倒れ、球排出路 2 8 3 a , 2 8 3 b からの玉はともに賞球カウントスイッチ 3 0 1 A を通過する。また、球貸し時には、球振分部材 3 1 1 は左側に倒れ、球排出路 2 8 3 a , 2 8 3 b からの玉はともに球貸しカウントスイッチ 3 0 1 B を通過する。従って、球払出装置 9 7 は、賞球時と球貸し時とで払出流下路を切り替えて、所定数の遊技媒体の払出を行うことができる。

【 0 0 5 0 】

このように、球振分部材 3 1 1 を設けることによって、2 条の玉流路を落下してきた玉は、賞球カウントスイッチ 3 0 1 A と球貸しカウントスイッチ 3 0 1 B とのうちのいずれか一方しか通過しない。従って、賞球であるのか球貸しであるのかの判断をすることなく、賞球カウントスイッチ 3 0 1 A と球貸しカウントスイッチ 3 0 1 B の検出出力から、直ちに賞球数または球貸し数を把握することができる。

10

【 0 0 5 1 】

なお、この実施の形態では、電氣的駆動源の駆動によって遊技球を払い出す球払出装置として、ステッピングモータの回転によって遊技球が払い出される球払出装置 9 7 を用いることにするが、その他の駆動源によって遊技球を送り出す構造の球払出装置を用いてもよいし、電氣的駆動源の駆動によってストッパを外し遊技球の自重によって払い出しがなされる構造の球払出装置を用いてもよい。また、この実施の形態では、球払出装置 9 7 は賞球にもとづく景品球と貸出要求にもとづく貸し球の双方を払い出すが、それぞれについて払出装置が設けられていてもよい。

【 0 0 5 2 】

20

図 6 は、主基板 3 1 における回路構成の一例を示すブロック図である。なお、図 6 には、払出制御基板 3 7、ランプ制御基板 3 5、音声制御基板 7 0、発射制御基板 9 1 および図柄制御基板 8 0 も示されている。主基板 3 1 には、プログラムに従ってパチンコ遊技機 1 を制御する基本回路 5 3 と、ゲートスイッチ 1 2、始動口スイッチ 1 7、V カウントスイッチ 2 2、カウントスイッチ 2 3、入賞口スイッチ 1 9 a , 1 9 b , 2 4 a , 2 4 b、満タンスイッチ 4 8、球切れスイッチ 1 8 7 および賞球カウントスイッチ 3 0 1 A からの信号を基本回路 5 3 に与えるスイッチ回路 5 8 と、可変入賞球装置 1 5 を開閉するソレノイド 1 6、開閉板 2 0 を開閉するソレノイド 2 1 および大入賞口内の経路を切り換えるためのソレノイド 2 1 A を基本回路 5 3 からの指令に従って駆動するソレノイド回路 5 9 とが搭載されている。

30

【 0 0 5 3 】

なお、図 6 には示されていないが、カウントスイッチ短絡信号もスイッチ回路 5 8 を介して基本回路 5 3 に伝達される。

【 0 0 5 4 】

また、基本回路 5 3 から与えられるデータに従って、大当りの発生を示す大当り情報、可変表示部 9 の画像表示開始に利用された始動入賞球の個数を示す有効始動情報、確率変動が生じたことを示す確変情報等の情報出力信号をホールコンピュータ等の外部機器に対して出力する情報出力回路 6 4 が搭載されている。

【 0 0 5 5 】

基本回路 5 3 は、ゲーム制御用のプログラム等を記憶する R O M 5 4、ワークメモリとして使用される記憶手段の一例である R A M 5 5、プログラムに従って制御動作を行う C P U 5 6 および I / O ポート部 5 7 を含む。この実施の形態では、R O M 5 4 , R A M 5 5 は C P U 5 6 に内蔵されている。すなわち、C P U 5 6 は、1 チップマイクロコンピュータである。なお、1 チップマイクロコンピュータは、少なくとも R A M 5 5 が内蔵されていればよく、R O M 5 4 および I / O ポート部 5 7 は外付けであっても内蔵されていてもよい。

40

【 0 0 5 6 】

さらに、主基板 3 1 には、電源投入時に基本回路 5 3 をリセットするためのシステムリセット回路 6 5 が設けられている。

【 0 0 5 7 】

50

遊技球を打撃して発射する打球発射装置は発射制御基板 9 1 上の回路によって制御される駆動モータ 9 4 で駆動される。そして、駆動モータ 9 4 の駆動力は、操作ノブ 5 の操作量に従って調整される。すなわち、発射制御基板 9 1 上の回路によって、操作ノブ 5 の操作量に応じた速度で打球が発射されるように制御される。

【 0 0 5 8 】

なお、この実施の形態では、ランプ制御基板 3 5 に搭載されているランプ制御手段が、遊技盤に設けられている始動記憶表示器 1 8、ゲート通過記憶表示器 4 1 および装飾ランプ 2 5 の表示制御を行うとともに、枠側に設けられている遊技効果ランプ・LED 2 8 a, 2 8 b, 2 8 c、賞球ランプ 5 1 および球切れランプ 5 2 の表示制御を行う。また、特別図柄を可変表示する可変表示部 9 および普通図柄を可変表示する普通図柄表示器 1 0 の表示制御は、図柄制御基板 8 0 に搭載されている表示制御手段によって行われる。

10

【 0 0 5 9 】

図 7 は、払出制御基板 3 7 および球払出装置 9 7 の構成要素などの払出に関連する構成要素を示すブロック図である。図 7 に示すように、満タンスイッチ 4 8 からの検出信号は、中継基板 7 1 を介して主基板 3 1 の I / O ポート 5 7 に入力される。満タンスイッチ 4 8 は、余剰球受皿 4 の満タンを検出するスイッチである。また、球切れスイッチ 1 8 7 (1 8 7 a, 1 8 7 b) からの検出信号も、中継基板 7 2 および中継基板 7 1 を介して主基板 3 1 の I / O ポート 5 7 に入力される。

【 0 0 6 0 】

主基板 3 1 の CPU 5 6 は、球切れスイッチ 1 8 7 からの検出信号が球切れ状態を示しているか、または、満タンスイッチ 4 8 からの検出信号が満タン状態を示していると、払出禁止を指示する払出制御コマンドを送出する。払出禁止を指示する払出制御コマンドを受信すると、払出制御基板 3 7 の払出制御用 CPU 3 7 1 は球払出処理を停止する。

20

【 0 0 6 1 】

さらに、賞球カウントスイッチ 3 0 1 A からの検出信号は、中継基板 7 2 および中継基板 7 1 を介して主基板 3 1 の I / O ポート 5 7 に入力されるとともに、中継基板 7 2 を介して払出制御基板 3 7 の入力ポート 3 7 2 b に入力される。賞球カウントスイッチ 3 0 1 A は、球払出装置 9 7 の払出機構部分に設けられ、実際に払い出された賞球払出球を検出する。

【 0 0 6 2 】

30

入賞があると、払出制御基板 3 7 には、主基板 3 1 の出力ポート (ポート 0, 1) 5 7 0, 5 7 1 から賞球個数を示す払出制御コマンドが入力される。出力ポート (出力ポート 1) 5 7 1 は 8 ビットのデータを出力し、出力ポート 5 7 0 は 1 ビットのストローブ信号 (INT 信号) を出力する。賞球個数を示す払出制御コマンドは、入力バッファ回路 3 7 3 A を介して I / O ポート 3 7 2 a に入力される。INT 信号は、入力バッファ回路 3 7 3 B を介して払出制御用 CPU 3 7 1 の割込端子に入力されている。払出制御用 CPU 3 7 1 は、I / O ポート 3 7 2 a を介して払出制御コマンドを入力し、払出制御コマンドに応じて球払出装置 9 7 を駆動して賞球払出を行う。

なお、この実施の形態では、払出制御用 CPU 3 7 1 は、1 チップマイクロコンピュータであり、少なくとも RAM が内蔵されている。

40

【 0 0 6 3 】

また、主基板 3 1 において、出力ポート 5 7 0, 5 7 1 の外側にバッファ回路 6 2 0, 6 8 A が設けられている。バッファ回路 6 2 0, 6 8 A として、例えば、汎用の CMOS - IC である 7 4 H C 2 5 0, 7 4 H C 1 4 が用いられる。このような構成によれば、外部から主基板 3 1 の内部に入力される信号が阻止されるので、払出制御基板 3 7 から主基板 3 1 に信号が与えられる可能性がある信号ラインをさらに確実になくすることができる。なお、バッファ回路 6 2 0, 6 8 A の出力側にノイズフィルタを設けてもよい。

【 0 0 6 4 】

払出制御用 CPU 3 7 1 は、出力ポート 3 7 2 c を介して、貸し球数を示す球貸し個数信号をターミナル基板 1 6 0 に出力する。さらに、出力ポート 3 7 2 d を介して、エラー表

50

示用 L E D 3 7 4 にエラー信号を出力する。

【 0 0 6 5 】

さらに、払出制御基板 3 7 の入力ポート 3 7 2 b には、中継基板 7 2 を介して球貸しカウントスイッチ 3 0 1 B からの検出信号が入力される。球貸しカウントスイッチ 3 0 1 B は、球払出装置 9 7 の払出機構部分に設けられ、実際に払い出された貸し球を検出する。払出制御基板 3 7 からの払出モータ 2 8 9 への駆動信号は、出力ポート 3 7 2 c および中継基板 7 2 を介して球払出装置 9 7 の払出機構部分における払出モータ 2 8 9 に伝えられ、振分ソレノイド 3 1 0 への駆動信号は、出力ポート 3 7 2 e および中継基板 7 2 を介して球払出装置 9 7 の払出機構部分における振分ソレノイド 3 1 0 に伝えられる。

【 0 0 6 6 】

カードユニット 5 0 には、カードユニット制御用マイクロコンピュータが搭載されている。また、カードユニット 5 0 には、端数表示スイッチ 1 5 2、連結台方向表示器 1 5 3、カード投入表示ランプ 1 5 4 およびカード挿入口 1 5 5 が設けられている（図 1 参照）。残高表示基板 7 4 には、打球供給皿 3 の近傍に設けられている度数表示 L E D、球貸しスイッチおよび返却スイッチが接続される。

【 0 0 6 7 】

残高表示基板 7 4 からカードユニット 5 0 には、遊技者の操作に応じて、球貸しスイッチ信号および返却スイッチ信号が払出制御基板 3 7 を介して与えられる。また、カードユニット 5 0 から残高表示基板 7 4 には、プリペイドカードの残高を示すカード残高表示信号および球貸し可表示信号が払出制御基板 3 7 を介して与えられる。カードユニット 5 0 と払出制御基板 3 7 の間では、接続信号（V L 信号）、ユニット操作信号（B R D Y 信号）、球貸し要求信号（B R Q 信号）、球貸し完了信号（E X S 信号）およびパチンコ機動作信号（P R D Y 信号）が入力ポート 3 7 2 b および出力ポート 3 7 2 e を介してやりとりされる。

【 0 0 6 8 】

パチンコ遊技機 1 の電源が投入されると、払出制御基板 3 7 の払出制御用 C P U 3 7 1 は、カードユニット 5 0 に P R D Y 信号を出力する。また、カードユニット制御用マイクロコンピュータは、V L 信号を出力する。払出制御用 C P U 3 7 1 は、V L 信号の入力状態により接続状態 / 未接続状態を判定する。カードユニット 5 0 においてカードが受け付けられ、球貸しスイッチが操作され球貸しスイッチ信号が入力されると、カードユニット制御用マイクロコンピュータは、払出制御基板 3 7 に B R D Y 信号を出力する。この時点から所定の遅延時間が経過すると、カードユニット制御用マイクロコンピュータは、払出制御基板 3 7 に B R Q 信号を出力する。

【 0 0 6 9 】

そして、払出制御基板 3 7 の払出制御用 C P U 3 7 1 は、カードユニット 5 0 に対する E X S 信号を立ち上げ、カードユニット 5 0 からの B R Q 信号の立ち下がりを検出すると、払出モータ 2 8 9 を駆動し、所定個の貸し球を遊技者に払い出す。このとき、振分ソレノイド 3 1 0 は駆動状態とされている。すなわち、球振分部材 3 1 1 を球貸し側に向ける。そして、払出が完了したら、払出制御用 C P U 3 7 1 は、カードユニット 5 0 に対する E X S 信号を立ち下げる。その後、カードユニット 5 0 からの B R D Y 信号がオン状態でなければ、賞球払出制御を実行する。

【 0 0 7 0 】

以上のように、カードユニット 5 0 からの信号は全て払出制御基板 3 7 に入力される構成になっている。従って、球貸し制御に関して、カードユニット 5 0 から主基板 3 1 に信号が入力されることはなく、主基板 3 1 の基本回路 5 3 にカードユニット 5 0 の側から不正に信号が入力される余地はない。また、カードユニット 5 0 で用いられる電源電圧 A C 2 4 V は払出制御基板 3 7 から供給される。

【 0 0 7 1 】

なお、この実施の形態では、カードユニット 5 0 が遊技機とは別体として遊技機に隣接して設置されている場合を例にするが、カードユニット 5 0 は遊技機と一体化されていても

10

20

30

40

50

よい。また、コイン投入に応じてその金額に応じた遊技球を遊技機が貸し出すように構成した場合でも本発明を適用できる。

【0072】

図8は、電源基板910の一構成例を示すブロック図である。電源基板910は、主基板31、図柄制御基板80、音声制御基板70、ランプ制御基板35および払出制御基板37等の電気部品制御基板と独立して設置され、遊技機内の各電気部品制御基板および機構部品が使用する電圧を生成する。この例では、AC24V、VSL(DC+30V)、DC+21V、DC+12VおよびDC+5Vを生成する。また、バックアップ電源となるコンデンサ916は、DC+5Vすなわち各基板上のIC等を駆動する電源のラインから充電される。

10

【0073】

トランス911は、交流電源からの交流電圧を24Vに変換する。AC24V電圧は、コネクタ915に出力される。また、整流回路912は、AC24Vから+30Vの直流電圧を生成し、DC-DCコンバータ913およびコネクタ915に出力する。DC-DCコンバータ913は、+21V、+12Vおよび+5Vを生成してコネクタ915に出力する。コネクタ915は例えば中継基板に接続され、中継基板から各電気部品制御基板および機構部品に必要な電圧の電力が供給される。

【0074】

ただし、電源基板910に各電気部品制御基板に至る各コネクタを設け、電源基板910から、中継基板を介さずにそれぞれの基板に至る各電圧を供給するようにしてもよい。また、図8には1つのコネクタ915が代表して示されているが、コネクタは、各電気部品制御基板対応に設けられている。

20

【0075】

DC-DCコンバータ913からの+5Vラインは分岐してバックアップ+5Vラインを形成する。バックアップ+5Vラインとグラウンドレベルとの間には大容量のコンデンサ916が接続されている。コンデンサ916は、遊技機に対する電力供給が遮断されたときの電気部品制御基板のバックアップRAM(電源バックアップされているRAMすなわち電力供給停止時にも記憶内容保持状態となりうるバックアップ記憶手段)に対して記憶状態を保持できるように電力を供給するバックアップ電源となる。また、+5Vラインとバックアップ+5Vラインとの間に、逆流防止用のダイオード917が挿入される。この実施の形態では、バックアップ用の+5Vは、主基板31および払出制御基板37に供給される。

30

【0076】

なお、バックアップ電源として、+5V電源から充電可能な電池を用いてもよい。電池を用いる場合には、+5V電源から電力供給されない状態が所定時間継続すると容量がなくなるような充電電池が用いられる。

【0077】

また、電源基板910には、電源監視用IC902が搭載されている。電源監視用IC902は、VSL電源電圧を導入し、VSL電源電圧を監視することによって電源断の発生を検出する。具体的には、VSL電源電圧が所定値(この例では+22V)以下になったら、電源断が生ずるとして電圧低下信号(電源断信号)を出力する。なお、監視対象の電源電圧は、各電気部品制御基板に搭載されている回路素子の電源電圧(この例では+5V)よりも高い電圧であることが好ましい。この例では、交流から直流に変換された直後の電圧であるVSLが用いられている。電源監視用IC902からの電圧低下信号は、主基板31や払出制御基板37等に供給される。

40

【0078】

電源監視用IC902が電源断を検知するための所定値は、通常時の電圧より低い、各電気部品制御基板上のCPUが暫くの間動作しうる程度の電圧である。また、電源監視用IC902が、CPU等の回路素子を駆動するための電圧(この例では+5V)よりも高く、また、交流から直流に変換された直後の電圧を監視するように構成されているので、

50

CPUが必要とする電圧に対して監視範囲を広げることができる。従って、より精密な監視を行うことができる。さらに、監視電圧としてVSL(+30V)を用いる場合には、遊技機の各種スイッチに供給される電圧が+12Vであることから、電源瞬断時のスイッチオン誤検出の防止も期待できる。すなわち、+30V電源の電圧を監視すると、+30V作成の以降に作られる+12Vが落ち始める以前の段階でその低下を検出できる。

【0079】

よって、+12V電源の電圧が低下するとスイッチ出力がオン状態を呈するようになるが、+12Vより早く低下する+30V電源電圧を監視して電源断を認識すれば、スイッチ出力がオン状態を呈する前に電源復旧待ちの状態に入ってスイッチ出力を検出しない状態となることができる。

10

【0080】

また、電源監視用IC902は、電気部品制御基板とは別個の電源基板910に搭載されているので、電源監視回路から複数の電気部品制御基板に電源断信号を供給することができる。電源断信号を必要とする電気部品制御基板が幾つあっても電源監視手段は1つ設けられていけばよいので、各電気部品制御基板における各電気部品制御手段が後述する復帰制御を行っても、遊技機のコストはさほど上昇しない。

【0081】

なお、図8に示された構成では、電源監視用IC902の検出出力(電源断信号)は、バッファ回路918, 919を介してそれぞれの電気部品制御基板(例えば主基板31と払出制御基板37)に伝達されるが、例えば、1つの検出出力を中継基板に伝達し、中継基板から各電気部品制御基板に同じ信号を分配する構成でもよい。また、電源断信号を必要とする基板数に応じたバッファ回路を設けてもよい。

20

【0082】

図9は、主基板31におけるCPU56周りの一構成例を示すブロック図である。図9に示すように、電源基板910の電源監視回路(電源監視手段)からの電源断信号(電圧低下信号)が、CPU56のマスク不能割込端子(XNMI端子)に接続されている。電源監視回路は、遊技機が使用する各種直流電源のうちのいずれかの電源の電圧を監視して電源電圧低下を検出する回路である。この実施の形態では、VSLの電源電圧を監視して電圧値が所定値以下になるとローレベルの電源断信号を発生する。VSLは、遊技機で使用される直流電圧のうちで最大のものであり、この例では+30Vである。従って、CPU56は、割込処理によって電源断の発生を確認することができる。

30

【0083】

図9には、システムリセット回路65も示されている。リセットIC651は、電源投入時に、外付けのコンデンサの容量で決まる所定時間だけ出力をローレベルとし、所定時間が経過すると出力をハイレベルにする。すなわち、リセット信号をハイレベルに立ち上げてCPU56を動作可能状態にする。また、リセットIC651は、電源監視回路が監視する電源電圧と等しい電源電圧であるVSLの電源電圧を監視して電圧値が所定値(電源監視回路が電源断信号を出力する電源電圧値よりも低い値)以下になると出力をローレベルにする。従って、CPU56は、電源監視回路からの電源断信号に応じて所定の電力供給停止時処理を行った後、システムリセットされる。

40

【0084】

図9に示すように、リセットIC651からのリセット信号は、NAND回路947に入力されるとともに、反転回路(NOT回路)944を介してカウンタIC941のクリア端子に入力される。カウンタIC941は、クリア端子への入力がローレベルになると、発振器943からのクロック信号をカウントする。そして、カウンタIC941のQ5出力がNOT回路945, 946を介してNAND回路947に入力される。また、カウンタIC941のQ6出力は、フリップフロップ(FF)942のクロック端子に入力される。フリップフロップ942のD入力ハイレベルに固定され、Q出力は論理和回路(OR回路)949に入力される。OR回路949の他方の入力には、NAND回路947の出力がNOT回路948を介して導入される。そして、OR回路949の出力がCPU5

50

6のリセット端子に接続されている。このような構成によれば、電源投入時に、CPU 56のリセット端子に2回のリセット信号（ローレベル信号）が与えられるので、CPU 56は、確実に動作を開始する。

【0085】

そして、例えば、電源監視回路の検出電圧（電源断信号を出力することになる電圧）を+2.2Vとし、リセット信号をローレベルにするための検出電圧を+9Vとする。そのように構成した場合には、電源監視回路とシステムリセット回路65とが、同一の電源V_{SL}の電圧を監視するので、電圧監視回路が電源断信号を出力するタイミングとシステムリセット回路65がシステムリセット信号を出力するタイミングの差を所望の所定期間に確実に設定することができる。所望の所定期間とは、電源監視回路からの電源断信号に応じて電力供給停止時処理を開始してから電力供給停止時処理が確実に完了するまでの期間である。

10

【0086】

CPU 56等の駆動電源である+5V電源から電力が供給されていない間、RAMの少なくとも一部は、電源基板から供給されるバックアップ電源によってバックアップされ、遊技機に対する電源が断しても内容は保存される。そして、+5V電源が復旧すると、システムリセット回路65からリセット信号が発せられるので、CPU 56は、通常の動作状態に復帰する。そのとき、必要なデータがバックアップRAMに保存されているので、停電等からの復旧時に停電発生時の遊技状態に復帰することができる。

【0087】

なお、図9に示す構成では、電源投入時にCPU 56のリセット端子に2回のリセット信号（ローレベル信号）が与えられるが、リセット信号の立ち上がりタイミングが1回しかなくても確実にリセット解除されるCPUを使用する場合には、符号941～949で示された回路素子は不要である。その場合、リセットIC 651の出力がそのままCPU 56のリセット端子に接続される。

20

【0088】

この実施の形態で用いられるCPU 56は、I/Oポート（PIO）およびタイマ/カウンタ回路（CTC）も内蔵している。PIOは、PB0～PB3の4ビットおよびPA0～PA7の1バイトのポートを有する。PB0～PB3およびPA0～PA7のポートは、入力/出力いずれにも設定できる。

30

【0089】

図10は、CPU 56の内部構成をより詳細に示すブロック図である。CPUコア501はレジスタを内蔵しプログラムに従って演算処理等を行う。クロックジェネレータ502は、外部から供給されるクロック信号を分周して各内蔵デバイスに供給する。なお、クロックジェネレータ502は、1/2分周クロックをシステムクロックとしてCLKO端子から出力可能であり、出力制御回路511を介して、システムクロックを分周したクロック信号をIEO/SCLK0端子から出力可能である。

【0090】

リセット割込コントローラ503は、X_{RST}端子に入力されるシステムリセット信号やX_{NMI}端子に入力されるマスク不能割込要求信号等をCPUコア501に伝える。外部バスインタフェース504は、アドレスバス、データバスおよび各種制御信号の方向制御や駆動制御を行うバスドライバである。内蔵RAM 55は電源バックアップ可能であり、内蔵ROM 54にはプログラムが格納される。アドレスデコーダ505は、出力制御回路511を介して4本のチップセレクト信号XCS0～3を出力可能である。なお、チップセレクト信号XCS0～3の端子は、入出力ポートPB0～PB3と兼用されている。

40

【0091】

メモリ制御回路510は、内蔵ROM 54および内蔵RAM 55を制御するための信号を生成する。また、メモリ制御回路510には、内蔵RAM 55へのアクセスを許可することを設定するレジスタが内蔵されている。

【0092】

50

P I O 5 0 6 は、8 ビットの内蔵入力ポート P A 0 ~ P A 7 である。なお、内蔵 P I O を使用しない場合には、例えば、使用しないポートを入力モードとして、そのポートをグラウンドレベルに接続する。また、C T C 5 0 8 は、2 本の外部クロック / タイマトリガ入力 C L K / T R G 2 , 3 と 2 本のタイマ出力 Z C / T O 0 , 1 を内蔵している。

【 0 0 9 3 】

図 1 1 および図 1 2 は、この実施の形態における出力ポートの割り当てを示す説明図である。図 1 1 に示すように、出力ポート 0 は各電気部品制御基板に送出される制御コマンドのストロブ信号 (I N T 信号) の出力ポートである。また、払出制御基板 3 7 に送出される払出制御コマンドの 8 ビットのデータは出力ポート 1 から出力され、図柄制御基板 8 0 に送出される表示制御コマンドの 8 ビットのデータは出力ポート 2 から出力され、ラン
10 プ制御基板 3 5 に送出されるランプ制御コマンドの 8 ビットのデータは出力ポート 3 から出力される。そして、図 1 2 に示すように、音声制御基板 7 0 に送出される音声制御コマンドの 8 ビットのデータは出力ポート 4 から出力される。

【 0 0 9 4 】

また、出力ポート 5 から、情報出力回路 6 4 を介して情報端子板 3 4 に至る各種情報出力用信号すなわち制御に関わる情報の出力データが出力される。そして、出力ポート 6 から、可変入賞球装置 1 5 を開閉するためのソレノイド 1 6、大入賞口の開閉板 2 おを開閉するためのソレノイド 2 1、および大入賞口内の経路を切り換えるためのソレノイド 2 1 A に対する駆動信号が出力される。

【 0 0 9 5 】

図 1 3 は、この実施の形態における入力ポートのビット割り当てを示す説明図である。図 1 3 に示すように、入力ポート 0 のビット 0 ~ 7 には、それぞれ、入賞口スイッチ 2 4 a、入賞口スイッチ 2 4 b、入賞口スイッチ 1 9 a、入賞口スイッチ 1 9 b、始動口スイッチ 1 7、カウントスイッチ 2 3、V カウントスイッチ (特定領域スイッチ) 2 2、ゲート
20 スwitch 1 2 の検出信号が入力される。また、入力ポート 1 のビット 0 ~ 3 には、それぞれ、賞球カウントスイッチ 3 0 1 A、満タンスイッチ 4 8、球切れスイッチ 1 8 7 の検出信号、カウントスイッチ短絡信号が入力される。

【 0 0 9 6 】

次に遊技機の動作について説明する。

図 1 4 は、主基板 3 1 における C P U 5 6 が実行するメイン処理を示すフローチャートである。遊技機に対する電源が投入されると、メイン処理において、C P U 5 6 は、まず、
30 必要な初期設定を行う。

【 0 0 9 7 】

初期設定処理において、C P U 5 6 は、まず、割込禁止に設定する (ステップ S 1)。次に、割込モードを割込モード 2 に設定し (ステップ S 2)、スタックポインタにスタックポインタ指定アドレスを設定する (ステップ S 3)。そして、内蔵デバイスレジスタの初期化を行う (ステップ S 4)。また、内蔵デバイス (内蔵周辺回路) である C T C (カウンタ / タイマ) および P I O (パラレル入出力ポート) の初期化 (ステップ S 5) を行った後、R A M をアクセス可能状態に設定する (ステップ S 6)。

【 0 0 9 8 】

この実施の形態で用いられている C P U 5 6 には、マスク可能な割込 (I N T) のモードとして以下の 3 種類のモードが用意されている。なお、マスク可能な割込が発生すると、C P U 5 6 は、自動的に割込禁止状態に設定するとともに、プログラムカウンタの内容をスタックにセーブする。

【 0 0 9 9 】

割込モード 0 : 割込要求を行った内蔵デバイスが R S T 命令 (1 バイト) または C A L L 命令 (3 バイト) を C P U の内部データバス上に送出する。よって、C P U 5 6 は、R S T 命令に対応したアドレスまたは C A L L 命令で指定されるアドレスの命令を実行する。リセット時に、C P U 5 6 は自動的に割込モード 0 になる。よって、割込モード 1 または割込
50 モード 2 に設定したい場合には、初期設定処理において、割込モード 1 または割込モ

ード 2 に設定するための処理を行う必要がある。

【 0 1 0 0 】

割込モード 1 : 割込が受け付けられると、常に 0 0 3 8 (h) 番地に飛ぶモードである。

【 0 1 0 1 】

割込モード 2 : C P U 5 6 の特定レジスタ (I レジスタ) の値 (1 バイト) と内蔵デバイスが出力する割込ベクタ (1 バイト : 最下位ビット 0) から合成されるアドレスが、割込番地を示すモードである。すなわち、割込番地は、上位アドレスが特定レジスタの値とされ下位アドレスが割込ベクタとされた 2 バイトで示されるアドレスである。従って、任意の (飛び飛びではあるが) 偶数番地に割込処理を設置することができる。各内蔵デバイスは割込要求を行うときに割込ベクタを送出する機能を有している。

10

【 0 1 0 2 】

よって、割込モード 2 に設定されると、各内蔵デバイスからの割込要求を容易に処理することが可能になり、また、プログラムにおける任意の位置に割込処理を設置することが可能になる。さらに、割込モード 1 とは異なり、割込発生要因毎のそれぞれの割込処理を用意しておくことも容易である。上述したように、この実施の形態では、初期設定処理のステップ S 2 において、C P U 5 6 は割込モード 2 に設定される。

【 0 1 0 3 】

そして、電源断時にバックアップ R A M 領域のデータ保護処理 (例えばパリティデータの付加等の停電発生 N M I 処理) が行われたか否か確認する (ステップ S 7)。この実施の形態では、不測の電源断が生じた場合には、バックアップ R A M 領域のデータを保護するための処理が行われている。そのような保護処理が行われていた場合をバックアップありとする。バックアップなしを確認したら、C P U 5 6 は初期化処理を実行する。

20

【 0 1 0 4 】

この実施の形態では、バックアップ R A M 領域にバックアップデータがあるか否かは、電源断時にバックアップ R A M 領域に設定されるバックアップフラグの状態によって確認される。この例では、図 1 5 に示すように、バックアップフラグ領域に「 5 5 H 」が設定されていればバックアップあり (オン状態) を意味し、「 5 5 H 」以外の値が設定されていればバックアップなし (オフ状態) を意味する。

【 0 1 0 5 】

バックアップありを確認したら、C P U 5 6 は、バックアップ R A M 領域のデータチェック (この例ではパリティチェック) を行う。不測の電源断が生じた後に復旧した場合には、バックアップ R A M 領域のデータは保存されていたはずであるから、チェック結果は正常になる。チェック結果が正常でない場合には、内部状態を電源断時の状態に戻すことができないので、停電復旧時でない電源投入時に実行される初期化処理を実行する。

30

【 0 1 0 6 】

チェック結果が正常であれば (ステップ S 8)、C P U 5 6 は、遊技制御手段の内部状態と表示制御手段等の電気部品制御手段の制御状態を電源断時の状態に戻すための遊技状態復旧処理を行う (ステップ S 9)。そして、バックアップ R A M 領域に保存されていた P C (プログラムカウンタ) の退避値が P C に設定され、そのアドレスに復帰する。

【 0 1 0 7 】

40

初期化処理では、C P U 5 6 は、まず、R A M クリア処理を行う (ステップ S 1 1)。また、所定の作業領域 (例えば、普通図柄判定用乱数カウンタ、普通図柄判定用バッファ、特別図柄左中右図柄バッファ、払出コマンド格納ポインタなど) に初期値を設定する初期値設定処理も行われる。さらに、サブ基板 (ランプ制御基板 3 5、払出制御基板 3 7、音声制御基板 7 0、図柄制御基板 8 0) を初期化するための処理を実行する (ステップ S 1 3)。サブ基板を初期化する処理とは、例えば初期設定コマンドを送出する処理である。

【 0 1 0 8 】

そして、2 m s 毎に定期的にタイマ割込がかかるように C P U 5 6 に設けられている C T C のレジスタの設定が行われる (ステップ S 1 4)。すなわち、初期値として 2 m s に相当する値が所定のレジスタ (時間定数レジスタ) に設定される。そして、初期設定処理の

50

ステップ S 1 において割込禁止とされているので、初期化処理を終える前に割込が許可される（ステップ S 1 5 ）。

【 0 1 0 9 】

この実施の形態では、C P U 5 6 の内蔵 C T C が繰り返しタイマ割込を発生するように設定される。この実施の形態では、繰り返し周期は 2 m s に設定される。そして、タイマ割込が発生すると、図 1 6 に示すように、C P U 5 6 は、例えばタイマ割込が発生したことを示すタイマ割込フラグをセットする（ステップ S 1 2 ）。

【 0 1 1 0 】

初期化処理の実行（ステップ S 1 1 ～ S 1 5 ）が完了すると、メイン処理で、タイマ割込が発生したか否かの監視（ステップ S 1 7 ）の確認が行われるループ処理に移行する。なお、ループ内では、表示用乱数更新処理（ステップ S 1 6 ）も実行される。

10

【 0 1 1 1 】

C P U 5 6 は、ステップ S 1 7 において、タイマ割込が発生したことを認識すると、ステップ S 2 1 ～ S 3 1 の遊技制御処理を実行する。遊技制御処理において、C P U 5 6 は、まず、スイッチ回路 5 8 を介して、ゲートセンサ 1 2、始動口センサ 1 7、カウントセンサ 2 3 および入賞口スイッチ 1 9 a、1 9 b、2 4 a、2 4 b 等のスイッチの状態を入力し、それらの状態判定を行う（スイッチ処理：ステップ S 2 1 ）。

【 0 1 1 2 】

次いで、パチンコ遊技機 1 の内部に備えられている自己診断機能によって種々の異常診断処理が行われ、その結果に応じて必要ならば警報が発せられる（エラー処理：ステップ S 2 2 ）。

20

【 0 1 1 3 】

次に、遊技制御に用いられる大当たり判定用の乱数等の各判定用乱数を示す各カウンタを更新する処理を行う（ステップ S 2 3 ）。C P U 5 6 は、さらに、停止図柄の種類を決定する乱数等の表示用乱数を更新する処理を行う（ステップ S 2 4 ）。

【 0 1 1 4 】

さらに、C P U 5 6 は、特別図柄プロセス処理を行う（ステップ S 2 5 ）。特別図柄プロセス制御では、遊技状態に応じてパチンコ遊技機 1 を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理が選出されて実行される。そして、特別図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。また、普通図柄プロセス処理を行う（ステップ S 2 6 ）。普通図柄プロセス処理では、7 セグメント L E D による可変表示器 1 0 を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理が選出されて実行される。そして、普通図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。

30

【 0 1 1 5 】

次いで、C P U 5 6 は、特別図柄に関する表示制御コマンドを R A M 5 5 の所定の領域に設定して表示制御コマンドを送出する処理を行う（特別図柄コマンド制御処理：ステップ S 2 7 ）。また、普通図柄に関する表示制御コマンドを R A M 5 5 の所定の領域に設定して表示制御コマンドを送出する処理を行う（普通図柄コマンド制御処理：ステップ S 2 8 ）。

40

【 0 1 1 6 】

さらに、C P U 5 6 は、例えばホール管理用コンピュータに供給される大当たり情報、始動情報、確率変動情報などのデータを出力する情報出力処理を行う（ステップ S 2 9 ）。

【 0 1 1 7 】

また、C P U 5 6 は、所定の条件が成立したときにソレノイド回路 5 9 に駆動指令を行う（ステップ S 3 0 ）。ソレノイド回路 5 9 は、駆動指令に応じてソレノイド 1 6、2 1 を駆動し、可変入賞球装置 1 5 または開閉板 2 0 を開状態または閉状態とする。

【 0 1 1 8 】

そして、C P U 5 6 は、各入賞口への入賞を検出するためのスイッチ 1 7、2 3、1 9 a、1 9 b、2 4 a、2 4 b の検出出力にもとづく賞球数の設定などを行う賞球処理を実行

50

する（ステップS31）。具体的には、入賞検出に応じて払出制御基板37に払出制御コマンドを出力する。払出制御基板37に搭載されている払出制御用CPU371は、払出制御コマンドに応じて球払出装置97を駆動する。

【0119】

以上の制御によって、この実施の形態では、遊技制御処理は2ms毎に起動されることになる。なお、この実施の形態では、タイマ割込処理では例えば割込が発生したことを示すフラグのセットのみがなされ、遊技制御処理はメイン処理において実行されるが、タイマ割込処理で遊技制御処理を実行してもよい。

【0120】

また、メイン処理には遊技制御処理に移行すべきか否かを判定する処理が含まれ、CPU56の内部タイマが定期的に発生するタイマ割込にもとづくタイマ割込処理で遊技制御処理に移行すべきか否かを判定するためのフラグがセット等がなされるので、遊技制御処理の全てが確実に実行される。つまり、遊技制御処理の全てが実行されるまでは、次の遊技制御処理に移行すべきか否かの判定が行われないので、遊技制御処理中の全ての各処理が実行完了することは保証されている。

10

【0121】

以上に説明したように、この実施の形態では、CTCやPIOを内蔵するCPU56に対して、初期設定処理で割込モード2が設定される。従って、内蔵CTCを用いた定期的なタイマ割込処理を容易に実現できる。また、タイマ割込処理をプログラム上の任意の位置に設置できる。また、内蔵PIOを用いたスイッチ検出処理等を容易に割込処理で実現できる。その結果、プログラム構成が簡略化され、プログラム開発工数が低減する等の効果を得ることができる。

20

【0122】

なお、CTCおよびPIOの設定（ステップS5）が完了した後に、IEO/CLK0端子から出力されるクロック信号の周波数を定めるための内部レジスタの設定を行ってもよい。その際、クロック信号の周波数は、遊技制御処理の起動周期である2msに応じた周波数とされる。そのような設定を行うと、IEO/CLK0端子から、遊技制御処理の起動周期に応じた周波数のクロック信号がCPU56から外部出力される。すると、CPU56の外部において遊技制御処理の起動周期に対応した信号を観測することができる。よって、そのような信号を用いて、遊技機外部においてCPU56による遊技制御処理をシミュレーションしたり、CPU56の動作状況を試験したりすることが容易になる。

30

【0123】

また、図11および図12に示された出力ポート0～6のうち、出力ポート0, 1, 2, 3, 4は、遊技制御処理のうちの特別図柄コマンド制御処理（ステップS25）、普通図柄コマンド制御処理（ステップS27）、賞球処理（ステップS31）等でアクセスされる。また、出力ポート5は、情報出力処理（ステップS29）でアクセスされ、出力ポート6は、特別図柄プロセス処理（ステップS25）や普通図柄プロセス処理（ステップS26）でアクセスされる。

【0124】

次に、遊技制御手段から各電気部品制御手段に対する制御コマンドの送出方式について説明しておく。図17は、主基板31から他の電気部品制御基板に送出される制御コマンドのコマンド形態の一例を示す説明図である。この実施の形態では、制御コマンドは2バイト構成であり、1バイト目はMODE（コマンドの分類）を表し、2バイト目はEXT（コマンドの種類）を表す。MODEデータの先頭ビット（ビット7）は必ず「1」とされ、EXTデータの先頭ビット（ビット7）は必ず「0」とされる。なお、図17に示されたコマンド形態は一例であって他のコマンド形態を用いてもよい。

40

【0125】

図18は、遊技制御基板から他の各電気部品制御基板に対する制御コマンドを構成する8ビットの制御信号とINT信号（ストローブ信号）との関係を示すタイミング図である。図18に示すように、MODEまたはEXTのデータが出力ポートに出力されてから、所

50

定期間が経過すると、CPU 56は、データ出力を示す信号であるINT信号をオン状態にする。また、そこから所定期間が経過するとINT信号をオフ状態にする。

【0126】

遊技制御手段から払出制御基板等の各電気部品制御基板に制御コマンドを出力しようとするときに、コマンド送信テーブルの設定が行われる。図19(A)は、コマンド送信テーブルの一構成例を示す説明図である。1つのコマンド送信テーブルは3バイトで構成され、1バイト目にはINTデータが設定される。また、2バイト目のコマンドデータ1には、制御コマンドの1バイト目のMODEデータが設定される。そして、3バイト目のコマンドデータ2には、制御コマンドの2バイト目のEXTデータが設定される。

【0127】

なお、EXTデータそのものがコマンドデータ2の領域に設定されてもよいが、コマンドデータ2には、EXTデータが格納されているテーブルのアドレスを指定するためのデータが設定されるようにしてもよい。この実施の形態では、コマンドデータ2のビット7(ワークエリア参照ビット)が0であれば、コマンドデータ2にEXTデータそのものが設定されていることを示す。そのようなEXTデータはビット7が0であるデータである。ワークエリア参照ビットが1であれば、他の7ビットが、EXTデータが格納されているテーブルのアドレスを指定するためのオフセットであることを示す。また、この実施の形態では各制御コマンド毎にコマンド送信テーブルが用意されている。

【0128】

図19(B)INTデータの一構成例を示す説明図である。INTデータにおけるビット0は、払出制御基板37に払出制御コマンドを送出すべきか否かを示す。ビット0が「1」であるならば、払出制御コマンドを送出すべきことを示す。従って、CPU 56は、例えば賞球処理において、払出制御コマンドを送出するときには、払出制御コマンド用のコマンド送信テーブルのINTデータに「01(H)」を設定する。

【0129】

INTデータのビット1, 2, 3は、それぞれ、表示制御コマンド、ランプ制御コマンド、音声制御コマンドを送出すべきか否かを示すビットであり、CPU 56は、それらのコマンドを送出すべき場合には、ポインタが指しているコマンド送信テーブルに、INTデータ、コマンドデータ1およびコマンドデータ2を設定する。それらのコマンドを送出するときには、INTデータの該当ビットが「1」に設定され、コマンドデータ1およびコマンドデータ2にMODEデータおよびEXTデータが設定される。

【0130】

各電気部品制御基板への制御コマンドを、対応する出力ポート(出力ポート1~4)に出力する際に、出力ポート0のビット0~3のうちのいずれかのビットが所定期間オン状態になるのであるが、INTデータにおけるビット配列と出力ポート0におけるビット配列とは対応している。従って、各電気部品制御基板に御コマンドを送出する際に、コマンド送信テーブルに設定されているINTデータにもとづいて、容易にINT信号の出力を行うことができる。

【0131】

図20, 図21は、電源基板910からの電源断信号に応じて実行されるマスク不能割込処理(電力供給停止時処理)の処理例を示すフローチャートである。

【0132】

電力供給停止時処理において、CPU 56は、AFレジスタ(アキュムレータとフラグのレジスタ)を所定のバックアップRAM領域に退避する(ステップS51)。また、割込フラグをパリティフラグにコピーする(ステップS52)。パリティフラグはバックアップRAM領域に形成されている。また、BCレジスタ、DEレジスタ、HLレジスタ、IXレジスタおよびスタックポインタをバックアップRAM領域に退避する(ステップS54~58)。

【0133】

次に、バックアップあり指定値(この例では「55H」)をバックアップフラグにストア

10

20

30

40

50

する。バックアップフラグはバックアップ R A M 領域に形成されている。次いで、パリティデータを作成する（ステップ S 6 0 ～ S 6 7）。すなわち、まず、クリアデータ（0 0）をチェックサムデータエリアにセットし（ステップ S 6 0）、チェックサム算出開始アドレスをポインタにセットする（ステップ S 6 1）。また、チェックサム算出回数をセットする（ステップ S 6 2）。

【 0 1 3 4 】

そして、チェックサムデータエリアの内容とポインタが指す R A M 領域の内容との排他的論理和を演算する（ステップ S 6 3）。演算結果をチェックサムデータエリアにストアするとともに（ステップ S 6 4）、ポインタの値を 1 増やし（ステップ S 6 5）、チェックサム算出回数の値を 1 減算する（ステップ S 6 6）。ステップ S 6 3 ～ S 6 6 の処理が、

10

チェックサム算出回数の値が 0 になるまで繰り返される（ステップ S 6 7）。

【 0 1 3 5 】

チェックサム算出回数の値が 0 になったら、C P U 5 6 は、チェックサムデータエリアの内容の各ビットの値を反転する（ステップ S 6 8）。そして、反転後のデータをチェックサムデータエリアにストアする（ステップ S 6 9）。このデータが、電源投入時にチェックされるパリティデータとなる。次いで、R A M アクセスレジスタにアクセス禁止値を設定する（ステップ S 7 0）。以後、内蔵 R A M 5 5 のアクセスができなくなる。

【 0 1 3 6 】

さらに、C P U 5 6 は、クリアデータ（0 0）を適当なレジスタにセットし（ステップ S 7 1）、処理数（この例では「 7 」）を別のレジスタにセットする（ステップ S 7 2）。また、出力ポート 0 のアドレスを I O ポインタに設定する（ステップ S 7 3）。I O ポインタとして、さらに別のレジスタが用いられる。

20

【 0 1 3 7 】

そして、I O ポインタが指すアドレスにクリアデータをセットするとともに（ステップ S 7 4）、I O ポインタの値を 1 増やし（ステップ S 7 5）、処理数の値を 1 減算する（ステップ S 7 7）。ステップ S 7 4 ～ S 7 6 の処理が、処理数の値が 0 になるまで繰り返される。その結果、全ての出力ポート 0 ～ 6（図 1 1 および図 1 2 参照）にクリアデータが設定される。図 1 1 および図 1 2 に示すように、この例では、「 1 」がオン状態であり、クリアデータである「 0 0 」が各出力ポートにセットされるので、全ての出力ポートがオフ状態になる。

30

【 0 1 3 8 】

従って、遊技状態を保存するための処理（この例では、チェックサムの生成および R A M アクセス防止）が実行された後、各出力ポートは直ちにオフ状態になる。なお、この実施の形態では、遊技制御処理において用いられるデータが格納される R A M 領域は全て電源バックアップされている。従って、その内容が正しく保存されているか否かを示すチェックサムの生成処理、およびその内容を書き換えないようにするための R A M アクセス防止処理が、遊技状態を保存するための処理に相当する。

【 0 1 3 9 】

遊技状態を保存するための処理が実行された後、直ちに各出力ポートがオフ状態になるので、保存される遊技状態と整合しない状況が発生することは確実に防止される。図 2 0 に示す処理が実行されるときには、遊技機に対する電源供給が停止するので、電気部品に印加される電圧が低下していく。そして、印加電圧が駆動可能電圧を下回った時点で電気部品の駆動は停止する。従って、遊技機に対する電力供給停止時には、短時間の遅れはあるものの電気部品の駆動は停止する。

40

【 0 1 4 0 】

ところが、この実施の形態のような出力ポートに対するクリア処理を行わないと、遊技状態が保存された後、電力供給が停止するのを遊技制御手段が待っている間に可変入賞球装置 1 5 にさらに入賞してしまうこともある。そのような場合、電力供給再開時には保存されている遊技状態が復帰されるので保存時の始動入賞記憶数が始動記憶表示器 1 8 に表示される。すると、遊技者から見ると、始動入賞の保留記憶値が少なくなっている

50

ように見え、トラブルが発生しかねない。しかし、この実施の形態では、そのようなトラブルが生ずる可能性がなくなる。さらに、停電等が発生する直前に大入賞口を開放する制御がなされたまま電力供給停止時処理が実行されて待機ループに入った後、電源が落ちきらないまま復帰したような場合に、この実施の形態では、遊技制御は待機ループに入っているが大入賞口は開いたままになっているという現象が生じてしまうことが防止される。また、待機ループに入っている間に可変表示が開始されてしまう等の現象も防止することができる。

【0141】

また、遊技状態が保存された後に、可変入賞球装置しての大入賞口への入賞が発生する場合もあり得る。そのような場合、遊技者が認識している入賞個数と、電力供給復帰時に、保存されていた遊技状態にもとづいて表示部に表示される入賞個数とが食い違ってトラブルが生ずる可能性もある。しかし、この実施の形態では、そのようなトラブルが生ずる可能性がなくなる。

10

【0142】

出力ポートに対するクリア処理が完了すると、CPU56は、待機状態（ループ状態）に入る。従って、システムリセットされるまで、何もしない状態になる。

【0143】

なお、この実施の形態では、NMIに応じて電力供給停止時処理が実行されたが、電源断信号をCPU56のマスク可能端子に接続し、マスク可能割込処理によって電力供給停止時処理を実行してもよい。また、電源断信号を入力ポートに入力し、入力ポートのチェック結果に応じて電力供給停止時処理を実行してもよい。

20

【0144】

図22は、遊技機の電源断時の電源低下やNMI割込信号（ここでは、電源断信号）の様子を示すタイミング図である。遊技機に対する電力供給が断たれると、最も高い直流電源電圧であるVSLの電圧値は徐々に低下する。そして、この例では、+22Vにまで低下すると、図8に示された電源基板910に搭載されている電源監視用IC902から電源断信号（電圧低下信号）が出力される（ローレベルになる）。

【0145】

この実施の形態では、電源断信号は、主基板31および払出制御基板37に入力され、CPU56および払出制御用CPU371のNMI端子に入力される。主基板31のCPU56は、マスク不能割込処理によって、上述した電力供給停止時処理を実行する。

30

【0146】

VSLの電圧値がさらに低下して所定値（この例では+9V）にまで低下すると、図9に示されたように主基板31に搭載されているリセットIC651の出力がローレベルになり、CPU56がシステムリセット状態になる。なお、CPU56は、システムリセット状態とされる前に、電力供給停止時処理を完了している。

【0147】

VSLの電圧値がさらに低下してVcc（各種回路を駆動するための+5V）を生成することが可能な電圧を下回ると、各基板において各回路が動作できない状態となる。しかし、主基板31では、電力供給停止時処理が実行され、CPU56がシステムリセット状態とされている。

40

【0148】

なお、後述するように、払出制御基板37における払出制御用CPU371も、同様に電力供給停止時処理を行った後にシステムリセット状態になる。

【0149】

以下、遊技状態復旧処理について説明する。

図23は、図14のステップS9に示された遊技状態復旧処理の一例を示すフローチャートである。この例では、CPU56は、バックアップRAMに保存されていた値を各レジスタに復元する（ステップS91）。そして、バックアップRAMに保存されていたデータにもとづいて停電時の遊技状態を確認して復帰させる。すなわち、バックアップRAM

50

に保存されていたデータにもとづいて、ソレノイド回路 5 9 を介してソレノイド 1 6 やソレノイド 2 1 を駆動し、始動入賞口 1 4 や開閉板 2 0 の開閉状態の復旧を行う（ステップ S 9 2 , S 9 3 ）。また、電源断中でも保存されていた特別図柄プロセスフラグおよび普通図柄プロセスフラグの値に応じて、電源断時の特別図柄プロセス処理の進行状況および普通図柄プロセス処理の進行状況に対応した制御コマンドを、図柄制御基板 8 0、ランプ制御基板 3 5 および音声制御基板 7 0 に送出する（ステップ S 9 4 ）。

【 0 1 5 0 】

以上のように、遊技状態復旧処理では、復元された内部状態に応じて、各種電気部品の状態復元が行われるとともに、図柄制御基板 8 0、ランプ制御基板 3 5 および音声制御基板 7 0 に対して、制御状態を電源断時の状態に戻すための制御コマンド（電源断時の制御状態を生じさせるための制御コマンド）が送出される。そのような制御コマンドは、一般に、電源断前に最後に送出された 1 つまたは複数の制御コマンドである。

10

【 0 1 5 1 】

遊技状態を電源断時の状態に復帰させると、この実施の形態では、CPU 5 6 は、前回の電源断時の割込許可 / 禁止状態を復帰させるため、バックアップ RAM に保存されていたパリティフラグの値を確認する（ステップ S 9 5 ）。パリティフラグがオフ状態であれば、割込許可設定を行う（ステップ S 9 6 ）。しかし、パリティフラグがオン状態であれば、そのまま（ステップ S 1 で設定された割込禁止状態のまま）遊技状態復旧処理を終了する。パリティフラグがオン状態であるということは、図 2 0 におけるステップ S 5 2 に示されたように、前回の電源断時に割込禁止状態であったことを意味する。従って、パリティフラグがオン状態である場合には、割込許可はなされない。

20

【 0 1 5 2 】

次に、遊技制御手段以外の電気部品制御手段においてデータ保存処理および復旧処理が行われる場合の例として、払出制御手段においてデータ保存や復旧が行われる場合について説明する。

【 0 1 5 3 】

図 2 4 は、払出制御用 CPU 3 7 1 周りの一構成例を示すブロック図である。図 2 4 に示すように、電源基板 9 1 0 の電源監視回路（電源監視手段）からの電源断信号が、バッファ回路 9 6 0 を介して払出制御用 CPU 3 7 1 のマスク不能割込端子（XNM I 端子）に接続されている。従って、払出制御用 CPU 3 7 1 は、マスク不能割込処理によって電源断の発生を確認することができる。

30

【 0 1 5 4 】

払出制御用 CPU 3 7 1 の CLK / TRG 2 端子には、主基板 3 1 からの INT 信号が接続されている。CLK / TRG 2 端子にクロック信号が入力されると、払出制御用 CPU 3 7 1 に内蔵されているタイマカウンタレジスタ CLK / TRG 2 の値がダウンカウントされる。そして、レジスタ値が 0 になると割込が発生する。従って、タイマカウンタレジスタ CLK / TRG 2 の初期値を「1」に設定しておけば、INT 信号の入力に応じて割込が発生することになる。

【 0 1 5 5 】

払出制御基板 3 7 には、システムリセット回路 9 7 5 も搭載されているが、この実施の形態では、システムリセット回路 9 7 5 におけるリセット IC 9 7 6 は、電源投入時に、外付けのコンデンサに容量で決まる所定時間だけ出力をローレベルとし、所定時間が経過すると出力をハイレベルにする。また、リセット IC 9 7 6 は、VSL の電源電圧を監視して電圧値が所定値（例えば + 9 V）以下になると出力をローレベルにする。従って、電源断時には、リセット IC 9 7 6 からの信号がローレベルになることによって払出制御用 CPU 3 7 1 がシステムリセットされる。

40

【 0 1 5 6 】

リセット IC 9 7 6 が電源断を検知するための所定値は、通常時の電圧より低い、払出制御用 CPU 3 7 1 が暫くの間動作しうる程度の電圧である。また、リセット IC 9 7 6 が、払出制御用 CPU 3 7 1 が必要とする電圧（この例では + 5 V）よりも高い電圧を監

50

視するように構成されているので、払出制御用CPU371が必要とする電圧に対して監視範囲を広げることができる。従って、より精密な監視を行うことができる。

【0157】

+5V電源から電力が供給されていない間、払出制御用CPU371の内蔵RAMの少なくとも一部は、電源基板から供給されるバックアップ電源がバックアップ端子に接続されることによってバックアップされ、遊技機に対する電源が断しても内容は保存される。そして、+5V電源が復旧すると、システムリセット回路975からリセット信号が発せられるので、払出制御用CPU371は、通常の動作状態に復帰する。そのとき、必要なデータがバックアップされているので、停電等からの復旧時には停電発生時の払出制御状態に復帰することができる。

10

【0158】

なお、図24に示された構成では、システムリセット回路975は、電源投入時に、コンデンサの容量で決まる期間のローレベルを出力し、その後ハイレベルを出力する。すなわち、リセット解除タイミングは1回だけである。しかし、図9に示された主基板31の場合と同様に、複数回のリセット解除タイミングが発生するような回路構成を用いてもよい。

【0159】

図25は、この実施の形態における出力ポートの割り当てを示す説明図である。図25に示すように、出力ポートC（アドレス00H）は、払出モータ289に出力される駆動信号の出力ポートである。また、出力ポートD（アドレス01H）は、7セグメントLEDであるエラー表示LED374に出力される表示制御信号の出力ポートである。そして、出力ポートE（アドレス02H）は、振分ソレノイド310に出力される駆動信号、およびカードユニット50に対するEXS信号とPRDY信号とを出力するための出力ポートである。

20

【0160】

図26は、この実施の形態における入力ポートのビット割り当てを示す説明図である。図26に示すように、入力ポートA（アドレス06H）は、主基板31から送出された払出制御コマンドの8ビットの払出制御信号を取り込むための入力ポートである。また、入力ポートB（アドレス07H）のビット0～2には、それぞれ、賞球カウントスイッチ301A、球貸しカウントスイッチ301B、モータ位置センサの検出信号入力される。ビット3～5には、カードユニット50からのBRDY信号、BRQ信号およびVL信号が入力される。

30

【0161】

図27は、払出制御用CPU371のメイン処理を示すフローチャートである。メイン処理では、払出制御用CPU371は、まず、必要な初期設定を行う。すなわち、払出制御用CPU371は、まず、割込禁止に設定する（ステップS701）。次に、割込モードを割込モード2に設定し（ステップS702）、スタックポインタにスタックポインタ指定アドレスを設定する（ステップS703）。また、払出制御用CPU371は、内蔵デバイスレジスタの初期化を行い（ステップS704）、CTCおよびPIOの初期化（ステップS705）を行った後に、RAMをアクセス可能状態に設定する（ステップS706）。

40

【0162】

この実施の形態では、内蔵CTCのうちの一つのチャンネルがタイマモードで使用される。従って、ステップS704の内蔵デバイスレジスタの設定処理およびステップS705の処理において、使用するチャンネルをタイマモードに設定するためのレジスタ設定、割込発生を許可するためのレジスタ設定および割込ベクタを設定するためのレジスタ設定が行われる。そして、そのチャンネルによる割込がタイマ割込として用いられる。タイマ割込を例えば2ms毎に発生させたい場合は、初期値として2msに相当する値が所定のレジスタ（時間定数レジスタ）に設定される。

【0163】

50

なお、タイマモードに設定されたチャンネル（この実施の形態ではチャンネル３）に設定される割込ベクタは、タイマ割込処理の先頭番地に相当するものである。具体的は、レジスタに設定された値と割込ベクタとでタイマ割込処理の先頭番地が特定される。タイマ割込処理ではタイマ割込フラグがセットされ、メイン処理でタイマ割込フラグがセットされていることが検知されると、払出制御処理が実行される。すなわち、タイマ割込処理では、電気部品制御処理の一例である払出制御処理を実行するための設定がなされる。

【０１６４】

また、内蔵ＣＴＣのうちの他の一つのチャンネル（この実施の形態ではチャンネル２）が、遊技制御手段からの払出制御コマンド受信のための割込発生用のチャンネルとして用いられ、そのチャンネルがカウンタモードで使用される。従って、ステップＳ７０４の内蔵デバイスレジスタの設定処理およびステップＳ７０５の処理において、使用するチャンネルをカウンタモードに設定するためのレジスタ設定、割込発生を許可するためのレジスタ設定および割込ベクタを設定するためのレジスタ設定が行われる。

10

【０１６５】

カウンタモードに設定されたチャンネル（チャンネル２）に設定される割込ベクタは、後述するコマンド受信割込処理の先頭番地に相当するものである。具体的は、レジスタに設定された値と割込ベクタとでコマンド受信割込処理の先頭番地が特定される。

【０１６６】

この実施の形態では、払出制御用ＣＰＵ３７１でも割込モード２が設定される。従って、内蔵ＣＴＣのカウントアップにもとづく割込処理を使用することができる。また、ＣＴＣが送出した割込ベクタに応じた割込処理開始番地を設定することができる。

20

【０１６７】

ＣＴＣのチャンネル２（ＣＨ２）のカウントアップにもとづく割込は、上述したタイマカウンタレジスタＣＬＫ／ＴＲＧ２の値が「０」になったときに発生する割込である。従って、例えばステップＳ７０５において、特定レジスタとしてのタイマカウンタレジスタＣＬＫ／ＴＲＧ２に初期値「１」が設定される。また、ＣＴＣのチャンネル３（ＣＨ３）のカウントアップにもとづく割込は、ＣＰＵの内部クロック（システムクロック）をカウントダウンしてレジスタ値が「０」になったら発生する割込であり、後述する２ｍｓタイマ割込として用いられる。具体的には、ＣＨ３のレジスタ値はシステムクロックの１／２５６周期で減算される。ステップＳ７０５において、ＣＨ３のレジスタには、初期値として２ｍ

30

【０１６８】

ＣＴＣのＣＨ２のカウントアップにもとづく割込は、ＣＨ３のカウントアップにもとづく割込よりも優先順位が高い。従って、同時にカウントアップが生じた場合に、ＣＨ２のカウントアップにもとづく割込、すなわち、コマンド受信割込処理の実行契機となる割込の方が優先される。

【０１６９】

そして、払出制御用ＣＰＵ３７１は、払出制御用のバックアップＲＡＭ領域にバックアップデータが存在しているか否かの確認を行う（ステップＳ７０７）。すなわち、例えば、主基板３１のＣＰＵ５６の処理と同様に、電源断時にセットされるバックアップフラグがセット状態になっているか否かによって、バックアップデータが存在しているか否かを確認する。バックアップフラグがセット状態になっている場合には、バックアップデータありと判断する。

40

【０１７０】

バックアップありを確認したら、払出制御用ＣＰＵ３７１は、バックアップＲＡＭ領域のデータチェック（この例ではパリティチェック）を行う。不測の電源断が生じた後に復旧した場合には、バックアップＲＡＭ領域のデータは保存されていたはずであるから、チェック結果は正常になる。チェック結果が正常でない場合には、内部状態を電源断時の状態に戻すことができないので、停電復旧時でない電源投入時に実行される初期化処理を実行する。

50

【0171】

チェック結果が正常であれば（ステップS708）、払出制御用CPU371は、内部状態を電源断時の状態に戻すための払出状態復旧処理を行う（ステップS709）。そして、バックアップRAM領域に保存されていたPC（プログラムカウンタ）の指すアドレスに復帰する。

【0172】

初期化処理では、払出制御用CPU371は、まず、RAMクリア処理を行う（ステップS711）。そして、2ms毎に定期的にタイマ割込がかかるように払出制御用CPU371に設けられているCTCのレジスタの設定が行われる（ステップS712）。すなわち、初期値として2msに相当する値が所定のレジスタ（時間定数レジスタ）に設定される。そして、初期設定処理のステップS701において割込禁止とされているので、初期化処理を終える前に割込が許可される（ステップS713）。 10

【0173】

この実施の形態では、払出制御用CPU371の内蔵CTCが繰り返しタイマ割込を発生するように設定される。この実施の形態では、繰り返し周期は2msに設定される。そして、タイマ割込が発生すると、図28に示すように、払出制御用CPU371は、例えばタイマ割込が発生したことを示すタイマ割込フラグをセットする（ステップS721）。なお、図28には割込を許可することも明示されているが（ステップS720）、2msタイマ割込処理では、最初に割込許可状態に設定される。すなわち、2msタイマ割込処理中には割込許可状態になってので、INT信号の入力にもとづく払出制御コマンド受信処理を優先して実行することができる。 20

【0174】

払出制御用CPU371は、ステップS724において、タイマ割込フラグがセットされたことを検出するとステップS751以降の払出制御処理を実行する。以上の制御によって、この実施の形態では、払出制御処理は2ms毎に起動されることになる。なお、この実施の形態では、タイマ割込処理ではフラグセットのみがなされ、払出制御処理はメイン処理において実行されるが、タイマ割込処理で払出制御処理を実行してもよい。

【0175】

払出制御処理において、払出制御用CPU371は、まず、中継基板72を介して入力ポート372bに入力される賞球カウントスイッチ301A、球貸しカウントスイッチ301Bがオンしたか否かを判定する（スイッチ処理：ステップS751）。 30

【0176】

次に、払出制御用CPU371は、センサ（例えば、払出モータ289の回転数を検出するモータ位置センサ）からの信号入力状態を確認してセンサの状態を判定する等の処理を行う（入力判定処理：ステップS752）。払出制御用CPU371は、さらに、受信した払出制御コマンドを解析し、解析結果に応じた処理を実行する（コマンド解析実行処理：ステップS753）。

【0177】

次いで、払出制御用CPU371は、主基板31から払出停止指示コマンドを受信していたら払出停止状態に設定し、払出開始指示コマンドを受信していたら払出停止状態の解除を行う（ステップS754）。また、プリペイドカードユニット制御処理を行う（ステップS755）。 40

【0178】

次いで、払出制御用CPU371は、球貸し要求に応じて貸し球を払い出す制御を行う（ステップS756）。このとき、払出制御用CPU371は、振分ソレノイド310によって球振分部材311を球貸し側に設定する。

【0179】

さらに、払出制御用CPU371は、総合個数記憶に格納された個数の賞球を払い出す賞球制御処理を行う（ステップS757）。このとき、払出制御用CPU371は、振分ソレノイド310によって球振分部材311を賞球側に設定する。そして、出力ポート37 50

2 c および中継基板 7 2 を介して球払出装 9 7 の払出機構部分における払出モータ 2 8 9 に対して駆動信号を出力し、所定の回転数分払出モータ 2 8 9 を回転させる払出モータ制御処理を行う (ステップ S 7 5 8)。

【 0 1 8 0 】

なお、この実施の形態では、払出モータ 2 8 9 としてステッピングモータが用いられ、それらを制御するために 1 - 2 相励磁方式が用いられる。従って、具体的には、払出モータ制御処理において、8 種類の励磁パターンデータが繰り返し払出モータ 2 8 9 に出力される。また、この実施の形態では、各励磁パターンデータが 4 m s ずつ出力される。

【 0 1 8 1 】

次いで、エラー検出処理が行われ、その結果に応じてエラー表示 L E D 3 7 4 に所定の表示を行う (エラー処理: ステップ S 7 5 9)。

【 0 1 8 2 】

なお、出力ポート C は、払出制御処理における払出モータ制御処理 (ステップ S 7 5 8) でアクセスされる。また、出力ポート D は、払出制御処理におけるエラー処理 (ステップ S 7 5 9) でアクセスされる。そして、出力ポート E は、払出制御処理における球貸し制御処理 (ステップ S 7 5 6) および賞球制御処理 (ステップ S 7 5 7) でアクセスされる。

【 0 1 8 3 】

図 2 9 は、払出制御用 C P U 3 7 1 が内蔵する R A M の使用例を示す説明図である。この例では、バックアップ R A M 領域に、総合個数記憶 (例えば 2 バイト) と貸し球個数記憶とがそれぞれ形成されている。総合個数記憶は、主基板 3 1 の側から指示された賞球払出個数の総数を記憶するものである。貸し球個数記憶は、未払出の球貸し個数を記憶するものである。

【 0 1 8 4 】

このように、未払出の賞球個数と貸し球個数とが、所定期間はその内容を保持可能なバックアップ R A M 領域に記憶されるので、停電等の不測の電源断が生じて、所定期間内に電源復旧すれば、バックアップ R A M 領域に記憶される賞球処理および球貸し処理を続行できる。従って、遊技者に与えられる不利益を低減することができる。

【 0 1 8 5 】

図 3 0 , 図 3 1 は、電源基板 9 1 0 からの電源断信号に応じて実行されるマスク不能割込処理 (電力供給停止時処理) の処理例を示すフローチャートである。

【 0 1 8 6 】

電力供給停止時処理において、払出制御用 C P U 3 7 1 は、A F レジスタを所定のバックアップ R A M 領域に退避する (ステップ S 8 0 1)。また、割込フラグをパリティフラグにコピーする (ステップ S 8 0 2)。パリティフラグはバックアップ R A M 領域に形成されている。また、B C レジスタ、D E レジスタ、H L レジスタ、I X レジスタおよびスタックポインタをバックアップ R A M 領域に退避する (ステップ S 8 0 4 ~ 8 0 8)。

【 0 1 8 7 】

次に、バックアップあり指定値 (この例では「5 5 H」) をバックアップフラグにストアする。バックアップフラグはバックアップ R A M 領域に形成されている。次いで、主基板 3 1 の C P U 5 6 の処理と同様の処理を行ってパリティデータを作成しバックアップ R A M 領域に保存する (ステップ S 8 1 0 ~ S 8 1 9)。そして、R A M アクセスレジスタにアクセス禁止値を設定する (ステップ S 8 2 0)。以後、内蔵 R A M のアクセスができなくなる。

【 0 1 8 8 】

さらに、払出制御用 C P U 3 7 1 は、クリアデータ (0 0) を適当なレジスタにセットし (ステップ S 8 2 1)、処理数 (この例では「3」) を別のレジスタにセットする (ステップ S 8 2 2)。また、出力ポート C のアドレス (この例では「0 0 H」) を I O ポインタに設定する (ステップ S 8 2 3)。I O ポインタとして、さらに別のレジスタが用いられる。

10

20

30

40

50

【 0 1 8 9 】

そして、I O ポインタが指すアドレスにクリアデータをセットするとともに（ステップ S 8 2 4）、I O ポインタの値を 1 増やし（ステップ S 8 2 5）、処理数の値を 1 減算する（ステップ S 8 2 7）。ステップ S 8 2 4 ~ S 8 2 6 の処理が、処理数の値が 0 になるまで繰り返される。その結果、全ての出力ポート C ~ E（図 2 5 参照）にクリアデータが設定される。図 2 5 に示すように、この例では、「1」がオン状態であり、クリアデータである「0 0」が各出力ポートにセットされるので、全ての出力ポートがオフ状態になる。

【 0 1 9 0 】

従って、遊技状態を保存するための処理（この例では、チェックサムの生成および R A M アクセス防止）が実行された後、各出力ポートは直ちにオフ状態になる。なお、この実施の形態では、払出制御処理において用いられるデータが格納される R A M 領域は全て電源バックアップされている。従って、その内容が正しく保存されているか否かを示すチェックサムの生成処理、およびその内容を書き換えないようにするための R A M アクセス防止処理が、払出制御状態を保存するための処理に相当する。

10

【 0 1 9 1 】

制御状態を保存するための処理が実行された後、直ちに各出力ポートがオフ状態になるので、保存される遊技状態と整合しない状況が発生することは確実に防止される。一般に遊技機に対する電源供給が停止するときには、短時間の遅れはあるものの、各電気部品に対する電力供給も停止して動作が停止する。ところが、そのような自然な動作停止を期待すると、不都合が生ずる場合がある。

20

【 0 1 9 2 】

例えば、払出モータ 2 8 9 に対する駆動信号のクリア処理（オフ処理）がなされないと、払出モータ 2 8 9 が動作不能になる電圧にまで電源電圧が低下していく最中で遊技球の払い出しがなされてしまうことがある。ところが、その前の段階で未払出数が保存されているので、電源電圧が復旧して保存されているデータにもとづいて払出処理を続行したのでは、余分に遊技球を払い出してしまうことになる。しかし、この実施の形態では、払出制御状態を保存したら直ちに出力ポートのクリア処理が行われるので、そのような不都合が生ずることを防止することができる。

【 0 1 9 3 】

すなわち、この実施の形態では、遊技機への電力供給停止時に制御状態をバックアップ記憶手段に保存するように構成した場合に、制御の矛盾等を生じさせないようにすることができる。

30

【 0 1 9 4 】

出力ポートに対するクリア処理が完了すると、払出制御用 C P U 3 7 1 は、待機状態（ループ状態）に入る。従って、システムリセットされるまで、何もしない状態になる。

【 0 1 9 5 】

なお、この実施の形態では、N M I に応じて電力供給停止時処理が実行されたが、電源断信号を払出制御用 C P U 3 7 1 のマスク可能端子に接続し、マスク可能割込処理によって電力供給停止時処理を実行してもよい。また、電源断信号を入力ポートに入力し、入力ポートのチェック結果に応じて電力供給停止時処理を実行してもよい。

40

【 0 1 9 6 】

以上のように、この実施の形態では、電気部品制御手段が、電力供給が停止する際に実行する電力供給停止時処理で、電気部品の作動を停止させるためのクリア信号を出力する。従って、遊技機への電力供給停止時に保存した制御状態が、遊技機における実際の制御状態と矛盾してしまうようなことが防止される。

【 0 1 9 7 】

さらに、この実施の形態では、電気部品の作動を停止させるためのクリア信号を出力する場合に、所定のレジスタ等にクリアデータを設定した後に、出力ポートに対して、レジスタ等に設定されているクリアデータを順次各出力ポートに出力する繰り返し処理が行われる（図 2 1 におけるステップ S 7 4 ~ S 7 7、図 3 1 におけるステップ S 8 2 4 ~ S 8 2

50

7)。従って、クリア信号出力処理を迅速に行うことができ、遊技機への電力供給停止時に保存した制御状態と実際の制御状態との間の矛盾発生をより効果的に防止できる。

【0198】

図32は、本発明の他の実施の形態における遊技制御手段のマスク不能割込処理（電力供給停止時処理）の一部を示すフローチャートである。図32に示すフローチャートは、図20に示されたステップS51～S70の処理に続いて実行される。すなわち、この実施の形態では、RAMアクセス禁止状態に設定された後（ステップS70）、クリアデータテーブルの先頭アドレスがポインタにセットされ（ステップS78）、次いで、データクリア処理が実行された後に（ステップS79）、システムリセットを待つ待機状態に入る。なお、ポインタとして所定のレジスタが用いられる。

10

【0199】

図33は、クリアデータテーブルの一構成例を示す説明図である。図33に示す例では、クリアデータテーブルには、順に、処理数データ（この例では「7」）、出力ポート0のアドレス、出力ポート0に設定されるべきクリアデータ、・・・、出力ポート6のアドレス、出力ポート6に設定されるべきクリアデータが設定されている。出力ポートのアドレスとクリアデータとは、出力ポートのアドレスが小さいものから順に設定されている。

【0200】

図34は、ステップS79のデータクリア処理を示すフローチャートである。データクリア処理において、CPU56は、ポインタの指すアドレスから処理数データを抽出する（ステップS81）。そして、ポインタの値を1増やす（ステップS82）。次いで、ポインタの指すアドレスからアドレスデータ（出力ポートのアドレス）を抽出する（ステップS83）。さらに、ポインタの値を1増やす（ステップS84）。

20

【0201】

そして、ポインタの指すアドレスからクリアデータを抽出し（ステップS85）、そのデータを、ステップS83で抽出したアドレスに設定する（ステップS86）。次に、処理数の値を1減算し（ステップS87）、処理数が0になったらデータクリア処理を終了する（ステップS88）。処理数が0でない場合には、ステップS81に戻る。

【0202】

図35は、本発明の他の実施の形態における払出制御手段のクリアデータテーブルを用いたマスク不能割込処理（電力供給停止時処理）の一部を示すフローチャートである。図35に示すフローチャートは、図30に示されたステップS801～S820の処理に続いて実行される。すなわち、この実施の形態では、RAMアクセス禁止状態に設定された後（ステップS820）、クリアデータテーブルの先頭アドレスがポインタにセットされ（ステップS831）、次いで、データクリア処理が実行された後に（ステップS832）、システムリセットを待つ待機状態に入る。なお、ポインタとして所定のレジスタが用いられる。

30

【0203】

図36は、クリアデータテーブルの一構成例を示す説明図である。図36に示す例では、クリアデータテーブルには、順に、処理数データ（この例では「3」）、出力ポートCのアドレス（アドレス00H）、出力ポートCに設定されるべきクリアデータ、・・・、出力ポートEのアドレス（アドレス02H）、出力ポートEに設定されるべきクリアデータが設定されている。出力ポートのアドレスとクリアデータとは、出力ポートのアドレスが小さいものから順に設定されている。なお、出力ポートのアドレス割り当ては、規則的に並んだアドレスであれば、1つ飛び等でもよく、そのような場合でも、加算値を変えることによって次アドレスを容易に求めることができる。また、演算は加算に限らず、アドレスの割り当て方等に応じて減算や積算等であってもよい。

40

【0204】

図37は、ステップS832のデータクリア処理を示すフローチャートである。データクリア処理において、払出制御用CPU371は、ポインタの指すアドレスから処理数データを抽出する（ステップS841）。そして、ポインタの値を1増やす（ステップS84

50

2)。次いで、ポインタの指すアドレスからアドレスデータ（出力ポートのアドレス）を抽出する（ステップS 8 4 3）。さらに、ポインタの値を1増やす（ステップS 8 4 4）。

【0205】

そして、ポインタの指すアドレスからクリアデータを抽出し（ステップS 8 4 5）、そのデータを、ステップS 8 4 3で抽出したアドレスに設定する（ステップS 8 4 6）。次に、処理数の値を1減算し（ステップS 8 4 7）、処理数が0になったらデータクリア処理を終了する（ステップS 8 4 8）。処理数が0でない場合には、ステップS 8 4 1に戻る。

【0206】

クリアデータテーブルを用いるようにしても、クリア信号出力処理を迅速に行うことができ、遊技機への電力供給停止時に保存した制御状態と実際の制御状態との間の矛盾発生をより効果的に防止できる。そして、クリアデータテーブルを用いる場合には、テーブルにおいて、アドレスデータとクリアデータとをアドレス順に並べなくてもよく、テーブル構成の自由度が増す。例えば、試験信号などを用いる遊技機において試験信号をクリアしないようにしたい場合に、試験信号に関する出力ポートに関するデータをテーブルから除外することによって、容易に試験信号のクリア処理を除外することができる。また、出力ポートの増減や変更があったような場合に、テーブルの内容を変更するだけでよく、プログラム変更の必要はない。

【0207】

なお、クリアデータが全ての出力ポートについて00Hである場合には、クリアデータテーブルにクリアデータを含めなくてもよい。その場合には、図34および図37に示されたデータクリア処理におけるステップS 8 4, S 8 5およびS 8 4 4, S 8 4 5の処理は不要であり、ステップS 8 6およびステップS 8 4 6において、アドレスデータが指すアドレスにクリアデータ00Hが設定される。

【0208】

以上のように、上記の各実施の形態では、出力ポートをクリアする出力ポートクリア処理が、クリアする出力ポートのアドレスが所定の順序に従って演算によって設定されるように構成されていたり、クリアする出力ポートのアドレスが所定のデータテーブルの内容にもとづいて取得されるように構成されているので、出力ポートのクリア処理を迅速に行うことができる。また、出力ポートクリア処理に関するプログラム容量が削減される。

【0209】

また、特に、電力供給停止時処理において電気部品制御手段がクリア信号を出力するので、各電気部品の作動状態を、保存された遊技状態と矛盾しないようにすることができる。例えば、遊技状態を保存した直後に、開放中の大入賞口を閉成したり、開放中の可変入賞球装置15を閉成したり、駆動状態にある払出モータ289の作動を停止することによって、適切な停止状態で電源復旧を待つことができる。

【0210】

なお、上記の各実施の形態では、出力ポートのクリア処理が電力供給停止時処理で実行される場合を例にしたが、制御進行上の他のタイミングでも、上記の実施の形態の出力ポートクリア処理を適用することができる。例えば、電源投入時の初期化処理において全ての出力ポートをクリアするように構成されている場合に、クリア処理が、クリアする出力ポートのアドレスが所定の順序に従って演算によって設定されるように構成されていたり、クリアする出力ポートのアドレスが所定のデータテーブルの内容にもとづいて取得されるように構成されていてもよい。

【0211】

さらに、上述した各実施の形態では、遊技制御手段以外の他の電気部品制御手段として払出制御手段を例示したが、表示制御手段、音制御手段およびランプ制御手段についても、上述した制御状態保存処理を行うように構成し、電力供給停止時処理においてクリア信号を出力し、それぞれの電気部品制御手段が制御する電気部品の作動を停止するようにして

10

20

30

40

50

もよい。そのように構成すれば、他の電気部品制御手段も、停止状態となる前に各電気部品の作動を停止状態にすることができ、適切な停止状態で電源復旧を待つことができる。

【0212】

また、上記の実施の形態では、電源監視回路は電源基板910に設けられたが、電源監視回路は主基板31や払出制御基板37などの電気部品制御基板に設けられていてもよい。電源回路が搭載された電気部品制御基板が構成される場合には、電源基板には電源監視回路は搭載されない。

【0213】

上記の各実施の形態のパチンコ遊技機1は、始動入賞にもとづいて可変表示部9に可変表示される特別図柄の停止図柄が所定の図柄の組み合わせになると所定の遊技価値が遊技者に付与可能になる第1種パチンコ遊技機であったが、始動入賞にもとづいて開放する電動役物の所定領域への入賞があると所定の遊技価値が遊技者に付与可能になる第2種パチンコ遊技機や、始動入賞にもとづいて可変表示される図柄の停止図柄が所定の図柄の組み合わせになると開放する所定の電動役物への入賞があると所定の権利が発生または継続する第3種パチンコ遊技機であっても、本発明を適用できる。

【0214】

さらに、パチンコ遊技機に限られず、スロット機等においても、何らかの動作をする電気部品が備えられている場合などには本発明を適用することができる。

【0215】

【発明の効果】

以上のように、本発明によれば、電気部品制御手段は、遊技機への電力供給が停止する際に所定の電力供給停止時処理を行うことが可能であり、電気部品制御手段が所定のデータを出力するための複数の出力ポートが設けられ、複数の出力ポートにはそれぞれアドレスが割り当てられており、電気部品制御手段が、クリアデータを出力する出力ポートのアドレスデータ、および出力ポートに出力されるクリアデータが各々複数設定されたデータテーブルを有し、電力供給停止時処理にて、複数の出力ポートにクリアデータを出力する出力ポートクリア処理を行うことが可能であり、出力ポートクリア処理では、クリアデータを出力する出力ポートのアドレスを、データテーブルを参照することによって設定し、データテーブルに設定されているクリアデータを出力ポートに出力する処理を繰り返し実行するように構成したので、出力ポートのクリア処理を迅速に行うことができるとともに、出力ポートクリア処理に関するプログラム容量が削減される効果がある。また、各電気部品の作動状態を、保存された遊技状態と矛盾しないようにすることができる。

【0219】

データテーブルに、クリアデータを出力する処理の繰り返し回数を示す回数データも格納されている場合には、ポート数の増減があった場合に、データテーブルを変更するだけでよく、プログラムを変更する必要はない。

【0220】

出力ポートクリア処理によって、外部へ出力する制御に関わる情報の出力データもクリアされるように構成されている場合には、遊技機外部に出力される情報が、遊技機における制御内容と一致することが保証される。

【0221】

出力ポートクリア処理によって可変入賞球装置の駆動が停止するように構成されている場合には、可変入賞球装置が開放したままになるようなことはない。

【0222】

出力ポートクリア処理によって、払出制御手段へのコマンドデータがクリアされるように構成されている場合には、コマンドデータの出力状態が継続してしまうようなことはない。

【図面の簡単な説明】

【図1】 パチンコ遊技機を正面からみた正面図である。

【図2】 パチンコ遊技機の裏面に設けられている各基板を示す説明図である。

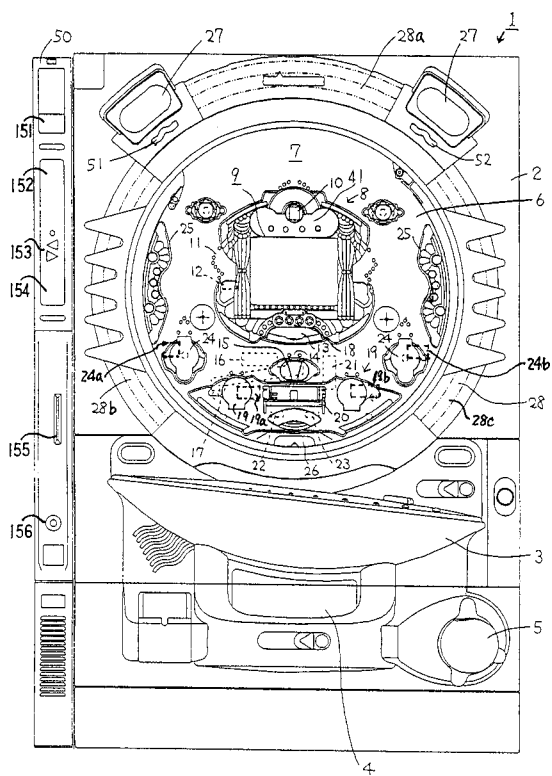
- 【図 3】 パチンコ遊技機の機構盤を背面からみた背面図である。
- 【図 4】 機構板に設置されている中間ベースユニット周りの構成を示す正面図である。
- 【図 5】 球払出装置を示す分解斜視図である。
- 【図 6】 遊技制御基板（主基板）の回路構成を示すブロック図である。
- 【図 7】 払出制御基板および球払出装置の構成要素などの賞球に関連する構成要素を示すブロック図である。
- 【図 8】 電源基板の一構成例を示すブロック図である。
- 【図 9】 主基板における CPU 周りの一構成例を示すブロック図である。
- 【図 10】 CPU の内部構成をより詳細に示すブロック図である。
- 【図 11】 出力ポートのビット割り当ての一例を示す説明図である。 10
- 【図 12】 出力ポートのビット割り当ての一例を示す説明図である。
- 【図 13】 入力ポートのビット割り当ての一例を示す説明図である。
- 【図 14】 主基板における CPU が実行するメイン処理を示すフローチャートである。
- 【図 15】 バックアップフラグと遊技状態復旧処理を実行するか否かとの関係の一例を示す説明図である。
- 【図 16】 2 m s タイマ割込処理を示すフローチャートである。
- 【図 17】 制御コマンドのコマンド形態の一例を示す説明図である。
- 【図 18】 制御コマンドを構成する 8 ビットの制御信号と I N T 信号との関係を示すタイミング図である。
- 【図 19】 コマンド送信テーブルの一構成例を示す説明図である。 20
- 【図 20】 遊技制御手段における電力供給停止時処理を示すフローチャートである。
- 【図 21】 遊技制御手段における電力供給停止時処理を示すフローチャートである。
- 【図 22】 遊技機の電源断時の電源低下や N M I 割込信号の様子を示すタイミング図である。
- 【図 23】 遊技状態復旧処理の一例を示すフローチャートである。
- 【図 24】 電源監視および電源バックアップのための払出制御用 CPU 周りの一構成例を示すブロック図である。
- 【図 25】 出力ポートのビット割り当ての一例を示す説明図である。
- 【図 26】 入力ポートのビット割り当ての一例を示す説明図である。
- 【図 27】 払出制御基板における CPU が実行するメイン処理を示すフローチャートである。 30
- 【図 28】 2 m s タイマ割込処理を示すフローチャートである。
- 【図 29】 払出制御手段における R A M の一構成例を示す説明図である。
- 【図 30】 払出制御手段における電力供給停止時処理を示すフローチャートである。
- 【図 31】 払出制御手段における電力供給停止時処理を示すフローチャートである。
- 【図 32】 遊技制御手段における電力供給停止時処理の他の例を示すフローチャートである。
- 【図 33】 クリアデータテーブルの一構成例を示す説明図である。
- 【図 34】 データクリア処理を示すフローチャートである。
- 【図 35】 払出制御手段における電力供給停止時処理の他の例を示すフローチャートである。 40
- 【図 36】 クリアデータテーブルの一構成例を示す説明図である。
- 【図 37】 データクリア処理を示すフローチャートである。

【符号の説明】

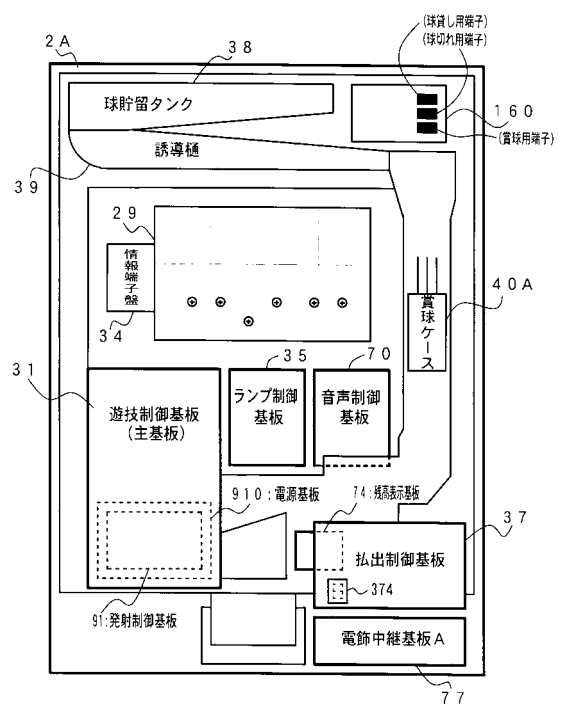
- 3 1 遊技制御基板（主基板）
- 3 7 払出制御基板
- 5 4 R O M
- 5 5 R A M
- 5 6 C P U
- 5 7 I / O ポート

3 7 1 払出制御用CPU

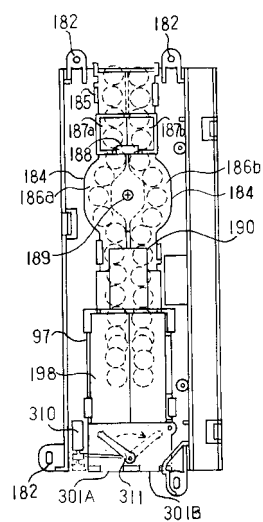
【 圖 1 】



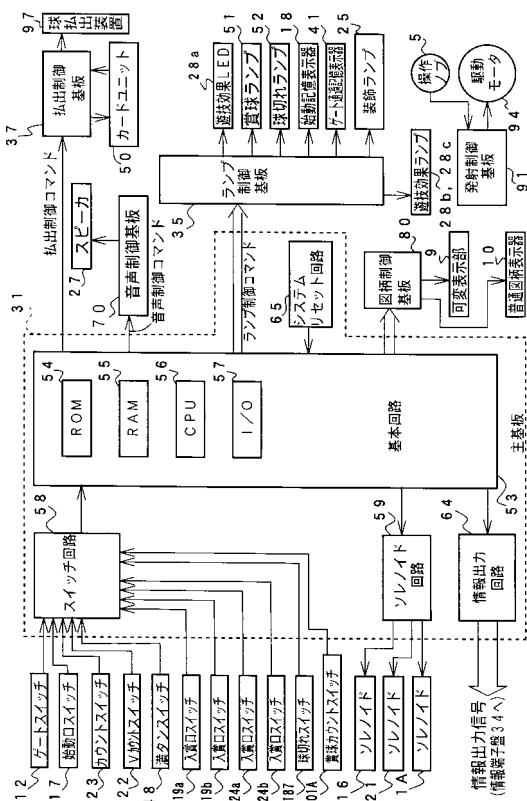
【 図 2 】



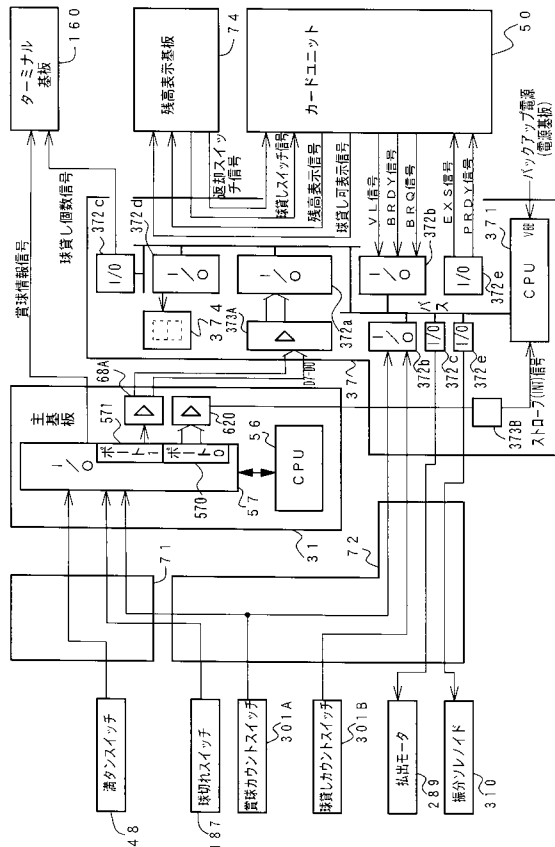
【 図 4 】



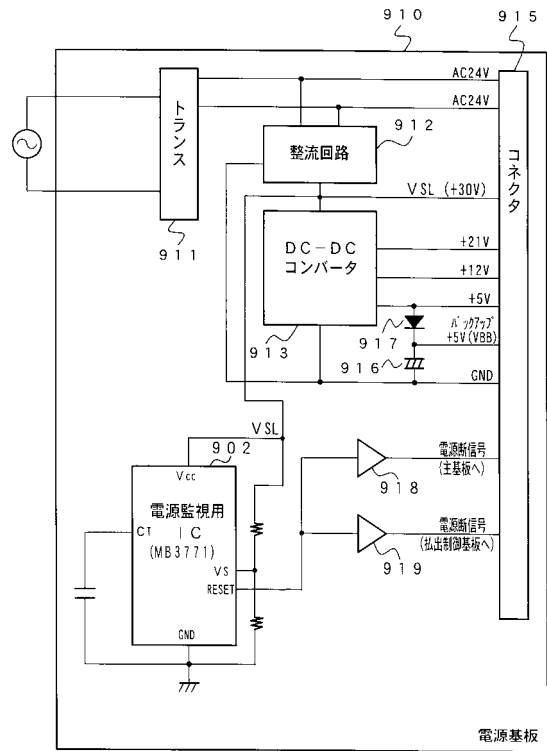
【圖 6】



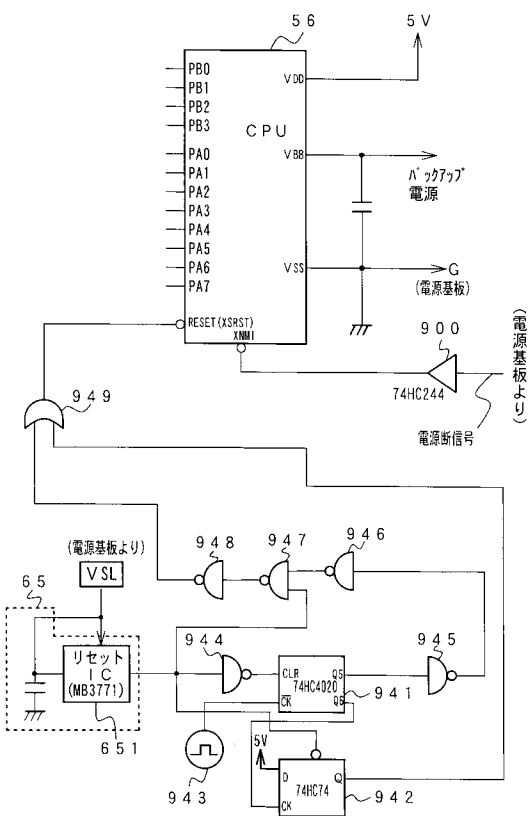
【図 7】



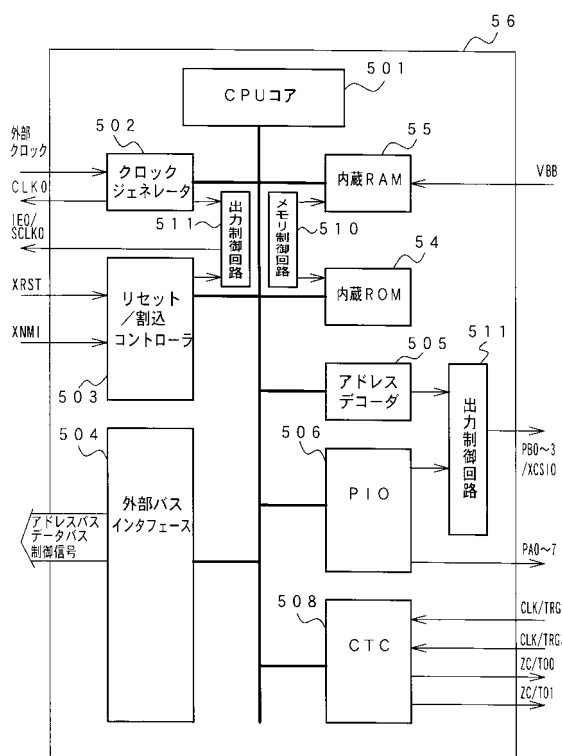
【図 8】



【図 9】



【図 10】



【図 1 1】

アドレス	ビット	データ内容	論理	状態
出力ポート0 (00H)	0	払出制御信号INT	1	オン
	1	表示制御信号INT	1	オン
	2	ランプ制御信号INT	1	オン
	3	音声制御信号INT	1	オン
	4	未使用	—	—
	5	未使用	—	—
	6	未使用	—	—
出力ポート1 (01H)	0	払出制御信号CD0	1	オン
	1	払出制御信号CD1	1	オン
	2	払出制御信号CD2	1	オン
	3	払出制御信号CD3	1	オン
	4	払出制御信号CD4	1	オン
	5	払出制御信号CD5	1	オン
	6	払出制御信号CD6	1	オン
出力ポート2 (02H)	0	表示制御信号CD0	1	オン
	1	表示制御信号CD1	1	オン
	2	表示制御信号CD2	1	オン
	3	表示制御信号CD3	1	オン
	4	表示制御信号CD4	1	オン
	5	表示制御信号CD5	1	オン
	6	表示制御信号CD6	1	オン
出力ポート3 (03H)	0	ランプ制御信号CD0	1	オン
	1	ランプ制御信号CD1	1	オン
	2	ランプ制御信号CD2	1	オン
	3	ランプ制御信号CD3	1	オン
	4	ランプ制御信号CD4	1	オン
	5	ランプ制御信号CD5	1	オン
	6	ランプ制御信号CD6	1	オン

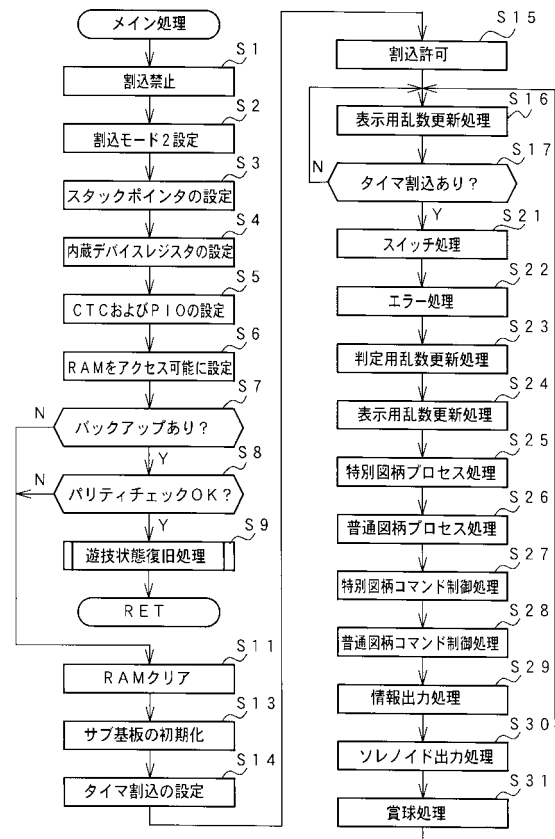
【図 1 2】

アドレス	ビット	データ内容	論理	状態
出力ポート4 (04H)	0	音声制御信号CD0	1	オン
	1	音声制御信号CD1	1	オン
	2	音声制御信号CD2	1	オン
	3	音声制御信号CD3	1	オン
	4	音声制御信号CD4	1	オン
	5	音声制御信号CD5	1	オン
	6	音声制御信号CD6	1	オン
出力ポート5 (05H)	7	音声制御信号CD7	1	オン
	0	始動口	1	オン
	1	図柄確定回数1	1	オン
	2	大当たり1	1	オン
	3	大当たり2	1	オン
	4	確率変動	1	オン
	5	図柄確定回数2	1	オン
出力ポート6 (06H)	6	役物回数	1	オン
	7	賞球	1	オン
	0	ソレノイド (大入賞口扉)	1	オン
	1	ソレノイド (大入賞口内誘導板)	1	オン
	2	ソレノイド (普通電動役物)	1	オン
	3	未使用	—	—
	4	未使用	—	—
出力ポート6 (06H)	5	未使用	—	—
	6	未使用	—	—
	7	未使用	—	—

【図 1 3】

アドレス	ビット	データ内容	論理	状態
入力ポート0 (0EH)	0	左袖入賞口スイッチ (24a)	1	オン
	1	右袖入賞口スイッチ (24b)	1	オン
	2	左落とし入賞口スイッチ (19a)	1	オン
	3	右落とし入賞口スイッチ (19b)	1	オン
	4	始動口スイッチ	1	オン
	5	カウントスイッチ	1	オン
	6	特定領域スイッチ (Vカウントスイッチ)	1	オン
入力ポート1 (0FH)	7	ゲートスイッチ	1	オン
	0	賞球カウントスイッチ	1	オン
	1	満タンスイッチ	1	オン
	2	球切れスイッチ	1	オン
	3	カウントスイッチ短絡	1	オン
	4	未使用	—	0固定
	5	未使用	—	0固定
入力ポート1 (0FH)	6	未使用	—	0固定
	7	未使用	—	0固定

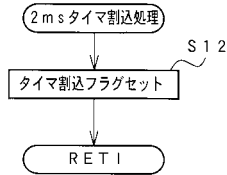
【図 1 4】



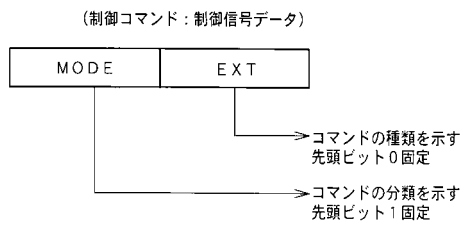
【図 15】

バックアップ フラグの値	55H	55H 以外
チェック結果	正常	初期化
異常	初期化	初期化

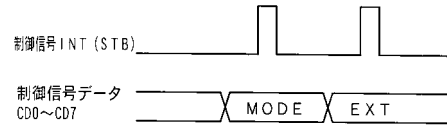
【図 16】



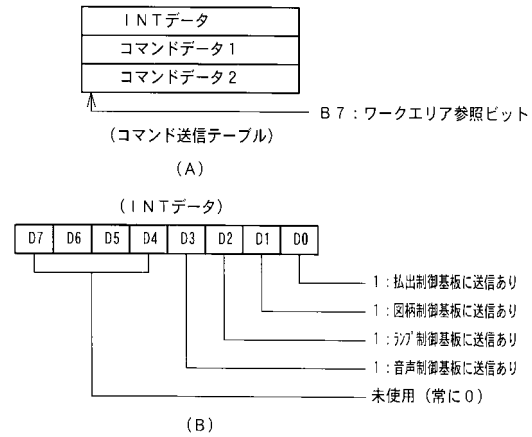
【図 17】



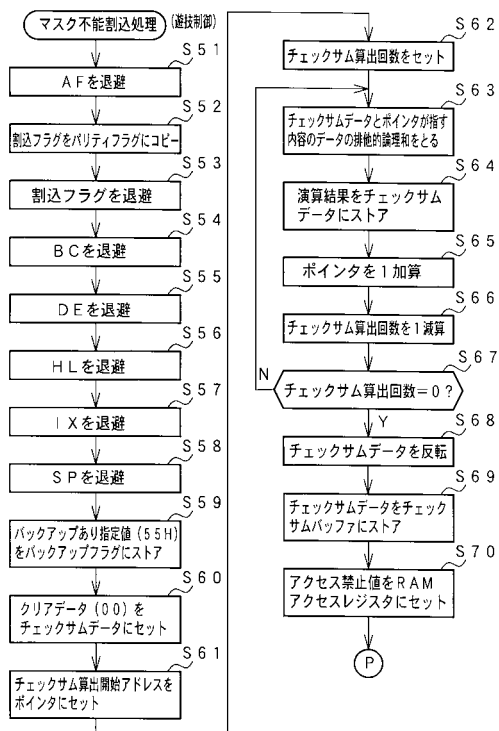
【図 18】



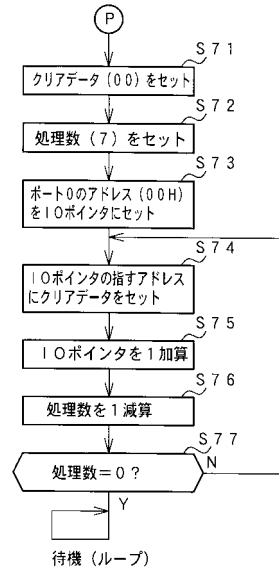
【図 19】



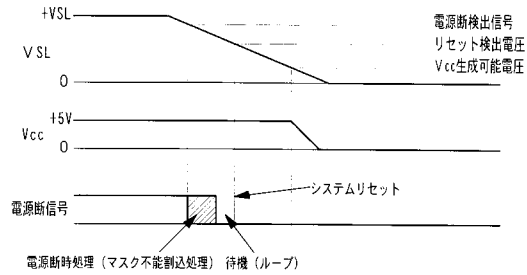
【図 20】



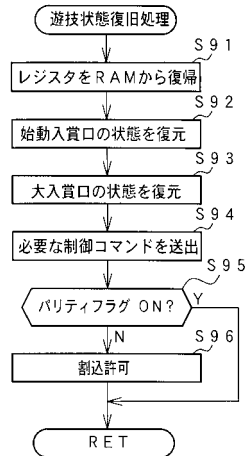
【図 21】



【図 2 2】



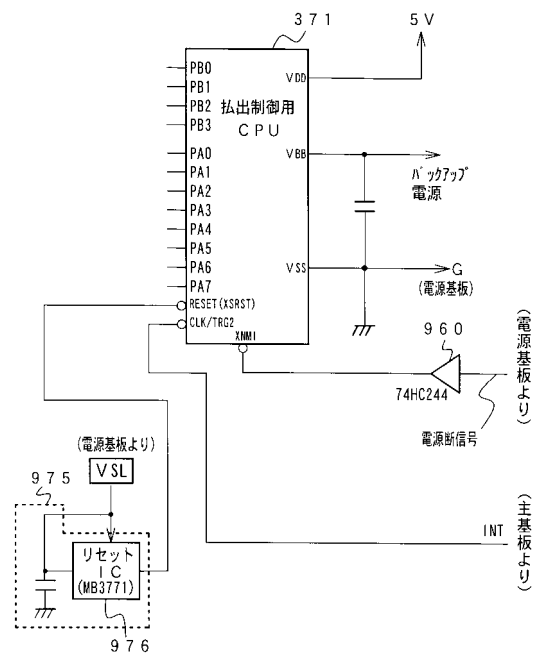
【図 2 3】



【図 2 5】

アドレス	ビット	データ内容	論理	状態
出力ポートC (00H)	0	払出モータφ4	1	オン
	1	払出モータφ3	1	オン
	2	払出モータφ2	1	オン
	3	払出モータφ1	1	オン
	4	発射制御信号	1	オン
	5	球貸し	1	オン
	6	未使用	—	—
出力ポートD (01H)	0	エラー表示LEDa	1	オン
	1	エラー表示LEDb	1	オン
	2	エラー表示LEDc	1	オン
	3	エラー表示LEDd	1	オン
	4	エラー表示LED e	1	オン
	5	エラー表示LED f	1	オン
	6	エラー表示LED g	1	オン
出力ポートE (02H)	0	振分ソレノイド	1	オン
	1	EXS	1	オン
	2	PRDY	1	オン
	3	未使用	—	—
	4	未使用	—	—
	5	未使用	—	—
	6	未使用	—	—

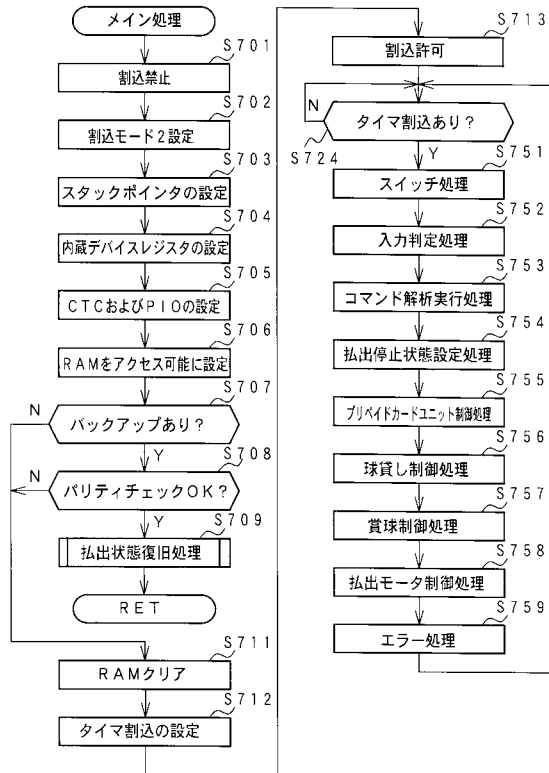
【図 2 4】



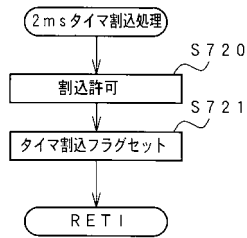
【図 2 6】

アドレス	ビット	データ内容	論理	状態
入力ポートA (06H)	0	払出制御信号CD0	1	オン
	1	払出制御信号CD1	1	オン
	2	払出制御信号CD2	1	オン
	3	払出制御信号CD3	1	オン
	4	払出制御信号CD4	1	オン
	5	払出制御信号CD5	1	オン
	6	払出制御信号CD6	1	オン
入力ポートB (07H)	0	賞球カウントスイッチ	1	オン
	1	球貸しカウントスイッチ	1	オン
	2	モータ位置センサ	0	オン
	3	BRDY	0	オン
	4	BRQ	0	オン
	5	V L	0	オン
	6	未使用	—	0固定
7	7	未使用	—	0固定

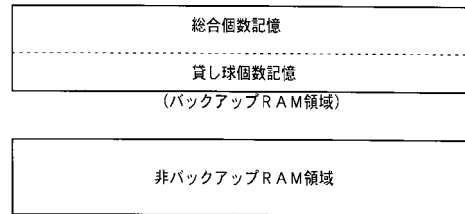
【図 27】



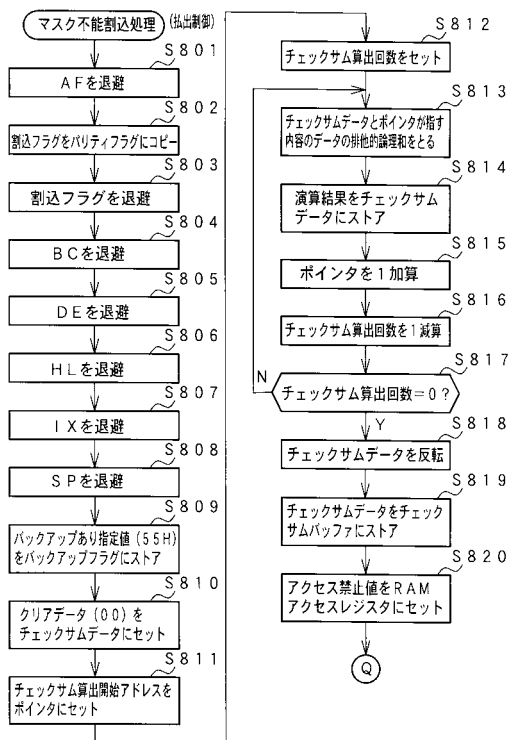
【図 28】



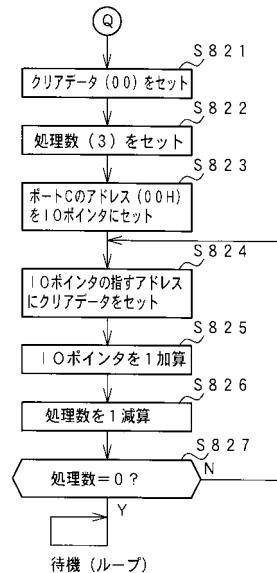
【図 29】



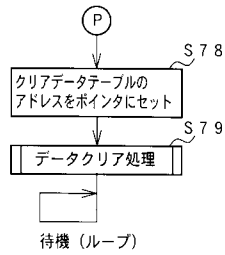
【図 30】



【図 31】



【図 3 2】

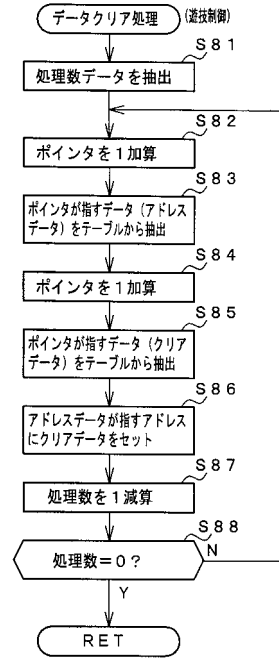


【図 3 3】

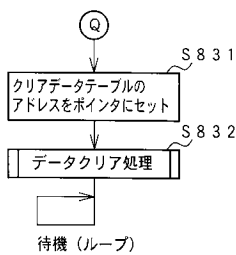
(選択制御手段のクリアデータテーブル)

処理数データ (7)
アドレス (00H)
クリアデータ (00H)
アドレス (01H)
クリアデータ (00H)
アドレス (02H)
クリアデータ (00H)
アドレス (03H)
クリアデータ (00H)
アドレス (04H)
クリアデータ (00H)
アドレス (05H)
クリアデータ (00H)
アドレス (06H)
クリアデータ (00H)

【図 3 4】



【図 3 5】

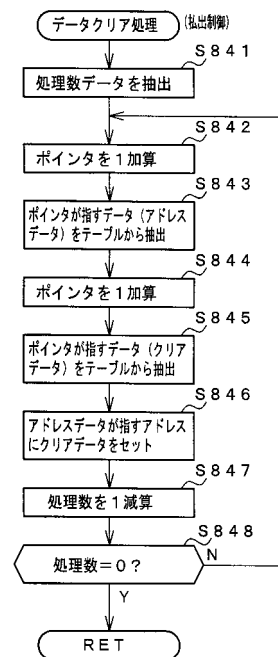


【図 3 6】

(抽出制御手段のクリアデータテーブル)

処理数データ (3)
アドレス (00H)
クリアデータ (00H)
アドレス (01H)
クリアデータ (00H)
アドレス (02H)
クリアデータ (00H)

【図 3 7】



フロントページの続き

(72)発明者 須永 祐一郎
群馬県桐生市境野町6丁目460番地 株式会社三共内

審査官 井海田 隆

(56)参考文献 特開平10-003331(JP,A)
特開平08-229208(JP,A)
特開平6-274378(JP,A)

(58)調査した分野(Int.Cl., DB名)
A63F 7/02