(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 29/786

(45) 공고일자 2002년08월21일
(11) 등록번호 10-0349562
(24) 등록일자 2002년08월08일

(21) 출원번호 10-1999-0013851
(22) 출원일자 1999년04월19일

(65) 공개번호 특2000-0011242
(43) 공개일자 2000년02월25일

(30) 우선권주장 98-218063 1998년07월31일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1

(72) 발명자 이시다유끼마사
일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쓰가부시키가이샤내

(74) 대리인 문기상
문두현

심사관 : 김관식

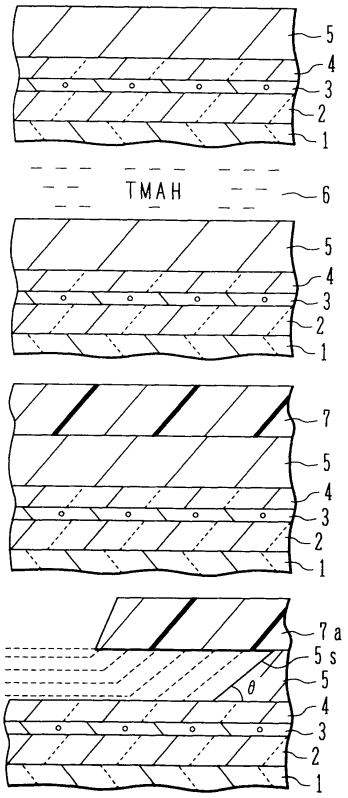
(54) 식각 방법, 박막 트랜지스터 매트릭스 기판 및 그 제조 방법

요약

본 발명은 식각, 박막 트랜지스터 매트릭스 기판 및 그 제조 방법에 관한 것으로 단차를 완화할 수 있는 식각 방법을 제공한다.

하지 표면 상에 Al 또는 Al 합금층을 형성하는 공정과, 상기 Al 또는 Al 합금층의 표면을 TMAH로 처리하는 공정과, 상기 TMAH로 처리한 Al 또는 Al 합금층의 표면 상에 레지스트 패턴을 형성하는 공정과, 상기 레지스트 패턴을 식각 마스크로서 사용하여 상기 Al 또는 Al 합금층을 습식 식각하는 공정을 포함한다.

대표도



색인어
식각 방법, 박막 트랜지스터

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 의한 식각 방법을 설명하기 위한 기판의 단면도.

도 2는 도 1의 실시예에 따른 실험의 결과를 나타낸 그래프.

도 3은 도 1의 실시예에 따른 실험의 결과를 나타낸 그래프.

도 4는 본 발명의 실시예에 의한 TFT의 제조 방법을 설명하기 위한 기판의 단면도.

도 5는 본 발명의 실시예에 의한 TFT의 제조 방법을 설명하기 위한 기판의 단면도.

도 6은 액정 표시 장치의 유리 기판 상에 형성하는 액티브 회로의 구성을 개략적으로 나타낸 상면도.

도 7은 본 발명의 실시예에 의한 반도체 장치의 제조 방법에 따라 얻어지는 반도체 장치의 구조를 나타낸 평면도 및 단면도.

도 8은 본 발명의 다른 실시예에 의한 식각 방법을 설명하기 위한 기판의 단면도.

도 9는 액정 표시 장치의 액티브 회로의 다른 구성예를 나타낸 상면도.

도 10은 본 발명의 다른 실시예에 의한 상보형 TFT구조의 제조 방법을 설명하기 위한 기판의 단면도.

도 11은 본 발명의 다른 실시예에 의한 상보형 TFT구조의 제조 방법을 설명하기 위한 기판의 단면도.

도 12는 본 발명의 다른 실시예에 의한 상보형 TFT구조의 제조 방법을 설명하기 위한 기판의 단면도.

[부호의 간단한 설명]

1 : 유리기판

2, 4 : SiO_2 층

3 : 다결정 SiO_2 층

5 : 금속층

6 : TMAH 수용액

7 : 레지스트층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 식각 방법, 박막 트랜지스터 매트릭스 기판 및 그 제조 방법에 관한 것이다.

식각 방법으로서 습식 식각, 건식 식각이 알려져 있다. 습식 식각은 액체를 식각제로서 사용하는 식각이고 그 대부분은 마스크 하부의 영역도 횡방향으로 식각 (측면 식각)하는 성질을 가진다. 건식 식각은 가스를 식각제로서 사용하는 식각이고 마스크하의 영역도 식각하는 등방성 식각과 마스크 외부에 노출한 영역만을 거의 일 방향으로 식각하는 이방성 식각을 포함한다. 여러 가지의 식각이 목적에 따라 구분되어 사용된다.

액티브 매트릭스 액정 디스플레이는 화소마다 스위칭용 박막 트랜지스터를 가지며, 화소 전극에 소망하는 전압을 축적할 수 있다. 예를 들어 유리 기판 등의 투명 기판 상에 서로 교차하는 2군의 버스 라인이 형성되고 각 교점에 박막 트랜지스터와 화소 전극을 갖는 화소가 형성된다. 1군의 버스 라인은 박막 트랜지스터의 게이트 전극에 접속되고 각각 1 행의 화소를 선택한다. 다른 군의 버스 라인은 1행분의 화소 정보를 전압이 선택된 1행의 화소에 전달한다.

화소 전극에 소망하는 전압을 충분히 장시간 축적하기 위해서 박막 트랜지스터는 오프시의 누설 전류가 충분히 낮은 우수한 오프 특성을 갖는 것이 요망된다. 재기입(rewrite) 시에 단기간에 화소 전극의 전압을 소망하는 전압으로 설정하기 위해서는 박막 트랜지스터가 온(on)시의 저항이 충분히 낮은 우수한 온 특성을 갖는 것이 요망된다.

박막 트랜지스터의 구조로서 여러 가지의 것이 알려져 있지만, 이하에서는 채널을 형성하는 반도체층이 유리 기판 상에 형성되고, 그 위에 게이트 절연막, 게이트 전극이 형성되는 구조를 예로 든다.

절연 기판 상에 각 박막 트랜지스터를 형성하기 위해 반도체층의 섬 모양 패턴을 형성하고 그 위에 게이트 절연막, 게이트층을 성막한다. 게이트층 상에 레지스트 패턴을 형성하고 게이트 전극(및 게이트 배선)의 패터닝을 실시한 후, 게이트 전극을 마스크로 하여 반도체층에 이온 주입을 행한다. 이에 따른 공정에 의하면 1매의 마스크로 게이트 전극층의 패터닝과 이온 주입시의 마스크를 형성할 수 있다.

게이트 전극의 패터닝과 동시에 게이트 절연막도 패터닝하면 게이트 전극으로부터 외측의 반도체층이 박리되어 이온 주입의 효율을 상승시킬 수 있다.

그러나, 게이트 전극층과 게이트 절연막을 같은 형상으로 패터닝하면 단차가 높아지게 된다. 배선 영역을 좁게하면 게이트 전극층의 두께는 두껍게 되고 단차는 점점더 높아지게 된다. 높은 단차부에서는 그 위에 형성하는 층간 절연막, 다른 배선층의 단차 피복성이 저하하고 층간 절연막에 크랙이 발생하게 되어 배선의 단선이나 층간 단락이 발생하기 쉽게 된다.

게이트 전극의 측방으로 게이트 절연막을 길게 나오게하고, 이 게이트 절연막을 통하여 이온 주입을 행함으로써, LDD(lightly doped drain) 구조의 저불순물 농도 영역을 형성하는 기술이 제안되고 있다. 예를 들어, 게이트 전극층의 측방에 양극 산화막을 형성하고 이것을 마스크로 하여 게이트 절연막을 식각하여 노출한 반도체층에 이온 주입을 행함으로써, 고불순물 농도의 소스/드레인 영역을 형성하고 양극 산화막을 제거한 후, 다시 이온 주입을 행하여 게이트 절연막 밑에 저불순물 농도 영역을 이온 주입한다.

이 경우에도 게이트 전극층이 두껍게 되면 단차가 높게 되고 상층 배선의 단차 피복성이 열화하게 된다. 또한, 게이트 전극의 양극 산화막을 마스크로 하여 게이트 절연막을 식각하면 도전성 물질의 퇴적물이 게이트 절연막 측벽 상에 퇴적되기 쉽다. 이러한 도전성 퇴적물은 그 후의 열처리 등에 의해 침 모양으로 성장하기 쉬워서 상층 배선의 단차 피복성을 열화시켜 버린다.

발명이 이루고자 하는 기술적 과제

적층 구조를 형성하는 경우 상층의 단차 피복성을 개선하기 위해서는 단차를 완화하는 것이 요망된다. 그렇지만, 유리 기판 등의 절연 기판 상에 박막 트랜지스터 회로를 형성하는 경우, 단차를 완화하는 기술이 충분히 개발되었다고 말할 수 없다.

다결정 반도체를 사용한 박막 트랜지스터에서 오프(off) 시의 누설 전류를 저감하고 온(on) 시의 핫 캐리어(hot carrier)에 의한 게이트 절연막의 손상을 줄이기 위해서는, LDD구조나 옵셋 구조를 채용하는 것이 요망된다. 그러나, 이들의 구조를 채용함으로써 공정수가 증대하고 마스크 수가 증가하면 박막 트랜지스터 회로의 제조 코스트가 상승하고 만다.

본 발명의 목적은 단차를 완화할 수 있는 식각 방법을 제공하는 것이다.

본 발명의 다른 목적은 단차 피복성이 우수한 박막 트랜지스터 매트릭스 기판의 제조 방법을 제공하는 것이다.

본 발명의 다른 목적은 제조 원가를 낮게 억제하고 또한 단차 피복성이 우수한 박막 트랜지스터 매트릭스 기판을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 한 관점에 따르면 하지 표면 상에 Al 또는 Al 합금층을 형성하는 공정과, 상기 Al 또는 Al 합금층의 표면을 TMAH로 처리하는 공정과, 상기 TMAH로 처리한 Al 또는 Al 합금층의 표면상에 레지스트 패턴을 형성하는 공정과, 상기 레지스트 패턴을 식각 마스크로서 사용하여, 상기 Al 또는 Al 합금층을 습식 식각하는 공정을 포함하는 Al 또는 Al 합금층의 식각 방법이 제공된다.

TMAH(테트라 메틸 암모니움 하이드록 사이드)로 처리한 Al 또는 Al 합금층을 습식 식각하면 순방향 경사(normal taper) 또는 피라미드형 경사를 갖는 측벽이 형성된다. 측벽이 순방향 경사 모양으로 됨으로써 상층의 단차 피복성이 개선된다.

본 발명의 다른 관점에 따르면 평탄한 표면을 갖는 절연 기판과, 상기 절연 기판의 평탄한 표면 상에 형성되고 반도체로 된 복수의 섬 모양 패턴과, 상기 복수의 섬 모양 패턴의 각각의 중간부를 횡단하여 형성된 게이트 절연막과, 상기 게이트 절연막의 중앙부상에 형성되고 상기 평탄한 표면의 법선에 대해 경사지며, 순방향 경사를 형성하는 측면을 갖는 게이트 전극겸 게이트 배선의 게이트층을 가지며, 상기 게이트 절연막은 상기 게이트층보다 폭이 넓고, 상기 게이트층의 근방에 단차를 구비하고, 상기 복수의 섬모양 패턴의 각각이 상기 게이트 절연막으로 피복되지 않은 영역에 형성된 고불순물 농도영역과, 상기 게이트 절연막으로 피복되고 상기 게이트 전극으로 피복되지 않은 영역에 형성된 저불순물 농도영역을 가지는 박막 트랜지스터 매트릭스 기판이 제공된다.

본 발명의 또다른 관점에 따르면 절연 기판 상에 반도체층을 형성하는 공정과, 상기 반도체층 상에 게이트 절연막을 형성하는 공정과, 상기 게이트 절연막 상에 Al 또는 Al 합금층으로 된 게이트층을 형성하는 공정과, 상기 게이트층 표면을 TMAH로 처리하는 공정과, 상기 TMAH로 처리한 게이트층 표면 상에 레지스트 패턴을 형성하는 공정과, 상기 레지스트 패턴을 식각 마스크로 하여 상기 게이트층을 순방향 경사의 측벽을 형성하면서 습식 식각하는 공정과, 상기 레지스트 패턴을 식각 마스크로 하여 상기 게이트 절연막을 이방적으로 건식 식각하는 공정을 포함하는 박막 트랜지스터 매트릭스의 제조 방법이 제공된다.

게이트층의 측벽을 순방향 경사 모양으로 함으로써 그 위에 형성하는 층간 절연막 및 다른 배선층의 단차 피복성이 개선된다.

게이트 절연막의 식각시에 게이트층의 표면을 레지스트 패턴으로 피복함으로써 게이트 절연막 측벽 상에 도전성 퇴적물이 발생하는 것을 방지할 수 있다.

[실시예]

각각 소망하는 형상을 갖는 복수의 층을 적층하는 경우, 하층의 측벽이 수직으로 되면, 상층의 단차 피복성이 저하하여 버린다. 하층의 측벽이 역방향 경사로 되면 상층의 단차 피복성은 더욱 저하한다. 상층의 단차 피복성을 향상하기 위해서는 하층 패턴의 측벽을 순방향 경사 모양으로 형성하는 것이 유효하다. 다층 배선의 경우에는 하층 배선의 측벽을 순방향 경사 모양으로 형성하는 것이 특히 유효하다.

본 발명자는 금속층의 패터닝에 있어서 측벽이 순방향 경사 모양으로 됨으로써 식각하는 기술을 제안한다.

도 1a 1d는 본 발명의 1 실시예에 의한 금속층의 식각 방법을 나타내는 기판의 개략 단면도이다.

도 1a에 나타낸 바와 같이 유리 기판(1)의 평탄한 표면 상에 유리로부터의 불순물 혼입을 방지하기 위한 SiO_2층(2)을 두께 약 200nm, 기판온도 약 300℃로 플라즈마 여기(PE) 화학기상퇴적(CVD)에 의해 퇴적하였다. SiO_2층(2)상에 두께 약 50nm의 비정질 Si층(3)을 CVD에 의해 퇴적하였다. 이 비정질 Si층(3)에 레이저 어닐링을 행하여 비정질 Si을 다결정 Si으로 변환하여 다결정 Si층(3)으로 하였다. 다결정 Si층(3)의 위에 SiO_2층(4)을 두께 약 120nm, 기판온도 약 300℃로 PECVD에 의해 퇴적하였다. SiO_2층(4)위에 Al 또는 Al합금으로 된 금속층(5)을 두께 약 300nm, 스퍼터링에 의해 퇴적하였다. 또한, Al합금으로는 Nd 또는 Sc를 함유한 Al합금을 사용하였다. 또한, 금속층(5)의 두께가 300nm인 경우에 대해 설명하지만 두께 200 400nm의 금속층(5)을 갖는 샘플을 사용하여 같은 결과를 얻었다. 또한, 도 1a에 나타낸 구조는 유리 기판 상에 박막 트랜지스터(TFT)를 형성하는 경우의 반도체층과 게이트 전극층에 대응하는 구성이다.

도 1b에 나타낸 바와 같이 2.2% TMAH(테트라메틸 암모니움 하이드로 옥사이드)수용액(6)을 준비하고 기판을 이 TMAH 수용액에 약 60초간 침지하였다. 그 후 순수 세정을 실시하여 금속층(5) 표면을 건조시켰다.

도 1c에 나타낸 바와 같이, 금속층(5) 표면에 레지스트층(7)을 도포하였다. 레지스트층(7) 도포후 110℃로 예비 소성를 행하여 레지스트층(7)을 선택적으로 노광하고 현상하였다. 노광, 현상후 더욱 기판을 가열하여 레지스트 패턴을 후소성 하였다.

도 1d에 나타낸 바와 같이 이렇게 하여 형성한 레지스트 패턴(7a)을 식각 마스크로서 사용하여 그 밑의 금속층(5)을 습식 식각 하였다. 도면중 식각되고 서서히 변화하는 표면을 파선으로 나타내고 있다. 금속층(5)의 측벽(5s)은 하지 표면에 대해 일정한 순방향 경사각도를 형성하고 또한 식각 시간과 더불어 거의 일정한 속도로 레지스트 패턴(7a)밑으로 들어가게 된다. 이하 실험 결과를 그래프를 사용하여 설명한다.

도 2a, 2b는 식각 시간의 함수로서의 식각 이동량 및 경사각을 나타낸다. 식각 이동량은 도 1d에 나타낸 레지스트 패턴(7a)의 단으로부터 식각된 측벽 표면이 이동하는 양을 나타낸다. 경사각은 하지(4)표면과 금속층(5)의 측벽 (5s)과 같은 각도(θ)를 나타낸다. 또한 도 2a, 2b에 나타낸 결과는 후소성을 100℃에서 실시하고 식각 시간을 70초로부터 140초까지 변화시킨 때의 것이다.

도 2a로부터 명백한 바와 같이 식각 시간에 대해 식각 이동량은 직선성으로 변화한다. 따라서 식각 시간에 의해 식각된 금속층의 측벽 위치를 정확히 제어할 수 있다.

도 2b로부터 명백한 바와 같이 경사각은 식각 시간에 대한 의존성이 적어지게 되고 거의 일정한 값을 나타낸다. 후소성 온도를 100℃로 한 경우 경사각은 거의 35°이다. 또한 식각 시간이 짧은 영역에서는 경사각이 약간 상승하는 경향이 보여진다. 그렇지만, 식각 시간을 약 100초 이상으로 한 경우에는 경사각이 거의 일정한 값을 나타내고 있다. 이 실험 결과는 식각 시간에 관계없이 소망하는 경사각이 얻어지는 것을 나타내고 있다.

경사각은 레지스트층을 노광, 현상한 후에 행하는 후소성의 온도를 변화함으로써 변화시킬 수 있다.

도 3은 후소성 온도에 대한 경사각의 변화를 나타내는 그래프이다. 도 2b에 나타낸 바와 같이 후소성 온도가 100℃인 경우 경사각은 약 35°이지만 후소성 온도를 저하시키면 경사각도 저하한다. 또한, 후소성 온도를 증가시키면 경사각도 증대한다. 후소성 온도가 140℃일 때 얻어지는 경사각은 약 70°이다. 또 140℃이상의 후소성 온도에서는 경사각의 변화는 서서히 작아지게 된다.

또, 도면중 후소성 온도로서 80℃미만의 온도는 나타내지 않았지만 보다 저온으로 실시함으로써 경사각은 작아지게 된다. 예를 들어 후소성 온도를 거의 실온으로 하면, 경사각은 약 15°정도로 된다. 약 60℃ 140℃의 후소성 온도를 사용함으로써 약 20° 약 70°의 경사각이 얻어지는 것이 도 3으로부터 명백해진다.

또, 도 3에 나타낸 특성의 경우 후소성을 약 120℃로 행하여 약 55°의 경사각을 얻는 경우가 특징적인 등방성 포인트로 되었다. 등방성 포인트 보다도 높은 후소성 온도를 채용하면 경사각은 커지게 되지만, 이 경우 식각을 장시간 실시하면 식각된 측벽 상부에 오버행(overhang)이 생기기 쉬워진다. 따라서, 오버행을 피하기 위해서는 식각량을 제어해야 된다. 다만 식각량이 작아지는 경우에는 소망한 경사각을 얻는 것에는 문제가 없다.

등방성 포인트 보다도 낮은 후소성 온도에서는 식각 반응이 가능한 범위에서 얼마간 장시간의 식각을 실시하여도 오버행이 생기는 일은 없고 일정한 경사각이 얻어진다.

상기와 같이 레지스트 도포 전에 Al 또는 Al 합금층 표면을 TMAH로 처리함으로써 일정한 순방향 경사각을 갖는 측벽이 얻어진다. 또한 노광, 현상후의 후소성 온도를 변화시킴으로써 경사각을 선택할 수 있다.

본원 발명자는 TMAH처리에 의한 Al(또는 Al 합금)의 습식 식각에서 일정한 순방향 경사 측벽이 얻어지는 이유를 이하와 같이 고찰하였다.

Al은 화학적으로 활성된 표면을 가지고 자연 산화막 또는 자연 수화막이 형성되기 쉽다. TMAH는 이 자연 산화막 또는 자연 수화막을 제거하는 능력이 있다. Al(Al 합금) 표면에 자연 산화막, 자연 수화막등의 변질막이 존재하면 식각율이 느려진다.

레지스트 패턴 하부로 들어가는 측면 식각을 실시한 경우 Al(또는 Al 합금)표면의 식각 속도가 느려지기 때문에 처음에 순방향 경사 면을 형성하고 있는 측벽이 차츰 표면 부분으로 후퇴하여 오버행을 형성하게 된다. 이것에 대해 Al(또는 Al 합금)표면의 변질막을 제거하면 금속층 전체가 일정한 식각률을 가지게 되고 식각 시간에 관계없이 일정한 순방향 경사각이 얻어지게 된다.

이에 따라 고찰하면 Al(또는 Al 합금)의 표면 변질층을 제거하는 처리를 행하면 마찬가지의 순방향 경사면을 갖는 측면 식각(경사 식각)이 가능하게 된다. Al(또는 Al 합금)층의 표면의 자연 산화막 또는 자연 수화막을 제거하는 효과를 갖는 약제로서 콜린, 에틸렌 디아민 테트라 아세테이트(에틸렌 디아민 4초산, EDTA), 에틸렌 글리콜과 계면 활성제를 포함한 희불산성 수용액 등이 있다. 이들 약제로 처리하는 것에 의해서도 Al(또는 Al 합금)층을 측면 식각하고 순방향 경사면을 갖는 측벽을 얻을 수 있다.

또 이 처리에 있어서 하지로 되는 Al(또는 Al 합금)층 자체로 손상을 주는 것은 적절치 않지만 상술한 약제는 Al(또는 Al 합금)층에 손상을 주지 않는다.

TMAH 수용액으로의 침지 시간은 약 60초였다. 이 때의 Al표면 변질층의 약간의 식각량은 25℃에서 2.2% TMAH 수용액에 대해 약 10nm이다.

표면 산화막 또는 표면 수화막의 두께는 광학적 계측에 의하면 5 15nm이다. 이 결과로부터 표면 변질층을 전부 제거하지 않아도 충분한 순방향 경사 효과가 얻어질 것으로 생각된다. 따라서, 본 명세서에서 표면 변질층을 「제거」하는 공정은 적어도 일부를 제거하는 공정이면 좋다. 이하, 상술한 실험에 의해 확인된 효과를 이용한 실시예를 설명한다.

도 4a 4c는 본 발명의 실시예에 의한 박막 트랜지스터의 제조 방법을 나타낸 기판의 단면도이다.

도 4a에 나타낸 바와 같이 유리 기판 상에 SiO_2층을 형성한 절연 기판(11)의 표면 상에 다결정 Si로 형성한 반도체층(13)을 CVD, 레이저 어닐링에 의해 형성한다. 반도체층(13) 형성후 그 표면 상에 레지스트 패턴을 형성하고 식각을 실시함으로써 서로 분리된 복수의 섬 모양 패턴의 반도체층(13)을 형성한다.

반도체층(13)을 피복하도록 게이트 절연막으로 되는 SiO_2층(14)을 PECVD에 의해 퇴적한다. 게이트 절연막(14) 표면 상에 Al(또는 Al 합금)로된 게이트층(15)을 스퍼터링에 의해 퇴적한다. 또한, 게이트층(15) 으로서는 Al외에 내열성 향상을 위해 Nd, Si, Mo, W, B, Ti, Ta, Zr, Y, Sc를 첨가한 Al합금을 사용할 수 있다. 예를 들어 2at% 4at%의 Nd를 포함하는 Al합금을 사용한다.

게이트층(15) 퇴적후 그 표면을 TMAH 수용액으로 처리한다. 이 TMAH처리는 도 1b를 참조하여 설명한 TMAH처리와 마찬가지로 실시한다.

게이트층 위에 레지스트 패턴(17)은 레지스트층을 도포, 노광, 현상함으로써 형성한다. 또한 레지스트 패턴(17)은 바람직하게는 도면에 나타낸 바와 같이 하측으로 확장하는 경사 모양의 측벽을 가진다.

레지스트 패턴(17)을 형성한 후 기판을 가열하여 레지스트 패턴(17)을 후소성한다. 후소성 온도는 게이트층(15)의 습식 식각에서 소망한 경사각이 얻어지도록 선택한다. 예를 들어 20° 70°, 보다 바람직하게는 20° 55°의 경사각을 얻을 수 있도록 60℃ 140℃, 보다 바람직하게는 60℃ 120℃의 후소성을 행한다.

레지스트 패턴(17)을 식각마스크로 하여 그 아래의 게이트층(15)을 인산, 질산, 초산을 함유하는 수용액을 식각제로서 사용하여 습식 식각한다.

레지스트 패턴(17)이 없는 영역에서는 게이트층(15)의 그 전체 두께가 식각된 후 더욱 약 50%이상의 과식각이 행해진다. 이 과식각에 있어서 레지스트 패턴 (17)의 외주부 하방의 게이트층(15)은 일정한 순방향 경사각을 유지하면서 측면 식각된다. 이 측면 식각에 의해 게이트층(15)의 측벽은 일정한 경사각을 유지하면서 내측으로 이동한다.

도 4b에 나타낸 바와 같이 게이트층(15)의 습식 식각을 종료한 후 동일한 레지스트 패턴(17)을 사용하여 게이트 절연막(14)을 반응성 이온 식각(RIE)등에 의해 이방적으로 식각한다. 이 때 레지스트 패턴(17)이 도 4b에 나타낸 바와 같이 경사각을 갖는 측벽을 갖는 경우 레지스트 패턴(17)의 소비와 함께 그 측벽은 후퇴하고 게이트 절연막(14)의 측벽도 경사각을 갖는 것으로 된다. 이런 식으로 하여 40° 80°의 경사각을 갖는 측벽이 생기도록 게이트 절연막(14)을 식각한다. 그 후, 레지스트 패턴(17)은 박리제등에 의해 제거한다.

도 4c에 나타낸 바와 같이 기판 상방으로부터 P 등의 불순물 이온을 이온 주입에 의해 반도체층(13)에 도핑한다. 이온 주입의 가속 에너지는 게이트 절연막 (14)을 통과하지 않는 정도로 선택한다. 반도체(13)가 노출하여 있는 단부에서만 불순물 이온이 주입되고 고 불순물 농도 영역(13h)이 형성된다. 상방에 게이트 전극 (15)이 형성되어 있는 영역(13a)은 채널 영역으로 된다. 또한 채널 영역(13a)과 고농도 영역(13h)에 끼워진 영역(13b)은 이온 주입되지 않지만 채널 영역과 고농도 영역을 분리하는 옵셋 영역으로 되고 이 박막 트랜지스터의 오프 특성을 확보한다.

도 4c에 나타낸 트랜지스터는 오프시 누설 전류가 감소하지만 온시의 저항이 옵셋 영역의 존재에 의해 증가할 가능성을 가진다. 옵셋 영역을 저 불순물 농도를 갖는 LDD영역으로 하면 온시의 특성을 개량할 수 있다.

도 5a 5c는 본 발명의 다른 실시예에 의한 박막 트랜지스터의 제조방법 및 얻어지는 구조의 횡단면 및 불순물 농도 분포를 나타낸 그래프이다.

도 4c에 나타낸 도핑 공정에서는 게이트 절연막을 통과하지 않는 가속 에너지로 이온 주입을 행하였다.

도 5a에 나타낸 공정에서는 상술한 게이트 절연막(14)을 통과하지 않는 이온 주입에 더하여 게이트 절연막(14)을 통과하여 반도체층(13)에 불순물을 주입하는 도핑을 겸한다. 예를 들어, 반도체층(13)이 노출하여 있는 영역에만 불순물을 주입하는 베아 도핑(bare doping)은 가속 에너지 10keV, 도즈량 $7.5\times10^{14}\ cm^{-2}$ 로 행하여, 게이트 절연막(14)도 통과하여 반도체층(13)에 불순물을 주입하는 스루 도핑 (through doping)은 가속 에너지 70keV, 도즈량 $1\times10^{14}\ cm^{-2}$ 로 행한다.

예를 들어 베아 도핑에 의한 불순물 농도는 $7.5\times10^{19}\ cm^{-3}$ 으로 되고 스루 도핑에 의한 불순물 농도는 $1\times10^{19}\ cm^{-3}$으로 된다. 이렇게 하여 채널 영역(13a)의 양측에 저 불순물 농도 영역(LDD영역)(13d)이 형성되고 그 양측에 고 불순물 농도 영역(HDD영역)(13h)이 형성된다.

또한 채널 영역(13a)과 LDD영역(13d)의 사이에 불순물 농도가 서서히 변화하는 불순물 농도 구배 영역(13c)이 형성되고 LDD영역(13d)과 HDD영역(13h)의 사이에도 불순물 농도가 서서히 변화하는 불순물 농도 구배 영역(13e)이 형성된다.

도 5b는 불순물 농도 구배 영역이 형성되는 부분을 확대하여 나타낸다. 도 5c는 얻어지는 불순물 농도 분포를 개략적으로 나타낸다. 게이트 절연막(14) 및 게이트 전극(15)은 경사각을 갖는 측벽을 가진다. 따라서 이 경사 부분에서는 반도체층(13)에 대한 이온 주입 효율이 서서히 변화한다.

양단의 고 불순물 농도(HDD영역)(13h)는 반도체층(13)이 노출하여 있는 영역이고 모든 이온 주입을 직접 받는다. HDD영역(13h)에 인접하여 그 위에 게이트 절연막(14)의 경사진 측벽을 갖는 영역에서는 불순물 농도가 고농도 영역(13h)의 농도로부터 저 불순물 농도영역(13d)의 불순물 농도까지 서서히 감소한다.

게이트 전극(15)의 경사진 측벽을 갖는 영역에서는 게이트 전극(15)의 두께가 서서히 증대하고 있다. 이온 주입의 가속 에너지가 게이트 절연막(14)을 통과하는 레벨이므로 게이트 전극(15)의 두께가 얇은 곳에서 게이트 전극(15), 게이트 절연막(14)을 통과하여 불순물 이온이 반도체층(13)으로 주입된다. 게이트 전극 (15)의 두께의 증대에 따라 주입된 불순물 이온의 농도는 감소한다. 이렇게 하여 저 불순물 농도(LDD)영역(13d)에 인접하고 채널영역(13a)과의 사이에 불순물 농도가 서서히 감소하는 초저불순물 농도영역(SLDD)(13c)이 형성된다.

이러한 불순물 농도 분포를 실현함으로써 반도체층(13)내의 공핍층이 형성된 때의 전계 집중이 완화된다. LDD영역(13d)은 불순물 농도가 낮아질수록 전계 집중 완화에는 효과적이지만 불순물 농도를 너무 낮게 하면 온(on) 시의 저항이 증가하여 버린다. 온 시의 저항을 어느 정도 이상으로 하기 위해서는 불순물 농도를 어느 레벨 이상으로 하는 것이 요망된다. 이러한 경우 불순물 농도 분포를 급격히 변화시키면 그 불순물 농도가 급격히 변화하는 영역에 전계 집중이 생기기 쉽다.

SLDD영역(13c)을 형성함으로써 전계 집중을 피하면서 LDD영역의 존재에 의한 온 저항의 증대를 방지하기 쉽게 된다.

또한 게이트 전극(15) 및 게이트 절연막(14)이 각각 경사진 측벽을 가지면 이 위에 절연막, 또는 그 위에 상층 배선층을 형성한 때, 층간 절연막, 상층 배선층의 단차 피복성이 향상된다.

도 6a는 액정 표시 장치에서의 박막 트랜지스터 매트릭스를 개략적으로 나타낸 평면도이다. 표시 영역에는 화소 전극(PX)이 행렬 모양으로 배열되어 있다. 1번상의 행에는 화소 전극(PX11, PX12, ...)이 나란하게 배치되고 화소 행렬의 제 1행째를 형성한다. 화소 전극(PX11)의 밑에는 화소 전극(PX21, PX31, ...)이 나란하게 배치되고 화소 행렬의 열을 형성한다. 마찬가지로 평면상에 매트릭스 모양으로 화소 전극(PX)이 배치되어 표시면을 구성한다.

각 화소 전극에는 박막 트랜지스터(TFT)가 접속되어 있다. TFT의 게이트 전극은 게이트 배선(G1, G2, ...)에 접속되고, 게이트 배선(G1, G2, ...)은 게이트 드라이버(GD)에 의해 제어된다. 각 TFT의 드레인 전극은 드레인 배선(D1, D2, ...)에 접속된다. 드레인 배선(D1, D2, ...)은 데이터 드라이버(DD)로부터 신호 전압을 받는다.

데이터 드라이버(DD)는 1행분의 화소 정보를 받고 대응하는 전압을 발생한 다. 따라서 게이트 드라이버(GD)에서 선택된 게이트 배선(G)에 접속된 1행의 트랜지스터가 온으로 되고 그 1행의 화소행으로 데이터 드라이버(DD)로부터 인가되는 화소 정보를 나타내는 전압이 공급된다.

화소 전극(PX)에 화소 정보가 축적된 후 박막 트랜지스터(TFT)는 온(on)되고 화소 전극(PX)에 축적된 전압은 그대로 축적된다.

도 6b는 1화소 부분의 박막 트랜지스터(TFT)와 게이트 배선(Gi), 드레인 배선(Dj)의 배선을 개략적으로 나타낸다. 게이트 배선(Gi)과 드레인 배선(Dj)은 교차부(CR)를 형성한다. 교차하는 배선을 실현하기 위해서는 다층 배선 구조를 채용할 필요가 있다. 이 다층 배선 구조의 하층 배선으로 되는 게이트 배선(Gi)으로서 상술한 실시예에 따라 경사각을 갖는 측벽을 갖는 배선층을 이용하면 상층 배선으로 되는 드레인 배선의 단차 피복성이 향상된다.

도 7a 7c는 게이트 전극 및 게이트 배선으로서 상술한 실시예에 의한 경사각을 갖는 배선층을 사용한 경우의 구성을 개략적으로 나타낸다.

도 7a에서 게이트 배선(15)은 수평방향으로 연재하고 평탄한 상면 및 그 양측으로 경사진 측벽을 가진다. 게이트 배선(15)의 양측에는 게이트 절연막(14)이 날개 모양으로 노출한다. 또 도 7a에서는 게이트 절연막(14)의 경사진 측벽의 도시를 생략하고 있다.

드레인 배선(Dj)을 형성하는 금속 패턴(20)은 층간 절연막을 개재하여 게이트 배선(15)의 위에 배치된다. 게이트 배선(15)이 경사진 측벽을 가지므로 층간 절연막의 단차 피복성이 향상되고, 게이트 배선(20)의 단차 피복성이 향상된다. 또 드레인 배선(Dj)과 함께 박막 트랜지스터(TFT)의 소스 영역과 화소 전극을 접속하기 위한 배선 영역(20)도 형성된다. 이 배선 영역의 위에 층간 절연막이 형성되고 그 위에 화소 전극으로 되는 ITO막(19)이 형성된다. 또 화소 전극(19)과 소스 배선부(20)와의 사이 및 소스 배선부(20)와 반도체층(13)의 소스 영역과의 사이는 콘택트 홀(CH)을 개재하여 전기적으로 접속된다.

이러한 구성에서 파선(7B-7B) 및 (7C-7C)에 따른 단면 구조를 도 7b 및 도 7c에 나타낸다.

도 7b는 게이트 배선과 드레인 배선이 교차하는 부분의 단면 구조를 나타낸다. 유리기판(11)상에 평탄한 표면을 갖는 SiO_2층(12)이 형성되고 그 위에 스트라이프 모양의 게이트 절연막(14)이 형성되어 있다. 게이트 절연막(14)의 위에는 경사각을 갖는 측벽을 가진 게이트 배선(15)이 형성된다. 게이트 배선(15)의 두께가 두꺼워도 그 측벽은 경사각을 갖기때문에 그 위에 형성되는 층간 절연막(16)의 단차 피복성은 향상된다. 따라서 그 위에 더 형성되는 드레인 배선(20) 및 그 위의 층간 절연막(18)의 단차 피복성도 향상된다.

도 7c는 박막 트랜지스터와 화소 전극과의 접속 부분의 단면 구조를 나타낸다. 유리 기판(11)상에 평탄한 SiO_2층(12)이 형성되고 그 위에 박막 트랜지스터를 형성하는 반도체층(13)의 섬 모양 패턴(13)이 형성되어 있다. 반도체층(13)의 섬 모양 패턴의 중앙부에 게이트 절연막(14)이 형성되고 또 그 중앙부 위에 게이트 배선(15)이 형성되어 있다.

게이트 배선(15)이 경사각을 갖는 측벽을 가지므로 그 위에 형성되는 층간 절연막(16)의 단차 피복성은 향상된다. 층간 절연막(16)에 콘택트 홀(CH)이 형성되고 콘택트 홀(CH)을 개재하여 소스/드레인 배선(20)이 형성된다. 소스/드레인 배선(20) 위에 또한 층간 절연막(18)이 형성되고 콘택트 홀(CH)이 화소 전극과의 접속부에 형성된다. 층간 절연막(18) 위에 ITO막(19)이 형성되어 소스 배선(20)과 접속된다.

예를 들어 반도체층(13)은 두께 15 70nm를 가진다. 게이트 절연막(14)은 두께 50 200nm를 가진다. 게이트 절연막(14)상의 게이트 전극(15)은 두께 100 800nm를 가진다. 게이트 전극(15)의 두께가 두껍게 되어도 측벽이 경사각을 갖는 경우 그 위에 형성되는 층간 절연막(16)의 단차 피복성은 향상된다.

또 게이트 전극(15)의 양측에 날개 모양으로 연재하는 게이트 절연막의 영역은 폭 0.1 2.0㎛, 보다 바람직하게는 폭 0.7 1㎛를 가진다. 또한 게이트 전극(15)의 경사각을 갖는 측벽은 게이트 절연막(14)의 평탄한 상면에 대해 20 70°, 바람직하게는 20 55°의 각도를 이룬다.

상술한 실시예에서는 Al(Al합금)층 퇴적 후 Al층 표면을 TMAH용액, 또는 자연 산화막, 또는 자연 수화막을 제거할 수 있는 성질을 갖는 약제로 처리하였다. 다른 방법을 사용하여 같은 효과를 기대할 수도 있다.

도 8a, 8b는 순방향 경사각을 형성하는 식각의 다른 방법을 나타낸다. 도 8a에서는 절연 기판(1)의 표면 상에 반도체층(3)을 형성한 후 필요에 따라 패터닝을 실시한다. 반도체층(3)을 피복하도록 절연층(4)을 형성한다. 절연층(4)의 위에 Al(Al합금)층(51)을 퇴적하고 그 표면 상에 Ti층(52)을 퇴적한다. Ti는 예를 들어 불산을 포함하는 용액을 사용할 경우 Al과 비교해 식각률이 높은 특징을 갖는다.

Ti층(52)의 위에 레지스트 패턴(7)을 형성하고 레지스트 패턴(7)을 식각 마스크로 하여 Ti층(52), Al층(51)을 패터닝한다. 이 때, Ti층(52)의 식각률이 Al층(51)의 식각률보다도 빠르기 때문에 식각은 Ti층에 대해 우선적으로 진행한다. 따라서, 밑에 Al층(51), 위에 Ti층(52)을 갖는 적층 구조의 식각은 순방향 경사각을 유지하면서 진행한다.

도 8b는 통상의 식각에서 순방향 경사각을 형성하는 방법을 나타낸다. 절연기판(1)상에 반도체층(3), 절연층(4)을 형성한 후, Al(Al합금)층(5)을 퇴적한다. Al층(5)의 위에 레지스트 패턴(7)을 형성하고 레지스트 패턴(7)을 식각 마스크로서 Al층(5)을 식각한다. 식각은 시간 경과와 함께 T0, T1, T2, T3, ...에 의해 진행한다. 여기서 식각을 장시간 계속하면 T7에 의한 측벽으로 되고 그 상부에서 오버행이 형성되기 쉽다. 그렇지만, 그 전의 단차에서는 T6에서 나타

낸 바와 같이 순방향 경사 모양의 측벽이 형성된다. 따라서, 이 타이밍을 선택하면 순방향 경사 모양의 측벽을 갖는 패턴이 형성된다.

또한 식각된 측벽을 2단 모양으로 형성할 수도 있다.

도 8c는 식각된 측벽을 2단계로 경사시키는 식각 방법을 나타낸다. 도 8b와 마찬가지로 절연기판(1)의 위에 반도체층(3), 절연층(4), Al(합금)층(53)을 형성한다. Al층(53)의 위에 레지스트 패턴(7)을 형성하고 레지스트 패턴(7)을 식각 마스크로 하여 습식 식각을 행한다. 식각액은 H_3PO_4, HNO_3, CH_3COOH, H_2O를 함유하는 액을 사용한다. 바람직하게는 HNO_3를 5wt%이상 함유하는 식각액을 사용한다.

이 식각액을 사용하여 Al층(5)을 식각하면 식각중에 N_2나 H_2 등의 반응 가스가 발생한다. 반응 가스는 일부가 기포로 된 식각액내를 상승하지만 일부는 기포로 된 레지스트 마스크의 하부에 고인다. 마스크의 하부에 고이는 반응 가스는 마스크의 외측 부분을 Al층(5)으로부터 밀어 올린다. 이 때문에 마스크의 외측 부분과 Al층간에 갭(gap)이 형성되어 식각제가 마스크 밑의 Al층의 표면에 도달하기 쉽게 된다.

이 때문에 Al층의 식각된 측벽 상부(53a)는 하지 표면에 대해 각도 θ2로 경사지게 된다. 그보다도 하부는 반응 가스의 영향을 받기 어렵고 도 8b와 같은 측벽(53b)이 형성된다. 이 측벽(53b)은 하지 표면에 대해 각도 θ1을 형성한다. 여기서 θ1θ2로 된다.

도 8c의 식각은 식각된 도체층의 단차 피복성을 높이고 또한 도체층의 하부에서는 단면의 경사각을 높이기 위해 두께가 얇은 도체층 부분이 감소하고 폭이 좁은 배선에서 소망한 저저항을 실현하여 단차 피복성을 향상하는데 유효하다.

도 9는 듀얼 게이트를 갖는 TFT의 상면 구조를 개략적으로 나타낸다. 반도체층(13)은 도면중 횡방향으로 길게 형성되고 그 중간에 2개의 게이트(듀얼 게이트)가 형성된다. 즉 반도체층(13)의 위를 게이트 절연막(14)으로 덮고 그 위에 게이트 전극겸 게이트 배선의 Al층(15)을 형성한다. Al층(15)의 위에 레지스트 패턴을 형성하고 상술한 식각 방법에 의해 게이트층(15) 및 그 밑의 게이트 절연 막(14)을 패터닝한다.

반도체층(13) 위에 나란한 2개의 게이트 전극이 형성된다. 그 후 층간 절연막을 개재하여 드레인 배선(20) 및 화소 전극(19)이 형성된다. 드레인 배선(20) 및 화소 전극(19)은 콘텍트 홀(CH)을 개재하여 반도체층(13)에 접속된다.

이러한 듀얼 게이트 구조에서는 반도체층(13)의 위에 2개의 게이트가 나란하게 배치된다. 게이트 전극의 경사각이 너무 작으면 게이트 전극의 저항을 낮게 하기 위해서는 게이트 전극폭을 크게 하여야 한다. TFT의 치수가 커져서 화소 전극(19)이 점유하는 면적을 제한하는 원인이 되어 버린다. 따라서 게이트 전극의 경사각은 어느정도 이상 크게되는 것이 요망된다. 이 관점에서는 게이트 전극의 측벽이 일정한 경사각을 형성하는 경우 식각에 의해 형성되는 게이트층의 경사각은 20° 이상인 것이 요망된다.

도 6a에 나타낸 것과 같은 액정 표시 장치를 형성하는 경우 표시 영역내에는 1개의 화소에 대해 1개의 박막 트랜지스터(TFT)가 형성된다. 예를 들어 모든 TFT는 n채널 트랜지스터로 형성된다. 그러나 게이트 드라이버(GD)와 데이터 드라이버 (DD) 및 다른 주변회로는 상보형 트랜지스터를 사용하여 형성하는 것이 요망된다.

주변회로에 CMOSTFT를 형성하는 경우 그 한쪽의 도전형 트랜지스터, 예를 들면 n채널 TFT는 표시 영역내의 스위칭 트랜지스터(TFT)와 동일한 공정으로 형성된다. 다른 쪽의 도전형 트랜지스터도 가능한 많은 공정을 공통으로 하여 형성하는 것이 요망된다.

도 10a 10d, 도 11e 11g, 도 12h 12j는 상보형 TFT 트랜지스터를 형성하는 방법을 나타낸 기판의 단면도이다.

도 10a에 나타낸 바와 같이 두께 0.7mm의 유리 기판(11)의 1표면상에는 실리콘 산화막(12)을 예를 들어 두께 200nm 정도 PECVD로 퇴적한다. 이 실리콘 산화막은 유리 기판(11)으로부터 불순물이 상층으로 확산하는 것을 방지한다. 실리콘 산화막(12)의 위에 비정질 실리콘막을 예를 들어 두께 50nm PECVD에 의해 성막하고 레지스트 패턴을 사용하여 패터닝하여 비정질 실리콘의 섬 모양 영역(13a, 13b)를 형성한다.

또 이 비정질 실리콘막에는 TFT의 문턱값 제어를 위해 약간의 보론(B)을 도핑하고 있다. 이 비정질 실리콘막에 탈수소 어닐링을 행한 후, 엑시머 레이저를 조사하여 결정화 처리를 행한다. 레이저 조사에 의해 비정질 실리콘막은 다결정 실리콘막으로 변환된다.

그 후 포토 리소그라피 공정 및 다결정 실리콘막의 식각을 실시함으로써 다결정 실리콘막의 섬 모양 패턴(13a, 13b)을 형성한다. 이 때 다결정 실리콘막의 측벽이 경사지도록 식각하면 단차 피복성을 향상시키기 때문에 바람직하다.

도 10b에 나타낸 바와 같이 패터닝하여 다결정 실리콘막(13a, 13b)의 표면을 희불산 수용액으로 세정한 후 게이트 절연막으로 되는 실리콘 산화막(14)을 예를 들어 두께 120nm PECVD로 퇴적한다. 실리콘 산화막(14)의 어닐링을 행한 후, 2at% 5at%의 Nd를 포함하는 Al합금으로 형성된 게이트층(15)을 스퍼터링으로 두께 약 300nm퇴적한다. 이 때의 두께 분포는 예를 들어 약 ±10%이다.

다음에는 기판을 예를 들어 2.2%TMAH 수용액중에 침지하여 TMAH처리를 행한한다. 계속하여 메가헤르쯔 수준의 초음파 수세(水洗)를 실시하고 그 후 표면을 건조시킨다. 이에 따라 처리한 Al합금층(15)위에 포토 레지스터를 도포하고 노광, 현상을 실시하여 레지스트 패턴을 형성한다.

도 10c는 레지스트 패턴(17a, 17b)을 형성한 상태를 나타낸다. 레지스트 패턴을 형성한 후, 기판을 소정 온도로 가열하여 후소성을 실시한다. 후소성 온도는 예를 들어 도 3에 나타낸 것과 같은 성질을 가지며, 소망의 경사각도를 실현하도록 선택한다. 예를 들어 후소성 온도를 100℃로 설정하고 경사각도를 35℃로 설정한다.

도 10d에 나타낸 바와 같이 레지스트 패턴(17a, 17b)을 식각 마스크로 하여 인산, 질산, 초산을 함유하는 수용액으로 Al합금층(15)을 식각한다. 이 습식 식각은 Al합금층(15)의 전 두께를 식각한 후 또한 측면 식각(경사 식각)을 행하고 레지스트 패턴(17a, 17b) 단부로부터 0.7 1.0㎛내부로 들어간 형상을 실현한다. 후소성 온도를 100℃로 설정하기 위해 Al합금층(15a, 15b)의 경사각도는 약 35° 로 된다.

다시 100℃로 기판을 후소성하고 다음에 반응성 이온 식각(RIE)에 의해 게이트 절연막(14)의 식각을 실시한다. 예를 들어 CHF_3 가스를 사용한 RIE를 행하여 게이트 절연막(14)을 이방적으로 식각한다. 이 식각에서 레지스트 패턴 (17a, 17b)의 측벽이 서서히 후퇴하도록 조건을 설정함으로써 게이트 절연막(14a, 14b)의 측벽도 순방향 경사각도를 갖도록 식각된다.

게이트 절연막(14a, 14b)의 식각은 RIE에 의한 이방성 식각에 따라 행하여지기 때문에 그 형상은 레지스트 패턴(17a, 17b)의 형상에 따라 제어되고 측면 식각된 Al합금층(15a, 15b)의 형상보다도 크게 형성된다. Al합금층(15a, 15b)의 하단으로부터 외측으로 연재하는 게이트 절연막(14a, 14b)의 날개 모양의 영역은 0.7 1.0㎛정도로 된다. 게이트 절연막(14a, 14b)의 측벽은 예를 들어 60° 의 순방향 경사각을 가지도록 형성된다.

그 후 기판을 수세하고 라이트 애싱(light ashing)을 행한 후에 레지스트 패턴(17a, 17b)을 박리제로 제거한다. 라이트 애싱은 RIE에 의해 레지스트층의 표면 변질층을 탄화하는 처리이다. 라이트 애싱 전의 수세는 건식 식각시에 사용한 불소계 가스(CHF_3)가 기판면내에 잔류하지 않도록 행한다. 불소계 가스(CHF_3)가 잔류하면 라이트 애싱에서 게이트 절연막 및 그 밑의 다결정 실리콘막이 식각되어 버린다.

도 11e에 나타낸 바와 같이 기판 상방으로부터 이온 도핑법에 의해 n형 불순물인 인(P)을 이온 주입한다. 이온 주입 조건은 예를 들어 2회의 이온 주입, 즉 스루 도핑와 베어 도핑을 행한다.

스루 도핑는 게이트 절연막(14a, 14b)을 통과하여 그 밑의 다결정 실리콘층 (13a, 13b)으로 이온 주입을 행하는 도핑 조건이다. 예를 들어 가속 에너지 70 keV, 도즈량 1×10^{14} cm^{-2} 로 행하여, 게이트 절연막 밑의 다결정 실리콘층 중의 불순물 농도가 1×10^{19} cm^{-3} 로 된다.

베어 도핑은 예를 들어 가속 에너지 10keV, 도즈량 7.5×10^{14} cm^{-2} 로 행하여 노출하여 있는 다결정 실리콘층(13)내의 불순물 농도가 약 7.5×10^{19} cm^{-3} 으로 되도록 행한다.

상기와 같이 게이트 절연막(14a, 14b)으로 피복되어 있지 않은 영역의 불순물 농도는 게이트 절연막으로 피복되고 또한 스루 도핑를 받은 영역의 불순물 농도에 대해 적어도 2배이상, 보다 바람직하게는 5배이상의 불순물 농도로 설정된다. 이러한 2단계의 이온 주입에 의해 LDD영역과 HDD영역을 갖는 LDD구조가 실현된다.

도 11f에 나타낸 바와 같이 n채널 레지스터를 형성하는 영역을 포토 레지스트 패턴 (27)으로 피복한다. p채널 레지스터를 형성하는 영역은 포토 레지스트 패턴(27)의 외부로 노출된다. 이 상태에서 이온 도핑법에 의해 보론(B)을 이온 주입한다. 보론의 이온 주입 조건은 앞서 실시한 인(P)의 주입 조건보다도 고농도로하여 이온 주입 영역을 보상하여 반전하도록 선택한다. 보론을 이온 주입한 HDD영역은 n+형으로부터 p+형으로 변환된다. LDD영역은 n-형으로부터 p-형으로 변환된다.

이렇게 하여 n채널 TFT가 p채널 TFT로 변환된다. 보론(B)의 이온 주입은 도 11e를 참조하여 설명한 2단계 이온 주입법에 의해 행하여도 좋고, 1회의 이온 주입으로 행하여도 좋다. 1회의 이온 주입으로 실시한 경우에는 게이트 절연막(14b) 밑의 영역이 n-형으로부터 p-형으로 변환되도록 이온 주입 조건을 선택할 필요가 있다 . 그 후 레지스트 패턴(27)은 애싱하여 박리하고 그 후 수세를 실시한다.

도 11g는 이렇게 하여 형성된 상보형 TFT를 나타낸다. 상보형 TFT를 사용함으로써 저 소비 전력의 인버터 회로등을 형성할 수 있다. 상보형 TFT를 LDD구조로 형성함으로써 쇼트(short) 채널 상보형 TFT에서 고속 동작을 실현하고 이온 상태에서도 드레인 파형 전압이 저하하지 않는(쇼트 채널 효과를 일으키기 어렵다) 반도체 회로를 형성할 수 있다.

또 이온 도핑을 비질량 분리형의 이온 주입에 의해 행할 경우 이온 주입된 영역에는 목적으로 하는 불순물과 함께 수소도 다층으로 주입된다. 이 수소를 이탈시키기 위해서 예를 들어 380℃에서 2시간 정도의 탈수소 어닐링을 행한다.

또한 이온 주입된 영역은 이온 주입시의 에너지 충격에 의해 미결정화 또는 비정질화되기 쉽다. 이 때문에 엑시머 레이저에 의해 활성화 처리를 행하는 것이 바람직하다. 또 엑시머 레이저의 활성화에 대신하고, 또 엑시머 레이저의 활성화와 함께 고속 가열 어닐링(Rapid thermal annealing : RTA)에 의해 활성화 처리를 행하는 것이 좋다.

도 12h에 나타낸 바와 같이 상보형 TFT를 형성한 기판 표면 상에 TFT를 피복하도록 제 1층간 절연막으로서 실리콘 질화막(16)을 플라즈마 여기(CVD)에 의해, 예를 들면 두께 400nm를 퇴적한다. 그 후 어닐링을 행하여 막질을 개선한다. 실리콘 질화막(16)상에 레지스트 패턴을 형성하고 실리콘 질화막(16)을 식각함으로써 콘텍트 홀(CH)을 형성한다.

도 12i에 나타낸 바와 같이 기판 표면을 희불산 수용액으로 세정한 후 예를 들어 두께 약 100nm의 Ti막, 두께 약 200nm의 Al-Si막, 두께 약 100nm의 Ti막의 3층 적층 구조를 연속적으로 퇴적하고 그 위에 레지스트 패턴을 형성하고 식각을 행함으로써 소스 전극, 드레인 전극, 드레인 배선등을 포함하는 배선층(20)을 형성한다.

도 12j에 나타낸 바와 같이 기판 표면 상에 제 2 층간 절연막으로서 실리콘 질화막(18)을 퇴적한다. 실리콘 질화막 상에 레지스트 패턴을 형성하고 식각을 행함으로써 콘텍트 홀(CH)을 형성한다. 콘텍트 홀(CH)을 형성한 층간 절연막(18) 상에 ITO막을 퇴적하고 포토 리소그라피 공정과 식각 공정에 의해 화소 전극(19) 및 외부 단자 전극의 최상층을 형성한다.

또 제 2층간 절연막으로서는 감광성 투명 수지를 사용하고 표면을 평탄화하여도 좋다. 외부 단자전극의 최상층으로서 ITO막을 형성하는 것은 접속시의 특성 향상을 위해서이다. 마지막으로 TFT 특성 회복을 위해 200℃에서 약 1시간의 어닐링을 실시한다.

이러한 방법에 의하면 적은 마스크수로 유리 기판 상에 상보형 TFT회로를 형성할 수 있다. 경사 구조를 채용함으로써 상층 형성시의 단차 피복성이 향상되고 제조 수율이 향상된다.

이상의 실시예에 따라 본 발명을 설명하였지만 본 발명은 이것들에만 제한되지 않는다. 예를 들어 여러 가지의 변경, 개량, 조합등이 가능한 것은 당업자에게 자명하다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면 적은 마스크수로 LDD구조를 가진 박막 트랜지스터를 형성할 수 있다. 제조 공정에서 단차 피복성이 향상되기 때문에 제조 수율을 향상시킬 수 있다. 자기 정합적으로 대칭적 구성을 갖는 TFT를 형성할 수 있다.

(57) 청구의 범위

청구항 1.

(a) 하지 표면 상에 Al 또는 Al합금층을 형성하는 공정과,

(b) 상기 Al 또는 Al합금층의 표면을 TMAH로 처리하는 공정과,

(c) 상기 TMAH로 처리한 Al 또는 Al합금층의 표면상에 레지스트 패턴을 형성하는 공정과,

(d) 상기 레지스트 패턴을 식각 마스크로서 사용하여, 상기 Al 또는 Al합금층을 습식 식각하는 공정을 포함하는 Al 또는 Al합금층의 식각 방법.

청구항 2.

제 1 항에 있어서,

상기 공정(d)은 상기 레지스트 패턴이 없는 영역에서 상기 Al 또는 Al합금층의 전체 두께를 식각한 후,

상기 레지스트 패턴 밑의 상기 Al 또는 Al합금층을 더욱 경사 식각하는 것을 포함하는 Al 또는 Al합금층의 식각 방법.

청구항 3.

제 2 항에 있어서,

상기 공정(c)은 상기 Al 또는 Al합금층의 위에 레지스트층을 도포하는 보조 공정과, 상기 레지스트층을 선택적으로 노광하는 보조 공정과, 상기 노광된 레지스트층을 현상하여 레지스트 패턴을 형성하는 공정과, 상기 레지스트 패턴을 후소성 하는 보조 공정을 포함하는 Al 또는 Al합금층의 식각 방법.

청구항 4.

제 3 항에 있어서,

상기 레지스트 패턴을 후소성하는 보조 공정은 상기 레지스트 패턴을 60℃ 140℃의 온도로 가열하는 것을 포함하는 Al 또는 Al합금층의 식각 방법.

청구항 5.

제 2항 내지 제 4 항 중 어느 한 항에 있어서,

(e) 상기 레지스트 패턴을 식각 마스크로 하여 상기 하지 표면을 이방적으로 건식 식각하는 공정을 더 포함하는 Al 또는 Al합금층의 식각 방법.

청구항 6.

(a) 하지 표면 상에 Al 또는 Al합금층을 형성하는 공정과,

(b) 상기 Al 또는 Al합금층의 표면 변질층을 제거하는 공정과,

(c) 상기 Al 또는 Al합금층 표면 상에 레지스트 패턴을 형성하는 공정과,

(d) 상기 레지스트 패턴을 식각 마스크로 사용하여 상기 Al 또는 Al합금층을 습식 식각하는 공정

을 포함하는 Al 또는 Al합금층의 식각 방법.

청구항 7.

제 6 항에 있어서,

상기 공정(b)이 TMAH, 콜린, EDTA, 또는 희불산을 함유하는 수용액으로 처리하는 것을 포함하는 Al 또는 Al합금층의 식각 방법.

청구항 8.

(a) 하지 표면 상에 식각률이 높은 표면층을 갖는 금속층을 형성하는 공정과,

(b) 상기 금속층의 표면을 TMAH로 처리하는 공정과,

(c) 상기 TMAH로 처리한 금속층의 표면상에 레지스트 패턴을 형성하는 공정과,

(d) 상기 레지스트 패턴을 식각 마스크로 사용하여 상기 금속층을 습식 식각하는 공정

을 포함하는 식각 방법.

청구항 9.

제 8 항에 있어서,

상기 금속층은 Al 또는 Al합금의 제 1 금속층과 제 1 금속층 위에 형성된 Ti의 제 2 금속층으로 형성되어 있는 식각 방법.

청구항 10.

평탄한 표면을 갖는 절연 기판과,

상기 절연 기판의 평탄한 표면 상에 형성되고, 반도체로 된 복수의 섬 모양 패턴과,

상기 복수의 섬 모양 패턴의 각각의 중간부를 횡단하여 형성된 게이트 절연막과,

상기 게이트 절연막의 중앙부상에 형성되고 상기 평탄한 표면의 법선에 대하여 경사지며, 순방향 경사를 형성하는 측면을 갖는 게이트 전극겸 게이트 배선의 게이트층을 가지며,

상기 게이트 절연막은 상기 게이트층보다 폭이 넓고, 상기 게이트층의 근방에 단차를 구비하고,

상기 복수의 섬모양 패턴의 각각이 상기 게이트 절연막으로 피복되지 않은 영역에 형성된 고불순물 농도 영역과, 상기 게이트 절연막으로 피복되고 상기 게이트층으로 피복되지 않은 영역에 형성된 저불순물 농도영역을 갖는 박막 트랜지스터 매트릭스 기판.

청구항 11.

제 10 항에 있어서,

상기 경사진 측면은 상기 평탄한 표면에 대해서 일정한 경사각도를 갖는 박막 트랜지스터 매트릭스 기판.

청구항 12.

제 11 항에 있어서,

상기 경사각도는 20° 70°의 범위의 각도인 박막 트랜지스터 매트릭스 기판.

청구항 13.

제 10항 내지 제 12 항 중 어느 한 항에 있어서,

상기 게이트층으로 피복되어 있지 않은 상기 절연막의 날개 모양부분이 약 0.1㎛ 약 2㎛의 폭을 갖는 박막 트랜지스터 매트릭스 기판.

청구항 14.

제 10항 내지 제 12 항 중 어느 한 항에 있어서,

상기 게이트 절연막이 상기 평탄한 표면의 법선에 대해 경사지고, 순방향 경사를 형성하는 측면을 갖는 박막 트랜지스터 매트릭스 기판.

청구항 15.

제 14 항에 있어서,

상기 게이트 절연막의 측면이 상기 평탄한 표면에 대해 40° 80°의 범위의 각도를 형성하는 박막 트랜지스터 매트릭스 기판.

청구항 16.

제 10항 내지 제 12항 및 제 15 항 중 어느 한 항에 있어서,

상기 게이트층이 Al 또는 Al합금으로 형성되어 있는 박막 트랜지스터 매트릭스 기판.

청구항 17.

제 10항 내지 제 12항 및 제 15 항 중 어느 한 항에 있어서,

상기 게이트 절연막 및 상기 게이트층은 상기 섬 모양 패턴의 외부까지 연재하고, 또한

상기 게이트층을 피복하여 상기 절연 기판 상에 형성된 층간 절연막과,

상기 층간 절연막상에 형성되고, 상기 섬 모양 패턴의 외부에서 상기 게이트층과 교차하는 버스 배선층

을 갖는 박막 트랜지스터 매트릭스 기판.

청구항 18.

제 10항 내지 제 12항 및 제 15 항 중 어느 한 항에 있어서,

상기 섬 모양 패턴은 상기 저불순물 농도영역에 연속하고, 상기 게이트층 하방으로 향하여 형성되고, 상기 저불순물 농도영역에서 멀어짐에 따라서 불순물 농도가 저하하는 농도 구배영역을 포함하는 박막 트랜지스터 매트릭스 기판.

청구항 19.

제 10 항에 있어서,

상기 게이트층의 경사진 측면은 상기 절연 기판측으로 배치되고 상기 평탄한 표면에 대해 제 1 각도를 형성하는 제 1 측면부와 상기 제 1 측면부보다도 상기 절연 기판으로부터 떨어진 위치에 배치되고, 상기 평탄한 표면에 대해 상기 제 1 각도보다도 작은 제 2 각도를 형성하는 제 2 측면부를 포함하는 박막 트랜지스터 매트릭스 기판.

청구항 20.

(a) 절연 기판 상에 반도체층을 형성하는 공정과,

(b) 상기 반도체층 상에 게이트 절연막을 형성하는 공정과,

(c) 상기 게이트 절연막 상에 Al 또는 Al합금으로된 게이트층을 형성하는 공정과,

(d) 상기 게이트층 표면을 TMAH로 처리하는 공정과,

(e) 상기 TMAH로 처리한 게이트층 표면 상에 레지스트 패턴을 형성하는 공정과,

(f) 상기 레지스트 패턴을 식각 마스크로 하여 상기 게이트층을 순방향 경사의 측벽을 형성하면서 습식 식각하는 공정과,

(g) 상기 레지스트 패턴을 식각 마스크로 하여 상기 게이트 절연막을 이방적으로 건식 식각하는 공정을

포함하는 박막 트랜지스터 매트릭스의 제조 방법.

청구항 21.

제 20 항에 있어서,

상기 공정(f)은 상기 레지스트 패턴이 없는 영역에서 상기 게이트층의 전체 두께를 식각한 후, 상기 레지스트 패턴 밑의 게이트층을 경사 식각하는 것을 포함하는 박막 트랜지스터 매트릭스의 제조 방법.

청구항 22.

제 21 항에 있어서,

상기 공정 (e)은 순방향 경사의 측면을 갖는 레지스트 패턴을 형성하고, 상기 공정(g)은 상기 레지스트 패턴을 소비하면서 순방향 경사의 측면을 갖는 게이트 절연막의 패턴을 형성하는 박막 트랜지스터 매트릭스의 제조 방법.

청구항 23.

제 20항 내지 제 22 항 중 어느 한 항에 있어서,

(h) 상기 공정(g)후, 상기 레지스트 패턴을 제거하는 공정과,

(i) 상기 공정(h)후 상기 반도체층에 불순물 이온을 주입하는 공정

을 더 포함하는 박막 트랜지스터 매트릭스의 제조 방법.

청구항 24.

제 23 항에 있어서,

상기 공정(i)은 불순물 이온이 상기 게이트 절연막을 통과하여 상기 반도체층에 주입되는 가속 에너지로 행하는 제 1 이온 주입 공정과,

불순물 이온이 상기 게이트 절연막을 통과하지 못하는 가속 에너지로 행하는제 2 이온 주입 공정을 포함하는 박막 트랜지스터 매트릭스의 제조 방법.

청구항 25.

제 20항 내지 제 22항 및 제 24 항 중 어느 한 항에 있어서,

상기 공정(e)은 상기 게이트층 표면 상에 레지스트층을 도포하는 보조 공정과, 상기 레지스트층을 선택적으로 노광하는 보조 공정과, 상기 레지스트층을 현상하여 레지스트 패턴을 형성하는 보조 공정과, 상기 레지스트 패턴을 후소성하는 보조 공정을 포함하는 박막 트랜지스터 매트릭스의 제조 방법.

청구항 26.

제 25 항에 있어서,

상기 후소성하는 보조 공정은 상기 레지스트 패턴을 60℃ 140℃의 온도로 가열하는 것을 포함하는 박막 트랜지스터 매트릭스의 제조 방법.

청구항 27.

제 20항 내지 제 22항, 제 24항 및 제 26 항 중 어느 한 항에 있어서,

상기 공정(f)은 인산, 질산을 함유하는 수용액을 식각제로 사용하는 박막 트랜지스터 매트릭스의 제조 방법.

청구항 28.

(a) 절연 기판 상에 반도체층을 형성하는 공정과,

(b) 상기 반도체층 상에 게이트 절연막을 형성하는 공정과,

(c) 상기 게이트 절연막 상에 Al 또는 Al합금으로된 제 1 게이트층을 형성하는 공정과

(d) 상기 제 1 게이트층 표면 상에 Ti로된 제 2 게이트층을 형성하는 공정과,

(e) 상기 제 2 게이트층 표면을 TMAH로 처리하는 공정과,

(f) 상기 제 2 게이트층 표면 상에 레지스트 패턴을 형성하는 공정과,

(g) 상기 레지스트 패턴을 식각 마스크로 하여 상기 제 1 및 제 2 게이트층을 습식 식각하는 공정과,

(h) 상기 레지스트 패턴을 식각 마스크로 하여 상기 게이트 절연막을 이방적으로 식각하는 공정

을 포함하는 박막 트랜지스터 매트릭스의 제조 방법.

청구항 29.

평행으로 배열된 복수의 게이트 배선과, 층간 절연막을 개재하여 상기 복수의 게이트 배선과 교차하고, 평행으로 배열된 복수의 드레인 배선을 구비한 박막 트랜지스터 매트릭스 기판으로서,

상기 게이트 배선은 게이트 절연막상에 적층되는 동시에, 순방향 경사를 형성하는 측면을 구비하고,

상기 게이트 절연막은 상기 게이트 배선보다 폭이 넓고, 또한 상기 게이트 배선의 양측 근방에 단차를 구비하여 이루어진 박막 트랜지스터 매트릭스 기판.

청구항 30.

제 29항에 있어서, 상기 게이트 절연막이 순방향 경사를 형성하는 측면을 가지는 박막 트랜지스터 매트릭스 기판.

청구항 31.

평탄한 표면을 갖는 절연기판과, 상기 절연기판의 평탄한 표면상에 형성된 스트라이프 모양의 게이트 절연막과, 상기 게이트 절연막상에 형성된 게이트 배선과, 층간 절연막을 개재하여 상기 게이트 배선과 교차하는 드레인 배선을 가지며,

상기 교차부에서 상기 게이트 배선은 상기 평탄한 표면의 법선에 대하여 경사져서 순방향 경사를 형성하는 측면과, 상기 법선에 대하여 수직한 상면을 가지며 상기 게이트 절연막은 상기 게이트 배선보다 폭이 넓고, 또한 상기 게이트 배선의 양측 근방에 단차를 구비하여 이루어진 박막 트랜지스터 매트릭스 기판.

청구항 32.

절연기판상에 상보형 트랜지스터를 구비한 박막 트랜지스터 매트릭스 기판으로서,

상기 상보형 트랜지스터를 구성하는 한편의 도전형의 트랜지스터와 다른편의 도전형의 트랜지스터는 각각 반도체로된 섬 모양 패턴과, 상기 섬 모양 패턴의 각각을 횡단하여 형성된 게이트 절연막과, 상기 게이트 절연막상에 형성된 게이트 전극을 가지며, 상기 게이트 절연막은 상기 게이트 전극보다 폭이 넓은 동시에 상기 게이트 전극의 근방에 단차를 구비하고, 상기 섬 모양 패턴은 상기 게이트 절연막으로 피복되지 않은 부분에 형성되고, 고불순물 농도를 가지는 고농도 영역과, 상기 게이트 절연막으로 피복되는 동시에, 상기 게이트 전극으로 피복되지 않은 부분에 형성되고, 상기 고불순물 농도보다도 낮은 저불순물 농도를 가지는 저농도 영역을 포함하여 이루어지고,

상기 한편 및 다른편의 도전형의 트랜지스터의 상기 고농도 영역에는 각각 대략 같은 농도의 일 도전형의 불순물이 도입되고, 또한 다른 편의 도전형의 상기 고농도 영역에는 상기 일도전형의 불순물에 가하여 상기 일 도전형의 불순물 보다도 고농도의 반대 도전형의 불순물이 도입된 박막 트랜지스터 매트릭스 기판.

청구항 33.

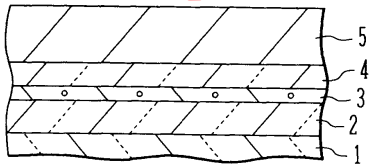
제 32항에 있어서, 상기 한편 및 다른 편의 도전형의 트랜지스터의 상기 저농도 영역에는 각각 대략 같은 농도의 일 도전형의 불순물이 도입되고, 또한 다른 편의 도전형의 상기 저농도 영역에는 상기 일도전형의 불순물에 가하여, 상기 일도전형의 불순물보다도 고농도의 반대 도전형의 불순물이 도입된 박막 트랜지스터 매트릭스 기판.

청구항 34.

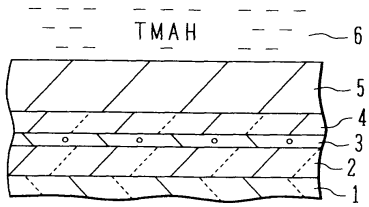
제 32항에 있어서, 상기 상보형 트랜지스터를 피복하는 제 1층간 절연막과, 상기 제 1층간 절연막에 설치된 개구를 통하여 상기 고농도 영역에 접속하는 배선층과, 상기 배선층을 피복하는 제 2층간 절연막과, 상기 제 2층간절연막에 설치된 개구를 통하여 상기 배선층에 접속된 화소전극 또는 외부단자 전극을 구비하는 박막 트랜지스터 매트릭스 기판.

도면

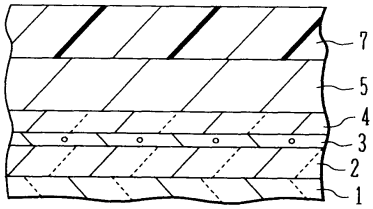
도면 1a



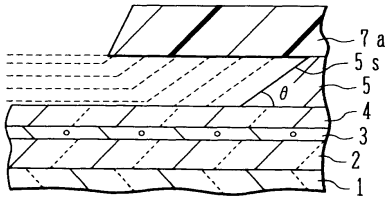
도면 1b



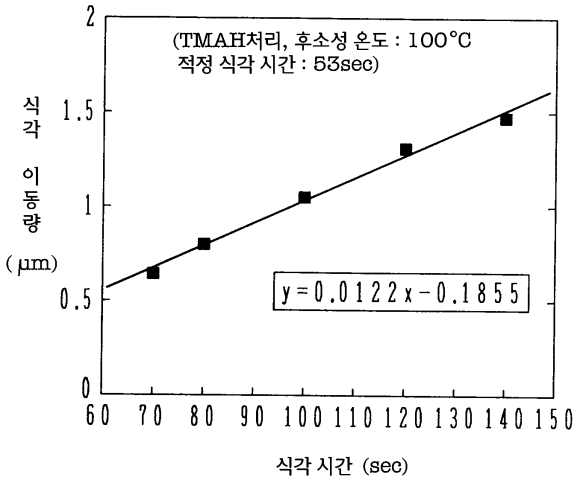
도면 1c



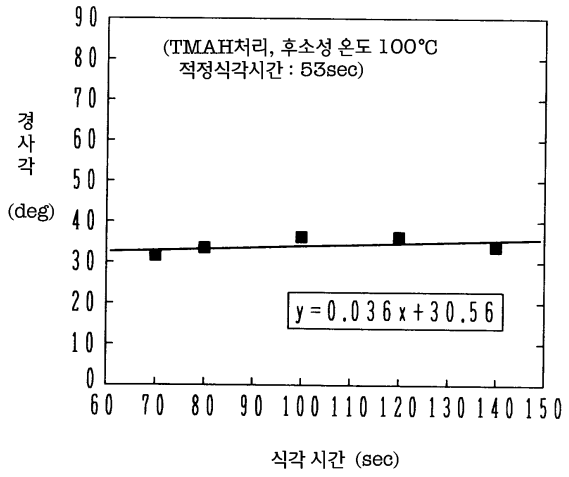
도면 1d



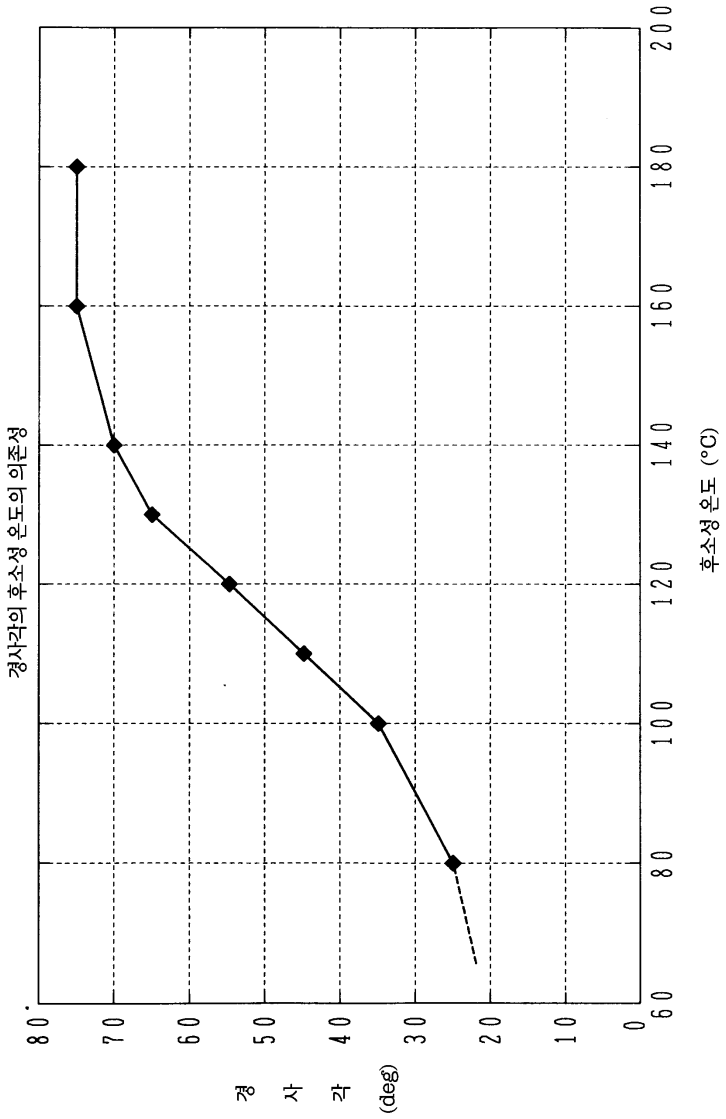
도면 2a



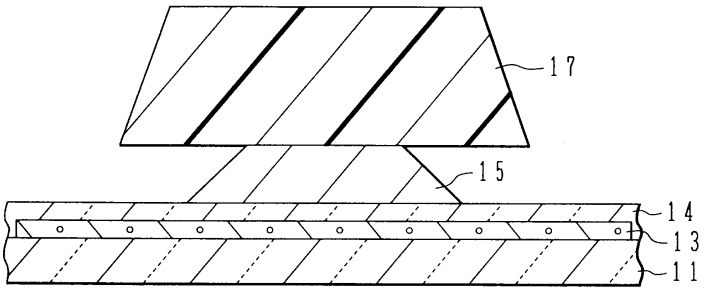
도면 2b



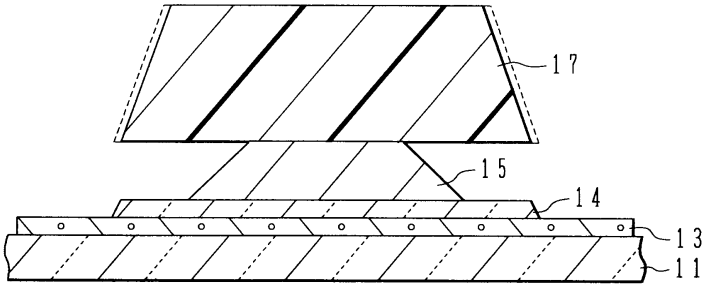
도면 3


경사각의 후소성 온도의 의존성
후소성 온도 (°C)
경 사 각 (deg)
0
10
20
30
40
50
60
70
80
60
80
100
120
140
160
180
200

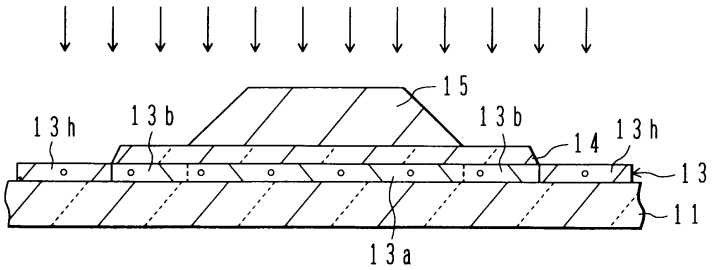
도면 4a



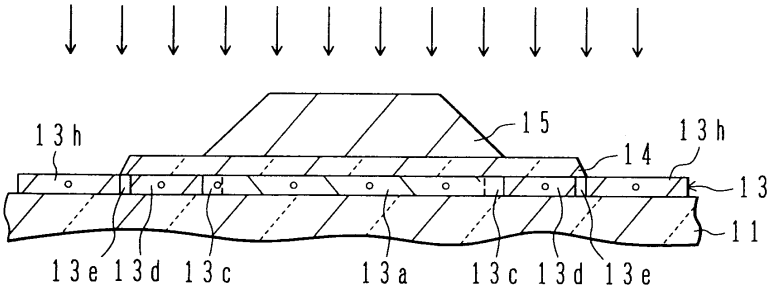
도면 4b



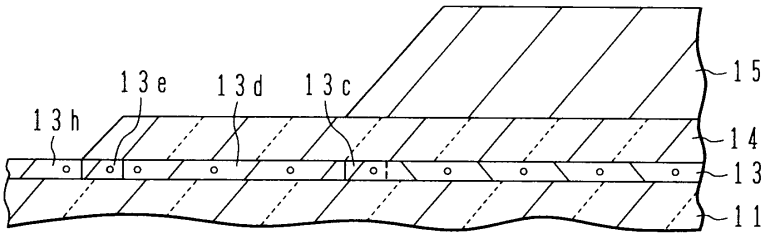
도면 4c



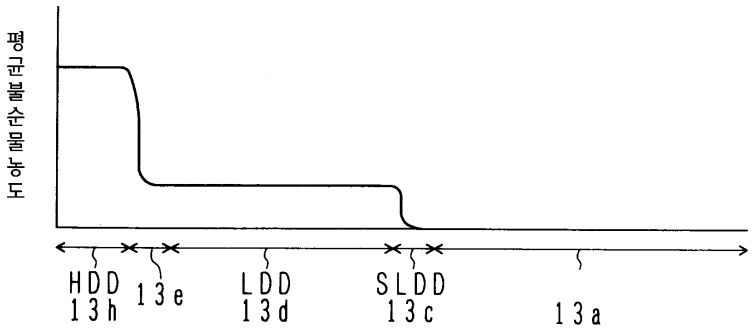
도면 5a



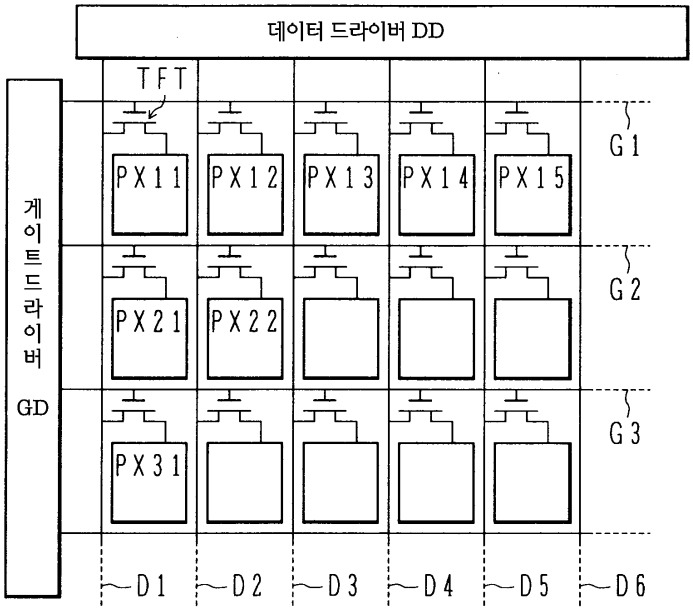
도면 5b



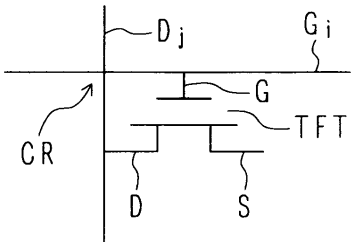
도면 5c



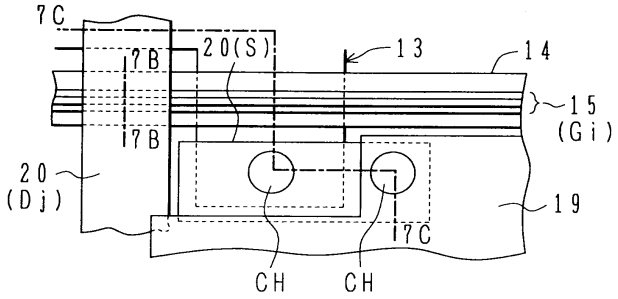
도면 6a



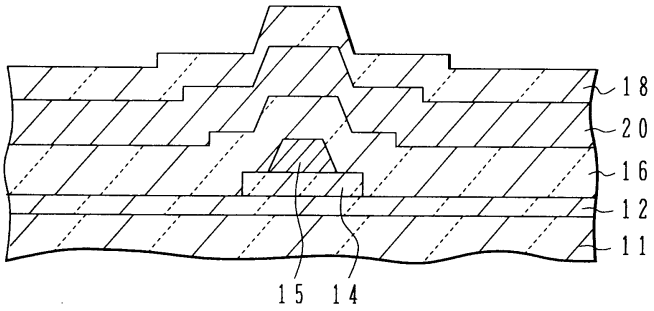
도면 6b



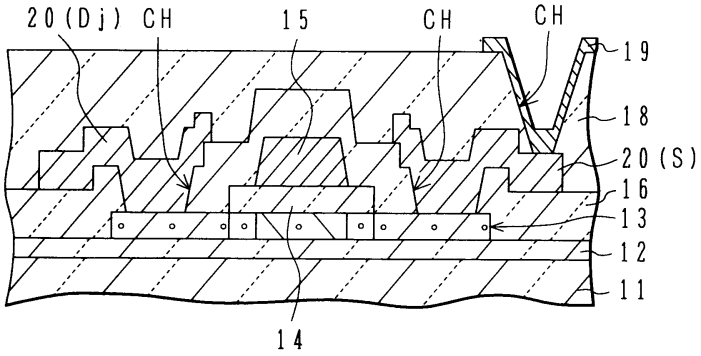
도면 7a



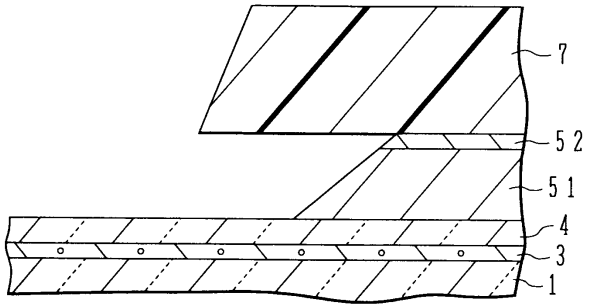
도면 7b



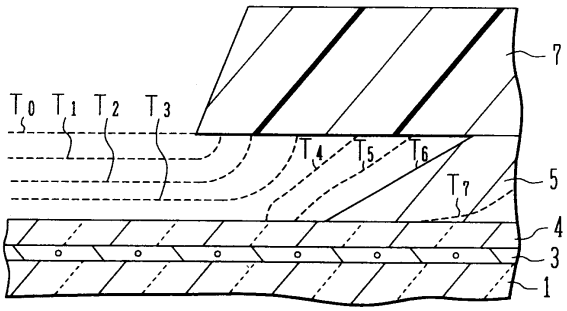
도면 7c



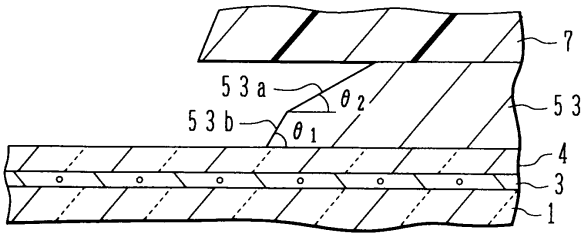
도면 8a



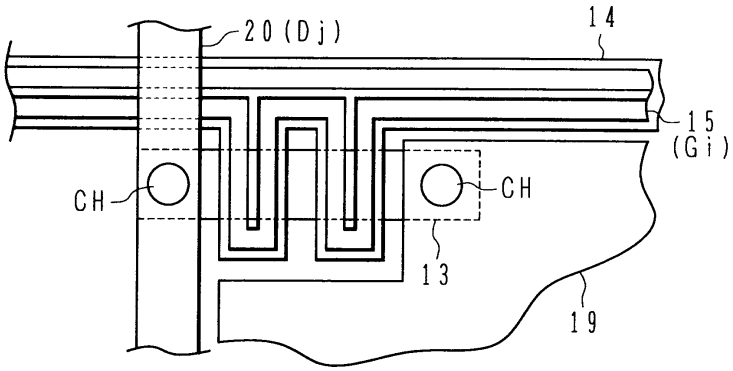
도면 8b



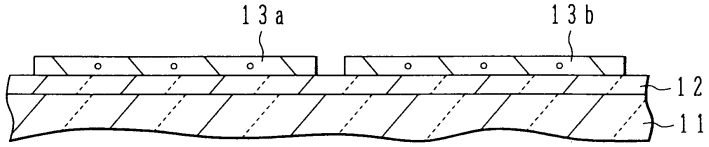
도면 8c



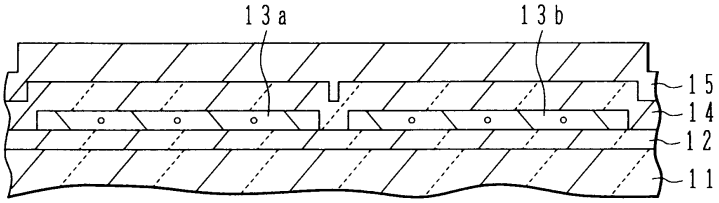
도면 9



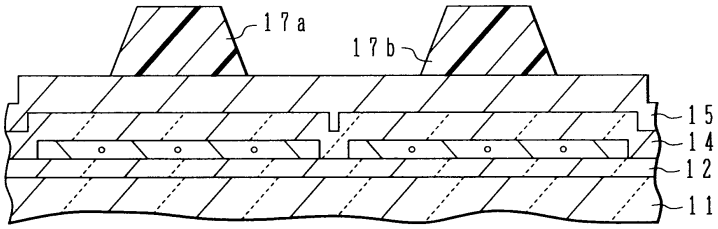
도면 10a



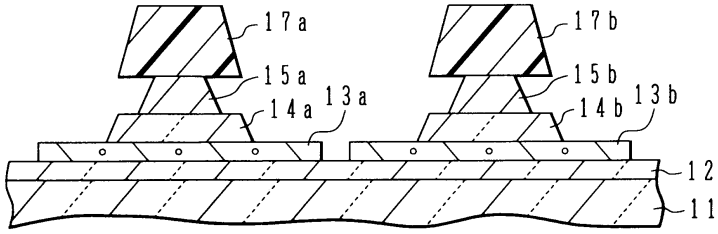
도면 10b



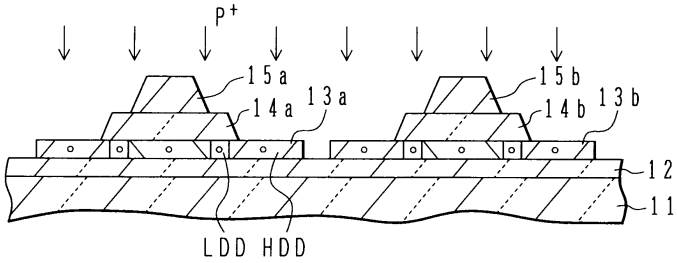
도면 10c



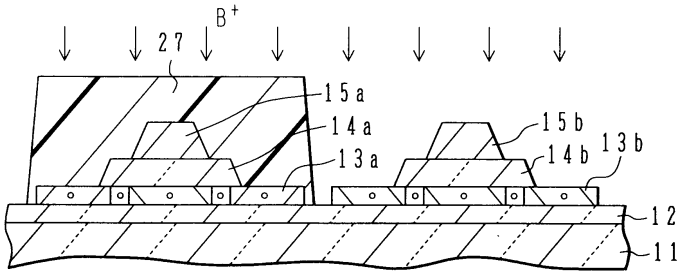
도면 10d



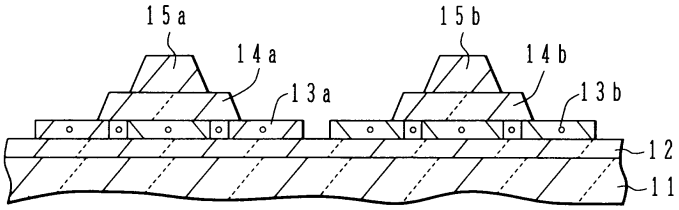
도면 11e



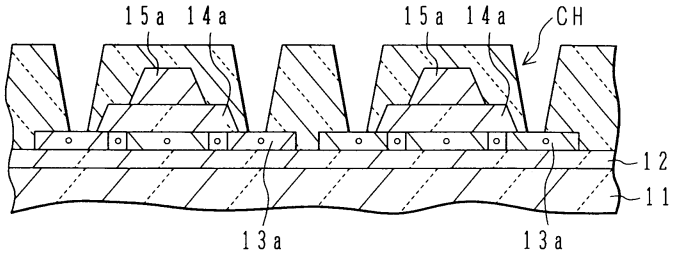
도면 11f



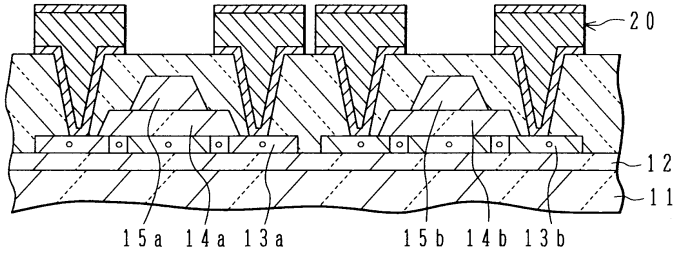
도면 11g



도면 12h



도면 12i



도면 12j

