

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 3 月 15 日 (15.03.2007)

PCT

(10) 国際公開番号
WO 2007/029384 A1

(51) 国際特許分類:

H01L 25/065 (2006.01) H01L 25/18 (2006.01)
H01L 21/822 (2006.01) H01L 27/04 (2006.01)
H01L 25/07 (2006.01)東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
Tokyo (JP). 田浦 徹 (TAURA, Toru) [JP/JP]; 〒1088001
東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
Tokyo (JP).

(21) 国際出願番号: PCT/JP2006/310928

(74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒
1070052 東京都港区赤坂 1 丁目 9 番 20 号 第 16 興
和ビル 8 階 Tokyo (JP).

(22) 国際出願日: 2006 年 5 月 31 日 (31.05.2006)

(25) 国際出願の言語: 日本語

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW,
MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,
RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2005-257322 2005 年 9 月 6 日 (06.09.2005) JP(71) 出願人 (米国を除く全ての指定国について): 日本電気
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001
東京都港区芝五丁目 7 番 1 号 Tokyo (JP).(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

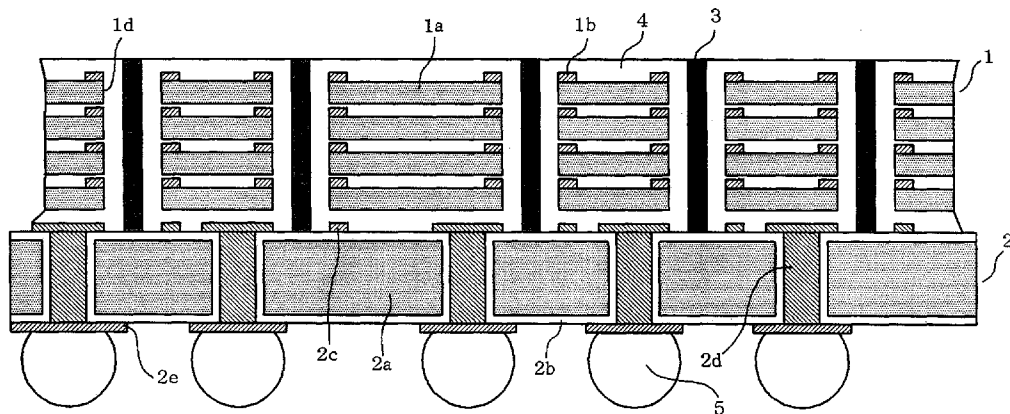
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 星野 茂樹
(HOSHINO, Shigeki) [JP/JP]; 〒1088001 東京都港区
芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
谷岡 道修 (TANIOKA, Michinobu) [JP/JP]; 〒1088001

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A plurality of LSI chips (1) are stacked on an interposer (2). A signal coil (1b) for signal transmission is formed on the circuit formation surface of the LSI chip (1) formed using a Si substrate (1a). The signal coil (1b) is connected to a circuit formed within the LSI chip (1). A through hole (1d) is formed at the center part of the signal coil (1b) on the Si substrate (1a). On the interposer (2), a signal coil (2c) connected through a feedthrough conductor (2d) to a solder ball (5) is formed. At the center parts of the signal coils (1b, 2c), a magnetic pin (3) made of a magnetic material is inserted.

(57) 要約: 本発明は、インターポーザ 2 上に複数の L S I チップ 1 が積層される。S i 基板 1 a を用いて形成された L S I チップ 1 の回路形成面には信号伝送のための信号用コイル 1 b が形成されている。信号用コイル 1 b は、L A I チップ 1 内部に形成された回路と接続されている。S i 基板 1 a の信号用コイル 1 b の中心部には貫通孔 1 d が形成されている。インターポーザ 2 上には、貫通導電体 2 d を介してはんだボール 5 に接続された信号用コイル 2 c が形成されている。信号用コイル 1 b, 2 c の中心部には磁性材料からなる磁性体ピン 3 が挿入されている。

WO 2007/029384 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, — 補正書
MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各*PCT*ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

半導体装置

技術分野

[0001] 本発明は、LSIチップを積層してなる半導体装置に関し、特に、コイル（インダクタンス）の誘導によって信号伝送、および／または、電力供給を行う半導体装置に関する。

背景技術

[0002] 現在の集積回路は、プレーナ技術で製造されるのが主流であるが、個別半導体チップ上に達成できる回路集積度は飽和しつつある。近年、集積化効率を高めるために、半導体チップの複数の層を垂直方向に集積化する、即ち、上下に重畳して電気接続することが行なわれている。

[0003] 垂直方向に集積化された回路の場合、夫々3次元の回路構造は、相互に独立して処理加工して製造された各個別チップ層（一般に、接着張り合わせ用の層で結合されている）の積層体から構成されている。垂直方向の接続部の電気的特性を良好にして、接続密度を高くするために、組立ての前に、各個別チップ層を相応の厚みになるように薄膜化されることも多い。

[0004] 例えば、特開2002-305282号公報などによって、垂直方向に集積化された回路の接続構造として各チップ層間を直接接続する構成が公知である（以下、第1の従来例という）。図1に、第1の従来例に開示された半導体装置の断面図を示す。

[0005] この第1の従来例では、図1に示すように、回路面102を有する半導体素子101上にはAlパッド103が設けられ、そしてこれらを貫通してビアホール110が開設されている。ビアホール110の内壁面は導電性被膜112によって被覆されており、Alパッド103上にはAuバンプ104が設置されている。ある半導体素子の裏面のビアホール110に他の半導体素子のAuバンプ104を当接させることによって、半導体素子間の接続を達成している。

[0006] この構造では、多数で微細な電極同士を接続する場合には、積層構造を製作する時点で、各電極での接続が同時に可能なように位置決めを極めて正確にする必要

がある。また、この構造では、組立て時における電極同士の接触不良の発生や薄型化によってチップに大きなそりが発生するので、直接接続が困難などの歩留まりが低下する問題がある。したがって、高精度な位置決め装置の必要性や歩留まりの低下などによって製造コストがかさむという著しい欠点がある。

[0007] このような欠点を改善する手法として非接触信号伝送法があり、例えば、特開平8-236696号公報などに開示されている(以下、第2の従来例という)。図2に、第2の従来例に開示された積層型半導体装置の構成図を示す。

[0008] 図2に示すように、チップ層 L_n には、送信装置Sと、この送信装置Sに接続された送信コイルSPSが設けられている。チップ層 L_{n+x} には、受信装置Eと、この受信装置Eに接続された受信コイルSPEが設けられている。送信コイルSPSと受信コイルSPEとの間は、結合インダクタンスMによって結合されている。各チップ層は、給電装置VSS、VDDから給電されている。この半導体装置において、送信装置Sの入力側から電圧U1が入力されたとき、その出力側から電圧U2が出力され、この電圧U2が送信コイルSPSに入力される。これによって、受信コイルSPEの出力側に電圧U3が誘起され、受信装置Eの出力側から電圧U4が出力される。

[0009] この構成では、一方のチップ層内の回路に接続されたコイルと別のチップ層内の回路に接続されたコイルが設けられており、両コイルが電磁的に結合されているので、チップ層間相互の位置合わせ(整合)およびそれぞれのチップ層の表面の平坦度に対する条件は、図1に示した第1の従来例の場合に比べて高くなくてもよい。

発明の開示

[0010] 第2の従来例では、垂直方向に各チップ層間の信号接続路を形成する際に、多数の信号についての伝送を行なう場合には、限られた領域で信号伝送路を形成するためにコイル同士を接近させる必要があり、コイル間の干渉が起こりまた隣接コイル間への影響が大きくなって、信号品質が低下する可能性が高まるという欠点がある。

[0011] また、第2の従来例では、信号伝達を非接触で行っているものの、給電のために信号伝達路とは全く構成の異なる、直接接続型の給電路を設ける必要があり、そのためには、ワイヤボンディング方式や第1の従来例の手法を用いる必要がある。ワイヤボンディング接続によって各LSIチップへの電力供給を行う構造では、LSIチップ上

にワイヤを配置するためのスペースが必要となる。このため、この構造には、各LSIチップの面積増大を招く外、LSIチップの積層が困難で歩留まりが低下するという問題と、積層した際の半導体装置としての厚さが増大するという問題点がある。

[0012] また、第1の従来例によって電力供給を行う方式を採用した場合には、上述した微細な電極同士を接触させる際の問題点が起こる。

[0013] そこで、本発明は、複数のLSIチップ間でコイルによって信号伝送を行なうLSI間の相互信号伝送方式において、相互のコイル位置のずれによる各LSIチップ間の信号伝送効率の低下や高密度化した際の信号伝送経路間の漏洩ノイズの増加などによる信号伝送品質の低下を防止することができる半導体装置を提供することを第1の目的とする。

[0014] また、本発明は、LSIチップへの電力供給を非接触方式で可能にすることを第2の目的とし、信号伝送路と電力供給路とを類似の手段によって実現できるようにして、構成の簡素化と製造コストの低減を達成することができる半導体装置を提供することを第3の目的とする。

[0015] 上述の目的を達成するため、本発明に係る半導体装置によれば、複数のLSIチップが積層され、LSIチップ間の信号の伝達がコイルを介して行われる半導体装置において、

LSIチップのコイルの内側には、LSIチップを貫いて貫通孔が形成され、この貫通孔に、磁性材料を含む磁性体ピンが挿入されている。

[0016] また、本発明に係る他の半導体装置は、表面に垂直に磁性材料を含む磁性体ピンが設置され、該磁性体ピンを囲んで表面にコイルが形成されているインターポーザ上に1つまたは積層された複数のLSIチップが搭載され、少なくとも1つのLSIチップには、インターポーザ上に形成されたコイルと電磁的に結合されたコイルが形成されている半導体装置であって、

LSIチップのコイルの中心部には、このLSIチップを貫いて貫通孔が形成され、この貫通孔に前記磁性体ピンが挿入されている。

[0017] また、上述のように構成された本発明の半導体装置において、積層されたLSIチップのコイル間、またはインターポーザ上のコイルとLSIチップのコイルとの間で信号の

授受が行われる。また、本発明の半導体装置において、インターポーザ上のコイルからLSIチップに形成された回路に対して、LSIチップに形成されたコイルを介して電力の供給が行われる。

[0018] また、本発明に係る他の半導体装置は、表面にコイルが形成されているインターポーザ上に1つまたは積層された複数のLSIチップが搭載され、LSIチップには、インターポーザ上に形成されたコイルと電磁的に結合されたコイルが形成されている半導体装置であって、

前記インターポーザ上に形成されたコイルからLSIチップに形成された回路に対して、LSIチップ上に形成されたコイルを介して電力の供給が行われる。

[0019] 上述したように、本発明によれば、各LSIチップのコイルの内部に磁性体ピンが挿入されていることで、信号伝送したいコイル間の信号効率を向上し、かつ信号を通したくない他のコイルへの信号漏洩を低減することができる。また、各LSIチップへの給電もコイルを介して行うことができる。そして、コイルを用いて非接触の信号／電力伝送を行っているので、LSIチップ製造時のパターン形成とLSIチップ積層時の位置合わせとに高精度な条件が不要になり、かつLSIチップの表面の平坦度に対する要求も低減でき、LSIチップの製造コストおよび組み立てコストを低減することができる。

[0020] なお、本発明において、電源ラインは、接地ラインを含めて指している。

図面の簡単な説明

[0021] [図1]第1の従来例を示す断面図である。

[図2]第2の従来例の複数チップの積層状態を示す模式図である。

[図3]第1の実施形態の概略を示す断面図である。

[図4A]第1の実施形態のLSIチップ表面およびインターポーザ表面のコイル部の概略を示す平面図である。

[図4B]第1の実施形態のLSIチップ表面およびインターポーザ表面のコイル部の概略を示す平面図である。

[図4C]第1の実施形態のLSIチップ表面およびインターポーザ表面のコイル部の概略を示す平面図である。

[図5]第2の実施形態の概略を示す断面図である。

[図6]第3の実施形態の概略を示す断面図である。

[図7]第4の実施形態の概略を示す断面図である。

[図8]第5の実施形態の概略を示す断面図である。

[図9]第6の実施形態の概略を示す断面図である。

[図10]第7の実施形態の概略を示す断面図である。

[図11]第8の実施形態の概略を示す断面図である。

[図12]実施例1を示す断面図である。

[図13A]実施例1の導電性ピンによる接続構造例を示す断面図である。

[図13B]実施例1の導電性ピンによる接続構造例を示す断面図である。

[図13C]実施例1の導電性ピンによる接続構造例を示す断面図である。

[図13D]実施例1の導電性ピンによる接続構造例を示す平面図である。

[図13E]実施例1の導電性ピンによる接続構造例を示す断面図である。

[図13F]実施例1の導電性ピンによる接続構造例を示す断面図である。

[図14A]実施例1の製造方法を示す断面図である。

[図14B]実施例1の製造方法を示す断面図である。

[図14C]実施例1の製造方法を示す断面図である。

[図14D]実施例1の製造方法を示す断面図である。

[図14E]実施例1の製造方法を示す断面図である。

[図14F]実施例1の製造方法を示す断面図である。

[図15A]実施例1で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図15B]実施例1で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図15C]実施例1で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図15D]実施例1で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図15E]実施例1で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面

図である。

[図15F]実施例1で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図15G]実施例1で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図15H]実施例1で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図15I]実施例1で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図16A]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16B]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16C]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16D]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16E]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16F]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16G]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16H]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16I]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16J]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16K]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16L]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16M]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16N]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16O]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16P]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16Q]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16R]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16S]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図16T]実施例1で用いられるインターポーザの製造方法を示す断面図である。

[図17]実施例2を示す断面図である。

[図18A]実施例2の導電性ピンによる接続構造例を示す断面図である。

[図18B]実施例2の導電性ピンによる接続構造例を示す断面図である。

[図18C]実施例2の導電性ピンによる接続構造例を示す断面図である。

[図18D]実施例2の導電性ピンによる接続構造例を示す断面図である。

[図18E]実施例2の導電性ピンによる接続構造例を示す平面図である。

[図18F]実施例2の導電性ピンによる接続構造例を示す断面図である。

[図19A]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19B]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19C]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19D]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19E]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19F]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19G]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19H]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19I]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19J]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19K]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19L]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19M]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19N]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19O]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19P]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図19Q]実施例2で用いられる磁性体ピンおよび導電性ピンの製造方法を示す断面図である。

[図20A]実施例2の製造方法を示す断面図である。

[図20B]実施例2の製造方法を示す断面図である。

[図20C]実施例2の製造方法を示す断面図である。

[図20D]実施例2の製造方法を示す断面図である。

[図20E]実施例2の製造方法を示す断面図である。

[図21A]実施例3の製造方法を示す断面図である。

[図21B]実施例3の製造方法を示す断面図である。

[図21C]実施例3の製造方法を示す断面図である。

[図21D]実施例3の製造方法を示す断面図である。

[図21E]実施例3の製造方法を示す断面図である。

[図21F]実施例3の製造方法を示す断面図である。

[図21G]実施例3の製造方法を示す断面図である。

[図22]実施例4を示す断面図である。

[図23A]実施例4におけるインターポーザのコイル部の概略を示す平面図である。

[図23B]実施例4におけるインターポーザのコイル部の概略を示す平面図である。

[図23C]実施例4におけるインターポーザのコイル部の概略を示す平面図である。

[図24A]実施例4の製造方法を示す断面図である。

[図24B]実施例4の製造方法を示す断面図である。

[図24C]実施例4の製造方法を示す断面図である。

[図24D]実施例4の製造方法を示す断面図である。

[図24E]実施例4の製造方法を示す断面図である。

[図24F]実施例4の製造方法を示す断面図である。

[図24G]実施例4の製造方法を示す断面図である。

[図24H]実施例4の製造方法を示す断面図である。

[図24I]実施例4の製造方法を示す断面図である。

[図24J]実施例4の製造方法を示す断面図である。

[図24K]実施例4の製造方法を示す断面図である。

[図24L]実施例4の製造方法を示す断面図である。

[図24M]実施例4の製造方法を示す断面図である。

[図24N]実施例4の製造方法を示す断面図である。

[図24O]実施例4の製造方法を示す断面図である。

[図24P]実施例4の製造方法を示す断面図である。

発明を実施するための最良の形態

[0022] 以下、本発明の実施形態について図面を参照して詳細に説明する。

[0023] 図3は、第1の実施形態を示す半導体装置の概略を示す断面図であり、図4Aは、各LSIチップの信号入出力部に形成されたコイルの周辺領域の概略を示す平面図、図4B、図4Cは、インターポーザのコイルの周辺領域の概略を示す平面図である。

[0024] LSI(Large-Scale Integration)チップ1は、Si基板1aを用いて形成されており、その回路形成面には信号伝送のために用いられる信号用コイル1bが形成されている。信号用コイル1bは、引出し配線1c[図4A参照]を介してLSIチップ1内部に形成された回路と電氣的に接続されている。Si基板1aの信号用コイル1bの中心部にはそれぞれ貫通孔1dが形成されている。

- [0025] インターポーザ2は、例えばSiからなる基板2aを用いて形成されており、基板2aの表裏面および貫通孔の内壁面が、絶縁膜2bによって被覆されている。基板表面側の絶縁膜2b上には、上部に積層されたLSIチップ1との信号伝送のための信号用コイル2cが形成されており、この信号用コイル2cは、引出し配線2u〔図4B参照〕を介して基板の貫通孔上にまで引き延ばされており、貫通孔に充填された貫通導電体2dを介して基板裏面に形成された電極パッド2eに接続されている。電極パッド2eの下面には、外部接続端子となるはんだボール5が形成されている。これらの配線では、配線長による損失を低減するために、コイルと貫通導電体間の配線長を極力短くし、また配線幅を太くするなどによってインピーダンスを小さくすることが望ましい。
- [0026] インターポーザ2上には、複数(図示された例では4枚)のLSIチップ1が積層されており、各信号用コイル1b, 2cの中心部に、磁性材料からなる磁性体ピン3が挿入されている。
- [0027] そして、インターポーザ2とLSIチップ1との間、LSIチップ1間、最上層のLSIチップ1上およびLSIチップ1の貫通孔1d内には樹脂膜4が形成され、LSIチップが樹脂材で封止されている。
- [0028] 図3の構造の一例として、厚さ $0.2\mu\text{m}$ の SiO_2 薄膜を形成した厚さ $100\mu\text{m}$ の2枚のSiチップ表面に内径 $100\mu\text{m}$ 、幅 $10\mu\text{m}$ のコイル配線を形成し、そのコイル配線の内部に直径 $80\mu\text{m}$ の貫通孔を形成し、貫通孔を合わせながら貼り合わせて、各Si基板間の距離を $10\mu\text{m}$ として積層したモデルを作製した。各チップの貫通孔部に比透磁率20、比誘電率20の磁性材料のピンを挿入した構造にし、それぞれの基板表面に作製したコイル配線間に信号を伝送するモデルを作製し、3次元電磁界解析を行なった。その結果、本発明の構成であるコイル配線内部の貫通孔に磁性体ピンがある場合には、磁性体ピンがない場合(つまり、コイルのみ)に比べて、信号透過が15dB以上向上し、隣接配線間の信号漏洩を約5dB低減することができた。
- [0029] 本発明によれば、LSIチップ間の位置合わせは、LSIチップ1の貫通孔1dと磁性体ピン3との相対的サイズによって決まり、位置決め精度が直接接続の場合に比べて低くてもよいことになる。一方、貫通孔に磁性体ピンが挿入されることによって、位置決めしない場合に比べて信号コイル同士の位置ずれを小さくすることができる。合わせ

て、磁性体ピンを用いることによって、コイル間信号伝送における信号伝達効率が向上し、隣接コイル間の干渉が更に低減される。また、磁性体ピンがコイル中に挿入された構造のために、コイル間距離による余裕が従来法に比べて大きくなる。

[0030] なお、図3に示した本実施形態では、1ターンのコイルの場合を記載しているが、要求性能に応じて、ターンが多数のコイルを用いることも可能である。また、図4A、図4Bに示したコイルのリターン配線をこれらと異なる構造で、一方の配線をグランドに接地する構成も可能である。インターポーザにおいてコイルの一端を接地した例を図4Cに示す。なお、磁性体ピンは全体が金属やセラミックスの磁性材料でも、表面に磁性材料が被覆されたピンでも同様の効果が得られる。

[0031] また、本発明におけるインターポーザの基材としてはSiが有利に採用されるが、セラミックス等の無機材や樹脂積層板等の有機材料を用いることも可能である。

[0032] 図5は、第2の実施形態の半導体装置の概略を示す断面図である。図5において、図3に示される第1の実施形態と同等の部分には同一符号を付している。図5に示すように、第2の実施形態では、LSIチップ1上に形成される信号用コイル1bやインターポーザ2等の構成が図3に示した構成とほぼ同じであるが、信号伝送に必要な部分のみに対応した長さの磁性体ピン3がインターポーザ2上に設けられている。また、貫通孔を設けたチップにおいて、ある信号を伝送する必要がある場合には、LSIチップ1の磁性体ピン3が通る部分にコイルを設けずに貫通孔のみを設けるようにすることによって、LSIチップ間の信号の伝送を意図した信号のみに限定することができる。さらに、この構成にすることによって、意図しない信号間の漏洩も低減することができる。

[0033] 図6は、第3の実施形態の半導体装置の概略を示す断面図である。図6において、図3に示した第1の実施形態と同等の部分には同一符号を付している。図6に示すように、第3の実施形態において、薄型化されたLSIチップ1の構成は図3に示した構成と同様である。本実施形態のインターポーザ2では、磁性体ピン3を設置した部分は図3に示した構成と同様であるが、積層したLSIチップの外側でかつ積層されたLSIチップと同一面上に、外部端子用の電極パッド2eが形成されており、その上にはんだボール5が設置されている。各LSIチップの積層方法は磁性体ピンを貫通孔に挿入していく方法や一部のピンのみ貫通孔に挿入してLSIチップを積層した後に、ダ

ミー基板に形成された磁性体ピンを残りの貫通孔に上面から挿入する方法(使用したダミー基板は必ずしも取り除かなくてもよい)などがある。

[0034] 図7は、第4の実施形態の半導体装置の概略を示す断面図である。図7において、図3に示した第1の実施形態と同等の部分には同一符号を付している。図7に示すように、第4の実施形態では、例えば図3に示した半導体装置の信号伝送部に加えて電源とグランドに関する接続構造が設けられている。本実施形態において、信号伝送に関する部分は、図3に示した第1の実施形態の場合と同様である。

[0035] 図7に示すように、各LSIチップ1には、電源とグランドに接続される導電性ピン6が挿入されるべき貫通孔が形成されている。導電性ピン6が挿入される貫通孔の内壁面には壁面導電膜1eが形成されている。また、基板表面の各貫通孔の周囲には壁面導電膜1eに接続されたランド1fが形成されている。このランド1fは、LSIチップ1の電源ラインまたはグランドラインに接続されており、壁面導電膜1eは導電性ピン6と接触している。導電性ピン6は、インターポーザ2の貫通導電体2d上に形成された導電膜に当接されており、その貫通導電体2dは、電極パッド2eを介してはんだボール5に接続されている。導電性ピン6は、磁性体ピン3が導電性を有するものである場合にはこれと同一構成のものであってもよく、また磁性体ピン3にAuめっきなどの導電性被膜を施したものであってもよい。

[0036] 組み立てに際しては、LSIチップの電源とグランドの貫通孔に対して位置合わせを行なった後に、導電性ピン6をLSIチップの電源とグランド用の貫通孔に挿入してその壁面導電膜1eに接触させる。同様の工程を繰り返して所望枚数のLSIチップを積層した後、導電性ピン6をインターポーザ2の貫通導電体2d上の導電膜に接触させる。あるいは、この方法に代え、インターポーザ2の電源とグランドの電極の位置に予め導電性ピン6を作製しておき、その導電性ピンにLSIチップの電源とグランド用の貫通孔を挿通させて積層する方法でもよい。

[0037] 本実施形態によれば、電力供給のためにLSIチップへのワイヤボンディングやバンパを介しての相互接続を行う必要がなくなる。そして、導電性ピンや磁性体ピンによってLSIチップ間の位置決めが自動的に行われるようになるため、チップ製造時やチップ積層時に高い位置精度が要求されることがなくなる。

[0038] 図8は、第5の実施形態の半導体装置の概略を示す断面図である。図8において、図7に示した第4の実施形態と同等の部分には同一符号を付している。図8に示すように、第5の実施形態では、樹脂膜4が、各LSIチップ1の中央部から除かれている。本実施形態では、LSIチップの信号用コイル1bや電源やグランドのための貫通孔が周辺配置のみの場合、ピン近傍の導体が存在する部分のみを樹脂材で封止することで、中央部分のLSIチップ間に間隙を設け、この間隙に冷却用流体を流通させることによって、各LSIチップの中央部の最高温度スポットを並列冷却するマイクロギャップ冷却の手法を採ることができるので、非常に効率的な放熱構造を実現することが可能である。

[0039] 図9は、第6の実施形態の半導体装置の概略を示す断面図である。図9において、図3に示した第1の実施形態と同等の部分には同一符号を付している。図9に示すように、第6の実施形態では、LSIチップ1とインターポーザ2とにそれぞれ信号用コイル1b, 2cが設けられ、これら信号用コイル1b, 2cを介して信号伝送が行われるように構成されている。また、第6の実施形態では、LSIチップ1とインターポーザ2とにそれぞれ電源用コイル1g, 2gが設けられ、電源用コイル2g、磁性体ピン3および電源用コイル1gを介して、インターポーザ2から各LSIチップ1へ電力の供給が行なわれるように構成されている。LSIチップ1に設けられた電源用コイル1gは整流器に接続されており、交流電力が直流電力に変換されてLSIチップ1内の回路へ給電される。図9に示した第6の実施形態では、電源用コイル1gと電源用コイル2gの組が2組設けられているが、1組だけでもよく、また3組以上であってもよい。

[0040] 図9に示した第6の実施形態では、電源用コイルと信号用コイルの両方に磁性体ピン3が挿入されていたが、回路配置などの関係により磁性体用ピンを配置し難いような場合には、例えば電源用コイルについては磁性体ピンを挿入しないように構成されてもよい。

[0041] 図10は、第7の実施形態の半導体装置の概略を示す断面図である。図10において、図9に示した第6の実施形態と同等の部分には同一符号を付している。図10に示すように、第7の実施形態では、電源用コイル1gの中心部と電源用コイル2gの中心部とを通るように磁性体ピン3が設けられているが、信号用コイル1b, 2cには磁性

体ピンが設けられていない。本実施形態は、磁性体ピンが設けられない構成であっても、信号伝送がノイズ、干渉が少なく高品質で行われる場合に有効である。電源用コイル1gと電源用コイル2gについては、電力伝送効率の面から磁性体ピンを設けることが望ましい。しかし、チップ中央部に電力を供給するような場合は、電源用コイルの真下に回路が配置されていると、磁性体ピンを通す貫通孔を設けることができない。この場合には、磁性体ピンを設けずに電源用コイルのみを介して電力伝送を行う構造が有効である。

[0042] 図11は、第8の実施形態の半導体装置の概略を示す断面図である。図11において、図10に示した第7の実施形態と同等の部分には同一符号を付している。図11に示すように、第8の実施形態においては、LSIチップ1とインターポーザ2とにそれぞれ電源用コイル1gと電源用コイル2gが設けられ、電源用コイル2g、磁性体ピン3および電源用コイル1gを介してインターポーザ2からLSIチップ1へ電力の供給が行なわれるように構成されているが、信号用コイルが除去されている。代わりに、LSIチップ1の表面ないし裏面には信号用容量電極1hが設けられ、またインターポーザ2の表面には信号用容量電極2hが設けられている。そして、これらの容量電極間の容量結合によって、LSIチップ間ないしインターポーザーLSIチップ間の信号の授受が行われるように構成されている。第8の実施形態は、インターポーザとこのインターポーザ上に積層した複数のチップとの間で容量結合を用いた信号伝送を行う場合に有効な構造である。

[0043] (実施例1)

図12は、実施例1の半導体装置を示す断面図である。本実施例では、インターポーザ2上に4枚の厚さ100 μ m以下のLSIチップ1が積層されている。LSIチップ1は、Si基板1aを用いて形成されており、その回路形成面には内部回路に接続された、信号伝送のために用いられる信号用コイル1bが形成されている。信号用コイル1bは、引出し配線を介してLSIチップ1内部に形成された回路と接続されている。Si基板1aの信号用コイル1bの中心部には貫通孔1dが形成されており、その貫通孔1dには磁性体ピン3が挿入されている。

[0044] また、各LSIチップ1には、電源とグラウンドに接続される導電性ピン6が挿入された貫

通孔が形成されており、その貫通孔の内壁面に形成された壁面導電膜1eが導電性ピン6と接触されている。そして、導電性ピン6が挿入された貫通孔の基板表面周囲には、壁面導電膜1eに接続されたランド1fが形成されている。このランド1fは、LSIチップ1内の電源ラインまたはグランドラインに接続されている。本実施例では、磁性体ピン3がNi-Fe合金(パーマロイ)によって形成されており、導電性ピン6も同一材料によって形成されている。

[0045] インターポーザ2は、Siからなる基板2aを用いて形成されており、基板2aの表裏面および貫通孔の内壁面が、絶縁膜2bによって被覆されている。基板2aの表面側の絶縁膜2b上には、上部に積層されたLSIチップ1との信号伝送のための信号用コイル2cが形成されており、この信号用コイル2cの中心部には磁性体ピン3が配置されている。

[0046] また、インターポーザ2の表面側の絶縁膜2b上には、電極パッド2fが形成されており、この電極パッド2fには導電性ピン6が当接されている。電極パッド2fは、インターポーザ2の貫通導電体2d上に形成されて、この貫通導電体2dと直接接続されており、また信号用コイル2cは、貫通導電体2d上にまで引き延ばされて、この貫通導電体2dに接続されている。

[0047] これらの信号用コイル2c、電極パッド2fおよび貫通導電体2dは、絶縁膜2b上に形成されたバリア/シード層2iと、バリア/シード層2i上に形成されたCuめっき層2jとの積層膜によって形成されている。貫通導電体2dは、基板裏面にバリア/シード層2kとCuめっき層2mとの積層膜によって形成された電極パッド2eに電氣的に接続されている。電極パッド2eの下面には、外部接続端子となるはんだボール5が形成されている。

[0048] はんだボールとしては、Sn-37PbやPbフリー組成であるSn-3Ag-0.5CuやSn-8Zn-3Biのはんだ材のものが用いられる。ピッチは、ピン数とサイズに依存するが、現状のCSPの外部端子電極と同レベルの0.5mm以下に形成される。インターポーザ2の表裏面は、導電性ピン6の当接箇所およびはんだボール5の形成箇所を除いて保護膜2vによって被覆されている。

[0049] この構成において、LSIチップに形成される信号用コイルは、LSIチップの回路部と

配線接続されていれば、回路面と同一面、裏面どちらにも形成することが可能である。また、電源、グランド用に用いる導電性ピンは、磁性材料によって形成されたが、この表面にNi/Auめっきを被膜することも可能である。また、LSIチップ間の相互干渉を低減する目的で、絶縁被覆金属あるいは電磁吸収体を各々のLSIチップの間に挿入した構造を採ることも可能である。また、LSIチップ間の間隙は、 $50\text{ }\mu\text{m}$ 以下で極力小さく維持することが、信号伝送品質を確保する上で望ましい。また、LSIチップ間に、高熱伝導体であるサーマルグリスの塗布や高熱伝導シートを挿入することによって、放熱を促進することも可能である。

[0050] 次に、図13A～図13Fを参照して導電性ピン6とLSIチップとの接続構造の変形例について説明する。LSIチップ1の回路形成面の絶縁膜1j内には、内部回路に接続された内部配線1kが形成されている。この内部配線1kは、LSIチップ1の表面のランド1fを介して貫通孔内面の壁面導電膜1eに接続されている。

[0051] 図13Aは、図12に示したように垂直に貫通孔が形成されその貫通孔の内面に最表面がAuめっき層である壁面導電膜1eが形成された例である。導電性ピンの外周部分と、LSIチップの壁面導電膜1eのAuめっき層とが擦り合い、延性、展性に優れたAuめっき層が塑性変形することで、導電性接触を得る構造である。

[0052] 図13Bに示す構造は、ピンが差し込まれる一端側の直径を他端側よりも大きくしたテーパ形状の貫通孔を有している。この構造によって、ピンと貫通孔の位置ずれに対する許容度が大きくなり、さらに両金属層の擦れ合う面積が小さくなり、貫通穴内に対してピンを容易に挿入することが可能にされている。

[0053] 図13Cに示す構造は、LSIチップの回路形成面と反対側のランド上に金属製のバンプ1mが形成されたものである。サイズは、孔径を $46\text{ }\mu\text{m}$ 、ランド径を $60\text{ }\mu\text{m}$ に設定した場合、直径 $3\text{ }\mu\text{m}$ 、高さ $3\text{ }\mu\text{m}$ とし、Ni系合金をコアとして表面にAuコートした構造に形成する。この構造は、LSIチップの積層工程で、バンプ1mとLSIチップ表面のランドとの間で金属接合を形成することができるので、Auめっき層の塑性変形による面接触以上の導電性接触の信頼性を確保することができる。この構造は、図13Cに示したように、貫通孔がテーパ形状を有するように形成されてもよく、また貫通孔がストレート形状で形成されてもよい。

[0054] 図13D、図13Eおよび図13Fに示す構造は、LSIチップの貫通孔にめっき層を形成する(プレーテッドスルーホールを形成する)代わりに、LSIチップ表面に内部配線1kに接続された電極1nが形成され、この電極1nと導電性プレート1pを接続し、導電性プレート1pに導電性ピン6を挿入して、接触させたものである。導電性プレート1pは、弾性材料からなる四角形状のコア材の中央に、円形状の中心穴が貫通して形成され、この中心穴から十文字状のスリットが放射状に切られており、コア材の表面に、Auめっきが施されて構成されている。

[0055] 本実施例の構造によれば、プレーテッドスルーホールを形成することが不要になるので、製造コストの低減が可能である。また、導電性ピンの先端部分を鋭利に尖らせることによって、導電性ピンを導電性プレートへ容易に挿入することが可能になる。この構造では、導電性プレートの中央の中心穴に導電性ピンを差し込むことによって、導電性プレートのめっき層と導電性ピンの外周面とが擦れて、導電性接触が得られる。

[0056] (半導体装置の製造方法)

次に、工程順に示す図14A～図14Fを参照して本実施例の半導体装置の製造方法(組み立て工程)について説明する。組み立てに先立って、図14Aに示すように、貫通孔の周囲に信号用コイル1bが形成され、別の貫通孔に壁面導電膜1eとランド1fが形成されたLSIチップ1を用意し、これとは別に、仮基板7上にシード層7aを介して磁性体ピン3と導電性ピン6とが形成された部材を準備する。

[0057] ここで、壁面導電膜1eおよびランド1fと導電性ピンの寸法関係について説明する。壁面導電膜1eおよびランド1fは、拡大図で示すように、貫通孔が設けられたSi基板1aにSiO₂膜1qを形成し、そのSiO₂膜1q上に、バリアメタル層としてのTiN膜1r、シード層およびめっき層であるCu膜1sおよびめっき層であるAu膜1tを順次形成したものである。LSIチップ1の壁面導電膜1eおよびランド1fの形状(ランド径、孔径、金属層の厚さ)と導電性ピンの形状(直径、長さ)は、使用するLSIチップの電極ピッチと積層数に依存する。

[0058] 一例としてLSIチップ1の電極ピッチが100 μ mで、4枚のLSIチップ1を積層する場合について説明する。LSIチップ1の電源／グランド用貫通孔のランド径は、ショー

トの発生を防止し、かつ基材との確実な密着性を得るために $60\text{ }\mu\text{m}$ とし、孔径は $46\text{ }\mu\text{m}$ 、孔内壁の構成材料と厚さは、絶縁膜(SiO_2)を厚さ $0.2\text{ }\mu\text{m}$ 、バリアメタル層(TiN)を厚さ 10nm 、シード層(Cu)を厚さ $0.15\text{ }\mu\text{m}$ 、 Cu めっき層を厚さ $2\text{ }\mu\text{m}$ 、 Au めっき層を厚さ $2\text{ }\mu\text{m}$ にそれぞれ形成する。

[0059] この結果、壁面導電膜1eの内径は $37.28\text{ }\mu\text{m}$ となる。これに挿入される導電性ピンの直径は、 $38.7\text{ }\mu\text{m}\sim 39.2\text{ }\mu\text{m}$ に形成する。この寸法関係を採用することによって、壁面導電膜1eの Au めっき層と導電性ピンの外周部とが、 $0.5\text{ }\mu\text{m}\sim 1\text{ }\mu\text{m}$ 重なり合う。この部分を活用してLSIチップ1の貫通孔に導電性ピンを差し込むときに、壁面導電膜の Au が導電性ピンの金属材料層と擦れ合って塑性変形することで、確実な導電性接触を得ることができる。

[0060] なお、貫通孔部分の接続構造は、上述したように製品に必要とされる接触信頼性に応じて様々な構造を採用することが可能である。LSIチップ1の信号用コイルの形成される貫通孔1dは、一辺または内径が $50\text{ }\mu\text{m}$ の四角形状または円形状に形成する。磁性体ピン3は、導電性ピン6と同じく直径が $38.7\text{ }\mu\text{m}\sim 39.2\text{ }\mu\text{m}$ に形成する。

[0061] 磁性体ピン、導電性ピンの高さは、LSIチップと樹脂層の各厚さに依存する。1枚のLSIチップ1の厚さが $50\text{ }\mu\text{m}$ 、樹脂膜4の層間の厚さが $10\text{ }\mu\text{m}$ である場合を一例とすれば、4枚のLSIチップ1の厚さである $200\text{ }\mu\text{m}$ と、5層分の樹脂膜4の厚さである $50\text{ }\mu\text{m}$ とを合計した高さ $250\text{ }\mu\text{m}$ に形成する。

[0062] 図14Aに示したように、磁性体ピン3、導電性ピン6を有する仮基板7の中央部分に、樹脂(例えば、熱硬化性エポキシ樹脂)4aを塗布する。この状態で、LSIチップ1をチップ搭載装置のツールで真空吸着して固定し、LSIチップ1上の貫通孔と磁性体ピン3、導電性ピン6の両者の画像をカメラで撮像して、位置補正を行った後に、LSIチップ1を搭載して加熱、加圧することによって固定する[図14B]。このプロセスを繰り返して磁性体ピン3、導電性ピン6が形成された仮基板7上に3次元LSI積層構造体を製作する[図14C]。

[0063] この後、インターポーザ2上面の中央部分に、樹脂4a(例えば、熱硬化性エポキシ樹脂)を塗布し、LSIチップ1が積層された基板をチップ搭載装置のツールで真空吸着して固定し、LSIチップ1をインターポーザと対向させる[図14D]。この状態でイン

ターポーザ上の貫通導電体2d、電極パッド2fと磁性体ピン3、導電性ピン6の画像をカメラで撮像して、位置補正を行った後に、LSIチップが積層された仮基板7をインターポーザ2上に搭載して加熱、加圧することによって固定する〔図14E〕。

[0064] 次に、上面の仮基板7を、シード層7aをエッチングすることによって剥離して除去する。最後に、貫通導電体の裏面の電極パッド2eにフラックスを供給してはんだボール5を搭載し、リフローによってはんだ付けする〔図14F〕。以上のプロセスによって、本発明の半導体装置を製造することができる。

[0065] (磁性体ピンの製造方法)

次に、工程順に示す図15A～図15Iを参照して磁性体ピンおよび導電性ピンの製造方法について説明する。高輝度、高透過性(短波長)で指向性が良いX線の特徴を利用し、等倍転写型X線マスクを用いて高アスペクト比の構造体を加工する技術を適用する。まず、仮基板7を準備する〔図15A〕。仮基板7としては、Siやガラスあるいは金属などの材料が用いられる。Si基板やガラス基板を使用する場合には、基板の上面にCu、Ti、Alあるいはこれらの金属を用いた合金を全面にスパッタリングしてシード層7aを成膜する〔図15B〕。この基板の材質は、基本的に、積層するLSIチップと同等の熱膨張係数を有するSiやガラス基板を用いることが望ましい。出力が比較的に高く発熱が大きいデバイスを使用する場合は、基板にCu等の金属を用いてCuを最後に剥ぎ取らずに残すことによって、放熱板として使用することが可能である。但し、この構成の場合は、基板上に熱伝導性が良い絶縁膜(SiN)およびシード層を形成する必要があり、また、絶縁膜表面に形成したシード層は、磁性体ピン(導電性ピン)の形成後に、ショートを防止するために不要部を除去しておく必要がある。これらのプロセスが以下に示す製法に加わることになる。この表面にはレジスト膜8aが、ピンの所望の高さよりも10 μ m～50 μ m程度大きな厚さで形成される〔図15C〕。

[0066] レジスト膜を形成した後、X線露光を行う。露光の手法は、マスク11aを介してレジスト膜8aの表面に、高エネルギー電子が磁場によって制動を受けることによるシンクロトン放射光装置から発生するX線を照射する〔図15D〕。露光源としては、X線以外にもEUV(極端紫外光)を照射することも可能である。次に、現像を行って、露光部分のレジスト膜を除去する〔図15E〕。続いて、電気めっき法を用いて磁性材料めっき層3

aを、レジスト膜を除去したシード層7a上に形成する〔図15F〕。この金属層の材質は、磁性材料であり、めっきによって金属層を形成することが可能であるという観点から、主にNiを35～80重量%含むNi-Fe合金(パーマロイ)、Fe-Co合金、マグネタイト(Fe_3O_4)を用いる。

[0067] また、他の材料として、フェライトの埋め込みも、次に示す製法によって形成することが可能である。最初に、レジスト膜表面を親水化処理してOH基を形成し、金属イオンを含む溶液に浸漬して金属イオンを吸着させる。この状態で、亜硝酸イオン、空気等の酸化剤を導入することによって、2価鉄イオンの一部が3価に酸化される。この表面にさらに金属イオンが吸着することによって、スピネル型結晶構造を有するフェライトを生成することができる。

[0068] 図15Fの工程に続いて、研削、研磨あるいはドライエッチングを行って所望の均一な厚みに加工する〔図15G〕。続いて、平坦化された表面にめっき層を形成することにより、ピン上部のみに金属突起を形成する〔図15H〕。この後、磁性体ピン3の形成領域にレジスト膜でマスクしウエットエッチングを行うことで、導電性ピン6のみの先端部を尖らせる。そして、レジスト膜を除去する〔図15I〕。

[0069] (インターポーザの製造方法)

次に、工程順に示す図16A～図16Tを参照して、インターポーザの製造方法について説明する。工業的に市販されている厚さ $525\mu\text{m}$ ～ $725\mu\text{m}$ のSi製の基板2aを準備し、基板2aの表面にCVDによって、 SiO_2 膜を厚さ $5\mu\text{m}$ ～ $7\mu\text{m}$ で堆積することで絶縁膜2bを形成する〔図16A〕。次いで、レジストを全面に塗布して絶縁膜2b上にレジスト膜8bを形成し、露光、現像、エッチングを行って、貫通導電体の形成領域のレジスト膜8b、絶縁膜2bを除去する〔図16B〕。次に、RIE(Reactive Ion Etching)によって基板を掘り下げて、深さ $100\mu\text{m}$ の孔を形成する〔図16C〕。

[0070] 次に、CVDによって、 SiO_2 膜を厚さ $0.2\mu\text{m}$ で堆積して孔内壁面に絶縁膜2bを形成する(図では、先に形成した絶縁膜と新たに形成した絶縁膜とを合体して図示している)〔図16D〕。引き続いて、バリア層となるTiN膜を厚さ10nm、シード層となるCu膜を厚さ $0.15\mu\text{m}$ でそれぞれ堆積してバリア/シード層2iを形成する〔図16E〕。次に、電解めっきを行って孔内を完全に埋め込み、基板上に延在するCuめっき層2j

を形成する〔図16F〕。

[0071] 次いで、ウエットエッチやCMP法を用いて研磨、平坦化処理を行うことで、表面に堆積したCuめっき層を厚さ $2\mu\text{m}$ ～ $5\mu\text{m}$ に均一化する〔図16G〕。フォトリソグラフィによって電極パッド、配線層、コイル形成領域に選択的にレジスト膜8cを形成し〔図16H〕、レジスト膜8cをマスクとしてCuをエッチング除去してCuめっき層2jを所定のパターンに加工する〔図16I〕。レジスト膜8cを除去した後、CVDによってSiNまたはSiO₂を全面に堆積して保護膜2vを形成する〔図16J〕。

[0072] 次いで、導電性ピン当接個所以外をレジスト膜8dで覆い〔図16K〕、不要な保護膜2vをドライエッチングで除去し、レジスト膜8dを剥離して除去する〔図16L〕。続いて、ガラス等からなる支持体9とウエハを接着層10で貼り合わせる〔図16M〕。その後、CMPにより孔底面よって、厚さ $10\mu\text{m}$ ～ $30\mu\text{m}$ 程度のSiが残るまで裏面から研削処理を行った後〔図16N〕、ドライエッチングを行って貫通導電体2dの頭出しを行う〔図16O〕。

[0073] 続いて、CVDを用いてSiNまたはSiO₂を堆積して裏面に絶縁膜2bを形成する〔図16P〕。次に、裏面の絶縁膜2bをCMPあるいはドライエッチングによって一部を除去して貫通導電体2dの表面を露出させた後、裏面の電極形成のため、スパッタ法によってTiNとCuを堆積してバリア／シード層2kを形成し、電解めっきを行ってCuめっき層2mを形成する〔図16Q〕。次いで、不要な部分をミリングによって除去し、電源パッド2eを形成する〔図16R〕。続いて、CVDによってSiNまたはSiO₂を全面に堆積して保護膜2vを形成し、外部接続端子の形成領域の保護膜2vをエッチングによって除去する〔図16S〕。最後に、支持体9を剥離して除去して、本実施例のインターポーザが完成する〔図16T〕。

[0074] (実施例2)

図17は、本発明の実施例2の半導体装置を示す断面図である。本実施例では、インターポーザが、SOI(Silicon On Insulator)基板を利用して形成されている。すなわち、SOI層(Si層)を利用してSiコアピンを形成するとともに、配線層、信号用コイルおよび電極パッドが形成されている。この構造を採ることによって、SOI基板を用いて全ピンを一括形成できるので、実施例1と比較して製造プロセスを削減できるという効果

を有している。また、外部接続端子(はんだボール)を配線層、コイルと同一面に形成するため、ピンが少ないデバイスに適した構造となっており、薄型化が可能な実施例となっている。

[0075] 図17に示すように、本実施例の半導体装置は、磁性体ピン3と導電性ピン6とが設置されたインターポーザ2上に、これらのピン3, 6が挿入された貫通孔が設けられた4枚のLSIチップ1が搭載されている。磁性体ピン3を中心として、LSIチップ1上にはその内部回路に接続された信号用コイル1bが形成されており、インターポーザ2の絶縁膜2b上には信号用コイル2cが形成されている。信号用コイル2cは、その拡大図を示すように、Si層2nと、表面がAu層である導電性めっき層2tとから形成されている。

[0076] また、LSIチップ1の導電性ピン6が挿入されている貫通孔の周囲および内壁面には、ランド1fおよび壁面導電膜1eが形成されている。ランド1fはLSIチップ1の電源ラインまたはグラウンドラインと接続されており、壁面導電膜1eは導電性ピン6と接触されている。インターポーザ2とLSIチップ1との間およびLSIチップ1間には、樹脂膜4によって充填されている。インターポーザ2の周辺部には、Si層2nと、表面がAu層である導電性めっき層2tとからなる電極パッド2eが形成されており、電極パッド2e上には外部接続端子としてはんだボール5が形成されている。インターポーザ2の絶縁膜2b上に形成された導電性ピン6と信号用コイル2cは、同じく絶縁膜2b上に形成された配線を介して電極パッド2eに接続されている。なお、本実施例で用いられる磁性体ピン3と導電性ピン6は、A部拡大図に示すように、Siコアピン2qの表面をNi/Ni-Fe合金めっき層2sで被覆したものであり、同一の構成を有している。

[0077] 次に、図17を参照して各部の構成について更に詳細に説明する。インターポーザ2上のピンの形成方法としては、全ピンの一括形成が可能であり、製造コストの低減が比較的容易である、棒状単結晶体の形成方法であるVLS (Vapor-Liquid-Solid) 成長法を活用する。

[0078] ピン材料となる、VLS法による棒状単結晶は、Si、LaB₆、GaAs、GaP、WO₂、SiC等が形成可能であるが、積層するLSIチップと熱膨張係数が同一であるSiを用いることが、長期信頼性を維持する観点から好ましい。インターポーザの基材として

は、Si基板の上面に絶縁膜であるSiO₂膜が形成され、その上面にSi単結晶膜が形成されたSOI (Silicon On Insulator) 基板を用いる。各々の厚さは、Si基板が厚さ400 μm ～800 μm 、SiO₂膜が厚さ0.5 μm ～2 μm 、Si単結晶膜が厚さ3 μm ～40 μm の範囲の基材を使用する。

[0079] 磁性体(導電性)ピンの形状(Siコアピンの直径、金属層の厚さ)と、LSIチップの貫通電極の形状(ランド径、孔径、金属層の厚さ)と、貫通孔の直径は、使用するLSIチップの電極ピッチと積層数に依存する。一例としてLSIチップの電極ピッチが、100 μm 、4枚のLSIチップを積層する場合について説明する(図14Aの部分拡大図および図17参照)。

[0080] LSIチップの電源／グランド用貫通孔でのランド径は、ショートが発生を防止し、かつ基材との確実な密着性を得るために、直径60 μm とし、孔径は、直径46 μm 、孔内壁の構成材料と厚さは、絶縁膜(SiO₂)が厚さ0.2 μm 、バリアメタル層(TiN)が厚さ10nm、シード層(Cu)が厚さ0.15 μm 、Cuめっき層が厚さ2 μm 、Auめっき層が厚さ2 μm で形成される。この結果、貫通電極の内径は、37.28 μm となる。これに対応する導電性ピンは、Siコアピンの直径が34.5 μm ～35 μm 、無電解Ni層が厚さ0.1 μm の上に磁性材料(Ni-Fe合金)を厚さ2 μm でめっきする。

[0081] この結果、金属層を含むピンの外径は38.7 μm ～39.2 μm となる。この寸法関係を採用することによって、壁面導電膜1eのAuめっき層と導電性ピンの外周部の磁性体層とが0.5 μm ～1 μm 重なり合う。この重なる部分を活用して、LSIチップの貫通孔にピンを差し込んだ際に、壁面導電膜1eのAuが磁性材料層と擦れ合って塑性変形することで、確実な導電性接触を得ることができる。なお、導電膜ピンとLSIチップとの接続構造としては、後述するように様々な態様を採用することが可能である。

[0082] LSIチップ1上の信号用コイル1bの中心に形成される貫通孔1dは、一辺または内径が50 μm の四角形状あるいは円形状に形成する。磁性体ピン3は、導電性ピン6と同じく直径が38.7 μm ～39.2 μm に形成する。なお、LSIチップの貫通孔1dの内壁と磁性体ピンとの間隔は、極力小さくすることが、信号伝送効率を高める上で望ましい。

[0083] Siコアピンの高さは、LSIチップと樹脂膜4の各層間の厚さに依存する。1枚のLSI

チップが厚さ $50\mu\text{m}$ 、各層間の樹脂膜4が厚さ $10\mu\text{m}$ の場合を一例とすれば、4枚のLSIチップの厚さである $200\mu\text{m}$ 、4層分の樹脂膜4の厚さである $40\mu\text{m}$ 、突き出し量の $10\mu\text{m}$ とを合計した高さ $250\mu\text{m}$ に形成する。

[0084] 外部接続端子には、Sn-PbやPbフリーの組成であるSn-3Ag-0.5CuやSn-8Zn-3Biのはんだボールまたは金属ピンが用いられる。はんだボールのインターポーザ基板への取付け高さは、LSIチップの積層数に依存するが、マザーボードに実装したときにピンの先端とマザーボードとの接触を防止することを目的として、ピンの高さよりも0.05mm程度高い寸法に設定することが好ましい。

[0085] なお、マザーボードに、積層LSIチップに対する逃げまたは開口が形成されている場合には、このような条件を緩和する、または解消される。外部接続端子(はんだボール等)のピッチは、端子数とサイズに依存するが、現状のCSPの外部接続端子と同レベル以下と考えて、0.5mm以下に形成する。

[0086] 次に、図18A～図18Fを参照して、導電性ピン6(Ni/Ni-Feめっき層2sを有するSiコアピン2q)とLSIチップとの接続構造の変形例について説明する。LSIチップの回路形成面の絶縁膜1j内には、内部回路に接続された内部配線1kが形成されており、内部配線1kはチップ表面のランド1fを介して貫通孔内面の壁面導電膜1eに接続されている。

[0087] 図18Aは、図17に示した垂直に貫通孔が形成され、その貫通孔の内面に最表面がAuめっき層である壁面導電膜1eが形成された例である。導電性ピンの外周部分に形成されたNi/Ni-Feめっき層2sと、LSIチップの壁面導電膜1eのAuめっき層とが擦り合い、延性、展性に優れるAuめっき層が塑性変形することで、導電性接触を得る構造である。

[0088] 図18Bに示す構造は、ピンが差し込まれる一端側(回路形成面側)の直径を他端側よりも大きくしたテーパ形状の貫通孔を有している。この構造によって、ピンと貫通孔の位置ずれに対する許容度が大きくなり、さらに両金属層の擦れ合う面積が小さくなり、貫通穴内に対してピンを容易に挿入することが可能にされている。

[0089] 図18Cに示す構造は、貫通孔をLSIチップの回路形成面側の直径が大きくなるテーパ形状に形成すると共に、LSIチップの回路形成面のランド1f上に金属製のバン

プ1mが形成されたものである。そのサイズは、孔径が $46\mu\text{m}$ 、ランド径が $60\mu\text{m}$ に設定された場合、直径を $3\mu\text{m}$ 、高さを $3\mu\text{m}$ とし、Ni系合金をコアとして表面にAuコートした構造に形成する。図18Cに示した構造は、LSIチップの積層工程において、バンプ1mとLSIチップ表面のランドと間で金属接合を形成することができるので、Auめっき層の塑性変形による面接触以上の電氣的接続の信頼性を確保することができる。

[0090] 図18D、図18Eおよび図18Fに示す構造は、LSIチップの貫通孔にプレーテッドスルーホールを形成する代わりに、LSIチップ表面に内部配線1kに接続された電極1nを形成し、この電極1nと導電性プレート1pとを接続し、導電性プレート1pに導電性ピン6を挿入、接触させたものである。導電性プレート1pは、弾性材料からなる四角形状のコア材の中央に、円形状の中心穴が貫通して形成され、この中心穴から十文字状のスリットが放射状に切られており、コア材の表面に、Auめっきが施されて構成されている。

[0091] 本実施例の構造によれば、プレーテッドスルーホールを形成することが不要になるので、製造コストの低減が可能である。また、導電性ピンの先端部分を鋭利に尖らせることによって、導電性ピンを導電性プレートへ容易に挿入することが可能になる。この構造では、導電性プレートの中央の中心穴に導電性ピンを差し込むことによって、導電性プレートのめっき層と導電性ピンの外周面のめっき層とが擦れて、導電性接触が得られる。

[0092] (インターポーザおよび磁性体(導電性)ピンの製造方法)

次に、工程順に示す図19A～図19Qを参照して、本実施例で用いられるインターポーザの製造方法について説明する。まず、図19Aに示すように、Si基板2a上にSiO₂からなる絶縁膜2bと、主面が(111)面である単結晶のSi層2nとが形成されたSOI基板を準備する。なお、SOI技術としては、単結晶Si基板に酸素イオンを打ち込んで単結晶領域直下に酸化領域を形成する方法、表面酸化された単結晶Si支持基板の酸化面に単結晶Si基板を熱処理によって貼り合わせる方法等を用いる。SOI基板の金属イオン、有機物の除去を目的として、アンモニア・過酸化水素水洗浄と塩酸・過酸化水素水洗浄を基本とするSi基板のウェット洗浄法であるRCA洗浄を行って、

蒸着あるいはスパッタ法によってAu膜2oをSi層2n上に厚さ0.03 μm 程度で成膜する[図19B]。

[0093] 次に、レジストを塗布してAu膜2o上にレジスト膜8eを形成し[図19C]、描画、現像を行って、配線層(電極パッド、コイルを含む)、ピン形成領域以外のレジスト膜を除去する[図19D]。次いで、レジスト膜8eをマスクとしてAu膜2oのエッチングを行い[図19E]、レジスト膜をすべて除去した後にIPA(イソプロピルアルコール)洗浄を実施する[図19F]。

[0094] 続いて、新たにレジストを塗布してAu膜2oよりも高くなるようにレジスト膜8fを形成し[図19G]、描画、現像を行って、ピン形成領域のレジスト膜を除去する[図19H]。次に、レジスト膜の除去された凹部分にAuを無電解めっきして、厚さ2 μm のAuバンプ2pを形成する[図19I]。そして、レジスト膜8fを剥離した後、IPA洗浄を実施する[図19J]。Auバンプ2pの形成工程と、図19Eに示したAu膜2oのエッチング工程とは順序を逆にしてもよい。

[0095] 次に、Au膜2oをマスクとしてフッ酸と硝酸の混合液を用いた等方性エッチングによってSi層2nをパターニングして、配線層、ピン形成領域にSi層を残す[図19K]。その後、Auバンプ2p直下以外の部分のAu膜2oをエッチングによって除去する[図19L]。そして、Auバンプをマスクとしてフッ酸、硝酸、酢酸の混合液を用いた等方性エッチングによって、Auバンプ下面にメサ(台地)形状を形成する[図19M]。

[0096] そして、この状態で反応炉の中で900℃以上に加熱して、原料である四塩化珪素と水素ガスの混合ガスを導入する。この処理によって、Au-Siの合金融液とガス間で気液界面反応が発生し、融液と基板の界面にシリコンが析出して、単結晶シリコンが垂直方向に成長しSiコアピン2qが形成される。成長後のピン先端部は、Au-Siの合金層が形成された状態であり、ピンの高さにばらつきが生じている状態である。そこで、合金部の除去とピン高さの均一化を目的として、ピン先端部分のトリミング処理を行う。具体的には、微細研磨粒子を含有するラッピングシートを回転させ、このシートにピン先端部を垂直に接触させることによって、トリミング工程を実施する[図19N]。

[0097] さらに、Siコアピンをラッピングシートに接触させ、平面の一方向に力を加えることに

よって、ピンが一方向に揃った形に座屈させて変形させる。この状態でピン先端部に尖り形状を形成する〔図19O〕。Siコアピンと配線層に導電性を付与するために、無電解めっきによってSiが露出している部分のみに選択的にNi下地膜2rを厚さ0.5 μm で形成する〔図19P〕。次に、Ni下地膜2rの表面に無電解めっきによって、磁性材料であるパーマロイ(Ni90%－Fe10合金)を厚さ2 μm で形成して、Siコアピンの表面に磁性体膜であるNi/Ni－Fe合金めっき層2sを形成する〔図19Q〕。

[0098] なお、上述のNi下地膜2rは、Ni－P下地膜でもよく、またNi/Ni－Fe合金めっき層2sに代えてマグネタイト(Fe_3O_4)膜やフェライト膜を形成してもよい。また、必要に応じて、この膜の適宜個所に無電解めっきによって選択的にAu膜を厚さ0.5 μm ～2 μm で形成することも可能である。また、以上の工程により、磁性体ピン3および導電性ピン6を有するインターポーザ2を作製することができる。

[0099] (実施例2の製造方法)

次に、図20A～図20Eを参照して、インターポーザ2上にLSIチップ1を積層して、図17に示した実施例2の半導体装置を製造する方法について説明する。

[0100] 図20Aに示すように、磁性体ピン3と導電性ピン6を有するインターポーザ2の中央部分に、樹脂4a(例えば、熱硬化性エポキシ樹脂)を予め塗布しておく。この状態で、貫通孔1dの周囲に信号用コイル1bが形成され、他の貫通孔に壁面導電膜1eとランド1fが形成されたLSIチップ1をチップ搭載装置のツールで真空吸着して固定し、LSIチップ上の壁面導電膜1eが形成された貫通孔と導電性ピン6の両者の画像をカメラで撮像して、位置補正を行う〔図20A〕。そして、LSIチップを搭載して加熱、加圧することで、樹脂4によって封止して固定する〔図20B〕。

[0101] 次に、搭載された1枚目のLSIチップ1上に樹脂4aを塗布し、2枚目のLSIチップ1の位置決めを行う〔図20C〕。そして、2枚目のLSIチップ1を搭載し、加熱、加圧することによって固定する。このプロセスを繰り返して4枚のLSIチップの積層構造体を製作する〔図20D〕。

[0102] この後、Si層2n上に導電性めっき層2tを形成してなる電極パッド2eにフラックスを供給してはんだボール5を搭載し、リフローにより電極パッド2e上にはんだ付けする〔図20E〕。以上のプロセスによって、本実施例の半導体装置は製造される。なお、ピ

ンが周辺配置の場合は、LSIチップの中央部分をチップ搭載装置のツールで真空吸着して保持し、エリアアレイ配置の場合は、LSIチップの端部を吸着して保持する。

[0103] (実施例3)

図21Gは、実施例3の半導体装置を示す断面図であり、図21A～図21Fは、実施例3の製造方法を説明するための、工程の順序で製造途中段階の状態を示す断面図である。

[0104] 図21Gに示すように、実施例3は、図17に示した実施例2と主に次の3点が異なっている。1点目は、LSIチップの電源／グランド用に挿入される導電性ピン6として、Siコアピン2qの外周部を磁性材料ではなく、最表面が厚さ $1\mu\text{m}$ ～ $5\mu\text{m}$ のAu層である導電性めっき層2tで被覆したものとした点である。導電性ピン6の表面をAuめっき層で形成することによって、LSIチップの貫通孔の壁面導電膜1eとの接触を、従来のスイッチ等で信頼性の実績があるAu－Au接触にすることができるので、接触状態の信頼性の向上を図ることができる。

[0105] 2点目は、LSIチップの信号用コイル1bの中心に形成された貫通孔に挿入される磁性体ピン3が全て磁性材料で形成されており、そして磁性体ピンが接着材によって、インターポーザの信号用コイル2cの中心に固定されている点である。ピン自体を完全に磁性材料で製造することによって、磁界を強く引き込むことができるので、信号伝送品質の向上を図ることができる。

[0106] 3点目は、磁性体ピン3を挿入する領域に樹脂が存在しない点である。もちろん、本構造体を形成した後のプロセスで、上述の樹脂が存在しない領域にLSIチップを積層した後の工程でキャピラリフロー(毛細管現象)によって樹脂を注入することも可能である。

[0107] (実施例3の製造方法)

図21A～図21Gを参照して、LSIチップの積層方法について説明する。図21Aに示すように、導電性ピン6を有し、配線層(図示なし)、信号用コイル2gおよび電極パッド2eが形成されたインターポーザ2を準備する。本実施例のインターポーザでは、導電性ピン6、配線層、信号用コイル2gおよび電極パッド2eはすべて、Siコアピン2qまたはSi層2nの表面にNi／Auめっき層からなる導電性めっき層2tを形成したもので

ある。このインターポーザのLSIチップが搭載される部分の内、信号用コイル2cの形成個所を除く部分に樹脂4a(例えば、熱硬化性エポキシ樹脂)を塗布する。この状態で、貫通孔1dの周囲に信号用コイル1bが形成され、他の貫通孔に壁面導電膜1eとランド1fが形成されたLSIチップ1をチップ搭載装置のツールで真空吸着して固定し、LSIチップ1上の壁面導電膜1eが形成された貫通孔と導電性ピン6の両者の画像をカメラで撮像して、位置補正を行った後に、LSIチップ1を搭載して加熱、加圧して樹脂膜4によって固定する〔図21B〕。

[0108] 次に、搭載された1枚目のLSIチップ1上に樹脂4aを塗布し、2枚目のLSIチップ1の位置決めを行う〔図21C〕。そして、2枚目のLSIチップ1を搭載し、加熱、加圧して樹脂4によって固定する〔図21D〕。このプロセスを繰り返すことで、インターポーザ3上に4枚のLSIチップの積層構造体を製作する。

[0109] この後、磁性体ピン3がシード層7aを介して形成された仮基板7チップ搭載機のツールで真空吸着して固定し、磁性体ピンの先端に接着剤7bをスタンピングにより付着させ、インターポーザ2の電極パッド2eと仮基板7に形成した貫通孔との間で位置合わせを行う〔図21E〕。そして、磁性体ピン先端部分をインターポーザ上に形成した信号用コイル2cの中心に接着固定した後、シード層を選択的にエッチングすることによって、上部の仮基板7をシード層の部分で切り離す〔図21F〕。最後に、電極パッド2eにフラックスを供給してはんだボール5を搭載し、リフローによって電極パッド2e上にはんだ付けする〔図21G〕。

[0110] (実施例4)

図22は、実施例4の半導体装置を示す断面図であり、図23A～図23Cは、実施例4のインターポーザのコイル付近の概略を示す平面図である。本実施例では、インターポーザ2上に磁性体膜12が設けられ、磁性体膜12上には一対の磁性体ピン3が設置されており、一対の磁性体ピン3はその頂部において磁性体膜13によって連結されている。すなわち、一対の磁性体ピン3と磁性体膜12、13とによって閉磁路が構成されている。インターポーザ2上には、信号用容量電極2hが、また各LSIチップ1上には、信号用容量電極1hが形成されており、これらの電極1h、2hを介して、LSIチップ1間、インターポーザ2－LSIチップ1間で信号の授受が行われるように構成さ

れている。

- [0111] また、インターポーザ2上の磁性体ピン3の周囲には電源用コイル2gが形成され、そして各LSIチップ1の磁性体ピン3が挿通する貫通孔1dの周囲の基板の表裏面には電源用コイル1gが形成されている。電源用コイル2gは、図23Aに示すように、引出し配線2u、貫通導電体2dを介して基板裏面の一对の電極パッド(電源用パッドとグランド用パッド)に接続されている。電源用コイル2gの両端を電極パッドに接続する構成の代わりに、図23Bに示すように、電源用コイル2gの一端のみを直近の電極パッドに接続し他端はグランド配線に接続するように構成してもよい。但し、このグランド配線は、インターポーザ2の不図示の領域で、貫通導電体2dを介してグランド用の電極パッドに接続されている。
- [0112] あるいは、図23Bに示した構成とは逆に、図23Cに示すように、電源用コイル2gの一端が直近の電極パッドに接続され他端が電源配線に接続されるように構成されてもよい。この構成の場合も、電源配線は、インターポーザ2の不図示の領域で、貫通導電体2dを介して電源用の電極パッドに接続される。これらの電源配線、グランド配線において、配線長による損失を低減するために、コイルと貫通導電体間、およびパッドと貫通導電体間の配線長は極力短くし、また配線幅を太くするなどによって、インピーダンスを小さくすることが望ましい。
- [0113] なお、図22には、容量結合を用いて信号授受を行う実施例を示したが、図10に示したようなコイルによる電磁結合を用いた信号授受、または図9に示したようなコイルと磁性体ピンによる電磁結合を用いた信号授受を行う構造でも良い。
- [0114] また、図22、図23A～図23Cに示した実施例では、インターポーザ2上の電源用コイル2gのターン数、各LSIチップ1上の電源用コイル1gのターン数がそれぞれ1ターンである構成を示したが、この構成に限定されるものではない。例えば、電源用コイル2gのターン数を n_0 、各LSIチップ1の電源用コイル1gのターン数を n_1 、 n_2 、 n_3 ・・・として、それぞれターン数が異なる電源用コイル1g、2gを配置することで、LSIチップ1毎に異なる電圧の供給が可能となる。同様に、同一のLSIチップ1上でターン数が異なる電源用コイル1gを配置することで、1つのLSIチップ1に複数種の電圧を供給することが可能となる。ここでLSIチップ1に供給する電圧値は、電源用コイル2gの

ターン数 n_0 と、各LSIチップ1の電源用コイル1gのターン数を n_1 、 n_2 、 $n_3 \cdots$ との比で決定される。

[0115] したがって、複数種の電源を必要とする回路を有する半導体装置において、上述のような構成を採ることで、DC/DCコンバータ等の電圧変換器が不要となり、装置の小型化を実現することができる。

[0116] 本実施例においては、電源用の磁路がループ状に形成されることにより、磁性体ピンのみを挿入する場合と比較して電力供給効率を飛躍的に高めることができる。また、LSIチップ上に信号用容量電極1hを設け、これにより信号の授受を行うようにすることで、信号伝送用の貫通孔の形成工程、プレーテッドスルーホール形成工程が不要になるので、製造コストの低減を図ることができる。また、実施例1では、電源、グランド用に貫通孔の壁面導電膜1eと導電性ピン6との間で接触による電氣的接続が必要であるため、一定レベルの導電性ピンとLSIチップの位置合わせ精度が必要であるが、本実施例は、位置精度に対する許容度を大きくすることができる。

[0117] (実施例4の製造方法)

図24A～図24Pを参照して、実施例4の製造方法について説明する。まず、仮基板7上にシード層7aを形成し、その上にレジスト膜8gを形成する〔図24A〕。レジスト膜8gを露光し、現像を行って、磁性体膜形成領域のレジスト膜を除去する〔図24B〕。電解めっきにより磁性体膜13を形成する〔図24C〕。レジスト膜を剥離して除去する〔図24D〕。

[0118] 新たにレジストを塗布し、磁性体ピンの所望の高さ以上の膜厚のレジスト膜8hを形成する〔図24E〕。マスク11bを介してX線露光を行う〔図24F〕。続いて、現像を行う〔図24G〕。電解めっきによって露出したシード層7a上にNi-Fe合金(パーマロイ)を電解めっきによって成長させて磁性体ピン3を形成する〔図24H〕。剥離液によってレジスト膜8hを除去し、仮基板7の中央部分に樹脂4a(例えば、熱硬化性エポキシ樹脂)を塗布する。この状態で、貫通孔の周囲の基板表裏面に電源用コイル1gが形成され、基板の回路形成面に信号用容量電極1hが形成されたLSIチップ1をチップ搭載装置のツールで真空吸着して固定し、LSIチップ1上の貫通孔1dと磁性体ピン3の両者の画像をカメラで撮像して、位置補正を行った後に、LSIチップの貫通孔1dを

磁性体ピン3に通す〔図24I〕。そして、LSIチップ1を仮基板7上に搭載して加熱、加圧することで樹脂4によって封止して固定する〔図24J〕。

[0119] 次に、搭載された1枚目のLSIチップ1上に樹脂4aを塗布し、2枚目のLSIチップ1の位置決めを行い、2枚目のLSIチップの貫通孔1dを磁性体ピン3に通す〔図24K〕。そして、2枚目のLSIチップ1を搭載し、加熱、加圧することによって固定する。このプロセスを繰り返すことで、仮基板7上に4枚のLSIチップ1の積層構造体を製作する〔図24L〕。次いで、最上層のLSIチップ1上に樹脂4aを塗布し、磁性体膜12および電源用コイル2gが形成されたインターポーザ2をLSIチップ積層構造体上に位置決めする〔図24M〕。

[0120] そして、インターポーザ2をLSIチップ積層構造体上に搭載し、加熱、加圧することによって固定する〔図24N〕。続いて、仮基板7をその上に形成されたシード層7aをエッチングすることによって剥離して除去する〔図24O〕。最後に、電極パッド2eにフラックスを供給してはんだボール5を搭載し、リフローにより電極パッド2e上にはんだ付けする〔図24P〕。以上のプロセスによって、本実施例の半導体装置は製造される。

請求の範囲

- [1] 複数のLSIチップが積層され、前記LSIチップ間の信号の伝達がコイルを介して行われる半導体装置において、
- 前記LSIチップの前記コイルの内側には、該LSIチップを貫いて貫通孔が形成され、該貫通孔に磁性材料を含む磁性体ピンが挿入されていることを特徴とする半導体装置。
- [2] 表面に垂直に磁性材料を含む磁性体ピンが設置され、該磁性体ピンを囲んで表面にコイルが形成されているインターポーザ上に1つまたは積層された複数のLSIチップが搭載され、少なくとも1つの前記LSIチップには、前記インターポーザ上に形成された前記コイルと電磁的に結合されたコイルが形成されている半導体装置であって、
- 前記LSIチップの前記コイルの中心部には、該LSIチップを貫いて貫通孔が形成され、該貫通孔に前記磁性体ピンが挿入されていることを特徴とする半導体装置。
- [3] 前記磁性体ピンは、複数の前記LSIチップを貫通して設置されている請求項2に記載の半導体装置。
- [4] 複数の前記磁性体ピンの一部は、積層された複数の前記LSIチップの一部を貫通して設置され、複数の前記磁性体ピンの他の一部は、複数の前記LSIチップをすべて貫通して設置されている請求項2に記載の半導体装置。
- [5] 前記インターポーザ上に形成された前記コイルと前記LSIチップ上に形成された前記コイルとの間、または、前記インターポーザ上に形成された前記コイルと前記LSIチップ上に形成された前記コイルとの間および前記LSIチップ上に形成された前記コイル間で、前記磁性体ピンを利用して信号の授受が行われる請求項2ないし4のいずれか1項に記載の半導体装置。
- [6] 前記インターポーザ上には、少なくとも表面部分が導電性材料によって形成され電源ラインに接続された導電性ピンが、前記インターポーザの表面に垂直に設置され、
- 前記導電性ピンは前記LSIチップに形成された前記貫通孔に挿入され、前記導電性ピンが前記LSIチップ上に形成された電源ラインと電気的に接続されている請求項2ないし4のいずれか1項に記載の半導体装置。
- [7] 前記導電性ピンが挿入されている前記LSIチップの前記貫通孔の内壁面には、壁

面導電膜が形成され、該壁面導電膜が前記導電性ピンと接触されている請求項6に記載の半導体装置。

- [8] 前記導電性ピンが挿入されている前記LSIチップの前記貫通孔を覆って、放射状にスリットが形成され、前記LSIチップ上に形成された前記電源ラインに接続された導電性プレートが設置され、該導電性プレートが前記導電性ピンと接触されている請求項6に記載の半導体装置。
- [9] 前記インターポーザ上に形成された前記コイルから前記LSIチップに形成された回路に対して、前記LSIチップ上に形成された前記コイルを介して電力の供給が行われる請求項2に記載の半導体装置。
- [10] 前記インターポーザ上に形成された前記コイルと前記LSIチップ上に形成された前記コイルとの間、または、前記インターポーザ上に形成された前記コイルと前記LSIチップ上に形成された前記コイルとの間および前記LSIチップ上に形成された前記コイル間で、前記磁性体ピンを利用して信号の授受が行われ、かつ、前記インターポーザ上に形成された前記コイルから前記LSIチップに形成された回路に対して、前記LSIチップ上に形成された前記コイルを介し前記磁性体ピンを利用して電力の供給が行われる請求項2に記載の半導体装置。
- [11] 電力供給用の前記コイルは、前記LSIチップの表裏面に形成されている請求項9または10に記載の半導体装置。
- [12] 電力供給用の前記コイルは、近接して設置された2本の前記磁性体ピンの周りにそれぞれ形成され、該2本の磁性体ピンは、積層された最上段の前記LSIチップ上および前記インターポーザ上にそれぞれ形成された磁性体膜と磁氣的に結合されている請求項9または10に記載の半導体装置。
- [13] 前記インターポーザ上に形成された回路と前記LSIチップ上に形成された回路との間、または、前記インターポーザ上に形成された回路と前記LSIチップ上に形成された回路との間および前記LSIチップ上に形成された回路間での信号の授受が、前記インターポーザおよび前記LSIチップにそれぞれに形成された信号伝達用のコイルを介して電磁的に行われる請求項9に記載の半導体装置。
- [14] 前記インターポーザ上に形成された回路と前記LSIチップ上に形成された回路との

間、または、前記インターポーザ上に形成された回路と前記LSIチップ上に形成された回路との間および前記LSIチップ上に形成された回路間での信号の授受が、前記インターポーザおよび前記LSIチップにそれぞれに形成された信号伝達用の電極を介して容量結合によって行われる請求項9に記載の半導体装置。

- [15] 前記インターポーザには、内部に貫通導体が形成されたスルーホールが形成され、

前記インターポーザ上に形成された前記コイルは、前記貫通導体を介して裏面に形成された外部接続端子に接続されている請求項2に記載の半導体装置。

- [16] 前記インターポーザの前記コイルの形成された面には、該コイルに接続された外部接続端子が形成されている請求項2に記載の半導体装置。

- [17] 前記磁性体ピンは、全体が磁性材料によって形成されてなる、または、半導体材料の表面が磁性材料によって被覆されてなる請求項2に記載の半導体装置。

- [18] 前記導電性ピンは、前記磁性体ピンと同一の構造である請求項7または8に記載の半導体装置。

- [19] 前記導電性ピンは、前記磁性体ピンの表面に導電性被膜が形成されたものである請求項7または8に記載の半導体装置。

- [20] 表面にコイルが形成されているインターポーザ上に1つまたは積層された複数のLSIチップが搭載され、前記LSIチップには、前記インターポーザ上に形成された前記コイルと電磁的に結合されたコイルが形成されている半導体装置であって、

前記インターポーザ上に形成された前記コイルから前記LSIチップに形成された回路に対して、前記LSIチップ上に形成された前記コイルを介して電力の供給が行われることを特徴とする半導体装置。

- [21] 前記インターポーザ上および前記LSIチップには信号用コイルが形成され、前記インターポーザと前記LSIチップとの間、または、前記LSIチップ間の信号の授受が前記信号用コイルを介して行われる請求項20に記載の半導体装置。

- [22] 前記信号用コイルは、前記LSIチップを貫通して前記インターポーザ上に設置された前記磁性体ピンを囲んで形成されている請求項21に記載の半導体装置。

補正書の請求の範囲

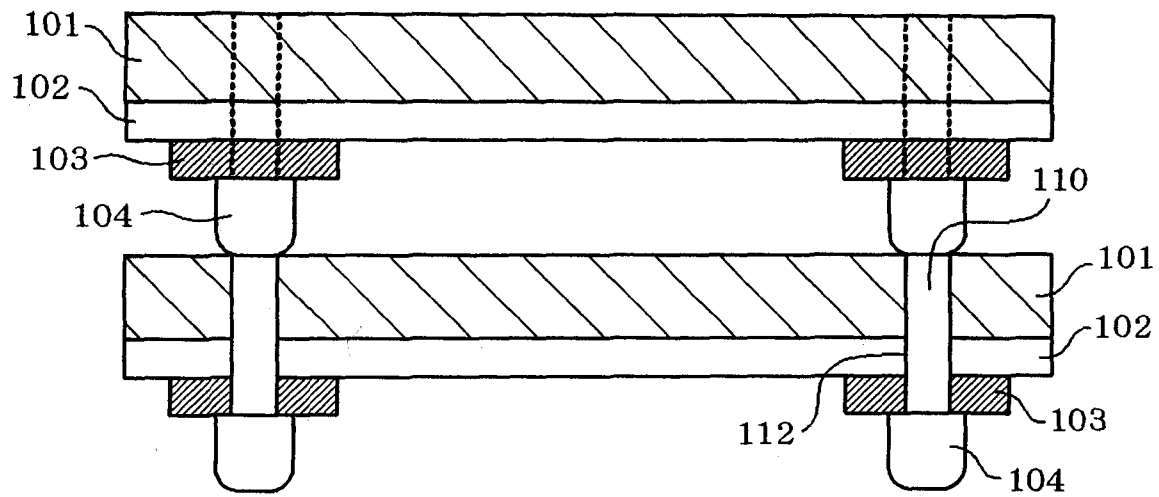
[2006年10月5日 (05.10.2006) 国際事務局受理]

間、または、前記インターポーザ上に形成された回路と前記LSIチップ上に形成された回路との間および前記LSIチップ上に形成された回路間での信号の授受が、前記インターポーザおよび前記LSIチップにそれぞれに形成された信号伝達用の電極を介して容量結合によって行われる請求項9に記載の半導体装置。

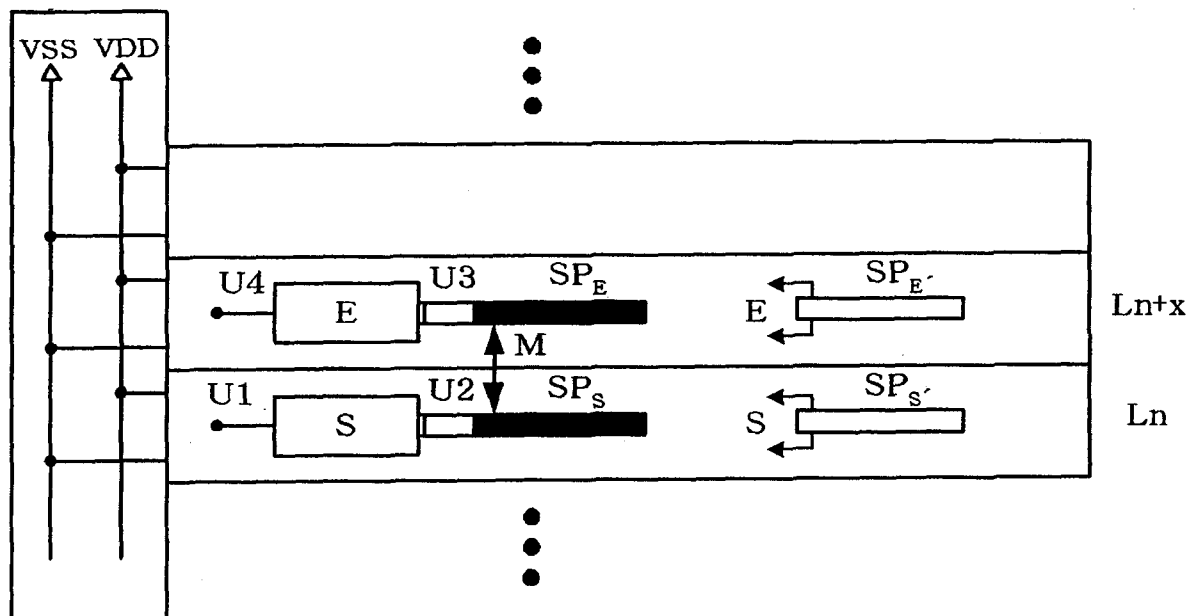
- [15] 前記インターポーザには、内部に貫通導体が形成されたスルーホールが形成され、
- 前記インターポーザ上に形成された前記コイルは、前記貫通導体を介して裏面に形成された外部接続端子に接続されている請求項2に記載の半導体装置。
- [16] 前記インターポーザの前記コイルの形成された面には、該コイルに接続された外部接続端子が形成されている請求項2に記載の半導体装置。
- [17] 前記磁性体ピンは、全体が磁性材料によって形成されてなる、または、半導体材料の表面が磁性材料によって被覆されてなる請求項2に記載の半導体装置。
- [18] (補正後) 前記導電性ピンは、全体が磁性材料によって形成されてなる、または、半導体材料の表面が磁性材料によって被覆されてなる構造である請求項6に記載の半導体装置。
- [19] (補正後) 前記導電性ピンは、全体が磁性材料によって形成されてなる、または、半導体材料の表面が磁性材料によって被覆されてなる前記磁性体ピンの表面に導電性被膜が形成されたものである請求項6に記載の半導体装置。
- [20] 表面にコイルが形成されているインターポーザ上に1つまたは積層された複数のLSIチップが搭載され、前記LSIチップには、前記インターポーザ上に形成された前記コイルと電磁的に結合されたコイルが形成されている半導体装置であって、
- 前記インターポーザ上に形成された前記コイルから前記LSIチップに形成された回路に対して、前記LSIチップ上に形成された前記コイルを介して電力の供給が行われることを特徴とする半導体装置。
- [21] 前記インターポーザ上および前記LSIチップには信号用コイルが形成され、
- 前記インターポーザと前記LSIチップとの間、または、前記LSIチップ間の信号の授受が前記信号用コイルを介して行われる請求項20に記載の半導体装置。

- [22] (補正後) 前記信号用コイルは、前記L S I チップを貫通して前記インターポーザ上に設置された、磁性材料を含む磁性体ピンを囲んで形成されている請求項21に記載の半導体装置。

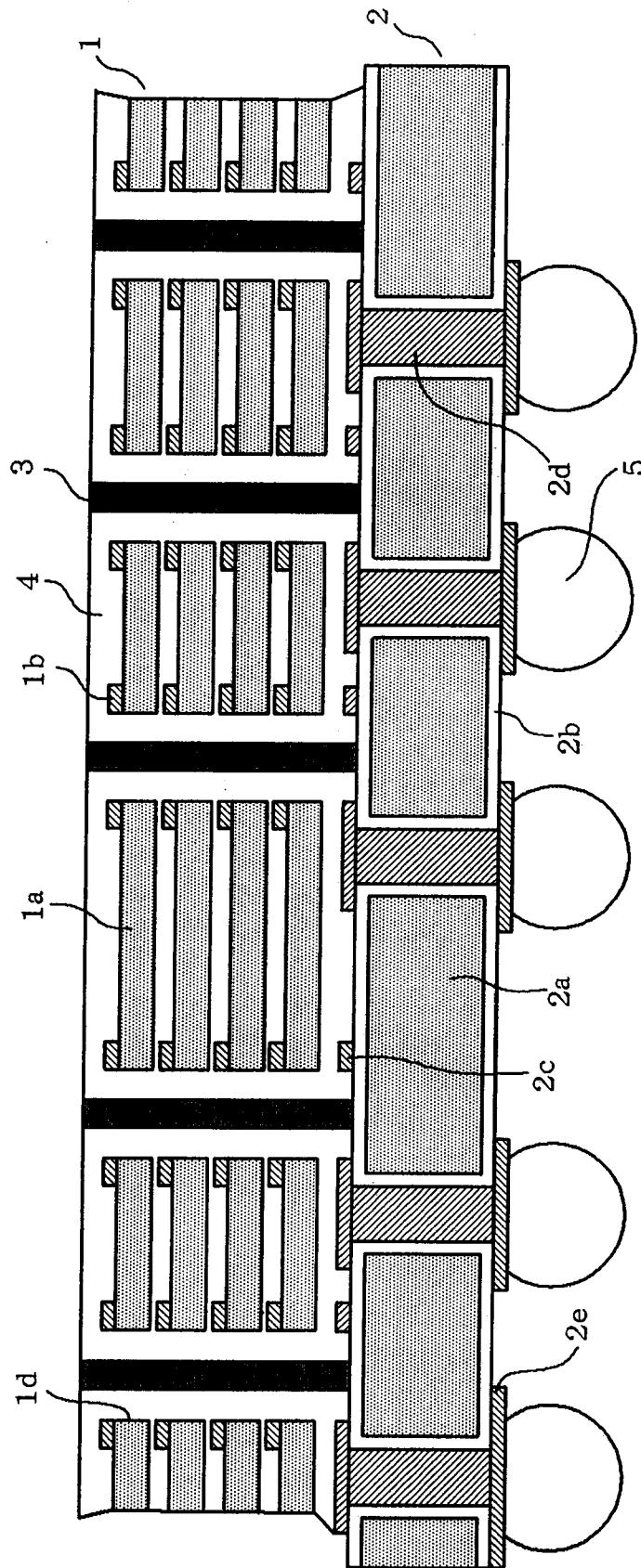
[図1]



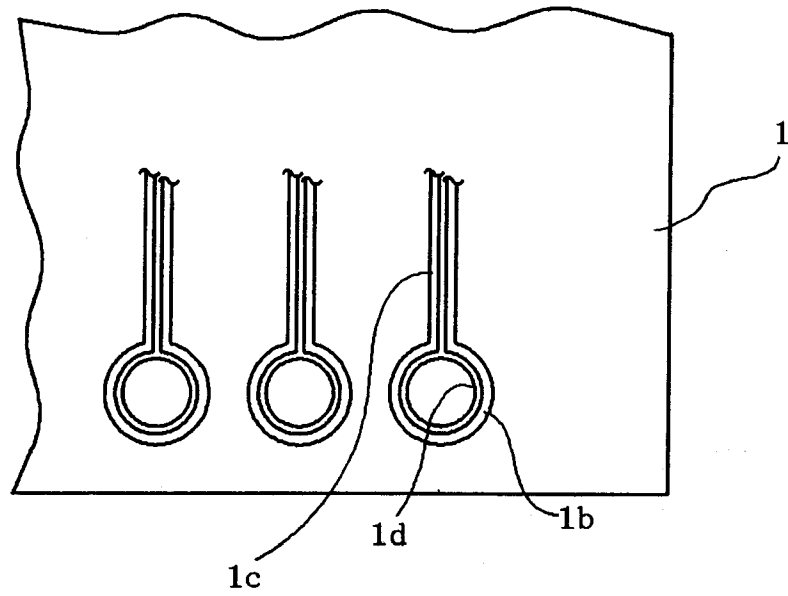
[図2]



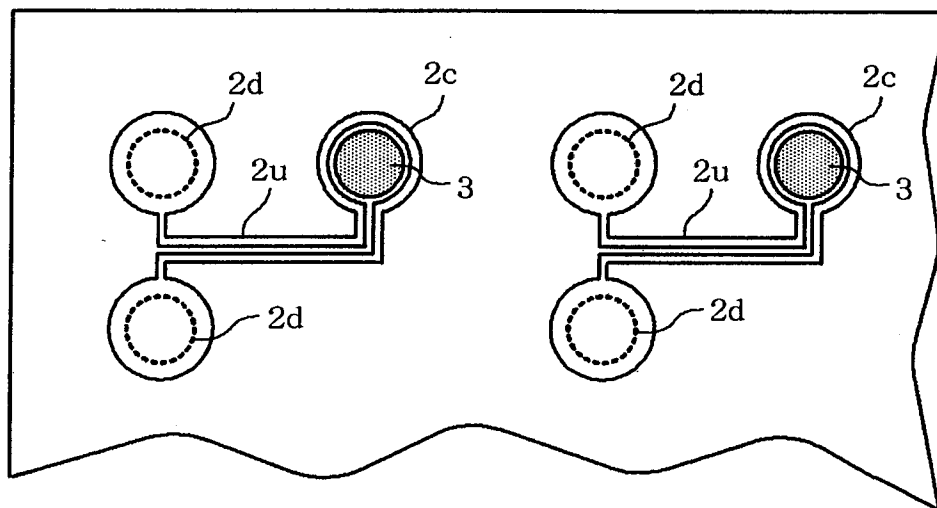
[図3]



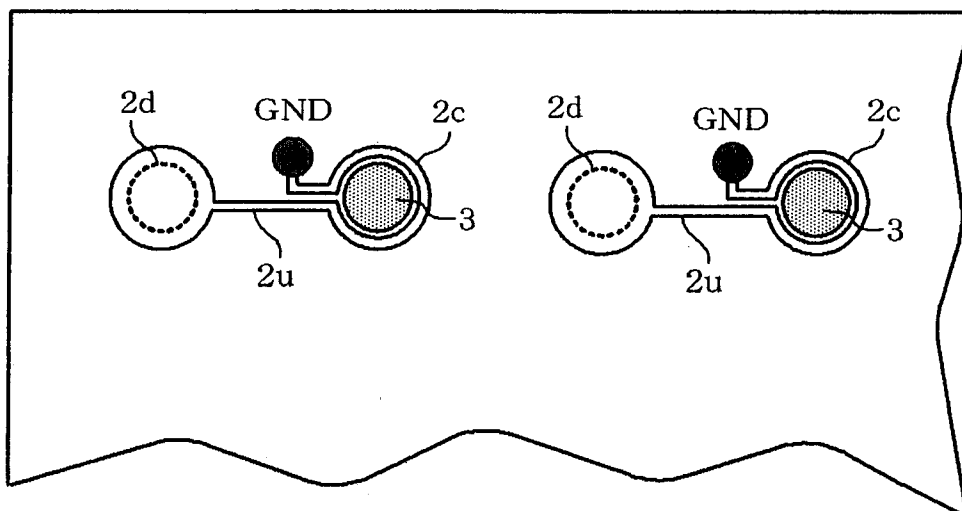
[図4A]



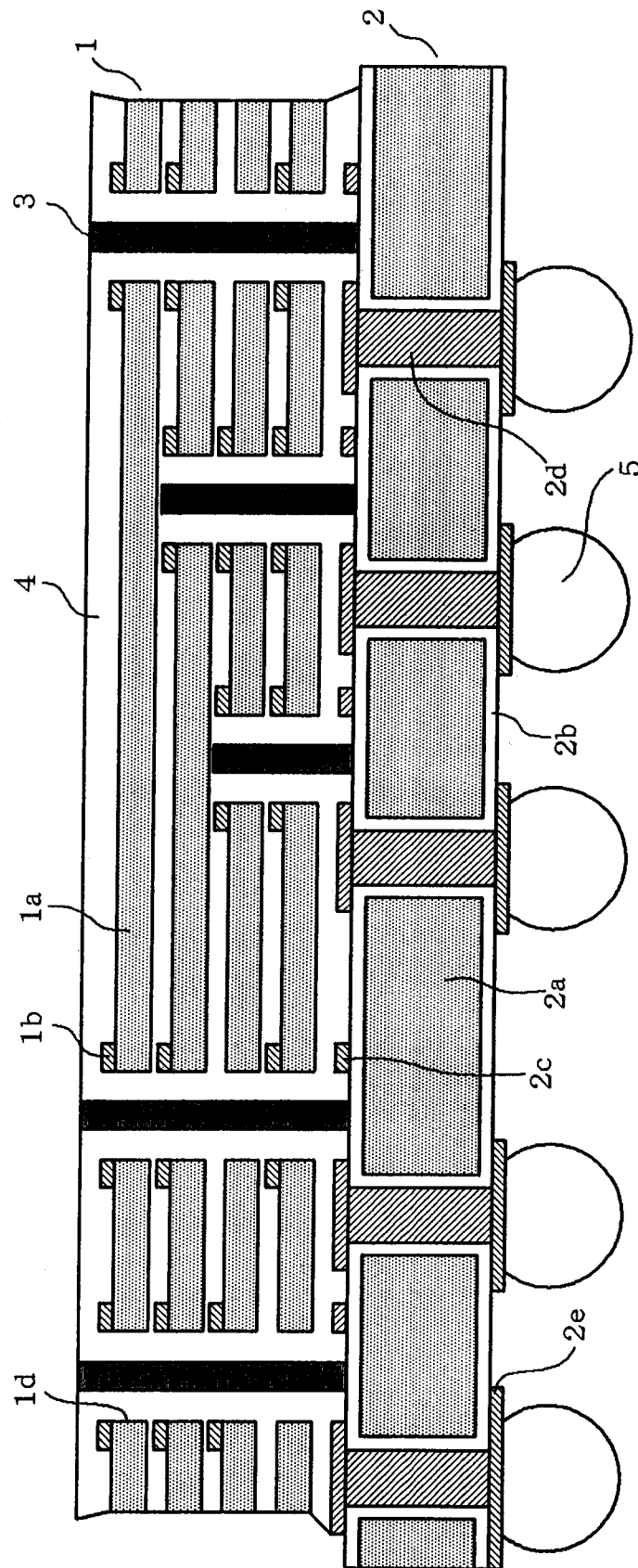
[図4B]



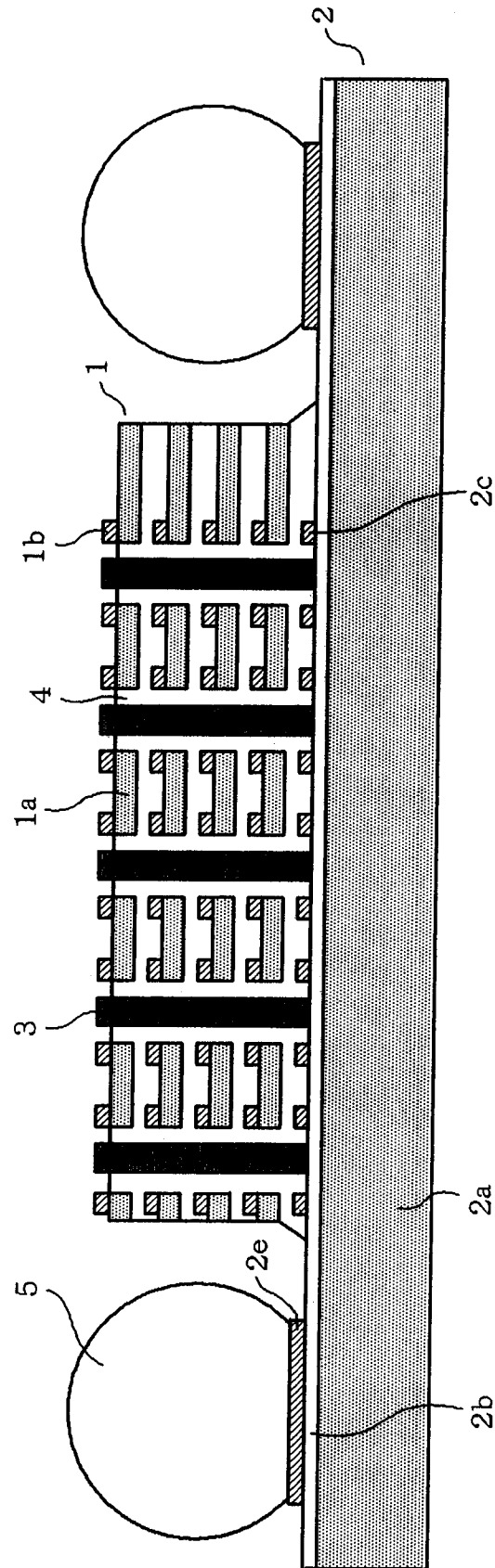
[図4C]



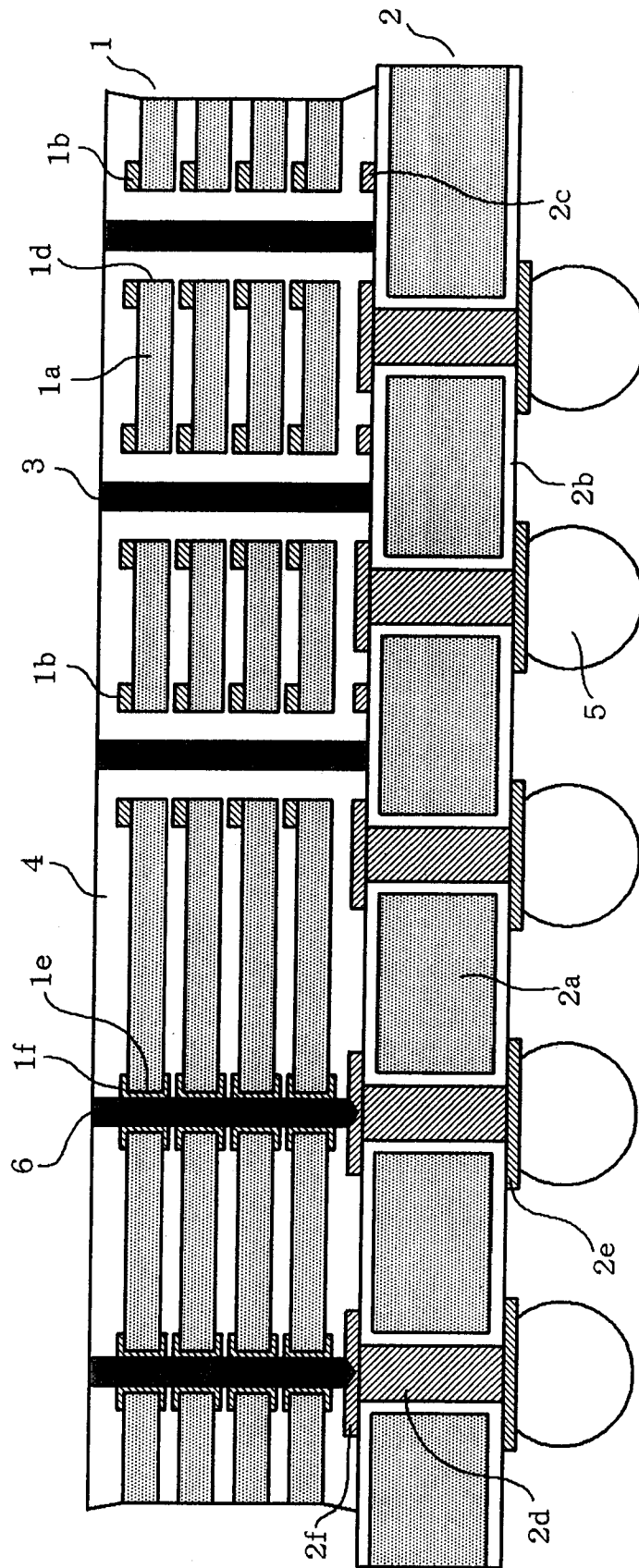
[図5]



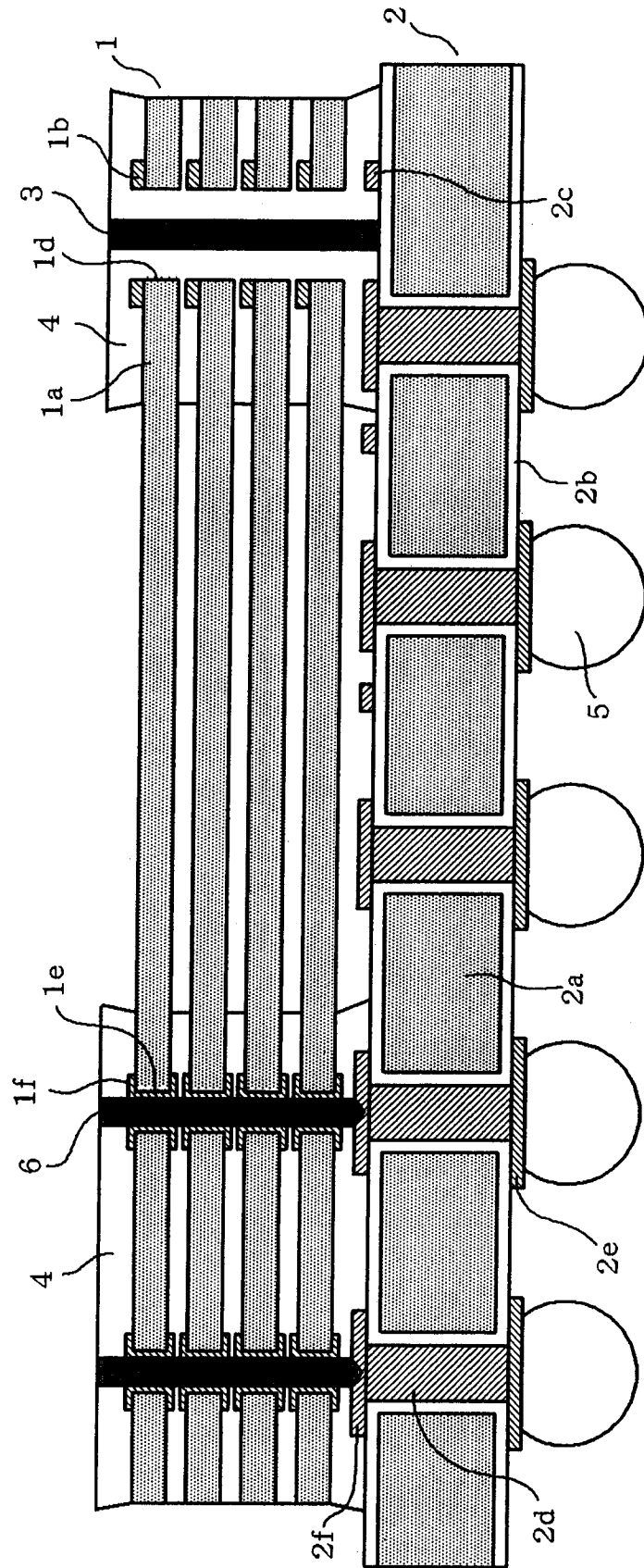
[図6]



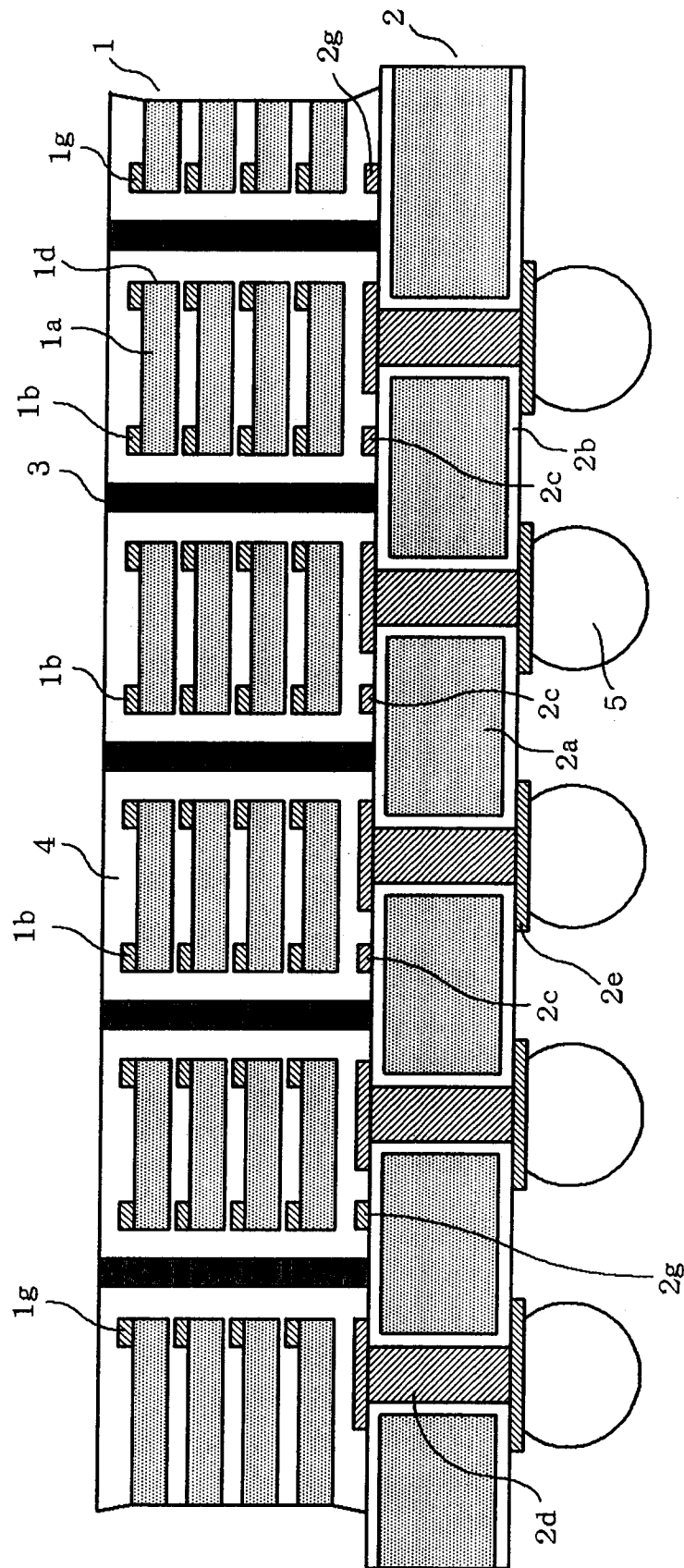
[図7]



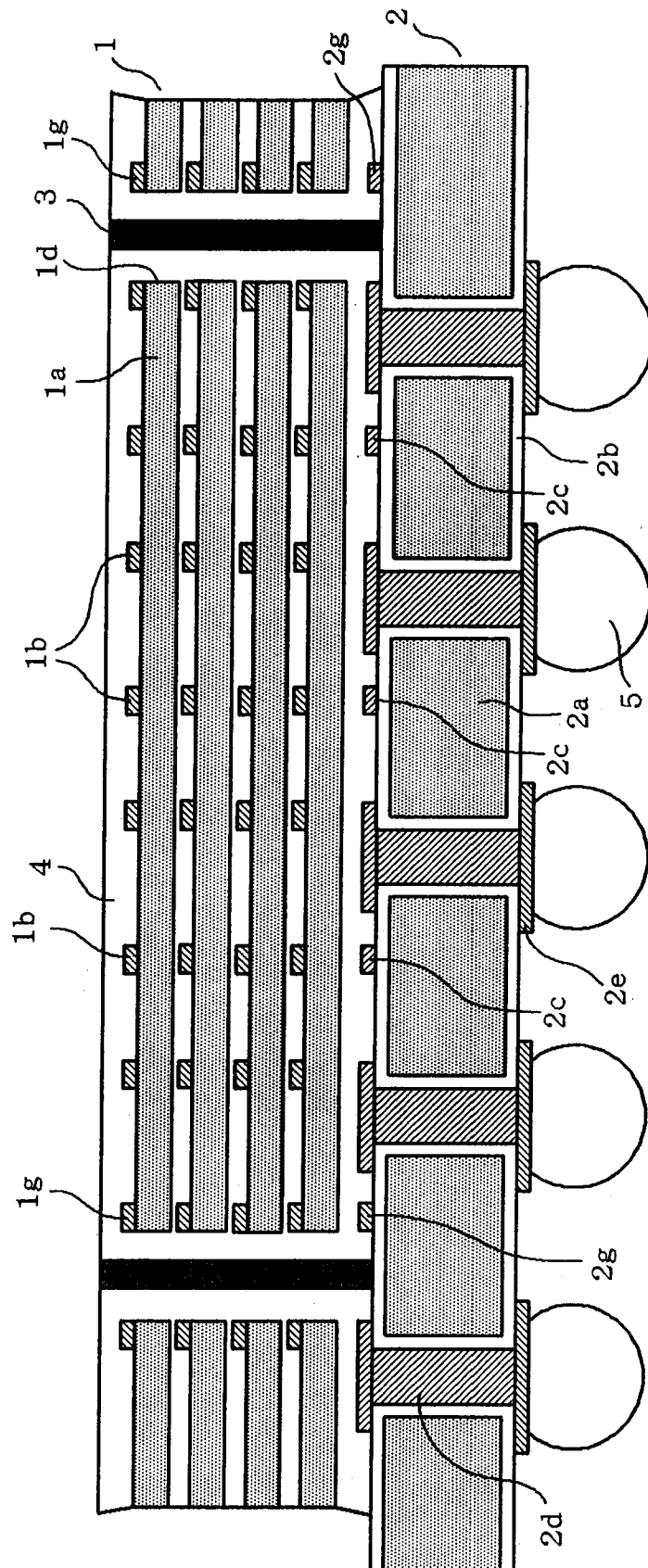
[図8]



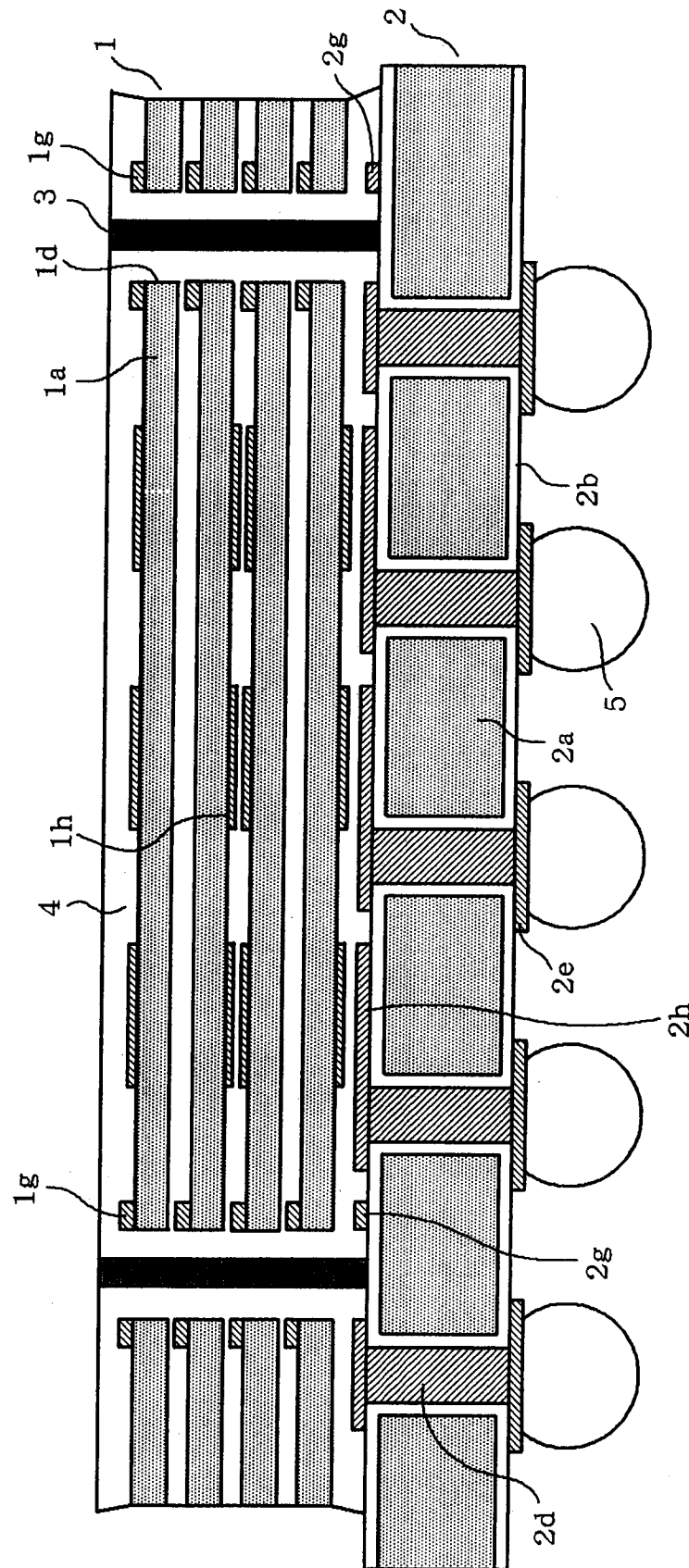
[図9]



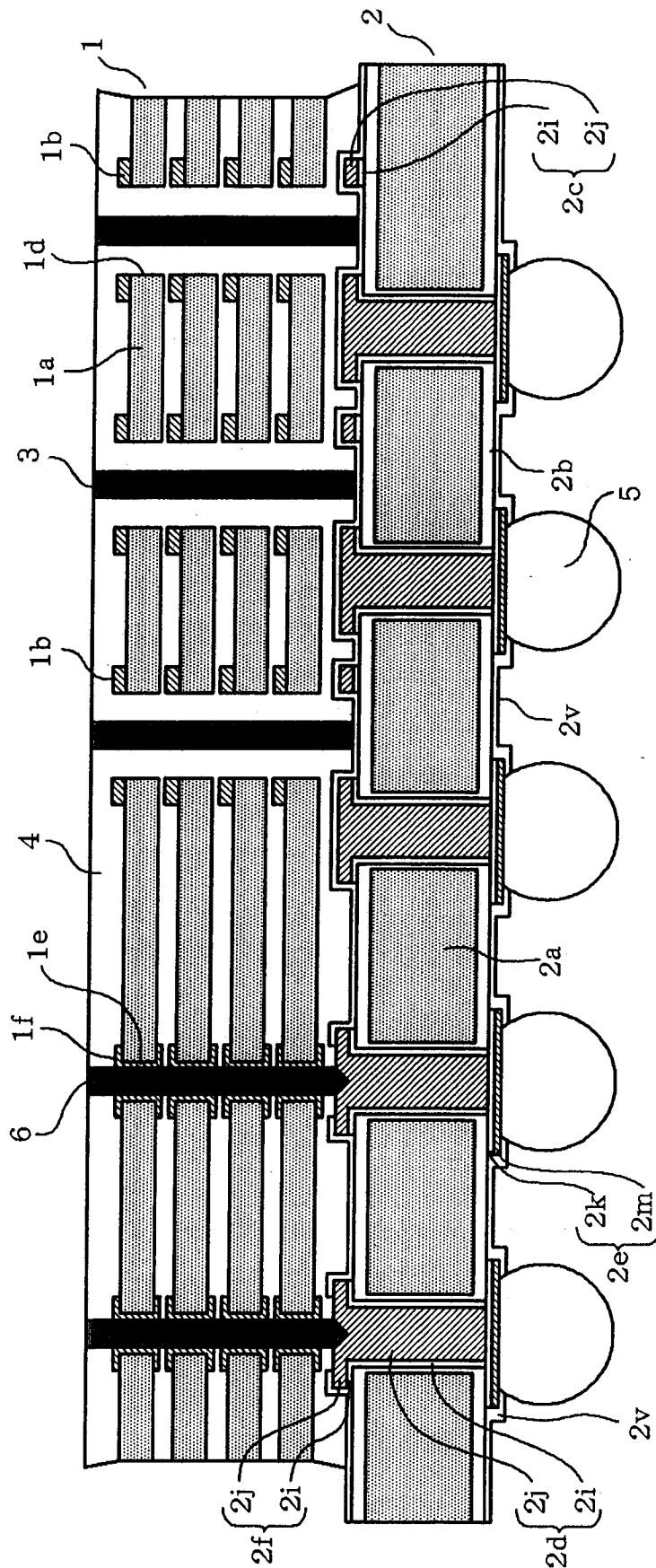
[図10]



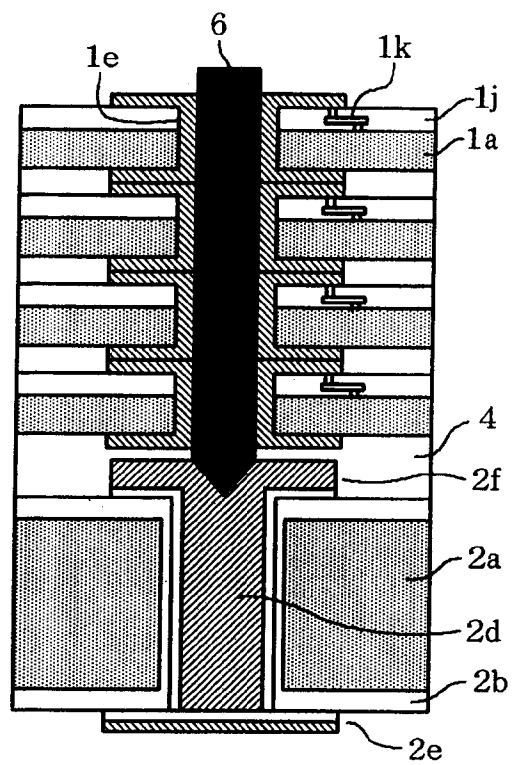
[図11]



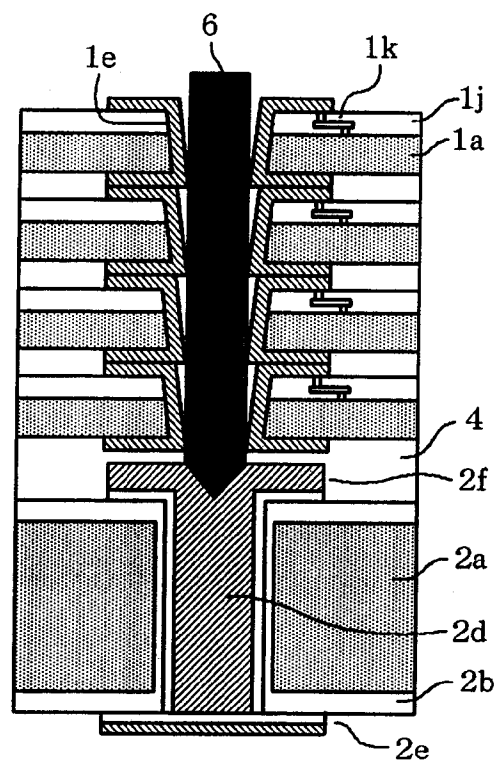
[図12]



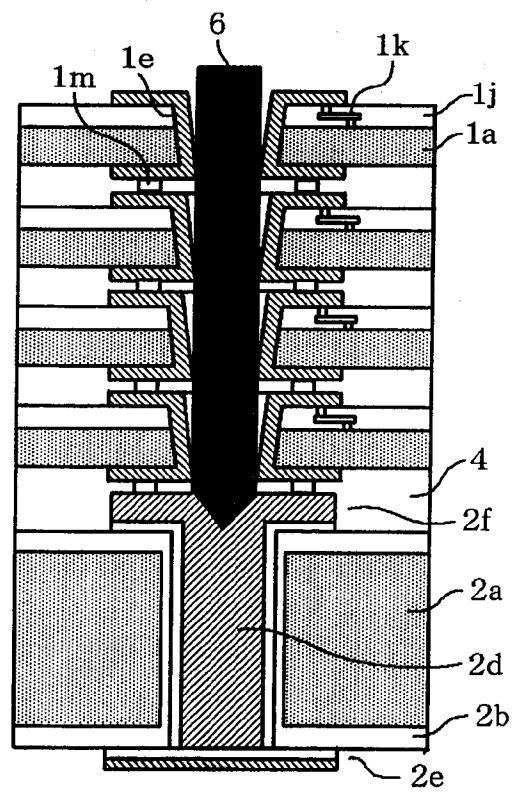
[図13A]



[図13B]



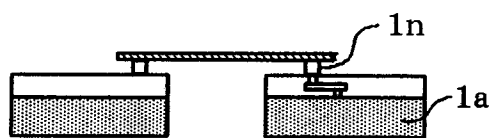
[図13C]



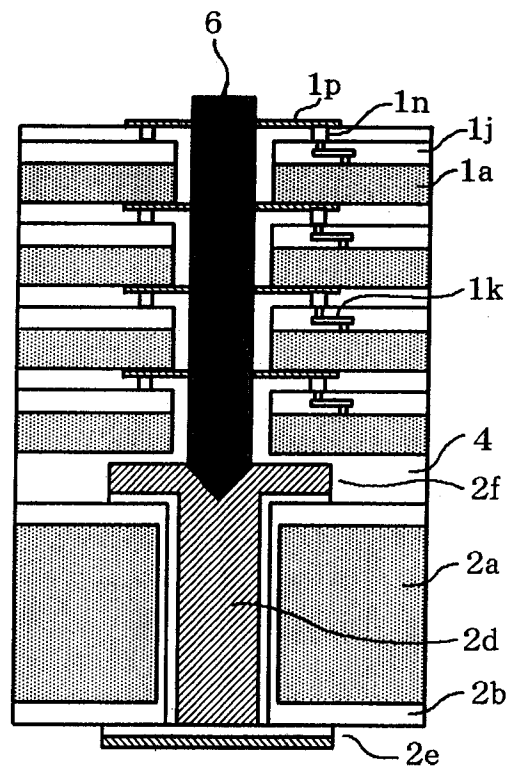
[図13D]



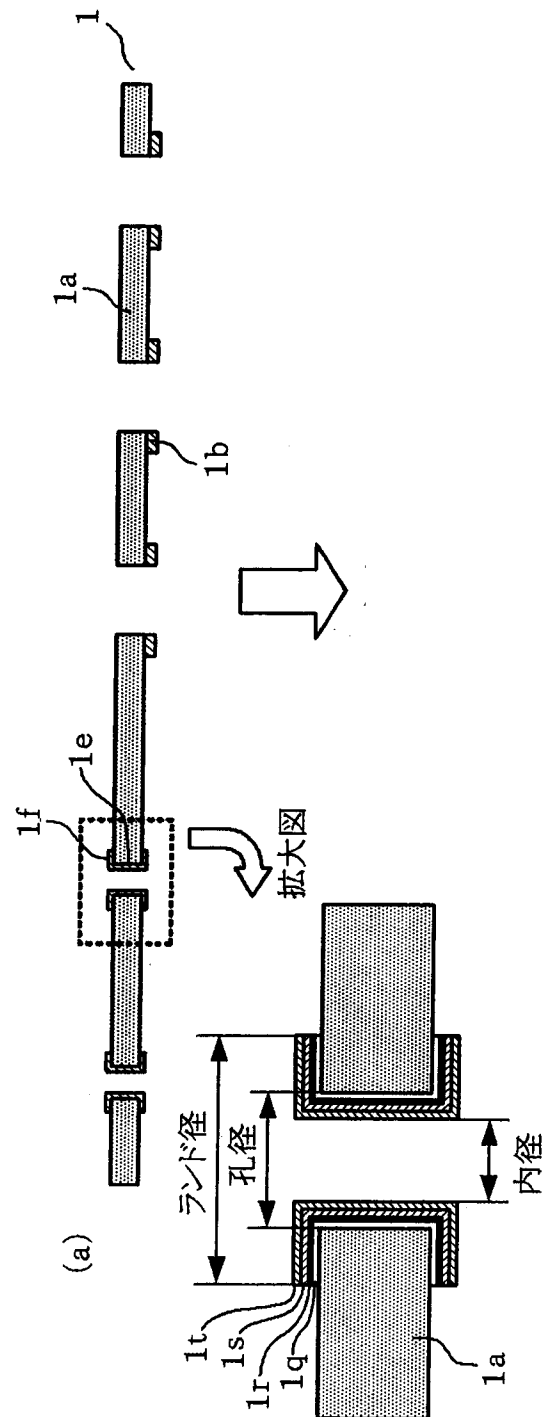
[図13E]



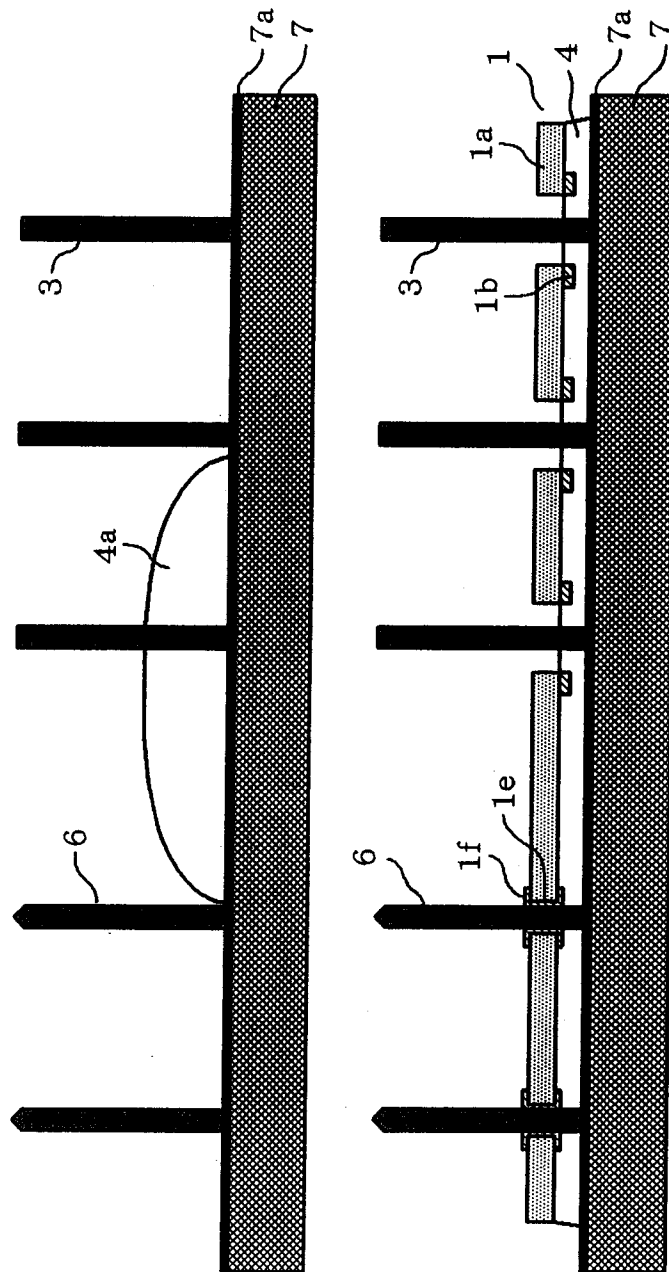
[図13F]



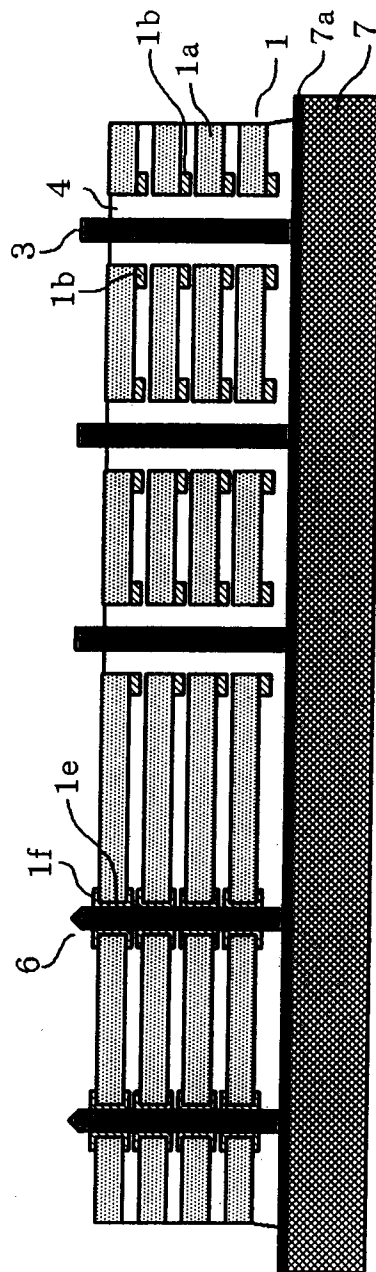
[図14A]



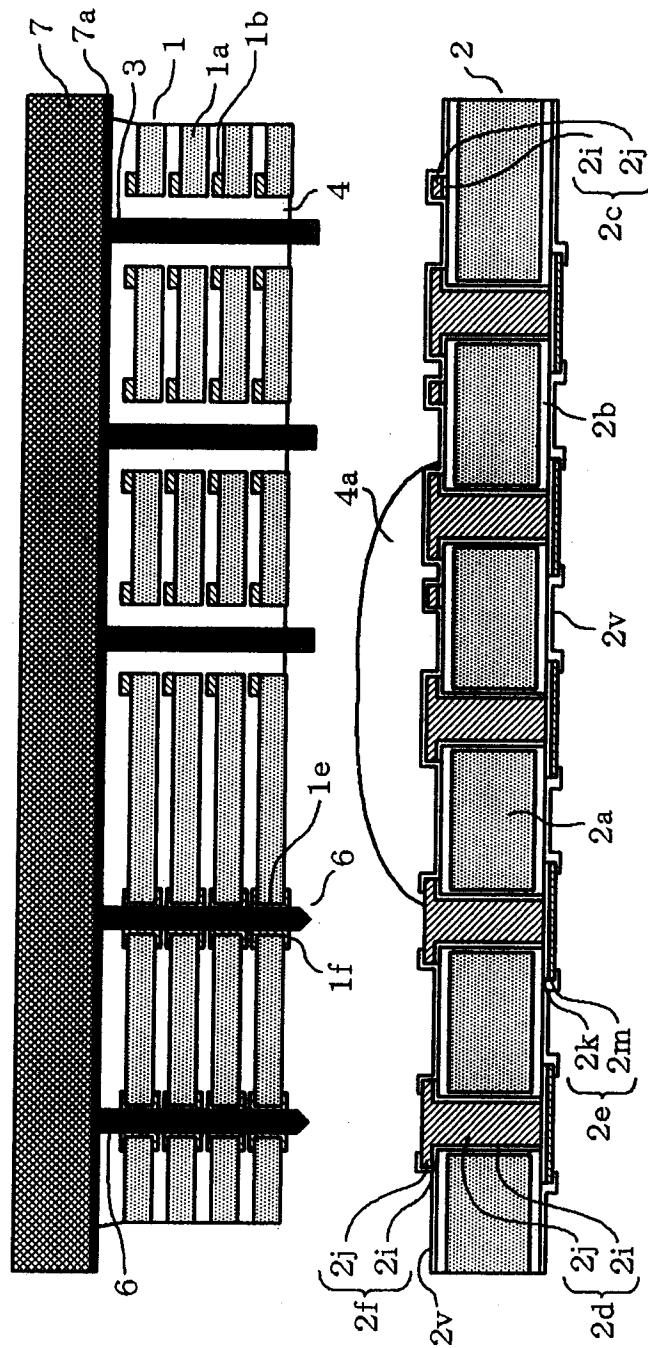
[図14B]



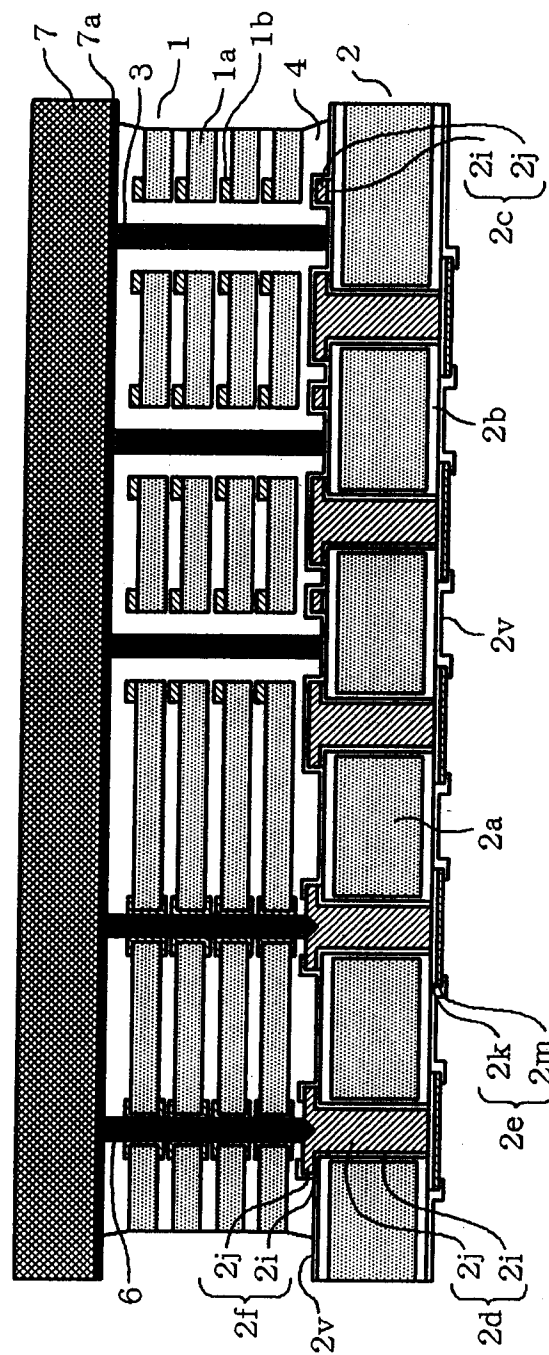
[図14C]



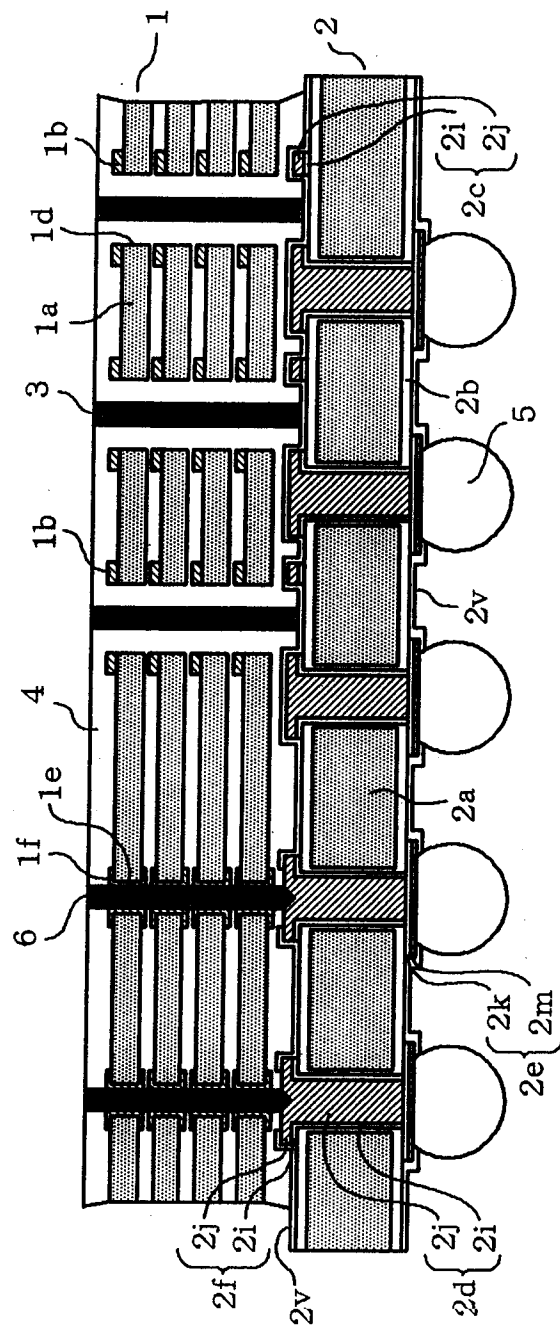
[図14D]



[図14E]



[図14F]



[図15A]



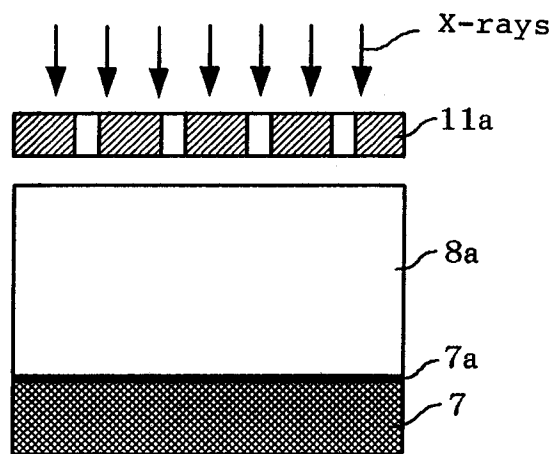
[図15B]



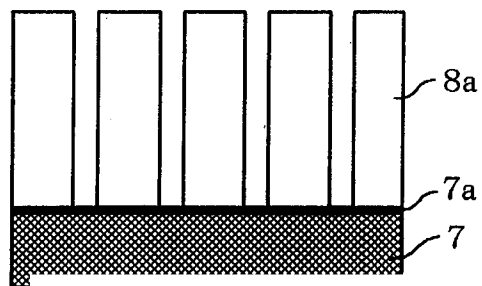
[図15C]



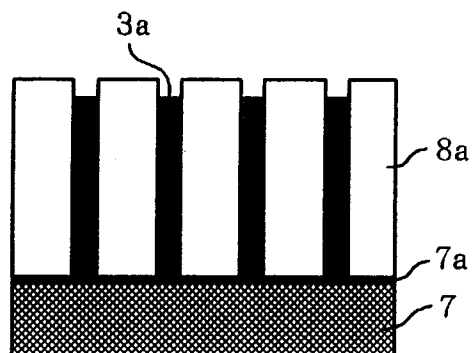
[図15D]



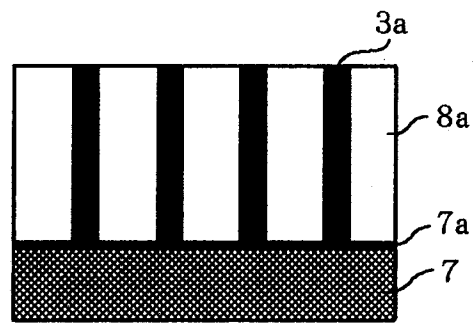
[図15E]



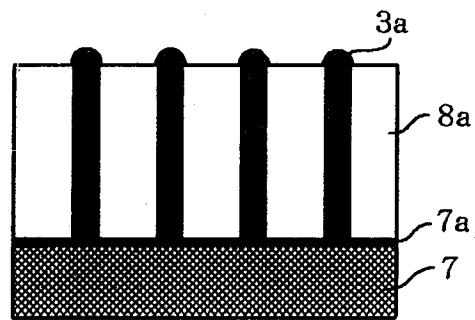
[図15F]



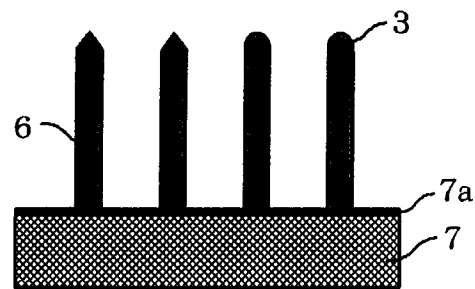
[図15G]



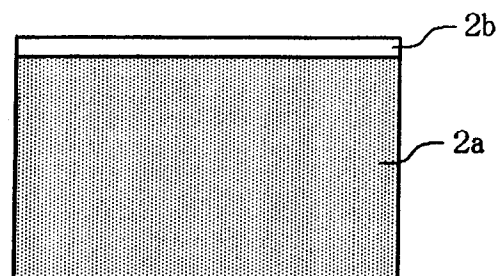
[図15H]



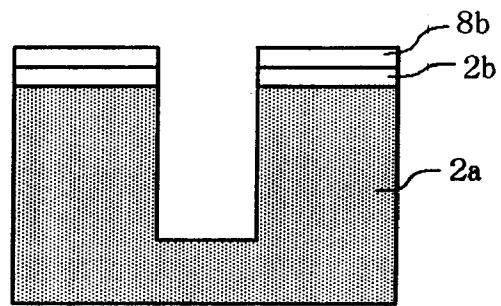
[図15I]



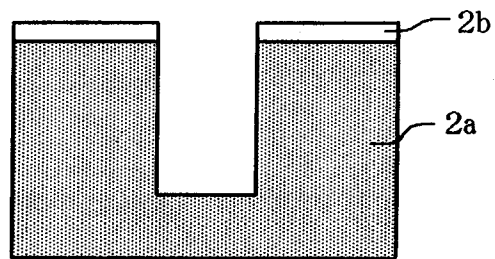
[図16A]



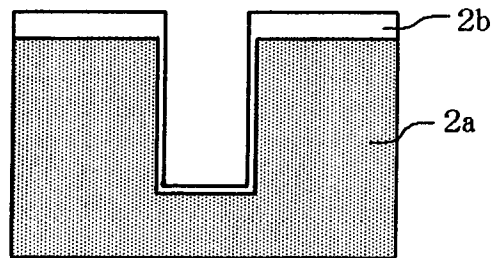
[図16B]



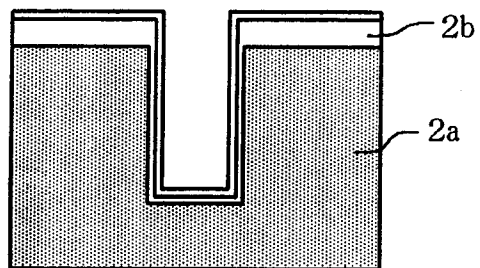
[図16C]



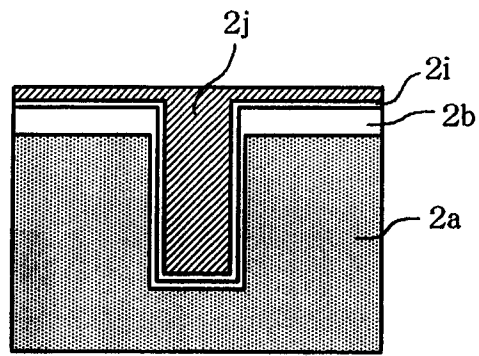
[図16D]



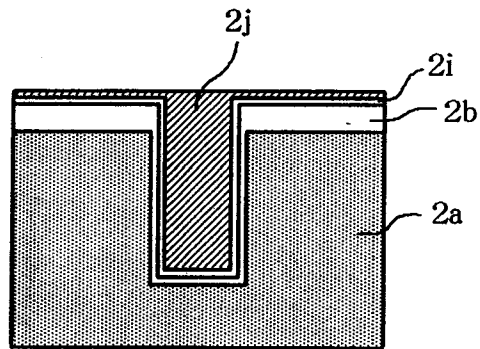
[図16E]



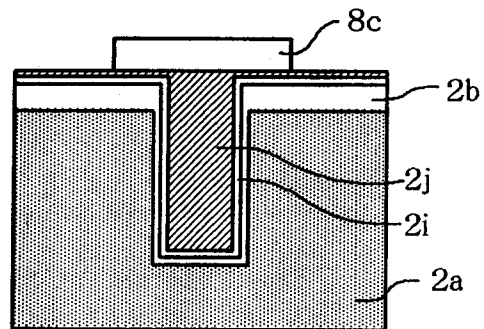
[図16F]



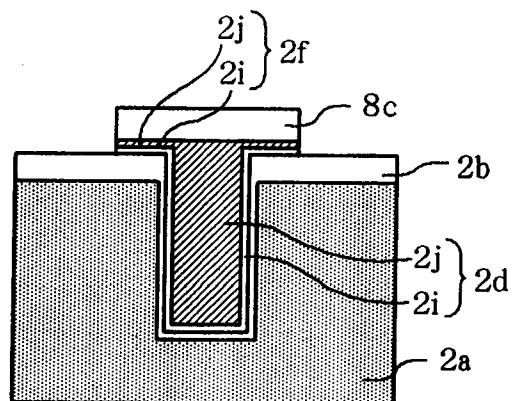
[図16G]



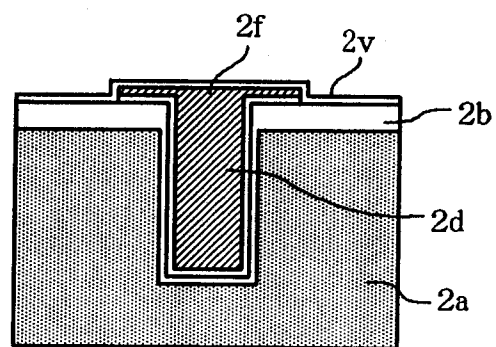
[図16H]



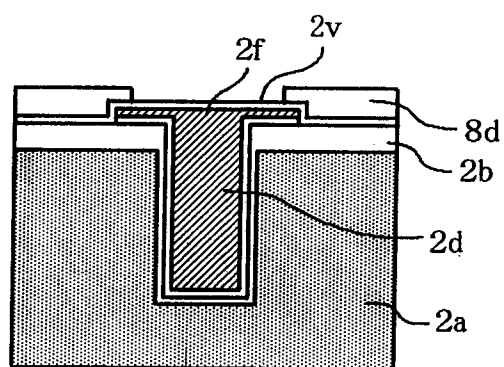
[図16I]



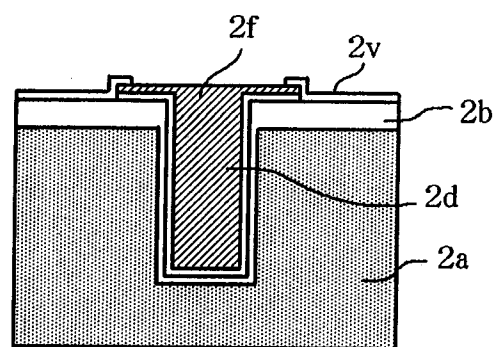
[図16J]



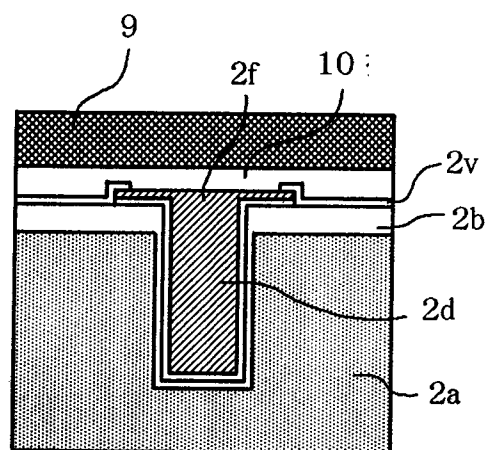
[図16K]



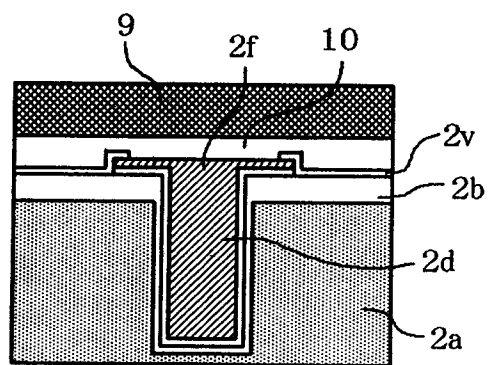
[図16L]



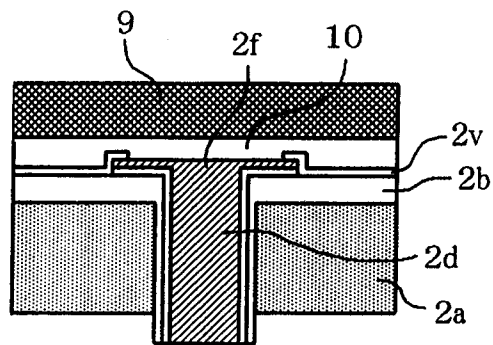
[図16M]



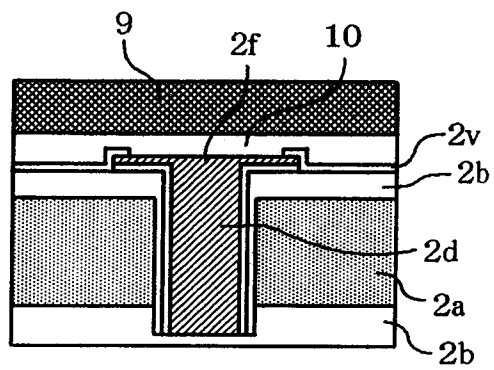
[図16N]



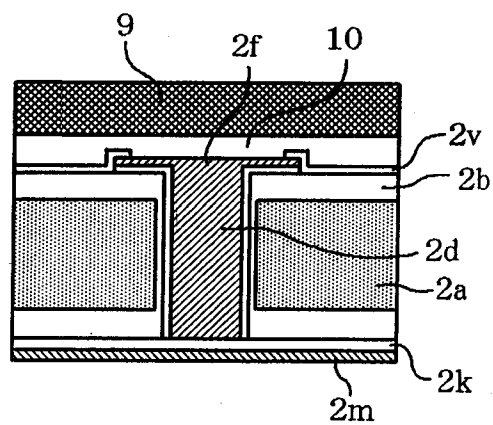
[図16O]



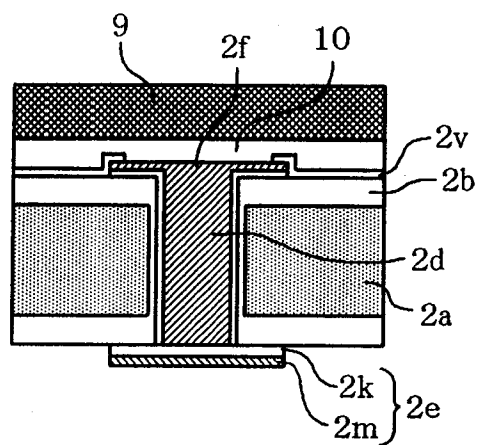
[図16P]



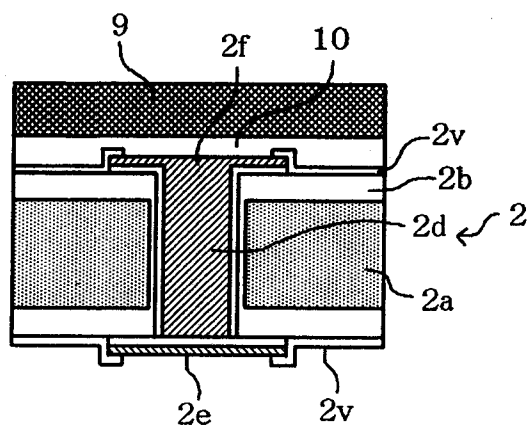
[図16Q]



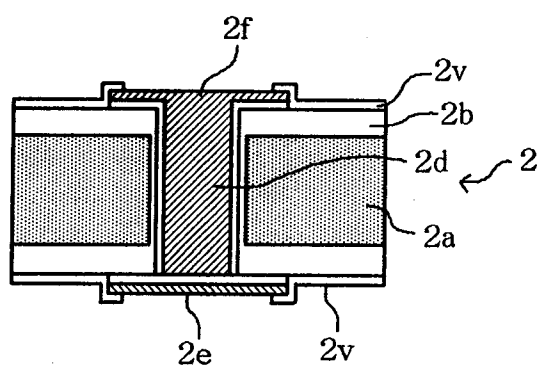
[図16R]



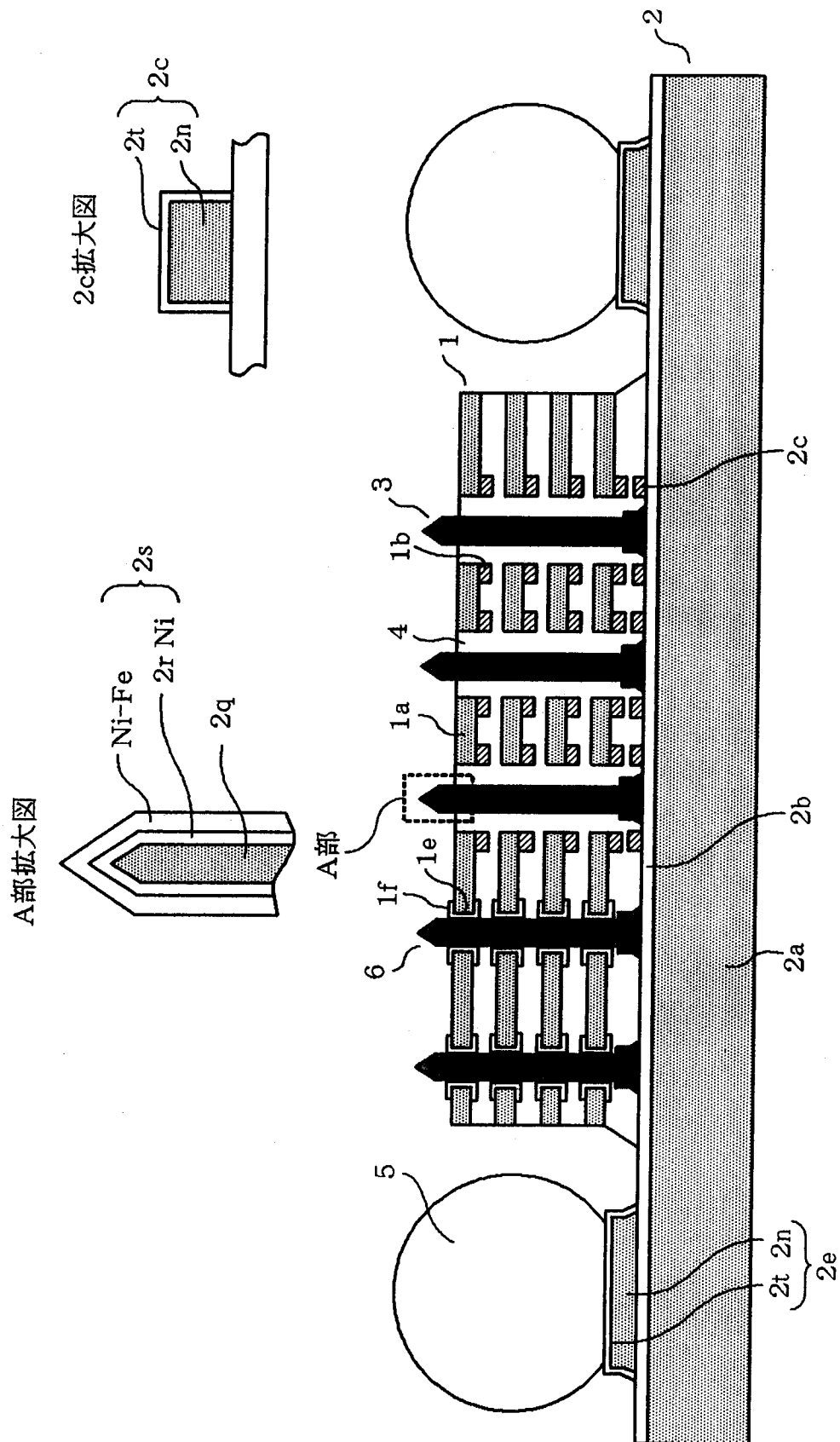
[図16S]



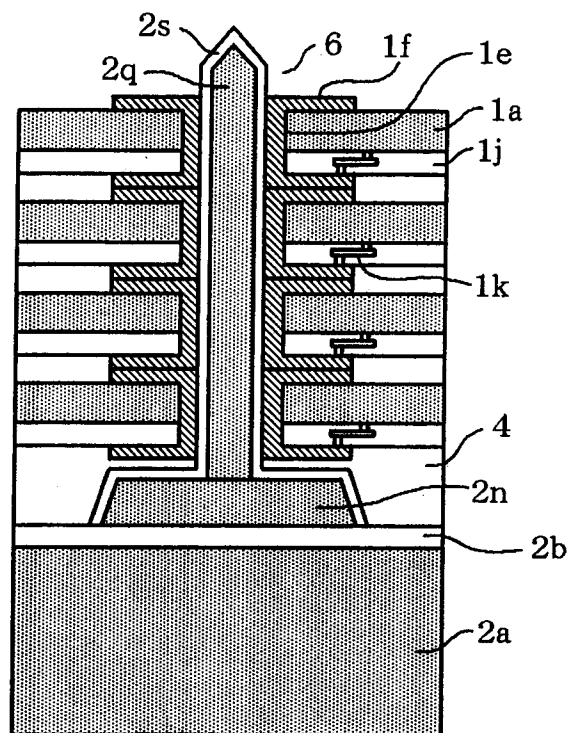
[図16T]



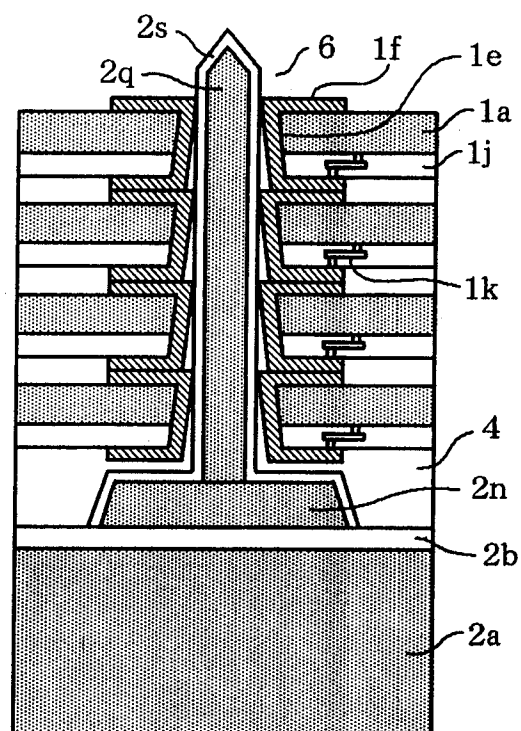
[図17]



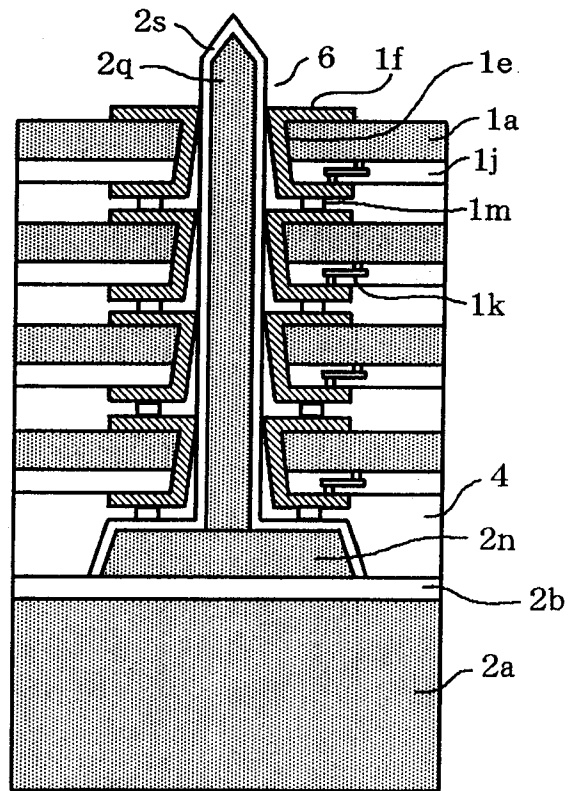
[図18A]



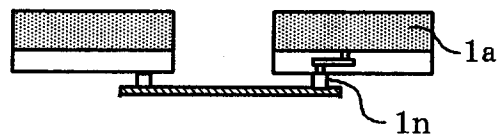
[図18B]



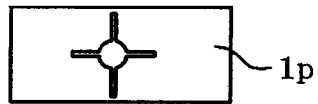
[図18C]



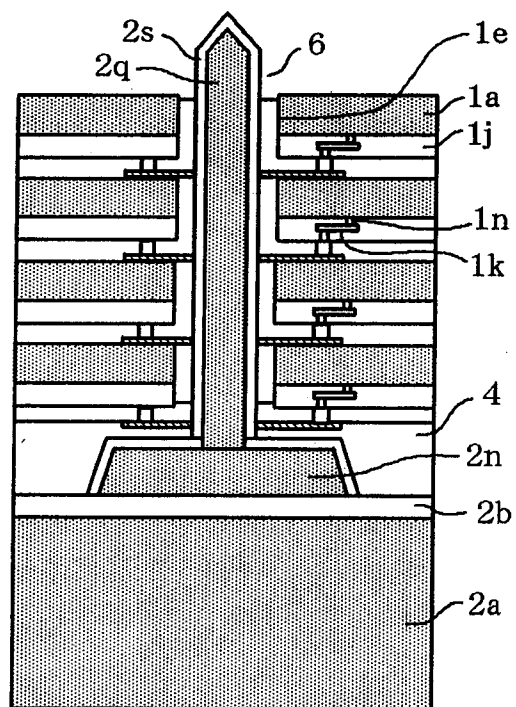
[図18D]



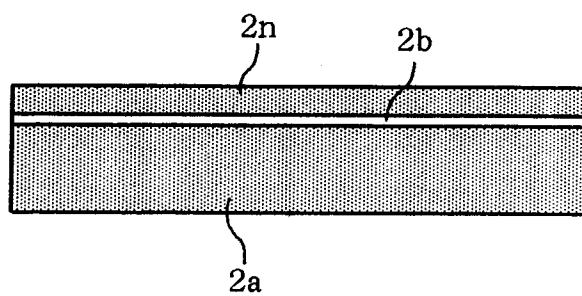
[図18E]



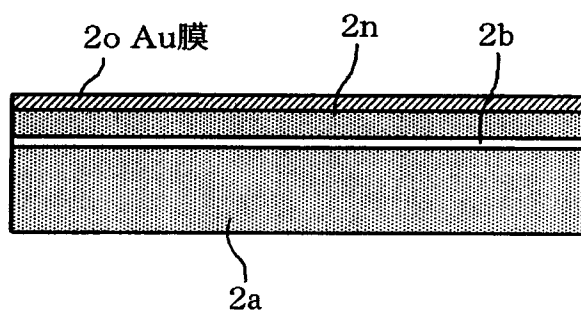
[図18F]



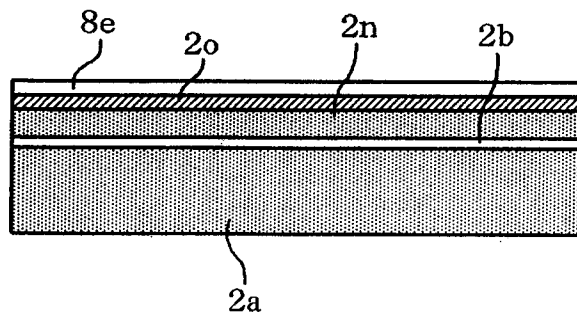
[図19A]



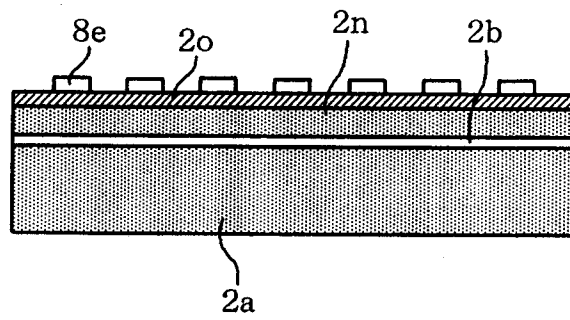
[図19B]



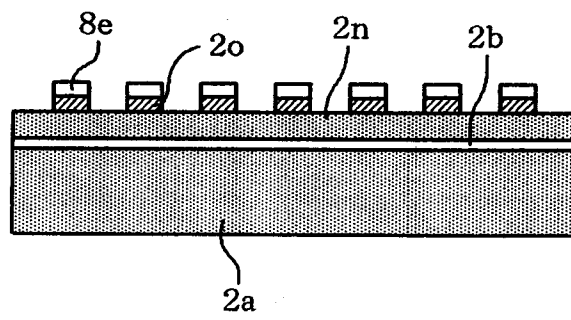
[図19C]



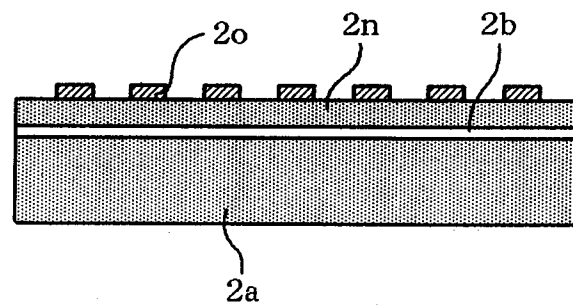
[図19D]



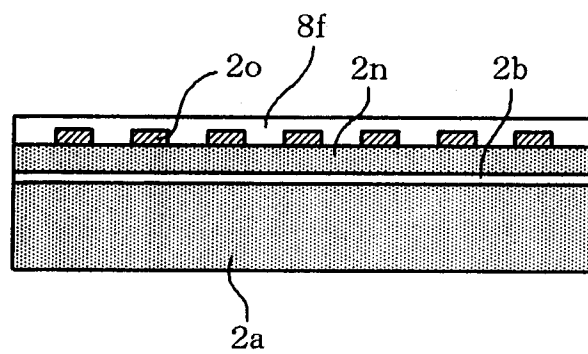
[図19E]



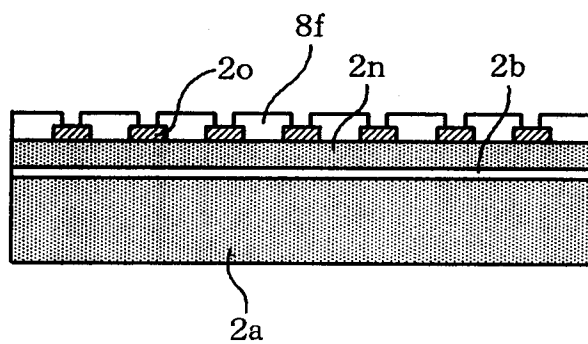
[図19F]



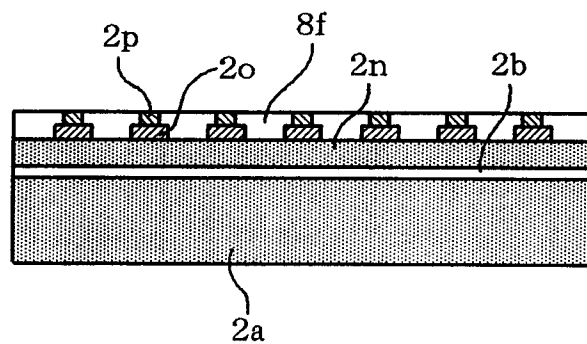
[図19G]



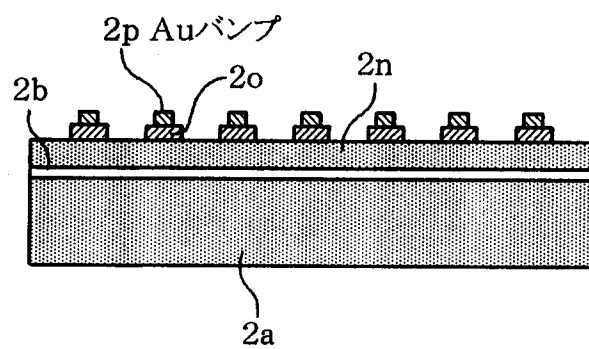
[図19H]



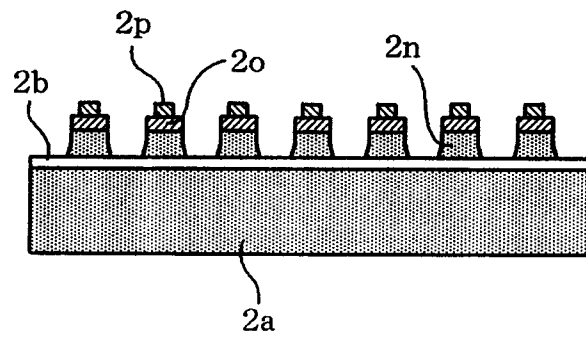
[図19I]



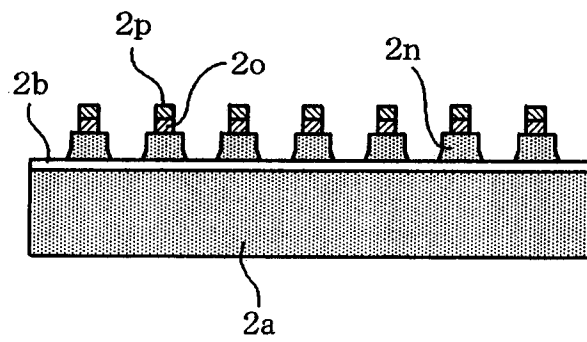
[図19J]



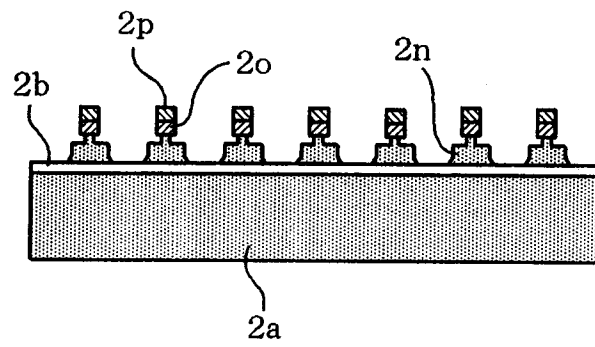
[図19K]



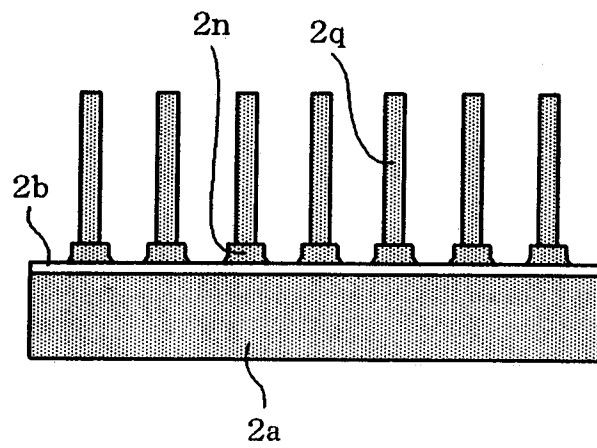
[図19L]



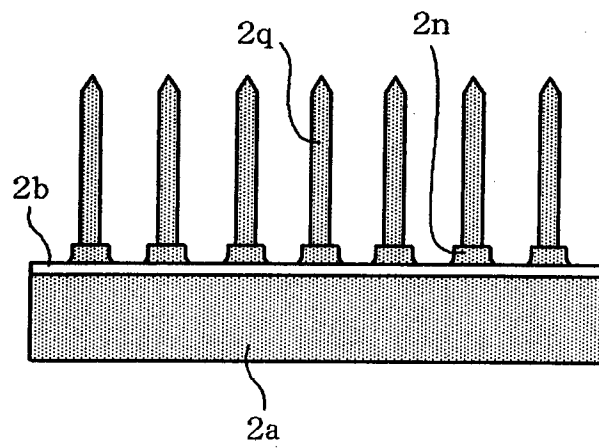
[図19M]



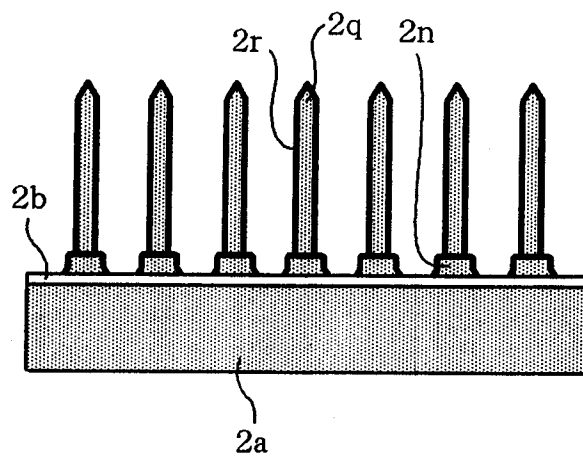
[図19N]



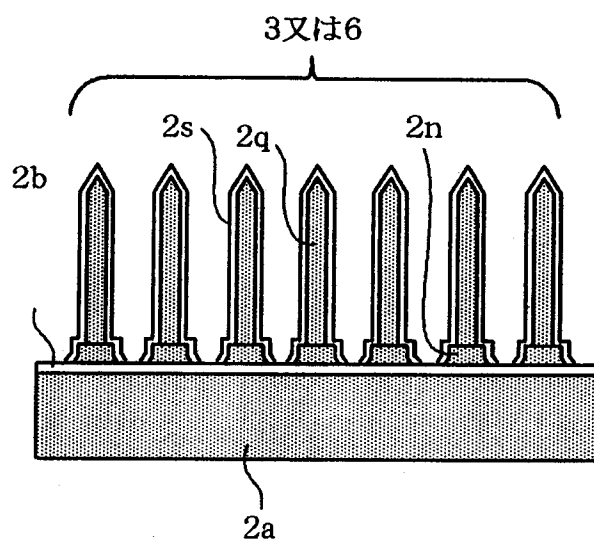
[図19O]



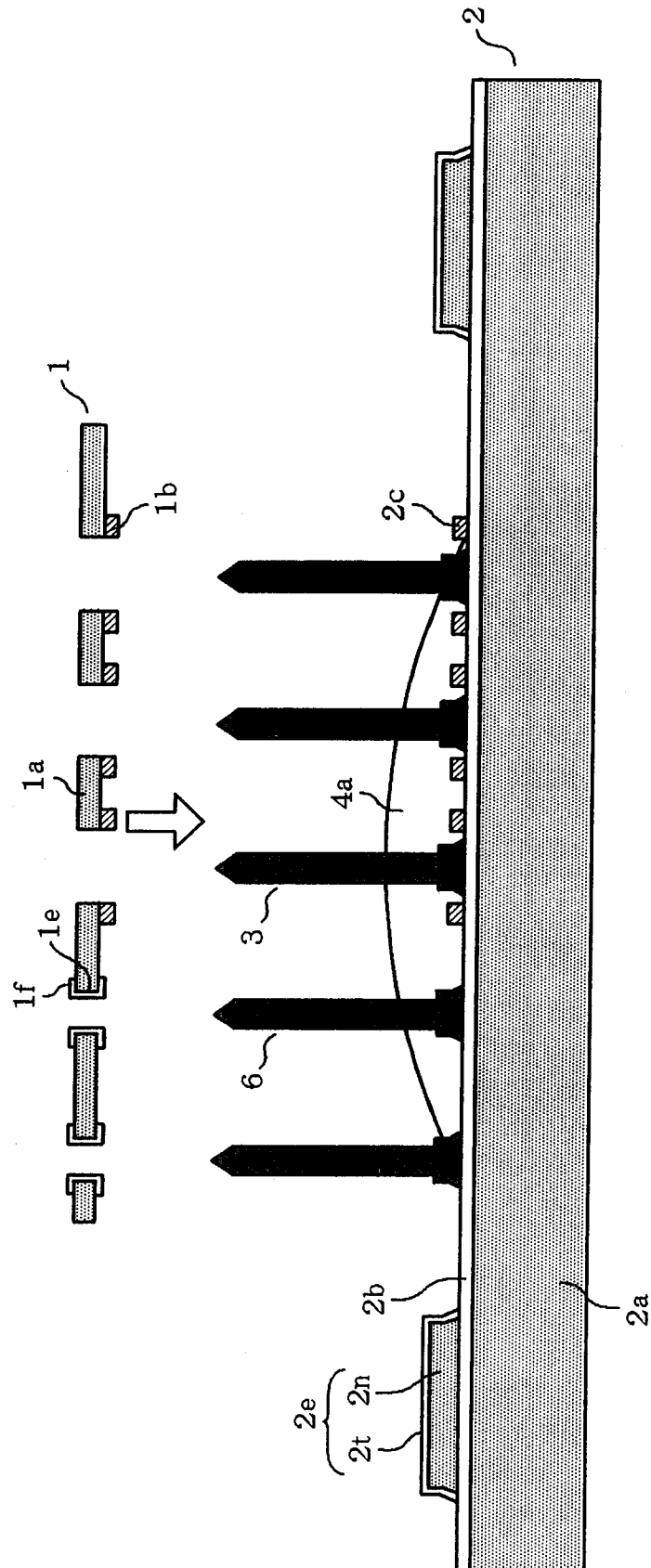
[図19P]



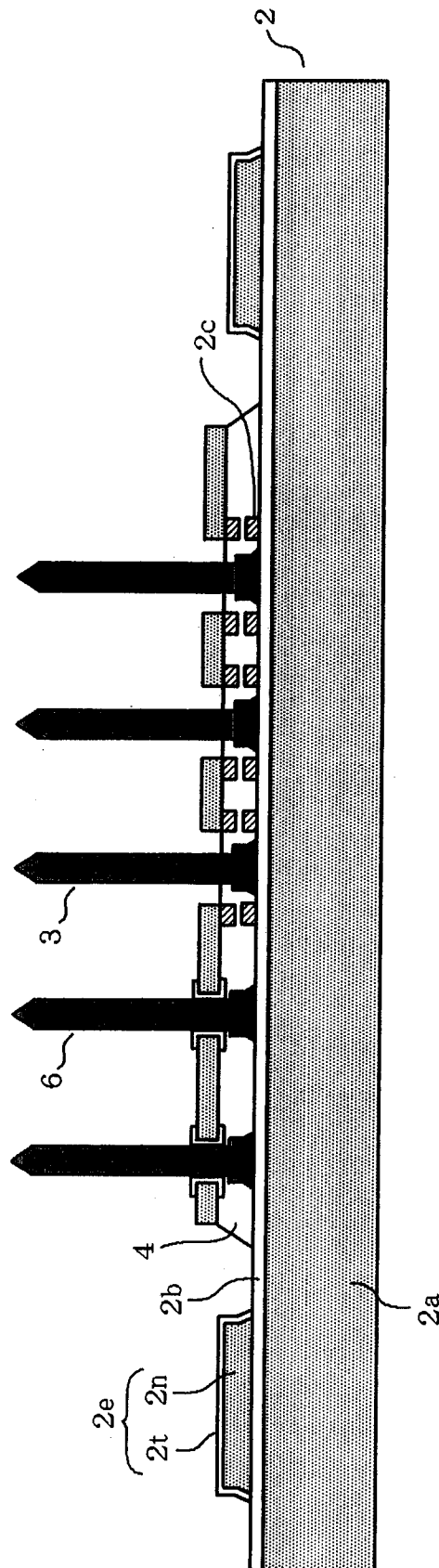
[図19Q]



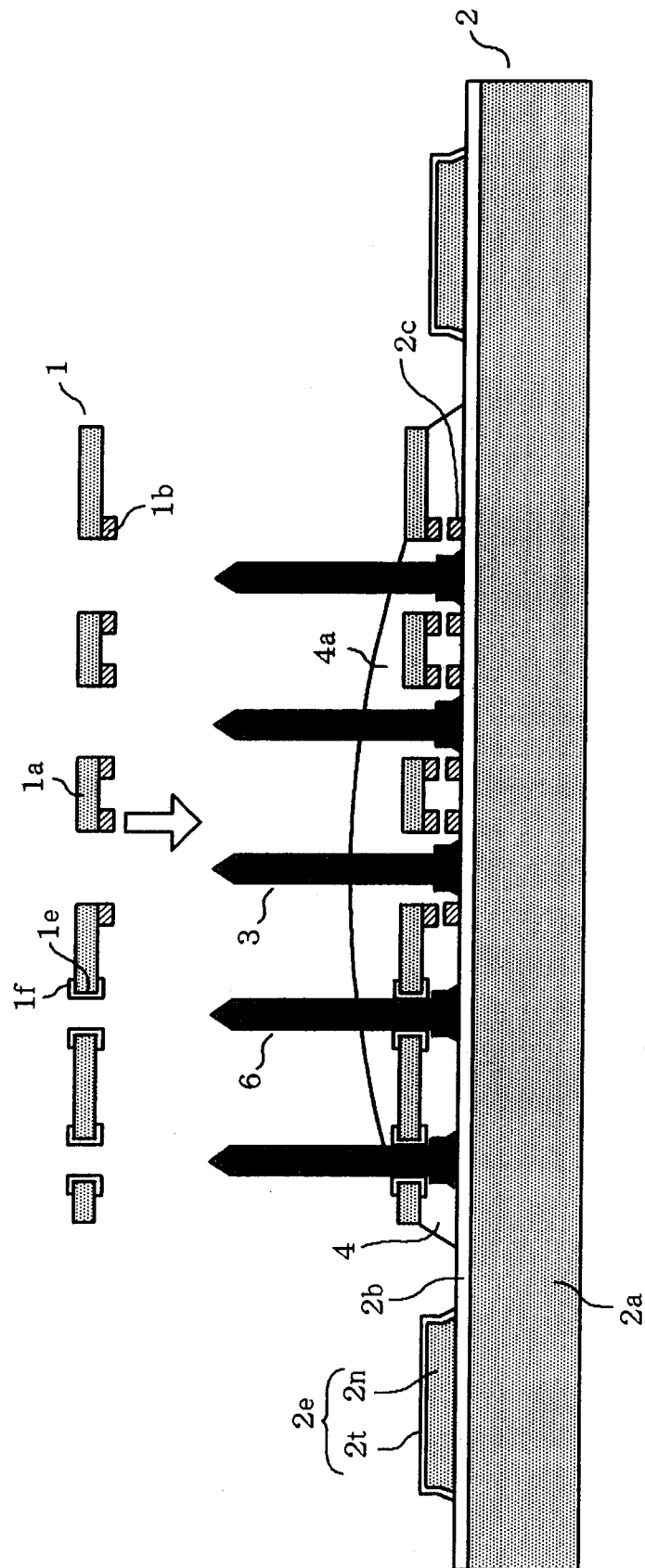
[図20A]



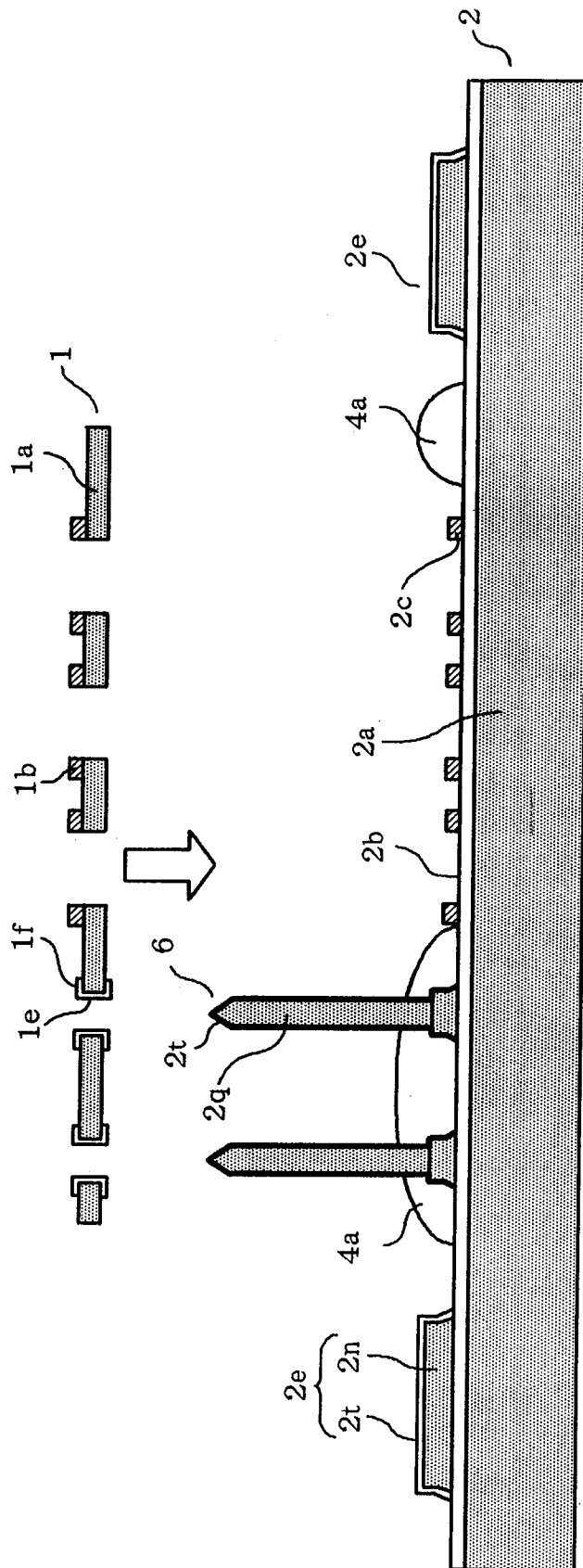
[図20B]



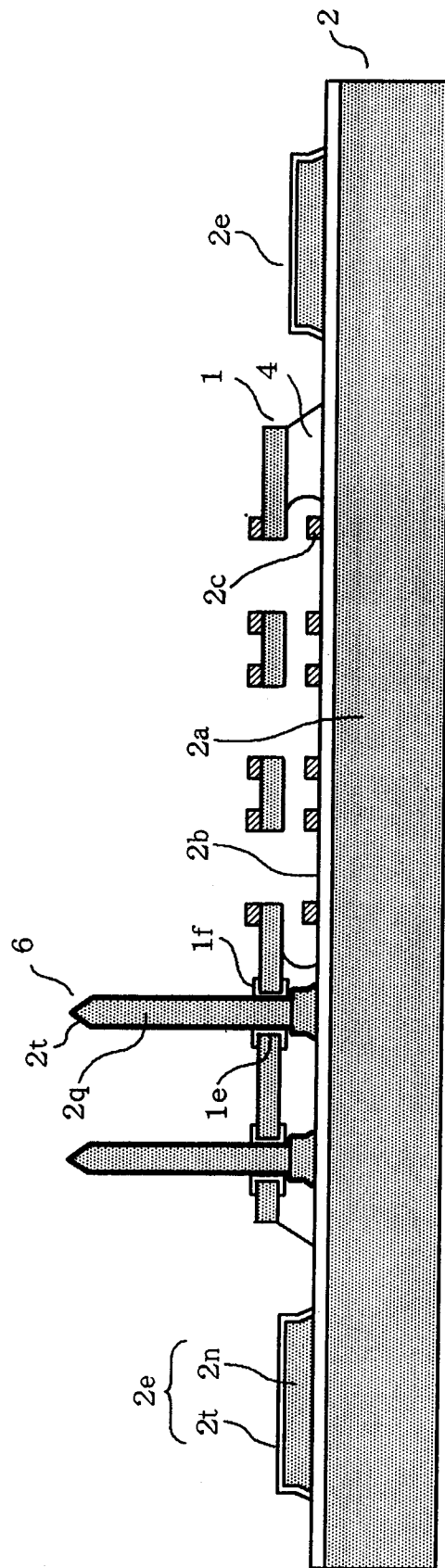
[図20C]



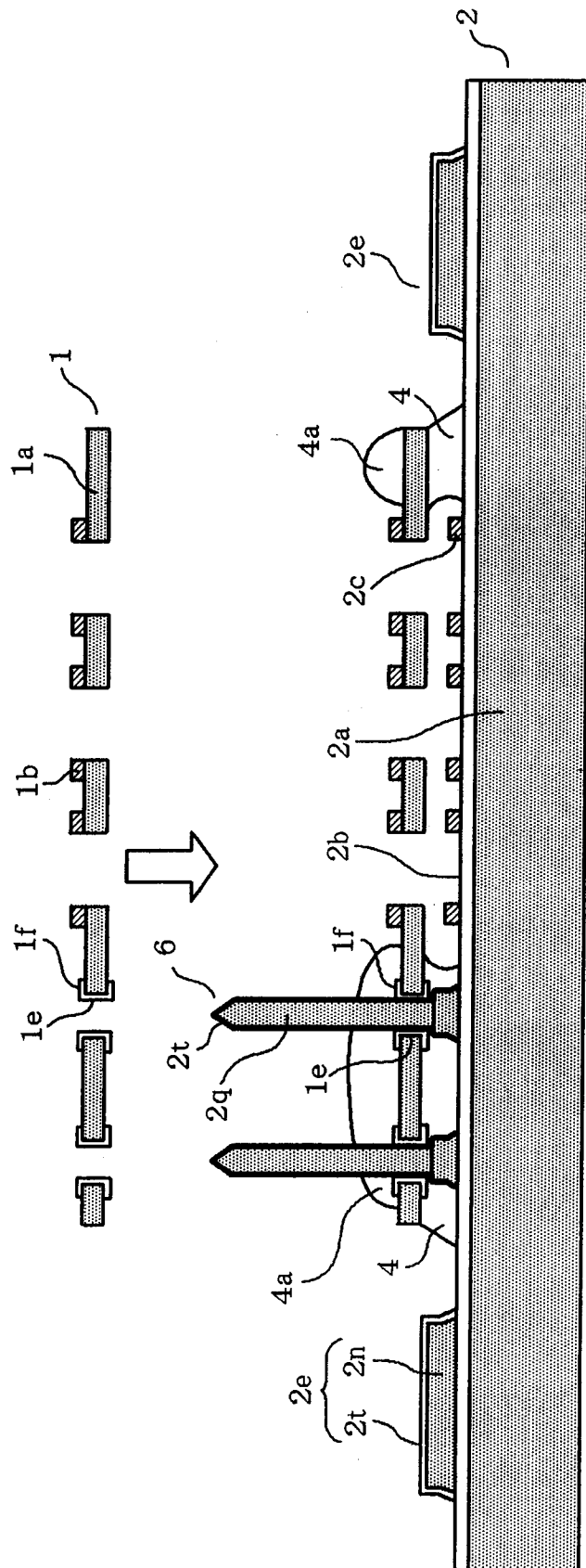
[図21A]



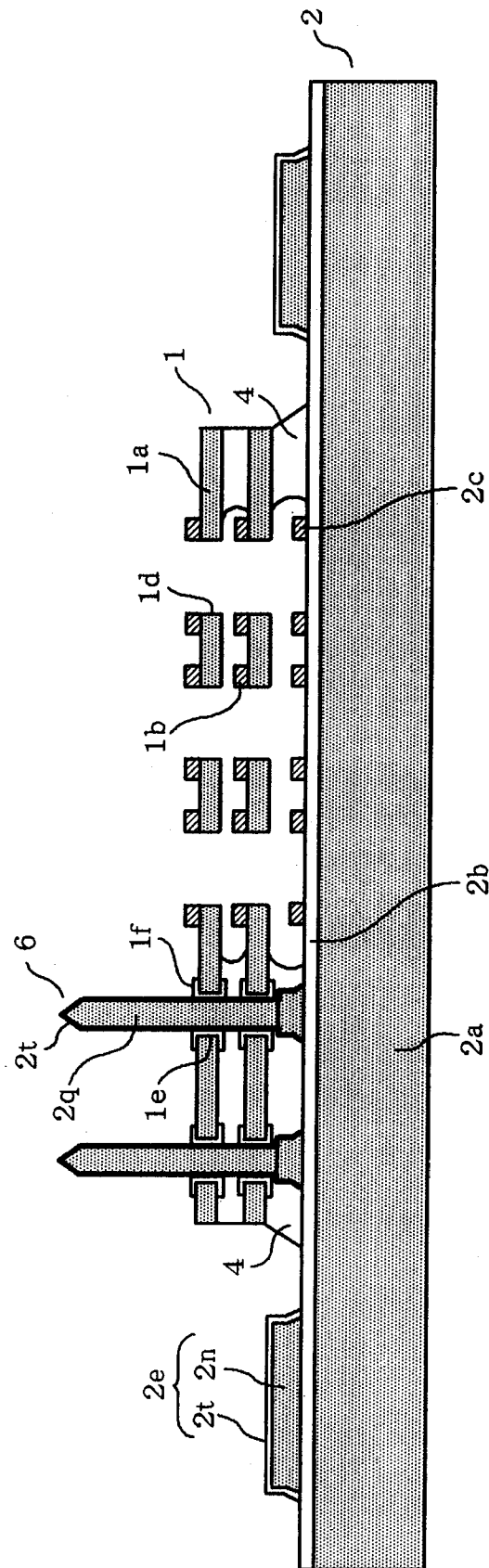
[図21B]



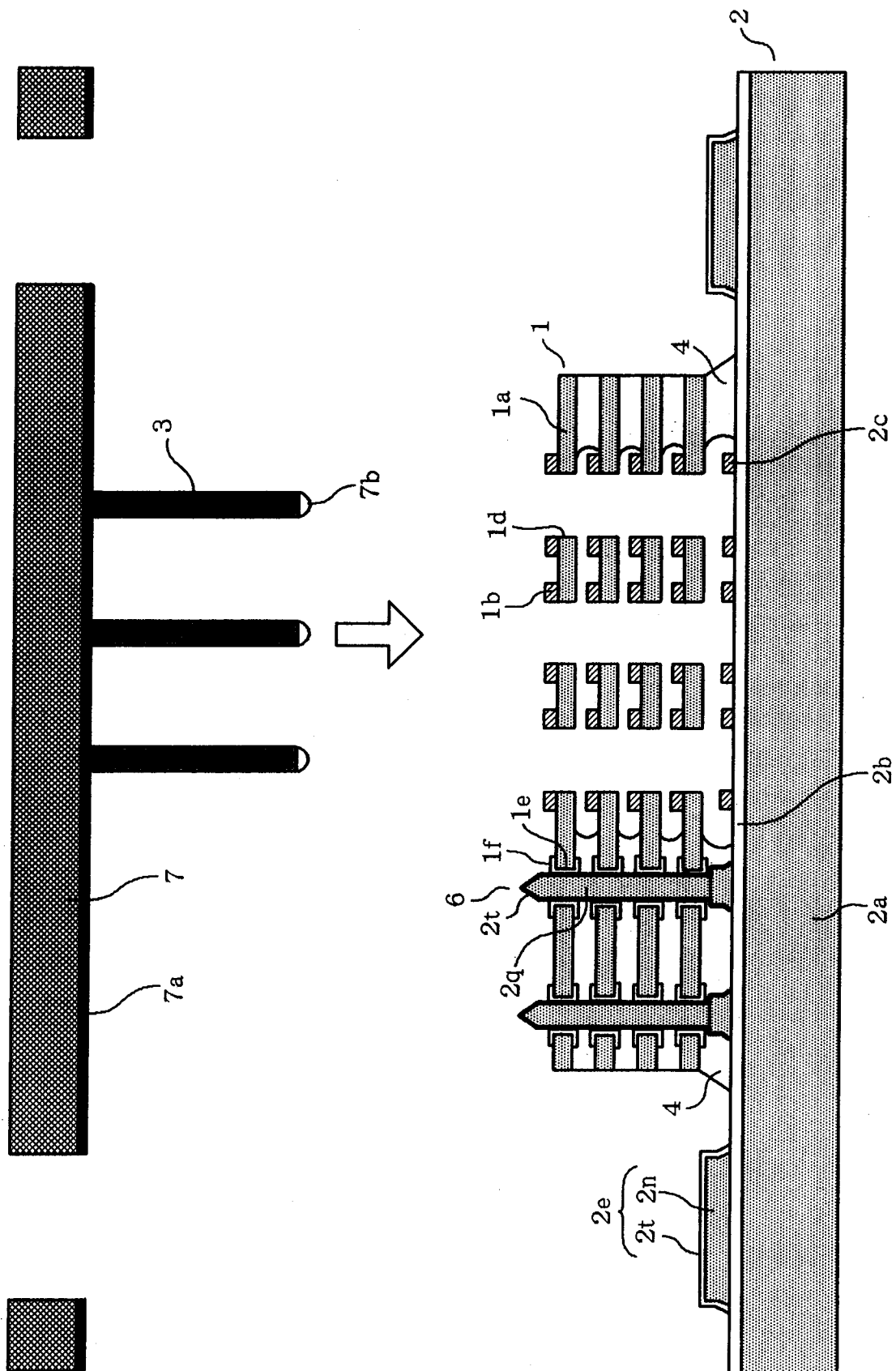
[図21C]



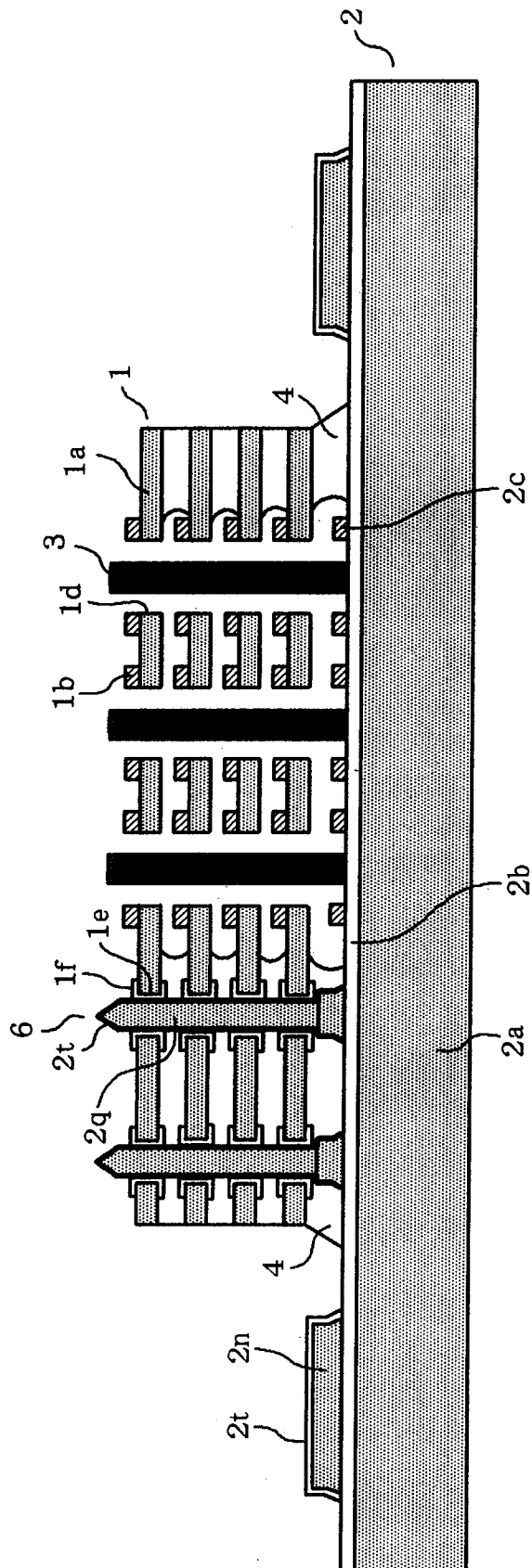
[図21D]



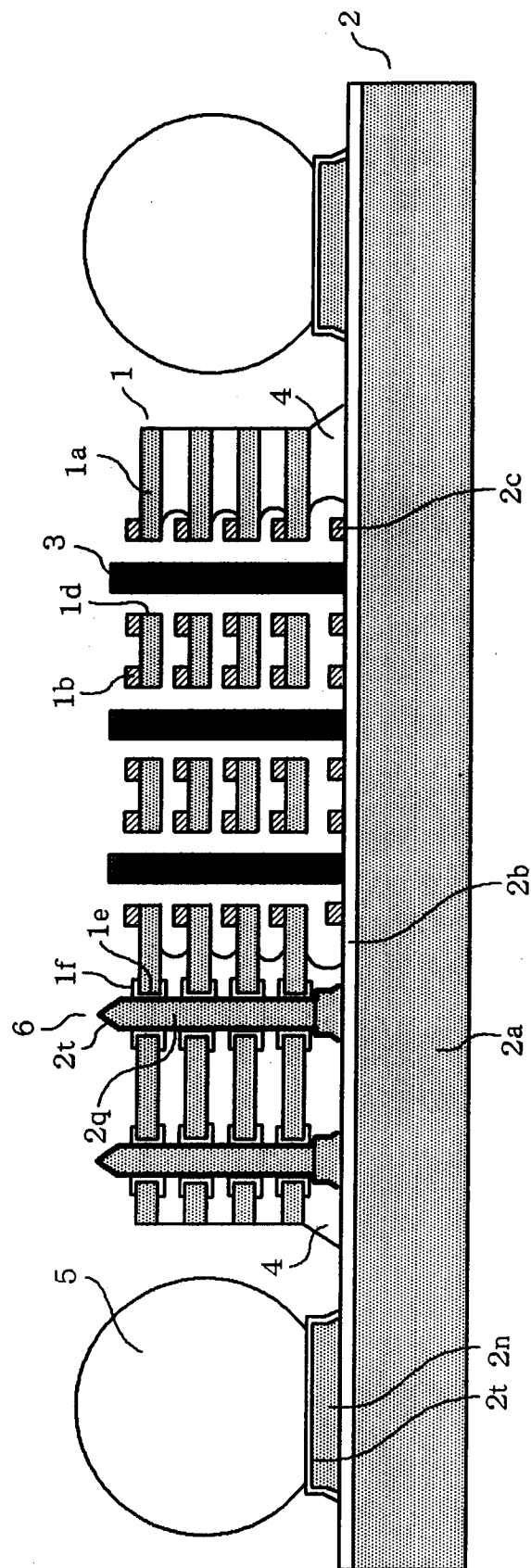
[図21E]



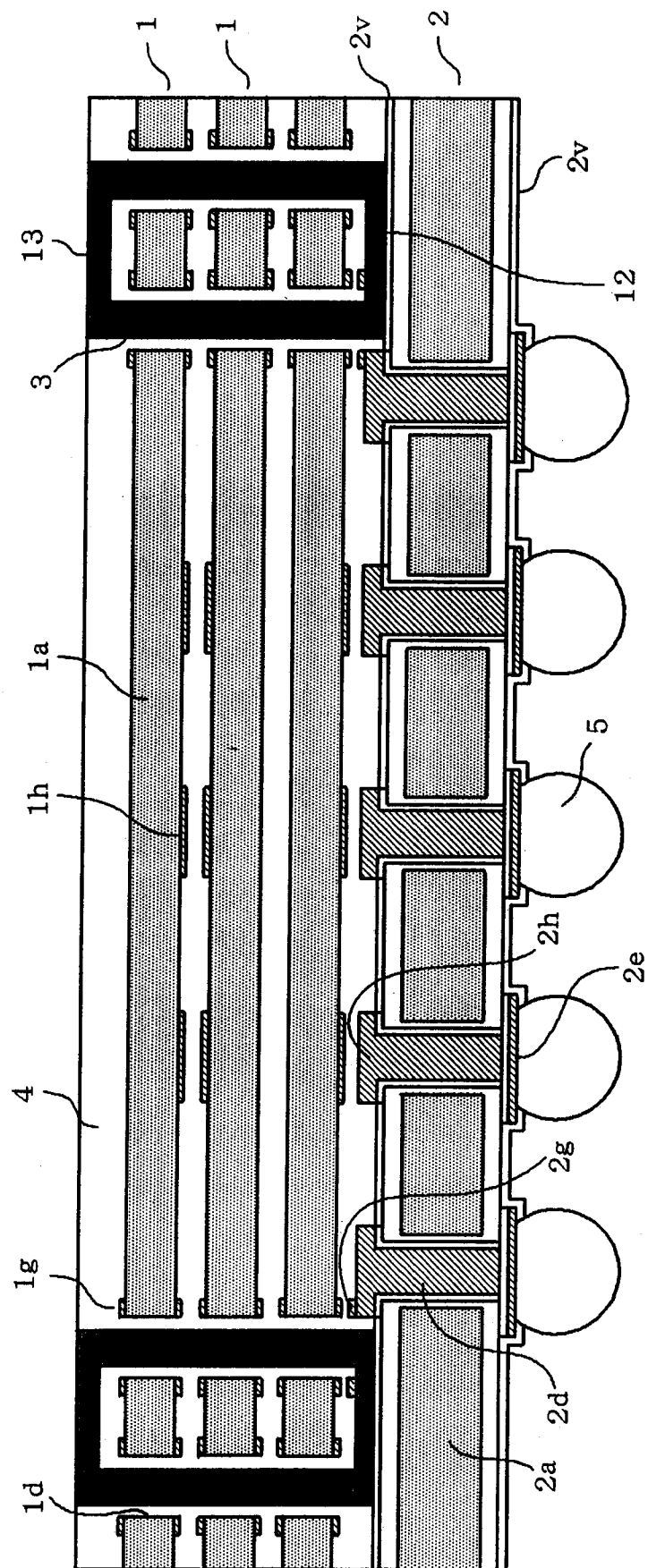
[図21F]



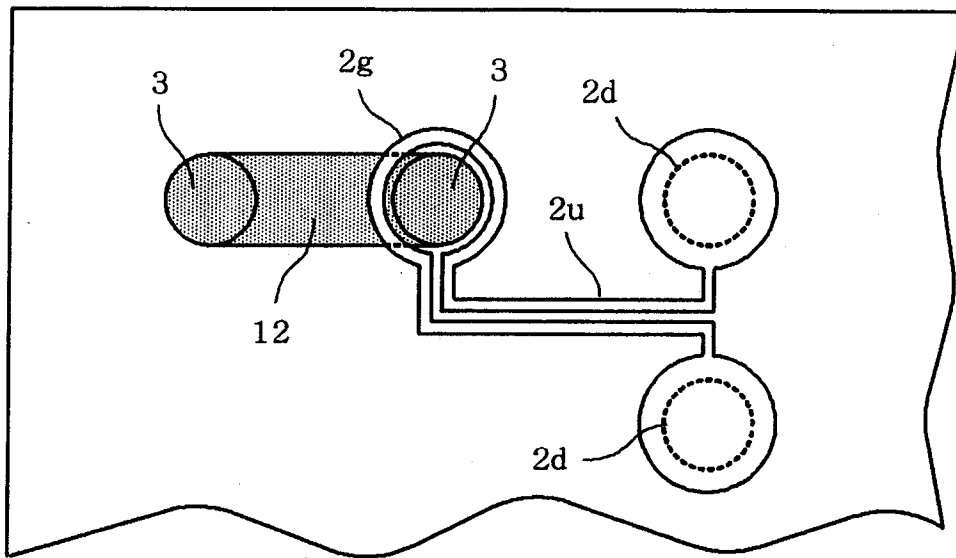
[図21G]



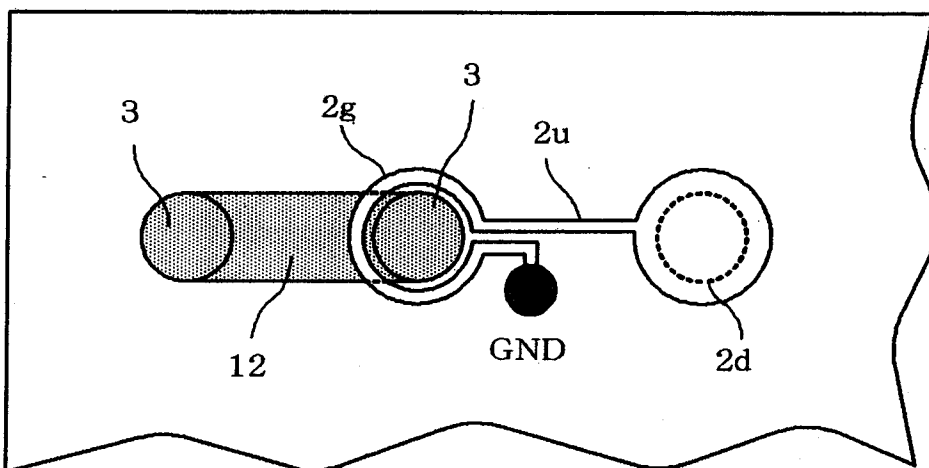
[図22]



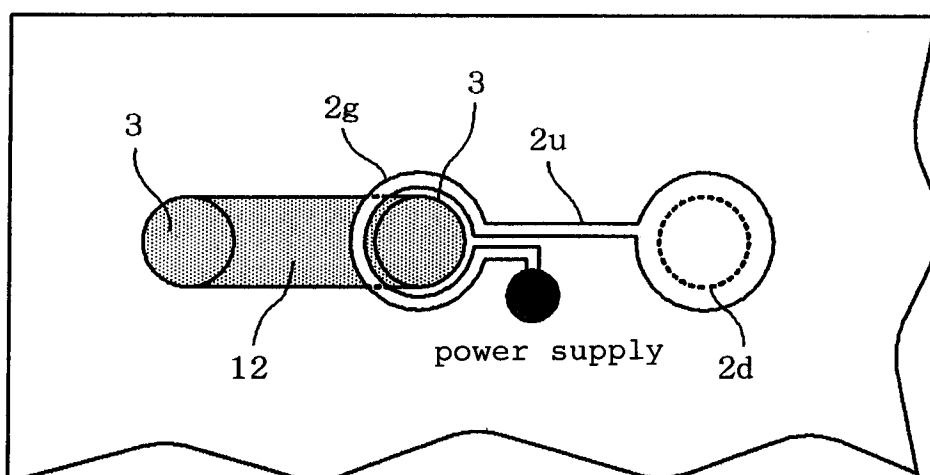
[図23A]



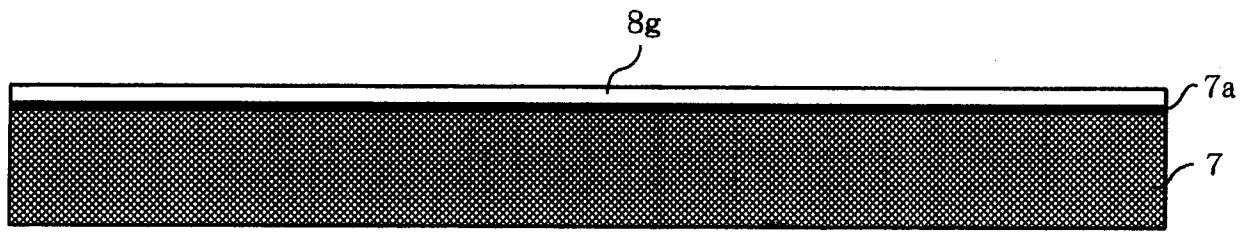
[図23B]



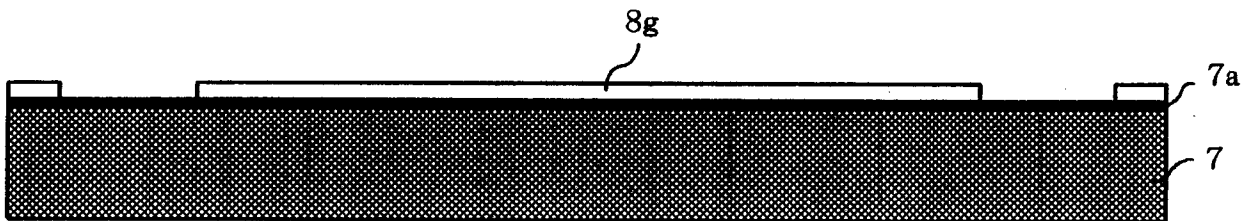
[図23C]



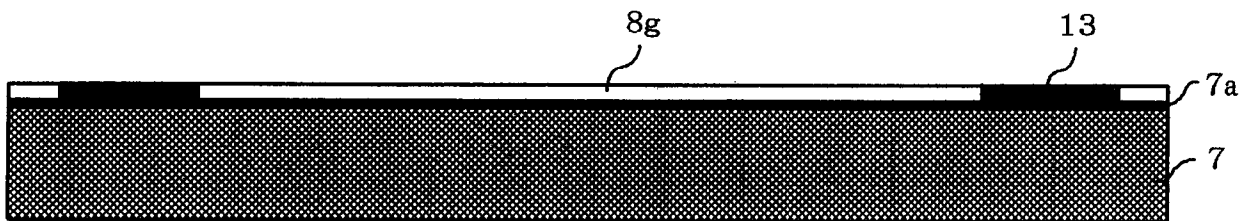
[図24A]



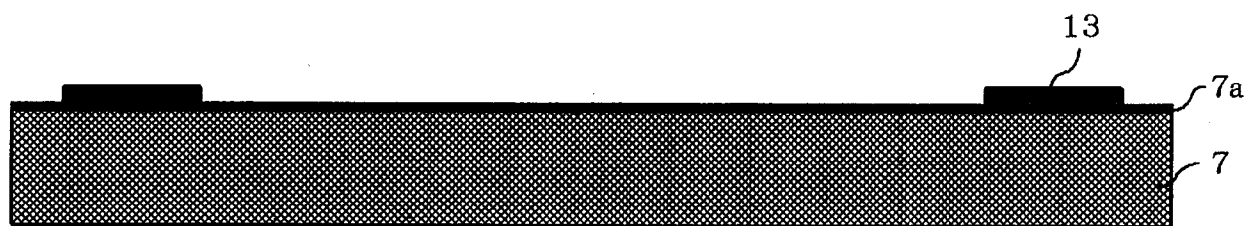
[図24B]



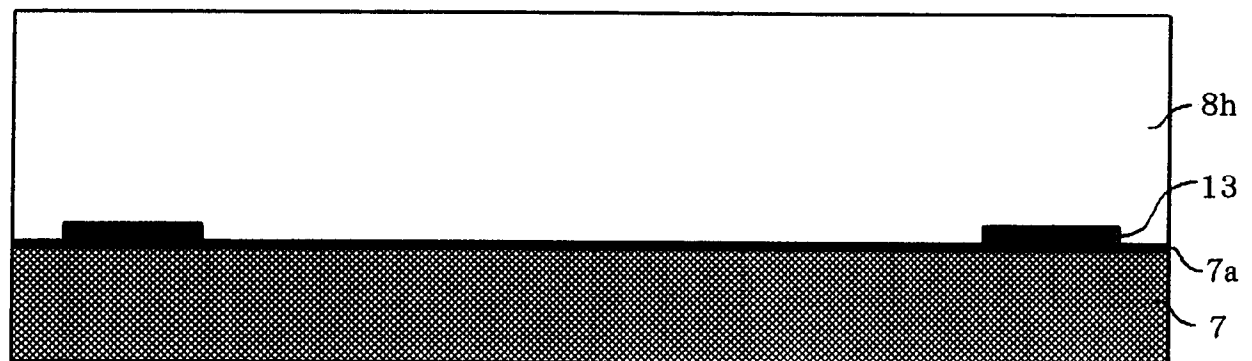
[図24C]



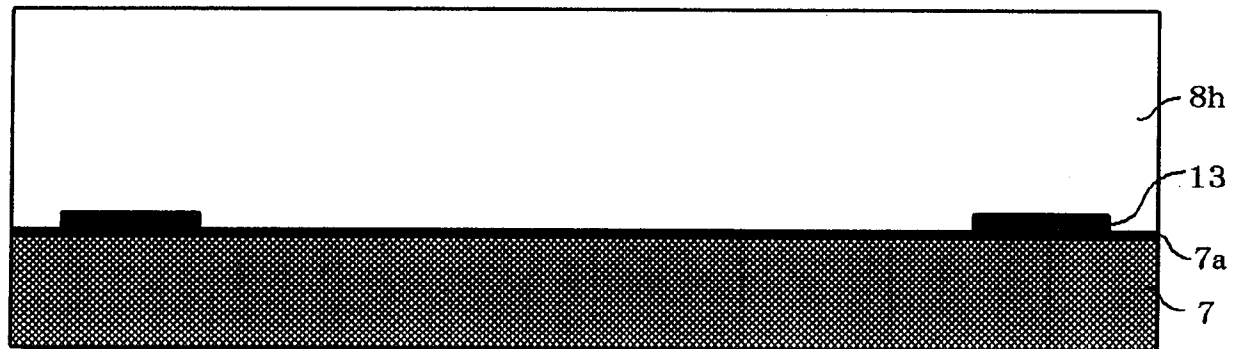
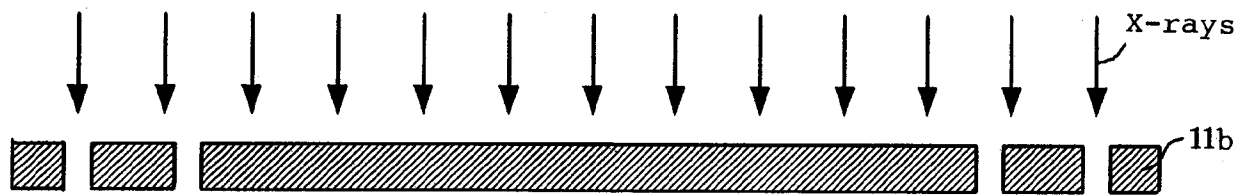
[図24D]



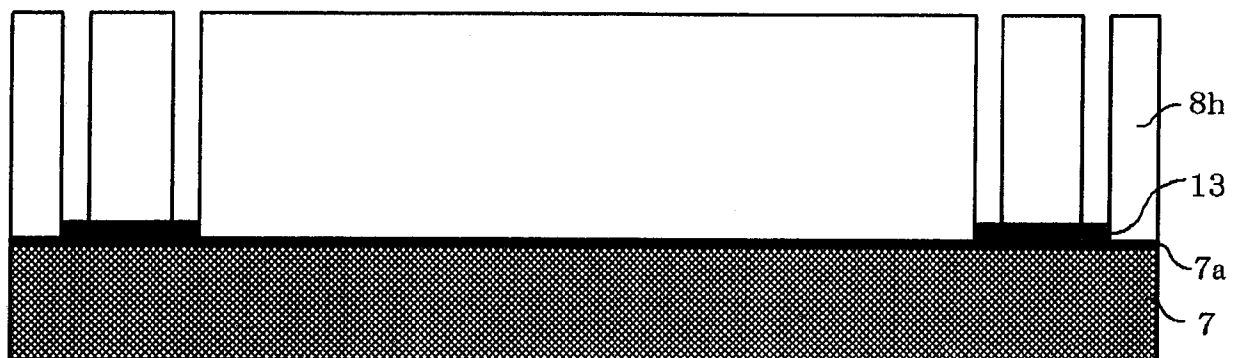
[図24E]



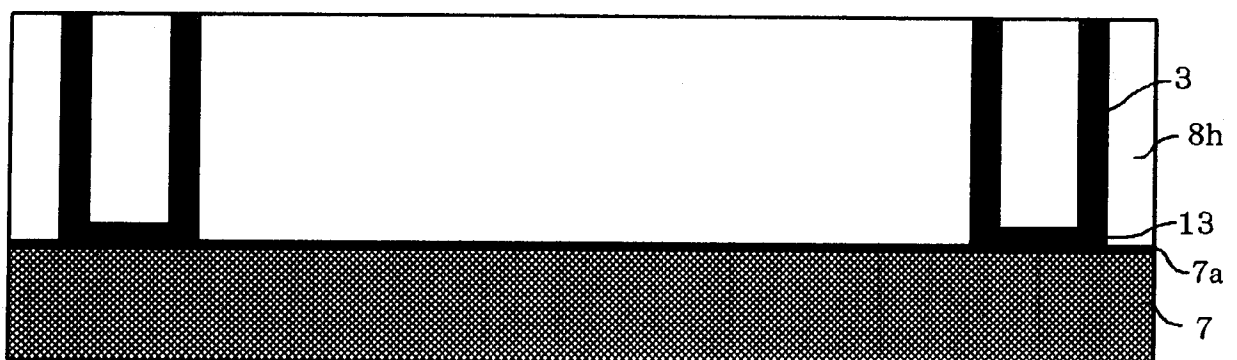
[図24F]



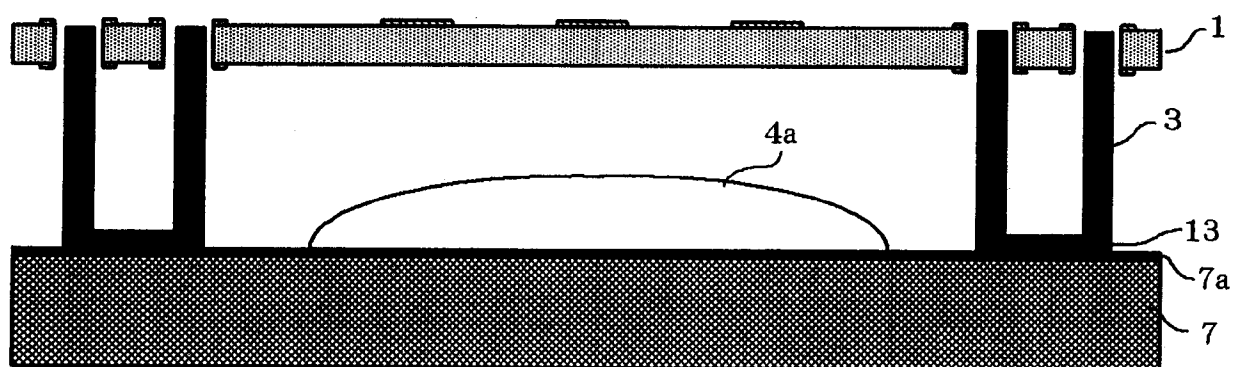
[図24G]



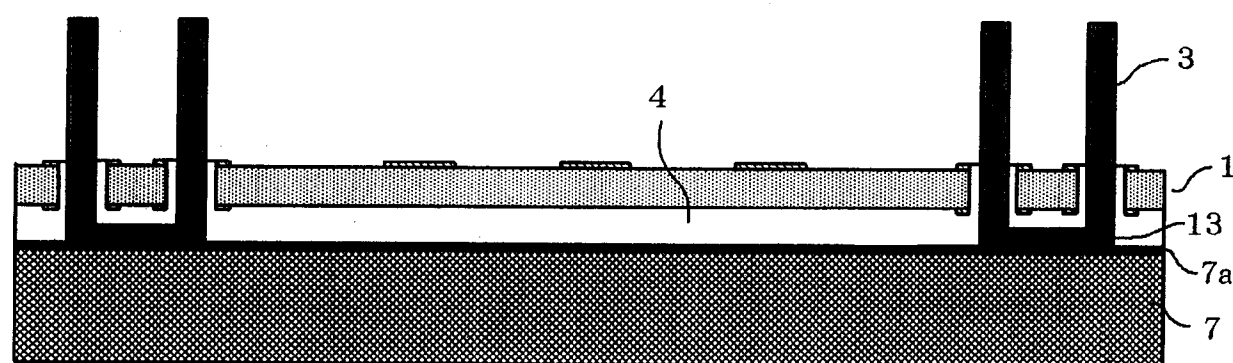
[図24H]



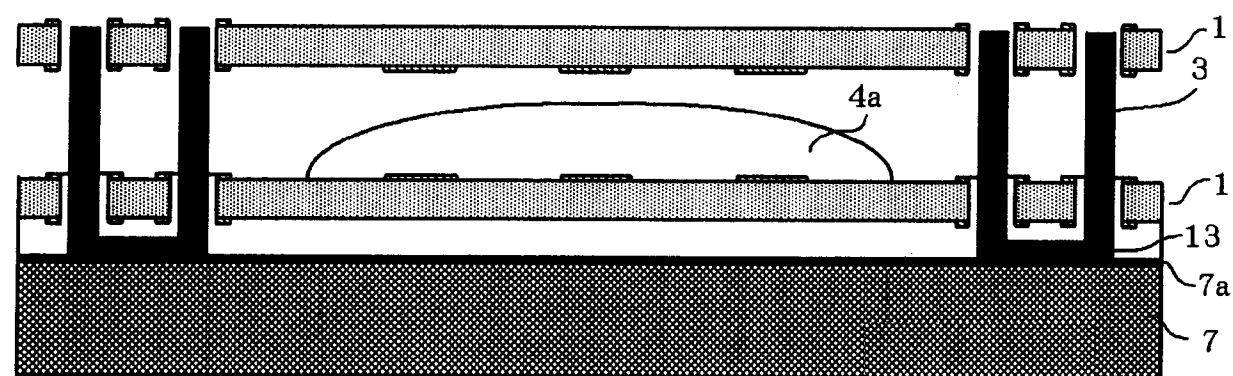
[図24I]



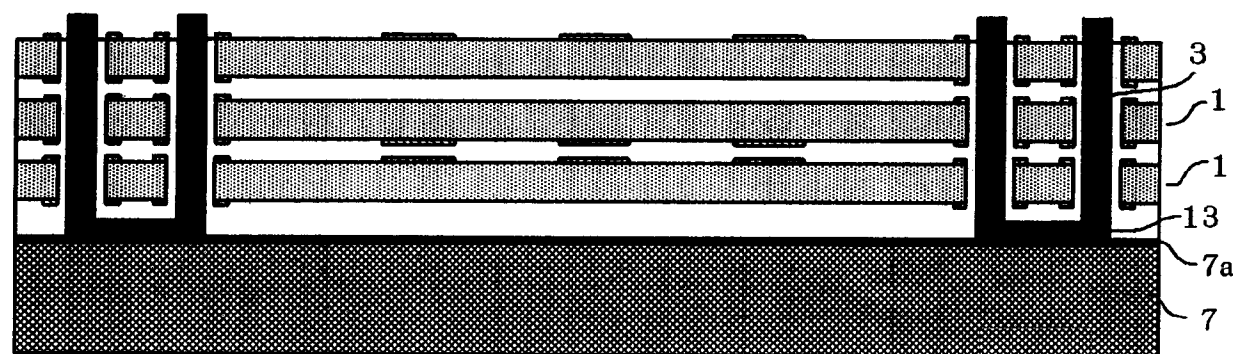
[図24J]



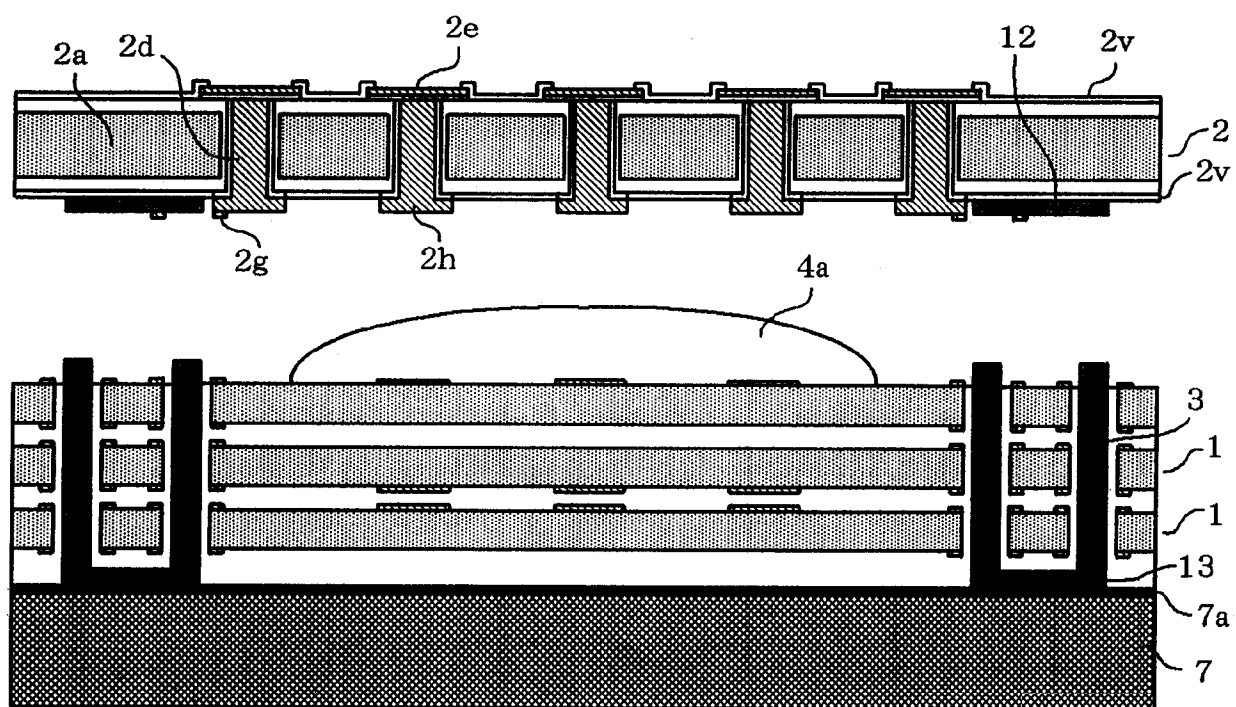
[図24K]



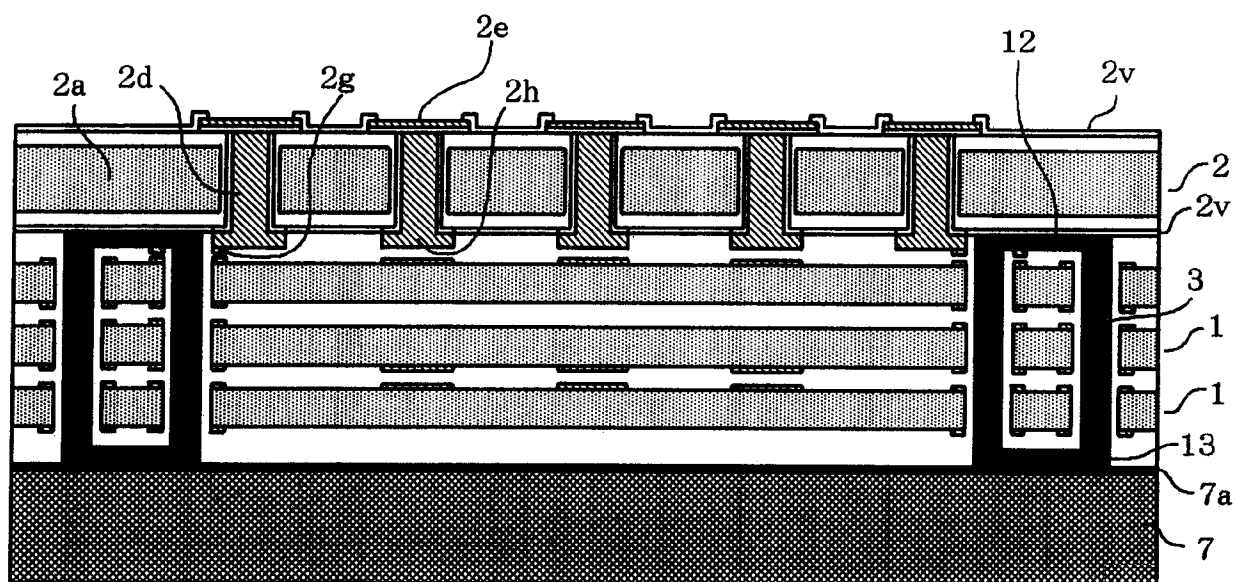
[図24L]



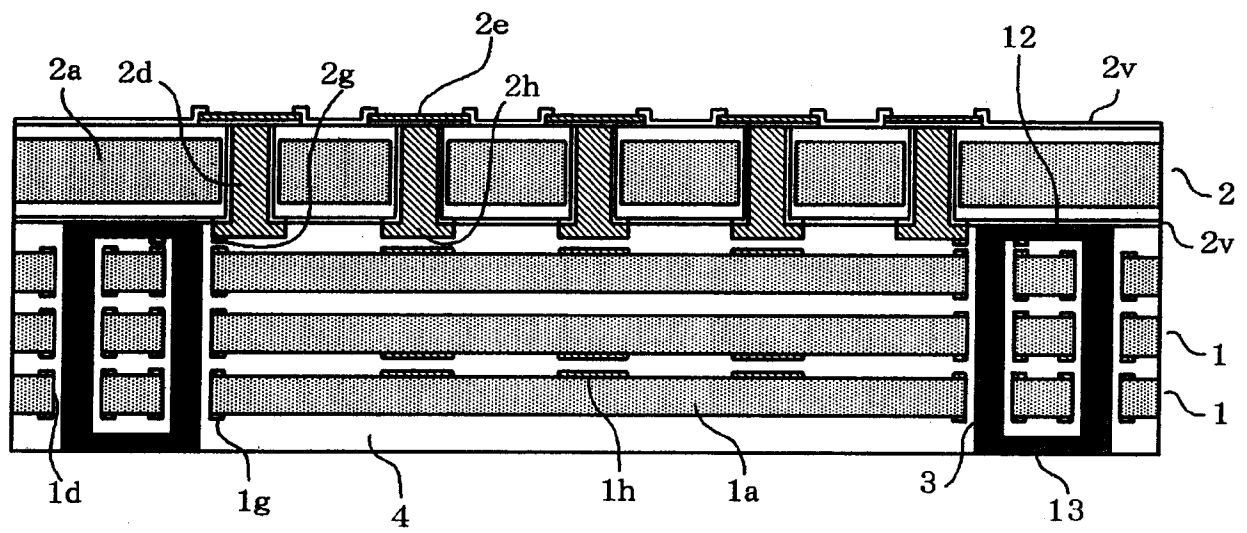
[図24M]



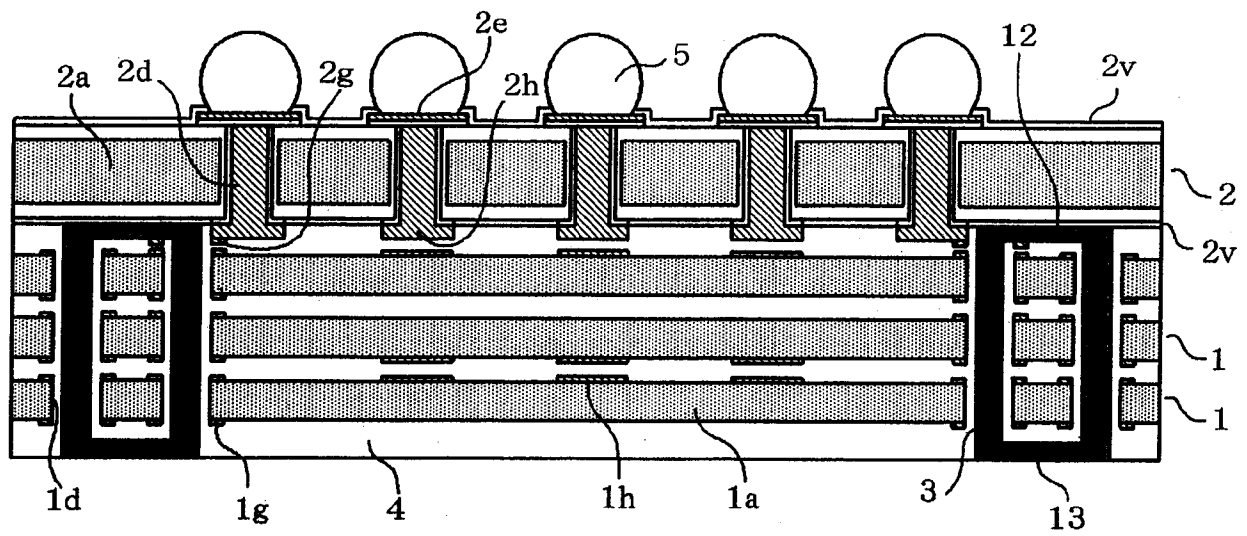
[図24N]



[図24O]



[図24P]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/310928

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2006.01)i, H01L21/822(2006.01)i, H01L25/07(2006.01)i,
H01L25/18(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/065, H01L21/822, H01L25/07, H01L25/18, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-154726 A (ST Microelectronics S.A.), 08 June, 1999 (08.06.99), Claims; Fig. 2 & EP 0887861 A1 & US 6081030 A	20, 21
A	JP 2004-356119 A (Oki Electric Industry Co., Ltd.), 16 December, 2004 (16.12.04), & US 2004/0238929 A1	1-22
A	JP 2002-314040 A (Toshiba Corp.), 25 October, 2002 (25.10.02), (Family: none)	1-19, 22

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 August, 2006 (02.08.06)

Date of mailing of the international search report
08 August, 2006 (08.08.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L25/065(2006.01)i, H01L21/822(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i,
H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L25/065, H01L21/822, H01L25/07, H01L25/18, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 1 1 - 1 5 4 7 2 6 A (エステーミクロエレクトロニクス ソシエテ アノニム) 1 9 9 9 . 0 6 . 0 8, 特許請求の範囲, 図 2 & EP 0 8 8 7 8 6 1 A1 & US 6 0 8 1 0 3 0 A	20, 21
A	JP 2 0 0 4 - 3 5 6 1 1 9 A (沖電気工業株式会社) 2 0 0 4 . 1 2 . 1 6 & US 2 0 0 4 / 0 2 3 8 9 2 9 A1	1-22

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 8 . 2 0 0 6

国際調査報告の発送日

0 8 . 0 8 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

田中 永一

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 9

4 R

9 5 3 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2 0 0 2 - 3 1 4 0 4 0 A (株式会社東芝) 2 0 0 2 . 1 0 . 2 5 (ファミリーなし)	1-19, 22