(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3808623号

(P3808623)

(45)発行日　平成18年8月16日(2006.8.16)　(24)登録日　平成18年5月26日(2006.5.26)

(51)Int.Cl.		F I		
G11C 11/409	(2006.01)	G11C	11/34	354Q
G11C 11/413	(2006.01)	G11C	11/34	354H
G11C 11/417	(2006.01)	G11C	11/34	J
		G11C	11/34	305

請求項の数 7　(全 13 頁)

(21)出願番号　特願平10-117168
(22)出願日　平成10年4月27日(1998.4.27)
(65)公開番号　特開平11-306761
(43)公開日　平成11年11月5日(1999.11.5)
審査請求日　平成13年7月4日(2001.7.4)

前置審査

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100083806
弁理士　三好　秀和
(72)発明者　平林　修
神奈川県川崎市幸区堀川町５８０番１号
株式会社東芝　半導体システム技術センター内

審査官　堀田　和義

最終頁に続く

(54)【発明の名称】データ入出力回路、半導体記憶装置および情報処理装置

(57)【特許請求の範囲】

【請求項１】

直列接続された第１のトランジスタと第２のトランジスタとからなる出力バッファ回路と、

前記第１のトランジスタのゲートに出力が接続され、クロック信号に同期して設定データを出力する第１のレジスタ回路と、

前記第２のトランジスタのゲートに出力が接続され、前記クロック信号に同期して設定データを出力する第２のレジスタ回路と、

前記第１及び第２のレジスタ回路の入力に第１及び第２の基準ノードが接続され、プリチャージ時には前記第１及び第２の基準ノードの両方をプリチャージ電位として前記第１及び第２のレジスタ回路に同値のデータを設定し、データ出力時には前記第１及び第２のレジスタ回路に相補のデータを設定する同期型差動増幅器

とを備え、前記同期型差動増幅器は、

電源電圧がソースに印加され、前記第２の基準ノードにゲートが接続され、前記第１の基準ノードにドレインが接続された第１のｐ型ＭＯＳトランジスタと、

前記第１の基準ノードにドレインが接続され、前記第２の基準ノードにゲートが接続され、前記データ出力時において接地電圧がソースに印加される第１のｎ型ＭＯＳトランジスタと、

前記電源電圧がソースに印加され、前記第１の基準ノードにゲートが接続され、前記第２の基準ノードにドレインが接続された第２のｐ型ＭＯＳトランジスタと、

前記第２の基準ノードにドレインが接続され、前記第１の基準ノードにゲートが接続され、前記データ出力時において前記接地電圧がソースに印加される第２のｎ型ＭＯＳトランジスタと、

前記電源電圧がソースに印加され、前記第１の基準ノードにドレインが接続され、前記プリチャージ時に導通する第３のｐ型ＭＯＳトランジスタと、

前記電源電圧がソースに印加され、前記第２の基準ノードにドレインが接続され、前記プリチャージ時に導通する第４のｐ型ＭＯＳトランジスタ

とを備え、前記同期型差動増幅器は、前記プリチャージ時には前記第１及び第２のレジスタ回路を介して前記第１及び第２のトランジスタの両方を同時に非導通とし、前記出力バッファ回路の出力を高インピーダンス状態に変化させることを特徴とするデータ入出力回路。

【請求項２】

前記第１及び第２のトランジスタの両方を任意に非導通として前記出力バッファ回路の出力を任意に高インピーダンス状態とする手段を前記第１及び第２のレジスタ回路と前記出力バッファ回路との間に設けたことを特徴とする請求項１に記載のデータ入出力回路。

【請求項３】

前記第１及び第２のレジスタ回路は、設定されたデータを前記クロック信号に同期して前記出力バッファ回路に出力し、

前記第１及び第２のトランジスタは第３及び第４のｎ型ＭＯＳトランジスタでそれぞれ構成され、

前記第３のｎ型ＭＯＳトランジスタのゲートに前記第１のレジスタ回路の出力信号を反転して供給し、前記第４のｎ型ＭＯＳトランジスタのゲートに前記第２のレジスタ回路の出力信号を反転して供給することを特徴とする請求項１に記載のデータ入出力回路。

【請求項４】

前記第１及び第２のレジスタ回路は、設定されたデータを前記クロック信号に同期して前記出力バッファ回路に出力し、

前記第１及び第２のトランジスタはｐ型ＭＯＳトランジスタ及びｎ型ＭＯＳトランジスタでそれぞれ構成され、前記ｐ型ＭＯＳトランジスタのゲートに前記第１のレジスタ回路の出力信号を供給し、前記ｎ型ＭＯＳトランジスタのゲートに前記第２のレジスタ回路の出力信号を反転して供給することを特徴とする請求項１に記載のデータ入出力回路。

【請求項５】

直列接続された第１のトランジスタと第２のトランジスタとからなる出力バッファ回路と、

前記第１のトランジスタのゲートに出力が接続され、クロック信号に同期して設定データを出力する第１のレジスタ回路と、

前記第２のトランジスタのゲートに出力が接続され、前記クロック信号に同期して設定データを出力する第２のレジスタ回路と、

前記第１及び第２のレジスタ回路の入力に第１及び第２基準ノードが接続され、データ出力時には前記第１及び第２のレジスタ回路に相補のデータを設定し、プリチャージ時には前記第１及び第２の基準ノードの両方をプリチャージ電位として前記第１及び第２のレジスタ回路に同値のデータを設定する同期型差動増幅器と、

複数のメモリセルが配列されたメモリセルアレイと、

前記メモリセルアレイから各メモリセルを選択する行選択回路及び列選択回路

とを備え、前記同期型差動増幅器は、

電源電圧がソースに印加され、前記第２の基準ノードにゲートが接続され、前記第１の基準ノードにドレインが接続された第１のｐ型ＭＯＳトランジスタと、

前記第１の基準ノードにドレインが接続され、前記第２の基準ノードにゲートが接続され、前記データ出力時において接地電圧がソースに印加される第１のｎ型ＭＯＳトランジスタと、

前記電源電圧がソースに印加され、前記第１の基準ノードにゲートが接続され、前記第

２の基準ノードにドレインが接続された第２のｐ型ＭＯＳトランジスタと、
前記第２の基準ノードにドレインが接続され、前記第１の基準ノードにゲートが接続され、前記データ出力時において前記接地電圧がソースに印加される第２のｎ型ＭＯＳトランジスタと、
前記電源電圧がソースに印加され、前記第１の基準ノードにドレインが接続され、前記プリチャージ時に導通する第３のｐ型ＭＯＳトランジスタと、
前記電源電圧がソースに印加され、前記第２の基準ノードにドレインが接続され、前記プリチャージ時に導通する第４のｐ型ＭＯＳトランジスタ
とを備え、前記同期型差動増幅器は、前記プリチャージ時には前記第１及び第２のレジスタ回路を介して前記第１及び第２のトランジスタの両方を同時に非導通とし、前記出力バッファ回路の出力を高インピーダンス状態に変化させることを特徴とする半導体記憶装置。
【請求項６】
情報処理装置の記憶装置として用いられることを特徴とする請求項５に記載の半導体記憶装置。
【請求項７】
前記情報処理装置は、
複数個の記憶装置と、
前記記憶装置と通信し、各種の処理を行うプロセッサと、
外部とデータのやり取りを行う入出力装置と、
前記記憶装置、前記プロセッサ及び前記入出力装置を接続するバス
とから少なくともなることを特徴とする請求項６に記載の半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、データ入出力回路、そのデータ入出力回路を備えた半導体記憶装置、およびその半導体記憶装置を用いた情報処理装置に関し、特に、クロック信号に同期して動作するデータ入出力回路、半導体記憶装置および情報処理装置に関する。
【０００２】
【従来の技術】
ＤＲＡＭ（Dynamic Random Access Memory）、ＳＲＡＭ（Static Random Access Memory）等の半導体メモリに必要な端子の一つとして入出力端子が挙げられる。入出力端子はデータの入力または出力となる端子である。半導体メモリには入力端子と出力端子が別になっているメモリと、入出力共通端子のメモリがある。
【０００３】
後者のメモリでは、その入出力共通端子がデータ入出力回路内のデータ出力バッファ回路の出力およびデータ入力バッファ回路の入力の両方に接続される。そして、たとえばリードライト端子により、データ書き込み時（データ入力時）には入力端子となり、データ読み込み時（データ出力時）には出力端子となる。したがって、データ入力時には出力バッファ回路の出力を高インピーダンス状態（high impedance state）とし、出力バッファ回路と入出力共通端子の電気的接続を断つことが必要となる。
【０００４】
また、前者のメモリであっても、一本の線（バスライン）に複数個接続し、一定のタイミングごとに１個のメモリからの出力のみを選択的にバスラインに送出するような場合には、選択されているメモリ以外の出力を高インピーダンス状態にすることが上記と同様に必要となる。
【０００５】
このように半導体メモリでは出力バッファ回路の高インピーダンス（以下、「Ｈｉ－Ｚ」と略す）制御が必要とされるが、従来よりこのＨｉ－Ｚ制御は次のような方法で行われている。図１０は従来のデータ入出力回路の構成を示す図である。図１０に示すデータ入出

力回路では入出力端子１０１に出力バッファ回路１０２の出力および入力バッファ回路１０３の入力の両方が接続されている。出力バッファ回路１０２の前段にはＨｉ－Ｚ制御回路１０４が設けられており、このＨｉ－Ｚ制御回路１０４により出力バッファ回路１０２のＨｉ－Ｚ制御が行われる。たとえば図１０では、出力バッファ回路１０２は２つのｎ型ＭＯＳトランジスタ１０７、１０８で構成され、Ｈｉ－Ｚ制御回路１０４は２つの２入力ＮＯＲ回路１０９、１１０とインバータ回路１１１でそれぞれ構成されている。このような構成では、出力イネーブル信号（ＯＥバー）がＨレベルの時に出力バッファ回路１０２はＨｉ－Ｚ状態となる。すなわち、出力イネーブル信号ＯＥバーがＨレベルになると、２入力ＮＯＲ回路１０９および１１０は共にもう一方の入力レベルの如何にかかわらずその出力はＬレベルとなる。よって、２入力ＮＯＲ回路１０９および１１０の出力をゲートに入力するｎ型ＭＯＳトランジスタ１０７および１０８は共に非導通状態となり、出力バッファ回路１０２はＨｉ－Ｚ状態となる。

【０００６】

一方、出力イネーブル信号ＯＥバーがＬレベルになると、レジスタ回路１１２に設定されているデータが出力バッファ回路１０２を介して入出力端子１０１に出力される。たとえばレジスタ回路１１２にデータ“Ｈ”が設定されている場合、ＮＯＲ回路１０９の２つの入力はともにＨレベル、一方ＮＯＲ回路１１０の入力はＨレベルとＬレベルとなる。この時、ＮＯＲ回路１０９の出力はＬレベル、ＮＯＲ回路１１０の出力はＨレベルとなるので、ｎ型ＭＯＳトランジスタ１０７は非導通状態、ｎ型ＭＯＳトランジスタ１０８は導通状態となる。よって、入出力端子１０１にはデータ“Ｌ”が出力されることになる。

【０００７】

【発明が解決しようとする課題】

しかしながら、上記Ｈｉ－Ｚ制御回路１０４によるＨｉ－Ｚ制御には次に述べるような問題点を有している。図１０に示すように、Ｈｉ－Ｚ制御回路１０４に入力される出力イネーブル信号は出力イネーブル制御回路１１３によって作り出される。出力イネーブル制御回路１１３は外部から供給されるクロック信号に基づいて出力イネーブル信号を発生する。また、レジスタ回路１１２はそのクロック信号に同期して設定されたデータを出力する。したがって、Ｈｉ－Ｚ制御回路１０４によるＨｉ－Ｚ制御のタイミングとレジスタ回路１１２のデータ出力のタイミングとは理論的には一致するはずである。ところが、出力イネーブル信号は出力イネーブル制御回路１１３内で生成される際にクロック信号との間にタイミングのずれが生じ、非同期となってしまう場合がある。そのため、現実にはＨｉ－Ｚ制御回路１０４によるＨｉ－Ｚ制御とレジスタ回路１１２のデータ出力のタイミングを完全にそろえるのは困難である。

【０００８】

図１１は図１０の出力バッファ回路１０２のデータ出力動作を示すタイミングチャートである。図１１の場合、データ「Ｄ３」の出力が終了する時点と出力バッファ回路１０２がＨｉ－Ｚ状態に変化する時点が一致していない。そのため、本来ならばデータ「Ｄ３」の出力が終了する時点でデータ出力期間が終了するところ、実際には時間t_{d1}だけ余分にデータ出力期間が長くなっている。このずれは入力端子の解放が時間t_{d1}だけ遅れることを意味しており、その分だけ次の動作（たとえばデータ入力動作）の開始が遅れることになる。また、同様の理由により、クロック信号ＣＬＫの立ち上がりからデータ「Ｄ２」、データ「Ｄ３」が出力されるまでに要する時間に比べて、データ「Ｄ１」が出力されるまでに要する時間のほうが時間t_{d2}の分だけ長くなってしまう。これらのことはコンピュータ・システムにおけるメモリープロセッサ間通信の高速化にとっては非常に大きな問題である。

【０００９】

本発明は上記事情に鑑みて成されたものであり、その目的は、Ｈｉ－Ｚ制御とデータ出力のタイミングをそろえることにより高速動作を実現するデータ入出力回路、半導体記憶装置および情報処理装置を提供することである。

【００１０】

【課題を解決するための手段】

上記目的を達成するために、本発明の特徴は、直列接続された第１のトランジスタと第２のトランジスタとからなる出力バッファ回路と、前記第１のトランジスタのゲートに出力が接続され、クロック信号に同期して設定データを出力する第１のレジスタ回路と、前記第２のトランジスタのゲートに出力が接続され、前記クロック信号に同期して設定データを出力する第２のレジスタ回路と、前記第１及び第２のレジスタ回路の入力に第１及び第２の基準ノードが接続され、プリチャージ時には前記第１及び第２の基準ノードの両方をプリチャージ電位として前記第１及び第２のレジスタ回路に同値のデータを設定し、データ出力時には前記第１及び第２のレジスタ回路に相補のデータを設定する同期型差動増幅器とを備え、前記同期型差動増幅器は、電源電圧がソースに印加され、前記第２の基準ノードにゲートが接続され、前記第１の基準ノードにドレインが接続された第１のｐ型ＭＯＳトランジスタと、前記第１の基準ノードにドレインが接続され、前記第２の基準ノードにゲートが接続され、前記データ出力時において接地電圧がソースに印加される第１のｎ型ＭＯＳトランジスタと、前記電源電圧がソースに印加され、前記第１の基準ノードにゲートが接続され、前記第２の基準ノードにドレインが接続された第２のｐ型ＭＯＳトランジスタと、前記第２の基準ノードにドレインが接続され、前記第１の基準ノードにゲートが接続され、前記データ出力時において前記接地電圧がソースに印加される第２のｎ型ＭＯＳトランジスタと、前記電源電圧がソースに印加され、前記第１の基準ノードにドレインが接続され、前記プリチャージ時に導通する第３のｐ型ＭＯＳトランジスタと、前記電源電圧がソースに印加され、前記第２の基準ノードにドレインが接続され、前記プリチャージ時に導通する第４のｐ型ＭＯＳトランジスタとを備え、前記同期型差動増幅器は、前記プリチャージ時には前記第１及び第２のレジスタ回路を介して前記第１及び第２のトランジスタの両方を同時に非導通とし、前記出力バッファ回路の出力を高インピーダンス状態に変化させるデータ入出力回路であることを要旨とする。

【００１１】

本発明の特徴によれば、前記第１のレジスタ回路および第２のレジスタ回路に設定されるデータによってＨｉ－Ｚ制御およびデータ出力が共に行われることになる。すなわち、この第１のレジスタ回路および第２のレジスタ回路を外部から供給されるクロック信号に同期してデータを出力するようにすれば、データ出力とＨｉ－Ｚ制御がクロック信号に同期して同じタイミングで行うことができる。したがって、データ出力とＨｉ－Ｚ制御とのタイミングのずれはなくなり、データ出力を高速に行うことが可能となる。

【００１２】

本発明の特徴では、前記出力バッファ回路の出力をＨｉ－Ｚ状態とするために前記第１のレジスタ回路および第２のレジスタ回路に設定されるデータとして、データ入出力回路を構成するのに元々必要な増幅器のリセット時の基準ノードの電位を用いることで新たに回路を付加する必要はなく、データ出力動作の遅延化を招くこともない。また、リセット動作とは増幅器の非動作時において基準ノードをある電圧に充電、放電等する行為であればよい。

【００１３】

本発明の特徴では、同期型増幅器のプリチャージ動作時に相補の基準ノードの両方をプリチャージ電位とすることを利用して、前記第１のトランジスタおよび前記第２トランジスタの両方を同時に非導通状態とするデータを前記第１のレジスタ回路と第２のレジスタ回路に設定することにしたものである。

【００１４】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【００１５】

第１の実施の形態

図１は本発明に係る半導体記憶装置の基本回路構成を示す図である。メモリセルアレイ１にはメモリセル（図示しない）が規則正しく行列上に配列されている。メモリセルはＨレ

ベルもしくはＬレベルの２値のうち、どちらかの値を記憶する素子である。メモリセルとしては、ＤＲＡＭであれば１トランジスタ１キャパシタンスセルが、ＳＲＡＭであればＣＭＯＳ型セルが例として挙げられる。各メモリセルはワード線と呼ばれる行方向の信号線（図示しない）と、データ線（ビット線とも呼ぶ）と呼ばれる列方向の信号線（図示しない）の両方を選択することにより選ぶことができる。上記ワード線、データ線を選択する回路がそれぞれ行選択回路２、列選択回路３である。行選択回路２、列選択回路３はアドレスデコーダ４によって振り分けられた行アドレス信号、列アドレス信号に従って所定のワード線およびデータ線を選択する。各データ線にはセンスアンプ／データ書き込み回路８がついており、メモリセルから読み出された信号はこのセンスアンプ８により増幅される。一方、メモリセルの書き込みはデータ書き込み回路８により行われる。データ入出力回路７は選択されたメモリセルに対して、読み出し、書き込みの動作を制御する回路である。データ入出力回路７は、読み出しの場合、メモリセルのデータを入出力端子Ｉ／Ｏまで転送し、一方、書き込みの場合、入出力端子Ｉ／Ｏから入力されたデータを所定のメモリセルに転送する。

【００１６】

図２は本発明の第１の実施の形態に係るデータ入出力回路の構成を示す図である。図２に示すデータ入出力回路でも入出力端子９に出力バッファ回路１０の出力および入力バッファ回路１１の入力の両方が接続されている。出力バッファ回路１０はプルアップ用トランジスタであるｎ型ＭＯＳトランジスタ１２とプルダウン用トランジスタであるｎ型ＭＯＳトランジスタ１３で構成され、その２つのｎ型ＭＯＳトランジスタ１２および１３は電源電圧１４と接地電圧１５の間に直列接続されている。ｎ型ＭＯＳトランジスタ１２および１３のゲートにはそれぞれに対応するレジスタ回路１６および１７の出力が接続される。レジスタ回路１６および１７の入力には出力制御回路１８の出力が接続され、この出力制御回路１８によりデータ出力およびＨｉ－Ｚ制御を行う。出力制御回路１８は２つの２入力ＮＯＲ回路１９、２０とインバータ回路２１で構成されている。

【００１７】

この出力制御回路１８は出力イネーブル信号（ＯＥバー）により出力バッファ回路１０のデータ出力およびＨｉ－Ｚ制御を行う。出力イネーブル信号がＨレベルの時には、２入力ＮＯＲ回路１９および２０は共にもう一方の入力レベルの如何にかかわらずその出力はＬレベルとなる。そして、レジスタ回路１６および１７には共にＬレベルのデータが設定される。レジスタ回路１６および１７は同じクロック信号に同期して設定されたレベルのデータを出力する。したがって、ｎ型ＭＯＳトランジスタ１２および１３は共に非導通状態となる。よって出力バッファ回路１０はＨｉ－Ｚ状態となる。

【００１８】

一方、出力イネーブル信号ＯＥバーがＬレベルになると、たとえば選択されたデータがＨレベルの場合、ＮＯＲ回路１９の２つの入力はともにＨレベル、一方ＮＯＲ回路２０の入力はＨレベルとＬレベルとなる。この時、ＮＯＲ回路１９の出力はＬレベル、ＮＯＲ回路２０の出力はＨレベルとなる。そして、レジスタ回路１６および１７は同じクロック信号に同期して設定されたデータを出力する。したがって、ｎ型ＭＯＳトランジスタ１２は非導通状態、ｎ型ＭＯＳトランジスタ１３は導通状態となる。よって、入出力端子９にはデータ“Ｌ”が出力されることになる。

【００１９】

なお、出力イネーブル信号はたとえば別途出力イネーブル制御回路２３を設け、それにより作り出せばよい。出力イネーブル制御回路２３は何らかの制御信号に基づいて出力イネーブル信号を生成する。

【００２０】

第１の実施の形態によれば、データ出力とＨｉ－Ｚ制御を同じタイミングで実行することが可能となる。したがって、データ出力終了時点とＨｉ－Ｚに変化する時点とが一致し、データ出力期間に余分な時間を要することがなくなる。それにより、データ送信の高速化が実現されることになる。

【００２１】
第２の実施の形態
図３は本発明の第２の実施の形態に係るデータ入出力回路の構成を示す図である。本実施の形態では上記図２に示すデータ入出力回路のセンスアンプ２２として同期型の差動増幅器２６を用いることで、図２のデータ出力制御回路１８および出力イネーブル制御回路２３を不要としたものである。図３に示すデータ入出力回路では同期型の差動増幅器（以下、単にセンスアンプと呼ぶ）２６の基準ノードｎ１の電位をレジスタ回路１６ａに、基準ノード（以下、単にノードと呼ぶ）ｎ２の電位をレジスタ回路１７ａにそれぞれ入力することでデータ出力およびＨｉ－Ｚ制御を行うものである。また、レジスタ回路１６ａおよび１７ａの回路構成の例を図４に示す。
【００２２】
次に、このデータ入出力回路の動作について説明する。図５はこのデータ入出力回路のデータ出力動作を示すタイミングチャートである。プリチャージ信号ＰｒがＨレベル（プリチャージ信号の反転信号Ｐｒバー、センス信号ϕ_{SE}がＬレベル）の時には、ｐ型ＭＯＳトランジスタ２７、ｐ型ＭＯＳトランジスタ３０、ｎ型ＭＯＳトランジスタ３３、ｎ型ＭＯＳトランジスタ３４が導通状態、ｐ型ＭＯＳトランジスタ２８、ｐ型ＭＯＳトランジスタ２９、ｐ型ＭＯＳトランジスタ３１、ｐ型ＭＯＳトランジスタ３２、ｎ型ＭＯＳトランジスタ３５が非導通状態となる。したがって、ノードｎ１およびｎ２は共にＨレベルにプリチャージされる。レジスタ回路１６ａおよびレジスタ回路１７ａはそれぞれノードｎ１、ｎ２の電位を入力するので、レジスタ回路１６ａおよびレジスタ回路１７ａには共にＨレベルの信号が設定される。レジスタ回路１６ａおよび１７ａはクロック信号に同期して設定されたデータを反転させて出力バッファ回路１０に出力する。よって、出力バッファ回路１０を構成する２つのｎ型ＭＯＳトランジスタ１２および１３のゲートにはＬレベルの信号が入力され、共に非導通状態となる。すなわち、Ｈｉ－Ｚ状態となる。
【００２３】
一方、プリチャージ信号ＰｒがＬレベル（プリチャージ信号の反転信号Ｐｒバー、センス信号ϕ_{SE}がＨレベル）の時には、ｐ型ＭＯＳトランジスタ２７、ｐ型ＭＯＳトランジスタ３０が非導通状態、ｐ型ＭＯＳトランジスタ３１、ｐ型ＭＯＳトランジスタ３２、ｎ型ＭＯＳトランジスタ３５が導通状態となる。そして、ノードｎ１の電位はデータバスに読み出された信号の電位となり、ノードｎ２の電位はデータバスに読み出された信号の反転信号の電位となる。各ノードの信号はｐ型ＭＯＳトランジスタ２８、２９、ｎ型ＭＯＳトランジスタ３３、３４により感度よく増幅され、レジスタ回路１６ａおよび１７ａにこの相補のデータが設定される。レジスタ回路１６ａおよび１７ａはクロック信号に同期して設定されたデータを反転させて出力バッファ１０に出力する。この相補のデータを入力する出力バッファ回路１０は、ｎ型ＭＯＳトランジスタ１２、１３のいずれか一方が導通状態となることで、データ出力を行う。
【００２４】
再びプリチャージ信号ＰｒがＨレベルになれば次のデータが読み出されて同様に出力が行われる。
【００２５】
このように第２の実施の形態によれば、データ出力、Ｈｉ－Ｚ制御の両方をクロック信号に同期して行うことができる。それにより、データ出力とＨｉ－Ｚ制御を同じタイミングで実行することが可能となる。したがって、データ出力終了時点とＨｉ－Ｚに変化する時点とが一致し、データ出力期間に余分な時間を要することがなくなる。その結果、データ送信の高速化が実現されることになる。また、元々データ入出力回路の構成に必要な同期型差動増幅器からの信号を利用することで新たな回路構成を要することがなく、サイクルタイムの劣化、コストの増大を招くおそれもない。
【００２６】
その他の実施の形態
上記のように、本発明は第１および第２の実施の形態によって記載したが、この開示の一

部をなす論述および図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

【００２７】

たとえば、図６に示すように非同期Ｈｉ－Ｚ制御回路３６をレジスタ回路１６および１７と出力バッファ回路１０との間に設けることにより、クロック信号とは非同期の出力イネーブル信号により出力バッファ回路１０のＨｉ－Ｚ制御を行うことも可能となる。

【００２８】

また、上記第１および第２の実施の形態では、出力バッファ回路を構成するＭＯＳトランジスタとしてｎ型のものについて言及したが、本発明はこれに限られるものではない。たとえば、プルアップ用ＭＯＳトランジスタをｐ型ＭＯＳトランジスタとした出力バッファ回路を用いてもよい。図７は図３の出力バッファ回路１０に換えてプルアップ用ＭＯＳトランジスタをｐ型ＭＯＳトランジスタ３９とした出力バッファ回路１０ａとしたデータ入出力回路、図８は図６の出力バッファ回路１０を出力バッファ回路１０ａとしたデータ入出力回路を示す図である。

【００２９】

さらに、本発明は図９に示すような複数個の半導体記憶装置４６、４７、４８が１本のバス４９を介して１個のプロセッサ４４と接続される情報処理装置において、そのプロセッサ４４－半導体記憶装置４６、４７、４８間の通信の高速化に非常に有効であることは、上記の技術思想から明らかであろう。

【００３０】

このように本発明はここでは記載していない様々な実施の形態等を包含するとうことを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

【００３１】

【発明の効果】

以上説明したように、本発明によれば、データ出力とＨｉ－Ｚ制御のタイミングを一致させることができる。それにより、データ出力終了後速やかに出力バッファ回路の出力をＨｉ－Ｚ状態とすることが可能となる。したがって、本発明はデータ通信の高速化に非常に有効な技術である。

【００３２】

また、本発明によれば、データ入出力回路のデータ通信の高速化が図られるので、このデータ入出力回路を備えた半導体記憶装置、その半導体記憶装置を用いた情報処理装置のデータ通信の高速化を図ることができる。

【図面の簡単な説明】

【図１】本発明に係る半導体記憶装置の基本構成を示す図である。

【図２】本発明の第１の実施の形態に係るデータ入出力回路の構成を示す図である。

【図３】本発明の第２の実施の形態に係るデータ入出力回路の構成を示す図である。

【図４】図３のレジスタ回路１６ａ、１７ａの回路構成の例を示す図である。

【図５】図３のデータ入出力回路のデータ入出力動作を示すタイミングチャートである。

【図６】本発明の第３の実施の形態に係るデータ入出力回路の構成を示す図である。

【図７】本発明の第４の実施の形態に係るデータ入出力回路の構成を示す図である。

【図８】本発明の第５の実施の形態に係るデータ入出力回路の構成を示す図である。

【図９】本発明の第６の実施の形態に係る情報処理装置の構成を示す図である。

【図１０】従来のデータ入出力回路の構成を示す図である。

【図１１】図１０のデータ入出力回路のデータ入出力動作を示すタイミングチャートである。

【符号の説明】

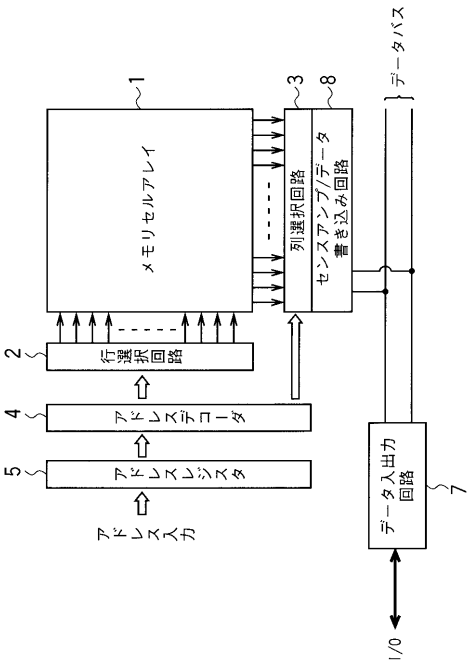
１　メモリセルアレイ

２　行選択回路

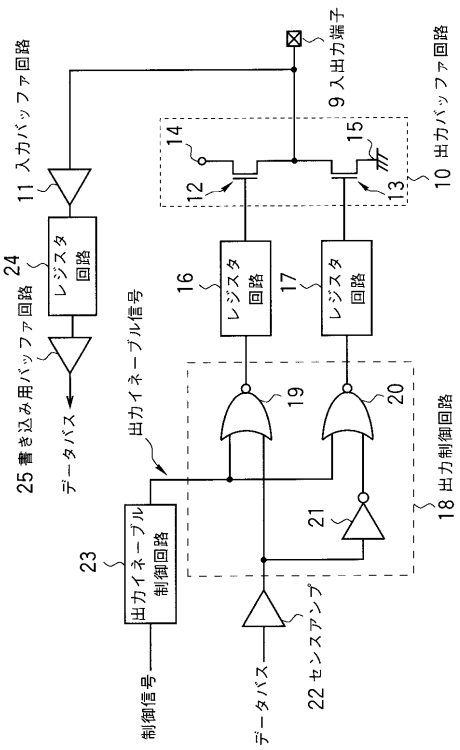
３　列選択回路

４　アドレスデコーダ
５　アドレスレジスタ
７　データ入出力回路
８　センスアンプ／データ書き込み回路
９、１０１　入出力端子
１０、１０ａ、１０２　出力バッファ回路
１１、１０３　入力バッファ回路
１２、、１２ａ、１３、３３、３４、３５、１０７、１０８　ｎ型ＭＯＳトランジスタ
１４、１０５　電源電圧
１５、１０６　接地電圧
１６、１７、１６ａ、１７ａ、２４、１１２、１１４　レジスタ回路
１８　出力制御回路
１９、２０、３７、３８、４２、１０９、１１０　２入力ＮＯＲ回路
２１、４３、１１１　インバータ回路
２２、１１６　センスアンプ
２３、１１３　出力イネーブル制御回路
２５、１１５　書き込み用バッファ回路
２６　同期型の差動増幅器
２７、２８、２９、３０、３１、３２、３９　ｐ型ＭＯＳトランジスタ
３６、４０　非同期Ｈｉ－Ｚ制御回路
４１　２入力ＮＡＮＤ回路
４４　プロセッサ
４５　入出力装置
４６、４７、４８　半導体記憶装置
４９　バス
１０４　Ｈｉ－Ｚ制御回路

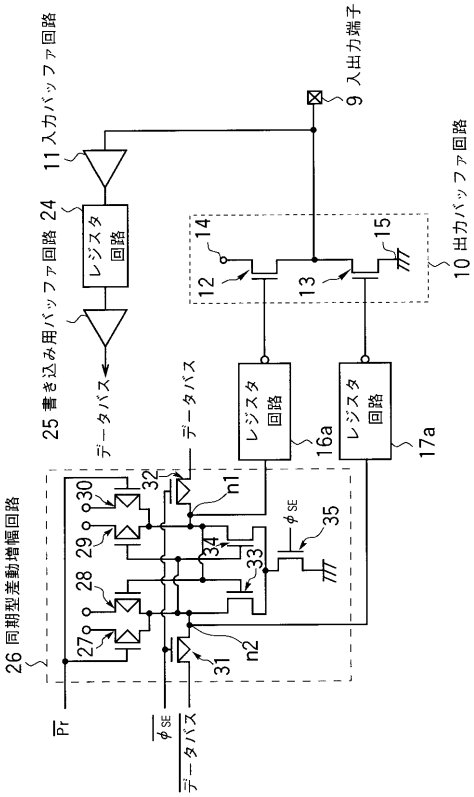
【図１】


1
メモリセルアレイ
3
列選択回路
8
センスアンプ/データ書き込み回路
データバス
2
行選択回路
4
アドレスデコーダ
5
アドレスレジスタ
アドレス入力
データ入出力回路
7
I/O

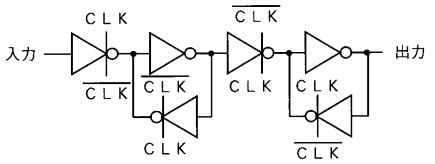
【図２】


9 入出力端子
11 入力バッファ回路
10 出力バッファ回路
14
15
12
13
24
レジスタ回路
16
17
レジスタ回路
レジスタ回路
25 書き込み用バッファ回路
出力イネーブル信号
19
20
18 出力制御回路
21
データバス
23
出力イネーブル制御回路
制御信号
データバス
22 センスアンプ

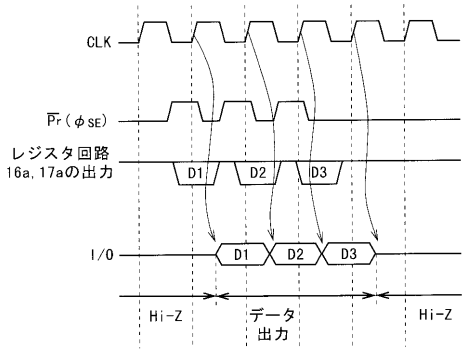
【図３】


9 入出力端子
11 入力バッファ回路
10 出力バッファ回路
14
15
12
13
24 レジスタ回路
25 書き込み用バッファ回路
データバス
データバス
レジスタ回路
16a
レジスタ回路
17a
26 同期型差動増幅回路
30
32
n1
29
28
34
33
35
27
31
n2
Pr
データバス

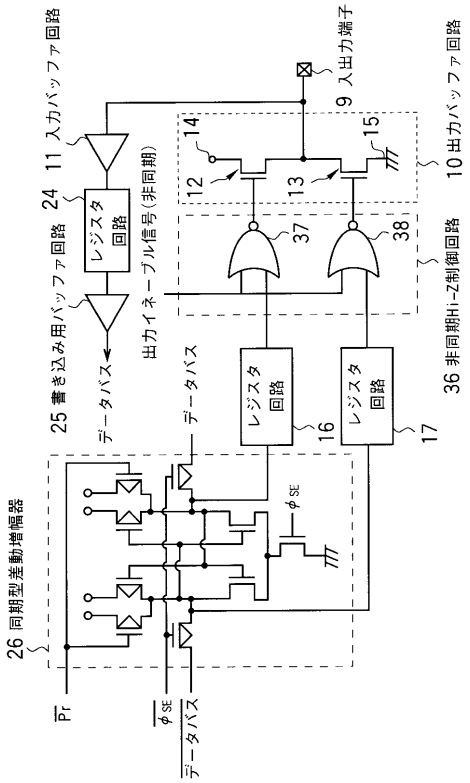
【図４】


入力
出力
CLK
CLK
CLK
CLK
CLK
CLK
CLK
CLK

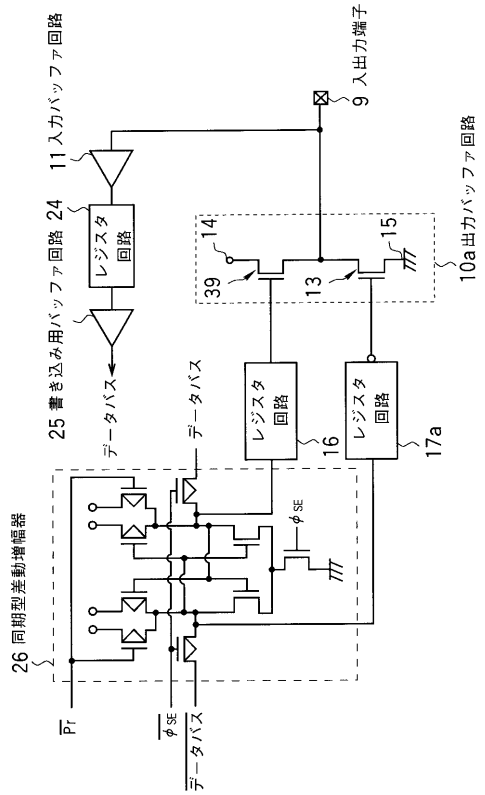
【図５】


CLK
$\overline{Pr}$ (ϕ_{SE})
レジスタ回路
16a, 17aの出力
D1
D2
D3
I/O
Hi-Z
データ
出力
Hi-Z

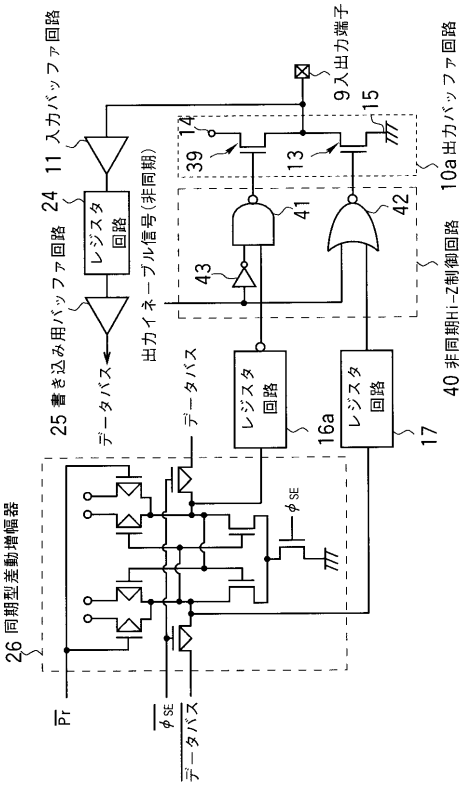
【図６】


9 入出力端子
11 入力バッファ回路
10 出力バッファ回路
24
レジスタ
回路
25 書き込み用バッファ回路
出力イネーブル信号(非同期)
36 非同期Hi-Z制御回路
データバス
26 同期型差動増幅器
$\overline{Pr}$
$\overline{\phi_{SE}}$
ϕ_{SE}

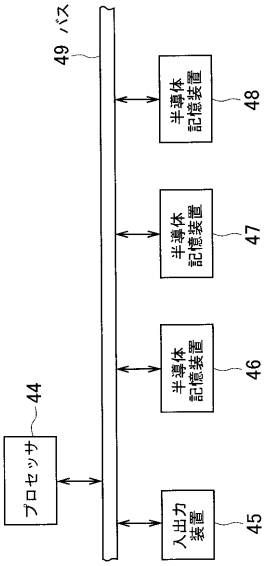
【図７】


9 入出力端子
11 入力バッファ回路
10a 出力バッファ回路
24
レジスタ
回路
25 書き込み用バッファ回路
データバス
26 同期型差動増幅器
$\overline{Pr}$
$\overline{\phi_{SE}}$
ϕ_{SE}

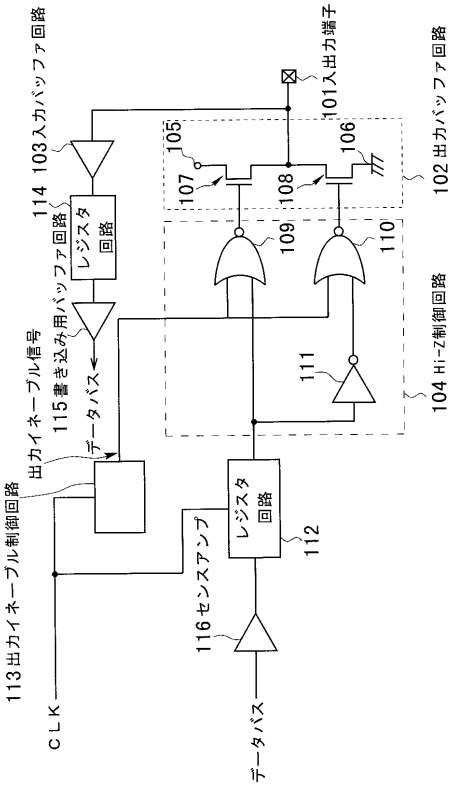
【図８】


9 入出力端子
11 入力バッファ回路
10a 出力バッファ回路
24
レジスタ
回路
25 書き込み用バッファ回路
出力イネーブル信号(非同期)
40 非同期Hi-Z制御回路
データバス
26 同期型差動増幅器
$\overline{Pr}$
$\overline{\phi_{SE}}$
ϕ_{SE}

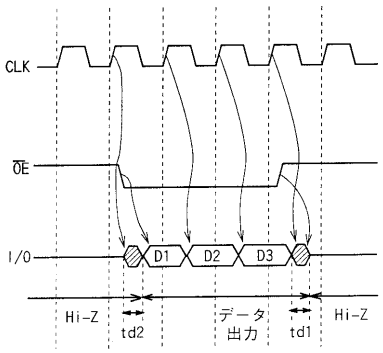
【図９】


49 バス
半導体記憶装置
48
半導体記憶装置
47
半導体記憶装置
46
入出力装置
45
プロセッサ
44

【図１０】


101入出力端子
103入力バッファ回路
102 出力バッファ回路
105
106
107
108
109
110
111
104 Hi-Z制御回路
114
レジスタ回路
115 書き込み用バッファ回路
データバス
出力イネーブル信号
113出力イネーブル制御回路
レジスタ回路
112
116センスアンプ
CLK
データバス

【図１１】


CLK
OE
I/O
D1
D2
D3
Hi-Z
td2
データ出力
td1
Hi-Z

フロントページの続き

(56)参考文献 特開平０３－２５６２９５（ＪＰ，Ａ）
特開平０９－２０４７６８（ＪＰ，Ａ）
特開平０７－２３５１８７（ＪＰ，Ａ）
特開平０４－１０５２９５（ＪＰ，Ａ）
特開平０３－２１９４９５（ＪＰ，Ａ）
特開平０３－１５４２９０（ＪＰ，Ａ）
特開平０６－２４４７０９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/4093