

A1

**DEMANDE  
DE BREVET D'INVENTION**

(21)

**N° 80 26909**

(54)

Filtre à capacités commutées.

(51)

Classification internationale (Int. Cl.<sup>3</sup>). H 03 H 19/00.

(22)

Date de dépôt..... 18 décembre 1980.

(33) (32) (31)

Priorité revendiquée :

(41)

Date de la mise à la disposition du  
public de la demande..... B.O.P.I. — « Listes » n° 25 du 25-6-1982.

(71)

Déposant : Société dite : THOMSON-CSF, société anonyme, résidant en France.

(72)

Invention de : Jean-Edgar Picquendar.

(73)

Titulaire : *Idem* (71)

(74)

Mandataire :

FILTRE A CAPACITES COMMUTEES.

La présente invention concerne les filtres à capacités commutées.

Les filtres à capacités commutées sont maintenant bien connus, notamment par les articles parus dans la revue "I.E.E.E. journal of solid-state circuits" volume SC. 12, numéro 6, de  
5 décembre 1977, pages 592 à 608.

Les filtres à capacités commutées comportent généralement plusieurs étages. Chaque étage est constitué par un amplificateur opérationnel associé à un réseau de résistances et de capacités ;  
10 dans ce réseau, les résistances sont remplacées par des capacités commutées par des transistors MOS.

Le problème qui se pose avec les filtres à capacités commutées est que chaque étage comporte un amplificateur opérationnel ; or, les amplificateurs opérationnels sont gênants, lorsque  
15 l'on veut intégrer le filtre, parce qu'ils ont une consommation élevée et qu'ils occupent une surface de silicium importante.

La présente invention permet de résoudre ce problème.

En effet, les filtres à capacités commutées selon la présente invention ne comportent qu'un seul amplificateur opérationnel et  
20 peuvent donc être facilement intégrés.

La présente invention concerne un filtre à capacités commutées à plusieurs étages. Ce filtre comporte des capacités connectées de deux façons distinctes par le passage au niveau haut de deux signaux d'horloge, qui rendent conducteurs des transistors MOS  
25 reliés à ces capacités ; ces deux signaux d'horloge ne sont pas simultanément au niveau haut. Le filtre selon l'invention comporte un seul amplificateur opérationnel dont l'entrée positive est à la masse et dont l'entrée négative et la sortie sont successivement reliées, lorsque l'un des signaux d'horloge est au niveau haut, à  
30 chaque étage du filtre pour lequel le passage de ce signal au niveau haut doit assurer la connexion, par l'intermédiaire de transistor

MOS, d'une des bornes d'au moins une capacité commutée à l'entrée négative d'un amplificateur opérationnel.

D'autres objets, caractéristiques et résultats de l'invention ressortiront de la description suivante, donnée à titre d'exemple non limitatif et illustrée par les figures annexées qui représentent :

- la figure 1, le schéma d'un filtre à capacités commutées selon l'art antérieur ;

- les figures 2a et 2b, les signaux d'horloge,  $\phi_1$  et  $\phi_2$ , utilisés pour commuter les capacités et les figures 2c à 2g, les signaux de commande,  $H_1$  à  $H_5$ , des transistors MOS  $T_1$  à  $T_{10}$ , utilisés dans le filtre selon l'invention ;

- la figure 3, les modifications à apporter au schéma de la figure 1 pour obtenir le filtre selon l'invention ;

- la figure 4, le schéma d'un autre filtre à capacités commutées selon l'art antérieur ;

- la figure 5, les modifications à apporter au schéma de la figure 4 pour obtenir le filtre selon l'invention ;

- les figures 6a et 6b, les signaux d'horloge  $\phi_1$  et  $\phi_2$  et les figures 6c et 6d, les signaux de commande  $H_6$  et  $H_7$  des transistors MOS  $T_{11}$  à  $T_{14}$ , utilisés dans le filtre selon l'invention.

Sur les différentes figures, les mêmes repères désignent les mêmes éléments mais, pour des raisons de clarté, les cotes et proportions des divers éléments ne sont pas respectées.

La figure 1 représente le schéma d'un filtre à capacités commutées selon l'art antérieur.

Le filtre, qui est représenté à titre d'exemple, a cinq étages. Chaque étage comporte un amplificateur opérationnel  $A_1, A_2, A_3, A_4, A_5$  dont l'entrée positive est à la masse. Un réseau de résistances et de capacités C est associé à chaque amplificateur. Les résistances sont remplacées par des capacités C commutées par des transistors MOS. Sur la figure, les transistors MOS sont représentés de façon symbolique, par des interrupteurs I commandés par l'un ou l'autre de deux signaux d'horloge  $\phi_1$  et  $\phi_2$ .

Sur les figures 2a et 2b, on a représenté les signaux d'horloge

$\Phi_1$  et  $\Phi_2$ . Ces signaux sont périodiques, de même période, et ne sont pas simultanément au niveau haut qui rend conducteurs les transistors MOS, et donc symboliquement ferme les interrupteurs I.

Sur la figure 1, les interrupteurs I qui sont placés les uns au dessus des autres reçoivent le même signal d'horloge,  $\Phi_1$  ou  $\Phi_2$ .

On constate, sur la figure 1, que le passage du signal  $\Phi_2$  au niveau haut assure la connexion d'une des bornes de chaque capacité commutée à l'entrée négative d'un amplificateur opérationnel.

Le passage du signal  $\Phi_1$  au niveau haut permet de connecter différemment les capacités commutées. Aucune des capacités commutées n'a alors l'une de ses bornes reliée à l'entrée négative d'un amplificateur.

La figure 3 illustre les modifications à apporter au filtre de la figure 1 pour obtenir le filtre selon l'invention.

Selon l'invention, on supprime les cinq amplificateurs opérationnels  $A_1$  à  $A_5$  et on n'utilise qu'un seul amplificateur opérationnel 1. L'entrée positive de cet amplificateur est reliée à la masse. Son entrée négative est reliée à l'une des électrodes (drain ou source) de cinq transistors MOS  $T_1$  à  $T_5$  dont l'autre électrode est reliée à l'un des étages du filtre, plus précisément aux points  $E_1$  à  $E_5$  de ces étages. On constate sur la figure 1 que, dans le filtre selon l'art antérieur, les points  $E_1$  à  $E_5$ , sont en permanence reliés à l'entrée négative des amplificateurs opérationnels  $A_1$  à  $A_5$ .

La sortie de l'amplificateur 1 est reliée à l'une des électrodes (drain ou source) de cinq transistors MOS  $T_6$  à  $T_{10}$  dont l'autre électrode est reliée à l'un des étages du filtre, plus précisément aux points  $S_1$  à  $S_5$ . Dans le filtre selon l'art antérieur, les points  $S_1$  à  $S_5$  sont en permanence reliés à la sortie des amplificateurs opérationnels  $A_1$  à  $A_5$ .

Les transistors  $T_1$  et  $T_6$ ,  $T_2$  et  $T_7$ ,  $T_3$  et  $T_8$ ,  $T_4$  et  $T_9$ ,  $T_5$  et  $T_{10}$  qui sont reliés au même étage du filtre reçoivent sur leur grille le même signal de commande, respectivement  $H_1$ ,  $H_2$ ,  $H_3$ ,  $H_4$ ,  $H_5$ .

Ces signaux de commande sont représentés sur les figures 2c à 2g. Ils ne sont pas simultanément au niveau haut qui rend conduc-

teurs les transistors MOS. Les signaux de commande  $H_1$  à  $H_5$  passent successivement au niveau haut alors que le signal d'horloge  $\Phi_2$  se trouve au niveau haut. En effet, c'est seulement alors que le signal  $\Phi_2$  se trouve au niveau haut que, dans le filtre selon l'art antérieur représenté sur la figure 1, l'une des bornes de chaque capacité commutée est connectée en permanence à l'entrée négative d'un amplificateur. Dans le filtre selon l'invention, l'entrée négative et la sortie de l'amplificateur opérationnel 1 sont successivement connectées aux points  $E_1$  et  $S_1$ ,  $E_2$  et  $S_2$ ,  $E_3$  et  $S_3$  ... alors que le signal d'horloge  $\Phi_2$  est au niveau haut.

Les caractéristiques du filtre à capacités commutées selon l'invention sont les mêmes que celles du filtre à capacités commutées selon l'art antérieur qui est représenté sur la figure 1.

En effet, on a établi que lorsqu'on relie la borne d'une ou plusieurs capacités commutées à l'entrée négative d'un amplificateur opérationnel, la tension en sortie de l'amplificateur varie, mais que cette variation ne dure qu'un temps négligeable. La tension en sortie de l'amplificateur ne bouge plus ensuite jusqu'à la période suivante où les capacités sont à nouveau reliées à l'entrée négative de l'amplificateur. Il est donc possible dans les filtres à capacités commutées de n'utiliser qu'un seul amplificateur qui est successivement relié aux divers étages du filtre.

La figure 4 représente le schéma d'un autre filtre à capacités commutées selon l'invention.

Le filtre qui est représenté à titre d'exemple n'a que deux étages. Chaque étage comporte un amplificateur opérationnel  $A_6$  et  $A_7$ . On désigne par  $E_6$  et  $E_7$  les points de ces étages qui sont en permanence reliés à l'entrée négative des amplificateurs  $A_6$  et  $A_7$ , et par  $S_6$  et  $S_7$  les points reliés en permanence à la sortie des amplificateurs  $A_6$  et  $A_7$ .

Ce filtre présente de l'intérêt en ce qui concerne notre invention car on constate que contrairement à ce qui se passe avec le filtre de la figure 1, le passage des deux signaux d'horloge  $\Phi_1$  et  $\Phi_2$  au niveau haut entraîne la connexion d'une des bornes de certaine

capacités du filtre à l'entrée négative d'un amplificateur opérationnel.

La figure 5 illustre les modifications à apporter au filtre de la figure 4.

5 Comme on l'a vu précédemment à propos de la modification de la figure 1, on n'utilise plus qu'un seul amplificateur opérationnel 1, dont l'entrée négative est reliée à deux transistors  $T_{11}$  et  $T_{12}$ , connectés aux points  $E_6$  et  $E_7$  et dont la sortie est reliée à deux transistors  $T_{13}$  et  $T_{14}$ , connectés aux points  $S_6$  et  $S_7$ .

10 Pour supprimer les transitoires, on intercale une capacité  $C$  entre les points  $E_6$ ,  $E_7$ ,  $S_6$ ,  $S_7$  et la masse.

Les transistors  $T_{11}$  et  $T_{13}$  reçoivent sur leur grille le signal de commande  $H_6$  et les transistors  $T_{12}$  et  $T_{14}$  reçoivent le signal de commande  $H_7$ .

15 Les figures 6a et 6b représentent les signaux d'horloge  $\phi_1$  et  $\phi_2$  et les figures 6c et 6d les signaux de commande  $H_6$  et  $H_7$ . Les signaux  $H_6$  et  $H_7$  passent successivement au niveau haut chaque fois que l'un ou l'autre des signaux d'horloge  $\phi_1$  et  $\phi_2$  se trouve au niveau haut. Cela est dû au fait que le passage des deux signaux d'horloge  
20  $\phi_1$  et  $\phi_2$  au niveau haut entraîne la connexion d'une des bornes de certaines capacités du filtre à l'entrée négative d'un amplificateur opérationnel.

Il est bien entendu que l'invention concerne également les filtres dans lesquels certains étages doivent être reliés à l'amplificateur opérationnel 1 lorsque les deux signaux d'horloge  $\phi_1$  et  $\phi_2$   
25 sont au niveau haut, d'autres étages doivent être reliés à l'amplificateur opérationnel seulement lorsque  $\phi_1$  est au niveau haut et d'autres étages éventuellement doivent être reliés à l'amplificateur opérationnel seulement lorsque  $\phi_2$  est au niveau haut.

### REVENDICATIONS

1. Filtre à capacités commutées à plusieurs étages, comportant des capacités connectées de deux façon distinctes par le passage au niveau haut de deux signaux d'horloge ( $\phi_1$ ,  $\phi_2$ ), qui rendent conducteurs des transistors MOS reliés à ces capacités, les  
5 deux signaux d'horloge n'étant pas simultanément au niveau haut, caractérisé en ce qu'il comporte un seul amplificateur opérationnel (1), dont l'entrée positive est à la masse et dont l'entrée négative et la sortie sont successivement reliées, lorsque l'une des signaux d'horloge est au niveau haut, à chaque étage du filtre pour lequel le  
10 passage de ce signal au niveau haut soit assurer la connexion, par l'intermédiaire de transistors MOS, d'une des bornes d'au moins une capacité commutée à l'entrée négative d'un amplificateur opérationnel.

2. Filtre selon la revendication 1, caractérisé en ce qu'il  
15 comporte deux séries de transistors MOS, chaque transistor de l'une des séries ( $T_1$  à  $T_5$ ) étant relié entre l'entrée négative de l'amplificateur opérationnel et un étage du filtre ( $E_1$  à  $E_5$ ), et chaque transistor de l'autre série ( $T_6$  à  $T_{10}$ ), étant relié entre la sortie de l'amplificateur opérationnel et un étage du filtre ( $S_1$  à  $S_5$ ), les deux  
20 transistors des deux séries qui sont reliés au même étage du filtre recevant sur leur grille le même signal de commande ( $H_1$  à  $H_5$ ), et caractérisé en ce que les signaux de commande des transistors ne sont pas simultanément au niveau haut qui rend conducteurs les transistors et que chaque signal de commande ne passe au niveau  
25 haut que chaque fois que l'un des signaux d'horloge ( $\phi_2$ ), ou, l'une ou l'autre des signaux d'horloge se trouve au niveau haut.

3. Filtre selon la revendication 2, caractérisé en ce qu'il comporte une capacité (C) destinée à supprimer les transitoires entre d'une part les électrodes des transistors des deux séries ( $T_{11}$ ,  
30  $T_{12}$  et  $T_{13}$ ,  $T_{14}$ ), qui sont reliées aux divers étages du filtres ( $E_6$ ,  $E_7$  et  $S_6$ ,  $S_7$ ) et d'autre part la masse.

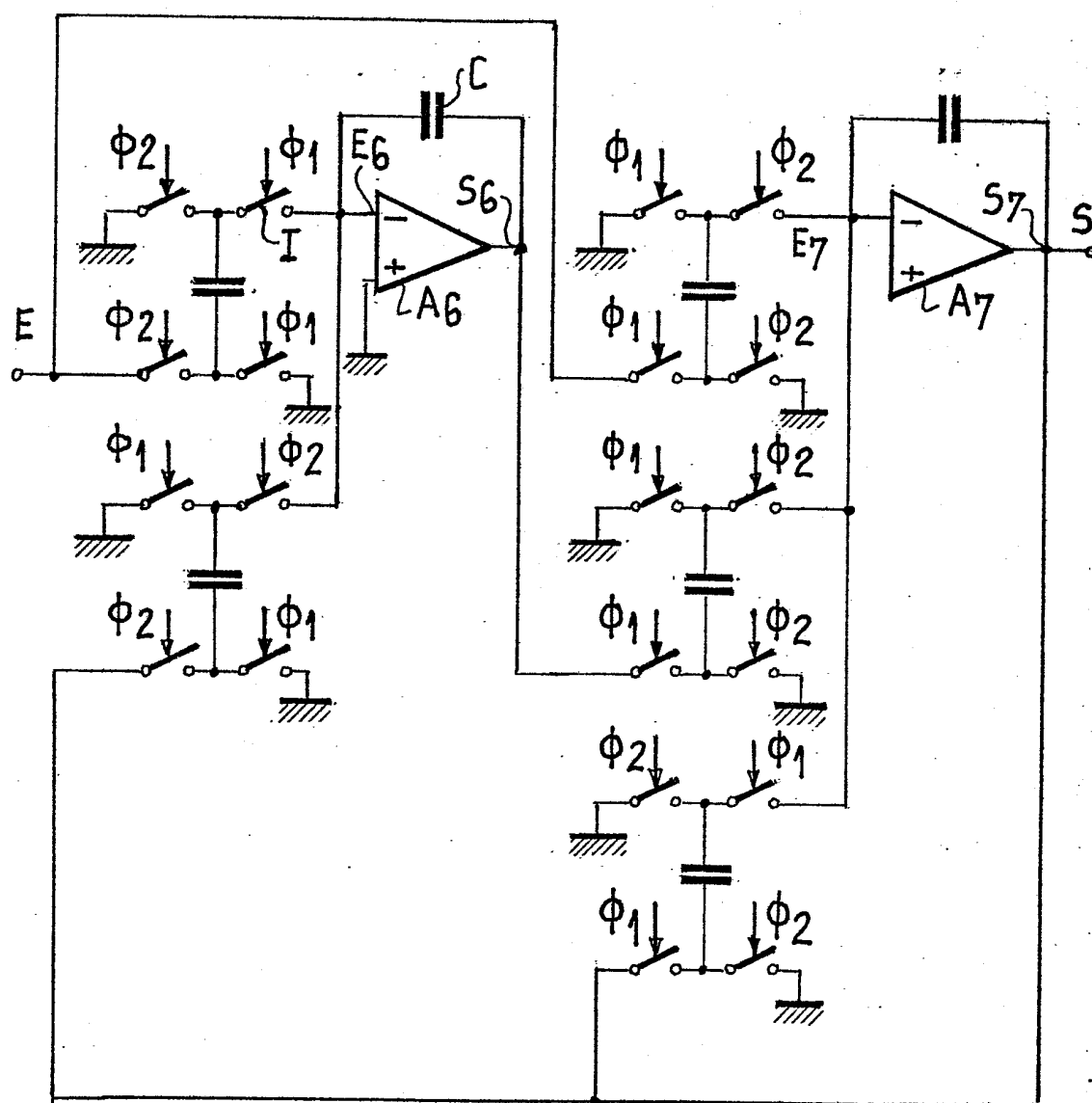






3/4

FIG\_4



4/4

FIG. 5

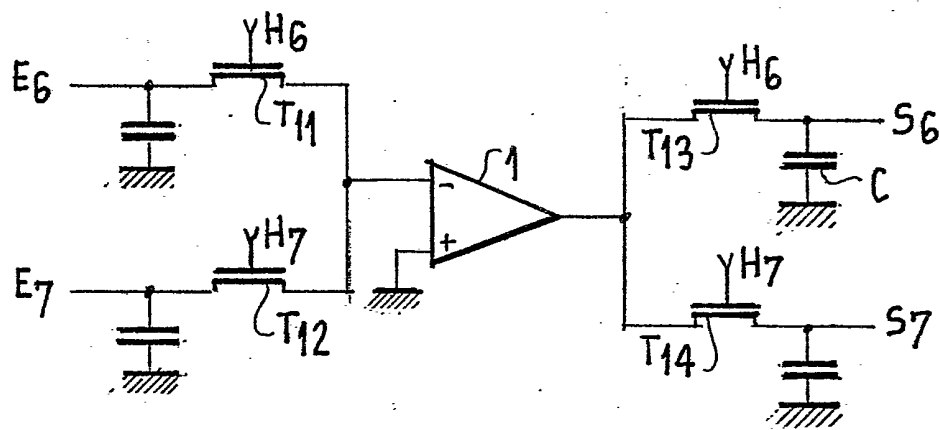


FIG. 6

