(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月19日(19.03.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/054629 A1

(51) 国際特許分類:
H04N 5/378 (2011.01)　*H03M 1/56* (2006.01)
H03K 5/08 (2006.01)　*H04N 5/357* (2011.01)
H03M 1/08 (2006.01)

(21) 国際出願番号：　PCT/JP2019/035240

(22) 国際出願日：　2019年9月6日(06.09.2019)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2018-171964　2018年9月13日(13.09.2018)　JP

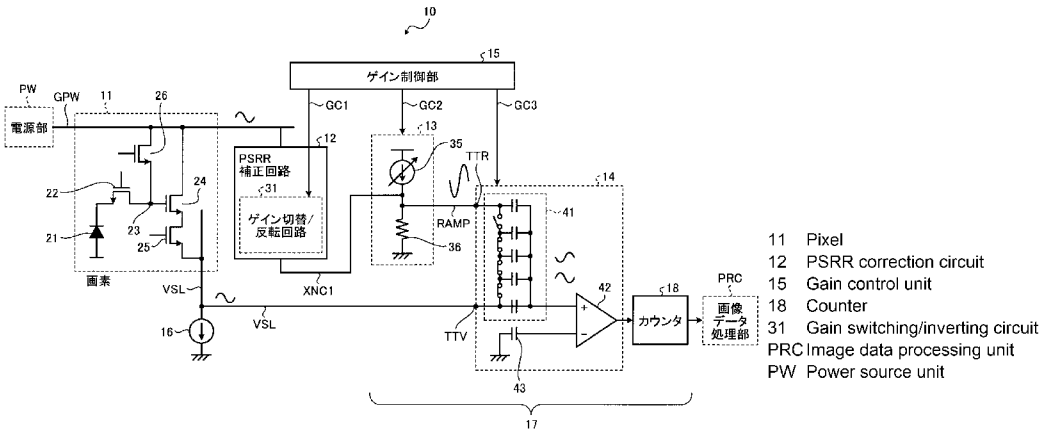
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 馬上 崇(**MOUE, Takashi**); 〒2430014 神奈川県厚木市旭町四丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 江藤 毅(**ETOU, Takeshi**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (**SAKAI INTERNATIONAL PATENT OFFICE**); 〒1000013 東京都千代田区霞が関３丁目８番１号 虎の門三井ビルディング Tokyo (JP).

(54) **Title:** SOLID-STATE IMAGING ELEMENT AND ELECTRONIC APPARATUS

(54) 発明の名称： 固体撮像素子及び電子機器



(57) **Abstract:** A solid-state imaging element (10) is provided with: a noise cancelation signal generating circuit (12) that is connected to a pixel power source (PW), and that performs gain switching and polarity inversion on a generated first noise cancelation signal (NC1), and outputs the resultant signal as a second noise cancelation signal (XNC1); a DA converter (13) that generates and outputs a reference signal (RAMP) and that converts the current of the second noise cancelation signal (XNC1) to a voltage, and superimposes the voltage on the reference signal (RAMP); a comparator (14) in which the reference signal (RAMP) and the pixel signal (VSL) are inputted to a comparator body (42) via an input capacity connected to a terminal of one of a differential pair, and which outputs an inverted signal according to gain setting and the pixel signal (VSL); a counter (18) that converts the inversion timing of the comparator (14) to a digital value; and

WO 2020/054629 A1

［続葉有］

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

a gain control unit (15) that, when gain control is performed on the comparator (14) by changing the input capacity and the inclination of the reference signal (RAMP), outputs a gain control signal based on the change amount of the input capacity.

(57) 要約：固体撮像素子（１０）は、画素電源（ＰＷ）に接続され、生成した第１ノイズキャンセル信号（ＮＣ１）に対し、ゲイン切替及び極性反転を行って第２ノイズキャンセル信号（ＸＮＣ１）として出力するノイズキャンセル信号生成回路（１２）と、参照信号（ＲＡＭＰ）を生成し出力すると共に第２ノイズキャンセル信号（ＸＮＣ１）の電流を電圧に変えて参照信号（ＲＡＭＰ）に重畳させるＤＡ変換器（１３）と、参照信号（ＲＡＭＰ）及び画素信号（ＶＳＬ）が差動対の一方の端子に接続された入力容量を介してコンパレータ本体（４２）に入力され、画素信号（ＶＳＬ）とゲイン設定に応じた反転信号を出力するコンパレータ（１４）と、コンパレータ（１４）の反転タイミングをディジタル値に変換するカウンタ（１８）と、参照信号（ＲＡＭＰ）の傾き及び入力容量を変更してコンパレータ（１４）のゲイン制御を行うに際し、入力容量の変更量に基づくゲイン制御信号を出力するゲイン制御部（１５）と、を備える。

明　細　書

発明の名称 ： 固体撮像素子及び電子機器

技術分野

[0001] 本開示は、固体撮像素子及び電子機器に関する。

背景技術

[0002] 近年、半導体微細加工技術を応用したＣＭＯＳ（Complementary Metal Oxide Semiconductor）イメージセンサ等の固体撮像素子がディジタルカメラやスマートフォン等において広く採用されている。

[0003] このような撮像素子では、画素内に設けられたフォトダイオードにおいて被写体から入射した光が光電変換され、その結果得られた電荷の量に対応する電圧信号が増幅トランジスタおよび垂直信号線を介して読み出され、コンパレータによりＡＤ（Analog to Digital）変換される（例えば、特許文献１参照）。

[0004] ところで、上述した撮像素子においては、画素の特性上、画素内の各ノード間につく寄生容量や増幅トランジスタを経由して垂直信号線に伝搬する画素電源のノイズが存在し、画質が低下するため、この画素電源のノイズを除去するために、ノイズ除去回路が設けられていた。

[0005] 上記従来のノイズ除去回路においては、画素電源のノイズを取り込んで、適切なゲイン及び周波数特性を有する電流に変換し、当該電流をｒａｍｐ波発生用のＤ／Ａコンバータの出力抵抗に流し込んで電圧に戻し、コンパレータの差動対で相殺する構成を採っていた。

先行技術文献

特許文献

[0006] 特許文献1：特開２０１５－２３３１８４号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、コンパレータとして超低電圧コンパレータ（ULVCM: Ultra

Low Voltage Comparator）を用いる場合には、入力容量が画素側とＤ／Ａコンバータ側で異なるとともに、差動対の同じ側に画素信号及びＤ／Ａコンバータの出力信号が入力されるため、従来のように、コンパレータの差動対で相殺する構成を採ることができないという問題点が生じる。

[0008] 本開示は、コンパレータとして超低電圧コンパレータを用いる場合でも、画素電源ノイズを除去して変換誤差を低減し、画質の低下を抑制することが可能な固体撮像素子及び電子機器を提供することを目的としている。

課題を解決するための手段

[0009] 上記目的を達成するために、本開示の固体撮像素子は、画素と、画素に電力を供給する画素電源に接続され、画素電源の電源ノイズをキャンセルするための第１ノイズキャンセル信号を生成し、第１ノイズキャンセル信号に対し、ゲイン制御信号に基づくゲイン切替及び極性反転を行って第２ノイズキャンセル信号として出力するノイズキャンセル信号生成回路と、ｒａｍｐ信号である参照信号を生成し出力すると共に第２ノイズキャンセル信号の電流を電圧に変えてｒａｍｐ信号に重畳させるＤＡ変換器と、参照信号及び画素信号が差動対の一方の端子に接続された入力容量を介してコンパレータ本体に入力され、画素信号とゲイン設定に応じたタイミングを持つ反転信号を出力するコンパレータと、コンパレータの反転タイミングをディジタル値に変換するカウンタと、参照信号の傾き及び入力容量を変更してコンパレータのゲイン制御を行うに際し、入力容量の変更量に基づくゲイン制御信号を出力するゲイン制御部と、を備える。

[0010] 本開示によれば、ノイズキャンセル信号生成回路は、画素電源の電源ノイズをキャンセルするための第１ノイズキャンセル信号を生成し、第１ノイズキャンセル信号に対し、ゲイン制御信号に基づくゲイン切替及び極性反転を行って第２ノイズキャンセル信号としてＤＡ変換器に出力する。

[0011] ＤＡ変換器は、ディジタル値によって制御される可変電流源から出力した電流を出力抵抗に流し込むことによってｒａｍｐ信号である参照信号を生成しコンパレータに出力する。第２ノイズキャンセル信号は電流としてＤＡ変

換器に出力され、ＤＡ変換器の出力抵抗に流し込まれることで電圧に変換され、ｒａｍｐ信号に重畳されてコンパレータに出力される。

コンパレータは、参照信号及び画素信号が差動対の一方の端子に接続された入力容量を介してコンパレータ本体に入力され、画素信号とゲイン設定に応じたタイミングを持つ反転信号をカウンタに出力する。

カウンタは、コンパレータの反転タイミングをディジタル値に変換して出力する。

[0012] これらと並行してゲイン制御部は、参照信号の傾き及び入力容量を変更してコンパレータのゲイン制御を行うに際し、入力容量の変更量に基づくゲイン制御信号をノイズキャンセル信号生成回路に出力する。

図面の簡単な説明

[0013] [図1]実施形態の固体撮像素子の一例を示す概要構成図である。

[図2]ＵＬＶコンパレータの回路構成例の説明図である。

[図3]ＰＳＲＲ補正回路の構成例の説明図である。

[図4]シングルスロープＡＤ変換器のゲインとｒａｍｐ信号の振幅の関係説明図である。

[図5]ｒａｍｐ信号側の入力容量及び画素信号側の入力容量とシングルスロープＡＤ変換器のゲインとの関係説明図である。

[図6]撮像素子のフロアプランの一例の説明図である。

[図7]他の電子機器としての撮像装置の構成例を説明する図である。

[図8]さらに他の電子機器としての撮像装置の構成例を説明する図である。

発明を実施するための形態

[0014] 次に好適な実施形態について図面を参照して説明する。

図１は、実施形態の固体撮像素子の一例を示す概要構成図である。

実施形態の固体撮像素子としては、ＣＣＤイメージセンサ、ＣＭＯＳイメージセンサ等が挙げられる。

[0015] 固体撮像素子１０は、図１に示すように、画素１１、ＰＳＲＲ補正回路１２、ＤＡ変換器１３、超低電圧（ＵＬＶ）コンパレータ１４、ゲイン制御部

１５、及び負荷ＭＯＳトランジスタ１６を備えている。

[0016] 上記構成において、画素１１は、電源部ＰＷに接続され固体撮像素子１０において、複数（例えば、Ｎ行×Ｍ列。Ｎ、Ｍは、２以上の整数）設けられて、画素アレイ部を構成している。そして、画素１１は、入射した光を光電変換して、入射光の受光量に応じた画素信号を生成する。

例えば、画素１１は、図１に示すように、フォトダイオード２１、転送トランジスタ２２、浮遊拡散領域２３、増幅トランジスタ２４、選択トランジスタ２５及びリセットトランジスタ２６を備えている。

[0017] 次に画素１１の詳細構成について説明する。

この画素１１は、撮像素子に設けられた後述の画素アレイ部を構成する画素の数（上述の例の場合、Ｎ×Ｍ個）だけ設けられているが、理解の容易のため、図１においては、一つだけ記載している。

[0018] 画素１１においては、フォトダイオード２１のカソード端子は、ＮチャネルＭＯＳトランジスタである転送トランジスタ２２のソース端子と接続され、転送トランジスタ２２のドレイン端子は、ＮチャネルＭＯＳトランジスタである増幅トランジスタ２４のゲート端子に接続されている。さらに、ＮチャネルＭＯＳトランジスタであるリセットトランジスタ２６のドレイン端子は画素電源ＧＰＷに接続され、ソース端子は増幅トランジスタ２４のゲート端子に接続されている。

[0019] すなわち、転送トランジスタ２２のドレイン端子及びリセットトランジスタ２６のソース端子は、増幅トランジスタ２４のゲート端子に共通接続されている。

また、増幅トランジスタ２４のドレイン端子は、画素電源ＧＰＷに接続され、ソース端子は、選択トランジスタ２５のドレイン端子に接続されている。

[0020] 選択トランジスタ２５のソース端子は、対応する垂直信号線ＶＳＬ（Vertical signal line）を介して定電流源となる負荷ＭＯＳトランジスタ１６に接続されている。

[0021] ここで、画素１１の動作を説明する。

撮像時には、固体撮像素子１０に入射した光がフォトダイオード２１により受光されて光電変換され、その結果得られた電荷がフォトダイオード２１に蓄積される。そして、転送トランジスタ２２のゲートに電圧が印加されて閉状態（オン状態）とされると、フォトダイオード２１と浮遊拡散領域２３が電気的に接続され、フォトダイオード２１の電荷が転送トランジスタ２２を介して浮遊拡散領域２３に転送され、増幅トランジスタ２４のゲートに信号電圧が生じる。

[0022] この状態において、垂直信号線ＶＳＬに接続された選択トランジスタ２５のゲートに電圧が印加されて閉状態（オン状態）とされると、増幅トランジスタ２４のゲート電圧に応じた画素信号ＶＳＬが増幅トランジスタ２４、選択トランジスタ２５および垂直信号線ＶＳＬを介してＵＬＶコンパレータ１４に供給される。以下、垂直信号線を表す符号ＶＳＬを垂直信号線からＵＬＶコンパレータ１４に供給される画素信号を表す符号としても用いることにする。

[0023] ここで、画素１１から出力される画素信号ＶＳＬは、フォトダイオード２１の受光光量に応じた大きさの電圧を有するアナログ信号である。

[0024] また、画素１１のリセットトランジスタ２６のゲートに電圧を印加して閉状態（オン状態）とすると、浮遊拡散領域２３の電圧が電源電圧に戻り、画素信号ＶＳＬがリセット状態となる。

[0025] ＰＳＲＲ補正回路１２は、ゲイン制御部１５の制御下でゲイン切替を行うとともに、ノイズキャンセル信号の増幅と極性反転を行うゲイン切替／反転回路３１を備えている。

ここで、ＰＳＲＲ補正回路１２が設けられている理由について説明する。

固体撮像素子１０においては、画素電源ＧＰＷからの電源ノイズが、画素内の各ノード間につく図示しない寄生容量や増幅トランジスタ２４や選択トランジスタ２５を介して垂直信号線ＶＳＬに伝搬される。

[0026] このため、この電源ノイズが画素１１から出力される画素信号ＶＳＬに重

畳されてＵＬＶコンパレータ１４に入力されてしまい、ＵＬＶコンパレータ１４の出力反転タイミングにずれが生じてしまい、正確な画素値を得ることができなくなってしまうこととなっていた。そこで、ＰＳＲＲ補正回路１２を設けることにより、ＵＬＶコンパレータ１４に入力される電源ノイズをキャンセル（補正）して、正しい画素値を得ている。

ゲイン切替／反転回路３１の構成については、後に詳述する。

[0027] ＤＡ変換器１３は、ディジタル値によって制御される可変電流源３５及び可変電流源３５に直列接続された出力抵抗３６を備えている。

ディジタル値によって可変電流源３５を制御されたＤＡ変換器１３の出力は、時間と共に信号レベルが変化するランプ（ramp）信号であり、画素１１から出力された画素信号をＡ／Ｄ（Analog to Digital）変換するための参照信号として機能する。

[0028] 上記構成において、ＤＡ変換器１３、ＵＬＶコンパレータ１４及びカウンタ１８は、画素１１から出力された画素信号ＶＳＬをアナログ信号からディジタル信号へと変換するシングルスロープＡＤ変換器１７として機能している。

[0029] 次にＵＬＶコンパレータ１４について説明する。

図２は、ＵＬＶコンパレータの回路構成例の説明図である。

ＵＬＶコンパレータ１４は、大別すると、対応する画素１１が出力した画素信号ＶＳＬが入力される画素信号入力端子ＴＴＶ及びＤＡ変換器１３が出力したｒａｍｐ信号ＲＡＭＰが入力される参照信号入力端子ＴＴＲを有する入力容量可変部４１と、コンパレータ本体部４２と、基準電圧保持コンデンサ４３と、を備えている。

[0030] そして、ＵＬＶコンパレータ１４は、画素信号入力端子ＴＴＶを介して入力された画素信号ＶＳＬ及び参照信号入力端子ＴＴＲを介して入力されたｒａｍｐ信号ＲＡＭＰに基づいて、画素信号レベルとゲイン設定に基づいたタイミングを持つ反転信号を出力する。その反転タイミングをカウンタ１８でディジタル値に変換することでＡＤ変換が行われる。そして、後段の画像デ

ータ処理部ＰＲＣにおいて、ＵＬＶコンパレータ１４によりＡＤ変換された画素データに各種のディジタル処理を行う。

[0031] 入力容量可変部４１は、一端が画素信号入力端子ＴＴＶに接続され、他端がコンパレータ本体部４２の画素側入力端子ＴＩＮに接続されたコンデンサＣ０と、一端が参照信号入力端子ＴＴＲに接続され、他端がコンパレータ本体部４２の画素側入力端子ＴＩＮに接続されたコンデンサＣ１と、一端が参照信号入力端子ＴＴＲに接続されたスイッチＳＷ１と、スイッチＳＷ１に直列に接続されたスイッチＳＷ２と、スイッチＳＷ２に直列に接続されたスイッチＳＷ３と、スイッチＳＷ３に直列に接続されたスイッチＳＷ４と、一端がスイッチＳＷ４に接続され、他端が画素信号入力端子ＴＴＶとコンデンサＣ０との接続点に接続されたスイッチＳＷ５と、スイッチＳＷ１及びスイッチＳＷ２の接続点と画素側入力端子ＴＩＮとの間に接続されたコンデンサＣ２と、スイッチＳＷ２及びスイッチＳＷ３の接続点と画素側入力端子ＴＩＮとの間に接続されたコンデンサＣ３と、スイッチＳＷ３及びスイッチＳＷ４の接続点と画素側入力端子ＴＩＮとの間に接続されたコンデンサＣ４と、スイッチＳＷ４及びスイッチＳＷ５の接続点と画素側入力端子ＴＩＮとの間に接続されたコンデンサＣ５と、を備えている。

[0032] 上記構成において、例えば、コンデンサＣ１～Ｃ５は、同一容量であり、コンデンサＣ０の容量は、コンデンサＣ１～Ｃ５の一つ分に相当する単位容量を複数並列接続したものとする。スイッチを介して接続されるコンデンサＣ２～Ｃ５の数や、コンデンサＣ０の単位容量の並列数は仕様によって異なる値とすることができる。

[0033] コンパレータ本体部４２は、画素側電流ラインＬＧを流れる電流量と、参照側電流ラインＬＲを流れる電流量と、が等しくなるように制御する一対のトランジスタＴ１１及びトランジスタＴ１２で構成されたカレントミラー回路と、差動対を構成している一対のトランジスタＴ２１及びＴ２２と、トランジスタＴ２１のドレイン端子－ゲート端子間を短絡してリセットする第１リセットスイッチＳＷ１１と、トランジスタＴ２２のドレイン端子－ゲート

端子間を短絡してリセットする第２リセットスイッチＳＷ１２と、一端がトランジスタＴ２１のソース端子及びトランジスタＴ２２のソース端子に共通接続され、ソース端子が接地された電流源トランジスタＴ２３と、を備えている。また、コンパレータ本体部４２は、図２に示した差動アンプ構成の後段に図示されていない一段または複数段の後段アンプを持つ複数段構成をとっていてもよい。

[0034] ゲイン制御部１５は、ゲイン制御を行うに際し、ゲイン制御信号ＧＣ２及びゲイン制御信号ＧＣ３を出力し、ＤＡ変換器１３が出力するｒａｍｐ信号ＲＡＭＰの傾き及びＵＬＶコンパレータ１４の入力容量可変部４１における入力容量を切り替える。さらにゲイン制御部１５はゲイン制御信号ＧＣ１を出力し、入力容量可変部４１における入力容量の切り替えに連動して、入力容量切替の影響を吸収するためにＰＳＲＲ補正回路のゲインを制御（切替）し、確実に画素電源のノイズの相殺が行えるようにする。

[0035] 次にＰＳＲＲ補正回路１２の構成の詳細について説明する。

図３は、ＰＳＲＲ補正回路の構成例の説明図である。

本実施形態では、ＰＳＲＲ補正回路を図３に示すような構成とすることで、低消費電力化と、高精度なノイズ補正を実現できるようにした。

[0036] ＰＳＲＲ補正回路１２は、図３に示すように、コンダクタンス固定バイアス部５１、バイアス部５２、入力センス部５３、遅れ位相調整部５４、進み位相調整部５５、トランジスタ５６、ゲイン切替／反転回路３１、ゲイン調整部５８及び画素電源入力端子（ノイズモニタ端子）５９を備えている。同じ特性を持つＰＳＲＲ補正回路は、複数の形（構成）を採りうるため、ゲイン切替／反転回路３１の前後の具体的な回路は、図３と異なる構成を採っていてもよい。

[0037] コンダクタンス固定バイアス部５１は、ＮチャネルＭＯＳトランジスタ６１及びＮチャネルＭＯＳトランジスタ６２を備えた第１カレントミラー回路６３と、ＰチャネルＭＯＳトランジスタ６４およびＰチャネルＭＯＳトランジスタ６５を備えた第２カレントミラー回路６６と、プルアップ抵抗６７と

、を有し、固定バイアス電圧をバイアス部５２、入力センス部５３及びゲイン切替／反転回路３１に印加している。

[0038] 上記構成において、ＮチャネルＭＯＳトランジスタ６２の電流量は、ＮチャネルＭＯＳトランジスタ６１の電流量のｍ倍となっている。また、ＮチャネルＭＯＳトランジスタ６１およびＮチャネルＭＯＳトランジスタ６２のそれぞれは、ゲート端子が互いに接続されている。

[0039] ＮチャネルＭＯＳトランジスタ６１のソース端子は、接地され、ＮチャネルＭＯＳトランジスタ６１のドレイン端子は、ＮチャネルＭＯＳトランジスタ６１のゲート端子に接続されている。一方、ＮチャネルＭＯＳトランジスタ６２のソース端子は、プルアップ抵抗６７を介して接地されている。

[0040] また、ＰチャネルＭＯＳトランジスタ６４およびＰチャネルＭＯＳトランジスタ６５の大きさは同じ大きさとされている。さらに、ＰチャネルＭＯＳトランジスタ６５のゲート端子は、ＰチャネルＭＯＳトランジスタ６４のゲート端子に接続されている。

[0041] ＰチャネルＭＯＳトランジスタ６４のソース端子は、電源V_{DDH}に接続されており、ＰチャネルＭＯＳトランジスタ６４のドレイン端子はＮチャネルＭＯＳトランジスタ６１のドレイン端子に接続されている。この場合において、電源V_{DDH}は、画素電源であってもよいし、画素電源とは異なる他の電源であってもよい。

[0042] ＰチャネルＭＯＳトランジスタ６５のソース端子は、電源V_{DDH}に接続されており、ＰチャネルＭＯＳトランジスタ６５のドレイン端子は、ＮチャネルＭＯＳトランジスタ６２のドレイン端子に接続されている。また、ＰチャネルＭＯＳトランジスタ６５のドレイン端子は、ＰチャネルＭＯＳトランジスタ６５のゲート端子にも接続されている。

[0043] 上記構成を有するコンダクタンス固定バイアス部５１においては、ＮチャネルＭＯＳトランジスタ６１のコンダクタンスが一定となっており、そのコンダクタンスは、ＮチャネルＭＯＳトランジスタ６１とＮチャネルＭＯＳトランジスタ６２との並列数の比であるｍと、プルアップ抵抗６７の抵抗値と

により定まる一定値となる。

[0044] バイアス部５２は、ＰチャネルＭＯＳトランジスタ７１、スイッチＳＷ２１及びコンデンサ（容量素子）Ｃ１１を備えている。

[0045] ＰチャネルＭＯＳトランジスタ７１のドレイン端子は電源V_{DDH}に接続されており、ＰチャネルＭＯＳトランジスタ７１のゲート端子は、コンデンサＣ１１を介して電源V_{DDH}に接続されている。

さらにＰチャネルＭＯＳトランジスタ７１のゲート端子は、スイッチＳＷ２１を介して、コンダクタンス固定バイアス部５１のＰチャネルＭＯＳトランジスタ６４、６５のゲート端子に接続されている。

[0046] このようなバイアス部５２においては、ＰチャネルＭＯＳトランジスタ７１は電流源として機能し、ＰチャネルＭＯＳトランジスタ７１のドレイン端子からＮチャネルＭＯＳトランジスタ７２のドレイン端子とＰチャネルＭＯＳトランジスタ５６の共通接続点には、入力センス部５３のＮチャネルＭＯＳトランジスタ７２のコンダクタンスが一定の値となるような電流が常時流れている。

[0047] 入力センス部５３は、ＮチャネルＭＯＳトランジスタ７２、スイッチＳＷ２３及びコンデンサ（容量素子）Ｃ１２を備えている。

[0048] ＮチャネルＭＯＳトランジスタ７１のソース端子は接地され、ＮチャネルＭＯＳトランジスタ７１のゲート端子は、コンデンサＣ１２を介して画素電源入力端子に接続されている。

されにＮチャネルＭＯＳトランジスタ７１のゲート端子は、サンプルホールド用に用いられるスイッチＳＷ２３を介して、コンダクタンス固定バイアス部５１のＮチャネルＭＯＳトランジスタ６１、６２のゲート端子に接続されている。

[0049] また、ＮチャネルＭＯＳトランジスタ７２のドレイン端子は、バイアス部５２及び遅れ位相調整部５４に接続されている。さらにＮチャネルＭＯＳトランジスタ７２のドレイン端子は、ＰチャネルＭＯＳトランジスタ５６のゲート端子に接続されている。

[0050] 上記構成を有する入力センス部５３においては、例えば、ノイズキャンセルを行わず、電源ノイズの補正を行わない期間において、スイッチＳＷ２３を閉状態（オン状態）とすることで、ＮチャネルＭＯＳトランジスタ７２のゲート端子の動作点が確定される。すなわち、このような状態では、ＮチャネルＭＯＳトランジスタ７２には、コンダクタンス固定バイアス部５１のＮチャネルＭＯＳトランジスタ６１を流れる電流に応じた電流が流れることになる。

[0051] また、ノイズキャンセルを行う期間、すなわち、ノイズキャンセル信号ＸＮＣ１を参照信号であるｒａｍｐ信号ＲＡＭＰに重畳させて電源ノイズの補正を行う期間においては、スイッチＳＷ２３は開状態（オフ状態）とされる。

[0052] この結果、画素電源入力端子５９で検出された電源ノイズのＡＣ成分がハイパスフィルタとして機能するコンデンサＣ１２により抽出され、ＮチャネルＭＯＳトランジスタ７２のゲート端子に入力される。

そして、ＮチャネルＭＯＳトランジスタ７２には、画素電源に含まれる画素電源ノイズのＡＣ（交流）成分に応じたAC成分と、ＮチャネルＭＯＳトランジスタ６１により定まるＤＣ成分と、を含む電流がノイズキャンセル信号ＮＣ０として流れ、電圧信号としての電源ノイズが、電流信号であるノイズキャンセル信号ＮＣ０へと変換される。

[0053] 上述したように、ＮチャネルＭＯＳトランジスタ６１のコンダクタンスは、常に一定（固定）となっているので、ＮチャネルＭＯＳトランジスタ７２のコンダクタンスも一定の値となっている。

[0054] したがって、電圧電流変換のゲインΔＩｄ／ΔＶｉｎのばらつきを抑えることができるため、ＮチャネルＭＯＳトランジスタ７２と接地との間にプルアップ抵抗を設ける必要がないので、電圧電流変換時のゲイン（＝ΔＩｄ／ΔＶｉｎ）を大きくすることができ、入力センス部５３の低消費電力化および低ノイズ化を実現できる。

[0055] 上述したように、ＰチャネルＭＯＳトランジスタ７１のドレイン端子から

ＮチャネルＭＯＳトランジスタ７２のドレイン端子とＰチャネルＭＯＳトランジスタ５６の共通接続点には、入力センス部５３のＮチャネルＭＯＳトランジスタ７２のコンダクタンスが一定の値となるような電流が常時流れている。

[0056] したがって、ＰチャネルＭＯＳトランジスタ５６側で流れる電流は、入力センス部５３のＮチャネルＭＯＳトランジスタ７２を流れるノイズキャンセル信号ＮＣ０から、バイアス部５２のＰチャネルＭＯＳトランジスタ７１からＮチャネルＭＯＳトランジスタ７２のドレイン端子とＰチャネルＭＯＳトランジスタ５６の共通接続点へと流れる電流を差し引いたものとなる。

[0057] すなわち、ＰチャネルＭＯＳトランジスタ５６側で流れる電流は、ノイズキャンセル信号ＮＣ０からバイアス部５２によりＤＣ成分の一部が除去されたノイズキャンセル信号ＮＣ１（第１ノイズキャンセル信号に相当）とされる。

[0058] また、バイアス部５２では、ノイズキャンセルしない期間においては、スイッチＳＷ２１は閉状態（オン状態）とされ、ノイズキャンセルする期間においては、スイッチＳＷ２１は開状態（オフ状態）とされる。

[0059] このようにノイズキャンセルする期間にスイッチＳＷ２１を開状態（オフ状態）とすることで、コンダクタンス固定バイアス部５１の出力ノイズが、ＰチャネルＭＯＳトランジスタ７１を介してＮチャネルＭＯＳトランジスタ７２のドレイン端子とＰチャネルＭＯＳトランジスタ５６の共通接続点に出力され、ノイズキャンセル信号ＮＣ１に重畳されてしまうことを防止することができる。なお、スイッチＳＷ２１は必ずしも設けられている必要はない。

[0060] 遅れ位相調整部５４は、電源V_{DDH}とＮチャネルＭＯＳトランジスタ７２のドレイン端子とＰチャネルＭＯＳトランジスタ５６の共通接続点との間に設けられた可変容量コンデンサＣ１３を備えている。

遅れ位相調整部５４は、ＰチャネルＭＯＳトランジスタ５６からＮチャネルＭＯＳトランジスタ７２のドレイン端子とＰチャネルＭＯＳトランジスタ

５６の共通接続点へと流れる電流であるノイズキャンセル信号の高域成分の遅れ位相を調整する。

[0061] すなわち、遅れ位相調整部５４の可変容量コンデンサＣ１３はローパスフィルタとして機能し、ノイズキャンセル信号のＡＣ成分（のゲイン）を減衰させることにより位相調整、つまり遅れ位相の調整を行う。このときローパスフィルタのカットオフ周波数は、可変容量コンデンサＣ１３の容量とＰチャネルＭＯＳトランジスタ５６の抵抗成分とにより定まる。

[0062] 進み位相調整部５５は、画素電源入力端子５９とゲイン切替／反転回路３１との間に接続された可変容量コンデンサＣ１４を備えている。

進み位相調整部５５は、ＮチャネルＭＯＳトランジスタ７２のドレイン端子とＰチャネルＭＯＳトランジスタ５６の共通接続点からゲイン切替／反転回路３１へと流れる電流であるノイズキャンセル信号ＮＣ１の高域における進み位相を調整する。

[0063] 進み位相調整部５５では、ゲイン切替／反転回路３１と、画素電源との間を可変容量コンデンサＣ１４を介して接続することで、ゲイン切替／反転回路３１へハイパス成分を伝搬させている。

[0064] すなわち、進み位相調整部５５の可変容量コンデンサＣ１４はハイパスフィルタとして機能し、画素電源ノイズの高域成分をゲイン切替／反転回路３１に重畳させることにより位相調整、つまり進み位相の調整を行う。このときハイパスフィルタとしてのカットオフ周波数は、可変容量コンデンサＣ１４の容量とゲイン切替／反転回路３１の見かけ上の抵抗値とにより定まる。

[0065] ゲイン切替／反転回路３１は、ＰチャネルＭＯＳトランジスタ５６のゲート端子にゲート端子が共通接続され、ソース端子が電源V_{DD}に共通接続され、ドレイン端子が進み位相調整部５５の可変容量コンデンサＣ１４に共通接続された複数の並列接続されたＰチャネルＭＯＳトランジスタ７３で構成されたＰチャネルＭＯＳトランジスタ群７３Ｇを備えている。

[0066] また、ゲイン切替／反転回路３１は、ソース端子が電源V_{DD}に共通接続され、ドレイン端子がＰチャネルＭＯＳトランジスタ群７３Ｇの共通接続され

たドレイン端子に共通接続され、ゲート端子が図示しない接続数切替スイッチを介してドレイン端子に共通接続された複数のＰチャネルＭＯＳトランジスタ７４で構成されたＰチャネルＭＯＳトランジスタ群７４Ｇを備えている。

[0067] さらにゲイン切替／反転回路３１は、ドレイン端子がＰチャネルＭＯＳトランジスタ群７３Ｇの共通接続されたドレイン端子とＰチャネルＭＯＳトランジスタ群７４Ｇの共通接続されたドレイン端子との共通接続点に接続され、ソース端子が接地に共通接続され、共通接続されたゲート端子がコンダクタンス固定バイアス部５１のＮチャネルＭＯＳトランジスタ６１のゲート端子にスイッチＳＷ２２を介して接続され、複数の並列接続されたＮチャネルＭＯＳトランジスタ７５で構成され、電流源として機能するＮチャネルＭＯＳトランジスタ群７５Ｇと、一端がＮチャネルＭＯＳトランジスタ群７５Ｇの共通接続されたゲート端子に接続され、他端が接地されたコンデンサＣ１５と、を備えて構成されている。

[0068] 上記構成において、ＰチャネルＭＯＳトランジスタ群７３Ｇを構成している複数の並列接続されたＰチャネルＭＯＳトランジスタ７３のうち、実際に動作させるＰチャネルＭＯＳトランジスタ７３の数（ＰチャネルＭＯＳトランジスタ７３の並列数）、ＰチャネルＭＯＳトランジスタ群７４Ｇを構成している複数の並列接続されたＰチャネルＭＯＳトランジスタ７４のうち、実際に動作させるＰチャネルＭＯＳトランジスタ７４の数（ＰチャネルＭＯＳトランジスタ７４の並列数）及びＮチャネルＭＯＳトランジスタ群７５Ｇを構成している複数の並列接続されたＮチャネルＭＯＳトランジスタ７５のうち、実際に動作させるＮチャネルＭＯＳトランジスタ７５の数（ＮチャネルＭＯＳトランジスタ７５の並列数）は、後述するＵＬＶコンパレータの入力容量切替に連動して切り替えることが可能となっており、実効的にＰＳＲＲ補正回路１２のゲイン切替を行うことが可能となっている。

[0069] ゲイン切替／反転回路３１における詳細なゲイン切替については、後に詳述する。

なお、ゲイン切替／反転回路３１の構成は一例であり、波形の極性反転とゲイン切替機能を有する他の回路であっても同様に適用が可能である。

[0070] ゲイン調整部５８は、ＰチャネルＭＯＳトランジスタ群７４を構成している複数の並列接続されたＰチャネルＭＯＳトランジスタの共通接続されたゲート端子に図示しない接続数切替スイッチを介して複数の並列接続されたＰチャネルＭＯＳトランジスタ７６のゲート端子が共通接続され、ソース端子が電源V_{DD}に共通接続され、ドレイン端子がＤＡ変換器１３の可変電流源３５と出力抵抗３６の接続点に共通接続された複数の並列接続されたＰチャネルＭＯＳトランジスタ７６で構成されたＰチャネルＭＯＳトランジスタ群７６Ｇを備えている。

[0071] ここで、ゲイン調整部５８は、ＵＬＶコンパレータ１４において、適切にノイズ信号とノイズキャンセル信号とが相殺されるように、実際に駆動するＰチャネルＭＯＳトランジスタの並列数を調整する（ＰチャネルＭＯＳトランジスタ群７４と共働することにより形成される多出力カレントミラーの出力数を変化させる）ことで、電源ノイズ信号の振幅に合わせてゲインの微調整を行うためのものである。

[0072] ここで、ゲイン切替／反転回路３１の動作について説明する。

ゲイン切替／反転回路３１のＰチャネルＭＯＳトランジスタ群７３Ｇは、ＰチャネルＭＯＳトランジスタ５６と共働して、多出力型カレントミラー回路として機能するので、ノイズキャンセル信号ＮＣ１によりＰチャネルＭＯＳトランジスタ５６を流れる電流に比例した電流（同極性で大きさの比がトランジスタのサイズ比に相当する電流）がＰチャネルＭＯＳトランジスタ群７３Ｇを構成しているＰチャネルＭＯＳトランジスタ７３のソース端子－ドレイン端子間をそれぞれ流れることとなる。

[0073] このとき、ＰチャネルＭＯＳトランジスタ群７３Ｇを構成し、実際に動作している複数のＰチャネルＭＯＳトランジスタ７３のソース端子－ドレイン端子間を流れる電流と、ＰチャネルＭＯＳトランジスタ群７４Ｇを構成し、実際に動作している複数のＰチャネルＭＯＳトランジスタ７４のソース端子

－ドレイン端子間を流れる電流と、の和は、電流源として機能するＮチャネルＭＯＳトランジスタ群７５Ｇを構成し、実際に動作している複数のＮチャネルＭＯＳトランジスタ７５のドレイン端子－ソース端子間を流れる電流と等しい。

[0074] したがって、ＰチャネルＭＯＳトランジスタ群７４Ｇを流れる電流は、ＮチャネルＭＯＳトランジスタ群７５Ｇを流れる電流からＰチャネルＭＯＳトランジスタ群７３Ｇを流れる電流を差し引いた電流と等しくなる。

[0075] すなわち、ＰチャネルＭＯＳトランジスタ群７４Ｇを流れる電流は、ＰチャネルＭＯＳトランジスタ群７３Ｇを流れるノイズキャンセル信号ＮＣ１に対応する電流と、逆極性となる。

そして、ゲイン切替及び極性が反転されたノイズキャンセル信号（以下、逆極性ノイズキャンセル信号ＸＮＣ１という。第２ノイズキャンセル信号に相当。）は、最終的なノイズキャンセル信号としてＤＡ変換器１３に供給される。

[0076] 次に固体撮像素子全体の動作を説明する。

固体撮像素子１０のゲイン制御部１５は、ゲイン制御を行うにあたって、ＤＡ変換器の出力する参照信号としてのｒａｍｐ信号ＲＡＭＰのスロープ傾き及びＵＬＶコンパレータ１４の入力容量可変部４１の入力容量の双方を切り替える。

[0077] ところで、ＵＬＶコンパレータ１４においては、画素信号ＶＳＬとｒａｍｐ信号ＲＡＭＰのそれぞれの入力容量が差動対で同じ側に配置されているが、ｒａｍｐ信号ＲＡＭＰ側の入力容量の存在により画素信号ＶＳＬから差動対に到るまでの減衰量が容量分圧によって、従来のコンパレータと比較して大きくなってしまう。その結果、実効的に、画素信号ＶＳＬ換算でトランジスタのノイズが大きくなってしまう問題が生じる。

[0078] そこで、ｒａｍｐ信号ＲＡＭＰ側の入力容量を小さくし、ｒａｍｐ信号ＲＡＭＰの振幅を大きくすることで、シングルスロープＡＤ変換器１７（＝ＤＡ変換器１３＋ＵＬＶコンパレータ１４＋カウンタ１８）としての出力結果

を維持しつつ、画素信号ＶＳＬの差動対に到るまでの減衰量を小さくし、ノイズ悪化を抑えることができる。

[0079] しかしながら、シングルスロープＡＤ変換器１７のゲインが低い場合には、もともとｒａｍｐ信号ＲＡＭＰの振幅が大きいため、ｒａｍｐ信号ＲＡＭＰ側の入力容量を小さくすることができない。

[0080] そこで、シングルスロープＡＤ変換器１７のゲインが低い場合には（図５中、左側参照）、図５に示すように、ゲイン制御部１５は、ｒａｍｐ信号ＲＡＭＰ側の入力容量Ｃ＿ＲＡＭＰを大きくし、画素信号ＶＳＬ側の入力容量Ｃ＿ＶＳＬを小さくする。

[0081] これに対し、シングルスロープＡＤ変換器１７のゲインが高い場合には（図５中、右側参照）、ゲイン制御部１５は、ｒａｍｐ信号ＲＡＭＰ側の入力容量を小さくし、画素信号ＶＳＬ側の入力容量を大きくする。

[0082] その結果、高ゲインの状態からゲインを下げていくに従って、段階的にｒａｍｐ信号ＲＡＭＰ側の入力容量Ｃ＿ＲＡＭＰは大きく、画素信号ＶＳＬ側の入力容量Ｃ＿ＶＳＬは小さくされていく。

図４は、シングルスロープＡＤ変換器のゲインとｒａｍｐ信号の振幅の関係説明図である。

図５は、ｒａｍｐ信号側の入力容量及び画素信号側の入力容量とシングルスロープＡＤ変換器のゲインとの関係説明図である。

なお、シングルスロープＡＤ変換器１７のゲインが極端に低い場合には、ノイズキャンセル効果は低下するが、帯域調整などを行うことでノイズを抑制することが可能である。

[0083] このようにシングルスロープＡＤ変換器１７のゲイン設定に応じてゲイン制御部１５が各部の制御信号を設定することによって、入力容量を段階的に切り替え、それに合わせてｒａｍｐ信号ＲＡＭＰの振幅も切り替えていくようにすることで、ノイズの悪化を最小限に抑えるのである。

[0084] そして、ゲイン制御部１５は、同時にＰＳＲＲ補正回路１２のゲイン切替／反転回路３１を制御し、ＵＬＶコンパレータ１４の入力容量可変部４１の

容量（入力容量）の切替に応じてＰＳＲＲ補正回路のゲインを切り替える。

[0085] より具体的には、ゲイン制御部１５は、ゲイン切替／反転回路３１を制御し、ゲイン切替／反転回路３１のＰチャネルＭＯＳトランジスタ群７３Ｇを構成しているＰチャネルＭＯＳトランジスタ７３のうち、並列に接続し、実際に駆動するＰチャネルＭＯＳトランジスタ７３の個数を制御する。

[0086] 同様に、ＰチャネルＭＯＳトランジスタ群７４Ｇを構成しているＰチャネルＭＯＳトランジスタ７４のうち、並列に接続し、実際に駆動するＰチャネルＭＯＳトランジスタ７４の個数を制御し、ＮチャネルＭＯＳトランジスタ群７５Ｇを構成しているＮチャネルＭＯＳトランジスタ７５のうち、並列に接続し、実際に駆動するＮチャネルＭＯＳトランジスタ７５の個数を制御する。

[0087] このとき、ＰチャネルＭＯＳトランジスタ群７３Ｇを構成し、実際に動作している複数のＰチャネルＭＯＳトランジスタ７３のソース端子－ドレイン端子間を流れる電流と、ＰチャネルＭＯＳトランジスタ群７４Ｇを構成し、実際に動作している複数のＰチャネルＭＯＳトランジスタ７４のソース端子－ドレイン端子間を流れる電流と、の和は、電流源として機能するＮチャネルＭＯＳトランジスタ群７５Ｇを構成し、実際に動作している複数のＮチャネルＭＯＳトランジスタ７５のドレイン端子－ソース端子間を流れる電流と等しくなっている。

[0088] そして、画素信号ＶＳＬのＡＤ変換時には、ＰＳＲＲ補正回路１２は、画素電源ＧＰＷにおける電源ノイズの発生を監視し、画素電源ＧＰＷで発生した電源ノイズに基づいて、電源ノイズをキャンセル（補正）するためのノイズキャンセル信号ＸＮＣ１を生成し、ＤＡ変換器１３に出力する。

[0089] 一方、ＤＡ変換器１３により、波形（電圧値）が時間方向にスロープ状に変化する参照信号であるｒａｍｐ信号ＲＡＭＰが生成され、ＵＬＶコンパレータ１４に出力給される。

したがって、ＤＡ変換器１３から出力されるｒａｍｐ信号ＲＡＭＰには、画素電源のノイズ信号とは逆極性のノイズキャンセル信号ＸＮＣ１が含まれ

ている。

[0090] すなわち、ＰＳＲＲ補正回路１２は、生成したノイズキャンセル信号ＸＮＣ１をＤＡ変換器１３を介してＵＬＶコンパレータ１４に入力することで、ＵＬＶコンパレータ１４において電源ノイズをキャンセルさせる。これにより、ＵＬＶコンパレータ１４には、ノイズキャンセル信号ＸＮＣ１が重畳された参照信号であるｒａｍｐ信号ＲＡＭＰが入力されることになるので、ｒａｍｐ信号ＲＡＭＰと、画素１１からの画素信号ＶＳＬとの比較時に、画素信号ＶＳＬに重畳された画素電源ＧＰＷの電源ノイズがノイズキャンセル信号ＸＮＣ１によってキャンセルされる。

[0091] この結果、シングルスロープＡＤ変換器１７は、実効的に、画素信号ＶＳＬ（画素電源のノイズ相殺後）のＡ／Ｄ変換結果をディジタルの画素信号として出力する。

[0092] したがって、固体撮像素子１０では、画素電源からの電源ノイズが、画素内の各ノード間につく寄生容量や増幅トランジスタ２４や選択トランジスタ２５を介して垂直信号線ＶＳＬに伝搬し、この電源ノイズが画素１１から出力される画素信号に重畳されてＵＬＶコンパレータ１４に入力されてしまった場合でも、ＵＬＶコンパレータ１４からの出力が反転するタイミングにずれが生じることがなく、正確な画素値の画素信号を得ることができる。

[0093] 以上のように固体撮像素子１０によれば、より簡単な構成で高精度に電源ノイズをキャンセルすることができ、これにより、より高品質な画像を得ることができる。また、固体撮像素子１０によれば、低消費電力化を実現することができる。

[0094] 〈撮像素子の構成例〉

図６は、撮像素子のフロアプランの一例の説明図である。

撮像素子のフロアプランは様々考えられるが、上チップＵＣには、複数の画素１１が配置された画素アレイ部８１を配置している。

[0095] また、下チップＬＣには、上述したＰＳＲＲ補正回路１２、ＤＡ変換器１３、超低電圧（ＵＬＶ）コンパレータ１４、ゲイン制御部１５及び負荷ＭＯ

Ｓトランジスタ１６の他、画素アレイ部８１の読出制御等を行う為の画素制御回路８２と、ゲイン制御部１５及びＭＰＵを含み、固体撮像素子１０全体の各種制御や画像処理を行うロジックブロック８３と、各種インタフェース動作を行うインタフェース部８４と、を備えている。

[0096] 上記構成において、ＰＳＲＲ補正回路１２は、ＤＡ変換器１３を構成している出力抵抗３６にノイズキャンセル信号ＸＮＣ１に対応する電流を流し込む必要があるため、配線長が長くなることに起因するノイズの混入や周波数特性の変化の影響を低減するため、ＤＡ変換器１３に隣接して配置するのが好ましい。

[0097] またシングルスロープＡＤ変換器１７を構成しているＵＬＶコンパレータ１４は、下チップＬＣの図６中、上下部分にそれぞれ複数配置されて、上チップＵＣの画素アレイ部８１を構成している画素１１から画素信号ＶＳＬがそれぞれ入力されるので、複数のＵＬＶコンパレータ１４にｒａｍｐ信号ＲＡＭＰを供給する必要があるＤＡ変換器１３は、下チップの中央部分に配置されるのが好ましい。

[0098] 〈撮像装置の構成例〉

さらに、本技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に撮像素子を用いる複写機など、光電変換部に撮像素子を用いる電子機器全般に対して適用可能である。

[0099] 図７は、他の電子機器としての撮像装置の構成例を説明する図である。

撮像装置９０は、レンズ群などを備えた光学系９１と、固体撮像素子１０と、撮像データを処理をする信号処理回路としてのＤＳＰ（Digital Signal Processor）９２と、液晶ディスプレイ、有機ＥＬディスプレイ等で構成され撮像画像、各種情報を表示する表示部９３と、ユーザが撮像指示、データ設定等の各種操作を行う操作部９４と、撮像装置９０全体の制御を行うコントローラ９５と、画像データを格納するフレームメモリ９６と、図示しないハードディスク、メモリカード等の記録媒体に対し撮像データの記録を行う

記録部９７と、撮像装置９０全体に電力を供給する電源部９８と、を備えている。

[0100] 上記構成において、ＤＳＰ９２、表示部９３、操作部９４、コントローラ９５、フレームメモリ９６、記録部９７及び電源部９８はバスラインを介して互いに接続されている。

[0101] 上記構成によれば、撮像素子として上述した固体撮像素子１０を用いているので、低消費電力で長時間にわたってノイズの少ない鮮明で高画質な画像を撮像することができる。

撮像装置９０の実際の態様としては、ビデオカメラ、デジタルスチルカメラ、スマートフォン等のモバイル端末装置向けのカメラモジュールなどが挙げられる。

[0102] 図８は、さらに他の電子機器としての撮像装置の構成例を説明する図である。

撮像装置１００は、レンズ群などを備えた光学系１０１と、固体撮像素子１０と、撮像データを処理をする信号処理回路としてのＤＳＰ１０２と、外部機器１１０との間でインタフェース動作を行うインタフェース部１０３と、画像データを格納するフレームメモリ１０４と、を備えている。

[0103] 本態様の撮像装置１００は、外部機器１１０から供給された電源により、外部装置１１０の制御下で撮像を行うようにしたものであり、例えば、外部機器１１０としての車載ＥＣＵ等の制御下で、車両側からの電源供給を受けて車両周囲の監視画像を撮像するカメラモジュール等としての適用が可能である。

[0104] この場合に外部機器１１０は、撮像装置１００との間でインタフェース動作を行うインタフェース部１１１と、インタフェース部１１１を介して取得した撮像データに対して画像処理を施し、所望の画像データ（例えば、周辺障害物画像、標識認識用画像等）を得るための画像処理を行う画像処理部１１２と、撮像装置１００及び当該外部機器１１０に対し動作用電源を供給する電源部１１３と、撮像装置１００の制御をインタフェース部１１を介して

行う外部コントローラ１１４と、図示しないハードディスク、メモリカード等の記録媒体に対し撮像データの記録を行う記録部１１５と、を備えている。

[0105] このような撮像装置１００の適用としては、自動停止などの安全運転確保、運転者の状態認識等のために自動車の周面（前面、側面、後面）、車室内等に設けられ、車両周囲あるいは車内を撮影する車載用センサ、走行車両や道路を遠隔で監視するための監視カメラ、測距装置等が挙げられる。

[0106] また、家電機器（エアコン、冷蔵庫、電子レンジ等）本体を外部機器１１０として、ユーザの位置、動作（ジェスチャー）等を検出して制御を行うための撮像装置としても用いることが可能である。

さらに人物認証用、肌撮影用等に用いることも可能である。

[0107] 以上の説明は、可視光に対応する画像を撮像する場合のものであったが、赤外線、紫外線、Ｘ線等の撮像装置として用いることも可能である。

[0108] なお、本明細書に記載された効果はあくまで例示であって限定されるものでは無く、また他の効果があってもよい。

[0109] なお、本技術は以下のような構成も採ることができる。

（１）

画素信号を出力する画素と、

前記画素に電力を供給する画素電源に接続され、前記画素電源の電源ノイズをキャンセルするための第１ノイズキャンセル信号を生成し、前記第１ノイズキャンセル信号に対し、ゲイン制御信号に基づくゲイン切替及び極性反転を行って第２ノイズキャンセル信号として出力するノイズキャンセル信号生成回路と、

ｒａｍｐ信号である参照信号を生成し出力すると共に前記第２ノイズキャンセル信号の電流を電圧に変えてｒａｍｐ信号に重畳させるＤＡ変換器と、

前記参照信号及び前記画素信号が差動対の一方の端子に接続された入力容量を介してコンパレータ本体に入力され、画素信号とゲイン設定に応じたタイミングを持つ反転信号を出力するコンパレータと、

コンパレータの反転タイミングをディジタル値に変換するカウンタと、

前記参照信号の傾き及び前記入力容量を変更して前記コンパレータのゲイン制御を行うに際し、前記入力容量の変更量に基づく前記ゲイン制御信号を出力するゲイン制御部と、

を備えた固体撮像素子。

（２）

コンパレータは、入力端子と前記差動対の一方の端子との間に接続された第１のコンデンサと、

前記差動対の一方の端子に一端が接続された複数の第２コンデンサと、

前記第２コンデンサを前記第１のコンデンサと並列に接続するための複数のスイッチと、

を有する入力容量切替部を備えた、

（１）記載の固体撮像素子。

（３）

前記ノイズキャンセル信号生成回路は、前記画素電源が接続される画素電源入力部と、

前記画素電源入力部を介して入力された画素電源電圧を電流に変換して前記第１ノイズキャンセル信号を生成する第１ノイズキャンセル信号生成部と、

前記ゲイン制御信号に基づいて前記第１ノイズキャンセル信号のゲイン切替及び極性反転を行うゲイン切替／反転回路と、

を備えた（１）又は（２）記載の固体撮像素子。

（４）

前記ゲイン切替／反転回路は、前記第１ノイズキャンセル信号の電流量に比例する電流量を流すことが可能な互いに並列接続された複数のトランジスタで構成された第１トランジスタ群と、前記第１トランジスタ群に直列に接続され、所定の定電流を流すことが可能な互いに並列接続された複数のトランジスタで構成された第２トランジスタ群と、前記第１トランジスタ群に並

列に接続され、前記第２ノイズキャンセル信号を出力可能な第３トランジスタ群と、を備える、

（３）記載の固体撮像素子。

（５）

前記第３トランジスタ群と、カレントミラー回路を構成し、前記第２ノイズキャンセル信号のゲインを調整して出力可能な第４トランジスタ群を備える、

（４）記載の固体撮像素子。

（６）

前記ゲイン切替／反転回路と、ＤＡ変換器とは、隣設あるいは近接して配置されている、（３）乃至（５）のいずれか一項記載の固体撮像素子。

（７）

前記コンパレータは、チップの周縁部に配置され、

前記ＤＡ変換器は、チップの中央部に配置されている、

（１）乃至（６）のいずれか一項記載の固体撮像素子。

（８）

画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

前記画素に電力を供給する画素電源に接続され、前記画素電源の電源ノイズをキャンセルするための第１ノイズキャンセル信号を生成し、前記第１ノイズキャンセル信号に対し、ゲイン制御信号に基づくゲイン切替及び極性反転を行って第２ノイズキャンセル信号として出力するノイズキャンセル信号生成回路と、

ｒａｍｐ信号である参照信号を生成し出力すると共に前記第２ノイズキャンセル信号の電流を電圧に変えてｒａｍｐ信号に重畳させるＤＡ変換器と、

前記参照信号及び前記画素信号が差動対の一方の端子に接続された入力容量を介してコンパレータ本体に入力され、画素信号とゲイン設定に応じたタイミングを持つ反転信号を出力するコンパレータと、

前記コンパレータの反転タイミングをディジタル値に変換するカウンタと、

前記参照信号の傾き及び前記入力容量を変更して前記コンパレータのゲイン制御を行うに際し、前記入力容量の変更量に基づく前記ゲイン制御信号を出力するゲイン制御部と、

前記カウンタの出力に基づいて画像データの処理を行う画像データ処理部と、

を備えた電子機器。

符号の説明

[0110] １０　固体撮像素子

１１　画素

１２　ＰＳＲＲ補正回路

１３　ＤＡ変換器

１４　ＵＬＶコンパレータ

１５　ゲイン制御部

１６　負荷ＭＯＳトランジスタ

１７　シングルスロープＡＤ変換器

１８　カウンタ

２１　フォトダイオード

２２　転送トランジスタ

２３　浮遊拡散領域

２４　増幅トランジスタ

２５　選択トランジスタ

３１　ゲイン切替／反転回路

３５　可変電流源

３６　出力抵抗

４１　入力容量可変部

４２　コンパレータ本体部

４３　基準電圧保持コンデンサ

５１　コンダクタンス固定バイアス部

５２　バイアス部

５３　入力センス部

５４　位相調整部

５５　位相調整部

５６　ＰチャネルＭＯＳトランジスタ

５８　ゲイン調整部

５９　画素電源入力端子

７３　ＮチャネルＭＯＳトランジスタ

７３Ｇ　ＰチャネルＭＯＳトランジスタ群

７４　ＰチャネルＭＯＳトランジスタ

７４　ＰチャネルＭＯＳトランジスタ群

７４Ｇ　ＰチャネルＭＯＳトランジスタ群

７５　ＮチャネルＭＯＳトランジスタ

７５Ｇ　ＮチャネルＭＯＳトランジスタ群

７６　ＰチャネルＭＯＳトランジスタ

７６Ｇ　ＰチャネルＭＯＳトランジスタ群

Ｃ１１、Ｃ１２、Ｃ１５　コンデンサ

Ｃ１３、Ｃ１４　可変容量コンデンサ

ＧＣ１～ＧＣ３　ゲイン制御信号

ＧＰＷ　画素電源

ＬＣ　下チップ

ＬＧ　画素側電流ライン

ＬＲ　参照側電流ライン

ＮＣ０　ノイズキャンセル信号

ＮＣ１　ノイズキャンセル信号（第１ノイズキャンセル信号）

ＰＲＣ　画像データ処理部

ＰＷ　電源部

ＲＡＭＰ　ｒａｍｐ信号

ＳＷ１～ＳＷ５　スイッチ

ＴＩＮ　画素側入力端子

ＴＴＲ　参照信号入力端子

ＴＴＶ　画素信号入力端子

ＵＣ　上チップ

ＶＳＬ　垂直信号線、画素信号

ＸＮＣ１　逆極性ノイズキャンセル信号（第２ノイズキャンセル信号）

請求の範囲

[請求項1] 画素信号を出力する画素と、

前記画素に電力を供給する画素電源に接続され、前記画素電源の電源ノイズをキャンセルするための第１ノイズキャンセル信号を生成し、前記第１ノイズキャンセル信号に対し、ゲイン制御信号に基づくゲイン切替及び極性反転を行って第２ノイズキャンセル信号として出力するノイズキャンセル信号生成回路と、

ｒａｍｐ信号である参照信号を生成し出力すると共に前記第２ノイズキャンセル信号の電流を電圧に変えて前記参照信号に重畳させるＤＡ変換器と、

前記参照信号及び前記画素信号が差動対の一方の端子に接続された入力容量を介してコンパレータ本体に入力され、画素信号とゲイン設定に応じたタイミングを持つ反転信号を出力するコンパレータと、

前記コンパレータの反転タイミングをディジタル値に変換するカウンタと、

前記参照信号の傾き及び前記入力容量を変更して前記コンパレータのゲイン制御を行うに際し、前記入力容量の変更量に基づく前記ゲイン制御信号を出力するゲイン制御部と、

を備えた固体撮像素子。

[請求項2] コンパレータは、入力端子と前記差動対の一方の端子との間に接続された第１のコンデンサと、

前記差動対の一方の端子に一端が接続された複数の第２コンデンサと、

前記第２コンデンサを前記第１のコンデンサと並列に接続するための複数のスイッチと、

を有する入力容量切替部を備えた、

請求項１記載の固体撮像素子。

[請求項3] 前記ノイズキャンセル信号生成回路は、前記画素電源が接続される

画素電源入力部と、

前記画素電源入力部を介して入力された画素電源電圧を電流に変換して前記第１ノイズキャンセル信号を生成する第１ノイズキャンセル信号生成部と、

前記ゲイン制御信号に基づいて前記第１ノイズキャンセル信号のゲイン切替及び極性反転を行うゲイン切替／反転回路と、

を備えた請求項１記載の固体撮像素子。

[請求項4] 前記ゲイン切替／反転回路は、前記第１ノイズキャンセル信号の電流量に比例する電流量を流すことが可能な互いに並列接続された複数のトランジスタで構成された第１トランジスタ群と、前記第１トランジスタ群に直列に接続され、所定の定電流を流すことが可能な互いに並列接続された複数のトランジスタで構成された第２トランジスタ群と、前記第１トランジスタ群に並列に接続され、前記第２ノイズキャンセル信号を出力可能な第３トランジスタ群と、を備える、

請求項３記載の固体撮像素子。

[請求項5] 前記第３トランジスタ群と、カレントミラー回路を構成し、前記第２ノイズキャンセル信号のゲインを調整して出力可能な第４トランジスタ群を備える、

請求項４記載の固体撮像素子。

[請求項6] 画素信号をそれぞれ出力する複数の画素がアレイ状に配置された画素アレイ部と、

前記画素に電力を供給する画素電源に接続され、前記画素電源の電源ノイズをキャンセルするための第１ノイズキャンセル信号を生成し、前記第１ノイズキャンセル信号に対し、ゲイン制御信号に基づくゲイン切替及び極性反転を行って第２ノイズキャンセル信号として出力するノイズキャンセル信号生成回路と、

ｒａｍｐ信号である参照信号を生成し出力すると共に前記第２ノイズキャンセル信号の電流を電圧に変えて前記参照信号に重畳させるＤ

Ａ変換器と、

前記参照信号及び前記画素信号が差動対の一方の端子に接続された入力容量を介してコンパレータ本体に入力され、画素信号とゲイン設定に応じたタイミングを持つ反転信号を出力するコンパレータと、

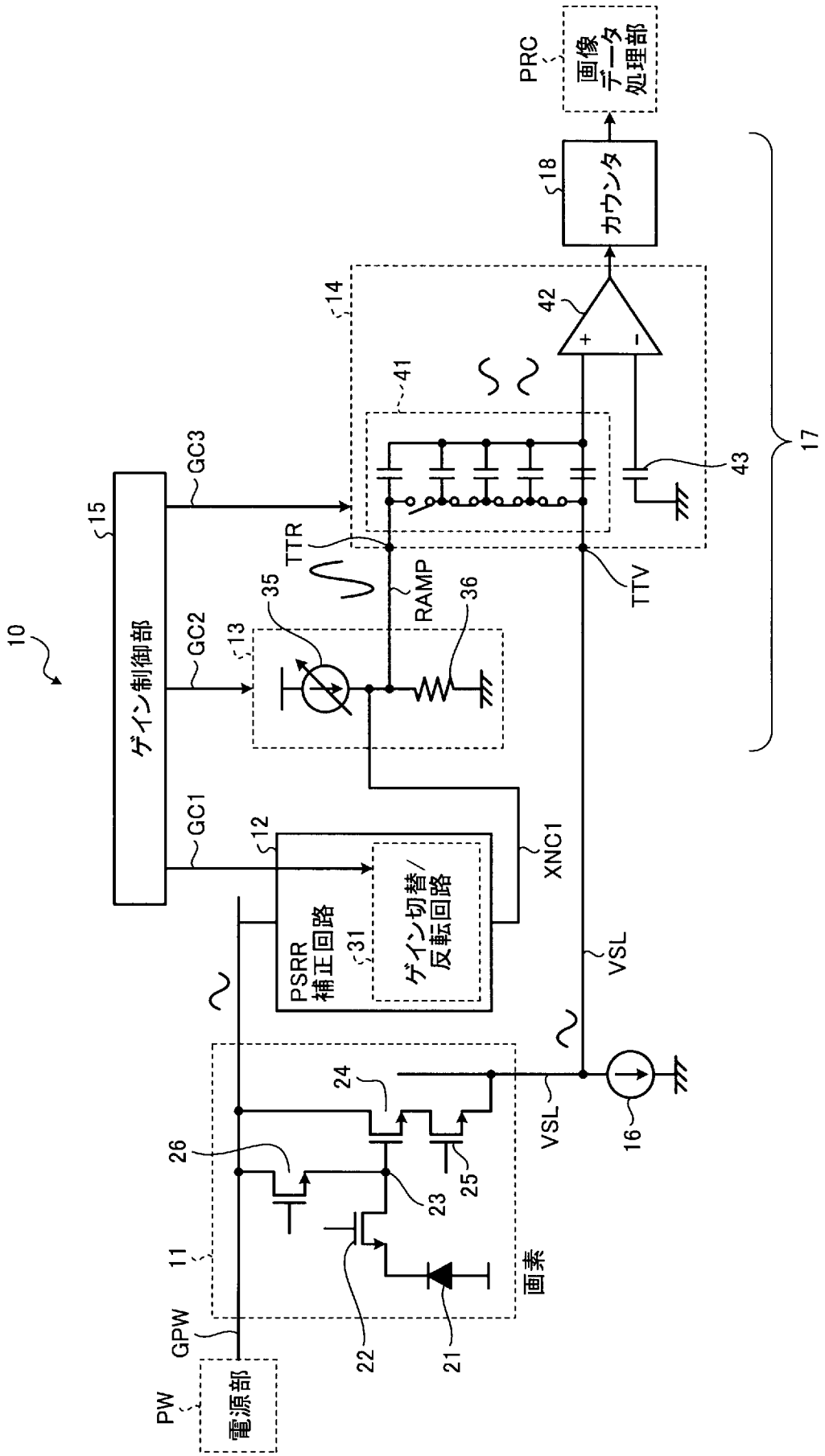
前記コンパレータの反転タイミングをディジタル値に変換するカウンタと、

前記参照信号の傾き及び前記入力容量を変更して前記コンパレータのゲイン制御を行うに際し、前記入力容量の変更量に基づく前記ゲイン制御信号を出力するゲイン制御部と、

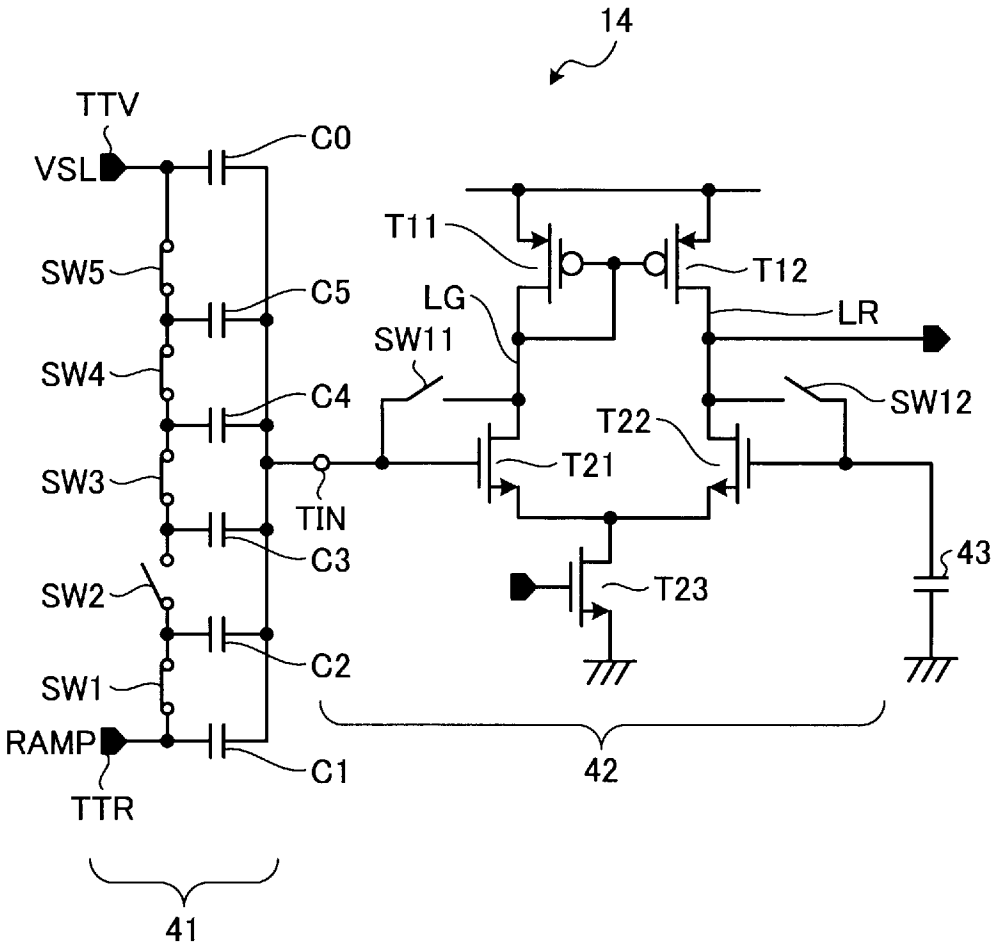
前記カウンタの出力に基づいて画像データの処理を行う画像データ処理部と、

を備えた電子機器。

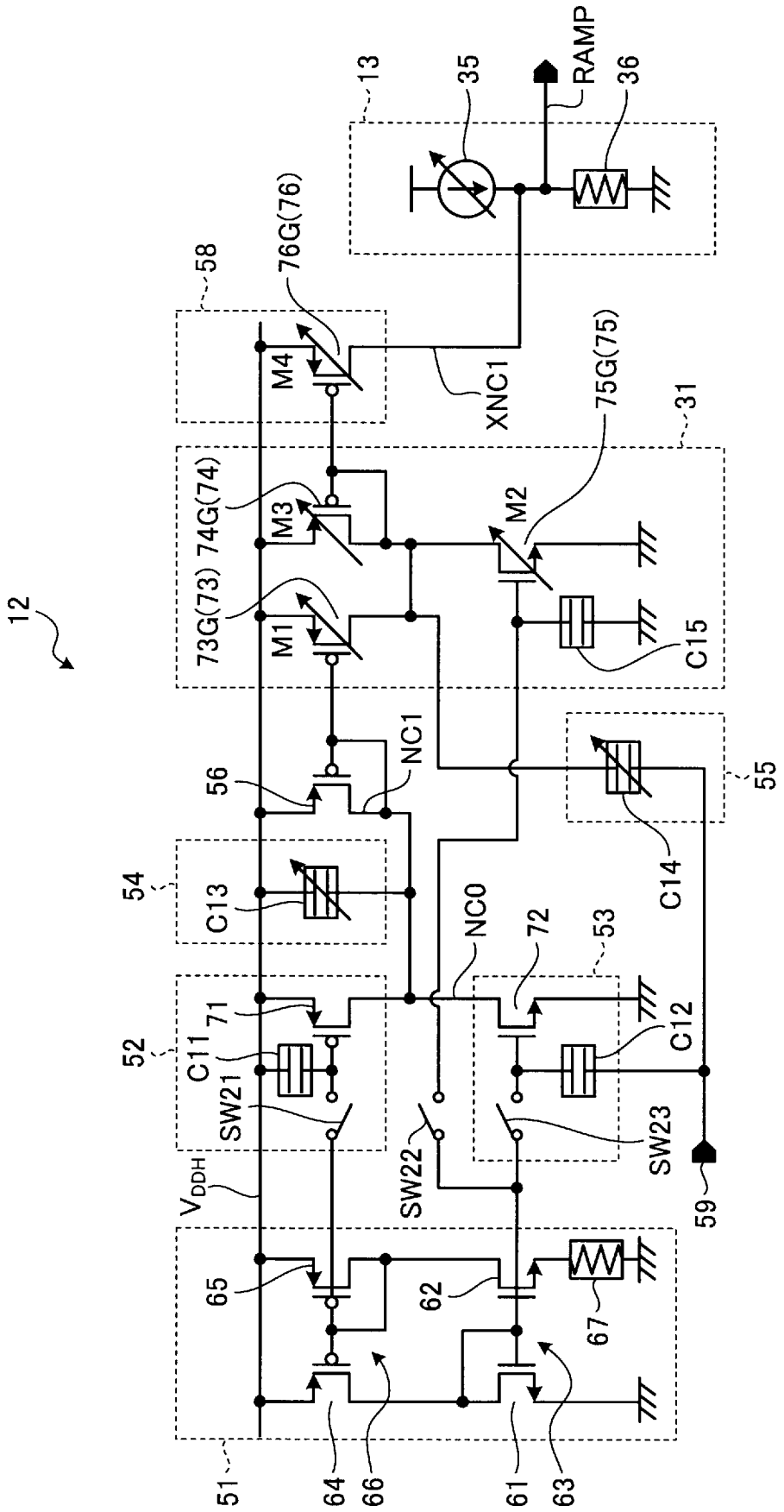
[図1]


10
ゲイン制御部
15
GC3
GC2
GC1
13
12
PSRR
補正回路
31
ゲイン切替/
反転回路
XNC1
TTR
RAMP
TTV
35
36
14
41
42
43
17
18
カウンタ
PRC
画像
データ
処理部
VSL
VSL
16
24
26
25
23
11
画素
GPW
PW
電源部
22
21

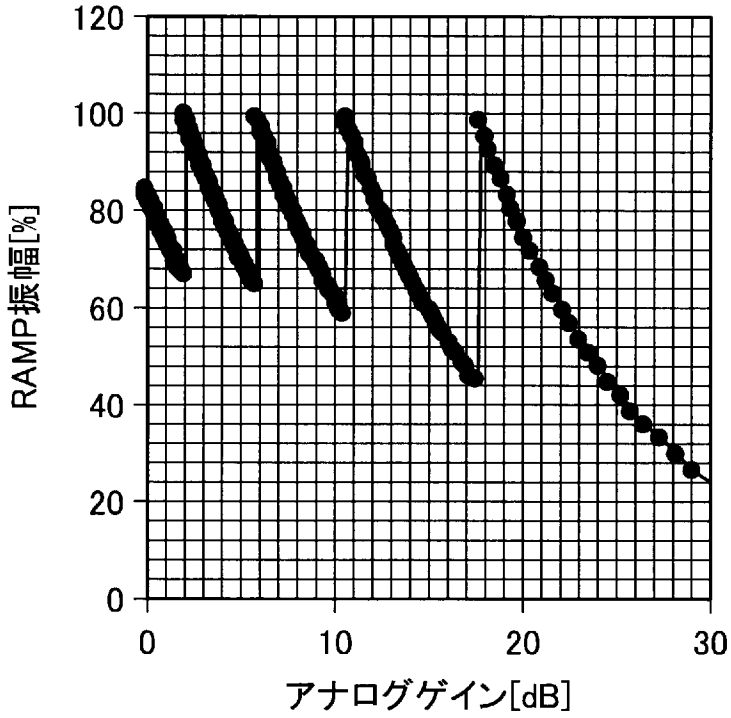
[図2]


14
TTV
VSL
C0
SW5
C5
SW4
C4
SW3
TIN
C3
SW2
C2
SW1
RAMP
C1
TTR
41
T11
T12
LG
LR
SW11
SW12
T22
T21
T23
43
42

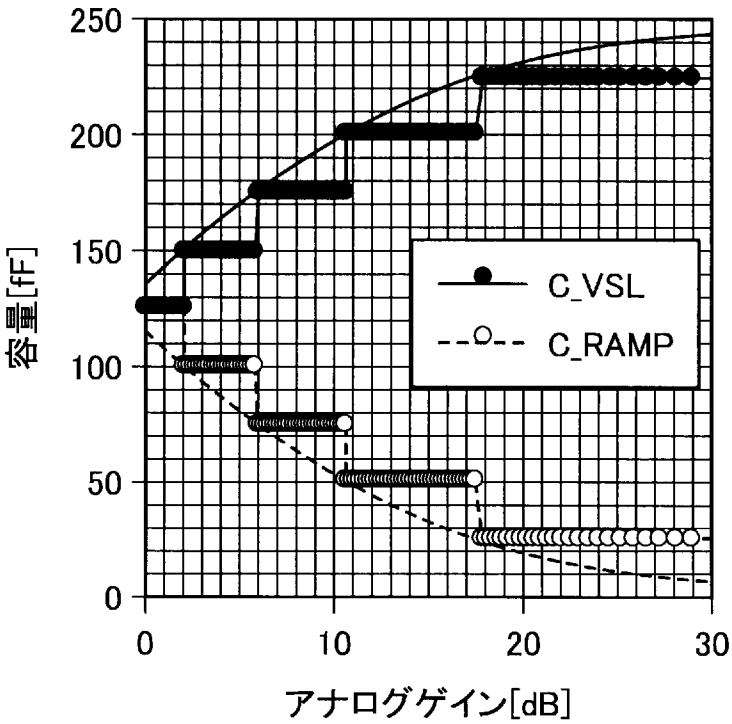
[図3]


12
13
35
RAMP
36
58
76G(76)
M4
XNC1
75G(75)
31
74G(74)
M3
M2
73G(73)
M1
C15
NC1
56
55
C14
54
C13
NC0
72
53
52
71
C11
C12
SW21
SW22
SW23
V_{DDH}
59
65
62
67
51
64
66
61
63

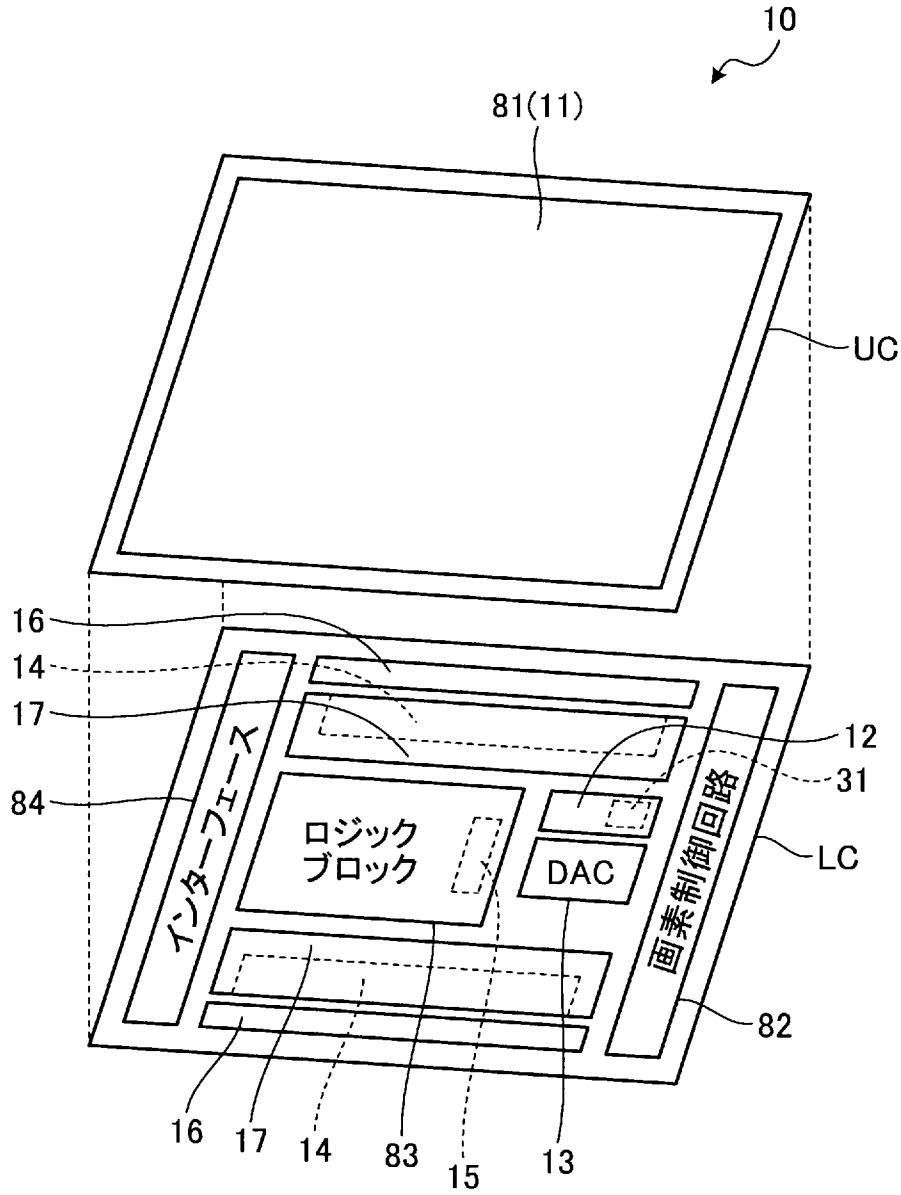
[図4]


120
100
80
60
40
20
0
RAMP振幅[%]
0
10
20
30
アナログゲイン[dB]

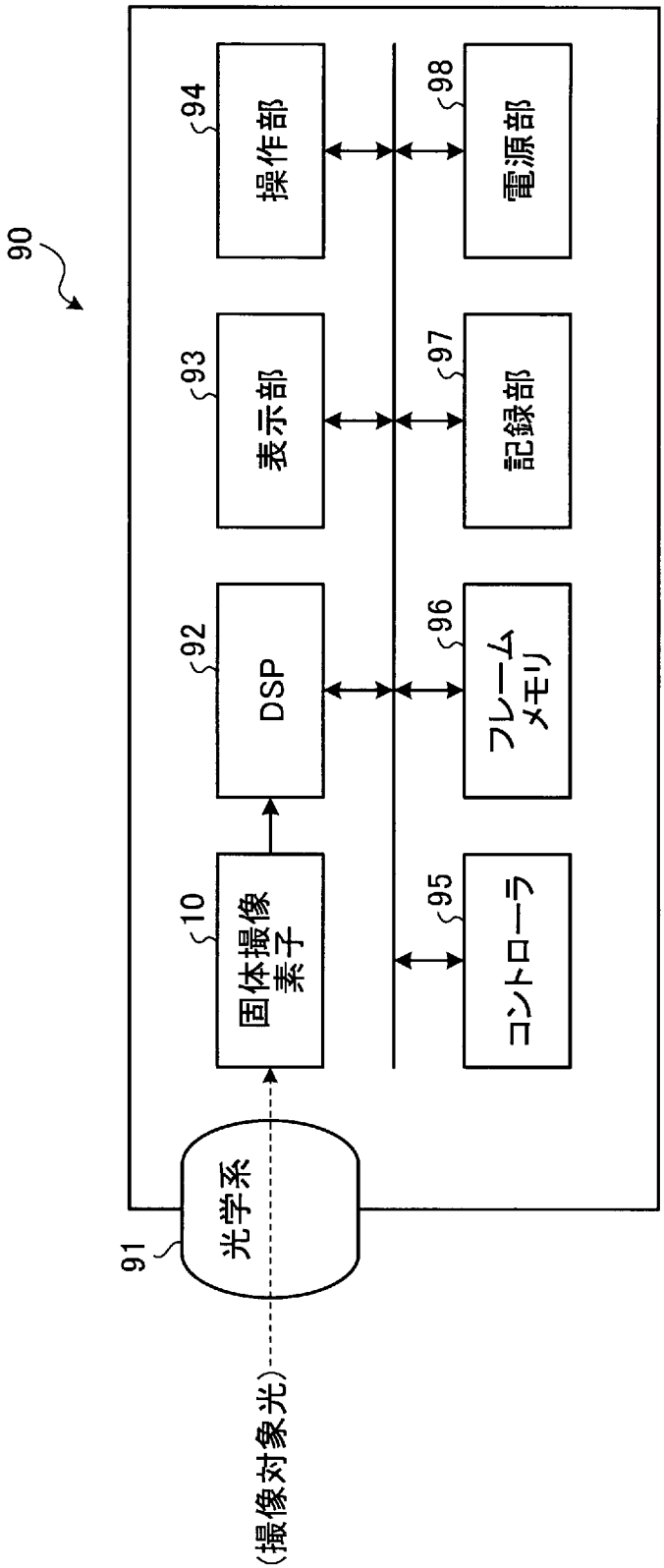
[図5]


250
200
150
100
50
0
容量[fF]
C_VSL
C_RAMP
0
10
20
30
アナログゲイン[dB]

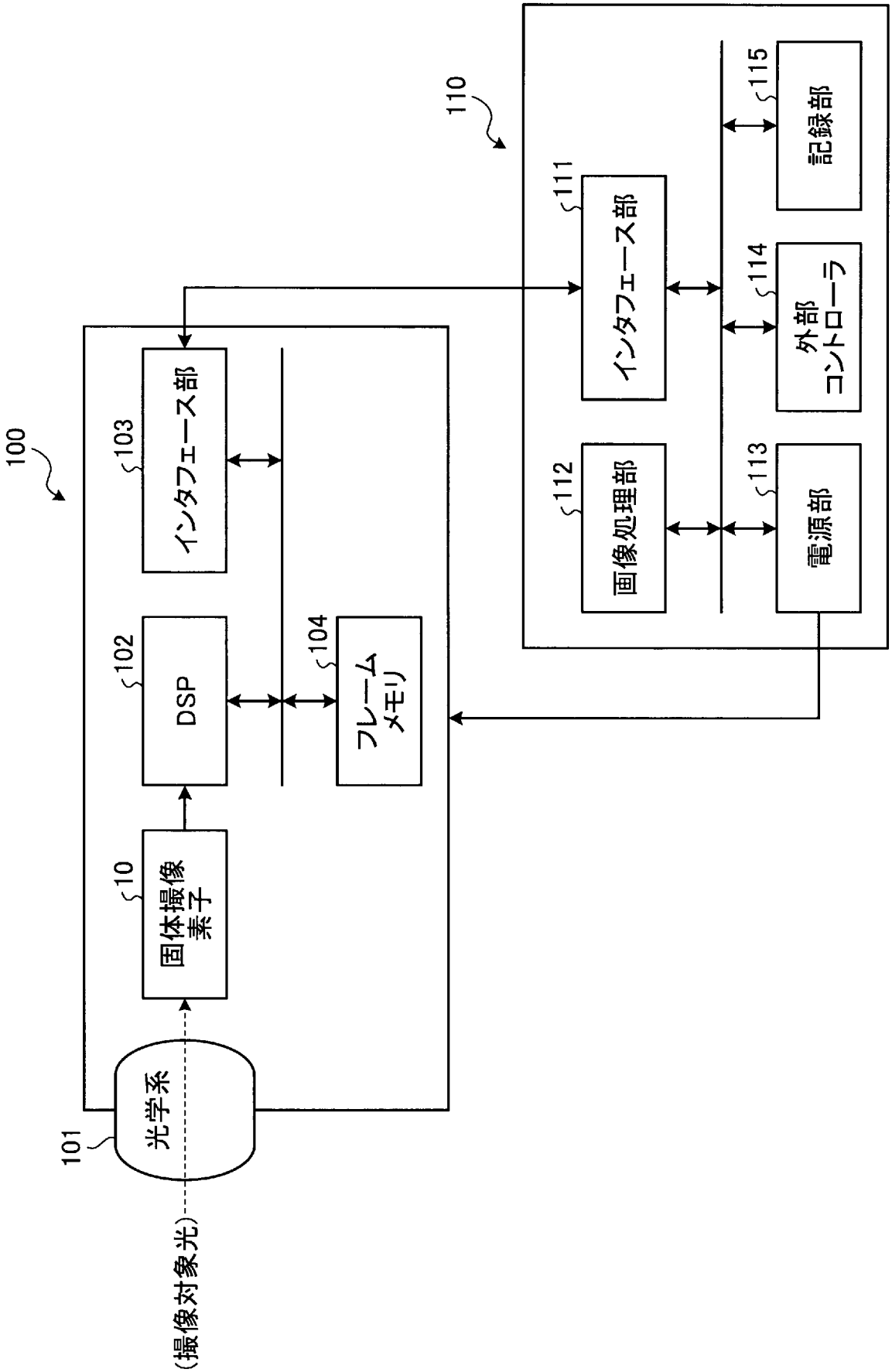
[図6]


10
81(11)
UC
16
14
17
12
31
84
インターフェース
ロジック
ブロック
DAC
画素制御回路
LC
82
16
17
14
83
15
13

[図7]


90
91
光学系
10
固体撮像素子
92
DSP
93
表示部
94
操作部
95
コントローラ
96
フレームメモリ
97
記録部
98
電源部
(撮像対象光)

[図8]


100
101
光学系
(撮像対象光)
10
固体撮像素子
102
DSP
103
インタフェース部
104
フレームメモリ
110
111
インタフェース部
112
画像処理部
113
電源部
114
外部コントローラ
115
記録部

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/035240

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H04N5/378(2011.01)i, H03K5/08(2006.01)i, H03M1/08(2006.01)i, H03M1/56(2006.01)i, H04N5/357(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H04N5/378, H03K5/08, H03M1/08, H03M1/56, H04N5/357

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/159394 A1 (SONY CORP.) 21 September 2017, entire text & US 2019/0068902 A1, entire text & EP 3432574 A1 & CN 108702470 A & KR 10-2018-0122608 A	1-6
A	JP 2013-126015 A (SONY CORP.) 24 June 2013, entire text (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 21 November 2019 (21.11.2019)	Date of mailing of the international search report 03 December 2019 (03.12.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/035240

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/030007 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 23 February 2017, entire text & US 2018/0234649 A1, entire text & CN 107925731 A	1-6

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０３５２４０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/378(2011.01)i, H03K5/08(2006.01)i, H03M1/08(2006.01)i, H03M1/56(2006.01)i, H04N5/357(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/378, H03K5/08, H03M1/08, H03M1/56, H04N5/357

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２０１９年
日本国実用新案登録公報　１９９６－２０１９年
日本国登録実用新案公報　１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2017/159394 A1 (ソニー株式会社) 2017.09.21,全文 & US 2019/0068902 A1,全文 & EP 3432574 A1 & CN 108702470 A & KR 10-2018-0122608 A	1-6
A	JP 2013-126015 A (ソニー株式会社) 2013.06.24,全文 (ファミリーなし)	1-6

☑　Ｃ欄の続きにも文献が列挙されている。　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２１．１１．２０１９	０３．１２．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｖ　８３９１
橘　高志
電話番号　０３－３５８１－１１０１　内線　３５７１

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2017/030007 A1（ソニーセミコンダクタソリューションズ株式会社） 2017.02.23,全文 & US 2018/0234649 A1,全文 & CN 107925731 A	1-6