



(12) 实用新型专利

(10) 授权公告号 CN 201690267 U

(45) 授权公告日 2010. 12. 29

(21) 申请号 201020216319. 5

(22) 申请日 2010. 06. 04

(73) 专利权人 上海致达智利达系统控制有限公司

地址 201517 上海市金山区吕巷镇吕廊公路 32 号

(72) 发明人 崔大勇 邱锡为 王治国 张志成 潘运平

(74) 专利代理机构 上海翼胜专利商标事务所 (普通合伙) 31218

代理人 刁文魁 翟羽

(51) Int. Cl.

H02J 9/04 (2006. 01)

H02H 7/26 (2006. 01)

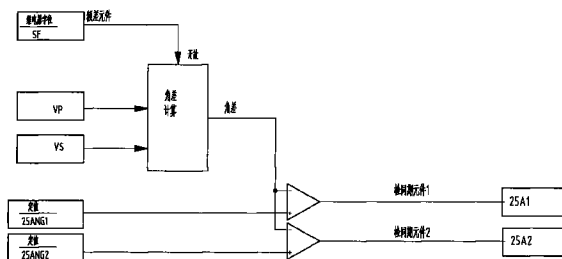
权利要求书 1 页 说明书 4 页 附图 5 页

(54) 实用新型名称

一种能实现电厂核电站用电快切的综合保护装置

(57) 摘要

本实用新型提供了一种能实现电厂核电站用电快切的综合保护装置,至少包含中央处理单元、检测单元、数码转换单元、快切控制单元以及故障警报单元,所述中央处理单元内部集成中央处理器、双精度浮点处理器以及乘法累加处理器,所述中央处理单元还包括二个 10/100 快速以太网控制器接口、四个通用可编程同步 / 异步收发器接口、一个 USB2.0 接口、一个直接存储访问控制器接口、一个 I²C 总线接口和两个 CAN 总线接口,所述中央处理器的最高工作频率为 200MHz,所述中央处理单元采用外部晶振,其频率为 50MHz。本实用新型在对工作电源进线、备用电源进线进行保护的同时,能实现工作电源与备用电源之间的快速切换。



1. 一种能实现电厂核电站用电快切的综合保护装置,至少包含中央处理单元、检测单元、数码转换单元、快切控制单元以及故障警报单元,其特征在于,所述中央处理单元内部集成中央处理器、双精度浮点处理器以及乘法累加处理器,所述中央处理单元还包括二个 10/100 快速以太网控制器接口、四个通用可编程同步 / 异步收发器接口、一个 USB2.0 接口、一个直接存储访问控制器接口、一个 I²C 总线接口和两个 CAN 总线接口,所述中央处理器的最高工作频率为 200MHZ,所述中央处理单元采用外部晶振,其频率为 50MHZ。

2. 根据权利要求 1 所述的能实现电厂核电站用电快切的综合保护装置,其特征在于,所述快切控制单元包含手动切换模块和事故切换模块,所述快切控制单元根据所述检测单元的信号选择启动手动切换模块或事故切换模块。

3. 根据权利要求 1 或 2 所述的能实现电厂核电站用电快切的综合保护装置,其特征在于,所述快切控制单元还包含切换后加速保护逻辑模块,一旦在合闸后检测到过流,所述切换后加速保护逻辑模块即采取瞬时跳闸保护。

一种能实现电厂核电站用电快切的综合保护装置

【技术领域】

[0001] 本实用新型涉及发电厂站继电保护和自动化控制领域,特别是涉及一种能实现电厂核电站用电快切的综合保护装置。

【背景技术】

[0002] 大型火电厂和核电站中的中压厂用电系统担负着保障主要发电设备正常运行所设置的辅助机械电气设备工作以及照明、检修、试验工作所需的电源供给,厂、站用电系统的可靠性直接关系到发变组、电厂、乃至整个电力系统的可靠运行。厂、站用电都是最重要的负荷,用电系统必须能满足发电厂、站的正常运行、事故处理和检修试验等需求,并尽量缩小厂、站用电系统发生故障时的影响范围。即便如第三代核电站具有非能动的安全性措施,稳定可靠的站用电对核电设施的安全运行也是至关重要的。

[0003] 大型发电厂一般采用中压系统(10KV或6KV)作为厂用电,为保证可靠性,都采用两路电源,一路工作电源,一路备用电源。当工作电源进线开关跳闸,母线失压时,备用电源进线开关自动投入,切换到备用电源上供电。在运行时,有些时候如设备检修,需要将工作电源供电方式转换为由备用电源供电(或者由备用电源转为工作电源)。厂用系统是否可靠,直接影响发变机组连续安全稳定运行,因而工作电源与备用电源之间的切换就显得极为重要,所以国内大型发电厂的厂用电一般都配置独立的厂用电切换装置来实现这些操作。因此,提供一种可靠的电厂核电站用电快切的综合保护装置是十分必要的。

【发明内容】

[0004] 本实用新型是一种在综合保护装置中对工作电源进线、备用电源进线进行保护的同时,实现工作电源与备用电源之间的快速切换的装置,其能同时实现保护和快切功能。本实用新型对常规综合保护装置的硬件配置作了优化调整,使装置具有的极强的保护、测量功能和可编程逻辑能力,可作为一个开发的平台,在这个平台上再进行二次开发,保护工程师可以根据实际系统和运行情况,编制特定的保护和快切控制方案,从而在综合保护装置中实现保护加快切功能。

[0005] 本实用新型的技术方案如下:

[0006] 一种能实现电厂核电站用电快切的综合保护装置,至少包含中央处理单元、检测单元、数码转换单元、快切控制单元以及故障警报单元,所述中央处理单元内部集成中央处理器、双精度浮点处理器以及乘法累加处理器,所述中央处理单元还包括二个10/100快速以太网控制器接口、四个通用可编程同步/异步收发器接口、一个USB2.0接口、一个直接存储访问控制器接口、一个I²C总线接口和两个CAN总线接口,所述中央处理器的最高工作频率为200MHZ,所述中央处理单元采用外部晶振,其频率为50MHZ。

[0007] 其中,所述快切控制单元包含手动切换模块和事故切换模块,所述快切控制单元根据所述检测单元的信号选择启动手动切换模块或事故切换模块。

[0008] 所述快切控制单元还包含切换后加速保护逻辑模块,一旦在合闸后检测到过流,

所述切换后加速保护逻辑模块即采取瞬时跳闸保护。

[0009] 本实用新型的有益效果在于：□

[0010] (1) 本实用新型能实现电厂核电站用电快切的综合保护装置减少了设备数量，简化了回路，提高了厂用电系统的可靠性；

[0011] (2) 保护装置内部实现了保护闭锁快切和快切后加速，减少了外部连接，提高了系统的安全性；

[0012] (3) 对于大型核电、核岛厂用电都配置柴油发电机作为应急备用电源，常规的快切装置一般只能针对两路电源，而本方法采用可编程功能及分散式布置，完全能应对三电源工作方式。

【附图说明】

[0013] 图 1 为本实用新型一种能实现核电站用电快切的综合保护装置的简要框图。

[0014] 图 2 为本实用新型的保护快切逻辑图。

[0015] 图 3 为本实用新型的工作母线失电后母线反馈电压与备用电源压差 ΔU 的变化轨迹图。

[0016] 图 4(a) ~ 图 4(c) 为本实用新型的同期元件原理图。

【具体实施方式】

[0017] 下面结合实施例并参照附图对本实用新型作进一步描述。

[0018] 图 1 为本实用新型一种能实现核电站用电快切的综合保护装置的简要框图。一种能实现电厂核电站用电快切的综合保护装置，至少包含中央处理单元 300、检测单元 100、数码转换单元 200、快切控制单元 400 以及故障警报单元 500，所述中央处理单元 300 内部集成中央处理器、双精度浮点处理器以及乘法累加处理器，所述中央处理单元还包括二个 10/100 快速以太网控制器接口、四个通用可编程同步 / 异步收发器接口、一个 USB2.0 接口、一个直接存储访问控制器接口、一个 I²C 总线接口和两个 CAN 总线接口，所述中央处理器的最高工作频率为 200MHZ，所述中央处理单元采用外部晶振，其频率为 50MHZ。

[0019] 其中，所述快切控制单元 400 包含手动切换模块和事故切换模块，所述快切控制单元根据所述检测单元的信号选择启动手动切换模块或事故切换模块。

[0020] 所述快切控制单元 400 还包含切换后加速保护逻辑模块，一旦在合闸后检测到过流，所述切换后加速保护逻辑模块即采取瞬时跳闸保护。

[0021] 为了确保了保护和快切元件的处理和响应速度，中央处理单元 300 选用飞思卡尔的 ColdFire™MC5485，这是一块具有 ColdFire V4 内核引擎的综合处理器，内部集成了 V4 中央处理器 CPU、双精度浮点处理器 FPU 和类 DSP 功能的增强的乘法累加处理器 EMAC。MC5485 还具有丰富的外设接口，包括二个 10/100 快速以太网控制器、四个通用可编程 USRT/USART 串行控制器、一个 USB 2.0、一个 DMA、一个 I²C 和二一个 CAN。CPU 的最高工作频率可达 200MHz。中央处理单元 300 采用外部晶振，频率 50MHz，通过芯片内部的 PLL 回路倍频到芯片工作频率。MC5485 支持 DDR(Double Data Rate)SDRAM，最大寻址范围达 1GB，片内提供 32K 指令 Cache 和 32K 数据 Cache，同时还提供 32K 系统存储空间。装置配置两块 MICRON 公司的 MT48LC16M32B2 SDRAM 芯片，总容量达到 64M；另外，配置 ATMEL 的 AT24C08B EEPROM 芯片，存

放定值和参数,该芯片采用两线 I²C 总线,可以直接和 MC5485 接口。

[0022] 常规的综合保护装置一般都采用两块 CPU,其中一块采用 DSP 处理数据采样、滤波处理、保护判据和出口逻辑,而另一块 CPU 负责通信和人机界面。两片 CPU 的数据交换一般采用双口 RAM,本装置与常规保护装置最大的不同之处是充分利用 MC5485 内部 DSP 单元增强的乘法累计处理单元强大的处理能力,MC5484 的 EMAC 采用四阶段的处理管道,对 32×32 位的乘法进行了优化,支持整数和小数操作,在一块 CPU 上实现所有采样、滤波、保护、逻辑和通信界面功能,极大地降低了的硬件的和软件的复杂程度,提高了系统的响应速度。

[0023] 数码转换单元 200 的数码转换芯片采用 Cirrus Logic 的 CS5581 DS ADC,由于采用了微分累加 (Delta-Sigma) 技术,所以该芯片具有很高的 A/D 转换速率和转换精度,最大转换速率可达 200K Sps,通过多路切换器,可对多个通道的模拟量进行 A/D 转换。以综保快切装置 8 个交流模拟输入量来计算,每一个模拟量每周波采样点数可达 256 次,比普通综保每周波 32 点的采样速度高 8 倍。正是有了如此高的采样速率和处理速度做后盾,装置才有能力对快速变化的模拟量及时地测量、分析、计算,并作出正确的反应。

[0024] 在软件设计上,充分利用了 CPU 和 AD 转换器的强大能力,例如,对于模拟量,除采用常规的快速傅立叶 (FFT) 滤波算法,用于模拟量测量值外,对于保护元件,更引入半个和一个周波的余弦 (COSINE) 滤波算法,能更有效地去除基波频率以外地各种谐波;对于同期元件,不仅计算电压幅值差、频率差、相角差,还计算频率滑差的变化率,在差频同期方式,对合闸时间精确地补偿。

[0025] 参见图 2 为本实用新型的保护快切逻辑图,如图 2 所示,逻辑图中包含手动合闸 10,合闸条件 20,快切合闸 30,保护 40 以及装置故障警告 50,其中,合闸条件 20 包含线路有压母线无压 21,线路有压母线有压 22,快切合闸 30 包含快切 31,残压切 32,保护 40 包含故障 41,去耦合 42,后加速 43。其中,实现快切的最核心问题是同期元件,同期元件的测量精度和响应速度,在很大程度上决定了快切装置的最佳同期点捕捉能力和快切的成功率。

[0026] 参见图 4(a)~图 4(c) 所示,为本发明同期元件的原理图,其中,图 4(b) 为电压 VP 与 VS 无频差、差额 < 0.005HZ 或整定 TCLOSD = 0 时,同期元件的工作状况;图 4(c) 为电压 VP 与 VS 有频差,0.005HZ < 差额 < 定值 25SF,并且整定 TCLOSD 不等于 0 时,同期元件的工作状况。

[0027] 由此,本实用新型在对常规的综合保护装置的硬件进行了细致的分析的基础上,结合快切装置的特点,针对系统处理能力薄弱环节,提出了全新的硬件结构,确保了保护和快切元件的处理和响应速度。

[0028] 快切控制单元 400 包含手动切换模块和事故切换模块,为了防止事故切换中由于工作进线开关因电气、机械原因机构拒动导致两电源并列运行,又一次向故障点提供故障电流,引起故障扩大,还专门设置了切换后加速保护逻辑,一旦在合闸后检测到过流,以及瞬时跳闸。切换条件支持快速切换、同期切换和母线残压切换。具体而言:

[0029] 手动切换模块:当接收到 DCS 合闸命令,而外部又没有闭锁合闸信号,如备变保护跳闸、母线保护跳闸等闭锁信号时,保护装置启动手动切换,等待合闸条件满足,此时合闸条件分为检无压合闸和检同期合闸,检无压合闸相当于串联切换,确认进线开关跳开后母线无压,合上备用开关;检同期合闸相当于并联切换,先合上备用电源开关,由于两个电源为同一个系统,为同频合环操作,装置的同期元件能检测到这种状况,自动切换到同频同期

检测方式,只要两个电源的相角差小于整定值,就允许合闸。

[0030] 事故切换模块:当保护厂变保护等启动快切后,如果此时无外部闭锁信号如备变保护跳闸、母线保护跳闸等,并且投入快切功能时,启动快切,此时装置根据情况自动选择快切。由于进线开关跳闸,厂用母线上庞大的电动机群其中部分会转为发电机运行方式,反馈到母线上,另外部分电动机将惰行,使得母线电压和频率都呈衰减,母线与备用电源之间存在频差、压差和相角差,参见图3。同期元件工作模式切换到差频同期方式,并对合闸时间补偿,当计算出的合闸角度小于整定的相角差时,即在图3的AB段时,由于此时两个电源之间的角度正在变大,所以就不再寻求过零度合闸的时机,就立刻发出合闸命令。如果在不能在AB段实现切换时,则因为相角差已经超过定值,在BC段将不寻求快切合闸,而要到CA段再进行同期切换,由于此时母线的电压和频率都已有显著下降,且两个电源之间的相角差正在逐步接近,装置能够根据频率差自动补偿合闸时间,在相角差为0度时合闸,减少对电动机和系统的冲击。如果因某种原因不能在这段时间内合闸,装置将转到残压切换模式,至母线电压降低,连接在母线上所有电动机跳闸后,进行残压切换,减少因冷负荷启动产生的过流对系统的冲击。

[0031] 以上所述仅是本实用新型的优选实施方式,应当指出,对于本技术领域的普通技术人员,在不脱离本实用新型构思的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本实用新型的保护范围内。

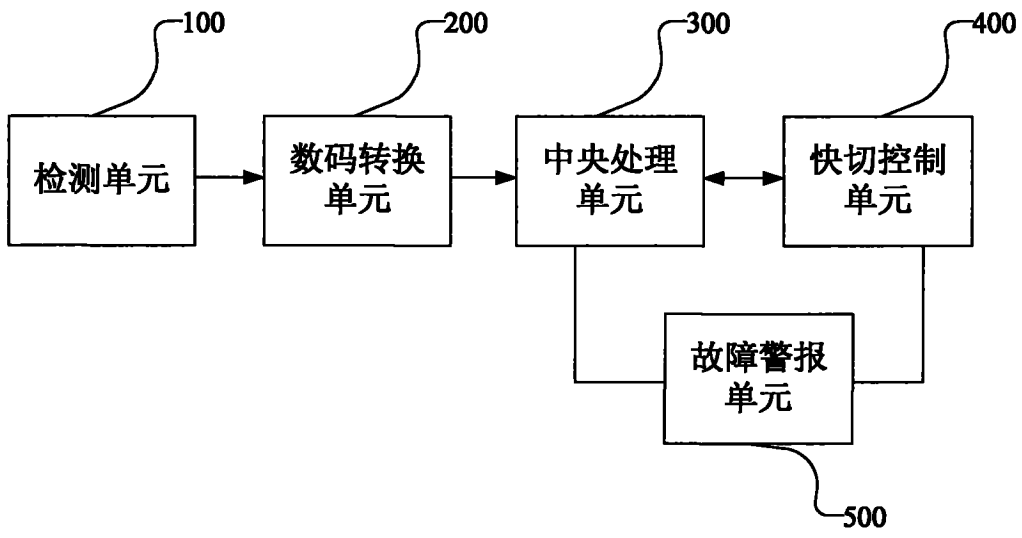


图 1

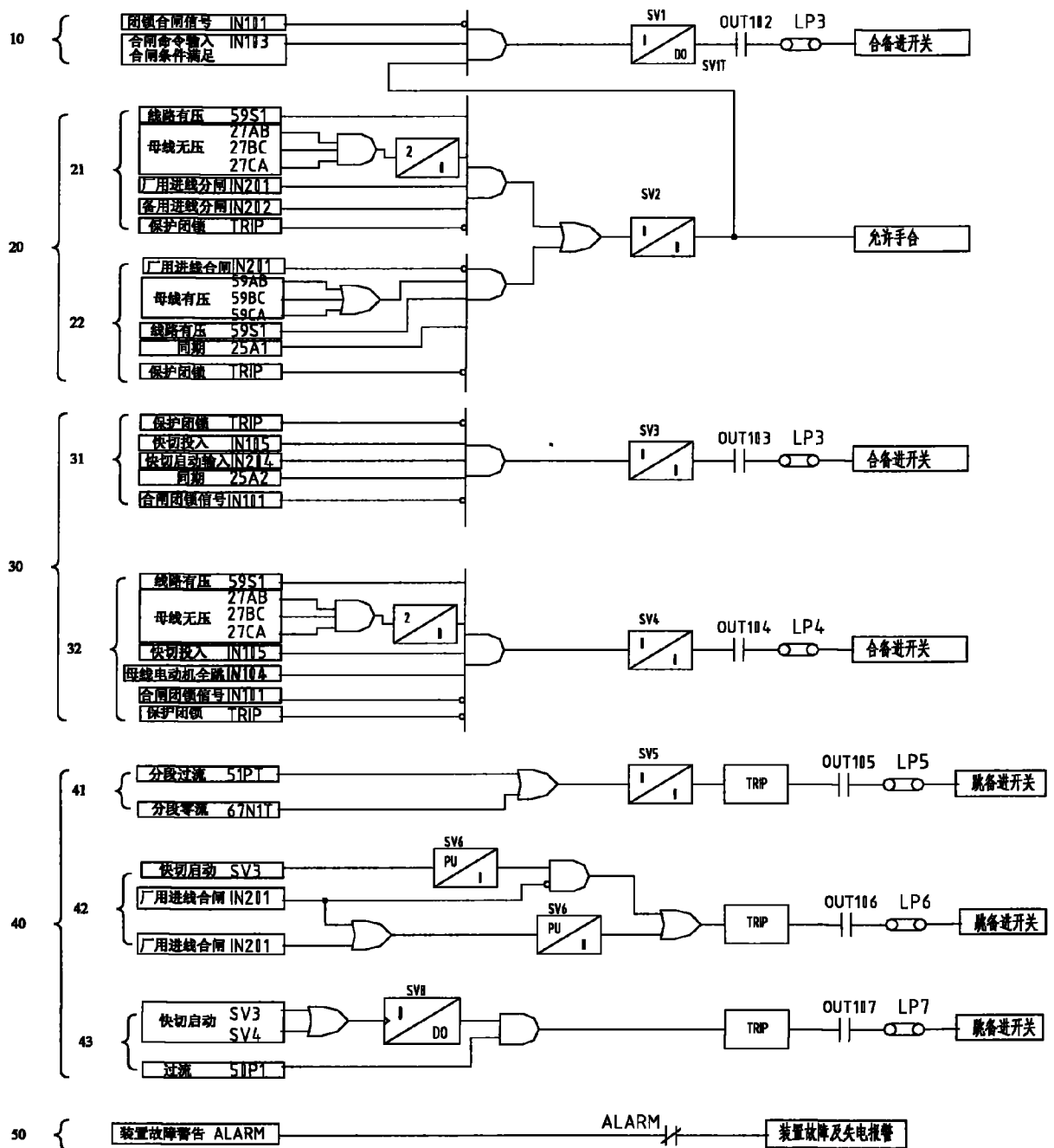


图 2

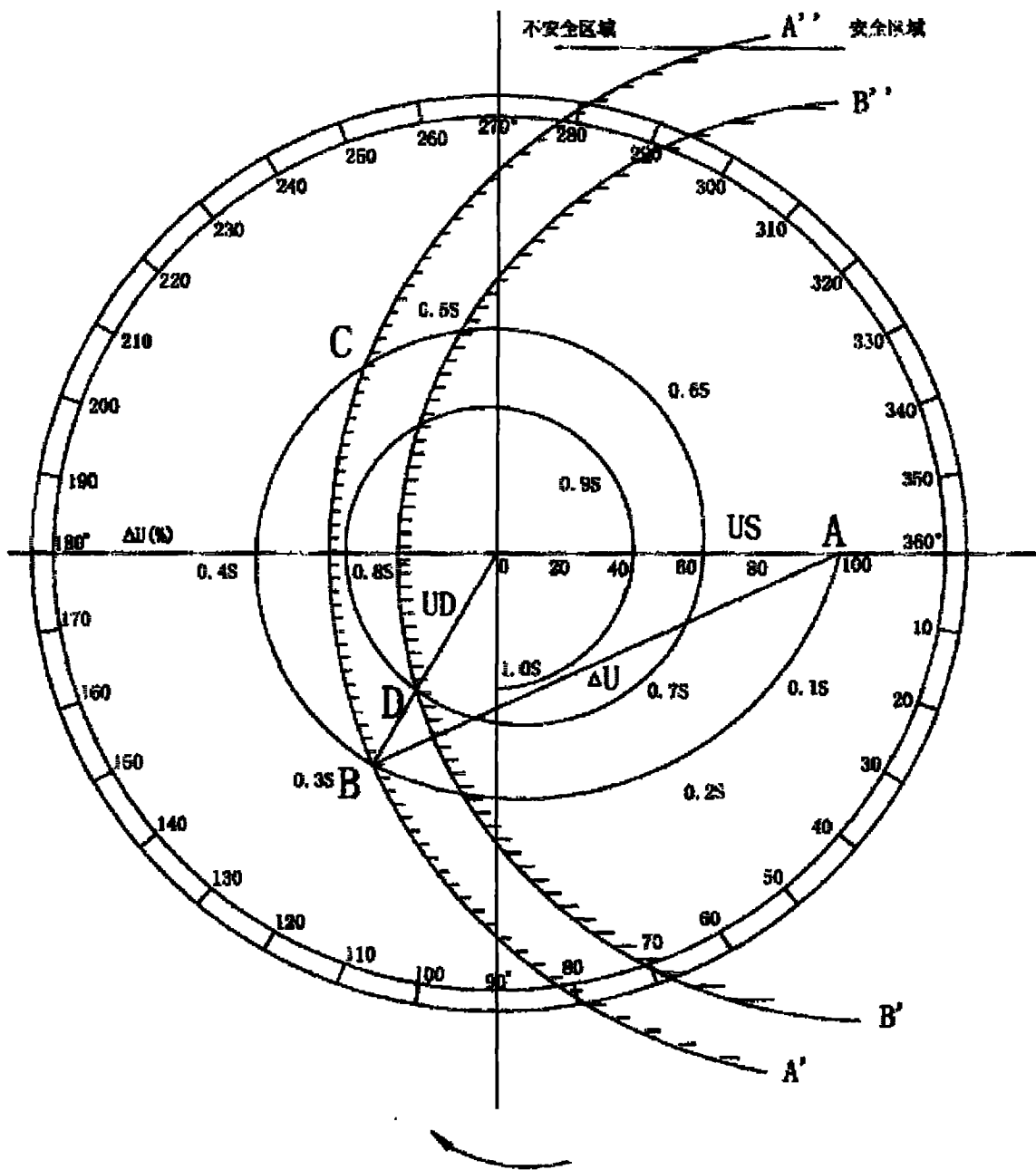


图 3

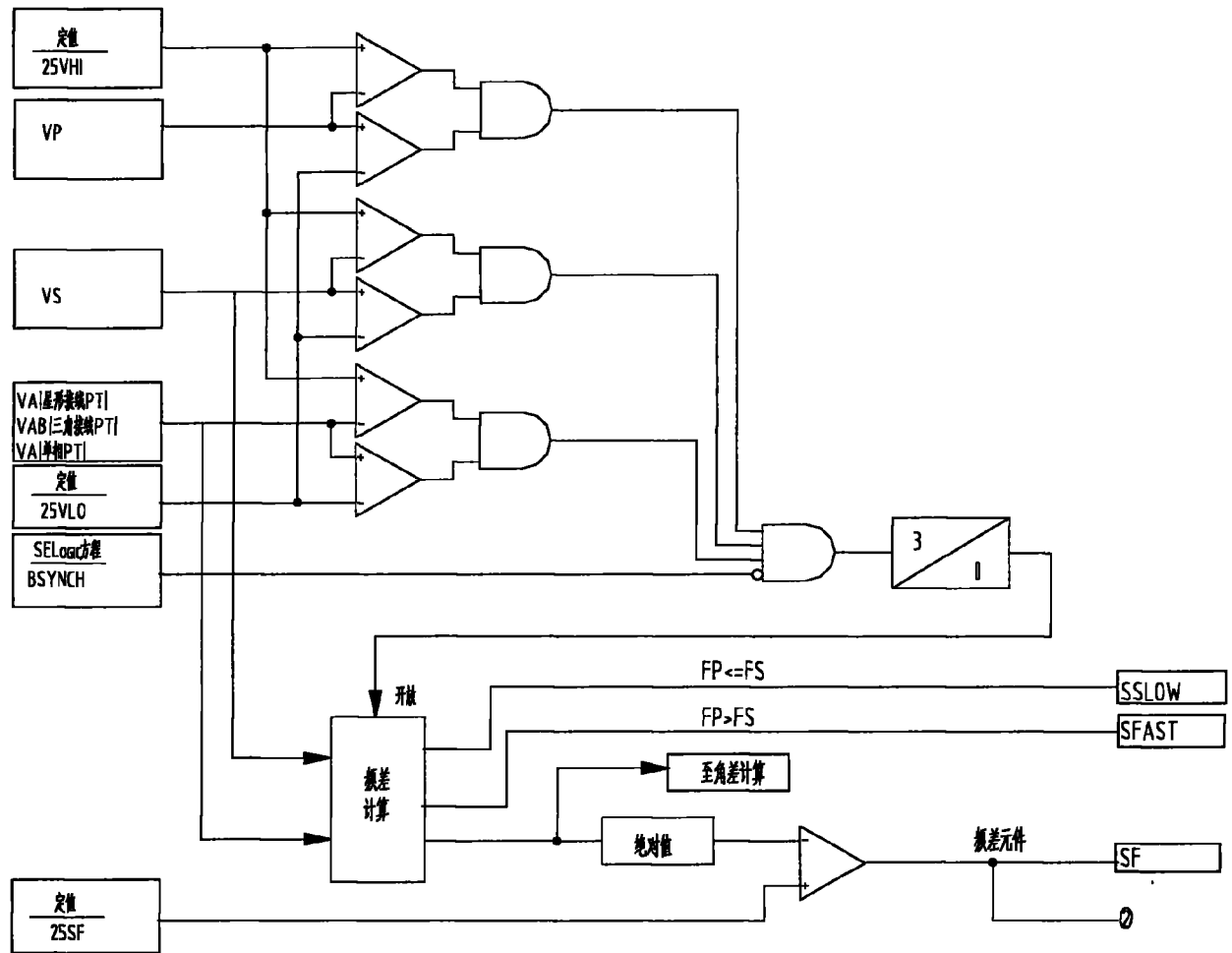


图 4(a)

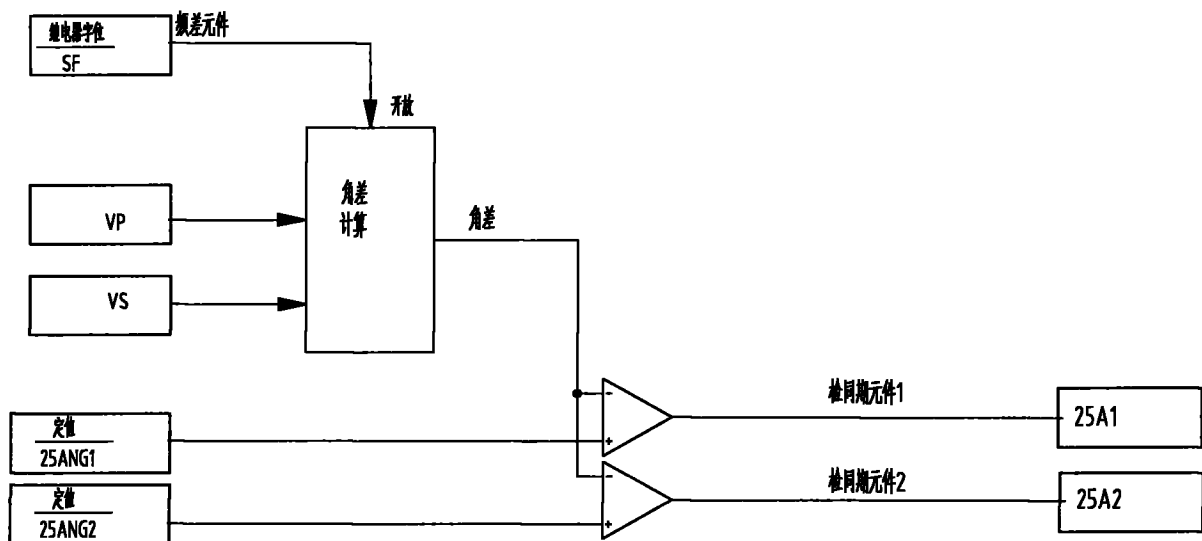


图 4(b)

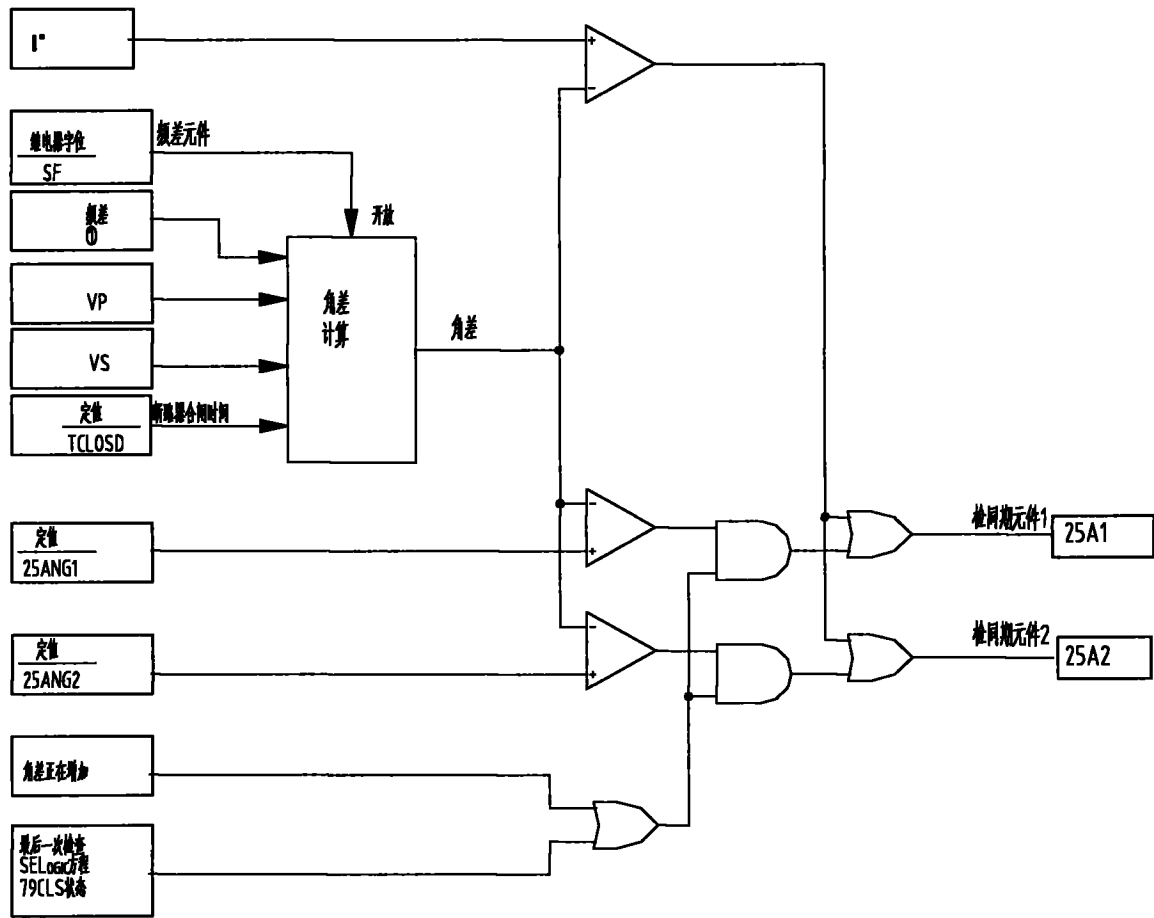


图 4(c)