

(43) 国際公開日
2016 年 3 月 17 日(17.03.2016)



(10) 国際公開番号

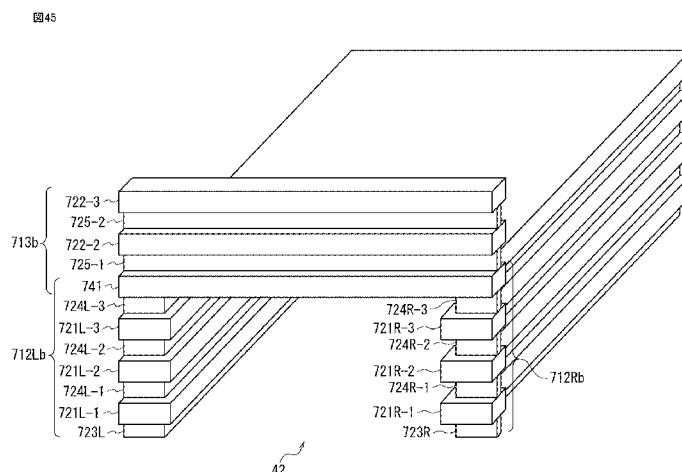
WO 2016/039151 A1

- | | |
|---|--|
| <p>(51) 国際特許分類:
 <i>H01L 27/146</i> (2006.01) <i>H01L 23/522</i> (2006.01)
 <i>H01L 21/3205</i> (2006.01) <i>H01L 27/04</i> (2006.01)
 <i>H01L 21/768</i> (2006.01) <i>H01L 27/14</i> (2006.01)
 <i>H01L 21/822</i> (2006.01) <i>H04N 5/369</i> (2011.01)</p> | <p>(74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.);
 〒1600023 東京都新宿区西新宿 7 丁目 5 番 2 5
 号 西新宿木村屋ビルディング 9 階 Tokyo (JP).</p> |
| <p>(21) 国際出願番号: PCT/JP2015/074133</p> | <p>(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.</p> |
| <p>(22) 国際出願日: 2015 年 8 月 27 日(27.08.2015)</p> | |
| <p>(25) 国際出願の言語: 日本語</p> | |
| <p>(26) 国際公開の言語: 日本語</p> | |
| <p>(30) 優先権データ:
 特願 2014-183388 2014 年 9 月 9 日(09.09.2014) JP</p> | |
| <p>(71) 出願人: ソニー株式会社 (SONY CORPORATION)
 [JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1
 号 Tokyo (JP).</p> | <p>(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
 ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
 ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
 OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).</p> |
| <p>(72) 発明者: 大石 秀俊 (OISHI Hidetoshi); 〒1080075
 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会
 社内 Tokyo (JP). 泉原 邦彦 (IZUHARA Kunihiko);
 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソ
 ニー株式会社内 Tokyo (JP).</p> | |

[続葉有]

(54) Title: SOLID-STATE IMAGING ELEMENT AND ELECTRONIC DEVICE

(54) 発明の名称：固体撮像素子、並びに、電子機器



(57) Abstract: The present technology relates to a solid-state imaging element that is configured such that the manufacturing cost of the solid-state imaging element can be reduced, and also relates to an electronic device. A first substrate, which has a pixel circuit including a pixel array unit, and a second substrate, which has a first signal processing circuit and a second signal processing circuit which are arranged side by side across a scribe region, are layered on each other. The second substrate is provided with: a first moisture-proof ring that surrounds at least part of the periphery of the first signal processing circuit; a second moisture-proof ring that surrounds at least part of the periphery of the second signal processing circuit; a third moisture-proof ring that is on a different layer from that of the first moisture-proof ring and second moisture-proof ring and surrounds at least part of the periphery of the second substrate; and moisture-proof barrier parts that separate a first region, which is located between the first moisture-proof ring and second moisture-proof ring, and a second region, which is at least partially surrounded by the third moisture-proof ring, from each other. The present technology can be applied, for example, to a solid-state imaging element such as a CMOS image sensor.

(57) 要約:

〔続葉有〕

WO 2016/039151 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本技術は、固体撮像素子の製造コストを削減することができるようにする固体撮像素子、並びに、電子機器に関する。画素アレイ部を含む画素回路を備える第 1 の基板と、スクライプ領域を介して並ぶ第 1 の信号処理回路及び第 2 の信号処理回路を備える第 2 の基板とが積層されている。第 2 の基板は、第 1 の信号処理回路の周囲の少なくとも一部を囲む第 1 の耐湿リングと、第 2 の信号処理回路の周囲の少なくとも一部を囲む第 2 の耐湿リングと、第 1 の耐湿リング及び第 2 の耐湿リングと異なる層において第 2 の基板の周囲の少なくとも一部を囲む第 3 の耐湿リングと、第 1 の耐湿リングと第 2 の耐湿リングとの間の第 1 の領域と、第 3 の耐湿リングにより周囲の少なくとも一部が囲まれる第 2 の領域との間を隔て、耐湿性を有する障壁部とを備える。本技術は、例えば、CMOS イメージセンサ等の固体撮像素子に適用できる。

明 細 書

発明の名称 : 固体撮像素子、並びに、電子機器

技術分野

[0001] 本技術は、固体撮像素子、並びに、電子機器に関し、特に、積層構造の固体撮像素子、並びに、積層構造の固体撮像素子を備える電子機器に関する。

背景技術

[0002] 従来、露光装置の露光範囲より面積が大きい固体撮像素子を製造する場合、固体撮像素子を複数の領域に分割し、分割領域毎に露光する分割露光が用いられている（例えば、特許文献1参照）。

[0003] また、従来、固体撮像素子の開口率を向上させるために、画素アレイ部を含む画素回路と信号処理回路とをそれぞれ異なる半導体基板に形成し、2つの半導体基板を積層し、電氣的に接続する積層技術が用いられている（例えば、特許文献2参照）。

[0004] そして、例えば、露光装置の露光範囲より面積が大きい積層構造の固体撮像素子を製造する場合、各半導体基板に対して分割露光が行われる。

[0005] また、従来、小さな単位に切り離し可能なマルチコア半導体装置において、小さな単位に切り離した場合にコア間を接続する相互接続配線を伝って水分が浸入するのを防止する技術が提案されている（例えば、特許文献3参照）。

先行技術文献

特許文献

[0006] 特許文献1：特許第2902506号公報

特許文献2：特許第4497844号公報

特許文献3：特開2013-21131号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、分割露光では、分割領域毎に異なるフォトリソを用いた

り、分割領域の接続部分において高精度な位置合わせが必要となり、製造プロセスが複雑化し、製造コストが上昇する。

[0008] 一方で、製造コストを削減するにしても、特許文献3に記載の発明のように、耐湿性を確保し、固体撮像素子の信頼性の低下を防止する必要がある。

[0009] そこで、本技術は、固体撮像素子の信頼性を低下させずに、製造コストを削減することができるようにするものである。

課題を解決するための手段

[0010] 本技術の第1の側面の固体撮像素子は、画素アレイ部を含む画素回路を備える第1の基板と、スクライプ領域を介して並ぶ第1の信号処理回路及び第2の信号処理回路を備える第2の基板とが積層され、前記第2の基板は、前記第1の信号処理回路の周囲の少なくとも一部を囲む第1の耐湿リングと、前記第2の信号処理回路の周囲の少なくとも一部を囲む第2の耐湿リングと、前記第1の耐湿リング及び前記第2の耐湿リングと異なる層において前記第2の基板の周囲の少なくとも一部を囲む第3の耐湿リングと、前記第1の耐湿リングと前記第2の耐湿リングとの間の第1の領域と、前記第3の耐湿リングにより周囲の少なくとも一部が囲まれる第2の領域との間を隔て、耐湿性を有する障壁部とを備える。

[0011] 前記障壁部には、信号の伝送に用いられない配線であるダミー配線を含めることができる。

[0012] 前記障壁部には、複数の配線層に形成されている複数の前記ダミー配線、及び、異なる配線層の前記ダミー配線を接続するビアを含めることができる。

[0013] 前記障壁部の少なくとも一部において、第1の配線層における前記ダミー配線、及び、前記第1の配線層に隣接する第2の配線層における前記ダミー配線を、前記スクライプ領域が延びる第1の方向、又は、前記第1の方向に垂直な第2の方向において交互に配置させることができる。

[0014] 前記第1の配線層と前記第2の配線層のうち前記第3の耐湿リングに近い方の配線層において、前記第1の信号処理回路と前記第2の信号処理回路と

を接続する配線を形成することができる。

[0015] 前記第2の基板に、前記第1の耐湿リング及び前記第2の耐湿リングと所定の間隔を空けて、前記スクライプ領域の周囲の少なくとも一部を囲むように形成されている第4の耐湿リングをさらに設け、前記障壁部には、前記第1の領域と前記第2の領域との間のうち、前記第1の耐湿リングと前記第4の耐湿リングとの間の第3の領域と前記第2の領域の間、及び、前記第2の耐湿リングと前記第4の耐湿リングとの間の第4の領域と前記第2の領域の間を隔てさせることができる。

[0016] 前記第1の耐湿リング及び前記第2の耐湿リングを含む層の少なくとも一部を、一括露光により形成し、前記第3の耐湿リング及び前記障壁部を含む層を、分割露光により形成することができる。

[0017] 前記障壁部を含む層と隣接する層との間の層間絶縁膜は、low-K膜により形成することができる。

[0018] 前記第3の耐湿リングを含む層において、前記第1の信号処理回路と前記第2の信号処理回路とを接続する配線を形成することができる。

[0019] 前記画素回路を、分割露光により形成し、各前記信号処理回路の少なくとも一部の層を、一括露光により形成することができる。

[0020] 本技術の第2の側面の電子機器は、画素アレイ部を含む画素回路を備える第1の基板と、スクライプ領域を介して並ぶ第1の信号処理回路及び第2の信号処理回路を備える第2の基板とが積層され、前記第2の基板は、前記第1の信号処理回路の周囲の少なくとも一部を囲む第1の耐湿リングと、前記第2の信号処理回路の周囲の少なくとも一部を囲む第2の耐湿リングと、前記第1の耐湿リング及び前記第2の耐湿リングと異なる層において前記第2の基板の周囲の少なくとも一部を囲む第3の耐湿リングと、前記第1の耐湿リングと前記第2の耐湿リングとの間の第1の領域と、前記第3の耐湿リングにより周囲の少なくとも一部が囲まれる第2の領域との間を隔て、耐湿性を有する障壁部とを備える固体撮像素子を含む。

[0021] 本技術の第1の側面又は第2の側面においては、第1の耐湿リングと第2

の耐湿リングとの間の第１の領域から、第３の耐湿リングにより周囲の少なくとも一部が囲まれる第２の領域への水分の浸入が防がれる。

発明の効果

[0022] 本技術の第１又は第２の側面によれば、固体撮像素子の信頼性を低下させずに、製造コストを削減することができる。

図面の簡単な説明

[0023] [図１]本技術の第１の実施の形態に係る固体撮像素子を模式的に示す斜視図である。

[図２]第１の実施の形態に係る固体撮像素子の画素回路及び信号処理回路の具体的な構成を示す回路図である。

[図３]第１の実施の形態に係る固体撮像素子の信号処理部の具体的な構成例を示すブロック図である。

[図４]第１の実施の形態に係る固体撮像素子のロジック基板のレイアウトを模式的に示す図である。

[図５]信号処理回路の接続方法の例を示す図である。

[図６]第１の実施の形態に係る固体撮像素子の撮像処理を説明するための図である。

[図７]信号処理回路の左右の設定方法について説明するための図である。

[図８]信号処理回路の左右の設定方法について説明するための図である。

[図９]第１の実施の形態に係る固体撮像素子の製造方法を説明するための図である。

[図１０]第１の実施の形態に係る固体撮像素子の製造方法を説明するための図である。

[図１１]第１の実施の形態に係る固体撮像素子の製造方法を説明するための図である。

[図１２]第１の実施の形態に係る固体撮像素子の製造方法を説明するための図である。

[図１３]第１の実施の形態に係る固体撮像素子の製造方法を説明するための図

である。

[図14]本技術の第2の実施の形態に係る固体撮像素子を模式的に示す斜視図である。

[図15]第2の実施の形態に係る固体撮像素子の撮像処理を説明するための図である。

[図16]第2の実施の形態に係る固体撮像素子の製造方法を説明するための図である。

[図17]第2の実施の形態に係る固体撮像素子の製造方法を説明するための図である。

[図18]第2の実施の形態に係る固体撮像素子の製造方法を説明するための図である。

[図19]第2の実施の形態に係る固体撮像素子の製造方法を説明するための図である。

[図20]本技術の第3の実施の形態に係る固体撮像素子を模式的に示す斜視図である。

[図21]本技術の第3の実施の形態に係る固体撮像素子を模式的に示す断面図である。

[図22]信号処理回路の接続方法の例を示す図である。

[図23]画素AD変換方式を採用した場合の画素基板とロジック基板の構成例を模式的に示す図である。

[図24]回路間配線層の配線と耐湿リングとの干渉を回避するようにしたロジック基板の第1の実施の形態を模式的に示す平面図である。

[図25]耐湿リングの第1の実施の形態を模式的に示す断面図である。

[図26]耐湿リングの第1の実施の形態を模式的に示す斜視図である。

[図27]回路間配線層の配線と耐湿リングとの干渉を回避するようにしたロジック基板の第2の実施の形態を模式的に示す平面図である。

[図28]耐湿リングの第2の実施の形態を模式的に示す第1の断面図である。

[図29]耐湿リングの第2の実施の形態を模式的に示す第1の斜視図である。

[図30]耐湿リングの第2の実施の形態を模式的に示す第2の断面図である。

[図31]耐湿リングの第2の実施の形態を模式的に示す第2の斜視図である。

[図32]耐湿リングの第2の実施の形態を模式的に示す第3の断面図である。

[図33]耐湿リングの第2の実施の形態を模式的に示す第3の斜視図である。

[図34]耐湿リングの第2の実施の形態の製造方法を説明するための図である

。

[図35]耐湿リングの第2の実施の形態の製造方法を説明するための図である

。

[図36]耐湿リングの第2の実施の形態の製造方法を説明するための図である

。

[図37]耐湿リングの第2の実施の形態の製造方法を説明するための図である

。

[図38]耐湿リングの第2の実施の形態の製造方法を説明するための図である

。

[図39]耐湿リングの第2の実施の形態の製造方法を説明するための図である

。

[図40]耐湿リングの第2の実施の形態の製造方法を説明するための図である

。

[図41]回路間配線層の配線と耐湿リングとの干渉を回避するようにしたロジック基板の第3の実施の形態を模式的に示す平面図である。

[図42]耐湿リングの第3の実施の形態を構成するダミー配線を模式的に示すイメージ図である。

[図43]耐湿リングの第3の実施の形態を模式的に示す斜視図である。

[図44]耐湿リングの第3の実施の形態の一部の層を模式的に示す斜視図である。

[図45]耐湿リングの第4の実施の形態を模式的に示す斜視図である。

[図46]耐湿リングの第4の実施の形態の一部の層を模式的に示す斜視図である。

[図47]耐湿リングの第4の実施の形態を示すA－A断面図である。

[図48]耐湿リングの第4の実施の形態を示すB－B断面図である。

[図49]耐湿リングの第5の実施の形態を模式的に示す斜視図である。

[図50]耐湿リングの第5の実施の形態の一部の層を模式的に示す斜視図である。

[図51]耐湿リングの第5の実施の形態の一部の層を模式的に示す斜視図である。

[図52]耐湿リングの第5の実施の形態の一部の層を模式的に示す斜視図である。

[図53]耐湿リングの第5の実施の形態を示すA－A断面図である。

[図54]耐湿リングの第5の実施の形態を示すB－B断面図である。

[図55]耐湿リングの第6の実施の形態を模式的に示す斜視図である。

[図56]耐湿リングの第6の実施の形態の一部の層を模式的に示す斜視図である。

[図57]耐湿リングの第6の実施の形態の一部の層を模式的に示す斜視図である。

[図58]耐湿リングの第6の実施の形態の一部の層を模式的に示す斜視図である。

[図59]耐湿リングの第6の実施の形態を示すA－A断面図である。

[図60]耐湿リングの第6の実施の形態を示すB－B断面図である。

[図61]耐湿リングの第6の実施の形態の変形例を模式的に示す斜視図である。

[図62]耐湿リングの第6の実施の形態の変形例を示すA－A断面図である。

[図63]耐湿リングの第6の実施の形態の変形例を示すB－B断面図である。

[図64]耐湿リングの第7の実施の形態を模式的に示す斜視図である。

[図65]耐湿リングの第7の実施の形態の一部の層を模式的に示す斜視図である。

[図66]耐湿リングの第7の実施の形態の一部の層を模式的に示す斜視図であ

る。

[図67]耐湿リングの第7の実施の形態を示すA－A断面図である。

[図68]耐湿リングの第7の実施の形態を示すB－B断面図である。

[図69]耐湿リングの第7の実施の形態を模式的に示す斜視図である。

[図70]耐湿リングの第8の実施の形態を示すA－A断面図である。

[図71]耐湿リングの第8の実施の形態を示すB－B断面図である。

[図72]電子機器の構成例を示すブロック図である。

発明を実施するための形態

[0024] 以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態（信号処理回路を電氣的に接続しない例）
2. 第2の実施の形態（信号処理回路をロジック基板内で電氣的に接続する例）
3. 第3の実施の形態（信号処理回路を画素基板内で電氣的に接続する例）
4. 変形例

[0025] <1. 第1の実施の形態>

{1－1. システム構成}

図1は、本技術の第1の実施の形態に係る固体撮像素子1の構成例を模式的に示す斜視図である。なお、ここでは、固体撮像素子1がCMOSイメージセンサの場合を例に挙げて説明するが、本技術はCMOSイメージセンサへの適用に限られるものではない。

[0026] 固体撮像素子1は、画素基板11とロジック基板12が積層された構造（所謂、積層構造）の半導体チップである。また、固体撮像素子1は、裏面照射型のCMOSイメージセンサであり、画素基板11の配線層とロジック基板12の配線層とが隣接するように積層される。なお、本技術は、裏面照射型のCMOSイメージセンサへの適用に限られるものではない。

[0027] 画素基板11は、光電変換素子を含む単位画素32が行列状に2次元に配列された画素アレイ部（画素部）31を含む画素回路21が形成された半導

体基板である。また、図示は省略するが、画素回路 2 1 の画素アレイ部 3 1 を取り囲む周縁部には、例えば、外部との電氣的接続を行うためのパッドや、ロジック基板 1 2 との間での電氣的接続を行うためのビアが設けられる。画素アレイ部 3 1 の各単位画素 3 2 から得られる画素信号はアナログ信号であり、このアナログの画素信号は、画素基板 1 1 からロジック基板 1 2 へビア等を通して伝送される。

[0028] ロジック基板 1 2 は、同じ回路パターンを有する信号処理回路 4 1 L と信号処理回路 4 1 R が、スクライプ領域 4 2 を介して左右に並ぶように形成された半導体基板である。なお、この図では、図を分かりやすくするために、スクライプ領域 4 2 の幅を広く誇張して示している。これは、以下の図についても同様である。

[0029] 信号処理回路 4 1 L は、例えば、画素アレイ部 3 1 の左半分の領域内の各単位画素 3 2 から読み出されるアナログの画素信号に対して、デジタル化（A/D変換）を含む所定の信号処理を行い、信号処理が施された画素データを格納する。また、信号処理回路 4 1 L は、例えば、格納した画素データを所定の順番に読み出し、チップ外に出力する。これにより、画素アレイ部 3 1 の左半分の領域内の単位画素 3 2 により得られる画像データが、信号処理回路 4 1 L から出力される。

[0030] 信号処理回路 4 1 R は、例えば、画素アレイ部 3 1 の右半分の領域内の各単位画素 3 2 から読み出されるアナログの画素信号に対して、デジタル化（A/D変換）を含む所定の信号処理を行い、信号処理が施された画素データを格納する。また、信号処理回路 4 1 R は、例えば、格納した画素データを所定の順番に読み出し、チップ外に出力する。これにより、画素アレイ部 3 1 の右半分の領域内の単位画素 3 2 により得られる画像データが、信号処理回路 4 1 R から出力される。

[0031] また、信号処理回路 4 1 L 及び信号処理回路 4 1 R は、例えば、画素回路 2 1 との同期をとりつつ、固体撮像素子 1 の各部の制御を行う。

[0032] このように、画素基板 1 1 とロジック基板 1 2 の積層構造とすることによ

り、画素基板 1 1 の面積を、画素アレイ部 3 1 の面積と略同じにすることができる。その結果、固体撮像素子 1 の大きさを小さくし、ひいては、チップ全体のサイズを小さくできる。また、固体撮像素子 1 の開口率を上げることができる。

[0033] さらに、画素基板 1 1 には単位画素 3 2 等の作成に適したプロセスを、ロジック基板 1 2 には信号処理回路 4 1 L 及び 4 1 R の作成に適したプロセスをそれぞれ適用できるため、固体撮像素子 1 の製造に当たって、プロセスの最適化を図ることができる。

[0034] なお、画素回路 2 1 の面積は露光装置の露光範囲より大きく、分割露光が必要となる。一方、信号処理回路 4 1 L 及び信号処理回路 4 1 R の面積は、それぞれ露光装置の露光範囲より小さく、一括露光が可能である。

[0035] なお、以下、信号処理回路 4 1 L と信号処理回路 4 1 R を個々に区別する必要がない場合、単に信号処理回路 4 1 と称する。

[0036] { 1 - 2. 回路構成 }

図 2 は、固体撮像素子 1 の画素基板 1 1 側の画素回路 2 1、並びに、ロジック基板 1 2 側の信号処理回路 4 1 L 及び 4 1 R の具体的な構成を示す回路図である。なお、上述したように、画素回路 2 1 と信号処理回路 4 1 L 及び 4 1 R との電氣的な接続は、図示せぬビアを介して行われる。

[0037] (画素回路 2 1 の構成)

まず、画素基板 1 1 側の画素回路 2 1 の構成について説明する。画素回路 2 1 には、単位画素 3 2 が行列状に 2 次元に配列された画素アレイ部 3 1 の他に、ロジック基板 1 2 側から与えられるアドレス信号を基に、画素アレイ部 3 1 の各単位画素 3 2 を行単位で選択する行選択部 3 3 が設けられている。なお、ここでは、行選択部 3 3 を画素基板 1 1 側に設けるようにしたが、ロジック基板 1 2 側に設けることも可能である。

[0038] 単位画素 3 2 は、光電変換素子として、例えばフォトダイオード 5 1 を有している。また、単位画素 3 2 は、フォトダイオード 5 1 に加えて、例えば、転送トランジスタ（転送ゲート）5 2、リセットトランジスタ 5 3、増幅

トランジスタ 5 4、及び、選択トランジスタ 5 5 の 4 つのトランジスタを有している。

[0039] ここでは、4 つのトランジスタ 5 2 乃至 5 5 として、例えば N チャンネルのトランジスタが用いられている。但し、ここで例示した転送トランジスタ 5 2、リセットトランジスタ 5 3、増幅トランジスタ 5 4、及び、選択トランジスタ 5 5 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。すなわち、必要に応じて、P チャンネルのトランジスタを用いる組み合わせとすることができる。

[0040] この単位画素 3 2 に対して、当該単位画素 3 2 を駆動する駆動信号である転送信号 T R G、リセット信号 R S T、及び、選択信号 S E L が行選択部 3 3 から適宜与えられる。すなわち、転送信号 T R G が転送トランジスタ 5 2 のゲート電極に、リセット信号 R S T がリセットトランジスタ 5 3 のゲート電極に、選択信号 S E L が選択トランジスタ 5 5 のゲート電極にそれぞれ印加される。

[0041] フォトダイオード 5 1 は、アノード電極が低電位側電源（例えば、グランド）に接続されており、受光した光（入射光）をその光量に応じた電荷量の光電荷（ここでは、光電子）に光電変換してその光電荷を蓄積する。フォトダイオード 5 1 のカソード電極は、転送トランジスタ 5 2 を介して増幅トランジスタ 5 4 のゲート電極と電氣的に接続されている。増幅トランジスタ 5 4 のゲート電極と電氣的に繋がったノード 5 6 を F D（フローティングディフュージョン／浮遊拡散領域）部と呼ぶ。

[0042] 転送トランジスタ 5 2 は、フォトダイオード 5 1 のカソード電極と F D 部 5 6 との間に接続されている。転送トランジスタ 5 2 のゲート電極には、高レベル（例えば、 V_{DD} レベル）がアクティブ（以下、「H i g h アクティブ」と記述する）の転送信号 T R G が行選択部 3 3 から与えられる。この転送信号 T R G に応答して、転送トランジスタ 5 2 が導通状態となり、フォトダイオード 5 1 で光電変換された光電荷を F D 部 5 6 に転送する。

[0043] リセットトランジスタ 5 3 は、ドレイン電極が画素電源 V_{DD} に、ソース電極

がFD部56にそれぞれ接続されている。リセットトランジスタ53のゲート電極には、Highアクティブのリセット信号RSTが行選択部33から与えられる。このリセット信号RSTに応答して、リセットトランジスタ53が導通状態となり、FD部56の電荷を画素電源 V_{DD} に捨てることによって当該FD部56をリセットする。

[0044] 増幅トランジスタ54は、ゲート電極がFD部56に、ドレイン電極が画素電源 V_{DD} にそれぞれ接続されている。そして、増幅トランジスタ54は、リセットトランジスタ53によってリセットされた後のFD部56の電位をリセット信号（リセットレベル） V_{reset} として出力する。増幅トランジスタ54はさらに、転送トランジスタ52によって信号電荷が転送された後のFD部56の電位を光蓄積信号（信号レベル） V_{sig} として出力する。

[0045] 選択トランジスタ55は、例えば、ドレイン電極が増幅トランジスタ54のソース電極に、ソース電極が信号線34にそれぞれ接続されている。選択トランジスタ55のゲート電極には、Highアクティブの選択信号SELが行選択部33から与えられる。この選択信号SELに応答して、選択トランジスタ55が導通状態となり、単位画素32を選択状態として増幅トランジスタ54から出力される信号を信号線34に読み出す。

[0046] 上述したことから明らかなように、単位画素32からは、リセット後のFD部56の電位がリセットレベル V_{reset} として、次いで、信号電荷の転送後のFD部56の電位が信号レベル V_{sig} として順に信号線34に読み出されることになる。因みに、信号レベル V_{sig} には、リセットレベル V_{reset} の成分も含まれる。

[0047] なお、ここでは、選択トランジスタ55について、増幅トランジスタ54のソース電極と信号線34との間に接続する回路構成としたが、画素電源 V_{DD} と増幅トランジスタ54のドレイン電極との間に接続する回路構成を採ることも可能である。

[0048] また、単位画素32としては、上記の4つのトランジスタから成る画素構成のものに限られるものではない。例えば、増幅トランジスタ54に選択ト

ランジスタ 5 5 の機能を持たせた 3 つのランジスタから成る画素構成や、複数の光電変換素子間（画素間）で、FD 部 5 6 以降のランジスタを共用する画素構成などであっても良く、その画素回路の構成は問わない。

[0049] （信号処理回路 4 1 L 及び 4 1 R の構成）

次に、ロジック基板 1 2 側の信号処理回路 4 1 L 及び 4 1 R の構成について説明する。なお、上述したように、信号処理回路 4 1 L と信号処理回路 4 1 R は同じ回路パターンを有しており、ここでは、信号処理回路 4 1 L の構成を中心に説明する。

[0050] 信号処理回路 4 1 L は、主に画素アレイ部 3 1 の左半分の領域内の単位画素 3 2 からの画素信号の処理を行う回路である。信号処理回路 4 1 L は、電流源 6 1 L、デコーダ 6 2 L、制御部 6 3 L、行デコーダ 6 4 L、信号処理部 6 5 L、列デコーダ／センスアンプ 6 6 L、メモリ部 6 7 L、データ処理部 6 8 L、及び、インタフェース（I F）部 6 9 L を含むように構成される。

[0051] 電流源 6 1 L は、画素アレイ部 3 1 の各単位画素 3 2 から画素列毎に信号が読み出される信号線 3 4 の各々に接続されている。電流源 6 1 L は、例えば、ある一定の電流を信号線 3 4 に供給するように、ゲート電位が一定電位にバイアスされた MOS トランジスタから成る、所謂、負荷 MOS 回路の構成となっている。この負荷 MOS 回路から成る電流源 6 1 L は、選択行の単位画素 3 2 の増幅トランジスタ 5 4 に定電流を供給することにより、当該増幅トランジスタ 5 4 をソースフォロアとして動作させる。

[0052] デコーダ 6 2 L は、制御部 6 3 L による制御の下に、画素アレイ部 3 1 の各単位画素 3 2 を行単位で選択する際に、その選択行のアドレスを指定するアドレス信号を行選択部 3 3 に対して与える。

[0053] 行デコーダ 6 4 L は、制御部 6 3 L による制御の下に、メモリ部 6 7 L に画素データを書き込んだり、メモリ部 6 7 L から画素データを読み出したりする際の行アドレスを指定する。

[0054] 信号処理部 6 5 L は、少なくとも、画素アレイ部 3 1 の各単位画素 3 2 か

ら信号線34を通して読み出されるアナログ画素信号をデジタル化（AD変換）するAD変換器81L-1乃至81L-nを有する。そして、信号処理部65Lは、当該アナログ画素信号に対して画素列の単位で並列に信号処理（列並列AD）を行う構成となっている。なお、以下、AD変換器81L-1乃至81L-nを個々に区別する必要がある場合、単にAD変換器81Lと称する。

[0055] 信号処理部65Lは更に、各AD変換器81LでのAD変換の際に用いる参照電圧を生成する参照電圧生成部82Lを有する。参照電圧生成部82Lは、時間が経過するにつれて電圧値が階段状に変化する、所謂、ランプ（RAMP）波形（傾斜状の波形）の参照電圧を生成する。参照電圧生成部82Lについては、例えば、DAC（デジタルーアナログ変換）回路を用いて構成することができる。

[0056] AD変換器81Lは、例えば、画素アレイ部31の画素列毎に、すなわち、信号線34毎に設けられている。すなわち、AD変換器81Lは、画素アレイ部31の左半分の画素列の数だけ配置された、所謂、列並列AD変換器となっている。そして、各AD変換器81Lは、例えば、画素信号のレベルの大きさに対応した時間軸方向に大きさ（パルス幅）を持つパルス信号を生成し、当該パルス信号のパルス幅の期間の長さを計測することによってAD変換の処理を行う。

[0057] より具体的には、例えば、AD変換器81L-1は、図2に示すように、比較器（COMP）91L-1及びカウンタ92L-1を少なくとも含むように構成される。比較器91L-1は、単位画素32から信号線34を通して読み出されるアナログ画素信号（先述した信号レベルVsig及びリセットレベルVreset）を比較入力とし、参照電圧生成部82Lから供給されるランプ波の参照電圧Vrefを基準入力とし、両入力を比較する。

[0058] そして、比較器91L-1は、例えば、参照電圧Vrefが画素信号よりも大きいときに出力が第1の状態（例えば、高レベル）になり、参照電圧Vrefが画素信号以下のときに出力が第2の状態（例えば、低レベル）になる。この

比較器 91L-1 の出力信号が、画素信号のレベルの大きさに対応したパルス幅を持つパルス信号となる。

[0059] カウンタ 92L-1 には、例えば、アップ／ダウンカウンタが用いられる。カウンタ 92L-1 は、比較器 91L に対する参照電圧 V_{ref} の供給開始タイミングと同じタイミングでクロック CK が与えられる。アップ／ダウンカウンタであるカウンタ 92L-1 は、クロック CK に同期してダウン (DOWN) カウント、または、アップ (UP) カウントを行うことで、比較器 91L-1 の出力パルスのパルス幅の期間、即ち、比較動作の開始から比較動作の終了までの比較期間を計測する。この計測動作の際、カウンタ 92L-1 は、単位画素 32 から順に読み出されるリセットレベル V_{reset} 及び信号レベル V_{sig} について、リセットレベル V_{reset} に対してはダウンカウントを行い、信号レベル V_{sig} に対してはアップカウントを行う。

[0060] このダウンカウント／アップカウントの動作により、信号レベル V_{sig} とリセットレベル V_{reset} との差分をとることができる。その結果、AD変換器 81L-1 では、AD変換処理に加えて CDS (Correlated Double Sampling; 相関二重サンプリング) 処理が行われる。ここで、 CDS 処理とは、信号レベル V_{sig} とリセットレベル V_{reset} との差分をとることにより、単位画素 32 のリセットノイズや増幅トランジスタ 54 の閾値ばらつき等の画素固有の固定パターンノイズを除去する処理である。そして、カウンタ 92L-1 のカウント結果 (カウント値) が、アナログ画素信号をデジタル化したデジタル値となる。

[0061] なお、AD変換器 81L-2 乃至 81L-n も AD変換器 81L-1 と同様の構成を有しており、その説明は繰り返しになるので省略する。また、以下、比較器 91L-1 乃至 91L-n を個々に区別する必要がない場合、単に比較器 91L と称し、カウンタ 92L-1 乃至 92L-n を個々に区別する必要がない場合、単にカウンタ 92L と称する。

[0062] 図 3 は、信号処理部 65L の具体的な構成の一例を示すブロック図である。信号処理部 65L は、AD変換器 81L 及び参照電圧生成部 82L の他に

、データラッチ部 83L 及びパラレルーシリアル（以下、「パラシリ」と略称する）変換部 84L を有している。そして、信号処理部 65L は、AD 変換器 81L でデジタル化された画素データをメモリ部 67L にパイプライン転送するパイプライン構成となっている。その際、信号処理部 65L は、1 水平期間内に AD 変換器 81L によるデジタル化処理を行い、デジタル化した画素データを次の 1 水平期間内にデータラッチ部 83L へ転送する処理を行う。

[0063] 一方、メモリ部 67L には、その周辺回路として列デコーダ／センスアンプ 66L が設けられている。先述した行デコーダ 64L（図 2 参照）がメモリ部 67L に対して行アドレスを指定するのに対し、列デコーダは、メモリ部 67L に対して列アドレスを指定する。また、センスアンプは、メモリ部 67L からビット線を通して読み出される微弱な電圧を、デジタルレベルとして取り扱いが可能になるレベルにまで増幅する。そして、列デコーダ／センスアンプ 66L を通して読み出された画素データは、データ処理部 68L 及びインタフェース部 69L を介してロジック基板 12 の外部へ出力される。

[0064] なお、ここでは、列並列の AD 変換器 81L が 1 つの場合を例に挙げたが、これに限られるものではなく、AD 変換器 81L を 2 つ以上設け、これら 2 つ以上の AD 変換器 81L において並列的にデジタル化処理を行う構成を採ることも可能である。

[0065] この場合、2 つ以上の AD 変換器 81L は、例えば、画素アレイ部 31 の信号線 34 の伸長方向、すなわち、画素アレイ部 31 の上下両側に分けて配置される。AD 変換器 81L を 2 つ以上設ける場合は、これに対応してデータラッチ部 83L、パラシリ変換部 84L、及び、メモリ部 67L なども 2 つ（2 系統）以上設けられる。

[0066] このように、AD 変換器 81L などを例えば 2 系統設ける構成を採る固体撮像装置 1 にあっては、2 つの画素行毎に行走査を並列して行う。そして、一方の画素行の各画素の信号については画素アレイ部 31 の上下方向の一方

側に、他方の画素行の各画素の信号については画素アレイ部 3 1 の上下方向の他方側にそれぞれ読み出し、2つのAD変換器 8 1 Lで並列的にデジタル化処理を行う。以降の信号処理についても同様に、並列的に行われる。その結果、1つの画素行毎に行走査を行う場合に比べて、画素データの高速読み出しを実現することができる。

[0067] なお、詳細な図示及び説明は省略するが、信号処理回路 4 1 Rも、信号処理回路 4 1 Lと同様の構成を有している。そして、信号処理回路 4 1 Rは、主に画素アレイ部 3 1 の右半分の領域内の単位画素 3 2からの画素信号の処理を行う。

[0068] なお、以下、図示を省略した信号処理回路 4 1 Rの各部の符号は、信号処理回路 4 1 Lの各部の符号のLの文字をRに置き換えた符号とする。

[0069] {1-3. ロジック基板 1 2のレイアウト}

図 4は、ロジック基板 1 2のレイアウトの例を示している。この図に示されるように、ロジック基板 1 2の信号処理回路 4 1 Lと信号処理回路 4 1 Rは、同じ左右対称のレイアウトを有している。

[0070] 信号処理回路 4 1 Lにおいては、AD変換部 1 0 1 L-1、メモリ部 1 0 2 L-1、ロジック部 1 0 3 L、メモリ部 1 0 2 L-2、及び、AD変換部 1 0 1 L-2が、上から順に積層されている。また、その積層部の左右にインタフェース部 1 0 4 L-1及びインタフェース部 1 0 4 L-2が配置されている。さらに、信号処理回路 4 1 Lの上下左右の端部に、ビア 1 0 5 L-1乃至 1 0 5 L-4がそれぞれ配置されている。

[0071] AD変換部 1 0 1 L-1及び 1 0 1 L-2には、例えば、図 2及び図 3に示される電流源 6 1 L、AD変換器 8 1 L-1乃至 8 1 L-n、参照電圧生成部 8 2 L、データラッチ部 8 3 L、及び、パラシリ変換部 8 4 Lが、分かれて配置される。

[0072] なお、この例では、AD変換部 1 0 1 L-1及び 1 0 1 L-2に、AD変換器 8 1 L及びそれに伴う回路部分が、それぞれ3段に積層されて配置されている。すなわち、信号処理回路 4 1 Lでは、AD変換器 8 1 L及びそれに

伴う回路部分が、6系統に分かれて配置されている。そして、信号処理回路41Lは、例えば、6つの画素行毎に行走査を並列して行う。

[0073] また、画素アレイ部31の各单位画素32からの画素信号は、ビア105L-1乃至105L-4を介して、AD変換部101L-1及び101L-2に配置されている各AD変換器81Lに供給される。

[0074] メモリ部102L-1及び102L-2には、例えば、図3に示される列レコーダ／センスアンプ66L及びメモリ部67Lが、分かれて配置される。そして、メモリ部102L-1は、AD変換部101L-1から供給される画素データを記憶し、メモリ部102L-2は、AD変換部101L-2から供給される画素データを記憶する。

[0075] ロジック部103Lには、例えば、図2に示されるデコーダ62L、制御部63L、行デコーダ64L、及び、データ処理部68Lが配置される。

[0076] インタフェース部104L-1及び104L-2には、例えば、図2に示されるインタフェース部69Lがそれぞれ配置される。

[0077] なお、信号処理回路41Rは、信号処理回路41Lと同じレイアウトを有しており、その説明は繰り返しになるので省略する。

[0078] また、上述した信号処理回路41L及び41Rの構成及びレイアウトは、その一例であり、上述した以外の構成及びレイアウトにすることも可能である。

[0079] {1-4. 固体撮像素子1の撮像処理}

次に、図5及び図6を参照して、固体撮像素子1の撮像処理について簡単に説明する。

[0080] 図5は、固体撮像素子1の信号処理回路41L及び41Rと外部の信号処理LS1121との接続方法の例を示している。具体的には、信号処理回路41Lのインタフェース部104L-1、及び、信号処理回路41Rのインタフェース部104R-2に信号処理LS1121が接続されている。

[0081] 例えば、固体撮像素子1により図6の被写体141を撮像する場合、画素アレイ部31の左半分の領域内の各单位画素32からの画素信号が信号処理回

路 4 1 L に供給され、右半分の領域内の単位画素 3 2 からの画素信号が信号処理回路 4 1 R に供給される、すなわち、被写体 1 4 1 の左半分に対応する画素信号が信号処理回路 4 1 L に供給され、被写体 1 4 1 の右半分に対応する画素信号が信号処理回路 4 1 R に供給される。

[0082] 信号処理回路 4 1 L は、画素回路 2 1 から供給される画素信号に基づいて、被写体 1 4 1 の左半分に対応する画像データ 1 4 2 L を生成する。同様に、信号処理回路 4 1 R は、画素回路 2 1 から供給される画素信号に基づいて、被写体 1 4 1 の右半分に対応する画像データ 1 4 2 R を生成する。

[0083] そして、信号処理回路 4 1 L は、生成した画像データ 1 4 2 L をインタフェース部 1 0 4 L - 1 から出力し、信号処理 L S I 1 2 1 に供給する。信号処理回路 4 1 R は、生成した画像データ 1 4 2 R をインタフェース部 1 0 4 R - 2 から出力し、信号処理 L S I 1 2 1 に供給する。

[0084] 信号処理 L S I 1 2 1 は、画像データ 1 4 2 L と画像データ 1 4 2 R を合成することにより 1 枚の画像データ 1 4 3 を生成し、生成した画像データ 1 4 3 を出力する。

[0085] このように、固体撮像素子 1 では、左右の画像データが独立して生成されるため、処理を高速化することができる。

[0086] { 1 - 5. 信号処理回路 4 1 の左右の設定方法 }

上述したように、各信号処理回路 4 1 は、回路パターンが共通であり、同じ機能を有している。一方、上述したように、信号処理回路 4 1 L は、被写体の左半分の画像データを生成し、生成した画像データを左側のインタフェース部 1 0 4 L - 1 から出力する。また、信号処理回路 4 1 R は、被写体の右半分の画像データを生成し、生成した画像データを右側のインタフェース部 1 0 4 R - 2 から出力する。すなわち、信号処理回路 4 1 L は、ロジック基板 1 2 の左側に配置された回路として動作し、信号処理回路 4 1 R は、ロジック基板 1 2 の右側に配置された回路として動作する。

[0087] そこで、各信号処理回路 4 1 には、左側の信号処理回路 4 1 L 又は右側の信号処理回路 4 1 R のいずれでも動作できるように、両方の機能が備えられ

る。そして、外部からの信号により、各信号処理回路41を左側の信号処理回路41Lとして動作させるか、右側の信号処理回路41Rとして動作させるかが設定される。換言すれば、外部からの信号により、各信号処理回路41の有効な機能と無効な機能が設定される。

[0088] 具体的には、例えば、図7に模式的に示されるように、信号処理回路41L及び41Rが、それぞれボンディングワイヤ162L及び162Rにより、外部の基板161に接続される。なお、この基板161は、固体撮像素子1と同じパッケージ内に設けられていてもよいし、パッケージの外に設けられていてもよい。

[0089] そして、基板161は、ボンディングワイヤ162Lを介して信号処理回路41Lに選択信号を供給する。選択信号は、例えば、電源レベル(High)かグラウンドレベル(Low)のいずれかの値をとる。信号処理回路41Lは、図8に示されるマルチプレクサ171L及びコア172Lを有している。そして、基板161からの選択信号はマルチプレクサ171Lに入力され、マルチプレクサ171Lは、選択信号に従って0か1の値を示す設定信号をコア172Lに供給する。

[0090] 設定信号は、左側の回路(信号処理回路41L)用の設定を行う場合に値が0になり、右側の回路(信号処理回路41R)用の設定を行う場合に値が1になる。そして、コア172Lは、図示せぬレジスタに設定信号の値を記憶し、信号処理回路41Lは、レジスタの値に従って動作する。例えば、信号処理回路41Lのレジスタの値が0に設定され、信号処理回路41Lは、左側の信号処理回路として動作する。

[0091] なお、図示は省略するが、信号処理回路41Rにも、信号処理回路41Lと同様に、マルチプレクサ171R及びコア172Rが設けられている。そして、信号処理回路41Rは、信号処理回路41Lと同様の方法により、基板161からボンディングワイヤ162Rを介して供給される選択信号により、右側の信号処理回路として動作するように設定される。

[0092] また、信号処理回路41Lと信号処理回路41Rが同じ機能を有するため

、機能が二重化される。そこで、いずれか一方のみが動作すればよい機能については、この選択信号により、一方の信号処理回路４１の機能が有効になり、他方の信号処理回路４１の機能が無効化される。

[0093] { 1－6. 固体撮像素子１の製造方法 }

次に、図９乃至図１３を参照して、固体撮像素子１の製造方法について説明する。なお、図９乃至図１３においては、図を分かりやすくするために、画素回路２１及び信号処理回路４１のみを図示し、画素回路２１及び信号処理回路４１が形成されるウエハ（半導体基板）の図示を省略している。

[0094] まず、図９に示されるように、図示せぬウエハ（半導体基板）に、画素回路２１－１，２１－２，・・・が形成される。このとき、各画素回路２１の面積が露光装置の露光範囲より大きいため、各画素回路２１の露光には、分割露光が用いられる。

[0095] また、隣接する画素回路２１の間には、縦方向及び横方向にスクライプ領域２２が設けられる。なお、この図では、図を分かりやすくするために、スクライプ領域２２の幅を広く誇張して示している。これは、以下の図についても同様である。

[0096] また、この図では、画素回路２１が２行×１列の２つしか示されていないが、実際には、さらに多くの数の画素回路２１が２次元に並ぶように形成される。

[0097] また、図９とは別の製造工程により、図１０に示されるように、図示せぬウエハ（半導体基板）に、信号処理回路４１Ｌ－１，４１Ｒ－１，４１Ｌ－２，４２Ｒ－２，・・・が形成される。そのうち、信号処理回路４１Ｌ－１と信号処理回路４１Ｒ－１が同じロジック基板１２に配置され、信号処理回路４１Ｌ－２と信号処理回路４１Ｒ－２が同じロジック基板１２に配置される。このとき、各信号処理回路４１の面積が露光装置の露光範囲より小さいため、各信号処理回路４１の露光には、一括露光が用いられる。

[0098] また、隣接する信号処理回路４１の間には、縦方向及び横方向にスクライプ領域４２が設けられる。もちろん、同じロジック基板１２に配置される信

号処理回路 4 1 の間にもスクライプ領域 4 2 が設けられる。

[0099] また、この図では、信号処理回路 4 1 が 2 行×2 列の 4 つしか示されていないが、実際には、さらに多くの数の信号処理回路 4 1 が 2 次元に並ぶように形成される。

[0100] 次に、図 1 1 に示されるように、画素回路 2 1 が形成されたウエハ（以下、画素ウエハと称する）と、信号処理回路 4 1 が形成されたウエハ（以下、ロジックウエハと称する）とが貼り合わされ、画素ウエハとロジックウエハが積層化される。

[0101] ここで、スクライプ領域 4 2 を介して左右に隣接する信号処理回路 4 1 と、画素回路 2 1 との面積がほぼ同じであり、画素ウエハのスクライプ領域 2 2 が、ロジックウエハのスクライプ領域 4 2 に重なるように、画素ウエハとロジックウエハが積層化される。これにより、左右に隣接する信号処理回路 4 1 の上に、画素回路 2 1 がぴったり重ねられる。例えば、スクライプ領域 4 2 を介して左右に隣接している信号処理回路 4 1 L-1 と信号処理回路 4 1 R-1 の上に、画素回路 2 1-1 がぴったり重ねられる。

[0102] また、固体撮像素子 1 は裏面照射型であり、ロジックウエハの画素回路 2 1 が形成されている基板層が上を向き、ロジックウエハの配線層と画素ウエハの配線層が隣接するように、画素ウエハとロジックウエハが積層化される。

[0103] なお、以下、画素ウエハとロジックウエハを積層化したウエハを積層ウエハと称する。

[0104] 次に、図 1 2 の太い点線で示されるように、積層ウエハがチップ単位で切断される。すなわち、各画素回路 2 1 の周囲に設けられている画素ウエハのスクライプ領域 2 2 に沿って積層ウエハが切断される。なお、画素ウエハのスクライプ領域 2 2 と重なっていないロジックウエハのスクライプ領域 4 2 は、切断されずにそのまま残される。

[0105] これにより、スクライプ領域 4 2 を残したまま左右に隣接する信号処理回路 4 1 の上に画素回路 2 1 が積層された固体撮像素子が個片化される。例え

ば、図 1 3 に示されるように、スクライブ領域 4 2 を介して隣接している信号処理回路 4 1 L - 1 及び 4 1 R - 1 の上に画素回路 2 1 - 1 が積層された固体撮像素子 1 - 1 が個片化される。

[0106] このように、画素基板 1 1 側の画素回路 2 1 の面積が露光装置の露光範囲より大きく、分割露光を行う必要がある場合でも、ロジック基板 1 2 側の各信号処理回路 4 1 は、分割露光を用いずに一括露光により製造される。また、各信号処理回路 4 1 が、固体撮像素子 1 の左右のいずれに配置されるかに関わらず、同じ回路パターンの信号処理回路 4 1 が、一定の間隔（スクライブ領域 4 2）を空けて 2 次元に並ぶように形成される。従って、例えば、ロジック基板 1 2 の製造に必要なフォトマスクの種類を削減することができるとともに、フォトマスク交換装置を有していない露光装置でもロジック基板 1 2 を製造することができる。

[0107] < 2. 第 2 の実施の形態 >

上述したように、固体撮像素子 1 では、2 つの信号処理回路が、電氣的に接続されておらず、それぞれ独立して処理を行う。これに対して、本技術の第 2 の実施の形態では、2 つの信号処理回路が、電氣的に接続され、一部の処理を協調して行う。

[0108] { 2 - 1. システム構成 }

図 1 4 は、本技術の第 2 の実際の形態に係る固体撮像素子 2 0 1 の構成例を模式的に示す斜視図である。なお、図中、図 1 と対応する部分には、同じ符号を付してあり、処理が同じ部分については、その説明は繰り返しになるので適宜省略する。

[0109] 図 1 4 に示すように、固体撮像素子 2 0 1 は、固体撮像素子 1 と同様に、画素基板 1 1 とロジック基板 2 1 1 が積層された構造（所謂、積層構造）の半導体チップである。

[0110] ロジック基板 2 1 1 は、ロジック基板 1 2 と比較して、信号処理回路 4 1 L 及び 4 1 R の代わりに、信号処理回路 2 4 1 L 及び 2 4 1 R が設けられている点異なる。また、ロジック基板 2 1 1 は、ロジック基板 1 2 と比較し

て、信号処理回路 2 4 1 L と信号処理回路 2 4 1 R を電氣的に接続するための配線層（以下、回路間配線層と称する）がロジック基板 1 2 の最上層に形成されている点異なる。すなわち、図 1 4 のロジック基板 2 1 1 上に斜線で示されるパターンは、回路間配線層の配線パターンを示しており、この回路間配線層において、信号処理回路 2 4 1 L と信号処理回路 2 4 1 R が電氣的に接続される。

[0111] また、信号処理回路 2 4 1 L 及び 2 4 1 R は、信号処理回路 4 1 L 及び 4 1 R と比較して、図 1 5 を参照して後述するように、レイアウトの一部が異なっている。

[0112] なお、以下、信号処理回路 2 4 1 L と信号処理回路 2 4 1 R を個々に区別する必要がない場合、単に、信号処理回路 2 4 1 と称する。

[0113] {2-2. ロジック基板 2 1 1 のレイアウト}

図 1 5 は、ロジック基板 2 1 1 のレイアウトの例を示している。なお、この図では、回路間配線層の図示は省略している。また、図中、図 4 と対応する部分には、同じ符号を付してあり、処理等が同じ部分については、その説明は適宜省略する。

[0114] 信号処理回路 2 4 1 L は、図 4 の信号処理回路 4 1 L と比較して、インタフェース部 1 0 4 L-1 が削除され、インタフェース部 1 0 4 L-2 のみが設けられている点異なる。同様に、信号処理回路 2 4 1 R は、図 4 の信号処理回路 4 1 R と比較して、インタフェース部 1 0 4 R-1 が削除され、インタフェース部 1 0 4 R-2 のみが設けられている点異なる。

[0115] {2-3. 固体撮像素子 2 0 1 の撮像処理}

次に、図 6 及び図 1 5 を参照して、固体撮像素子 2 0 1 の撮像処理について簡単に説明する。

[0116] 例えば、固体撮像素子 2 0 1 により図 6 の被写体 1 4 1 を撮像する場合、画素アレイ部 3 1 の左半分の領域内の単位画素 3 2 からの画素信号が信号処理回路 2 4 1 L に供給され、右半分の領域内の単位画素 3 2 からの画素信号が信号処理回路 2 4 1 R に供給される、すなわち、被写体 1 4 1 の左半分に

対応する画素信号が信号処理回路 241L に供給され、被写体 141 の右半
分に対応する画素信号が信号処理回路 241R に供給される。

[0117] 信号処理回路 241L は、画素回路 21 から供給される画素信号に基づい
て、被写体 141 の左半分に対応する画像データ 142L を生成する。同様
に、信号処理回路 241R は、画素回路 21 から供給される画素信号に基づ
いて、被写体 141 の右半分に対応する画像データ 142R を生成する。

[0118] ここまでの処理は、上述した固体撮像素子 1 と同様である。

[0119] そして、信号処理回路 241L のロジック部 103L は、生成した画像デ
ータ 142L を図示せぬ回路間配線層を介して、信号処理回路 241R のロ
ジック部 103R に供給する。

[0120] ロジック部 103R は、信号処理回路 241L から供給された画像データ
142L と、自身で作成した画像データ 142R とを合成して、1 枚の画像
データ 143 を生成する。そして、ロジック部 103R は、生成した画像デ
ータ 143 をインタフェース部 104R-2 を介して外部に出力する。

[0121] このように、固体撮像素子 201 は、固体撮像素子 1 と異なり、外部の L
S I 等の装置を用いずに、1 枚の完成した画像データを生成し、出力するこ
とができる。従って、外部に信号処理 L S I 121 を設ける必要がなくなり
、コスト削減を図ることができる。

[0122] なお、固体撮像素子 201 でも、固体撮像素子 1 と同様に、図 7 及び図 8
を参照して上述した方法により、信号処理回路 241L と信号処理回路 24
1R に対して、左右のどちら側の信号処理回路として動作を行うかの設定が
行われる。

[0123] [固体撮像素子 201 の製造方法]

次に、先に示した図 9 及び図 10、並びに、図 16 乃至図 19 を参照して
、固体撮像素子 201 の製造方法について説明する。なお、図 16 乃至図 1
9 においては、図 9 乃至図 13 と同様に、図を分かりやすくするために、画
素回路 21 及び信号処理回路 241 のみを図示し、画素回路 21 及び信号処
理回路 241 が形成されるウエハ（半導体基板）の図示を省略している。

- [0124] まず、図 9 及び図 10 を参照して上述した方法と同様の方法により、画素回路 21 がスクライプ領域 22 を介して 2 次元に配列された画素ウエハ、及び、信号処理回路 241 がスクライプ領域 42 を介して 2 次元に配列されたロジックウエハが製造される。
- [0125] 次に、図 16 に示されるように、ロジックウエハの最上層に、回路間配線層が形成される。なお、この回路間配線層は、画素基板 11 の画素回路 21 とほぼ同じ大きさであるため、分割露光を用いて形成される。この回路間配線層により、同じ固体撮像素子 201 に配置される 2 つの信号処理回路 241（例えば、信号処理回路 241L-1 と信号処理回路 241R-1）が電氣的に接続される。
- [0126] なお、例えば、ロジックウエハを製造するメーカーが、回路間配線層用の金属膜を成膜しただけの露光前の状態のロジックウエハを製造し、固体撮像素子 201 を製造するメーカーに納入するようにしてもよい。そして、例えば、固体撮像素子 201 を製造するメーカーが、分割露光によりロジックウエハの回路間配線層を形成した後、画素ウエハとロジックウエハを積層化するようにしてもよい。これにより、分割露光を行う設備を持っていないメーカーでも、ロジックウエハを製造することが可能になる。
- [0127] 次に、図 17 に示されるように、図 11 を参照して上述した製造工程と同様に、画素ウエハとロジックウエハが積層化される。
- [0128] そして、図 18 に示されるように、図 12 を参照して上述した製造工程と同様に、積層ウエハがチップ単位で切断される。これにより、例えば、図 19 に示されるように、スクライプ領域 42 を介して隣接している信号処理回路 241L-1 及び 241R-1 の上に画素回路 21-1 が積層された固体撮像素子 201-1 が個片化される。
- [0129] なお、上述した例では、ロジック基板 211 の最上層に回路間配線層を形成する例を示したが、最上層より下の層に回路間配線層を形成するようにしてもよい。例えば、信号処理回路 241 に複数の配線層が設けられる場合、ロジック基板 211 の最上層より下に形成される配線層において、信号処理

回路 2 4 1 L と信号処理回路 2 4 1 R を接続するようにしてもよい。

[0130] また、例えば、複数の配線層を介して、信号処理回路 2 4 1 L と信号処理回路 2 4 1 R を接続するようにしてもよい。すなわち、回路間配線層を複数形成するようにしてもよい。さらに、回路間配線層には、信号処理回路 2 4 1 L と信号処理回路 2 4 1 R を接続するための配線だけでなく、各信号処理回路 2 4 1 の内部の配線（例えば、素子間の配線等）を設けることも可能である。

[0131] また、回路間配線層がロジック基板 2 1 1 のいずれの層に配置される場合においても、例えば、ロジック基板 2 1 1 の各層のうち、回路間配線層が分割露光により形成され、その他の層が一括露光により形成される。なお、上述したように回路間配線層を異なるメーカで形成する場合には、回路間配線層を、ロジック基板 2 1 1 の最上層に形成するようにすることが望ましい。

[0132] < 3. 第 3 の実施の形態 >

本技術の第 3 の実施の形態では、第 2 の実施の形態とは異なる方法により、左右の信号処理回路が電氣的に接続される。

[0133] 具体的には、図 2 0 は、本技術の第 3 の実施の形態に係る固体撮像素子 3 0 1 の構成例を模式的に示す斜視図である。固体撮像素子 3 0 1 は、固体撮像素子 1 及び固体撮像素子 2 0 1 と同様に、画素回路 3 2 1 が形成された画素基板 3 1 1（図 2 1）と、信号処理回路 3 4 1 L 及び 3 4 1 R が形成されたロジック基板 3 1 2（図 2 1）が積層された構造（所謂、積層構造）の半導体チップである。

[0134] 画素回路 3 2 1 は、図 1 の画素回路 2 1 の画素アレイ部 3 1 と同様の画素アレイ部 3 3 1 が形成されている。また、画素回路 3 2 1 は、図 2 を参照して上述した画素回路 2 1 と同様の回路構成を有している。信号処理回路 3 4 1 L 及び 3 4 1 R は、図 2 及び図 3 を参照して上述した信号処理回路 4 1 L 及び 4 1 R と同様の回路構成を有している。ロジック基板 3 1 2 は、図 4 を参照して上述したロジック基板 1 2 と同様のレイアウトを有している。このように、固体撮像素子 3 0 1 は、固体撮像素子 1 とほぼ同様の回路構成及び

レイアウトを有している。

[0135] ただし、固体撮像素子 301 は、固体撮像素子 1 と異なり、画素基板 311 において信号処理回路 341L と信号処理回路 341R が電氣的に接続されている。

[0136] 具体的には、図 21 は、図 20 の固体撮像素子 301 の A-A 断面図を示している。すなわち、図 21 は、画素回路 321 の画素アレイ部 331 の外側であって、図 20 内において手前側における固体撮像素子 301 の断面を示している。

[0137] 固体撮像素子 301 は、裏面照射型の撮像素子であるため、画素基板 311 の配線層とロジック基板 312 の配線層が隣接するように積層されている。従って、画素基板 311 の基板層が上端に配置され、ロジック基板 312 の基板層が下端に配置されている。

[0138] 画素基板 311 の基板層の上において、画素アレイ部 331 の外側に配線 351L 及び 351R が形成されている。配線 351L は、信号処理回路 341L の上方に配置され、配線 351R は、信号処理回路 341R の上方に配置されている。

[0139] そして、配線 351L は、画素基板 311 に形成されているビア 352L を介して、信号処理回路 341L の配線層に接続されている。また、配線 351L は、ビア 353L を介して配線 354L に接続されている。配線 354L は、ビア 355L を介して配線 356L に接続されている。配線 356L は、ビア 357L を介して配線 358 に接続されている。

[0140] 配線 351R は、画素基板 311 に形成されているビア 352R を介して、信号処理回路 341R の配線層に接続されている。また、配線 351R は、ビア 353R を介して配線 354R に接続されている。配線 354R は、ビア 355R を介して配線 356R に接続されている。配線 356R は、ビア 357R を介して配線 358 に接続されている。

[0141] これにより、信号処理回路 341L の配線層と信号処理回路 341R の配線層とが、ビア 352L、配線 351L、ビア 353L、配線 354L、ビ

ア 3 5 5 L、配線 3 5 6 L、ビア 3 5 7 L、配線 3 5 8、ビア 3 5 7 R、配線 3 5 6 R、ビア 3 5 5 R、配線 3 5 4 R、ビア 3 5 3 R、配線 3 5 1 R、及び、ビア 3 5 2 R を介して電氣的に接続される。

[0142] 従って、固体撮像素子 3 0 1 も、固体撮像素子 2 0 1 と同様に、図 6 及び図 1 5 を参照して上述した方法により、被写体を撮像することにより得られる 1 枚の画像データを生成し、出力することが可能である。

[0143] なお、この画素回路 3 2 1 の配線 3 5 1 L、3 5 1 R 及びビア 3 5 2 L 及び 3 5 2 R 等は、例えば、図 9 を参照して上述した画素ウエハの製造時に形成される。

[0144] また、図 2 1 の画素基板 3 1 1 の配線層の層数は、その一例であり、任意の層数に設定することができる。さらに、例えば、画素基板 3 1 1 の配線層内において信号処理回路 3 4 1 L と信号処理回路 3 4 1 R とを電氣的に接続するための配線 3 5 8 は、画素基板 3 1 1 のいずれの配線層に設けてもよく、また、例えば、複数の配線層に分けて形成するようにしてもよい。

[0145] < 4. 変形例 >

以下、上述した本技術の実施の形態の変形例について説明する。

[0146] { 5 - 1. 固体撮像素子の構成に関する変形例 }

(ロジック基板に関する変形例)

以上の説明では、ロジック基板に 2 つの信号処理回路を設ける例を示したが、3 つ以上設けるようにすることも可能である。

[0147] また、1 つのロジック基板に設ける信号処理回路の回路パターンや大きさは、必ずしも全て同一である必要はなく、回路パターンや大きさの異なる信号処理回路を混在させることも可能である。ただし、同じ回路パターンの信号処理回路をロジック基板に設ける場合の方が、回路パターンや大きさの異なる信号処理回路が混在する場合と比較して、製造プロセスがシンプルになり、製造コストが低くなる。

[0148] (積層構造に関する変形例)

また、以上の説明では、固体撮像素子が画素基板とロジック基板の 2 層の

積層構造を有する例を示したが、本技術は３層以上の積層構造の固体撮像素子にも適用することができる。例えば、図１のロジック基板１２の下（すなわち、ロジック基板１２の画素基板１１と隣接する面と反対側の面）に、さらにロジック基板を積層するようにしてもよい。この場合、例えば、信号処理回路４１Ｌ、４１Ｒに含まれていたメモリ部１０２Ｌ－１乃至１０２Ｒ－２を、追加した最下層のロジック基板に配置することが考えられる。

[0149] また、ロジック基板が２層以上設けられる場合、必ずしも全ての層のロジック基板を一括露光を用いて製造する必要はなく、一部のロジック基板を分割露光を用いて製造するようにしてもよい。例えば、上述した例では、メモリ部１０２Ｌ－１乃至１０２Ｒ－２が設けられた最下層のロジック基板を、分割露光を用いて製造するようにしてもよい。

[0150] さらに、上述したように、信号処理回路をロジック基板内で接続する場合等に、必ずしもロジック基板の全ての層を一括露光を用いて製造する必要はなく、一部の層を分割露光を用いて製造するようにしてもよい。

[0151] （信号処理回路の接続方法に関する変形例）

さらに、本技術の第２及び第３の実施の形態では、左右の信号処理回路を固体撮像素子内で電氣的に接続する例を示したが、固体撮像素子の外部で接続するようにしてもよい。

[0152] 図２２は、固体撮像素子１の信号処理回路４１Ｌと信号処理回路４１Ｒを固体撮像素子１の外部で接続する例を示している。なお、この例では、固体撮像素子１がパッケージ４０１に実装されている。また、この図では、図を分かりやすくするために、固体撮像素子１のうち信号処理回路４１Ｌ及び４１Ｒのみが図示されている。

[0153] 信号処理回路４１Ｌは、ボンディングワイヤ４１１Ｌを介して、パッケージ４０１に形成されている導電パターン４１２に接続されている。同様に、信号処理回路４１Ｒは、ボンディングワイヤ４１１Ｒを介して、導電パターン４１２に接続されている。従って、信号処理回路４１Ｌと信号処理回路４１Ｒは、ボンディングワイヤ４１１Ｌ、４１１Ｒ及び導電パターン４１２を

介して電氣的に接続される。

[0154] なお、これ以外にも、リードフレーム等を介して、信号処理回路4 1 Lと信号処理回路4 1 Rを外部で電氣的に接続するようにしてもよい。

[0155] また、信号処理回路4 1 Lと信号処理回路4 1 Rを固体撮像素子1の外部で接続する場合、内部で接続する場合と比較して、実装可能な配線数が限定される。そのため、固体撮像素子1内で左右の画像データを合成することが難しい場合が想定される。この場合、例えば、信号処理回路4 1 Lと信号処理回路4 1 Rの間の所定の同じアナログ信号の信号線（例えば、参照電圧の信号線、グラウンド線等）を接続し、当該アナログ信号を共通化するようにしてもよい。

[0156] 例えば、左右の画像データを異なる信号処理回路4 1で生成する場合、各信号処理回路4 1の特性等の違いにより、左右の画像データの色や明るさに違いが生じ、2つの画像データの合成部分の境目が見えてしまうときがある。そこで、各信号処理回路4 1の所定のアナログ信号を共通化することにより、各信号処理回路4 1の特性等の違いを軽減し、画像データの合成部分の境目を目立たなくするようにすることができる。

[0157] （A D変換方式に関する変形例）

さらに、以上の説明では、図2を参照して上述したように、固体撮像素子に列並列A D変換方式を採用する例を示したが、画素A D並列変換方式を採用するようにしてもよい。

[0158] 図2 3は、画素A D変換方式を採用した場合の画素基板5 1 1とロジック基板5 1 2の構成を模式的に示している。

[0159] 画素基板5 1 1には、図1の画素基板1 1と同様に、画素アレイ部5 3 1を含む画素回路5 2 1が形成されている。また、ロジック基板5 1 2には、図1のロジック基板1 2と同様に、同じ回路パターンを有する信号処理回路5 4 1 Lと信号処理回路5 4 1 Rが、スクライプ領域4 2を介して左右に並ぶように形成されている。

[0160] そして、画素基板5 1 1の画素アレイ部5 3 1には、所定数の2次元の画

素の配列を含む領域を１単位とする画素ユニット（グループ）が行列状に２次元に配列され、画素ユニット毎にビア５３２が形成されている。一方、信号処理回路５４１Ｌ及び信号処理回路５４１Ｒには、ＡＤ変換器８１（図２）及びメモリ部６７（図２）等を含む回路部（図中、画素ＡＤ単位）が、画素アレイ部５３１の画素ユニット毎に設けられている。また、画素ＡＤ単位毎に、画素ユニットに対応してビア２３が形成されている。

[0161] このように、画素並列ＡＤ変換方式を採用することにより、画素信号の読み出し速度を高速化できるため、ＡＤ変換器８１の停止期間を長くすることができ、その結果、低消費電力化を図ることができる。

[0162] （耐湿リングに関する変形例）

ロジック基板の耐湿リング（シールリング、ガードリング等ともいう）は、基本的に従来と同様の方法により形成することが可能である。例えば、耐湿リングは、従来と同様の方法により、各信号処理回路の周囲を個別に囲むように形成される。しかし、図１４等を参照して上述した第２の実施の形態のように、信号処理回路間を電氣的に接続する回路間配線層をロジック基板に形成する場合、従来と同様の方法により耐湿リングを形成したのでは、回路間配線層の配線と耐湿リングとが干渉してしまう。すなわち、回路間配線層の配線が信号処理回路の端部を通過する部分において、信号処理回路の端部に形成されている耐湿リングと回路間配線層の配線とが干渉してしまう。

[0163] そこで、以下、回路間配線層の配線と耐湿リングとの干渉を回避する方法について説明する。

[0164] まず、図２４乃至図２６を参照して、回路間配線層の配線と耐湿リングとの干渉を回避する第１の方法について説明する。

[0165] 図２４は、回路間配線層の配線と耐湿リングとの干渉を回避するようにしたロジック基板６０１の構成例を模式的に示す平面図である。

[0166] ロジック基板６０１は、上述した図１４のロジック基板２１１と比較して、信号処理回路２４１Ｌ及び２４１Ｒの代わりに、同じ回路パターンの信号処理回路６１１Ｌ及び信号処理回路６１１Ｒが、スクライブ領域４２を介し

て設けられている点異なる。また、ロジック基板 601 の最上層には、ロジック基板 211 と同様に、信号処理回路 611L と信号処理回路 611R とを電氣的に接続する回路間配線層が形成されている。この例では、回路間配線層の配線 612-1 乃至 612-3 により、信号処理回路 611L と信号処理回路 611R とが電氣的に接続されている。

[0167] さらに、ロジック基板 601 の外周付近に沿って、信号処理回路 611L 及び 611R の外周を囲むように、耐湿リング 613 が形成されている。

[0168] ここで、図 25 及び図 26 を参照して、耐湿リング 613 の構造について説明する。図 25 は、耐湿リング 613 の断面を模式的に示す断面図であり、図 26 は、耐湿リング 613 の一部を模式的に示す斜視図である。

[0169] 耐湿リング 613 は、コンタクトの材料からなる壁 621、ダミー配線 622-1 乃至 622-6、ビアの材料からなる壁 623-1 乃至 623-5、壁 624、及び、ダミー配線 625 により構成される。

[0170] ダミー配線 622-1 乃至 622-6 及びダミー配線 625 は、ロジック基板 601 のそれぞれ異なる配線層に形成されており、信号の伝送には使用されないダミーの配線である。この例では、ロジック基板 601 の配線層は、例えばシリコン基板からなる基板層 631 の上に 7 層に積層されている。そして、ダミー配線 622-1 は、ロジック基板 601 の最も下の第 1 の配線層に形成されている。ダミー配線 622-2 乃至 622-6 は、ロジック基板 601 の第 2 乃至第 6 の配線層に形成されている。ダミー配線 625 は、ロジック基板 601 の最も上の第 7 の配線層に形成されている。

[0171] ダミー配線 622-1 乃至 622-6 及びダミー配線 625 は、ほぼ同じ矩形のリング状の形状を有しており、各配線層において、ロジック基板 601 の外周付近に沿って、信号処理回路 611L 及び 611R の外周を囲むように形成されている。

[0172] 壁 621、壁 623-1 乃至 623-5、及び、壁 624 は、ほぼ同じ矩形のリング状の形状を有しており、ロジック基板 601 の外周付近に沿って、信号処理回路 611L 及び 611R の外周を囲むように形成されている。

- [0173] 壁621は、基板層631と第1の配線層とを接続するコンタクトと同一の工程で形成され、基板層631とダミー配線622-1とを接続する。
- [0174] 壁623-1乃至623-5は、第1の配線層から第6の配線層までの各配線層間を接続するビアと同一の工程で形成される。壁623-1は、ダミー配線622-1とダミー配線622-2とを接続するビアである。壁623-2は、ダミー配線622-2とダミー配線622-3とを接続するビアである。壁623-3は、ダミー配線622-3とダミー配線622-4とを接続するビアである。壁623-4は、ダミー配線622-4とダミー配線622-5とを接続するビアである。壁623-5は、ダミー配線622-5とダミー配線622-6とを接続するビアである。
- [0175] 壁624は、第6の配線層と第7の配線層とを接続するビアと同一の工程で形成され、ダミー配線622-6とダミー配線625とを接続するビアである。
- [0176] 第1の配線層から第6の配線層には、例えば、銅が用いられ、壁621はタングステンにより形成され、ダミー配線622-1乃至622-6、及び、壁623-1乃至623-5は銅により形成される。また、基板層631の表面から第6の配線層の上端までの層間絶縁膜632には、例えば、誘電率が低いlow-K材料からなる絶縁膜が用いられる。そして、第1の配線層から第6の配線層は、例えば、高速の信号の伝送に用いられる。
- [0177] 一方、第7の配線層には、例えば、アルミニウムが用いられ、ダミー配線625は、アルミニウムにより形成される。また、壁624は、例えば、タングステンにより形成される。さらに、第6の配線層の上端から上の層間絶縁膜633には、例えば、層間絶縁膜632より誘電率が高く、耐水性の高い酸化膜（例えば、酸化シリコン膜）が用いられる。そして、第7の配線層は、例えば、電源等の低速の信号の伝送に用いられる。また、この第7の配線層が、回路間配線層となる。
- [0178] このように、耐湿リング613は、壁621乃至ダミー配線625により、ロジック基板601の周囲を囲む壁を形成し、ロジック基板601の側面

から信号処理回路 6 1 1 L 及び 6 1 1 R への水分の浸入を防止する。

[0179] また、耐湿リング 6 1 3 は、信号処理回路 6 1 1 L と信号処理回路 6 1 1 R の間には設けられていない。従って、信号処理回路 6 1 1 L と信号処理回路 6 1 1 R を結ぶ配線 6 1 2 - 1 乃至 6 1 2 - 3 が、耐湿リング 6 1 3 と干渉することがない。

[0180] なお、耐湿リング 6 1 3 の外周は、画素回路 2 1 と略同じ大きさであり、露光装置の露光範囲より大きい。従って、ロジック基板 6 0 1 の基板層 6 3 1 より上の層（耐湿リング 6 1 3 を含む層）を形成する際には、分割露光が用いられる。

[0181] また、耐湿リング 6 1 3 は、必ずしもロジック基板 6 0 1 の周囲を全て囲むように形成する必要はなく、例えば、耐湿性を確保できる範囲で、ロジック基板 6 0 1 の周囲の一部のみを囲むようにしてもよい。

[0182] さらに、例えば、ロジック基板に 3 以上の信号処理回路が配置される場合も同様に、全ての信号処理回路を内部に含み、ロジック基板の周囲又は周囲の一部を囲むように耐湿リングを形成するようにすればよい。

[0183] 次に、図 2 7 乃至図 3 3 を参照して、回路間配線層の配線と耐湿リングとの干渉を回避する第 2 の方法について説明する。

[0184] 図 2 7 は、回路間配線層の配線と耐湿リングとの干渉を回避するようにしたロジック基板 6 5 1 の構成例を模式的に示す平面図である。

[0185] ロジック基板 6 5 1 は、上述した図 2 4 のロジック基板 6 0 1 と比較して、信号処理回路 6 1 1 L 及び 6 1 1 R の代わりに、同じ回路パターンの信号処理回路 6 6 1 L 及び信号処理回路 6 6 1 R が、スクライプ領域 4 2 を介して設けられている点が異なる。また、ロジック基板 6 5 1 の最上層には、ロジック基板 6 0 1 と同様に、信号処理回路 6 6 1 L と信号処理回路 6 6 1 R とを電氣的に接続する回路間配線層が形成されている。この例では、回路間配線層の配線 6 6 2 - 1 乃至 6 6 2 - 3 により、信号処理回路 6 6 1 L と信号処理回路 6 6 1 R とが電氣的に接続されている。

[0186] さらに、ロジック基板 6 5 1 は、ロジック基板 6 0 1 と比較して、耐湿リ

ング 6 1 3 の代わりに、耐湿リング 6 6 3 L 及び 6 6 3 R が形成されている点が異なる。耐湿リング 6 6 3 L は、信号処理回路 6 6 1 L の外周付近に沿って、信号処理回路 6 6 1 L の周囲を囲むように形成されている。耐湿リング 6 6 3 R は、信号処理回路 6 6 1 R の外周付近に沿って、信号処理回路 6 6 1 R の周囲を囲むように形成されている。

[0187] ここで、図 2 8 乃至図 3 3 を参照して、耐湿リング 6 6 3 R の構造について説明する。なお、詳細な説明は省略するが、耐湿リング 6 6 3 L も、耐湿リング 6 6 3 R と略同じ構造を有している。また、以下、耐湿リング 6 6 3 R の各部分に対応する耐湿リング 6 6 3 L の部分の符号を、耐湿リング 6 6 3 R の各部分の符号の” R ” を” L ” に置き換えた符号により表す。

[0188] 図 2 8 は、耐湿リング 6 6 3 R の領域 A 1 R - 1 乃至 A 1 R - 3 及び領域 A 2 R - 1 乃至 A 2 R - 3 以外の部分の断面を模式的に示す断面図である。図 2 9 は、耐湿リング 6 6 3 R の領域 A 1 R - 1 乃至 A 1 R - 3 及び領域 A 2 R - 1 乃至 A 2 R - 3 以外の部分の一部を模式的に示す斜視図である。

[0189] 図 3 0 は、耐湿リング 6 6 3 L の領域 A 1 L - 1 及び耐湿リング 6 6 3 R の領域 A 1 R - 1 の配線 6 6 2 - 1 が通過する部分の断面を模式的に示す断面図である。図 3 1 は、耐湿リング 6 6 3 R の領域 A 1 R - 1 付近を模式的に示す斜視図である。

[0190] 図 3 2 は、耐湿リング 6 6 3 R の領域 A 2 R - 1 において、耐湿リング 6 6 3 L の領域 A 1 L - 1 において配線 6 6 2 - 1 が通過する部分と同じ位置の断面を模式的に示す断面図である。図 3 3 は、耐湿リング 6 6 3 R の領域 A 2 R - 1 付近を模式的に示す斜視図である。なお、図 3 3 において、最上層のダミー配線 6 7 5 R のみを透過させている。

[0191] 耐湿リング 6 6 3 R は、壁 6 7 1 R、ダミー配線 6 7 2 R - 1 乃至 6 7 2 R - 6、壁 6 7 3 R - 1 乃至 6 7 3 R - 5、壁 6 7 4 R、及び、ダミー配線 6 7 5 R により構成され、図 2 5 及び図 2 6 を参照して上述した耐湿リング 6 1 3 と略同じ構造を有している。すなわち、耐湿リング 6 6 3 R は、耐湿リング 6 1 3 と同様に 7 層の積層構造を有するとともに、耐湿リング 6 1 3

と同じ素材により形成されている。

[0192] 基板層 681 の表面から第 6 の配線層の上端までの層間絶縁膜 682 には、例えば、ロジック基板 601 の層間絶縁膜 632 と同様に、low-K 材料からなる絶縁膜が用いられる。また第 6 の配線層の上端から上の層間絶縁膜 683 には、例えば、ロジック基板 601 の層間絶縁膜 633 と同様に、酸化膜（例えば、酸化シリコン膜）が用いられる。

[0193] ただし、耐湿リング 663R は耐湿リング 613 と異なり、壁 674R 及びダミー配線 675R が一部で形成されておらず、不連続となっている。具体的には、壁 674R 及びダミー配線 675R は、耐湿リング 663R の左辺の領域 A1R-1 乃至 A1R-3 内の配線 662-1 乃至 662-3 が通過する部分において不連続となっている。

[0194] 例えば、図 30 及び図 31 に示されるように、壁 674R 及びダミー配線 675R は、領域 A1R-1 の配線 662-1 が通過する部分において、配線 662-1 と干渉しないように不連続となっている。また、図示は省略するが、壁 674R 及びダミー配線 675R は、領域 A1R-2 の配線 662-2 が通過する部分、及び、領域 A1R-3 の配線 662-3 が通過する部分においても、配線 662-2 及び 662-3 と干渉しないように不連続となっている。

[0195] 同様に、耐湿リング 663L の壁 674L 及びダミー配線 675L も、耐湿リング 663L の右辺の領域 A1L-1 乃至 A1L-3 内の配線 662-1 乃至 662-3 が通過する部分において、配線 662-1 乃至 662-3 と干渉しないように不連続となっている。

[0196] また、耐湿リング 663R の壁 674R は、耐湿リング 663L の領域 A1L-1 乃至 A1L-3 内の壁 674L の不連続部分と対応する部分において不連続となっている。例えば、壁 674R は、耐湿リング 663R の右辺の領域 A2R-1 において、耐湿リング 663L の右辺の領域 A1L-1 内の壁 674L の不連続部分と同じ部分が、図 32 及び図 33 に示されるように不連続となっている。また、図示は省略するが、壁 674R は、耐湿リン

グ 6 6 3 R の右辺の領域 A 2 R - 2 及び領域 A 2 R - 3 において、耐湿リング 6 6 3 L の右辺の領域 A 1 L - 2 及び A 1 L - 3 内の壁 6 7 4 L の不連続部分と同じ部分が不連続となっている。

[0197] 同様に、耐湿リング 6 6 3 L の壁 6 7 4 L は、耐湿リング 6 6 3 R の領域 A 1 R - 1 乃至 A 1 R - 3 内の壁 6 7 4 R の不連続部分と対応する部分において不連続となっている。

[0198] これにより、耐湿リング 6 6 3 L の壁 6 7 4 L の不連続部分と、耐湿リング 6 6 3 R の壁 6 7 4 R の不連続部分とが同じになり、壁 6 7 4 R と壁 6 7 4 L とが、同じ左右対称の形状となる。

[0199] なお、ダミー配線 6 7 5 R は、領域 A 2 R - 1 乃至 A 2 R - 3 において、途切れることなく連続している。同様に、ダミー配線 6 7 5 L は、領域 A 2 L - 1 乃至 A 2 L - 3 において、途切れることなく連続している。

[0200] 以上のように、耐湿リング 6 6 3 R は、壁 6 7 1 R 乃至ダミー配線 6 7 5 R により、信号処理回路 6 6 1 R の周囲を囲む壁を形成し、ロジック基板 6 5 1 の側面から信号処理回路 6 6 1 R への水分の浸入を防止する。同様に、耐湿リング 6 6 3 L は、壁 6 7 1 L 乃至ダミー配線 6 7 5 L により、信号処理回路 6 6 1 L の周囲を囲む壁を形成し、ロジック基板 6 5 1 の側面から信号処理回路 6 6 1 L への水分の浸入を防止する。

[0201] また、上述したように、耐湿リング 6 6 3 L 及び 6 6 3 R は、信号処理回路 6 6 1 L と信号処理回路 6 6 1 R を結ぶ配線 6 6 2 - 1 乃至 6 6 2 - 3 と干渉しない。

[0202] さらに、耐湿リング 6 6 3 R の壁 6 7 4 R 及びダミー配線 6 7 5 R の不連続区間は非常に短く、層間絶縁膜 6 8 3 の耐水性も高いため、耐湿リング 6 6 3 R の耐湿性は、ほとんど低下しない。同様に、耐湿リング 6 6 3 L の壁 6 7 4 L 及びダミー配線 6 7 5 L の不連続区間は非常に短く、層間絶縁膜 6 8 3 の耐水性も高いため、耐湿リング 6 6 3 L の耐湿性は、ほとんど低下しない。

[0203] また、耐湿リング 6 6 3 L の壁 6 7 4 L と、耐湿リング 6 6 3 R の壁 6 7

4 Rとが同じ形状なので、例えば、同じフォトリソマスクを用いて露光することができ、コスト削減を実現することができる。

[0204] なお、耐湿リング663L、663Rは、それぞれ必ずしも信号処理回路661L、661Rの周囲を全て囲むように形成する必要はなく、例えば、耐湿性を確保できる範囲で、周囲の一部のみを囲むようにしてもよい。

[0205] また、配線662-1乃至662-3が通過する部分以外の壁674L及び壁674Rの不連続部分は、必ずしも設ける必要はない。ただし、この不連続部分を設けないと、壁674Lと壁674Rとが同じ形状にならないため、分割露光を用いる必要が生じる。

[0206] さらに、例えば、ロジック基板に3以上の信号処理回路を配置する場合も、同様の方法により、各信号処理回路間を接続する配線の干渉を回避するように、各信号処理回路の耐湿リングを形成することができる。

[0207] (耐湿リング663L及び663Rの製造方法)

次に、図34乃至図40を参照して、ロジック基板651の耐湿リング663L及び663Rの製造方法について説明する。

[0208] なお、以下、図34乃至図40において、左側の図は、耐湿リング663Lの右辺と耐湿リング663Rの左辺が隣接する部分において、配線662-1乃至662-3が通過しない部分の断面を模式的に示している。一方、図34乃至図40において、右側の図は、耐湿リング663Lの右辺と耐湿リング663Rの左辺が隣接する部分において、配線662-1が通過する部分の断面を模式的に示している。

[0209] また、以下、耐湿リング663Lの壁671Lからダミー配線672L-6まで、及び、耐湿リング663Rの壁671Rからダミー配線672R-6まで、並びに、層間絶縁膜682はすでに形成されており、層間絶縁膜682より上の部分を形成する工程について説明する。なお、ここまでの工程の露光には、一括露光が用いられる。

[0210] まず、図34に示されるように、層間絶縁膜682の上に酸化膜691が堆積される。

[0211] 次に、図35に示されるように、酸化膜691のエッチングが行われ、溝692L及び692Rが形成される。溝692Lは、上から見て、ダミー配線672L-6を介して壁673L-5と略重なるように形成される。ただし、溝692Lは、耐湿リング663Lの壁674Lを形成するためのものであり、上述した壁674Lが不連続となる部分には形成されない。同様に、溝692Rは、上から見て、ダミー配線672R-6を介して壁673R-5と略重なるように形成される。ただし、溝692Rは、耐湿リング663Rの壁674Rを形成するためのものであり、上述した壁674Rが不連続となる部分には形成されない。

[0212] また、上述したように、壁674Rと壁674Lは同じ形状であるため、溝692Lと溝692Rは同じ形状となる。従って、溝692Lと溝692Rは、それぞれ同じフォトリソを用いて、一括露光により形成することができる。

[0213] 次に、図36に示されるように、酸化膜691の上に、タングステンからなる金属膜693が蒸着される。このとき、溝692L及び692Rが完全に埋まるように、金属膜693が厚めに蒸着される。

[0214] 次に、図37に示されるように、溝692L及び692R内の金属膜693を残して、酸化膜691の上の金属膜693が研磨により除去される。これにより、タングステンからなる壁674L及び674Rが形成される。

[0215] 次に、図38に示されるように、酸化膜691の上に、アルミニウムからなる金属膜694が蒸着される。

[0216] 次に、図39に示されるように、金属膜694のエッチングが行われる。これにより、配線662-1乃至662-3、並びに、ダミー配線675L及び675Rを含む回路間配線層が形成される。この回路間配線層の形成には、上述したように分割露光が用いられる。

[0217] 最後に、図40に示されるように、回路間配線層の上に酸化膜が堆積される。これにより、図34を参照して上述した工程において堆積された酸化膜691と合わせて、層間絶縁膜683が形成される。なお、例えば、さらに

層間絶縁膜の上に、ポリミド等からなる保護膜が形成される。

[0218] 次に、図41乃至図71を参照して、回路間配線層の配線と耐湿リングとの干渉を回避する第3の方法について説明する。

[0219] 図27乃至図33を参照して上述した例では、ロジック基板651のほとんどの配線層を一括露光で形成することができるため、コスト削減を実現することができる。一方、回路間配線層がロジック基板651の最上層に限定されるとともに、耐湿性を考慮すると、耐湿リング663L及び663Rの不連続区間をあまり増やすことができない。従って、2つの信号処理回路間であまり複雑な配線を行うことができない。

[0220] そこで、コスト削減を実現しつつ、耐湿性を確保しながら信号処理回路間でより複雑な配線を実現するために、例えば、上述した第1の方法と第2の方法を組み合わせることが考えられる。すなわち、各信号処理回路の周囲を囲む耐湿リング（以下、回路用耐湿リングとも称する）と、ロジック基板の周囲を囲む耐湿リング（以下、基板用耐湿リングとも称する）とを組み合わせることが考えられる。

[0221] 図41は、回路用耐湿リングと基板用耐湿リングを組み合わせた場合のロジック基板701の耐湿リングの構成例を模式的に示す平面図である。

[0222] ロジック基板701は、上述した図24のロジック基板601と比較して、信号処理回路611L及び信号処理回路611Rの代わりに、信号処理回路711L及び信号処理回路711Rが、スクライプ領域42を介して設けられている点異なる。また、信号処理回路711Lの周囲を囲む耐湿リング712L、及び、信号処理回路711Rの周囲を囲む耐湿リング712Rが形成され、さらにその上層に、ロジック基板701の外周付近に沿って、信号処理回路711L及び711Rの外周を囲む耐湿リング713が形成されている点異なる。

[0223] このように、ロジック基板701は、回路用耐湿リングである耐湿リング712L及び耐湿リング712Rと、基板用耐湿リングである耐湿リング713とが積層された二層構造になっている。

- [0224] なお、以下、図４１の下側をロジック基板７０１の前方とし、図４１の上側をロジック基板７０１の後方とし、図４１の左側をロジック基板７０１の左側とし、図４１の右側をロジック基板７０１の右側とする。従って、スクライプ領域４２が延びる方向が、ロジック基板７０１の前後方向（又は奥行き方向）となり、信号処理回路７１１Ｌと信号処理回路７１１Ｒが隣接する方向が、ロジック基板７０１の左右方向（又は横方向）となる。
- [0225] ここで、図４２乃至図４４を参照して、二層構造の耐湿リングの第１の実施の形態について説明する。この第１の実施の形態では、耐湿リング７１２Ｌａ、耐湿リング７１２Ｒａ、及び、耐湿リング７１３ａにより二層構造の耐湿リングが構成される。
- [0226] 図４２は、耐湿リング７１２Ｌａ、耐湿リング７１２Ｒａ、及び、耐湿リング７１３ａを構成するダミー配線を模式的に示すイメージ図である。耐湿リング７１２Ｌａは、ほぼ同じ矩形のリング状のダミー配線７２１Ｌ－１乃至７２１Ｌ－３を含むように構成される。耐湿リング７１２Ｒａは、ほぼ同じ矩形のリング状のダミー配線７２１Ｒ－１乃至７２１Ｒ－３を含むように構成される。耐湿リング７１３ａは、ほぼ同じ矩形のリング状のダミー配線７２２－１乃至７２２－３を含むように構成される。
- [0227] 図４３は、図４１の枠Ｃ１で囲まれる付近の耐湿リングの構成を模式的に示す斜視図である。図４４は、図４３から、耐湿リング７１３ａを除いた図である。
- [0228] 耐湿リング７１２Ｌａは、ダミー配線７２１Ｌ－１乃至７２１Ｌ－３、コンタクトの材料からなる壁７２３Ｌ、及び、ビアの材料からなる壁７２４Ｌ－１乃至７２４Ｌ－３により構成される。耐湿リング７１２Ｒａは、ダミー配線７２１Ｒ－１乃至７２１Ｒ－３、コンタクトの材料からなる壁７２３Ｒ、及び、ビアの材料からなる壁７２４Ｒ－１乃至７２４Ｒ－３により構成される。耐湿リング７１３ａは、ダミー配線７２２－１乃至７２２－３、並びに、ビアの材料からなる壁７２５－１及び７２５－２により構成される。
- [0229] ダミー配線７２１Ｌ－１とダミー配線７２１Ｒ－１は、ロジック基板７０

1の最も下の第1の配線層に形成されている。ダミー配線721L-2とダミー配線721R-2は、ロジック基板701の第2の配線層に形成されている。ダミー配線721L-3とダミー配線721R-3は、ロジック基板701の第3の配線層に形成されている。ダミー配線722-1は、ロジック基板701の第4の配線層に形成されている。ダミー配線722-2は、ロジック基板701の第5の配線層に形成されている。ダミー配線722-3は、ロジック基板701の最も上の第6の配線層に形成されている。

[0230] ダミー配線721L-1乃至721L-3は、ほぼ同じ矩形のリング状の形状を有しており、各配線層において、信号処理回路711Lの外周付近に沿って、信号処理回路711Lの周囲を囲むように形成されている。

[0231] 壁723L、及び、壁724L-1乃至724L-3は、ほぼ同じ矩形のリング状の形状を有しており、信号処理回路711Lの外周付近に沿って、信号処理回路711Lの周囲を囲むように形成されている。壁723Lは、ロジック基板701の基板層751（図47等）と第1の配線層とを接続するコンタクトと同一の工程で形成され、基板層751とダミー配線721L-1とを接続する。壁724L-1乃至724L-3は、第1の配線層から第4の配線層までの各配線層間を接続するビアと同一の工程で形成される。壁724L-1は、ダミー配線721L-1とダミー配線721L-2とを接続するビアである。壁724L-2は、ダミー配線721L-2とダミー配線721L-3とを接続するビアである。壁724L-3は、ダミー配線721L-3とダミー配線722-1とを接続するビアである。

[0232] このように、耐湿リング712Laは、壁723L乃至壁724L-3により信号処理回路711Lの周囲を囲む壁を形成する。

[0233] ダミー配線721R-1乃至721R-3は、ほぼ同じ矩形のリング状の形状を有しており、各配線層において、信号処理回路711Rの外周付近に沿って、信号処理回路711Rの周囲を囲むように形成されている。

[0234] 壁723R、及び、壁724R-1乃至724R-3は、ほぼ同じ矩形のリング状の形状を有しており、信号処理回路711Rの外周付近に沿って、

信号処理回路 7 1 1 R の周囲を囲むように形成されている。壁 7 2 3 R は、ロジック基板 7 0 1 の基板層 7 5 1（図 4 7 等）と第 1 の配線層とを接続するコンタクトと同一の工程で形成され、基板層 7 5 1 とダミー配線 7 2 1 R-1 とを接続する。壁 7 2 4 R-1 乃至 7 2 4 R-3 は、第 1 の配線層から第 4 の配線層までの各配線層間を接続するビアと同一の工程で形成される。壁 7 2 4 R-1 は、ダミー配線 7 2 1 R-1 とダミー配線 7 2 1 R-2 とを接続するビアである。壁 7 2 4 R-2 は、ダミー配線 7 2 1 R-2 とダミー配線 7 2 1 R-3 とを接続するビアである。壁 7 2 4 R-3 は、ダミー配線 7 2 1 R-3 とダミー配線 7 2 2-1 とを接続するビアである。

[0235] このように、耐湿リング 7 1 2 R a は、壁 7 2 3 R 乃至壁 7 2 4 R-3 により信号処理回路 7 1 1 R の周囲を囲む壁を形成する。

[0236] ダミー配線 7 2 2-1 乃至 7 2 2-3 は、ほぼ同じ矩形のリング状の形状を有しており、各配線層において、ロジック基板 7 0 1 の外周付近に沿って、信号処理回路 7 1 1 L 及び 7 1 1 R の外周を囲むように形成されている。

[0237] 壁 7 2 5-1 及び 7 2 5-2 は、ほぼ同じ矩形のリング状の形状を有しており、ロジック基板 7 0 1 の外周付近に沿って、信号処理回路 7 1 1 L 及び 7 1 1 R の外周を囲むように形成されている。壁 7 2 5-1 及び 7 2 5-2 は、第 4 の配線層から第 6 の配線層までの各配線層間を接続するビアと同一の工程で形成される。壁 7 2 5-1 は、ダミー配線 7 2 2-1 とダミー配線 7 2 2-2 とを接続するビアである。壁 7 2 5-2 は、ダミー配線 7 2 2-2 とダミー配線 7 2 2-3 とを接続するビアである。

[0238] このように、耐湿リング 7 1 3 a は、ダミー配線 7 2 2-1 乃至 7 2 2-3 によりロジック基板 7 0 1 の周囲を囲む壁を形成する。

[0239] 壁 7 2 4 L-3 及び 7 2 4 R-3 を含む層より下の層の形成には、一括露光が用いられる。ダミー配線 7 2 2-1 を含む層より上の層の形成には、分割露光が用いられる。これにより、図 2 4 乃至図 2 6 を参照して上述したように、全ての層の形成に分割露光を用いる場合と比較して、コストを削減することができる。

[0240] また、第1の配線層から第6の配線層には、例えば、銅が用いられる。そして、ダミー配線721L-1乃至721L-3、721R-1乃至721R-3、及び、722-1乃至722-3、並びに、壁724L-1乃至724L-3、724R-1乃至724R-3、725-1、及び、725-2は銅により形成される。壁723L、723Rはタングステンにより形成される。また、基板層751の表面から第6の配線層の上端までの層間絶縁膜には、例えば、誘電率が低いlow-K材料からなる絶縁膜が用いられる。

[0241] そして、例えば、ダミー配線722-1乃至722-3と同じ層に、信号処理回路711Lと信号処理回路711Rとを接続する回路間配線層を設けることにより、2つの信号処理回路の間において、より複雑な配線を実現することができる。

[0242] しかし、図43に示されるように、耐湿リング712La及び712Raと耐湿リング713aとを単純に積層しただけでは、ロジック基板701の配線層及び信号処理回路711L、711Rに水分が浸入し、耐湿性を確保できない。

[0243] 例えば、図43の矢印で示されるように、図41の枠C1及び枠C2で囲まれる部分にあるロジック基板701の側面の耐湿リング712Laと耐湿リング712Raの間隙から浸入した水分が、図内の上方に進み、耐湿リング713aの内側に浸入する。さらに、水分は、耐湿リング712La及び耐湿リング712Raを超えて、耐湿リング712Laの内側及び耐湿リング712Raの内側に浸入する。

[0244] 従って、これらの水分の浸入経路を塞ぎ、耐湿性を向上させる必要がある。

[0245] ここで、図45乃至図48を参照して、二層構造の耐湿リングの第2の実施の形態について説明する。この第2の実施の形態は、第1の実施の形態と比較して、耐湿性を向上させるようにするものである。なお、図45乃至図48において、図43及び図44と対応する部分には、同じ符号を付してあ

る。

[0246] 図45は、図41の枠C1で囲まれる付近の耐湿リングの構成を模式的に示す斜視図である。図46は、図44から、壁725-1より上の部分を除いた図である。図47は、図41のA-A部の断面図である。図48は、図41のB-B部の断面図である。

[0247] 図45を、図43と比較すると、第4の配線層において、ダミー配線722-1の代わりにダミー配線741が設けられている点が異なる。そして、耐湿リング712Lb、耐湿リング712Rb、及び、耐湿リング713bにより二層構造の耐湿リングが構成される。

[0248] 耐湿リング712Lbは、ダミー配線721L-1乃至721L-3、壁723L、壁724L-1乃至724L-3、及び、ダミー配線741の一部により構成される。耐湿リング712Rbは、ダミー配線721R-1乃至721R-3、壁723R、壁724R-1乃至724R-3、及び、ダミー配線741の一部により構成される。耐湿リング713bは、ダミー配線722-2及び722-3、壁725-1及び725-2、並びに、ダミー配線741の一部により構成される。ダミー配線741は、耐湿リング712Lb及び712Rbと耐湿リング713bとの境界に位置し、各耐湿リングの構成要素に含まれる。

[0249] なお、以下、適宜、図46の点線で示される補助線により、ダミー配線741をリング部741Aと蓋部741Bに分けて説明する。

[0250] ダミー配線741のリング部741Aは、図43のダミー配線722-1と同じ形状を有している。従って、ダミー配線741は、ダミー配線722-1に蓋部741Bを追加した形となる。

[0251] 蓋部741Bは、前後方向に延びる矩形の板状の形状を有しており、リング部741Aの前方の辺と後方の辺を接続する。蓋部741Bの左側面は、左右方向において、ダミー配線721L-3の右辺の左側面とほぼ同じ位置にある。蓋部741Bの右側面は、左右方向において、ダミー配線721R-3の左辺の右側面とほぼ同じ位置にある。

[0252] 従って、ダミー配線 741 のリング部 741A の一部及び蓋部 741B により構成される障壁部により、耐湿リング 712Lb と耐湿リング 712Rb との間の領域の上面が塞がれる。すなわち、この障壁部により、耐湿リング 712Lb と耐湿リング 712Rb との間の領域と、耐湿リング 713b により囲まれる領域との間が隔てられる。これにより、図 47 及び図 48 に示されるように、非耐湿領域 752 と耐湿領域 753 との間が、耐湿リング 712Lb、耐湿リング 712Rb、及び、耐湿リング 713b により確実に分離される。

[0253] なお、非耐湿領域 752 は、基板層 751 の上において、耐湿リング 712Lb、耐湿リング 712Rb、及び、耐湿リング 713b のいずれにも囲まれていない領域である。耐湿領域 753 は、基板層 751 の上において、耐湿リング 712Lb、耐湿リング 712Rb、及び、耐湿リング 713b のうち少なくとも 1 つにより囲まれる領域である。耐湿領域 753 内には、回路や配線等が設けられるため、耐湿性が要求される。

[0254] そして、例えば、障壁部を含む層と隣接する層を含む、基板層 751 の表面から第 6 の配線層の上端までの層間絶縁膜に low-K 材料からなる絶縁膜が用いた場合も、非耐湿領域 752 に浸入した水分が、耐湿領域 753 に浸入することが防止される。従って、耐湿領域 753 の耐湿性が保たれ、ロジック基板 701 を用いた固体撮像素子の信頼性が向上する。

[0255] また、上述した特許文献 3 に開示されている技術と比較して、耐湿性を確保するために専用の耐湿膜を設ける必要がないため、製造工程を削減し、製造コストを削減することができる。

[0256] なお、ダミー配線 741 を含む第 4 の配線層の形成には、分割露光が用いられる。

[0257] 次に、図 49 乃至図 54 を参照して、二層構造の耐湿リングの第 3 の実施の形態について説明する。この第 3 の実施の形態は、第 2 の実施の形態と同様に、耐湿性を向上させるようにするものである。なお、図 49 乃至図 54 において、図 43 及び図 44 と対応する部分には、同じ符号を付してある。

[0258] 図49は、図41の枠C1で囲まれる付近の耐湿リングの構成を模式的に示す斜視図である。図50は、図49から、壁762より上の部分を除いた図である。図51は、図50に、壁762を加えた図である。図52は、図51に、ダミー配線763を加えた図である。図53は、図41のA-A部の断面図である。図54は、図41のB-B部の断面図である。

[0259] 図49を、図43と比較すると、第3の配線層から第4の配線層までの構成が異なる。具体的には、第3の配線層において、ダミー配線721L-3及びダミー配線721R-3の代わりに、ダミー配線761が設けられている。第3の配線層と第4の配線層の間において、壁724L-3及び724R-3の代わりに、壁762が設けられている。第4の配線層において、ダミー配線722-1の代わりに、ダミー配線763が設けられている。そして、耐湿リング712Lc、耐湿リング712Rc、及び、耐湿リング713cにより二層構造の耐湿リングが構成される。

[0260] 耐湿リング712Lcは、ダミー配線721L-1及び721L-2、壁723L、壁724L-1及び724L-2、ダミー配線761の一部、壁762の一部、及び、ダミー配線763の一部により構成される。耐湿リング712Rcは、ダミー配線721R-1及び721R-2、壁723R、壁724R-1及び724R-2、ダミー配線761の一部、壁762の一部、及び、ダミー配線763の一部により構成される。耐湿リング713cは、ダミー配線722-2及び722-3、壁725-1及び725-2、ダミー配線761の一部、壁762の一部、及び、ダミー配線763の一部により構成される。ダミー配線761、壁762、及び、ダミー配線763は、耐湿リング712Lc及び712Rcと耐湿リング713cとの境界に位置し、各耐湿リングの構成要素に含まれる。

[0261] なお、以下、適宜、図50の点線で示される補助線により、ダミー配線761を、リング部761AL、リング部761AR、接続部761B-1、接続部761B-2（不図示）、蓋部761C-1、及び、蓋部761C-2に分けて説明する。また、以下、適宜、図51の点線で示される補助線に

より、壁 7 6 2 を、リング部 7 6 2 A L、リング部 7 6 2 A R、接続部 7 6 2 B - 1、接続部 7 6 2 B - 2（不図示）、及び、接続部 7 6 2 C - 1 乃至 7 6 2 C - 4 に分けて説明する。さらに、以下、適宜、図 5 2 の点線で示される補助線により、ダミー配線 7 6 3 を、リング部 7 6 3 A、及び、蓋部 7 6 3 B - 1 乃至 7 6 3 B - 3 に分けて説明する。

[0262] ダミー配線 7 6 1 のリング部 7 6 1 A L 及びリング部 7 6 1 A R は、図 4 3 のダミー配線 7 2 1 L - 3 及びダミー配線 7 2 1 R - 3 と同じ形状を有している。従って、ダミー配線 7 6 1 は、ダミー配線 7 2 1 L - 3 及びダミー配線 7 2 1 R - 3 に、接続部 7 6 1 B - 1、接続部 7 6 1 B - 2、蓋部 7 6 1 C - 1、及び、蓋部 7 6 1 C - 2 を追加した形となる。

[0263] 接続部 7 6 1 B - 1 は、リング部 7 6 1 A L の前方の辺とリング部 7 6 1 A R の前方の辺とを接続する。図示せぬ接続部 7 6 1 B - 2 は、リング部 7 6 1 A L の後方の辺とリング部 7 6 1 A R の後方の辺とを接続する。従って、リング部 7 6 1 A L の右辺を除く辺、リング部 7 6 1 A R の左辺を除く辺、接続部 7 6 1 B - 1、並びに、接続部 7 6 1 B - 2 により、ロジック基板 7 0 1 の外周付近に沿って、信号処理回路 7 1 1 L 及び 7 1 1 R の外周を囲むリングが形成される。

[0264] 蓋部 7 6 1 C - 1 及び蓋部 7 6 1 C - 2 は、前後方向に延びる矩形の板状の形状を有しており、接続部 7 6 1 B - 1 と接続部 7 6 1 B - 2 とを接続する。蓋部 7 6 1 C - 1 及び蓋部 7 6 1 C - 2 は、リング部 7 6 1 A L の右辺とリング部 7 6 1 A R の左辺との間において、所定の間隔を空けて配置される。

[0265] そして、リング部 7 6 1 A L の右辺と蓋部 7 6 1 C - 1 との間に、矩形の開口部 7 6 1 D - 1 が形成される。蓋部 7 6 1 C - 1 と蓋部 7 6 1 C - 2 との間に、矩形の開口部 7 6 1 D - 2 が形成される。蓋部 7 6 1 C - 2 とリング部 7 6 1 A R の左辺の間に、矩形の開口部 7 6 1 D - 3 が形成される。開口部 7 6 1 D - 1 乃至 7 6 1 D - 3 は、ほぼ同じ大きさである。

[0266] 壁 7 6 2 は、ダミー配線 7 6 1 とダミー配線 7 6 3 とを接続するビアであ

る。壁 7 6 2 のリング部 7 6 2 A L 及びリング部 7 6 1 A R は、図 4 3 の壁 7 2 4 L - 3 及び壁 7 2 4 R - 3 と同じ形状を有している。従って、壁 7 6 2 は、壁 7 2 4 L - 3 及び壁 7 2 4 R - 3 に、接続部 7 6 2 B - 1、接続部 7 6 2 B - 2、及び、接続部 7 6 2 C - 1 乃至 7 6 2 C - 4 を追加した形となる。

[0267] 接続部 7 6 2 B - 1 は、ダミー配線 7 6 1 の接続部 7 6 1 B - 1 の上面において、リング部 7 6 2 A L の前方の辺とリング部 7 6 2 A R の前方の辺とを接続する。図示せぬ接続部 7 6 2 B - 2 は、ダミー配線 7 6 1 の接続部 7 6 1 B - 2（不図示）の上面において、リング部 7 6 2 A L の後方の辺とリング部 7 6 2 A R の後方の辺とを接続する。従って、リング部 7 6 2 A L の右辺を除く辺、リング部 7 6 2 A R の左辺を除く辺、接続部 7 6 2 B - 1、並びに、接続部 7 6 2 B - 2 により、ロジック基板 7 0 1 の外周付近に沿って、信号処理回路 7 1 1 L 及び 7 1 1 R の外周を囲むリングが形成される。

[0268] 接続部 7 6 2 C - 1 乃至 7 6 2 C - 4 は、前後方向に延びる矩形の板状の形状を有しており、接続部 7 6 2 B - 1 と接続部 7 6 2 B - 2 とを接続する。接続部 7 6 1 C - 1 乃至 7 6 1 C - 4 は、リング部 7 6 2 A L の右辺とリング部 7 6 2 A R の左辺との間において、所定の間隔を空けて配置される。接続部 7 6 2 C - 1 は、ダミー配線 7 6 1 の蓋部 7 6 1 C - 1 の上面の左端付近に配置される。接続部 7 6 2 C - 2 は、ダミー配線 7 6 1 の蓋部 7 6 1 C - 1 の上面の右端付近に配置される。接続部 7 6 2 C - 3 は、ダミー配線 7 6 1 の蓋部 7 6 1 C - 2 の上面の左端付近に配置される。接続部 7 6 2 C - 4 は、ダミー配線 7 6 1 の蓋部 7 6 1 C - 2 の上面の右端付近に配置される。

[0269] そして、リング部 7 6 2 A L、接続部 7 6 2 B - 1、接続部 7 6 2 C - 1、及び、接続部 7 6 2 B - 2（不図示）により、ダミー配線 7 6 1 の開口部 7 6 1 D - 1 の周囲を囲むように開口部 7 6 2 D - 1 が形成される。接続部 7 6 2 C - 2、接続部 7 6 2 B - 1、接続部 7 6 2 C - 3、及び、接続部 7 6 2 B - 2（不図示）により、ダミー配線 7 6 1 の開口部 7 6 1 D - 2 の周

囲を囲むように開口部 7 6 2 D-2 が形成される。接続部 7 6 2 C-4、接続部 7 6 2 B-1、リング部 7 6 2 A R、及び、接続部 7 6 2 B-2（不図示）により、ダミー配線 7 6 1 の開口部 7 6 1 D-3 の周囲を囲むように開口部 7 6 2 D-3 が形成される。

[0270] ダミー配線 7 6 3 のリング部 7 6 3 A は、図 4 3 のダミー配線 7 2 2-1 と同じ形状を有している。従って、ダミー配線 7 6 3 は、ダミー配線 7 2 2-1 に蓋部 7 6 3 B-1 乃至 7 6 3 B-3 を追加した形となる。

[0271] 蓋部 7 6 3 B-1 乃至 7 6 3 B-3 は、前後方向に延びる板状の形状を有しており、リング部 7 6 3 A の前方の辺と後方の辺を接続する。

[0272] 蓋部 7 6 3 B-1 の左側面は、左右方向において、壁 7 6 2 のリング部 7 6 2 A L の右辺より左側に位置し、ダミー配線 7 6 1 のリング部 7 6 1 A L の右辺の左側面とほぼ同じ位置にある。蓋部 7 6 3 B-1 の右側面は、左右方向において、壁 7 6 2 の接続部 7 6 2 C-1 より少し右側に位置する。従って、蓋部 7 6 3 B-1 により、壁 7 6 2 の開口部 7 6 2 D-1 が上方から塞がれる。

[0273] 蓋部 7 6 3 B-2 の左側面は、左右方向において、壁 7 6 2 の接続部 7 6 2 C-2 より少し左側に位置する。蓋部 7 6 3 B-2 の右側面は、左右方向において、壁 7 6 2 の接続部 7 6 2 C-3 より少し右側に位置する。従って、蓋部 7 6 3 B-2 により、壁 7 6 2 の開口部 7 6 2 D-2 が上方から塞がれる。

[0274] 蓋部 7 6 3 B-3 の左側面は、左右方向において、壁 7 6 2 の接続部 7 6 2 C-4 より少し左側に位置する。蓋部 7 6 3 B-3 の右側面は、左右方向において、壁 7 6 2 のリング部 7 6 2 A R の左辺より右側に位置し、ダミー配線 7 6 1 のリング部 7 6 1 A R の左辺の右側面とほぼ同じ位置にある。従って、蓋部 7 6 3 B-3 により、壁 7 6 2 の開口部 7 6 2 D-3 が上方から塞がれる。

[0275] そして、ダミー配線 7 6 1 の一部、壁 7 6 2 の一部、及び、ダミー配線 7 6 3 の一部により構成される障壁部により、耐湿リング 7 1 2 L c と耐湿リ

ング 7 1 2 R c との間の領域の上面が塞がれる。すなわち、この障壁部により、耐湿リング 7 1 2 L c と耐湿リング 7 1 2 R c との間の領域と、耐湿リング 7 1 3 c により囲まれる領域との間が隔てられる。

[0276] これにより、図 5 3 及び図 5 4 に示されるように、非耐湿領域 7 7 1 と耐湿領域 7 7 2 との間が、耐湿リング 7 1 2 L c、耐湿リング 7 1 2 R c、及び、耐湿リング 7 1 3 c により確実に分離される。そして、非耐湿領域 7 7 1 に浸入した水分が、耐湿領域 7 7 2 に浸入することが防止される。従って、耐湿領域 7 7 2 の耐湿性が保たれ、ロジック基板 7 0 1 を用いた固体撮像素子の信頼性が向上する。

[0277] また、図 5 3 に示されるように、障壁部において、第 3 の配線層におけるダミー配線と、第 4 の配線層におけるダミー配線が、左右方向において交互に配置され、障壁部が、矩形の波型に近い形状の断面を持つチェーン構造になっている。これにより、上述した図 4 6 のダミー配線 7 4 1 の蓋部 7 4 1 B と比較して、各ダミー配線の面積を小さくすることができ、製造が容易になる。

[0278] さらに、上述した特許文献 3 に開示されている技術と比較して、耐湿性を確保するために専用の耐湿膜を設ける必要がないため、製造工程を削減し、製造コストを削減することができる。

[0279] なお、ダミー配線 7 6 1 を含む第 3 の配線層、壁 7 6 2 を含む第 3 の配線層と第 4 の配線層の間の層、及び、ダミー配線 7 6 3 を含む第 4 の配線層の形成には、分割露光が用いられる。

[0280] また、左右方向において第 3 の配線層におけるダミー配線と第 4 の配線層におけるダミー配線とを交互に繰り返す数は、この例に限定されるものではなく、任意の数に設定することができる。

[0281] さらに、3 層以上の配線層を用いて障壁部を形成するようにしてもよい。

[0282] 次に、図 5 5 乃至図 6 0 を参照して、二層構造の耐湿リングの第 4 の実施の形態について説明する。この第 4 の実施の形態は、第 2 及び第 3 の実施の形態と同様に、耐湿性を向上させるようにするものである。なお、図 5 5 乃

至図60において、図43及び図44と対応する部分には、同じ符号を付してある。

[0283] 図55は、図41の枠C1で囲まれる付近の耐湿リングの構成を模式的に示す斜視図である。図56は、図55から、壁782、並びに、壁783-1及び783-2より上の部分を除いた図である。図57は、図56に、壁782、並びに、壁783-1及び783-2を加えた図である。図58は、図57に、ダミー配線784、並びに、ダミー配線785-1及び785-2を加えた図である。図59は、図41のA-A部の断面図である。図60は、図41のB-B部の断面図である。

[0284] 図55を、図43と比較すると、第3の配線層から第4の配線層までの構成が異なる。具体的には、第3の配線層において、ダミー配線721L-3及びダミー配線721R-3の代わりに、ダミー配線781が設けられている。第3の配線層と第4の配線層の間において、壁724L-3及び724R-3の代わりに、壁782、及び、壁783-1乃至783-n（壁783-3以降は不図示）が設けられている。第4の配線層において、ダミー配線722-1の代わりに、ダミー配線784、及び、ダミー配線785-1乃至785-n（壁785-3以降は不図示）が設けられている。そして、耐湿リング712Ld、耐湿リング712Rd、及び、耐湿リング713dにより二層構造の耐湿リングが構成される。

[0285] なお、以下、壁783-1乃至783-nを個々に区別する必要がない場合、単に壁783と称する。以下、ダミー配線785-1乃至785-nを個々に区別する必要がない場合、単にダミー配線785と称する。

[0286] 耐湿リング712Ldは、ダミー配線721L-1及び721L-2、壁723L、壁724L-1及び724L-2、ダミー配線781の一部、壁782の一部、壁783-1乃至783-nの一部、ダミー配線784の一部、並びに、ダミー配線785-1乃至785-nの一部により構成される。耐湿リング712Rdは、ダミー配線721R-1及び721R-2、壁723R、壁724R-1及び724R-2、ダミー配線781の一部、壁

782の一部、壁783-1乃至783-nの一部、ダミー配線784の一部、並びに、ダミー配線785-1乃至785-nの一部により構成される。耐湿リング713dは、ダミー配線722-2及び722-3、壁725-1及び725-2、ダミー配線781の一部、壁782の一部、壁783-1乃至783-nの一部、ダミー配線784の一部、並びに、ダミー配線785-1乃至785-nの一部により構成される。ダミー配線781、壁782、壁783-1乃至783-n、ダミー配線784、及び、ダミー配線785-1乃至785-nは、耐湿リング712Ld及び712Rdと耐湿リング713dとの境界に配置され、各耐湿リングの構成要素に含まれる。

[0287] なお、以下、適宜、図56の点線で示される補助線により、ダミー配線781を、リング部781AL、リング部781AR、蓋部781B-1乃至781B-(n+1)（蓋部781B-3以降は不図示）に分けて説明する。また、以下、図58において点線で示される補助線により、ダミー配線784を、リング部784A、蓋部784B-1、及び、蓋部784B-2（不図示）に分けて説明する。

[0288] ダミー配線781のリング部781AL及びリング部781ARは、図43のダミー配線721L-3及びダミー配線721R-3と同じ形状を有している。従って、ダミー配線781は、ダミー配線721L-3及びダミー配線721R-3に、蓋部781B-1乃至781B-(n+1)を追加した形となる。

[0289] なお、以下、蓋部781B-1乃至蓋部781B-(n+1)を個々に区別する必要がない場合、単に蓋部781Bと称する。

[0290] 各蓋部781Bは、左右方向に延びる矩形の板状の形状を有しており、リング部781ALの右辺とリング部781ARの左辺とを接続する。各蓋部781Bは、前後方向に所定の間隔を空けて配置される。そして、リング部781ALの右辺、リング部781ARの左辺、及び、隣接する蓋部781Bにより、矩形の開口部781C-1乃至781C-nが形成される。

- [0291] なお、以下、開口部 781C-1 乃至 781C-n を個々に区別する必要がない場合、単に開口部 781C と称する。
- [0292] 壁 782 は、ダミー配線 781 とダミー配線 784 を接続するビアである。壁 782 は、ほぼ矩形のリング状の形状を有しており、ロジック基板 701 の外周付近に沿って、信号処理回路 711L 及び 711R の外周を囲むように形成されている。ただし、壁 782 は、図 41 の枠 C1 及び枠 C2 で囲まれる付近において、下方のダミー配線 781 の形状に合わせて、ロジック基板 701 の内側に向けて窪んでいる。
- [0293] 壁 783-1 乃至 783-n は、それぞれダミー配線 781 とダミー配線 785-1 乃至 785-n を接続するビアである。壁 783-1 乃至 783-n は、ほぼ同じ矩形のリング状の形状を有しており、ダミー配線 781 の上面において、ダミー配線 781 の開口部 781C-1 乃至 781C-n の周囲をそれぞれ囲むように形成されている。
- [0294] ダミー配線 784 のリング部 784A は、図 43 のダミー配線 722-1 と同じ形状を有している。従って、ダミー配線 784 は、ダミー配線 722-1 に、蓋部 784B-1 及び 784B-2 を追加した形となる。
- [0295] 蓋部 784B-1 は、左右方向に延びる矩形の板状の形状を有している。蓋部 784B-1 は、リング部 784A と壁 782 の前側の窪んだ部分とにより形成される開口部を上方から塞ぐ。
- [0296] 蓋部 784B-2 (不図示) は、左右方向に延びる矩形の板状の形状を有している。蓋部 784B-1 は、リング部 784A と壁 782 の後ろ側の窪んだ部分 (不図示) とにより形成される開口部を上方から塞ぐ。
- [0297] ダミー配線 785-1 乃至 785-n は、左右方向に延びる矩形の板状の形状を有している。ダミー配線 785-1 乃至 785-n は、それぞれ壁 783-1 乃至 783-n の開口部を上方から塞ぐように形成されている。
- [0298] 従って、ダミー配線 781 の一部、壁 782 の一部、壁 783-1 乃至 783-n、ダミー配線 784 の一部、及び、ダミー配線 785-1 乃至 785-n により構成される障壁部により、耐湿リング 712Ld と耐湿リング

7 1 2 R d との間の領域の上面が塞がれる。すなわち、この障壁部により、耐湿リング 7 1 2 L d と耐湿リング 7 1 2 R d との間の領域と、耐湿リング 7 1 3 d により囲まれる領域との間が隔てられる。

[0299] これにより、図 5 9 及び図 6 0 に示されるように、非耐湿領域 7 9 1 と耐湿領域 7 9 2 との間が、耐湿リング 7 1 2 L d、耐湿リング 7 1 2 R d、及び、耐湿リング 7 1 3 d により確実に分離される。そして、非耐湿領域 7 9 1 に浸入した水分が、耐湿領域 7 9 2 に浸入することが防止される。従って、耐湿領域 7 9 2 の耐湿性が保たれ、ロジック基板 7 0 1 を用いた固体撮像素子の信頼性が向上する。

[0300] また、図 6 0 に示されるように、障壁部において、第 3 の配線層におけるダミー配線と、第 4 の配線層におけるダミー配線が、前後方向において交互に配置され、障壁部が、矩形の波型に近い形状の断面を持つチェーン構造になっている。これにより、上述した図 4 6 のダミー配線 7 4 1 の蓋部 7 4 1 B と比較して、各ダミー配線の面積を小さくすることができ、製造が容易になる。

[0301] さらに、上述した特許文献 3 に開示されている技術と比較して、耐湿性を確保するために専用の耐湿膜を設ける必要がないため、製造工程を削減し、製造コストを削減することができる。

[0302] なお、ダミー配線 7 8 1 を含む第 3 の配線層、壁 7 8 2 及び壁 7 8 3 - 1 乃至 7 8 3 - n を含む第 3 の配線層と第 4 の配線層の間の層、並びに、ダミー配線 7 8 4 及びダミー配線 7 8 5 - 1 乃至 7 8 5 - n を含む第 4 の配線層の形成には、分割露光が用いられる。

[0303] また、前後方向において第 3 の配線層におけるダミー配線と第 4 の配線層におけるダミー配線とを交互に繰り返す数は、任意の数に設定することができる。

[0304] さらに、3 層以上の配線層を用いて障壁部を形成するようにしてもよい。

[0305] 図 6 1 乃至図 6 3 は、二層構造の耐湿リングの第 4 の実施の形態の変形例を示している。図 6 1 は、図 4 1 の枠 C 1 で囲まれる付近の耐湿リングの構

成を模式的に示す斜視図である。図 6 2 は、図 4 1 の A - A 部の断面図である。図 6 3 は、図 4 1 の B - B 部の断面図である。

[0306] この変形例では、図 6 1 及び図 6 3 に示されるように、ダミー配線 7 8 4 及びダミー配線 7 8 5 - 1 乃至 7 8 5 - n を含む第 4 の配線層において、信号処理回路 7 1 1 L と信号処理回路 7 1 1 R との間を接続するための配線が設けられている。例えば、ダミー配線 7 8 4 とダミー配線 7 8 5 - 1 の間に、配線 8 0 1 - 1 が設けられ、ダミー配線 7 8 5 - 1 とダミー配線 7 8 5 - 2 との間に、配線 8 0 1 - 1 が設けられている。

[0307] このように、障壁部を構成する配線層を効果的に利用して、信号処理回路 7 1 1 L と信号処理回路 7 1 1 R との間の配線を設けることができる。

[0308] 次に、図 6 4 乃至図 6 8 を参照して、二層構造の耐湿リングの第 5 の実施の形態について説明する。この第 5 の実施の形態は、第 2 乃至第 4 の実施の形態と同様に、耐湿性を向上させるようにするものである。なお、図 6 4 乃至図 6 8 において、図 4 3 及び図 4 4 と対応する部分には、同じ符号を付してある。

[0309] 図 6 4 は、図 4 1 の枠 C 1 で囲まれる付近の二層構造の耐湿リングの構成を模式的に示す斜視図である。図 6 5 は、図 6 4 から、ダミー配線 8 2 4 より上の部分を除いた図である。図 6 6 は、図 6 5 に、ダミー配線 8 2 4 を加えた図である。図 6 7 は、図 4 1 の A - A 部の断面図である。図 6 8 は、図 4 1 の B - B 部の断面図である。

[0310] 図 6 4 を、図 4 3 と比較すると、第 1 の配線層から第 4 の配線層までの構成が異なる。具体的には、第 1 乃至第 3 の配線層に、ダミー配線 8 2 2 - 1 乃至 8 2 2 - 3 が追加されている。基板層 7 5 1 と第 1 の配線層の間に、壁 8 2 1 が追加されている。第 1 の配線層から第 4 の配線層までの各配線層の間に、壁 8 2 3 - 1 乃至壁 8 2 3 - 3 が追加されている。第 4 の配線層において、ダミー配線 7 2 2 - 1 の代わりに、ダミー配線 8 2 4 が設けられている。そして、耐湿リング 7 1 2 L e、耐湿リング 7 1 2 R e、耐湿リング 7 1 3 e、及び、耐湿リング 7 1 4 により二層構造の耐湿リングが構成される。

。

[0311] 耐湿リング712Leは、ダミー配線721L-1乃至721L-3、壁723L、壁724L-1乃至724L-3、及び、ダミー配線824の一部により構成される。耐湿リング712Reは、ダミー配線721R-1乃至721R-3、壁723R、壁724R-1乃至724R-3、及び、ダミー配線824の一部により構成される。耐湿リング713eは、ダミー配線722-2及び722-3、壁725-1及び725-2、及び、ダミー配線824の一部により構成される。耐湿リング714は、壁821、ダミー配線822-1乃至822-3、壁823-1乃至823-3、及び、ダミー配線824の一部により構成される。ダミー配線824は、耐湿リング712Le、耐湿リング712Re及び耐湿リング714と耐湿リング713eとの境界に配置され、各耐湿リングの構成要素に含まれる。

[0312] なお、以下、適宜、図66の点線で示される補助線により、ダミー配線824を、リング部824A、並びに、蓋部824B-1及び824B-2に分けて説明する。

[0313] ダミー配線822-1乃至822-3は、ほぼ同じ矩形のリング状の形状を有しており、各配線層において、耐湿リング712Le及び耐湿リング712Reと所定の間隔を空けて、スクライプ領域42の周囲を囲むように形成されている。

[0314] 壁821及び壁823-1乃至823-3は、ほぼ同じ矩形のリング状の形状を有しており、耐湿リング712Le及び耐湿リング712Reと所定の間隔を空けて、スクライプ領域42の周囲を囲むように形成されている。

[0315] 壁821は、壁723L及び壁723Rと同一の工程で形成され、基板層751とダミー配線822-1とを接続する。

[0316] 壁823-1乃至823-3は、第1の配線層から第4の配線層までの各配線層間を接続するビアと同一の工程で形成される。壁823-1は、ダミー配線822-1とダミー配線822-2とを接続するビアである。壁823-2は、ダミー配線822-2とダミー配線822-3とを接続するビア

である。壁 8 2 3 - 3 は、ダミー配線 8 2 2 - 3 とダミー配線 8 2 4 とを接続するビアである。

[0317] ダミー配線 8 2 4 のリング部 8 2 4 A は、図 4 3 のダミー配線 7 2 2 - 1 と同じ形状を有している。従って、ダミー配線 8 2 4 は、ダミー配線 7 2 2 - 1 に蓋部 8 2 4 B - 1 及び 8 2 4 B - 2 を追加した形となる。

[0318] 蓋部 8 2 4 B - 1 は、前後方向に延びる矩形の板状の形状を有しており、リング部 8 2 4 A の前方の辺と後方の辺を接続する。蓋部 8 2 4 B - 1 の左側面は、左右方向において、ダミー配線 7 2 1 L - 3 の右辺の左側面とほぼ同じ位置にある。蓋部 8 2 4 B - 1 の右側面は、左右方向において、ダミー配線 8 2 2 - 3 の左辺の右側面とほぼ同じ位置にある。

[0319] 従って、リング部 8 2 4 A の一部と蓋部 8 2 4 B - 1 により構成される障壁部により、耐湿リング 7 1 2 L e と耐湿リング 7 1 4 との間の領域の上面が塞がれる。すなわち、この障壁部により、耐湿リング 7 1 2 L e と耐湿リング 7 1 4 との間の領域と耐湿リング 7 1 3 e により囲まれる領域との間が隔てられる。

[0320] 蓋部 8 2 4 B - 2 は、前後方向に延びる矩形の板状の形状を有しており、リング部 8 2 4 A の前方の辺と後方の辺を接続する。蓋部 8 2 4 B - 2 の左側面は、左右方向において、ダミー配線 8 2 2 - 3 の右辺の左側面とほぼ同じ位置にある。蓋部 8 2 4 B - 2 の右側面は、左右方向において、ダミー配線 7 2 1 R - 3 の左辺の右側面とほぼ同じ位置にある。

[0321] 従って、リング部 8 2 4 A の一部と蓋部 8 2 4 B - 2 により構成される障壁部により、耐湿リング 7 1 2 R e と耐湿リング 7 1 4 との間の領域の上面が塞がれる。すなわち、この障壁部により、耐湿リング 7 1 2 R e と耐湿リング 7 1 4 との間の領域と耐湿リング 7 1 3 e により囲まれる領域との間が隔てられる。

[0322] 以上により、図 6 7 及び図 6 8 に示されるように、非耐湿領域 8 3 1 と耐湿領域 8 3 2 の間が、耐湿リング 7 1 2 L e 、耐湿リング 7 1 2 R e 、耐湿リング 7 1 3 e 、及び、耐湿リング 7 1 4 により確実に分離される。そして

、非耐湿領域 831 に浸入した水分が、耐湿領域 832 に浸入することが防止される。従って、耐湿領域 832 の耐湿性が保たれ、ロジック基板 701 を用いた固体撮像素子の信頼性が向上する。

[0323] なお、この二層構造の耐湿リングの第 5 の実施の形態では、図 69 に示されるように、隣接するロジック基板 701 の間の実際に切断されるスクライプ領域 42 においても、耐湿リング 715 が形成される。耐湿リング 715 は、壁 825、ダミー配線 826-1 乃至 826-4、及び、壁 827-1 乃至 827-3 により構成される。

[0324] ダミー配線 826-1 乃至 826-4 は、第 1 乃至第 4 の配線層にそれぞれ形成されており、耐湿リング 714 のダミー配線 822-1 乃至 822-3 とほぼ同じ矩形のリング状の形状を有している。ダミー配線 826-1 乃至 826-4 は、各配線層において、左側のロジック基板 701 の耐湿リング 712 Re 及び右側のロジック基板 701 の耐湿リング 712 Le と所定の間隔を空けて、スクライプ領域 42 の周囲を囲むように形成されている。

[0325] 壁 825 及び壁 826-1 乃至 826-3 は、耐湿リング 714 の壁 821 及び壁 823-1 乃至 823-3 とほぼ同じ矩形のリング状の形状を有している。壁 825 及び壁 826-1 乃至 826-3 は、左側のロジック基板 701 の耐湿リング 712 Re 及び右側のロジック基板 701 の耐湿リング 712 Le と所定の間隔を空けて、スクライプ領域 42 の周囲を囲むように形成されている。

[0326] 壁 825 は、壁 723 L、壁 723 R 及び壁 821 と同一の工程で形成され、基板層 751 とダミー配線 826-1 とを接続する。

[0327] 壁 827-1 乃至 827-3 は、第 1 の配線層から第 4 の配線層までの各配線層間を接続するビアと同一の工程で形成される。壁 827-1 は、ダミー配線 826-1 とダミー配線 826-2 とを接続するビアである。壁 827-2 は、ダミー配線 826-2 とダミー配線 826-3 とを接続するビアである。壁 827-3 は、ダミー配線 826-3 とダミー配線 826-4 とを接続するビアである。

[0328] そして、耐湿リング715は、図69内の点線で示されるように、固体撮像素子1の製造時に前後方向に切断される。しかし、ロジック基板701の左側面は、耐湿リング715と耐湿リング712Leの二重構造になっており、ロジック基板701の右側面は、耐湿リング715と耐湿リング712Reの二重構造になっている。従って、耐湿リング715が切断されたとしても、耐湿性が低下することはない。

[0329] なお、ダミー配線824及びダミー配線826-4を含む第4の配線層の形成には、分割露光が用いられる。一方、第4の配線より下の層の形成には、一括露光が用いられる。すなわち、耐湿リング714及び耐湿リング715のうちダミー配線824及びダミー配線826-4を除く層の形成には、一括露光が用いられる。

[0330] また、耐湿リング714を設けることにより、上述した図46のダミー配線741の蓋部741Bと比較して、ダミー配線824の蓋部824B-1及び824B-2の面積を小さくすることができ、製造が容易になる。

[0331] さらに、上述した特許文献3に開示されている技術と比較して、耐湿性を確保するために専用の耐湿膜を設ける必要がないため、製造工程を削減し、製造コストを削減することができる。

[0332] 次に、上述した二層構造の耐湿リングの変形例について説明する。

[0333] 以上の説明では、ロジック基板の周囲を囲む基板用耐湿リングの下方のみに障壁部を設ける例を示したが、基板用耐湿リングの上方にも障壁部を設けるようにしてもよい。

[0334] 図70及び図71は、基板用耐湿リングの上方にも障壁部を設けるようにした場合の図41のA-A部の断面図及びB-B部の断面図を模式的に示している。

[0335] この例では、基板層751の上に回路用耐湿リング841L、及び、回路用耐湿リング841R（不図示）が形成されている。一方、ロジック基板701の最上層から下方向に回路用耐湿リング842L、及び、回路用耐湿リング842R（不図示）が形成されている。また、回路用耐湿リング841

L及び回路用耐湿リング841Rと、回路用耐湿リング842L及び回路耐湿用リング842Rとの間に、基板用耐湿リング843が形成されている。

[0336] そして、上述したいずれかの方法により、回路用耐湿リング841Lと回路用耐湿リング841Rとの間の領域と基板用耐湿リング843により囲まれる領域との間を隔てる障壁部が形成される。同様に、回路用耐湿リング842Lと回路用耐湿リング842Rとの間の領域と基板用耐湿リング843により囲まれる領域との間を隔てる障壁部が形成される。すなわち、基板用耐湿リング843の下方に加えて、上方にも障壁部が設けられる。

[0337] これにより、非耐湿領域851と耐湿領域852が、より確実に分離される。

[0338] なお、回路用耐湿リング842L及び回路用耐湿リング842Rを設けずに、基板用耐湿リング843の上面の開口部全体を塞ぐ障壁部を形成するようにしてもよい。

[0339] また、例えば、回路用耐湿リングと基板用耐湿リングの積層順を逆にすることも可能である。例えば、ロジック基板701の基板層751の上に基板用耐湿リングを形成し、その上に回路用耐湿リングを形成するようにしてもよい。

[0340] また、耐湿リング712L、及び、耐湿リング712La乃至712Leは、必ずしも信号処理回路711Lの周囲を全て囲むように形成する必要はなく、例えば、耐湿性を確保できる範囲で、信号処理回路711Lの周囲の一部のみを囲むようにしてもよい。同様に、耐湿リング712R、及び、耐湿リング712Ra乃至712Reは、必ずしも信号処理回路711Rの周囲を全て囲むように形成する必要はなく、例えば、耐湿性を確保できる範囲で、信号処理回路711Rの周囲の一部のみを囲むようにしてもよい。

[0341] また、耐湿リング713、耐湿リング713a乃至713eは、必ずしもロジック基板701の周囲を全て囲むように形成する必要はなく、例えば、耐湿性を確保できる範囲で、ロジック基板701の周囲の一部のみを囲むようにしてもよい。

[0342] さらに、例えば、ロジック基板に3以上の信号処理回路が配置される場合も同様に、各信号処理回路の周囲又は周囲の一部を囲む回路用耐湿リングと、ロジック基板の周囲又は周囲の一部を囲む基板用耐湿リングを形成するようにすればよい。そして、必要に応じて、隣接する回路用耐湿リングの間において、上述した障壁部を形成するようにすればよい。

[0343] なお、上述した耐湿リングの層数や素材、及び、層間絶縁膜の素材は、その一例であり、必要に応じて変更することが可能である。

[0344] {5-2. 撮像処理の変形例}

以上の説明では、1枚の画像データを左右に分割して各信号処理回路で生成する例を示したが、画像データの分割方法は、ロジック基板に設けられる信号処理回路の数やレイアウトに応じて自由に変更することが可能である。例えば、画像データを上下に分割したり、 n 分割（ n は3以上）したりするようにしてもよい。

[0345] また、例えば、画像データを分割せずに、複数（例えば2つ）の信号処理回路でそれぞれ全体の画像データを生成し、生成した複数の画像データの画素値を加算した画像データを生成するようにしてもよい。これにより、ランダムノイズを低減したり、AD変換器81の特性の違いを吸収したりすることができ、画質を向上させることができる。

[0346] この場合、複数の画像データの画素値を重み付けて加算するようにしてもよい。例えば、2つの信号処理回路でそれぞれ全体の画像データを生成し、それぞれ0.5の重みで重み付け加算することにより、2枚の全体の画像データの画素値の平均値からなる画像データを得ることができる。

[0347] さらに、例えば、画像データを分割するとともに、同じ領域の画像データを複数の信号処理回路でそれぞれ生成し、加算するようにしてもよい。例えば、左側の信号処理回路と右側の信号処理回路を二重に設け、被写体の左半分の画像データを2つ作成し、右半分の画像データを2つ生成するようにしてもよい。そして、例えば、2つの左半分の画像データの画素値を加算した画像データと、2つの右半分の画像データの画素値を加算した画像データと

を合成するようにしてもよい。

[0348] {5-3. 本技術の適用範囲の変形例}

以上の説明では、本技術を固体撮像素子に適用する例を示したが、本技術は、チップサイズが露光装置の露光範囲より大きい積層構造の他の半導体装置にも適用することが可能である。

[0349] <6. 電子機器>

本技術が適用される固体撮像素子は、デジタルスチルカメラやビデオカメラ等の撮像装置や、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に固体撮像素子を用いる複写機などの電子機器全般において、その撮像部（画像取込部）として用いることができる。尚、電子機器に搭載される上記モジュール状の形態、即ち、カメラモジュールを撮像装置とする場合もある。

[0350] {6-1. 撮像装置}

図72は、本技術を適用した電子機器の一例である撮像装置（カメラ装置）901の構成例を示すブロック図である。

[0351] 図72に示すように、撮像装置901は、レンズ群911を含む光学系、撮像素子912、カメラ信号処理部であるDSP回路913、フレームメモリ914、表示装置915、記録装置916、操作系917、及び、電源系918等を有している。そして、DSP回路913、フレームメモリ914、表示装置915、記録装置916、操作系917、及び、電源系918がバスライン919を介して相互に接続された構成となっている。

[0352] レンズ群911は、被写体からの入射光（像光）を取り込んで撮像素子912の撮像面上に結像する。撮像素子912は、レンズ群911によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

[0353] 表示装置915は、液晶表示装置や有機EL（electro luminescence）表示装置等のパネル型表示装置から成り、撮像素子912で撮像された動画または静止画を表示する。記録装置916は、撮像素子912で撮像された動

画または静止画を、メモリカードやビデオテープやDVD (Digital Versatile Disk) 等の記録媒体に記録する。

[0354] 操作系917は、ユーザによる操作の下に、本撮像装置901が持つ様々な機能について操作指令を発する。電源系918は、DSP回路913、フレームメモリ914、表示装置915、記録装置916、及び、操作系917の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0355] このような撮像装置901は、ビデオカメラやデジタルスチルカメラ、更には、スマートフォン、携帯電話機等のモバイル機器向けカメラモジュールに適用される。そして、この撮像装置901において、撮像素子912として、上述した各実施形態に係る固体撮像素子を用いることができる。これにより、撮像装置901のコストを低減させることができる。

[0356] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0357] また、例えば、本技術は以下のような構成も取ることができる。

[0358] (1)

画素アレイ部を含む画素回路を備える第1の基板と、

スクライブ領域を介して並ぶ第1の信号処理回路及び第2の信号処理回路を備える第2の基板と

が積層され、

前記第2の基板は、

前記第1の信号処理回路の周囲の少なくとも一部を囲む第1の耐湿リングと、

前記第2の信号処理回路の周囲の少なくとも一部を囲む第2の耐湿リングと、

前記第1の耐湿リング及び前記第2の耐湿リングと異なる層において前記第2の基板の周囲の少なくとも一部を囲む第3の耐湿リングと、

前記第1の耐湿リングと前記第2の耐湿リングとの間の第1の領域と、前記第3の耐湿リングにより周囲の少なくとも一部が囲まれる第2の領域と

の間を隔て、耐湿性を有する障壁部と
を備える固体撮像素子。

(2)

前記障壁部は、信号の伝送に用いられない配線であるダミー配線を含む
上記(1)に記載の固体撮像素子。

(3)

前記障壁部は、複数の配線層に形成されている複数の前記ダミー配線、及
び、異なる配線層の前記ダミー配線を接続するビアを含む
上記(2)に記載の固体撮像素子。

(4)

前記障壁部の少なくとも一部において、第1の配線層における前記ダミー
配線、及び、前記第1の配線層に隣接する第2の配線層における前記ダミー
配線が、前記スクライプ領域が延びる第1の方向、又は、前記第1の方向に
垂直な第2の方向において交互に配置されている

上記(3)に記載の固体撮像素子。

(5)

前記第1の配線層と前記第2の配線層のうち前記第3の耐湿リングに近い
方の配線層において、前記第1の信号処理回路と前記第2の信号処理回路と
を接続する配線が形成されている

上記(4)に記載の固体撮像素子。

(6)

前記第2の基板は、

前記第1の耐湿リング及び前記第2の耐湿リングと所定の間隔を空けて
、前記スクライプ領域の周囲の少なくとも一部を囲むように形成されている
第4の耐湿リングを

さらに備え、

前記障壁部は、前記第1の領域と前記第2の領域との間のうち、前記第1
の耐湿リングと前記第4の耐湿リングとの間の第3の領域と前記第2の領域

の間、及び、前記第2の耐湿リングと前記第4の耐湿リングとの間の第4の領域と前記第2の領域の間を隔てる

上記（1）に記載の固体撮像素子。

（7）

前記第1の耐湿リング及び前記第2の耐湿リングを含む層の少なくとも一部は、一括露光により形成され、

前記第3の耐湿リング及び前記障壁部を含む層は、分割露光により形成される

上記（1）乃至（6）のいずれかに記載の固体撮像素子。

（8）

前記障壁部を含む層と隣接する層との間の層間絶縁膜は、low-K膜により形成される

上記（1）乃至（7）のいずれかに記載の固体撮像素子。

（9）

前記第3の耐湿リングを含む層において、前記第1の信号処理回路と前記第2の信号処理回路とを接続する配線が形成されている

上記（1）乃至（8）のいずれかに記載の固体撮像素子。

（10）

前記画素回路は、分割露光により形成され、

各前記信号処理回路の少なくとも一部の層は、一括露光により形成される

上記（1）乃至（9）のいずれかに記載の固体撮像素子。

（11）

画素アレイ部を含む画素回路を備える第1の基板と、

スクライプ領域を介して並ぶ第1の信号処理回路及び第2の信号処理回路を備える第2の基板と

が積層され、

前記第2の基板は、

前記第1の信号処理回路の周囲の少なくとも一部を囲む第1の耐湿リン

グと、

前記第2の信号処理回路の周囲の少なくとも一部を囲む第2の耐湿リングと、

前記第1の耐湿リング及び前記第2の耐湿リングと異なる層において前記第2の基板の周囲の少なくとも一部を囲む第3の耐湿リングと、

前記第1の耐湿リングと前記第2の耐湿リングとの間の第1の領域と、前記第3の耐湿リングにより周囲の少なくとも一部が囲まれる第2の領域との間を隔て、耐湿性を有する障壁部と

を備える固体撮像素子を

含む電子機器。

符号の説明

[0359] 1 固体撮像素子, 11 画素基板, 12 ロジック基板, 21 画素回路, 22 スクライブ領域, 31 画素アレイ部, 32 単位画素, 41 L, 41 R 信号処理回路, 42 スクライブ領域, 701 ロジック基板, 711 L, 711 R 信号処理回路, 712 L, 712 L a乃至712 L e, 712 R, 712 R a乃至712 R e, 713, 713 a乃至713 e, 714, 715 耐湿リング, 721 L-1乃至721 R-3, 722-1乃至722-3 ダミー配線, 723 L, 723 R, 724 L-1乃至724 R-3, 725-1, 725-2 壁, 741 ダミー配線, 751 基板層, 752 非耐湿領域, 753 耐湿領域, 761 ダミー配線, 762 壁, 763 ダミー配線, 771 非耐湿領域, 772 耐湿領域, 781 ダミー配線, 782, 783-1乃至783-n 壁, 784, 785-1乃至785-n ダミー配線, 791 非耐湿領域, 792 耐湿領域, 801-1, 801-2 配線, 821 壁, 822-1乃至822-3 ダミー配線, 823-1乃至823-3 壁, 824 ダミー配線, 825 壁, 826-1乃至826-4 ダミー配線, 827-1乃至827-4 壁, 831 非耐湿領域, 832 耐湿領域, 841 L, 84

1 R, 8 4 2 L, 8 4 2 R, 8 4 3 耐湿リング, 8 5 1 非耐湿領域,
8 5 2 耐湿領域, 9 0 1 撮像装置, 9 1 2 撮像素子

請求の範囲

- [請求項1] 画素アレイ部を含む画素回路を備える第1の基板と、
スクライブ領域を介して並ぶ第1の信号処理回路及び第2の信号処理回路を備える第2の基板と
が積層され、
前記第2の基板は、
前記第1の信号処理回路の周囲の少なくとも一部を囲む第1の耐湿リングと、
前記第2の信号処理回路の周囲の少なくとも一部を囲む第2の耐湿リングと、
前記第1の耐湿リング及び前記第2の耐湿リングと異なる層において前記第2の基板の周囲の少なくとも一部を囲む第3の耐湿リングと、
前記第1の耐湿リングと前記第2の耐湿リングとの間の第1の領域と、前記第3の耐湿リングにより周囲の少なくとも一部が囲まれる第2の領域との間を隔て、耐湿性を有する障壁部と
を備える固体撮像素子。
- [請求項2] 前記障壁部は、信号の伝送に用いられない配線であるダミー配線を含む
請求項1に記載の固体撮像素子。
- [請求項3] 前記障壁部は、複数の配線層に形成されている複数の前記ダミー配線、及び、異なる配線層の前記ダミー配線を接続するビアを含む
請求項2に記載の固体撮像素子。
- [請求項4] 前記障壁部の少なくとも一部において、第1の配線層における前記ダミー配線、及び、前記第1の配線層に隣接する第2の配線層における前記ダミー配線が、前記スクライブ領域が延びる第1の方向、又は、前記第1の方向に垂直な第2の方向において交互に配置されている
請求項3に記載の固体撮像素子。

- [請求項5] 前記第1の配線層と前記第2の配線層のうち前記第3の耐湿リングに近い方の配線層において、前記第1の信号処理回路と前記第2の信号処理回路とを接続する配線が形成されている
- 請求項4に記載の固体撮像素子。
- [請求項6] 前記第2の基板は、
- 前記第1の耐湿リング及び前記第2の耐湿リングと所定の間隔を空けて、前記スクライブ領域の周囲の少なくとも一部を囲むように形成されている第4の耐湿リングを
- さらに備え、
- 前記障壁部は、前記第1の耐湿リングと前記第4の耐湿リングとの間の第3の領域と前記第2の領域の間、及び、前記第2の耐湿リングと前記第4の耐湿リングとの間の第4の領域と前記第2の領域の間を隔てる
- 請求項1に記載の固体撮像素子。
- [請求項7] 前記第1の耐湿リング及び前記第2の耐湿リングを含む層の少なくとも一部は、一括露光により形成され、
- 前記第3の耐湿リング及び前記障壁部を含む層は、分割露光により形成される
- 請求項1に記載の固体撮像素子。
- [請求項8] 前記障壁部を含む層と隣接する層との間の層間絶縁膜は、low-K膜により形成される
- 請求項1に記載の固体撮像素子。
- [請求項9] 前記第3の耐湿リングを含む層において、前記第1の信号処理回路と前記第2の信号処理回路とを接続する配線が形成されている
- 請求項1に記載の固体撮像素子。
- [請求項10] 前記画素回路は、分割露光により形成され、
- 各前記信号処理回路の少なくとも一部の層は、一括露光により形成される

請求項 1 に記載の固体撮像素子。

[請求項11]

画素アレイ部を含む画素回路を備える第 1 の基板と、

スクライブ領域を介して並ぶ第 1 の信号処理回路及び第 2 の信号処理回路を備える第 2 の基板と

が積層され、

前記第 2 の基板は、

前記第 1 の信号処理回路の周囲の少なくとも一部を囲む第 1 の耐湿リングと、

前記第 2 の信号処理回路の周囲の少なくとも一部を囲む第 2 の耐湿リングと、

前記第 1 の耐湿リング及び前記第 2 の耐湿リングと異なる層において前記第 2 の基板の周囲の少なくとも一部を囲む第 3 の耐湿リングと、

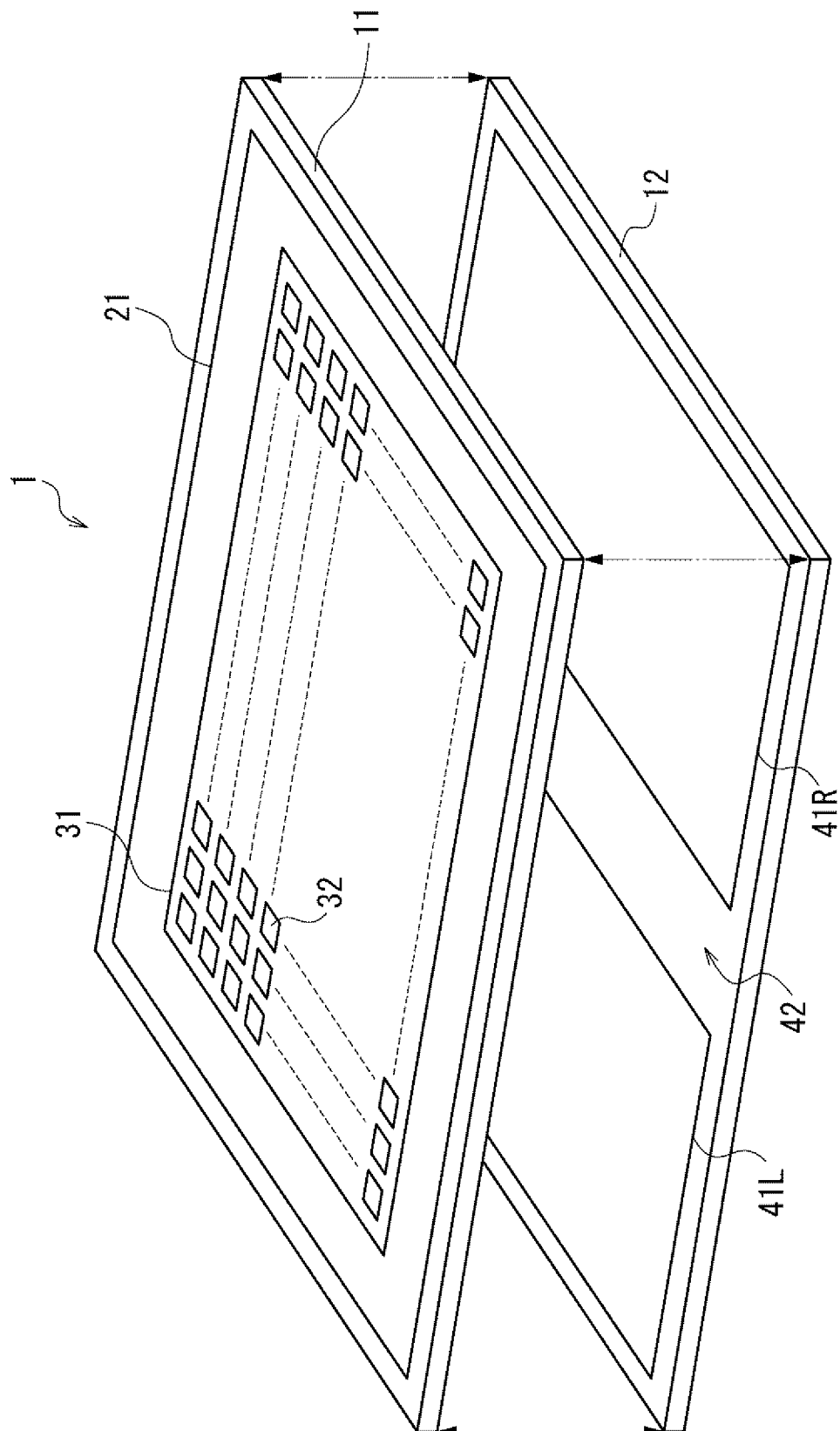
前記第 1 の耐湿リングと前記第 2 の耐湿リングとの間の第 1 の領域と、前記第 3 の耐湿リングにより周囲の少なくとも一部が囲まれる第 2 の領域との間を隔て、耐湿性を有する障壁部と

を備える固体撮像素子を

含む電子機器。

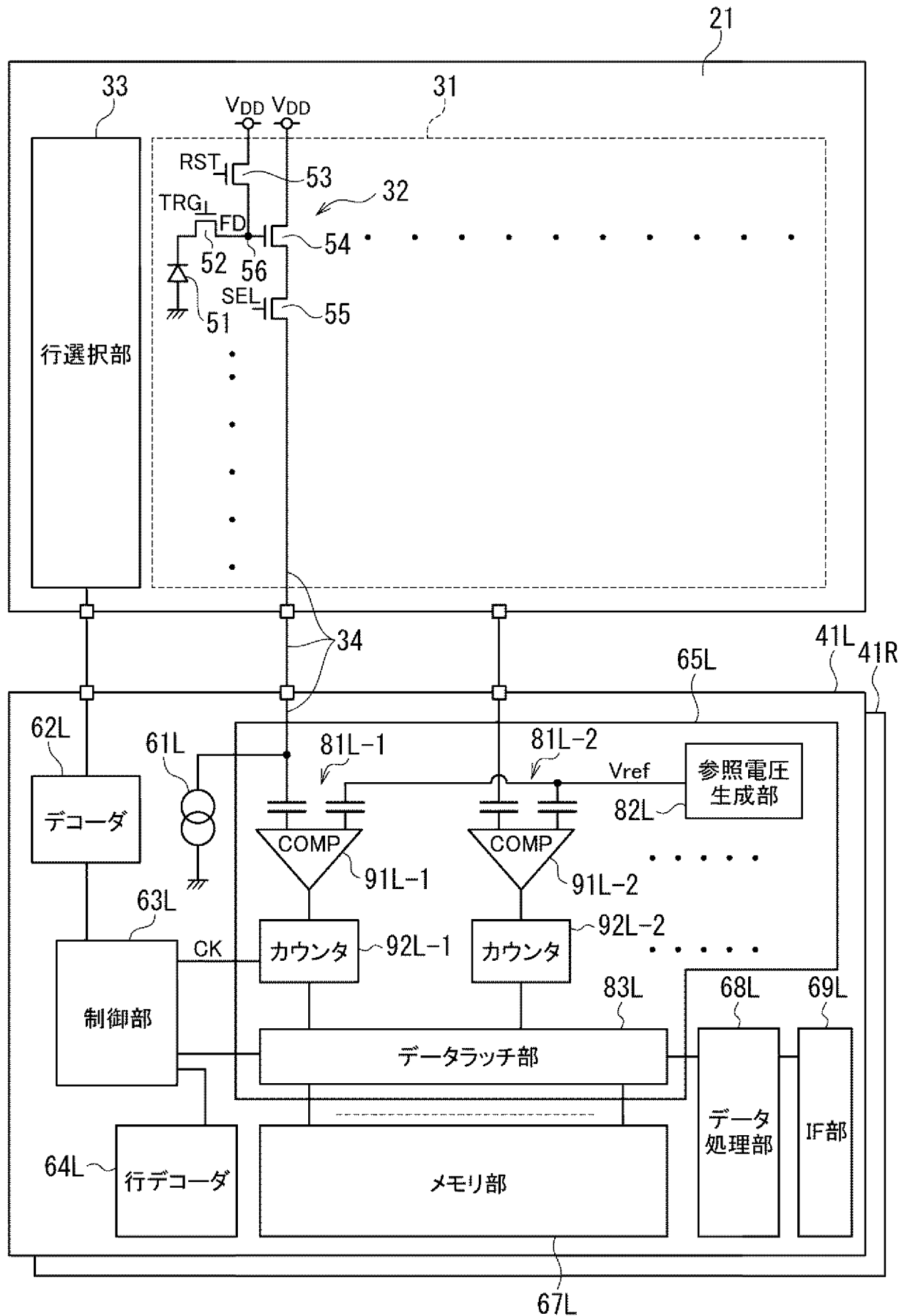
[図1]

図1



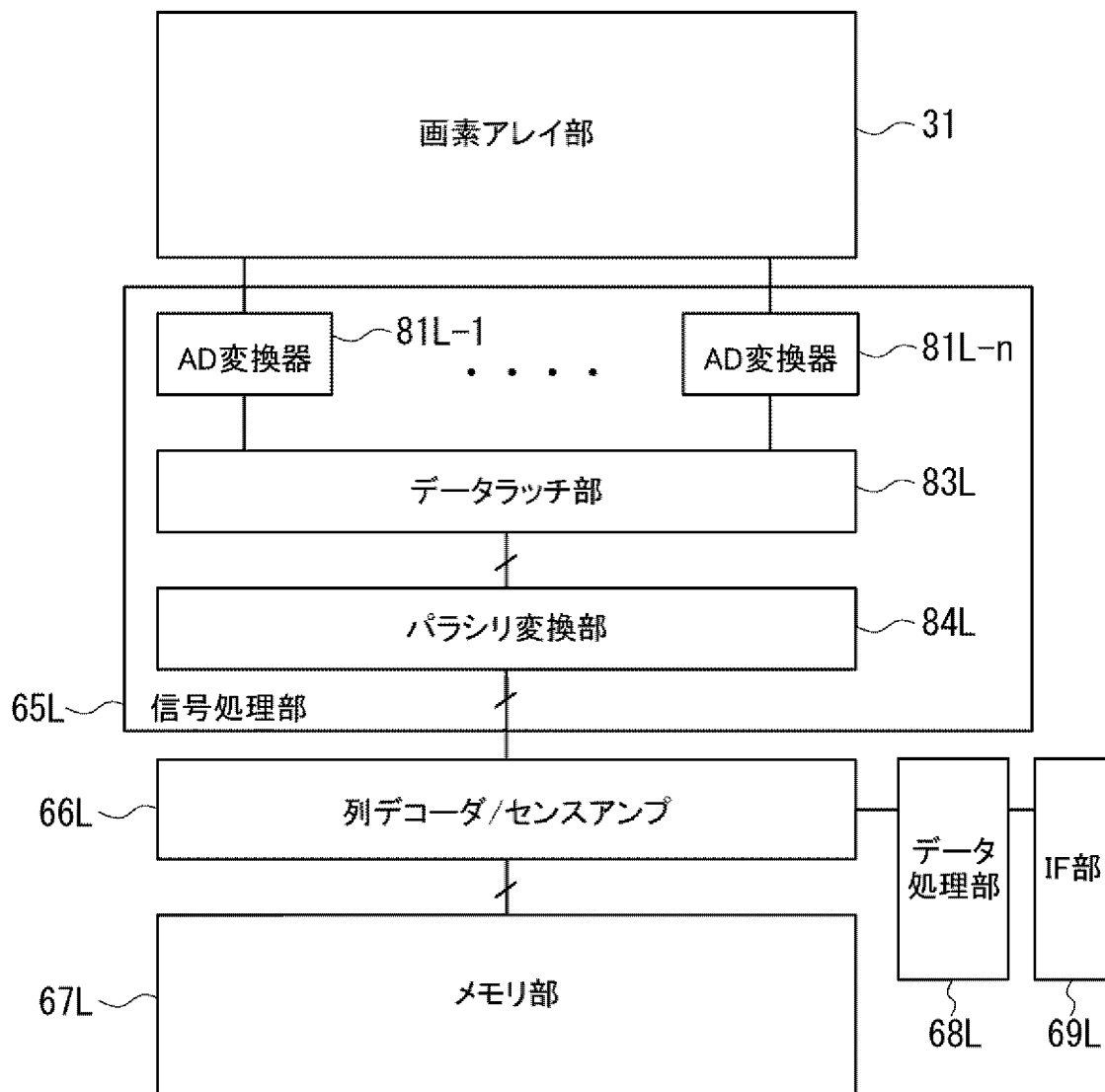
[図2]

図2



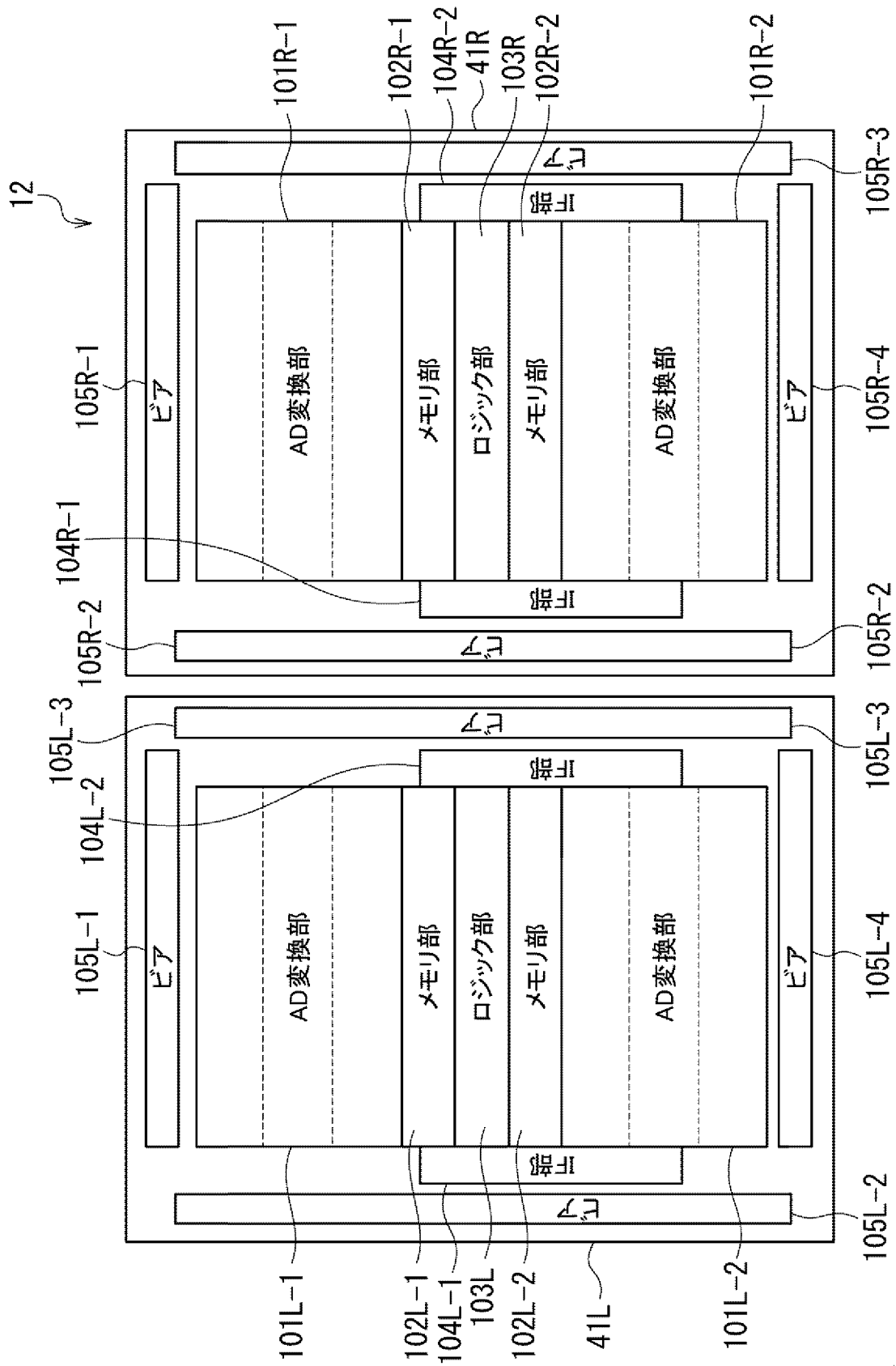
[図3]

図3



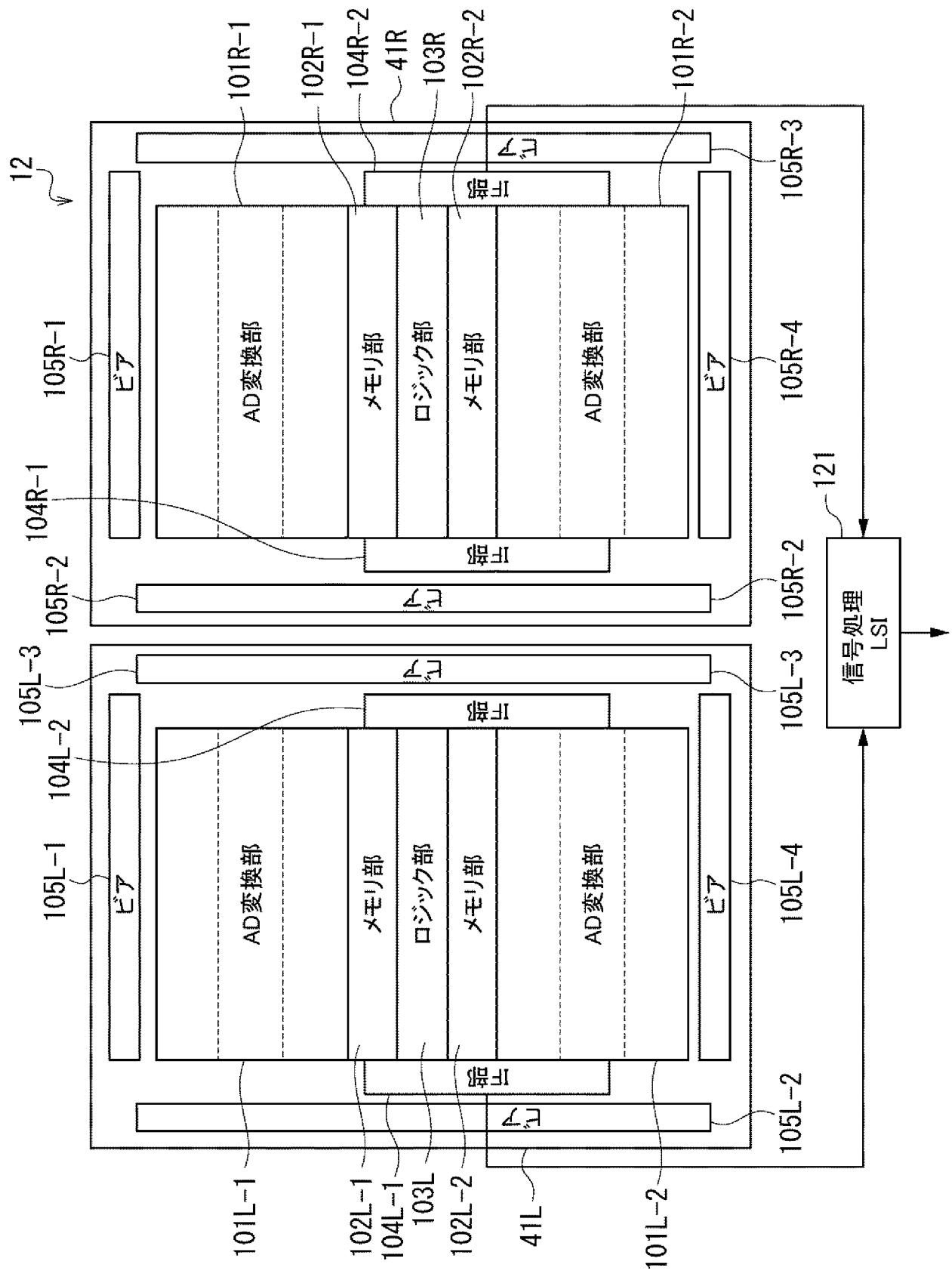
[図4]

図4



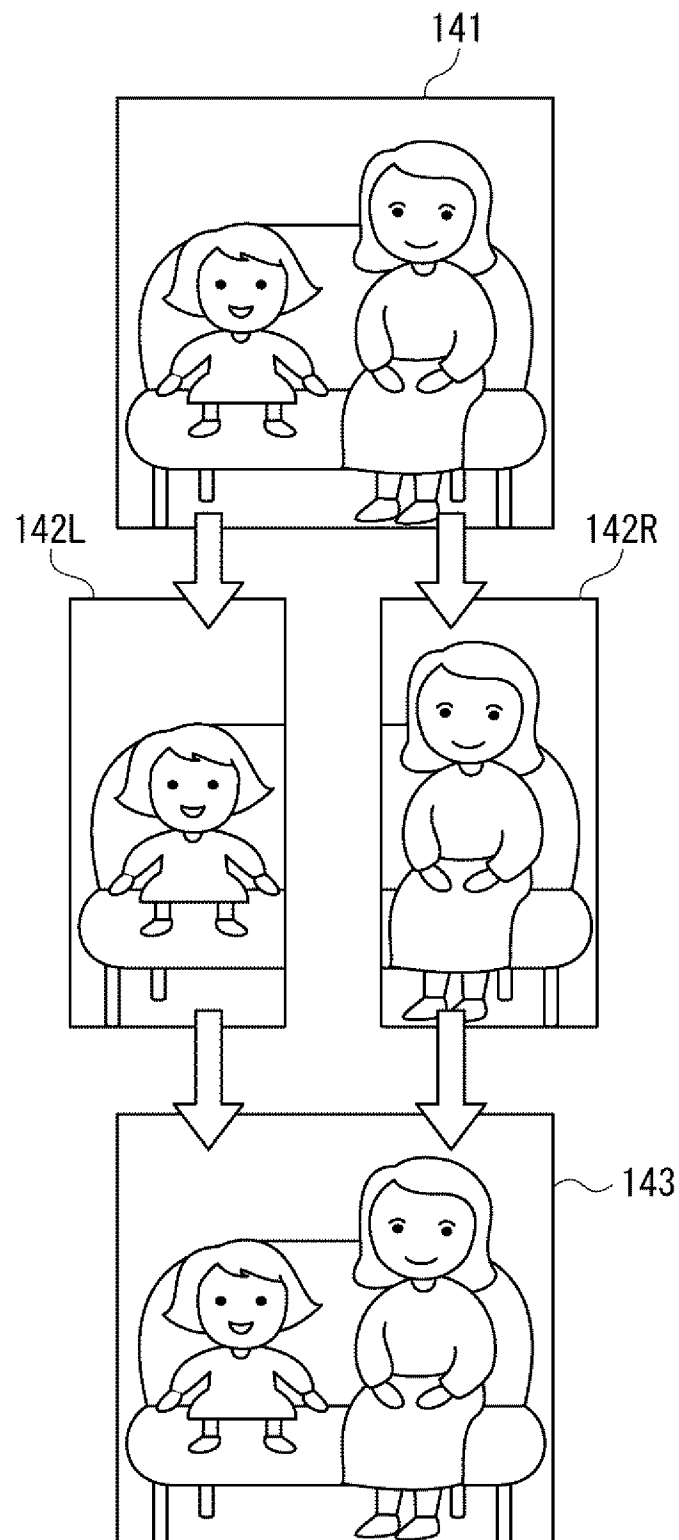
[図5]

図5



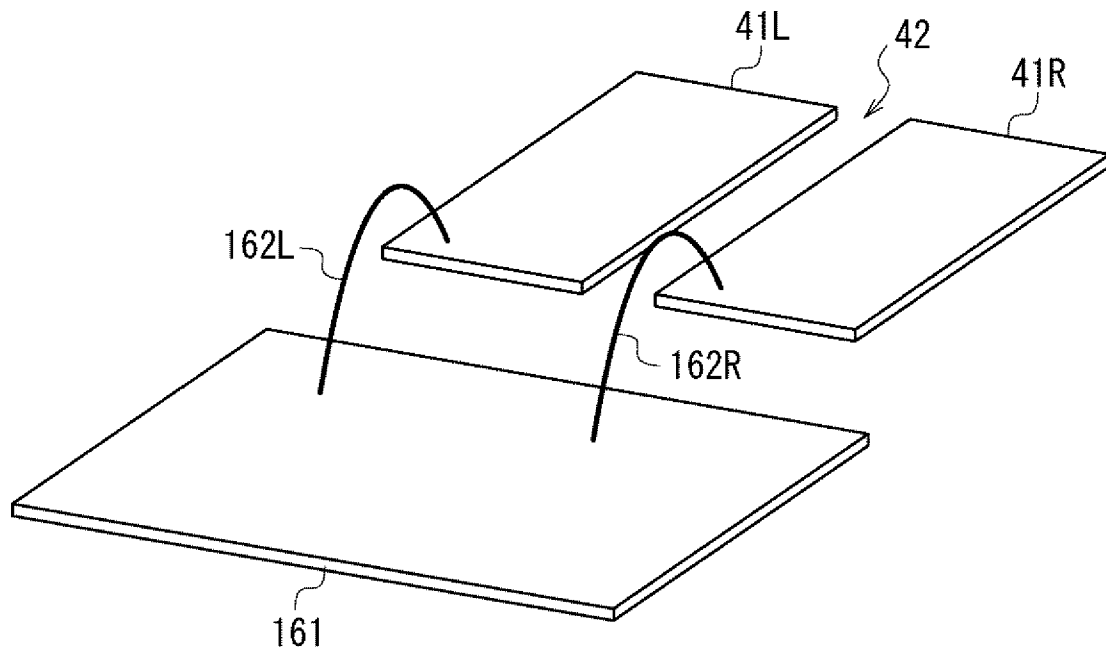
[図6]

図6



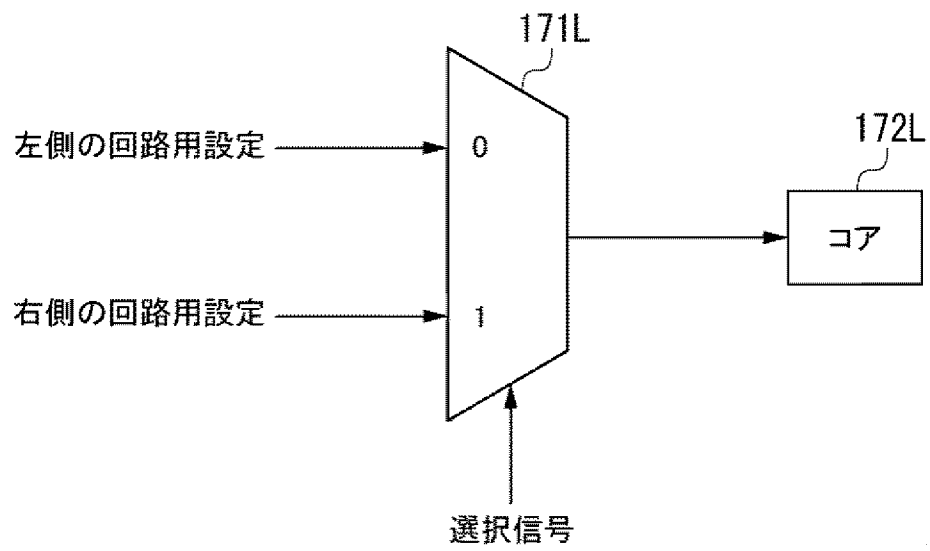
[図7]

図7



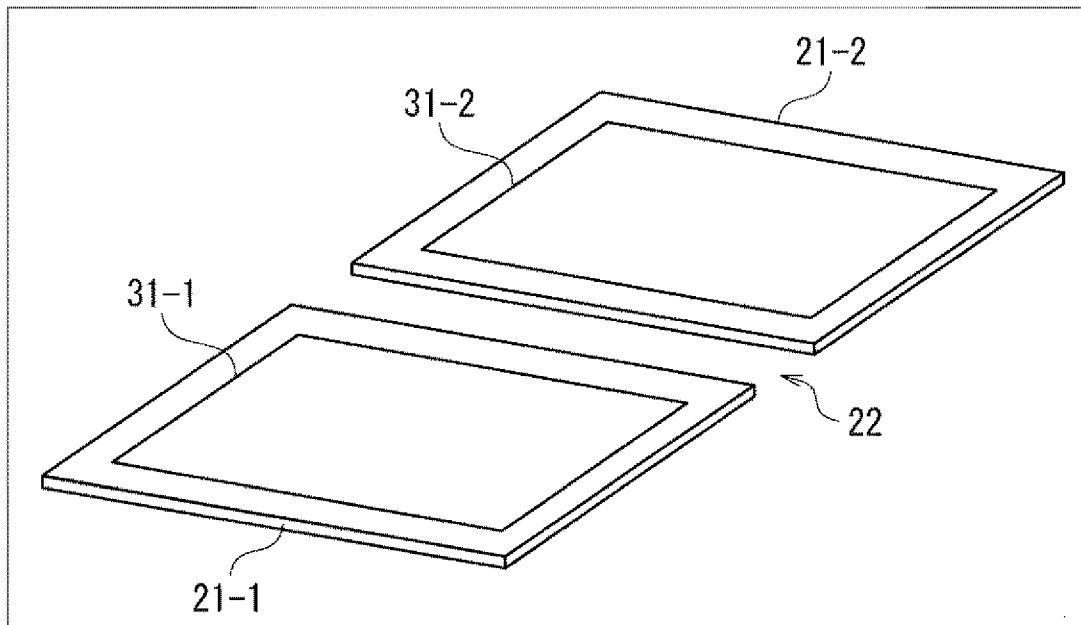
[図8]

図8



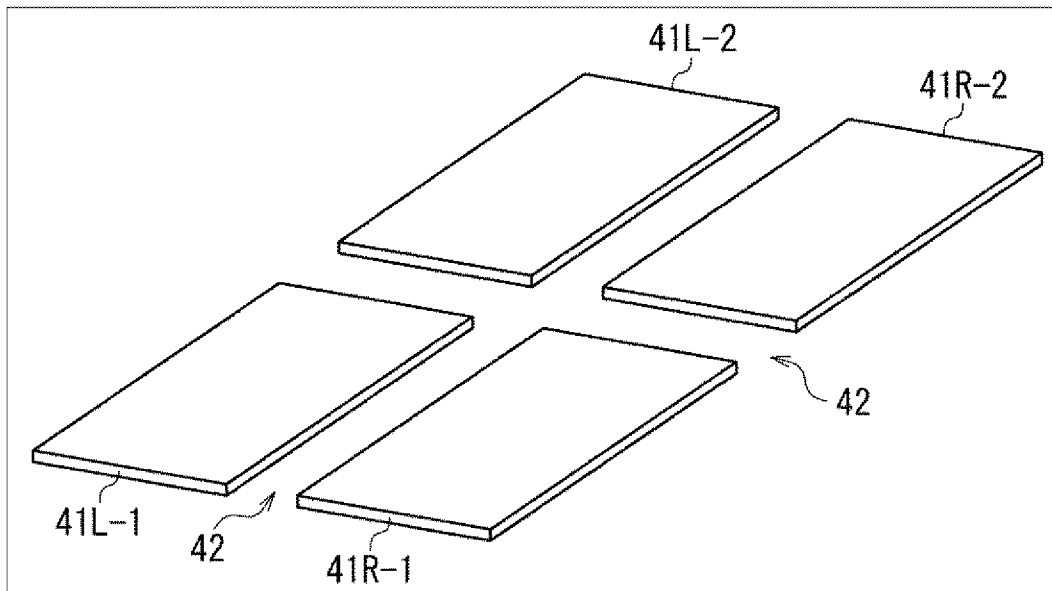
[図9]

図9



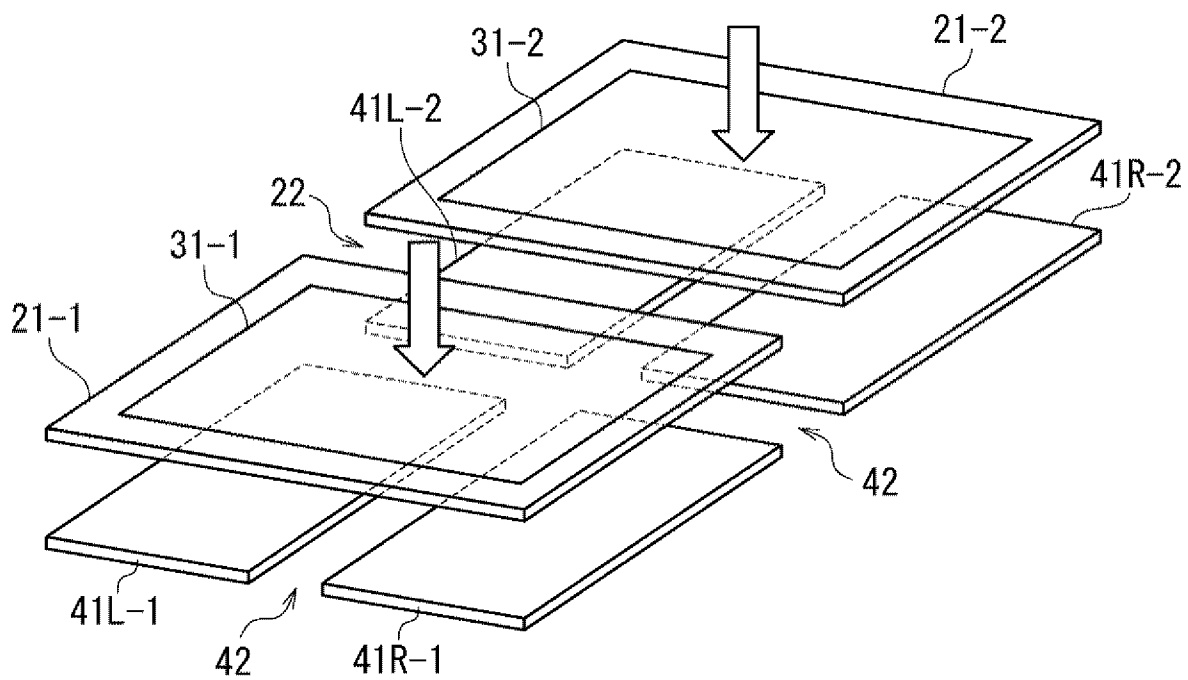
[図10]

図10



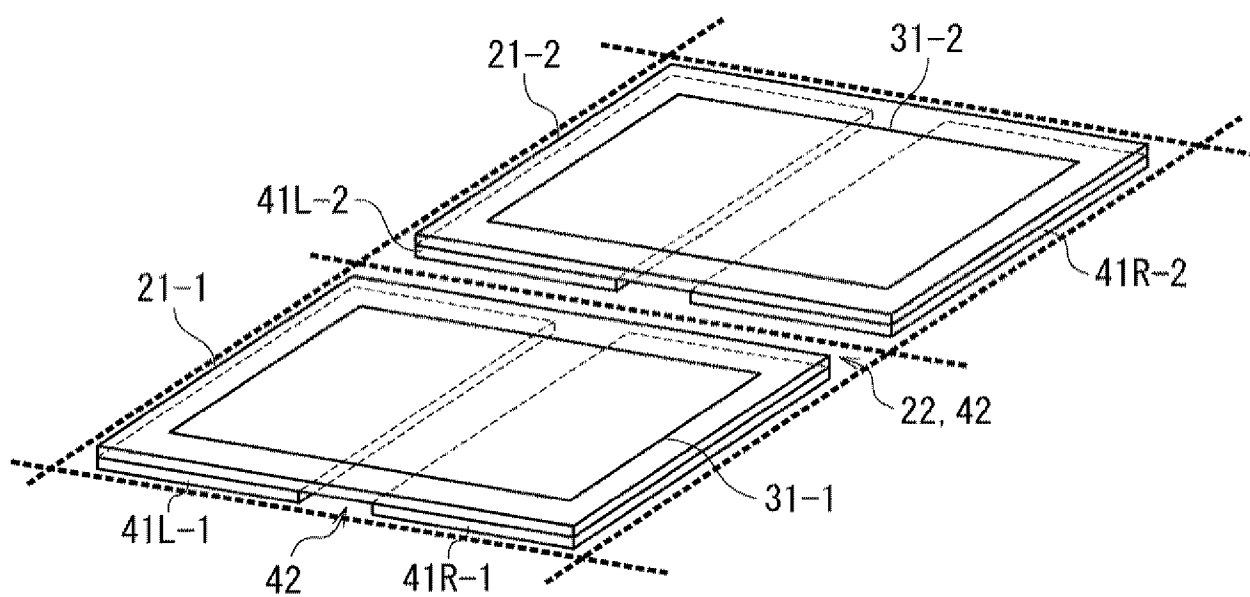
[図11]

図11



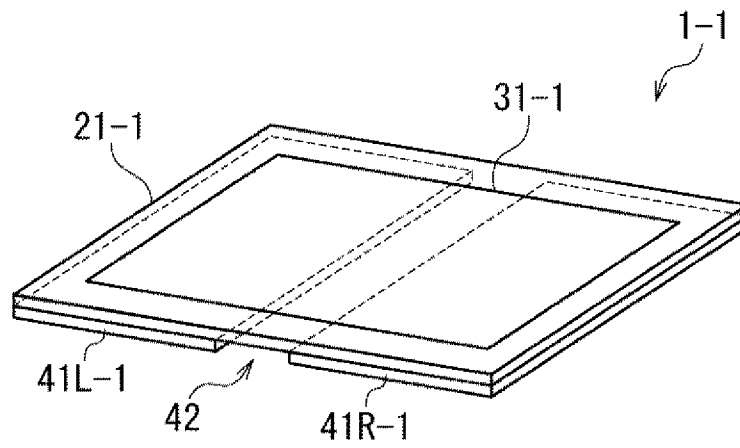
[図12]

図12



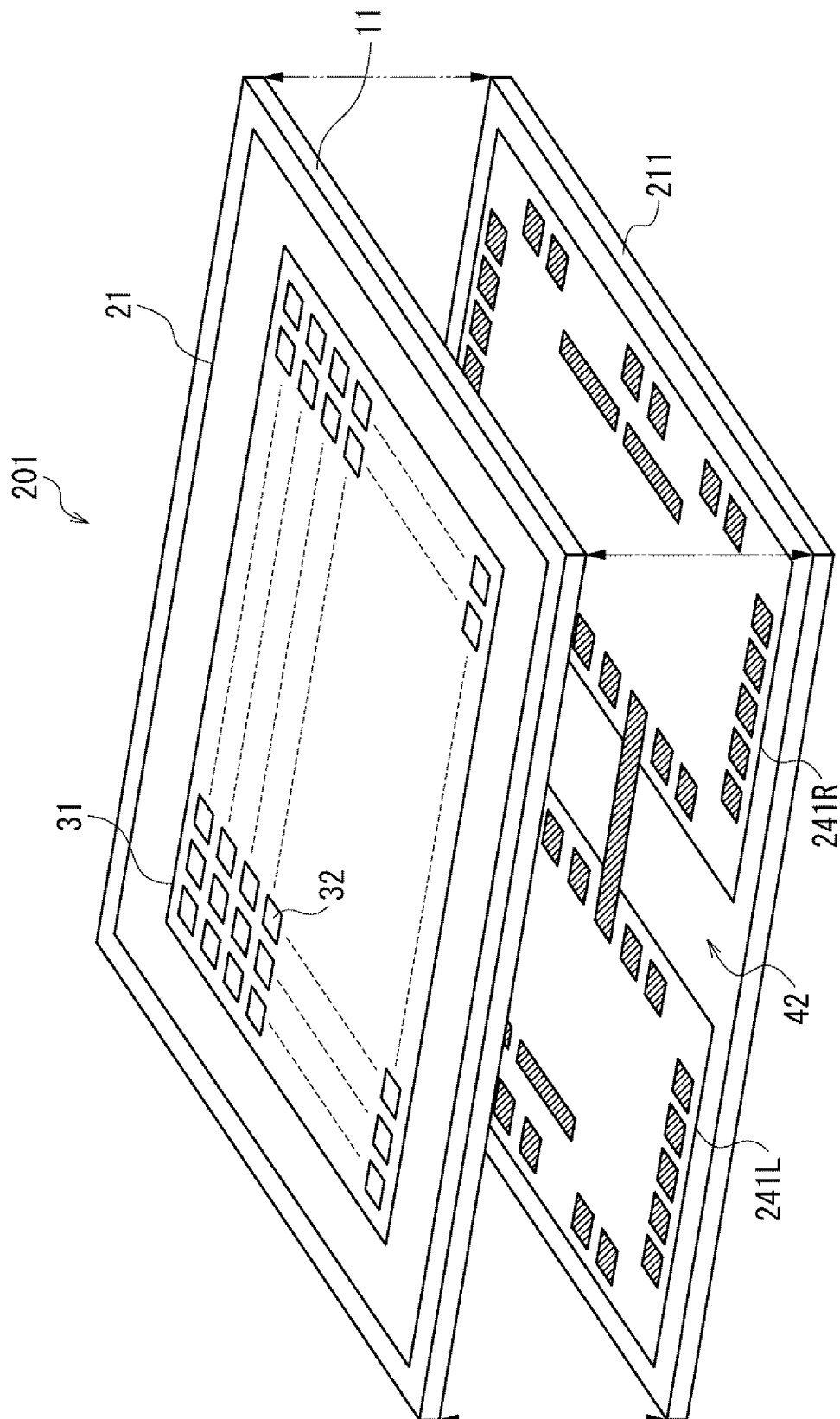
[図13]

図13



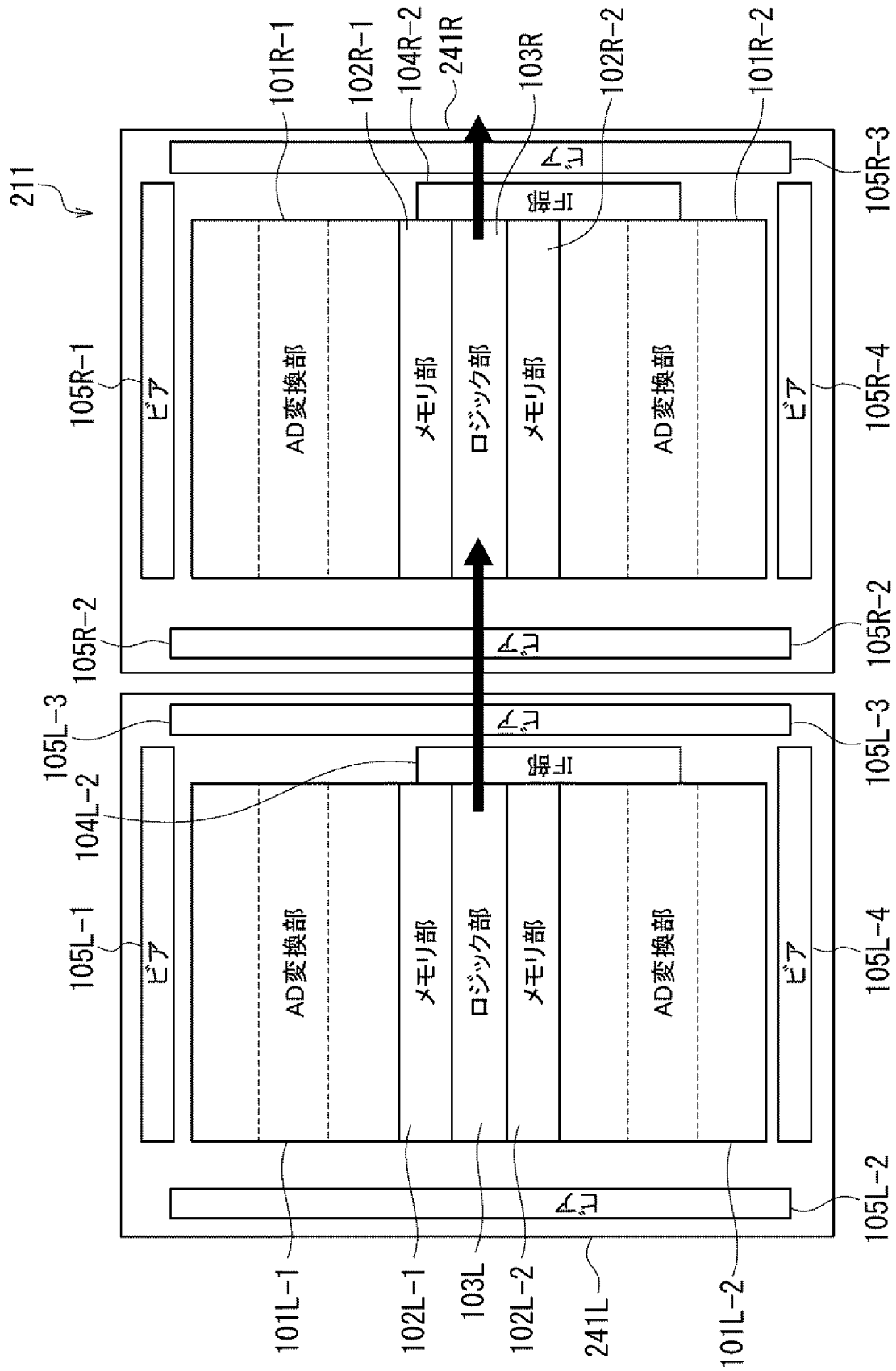
[図14]

図14



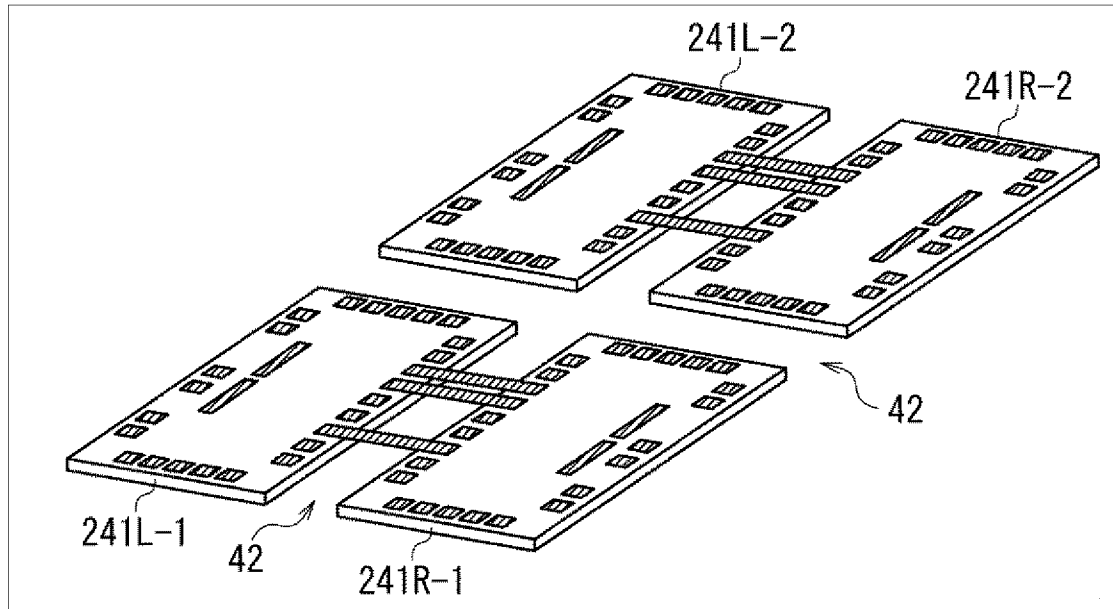
[図15]

図15



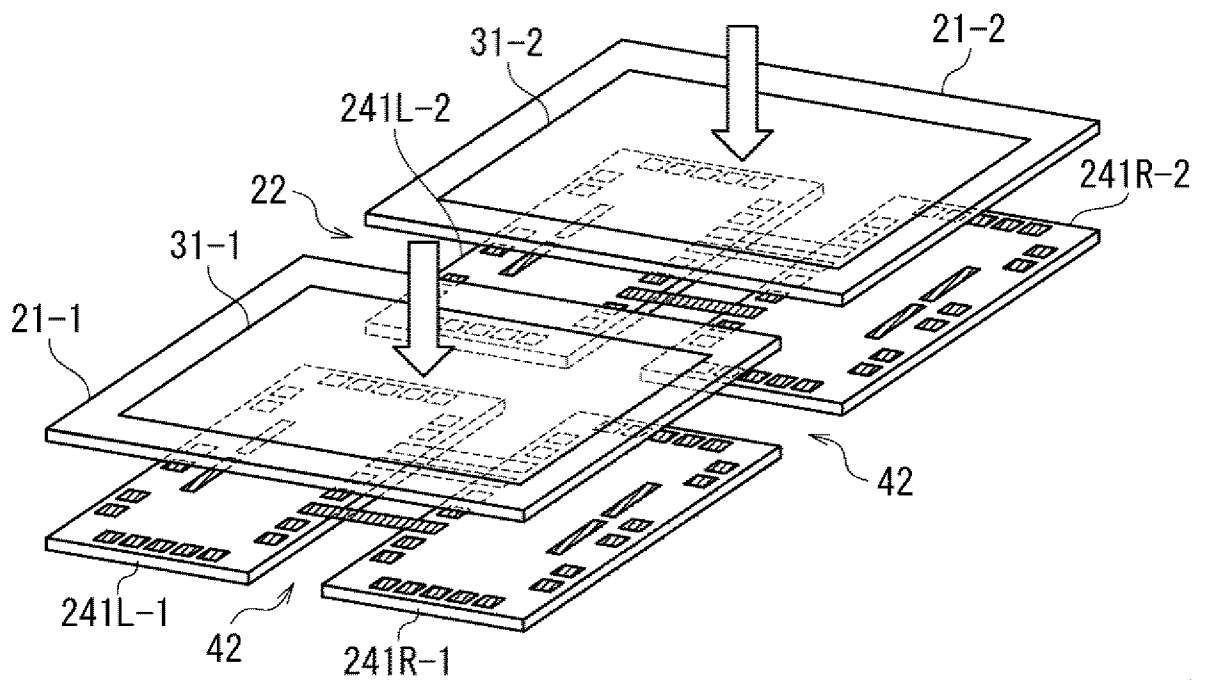
[図16]

図16



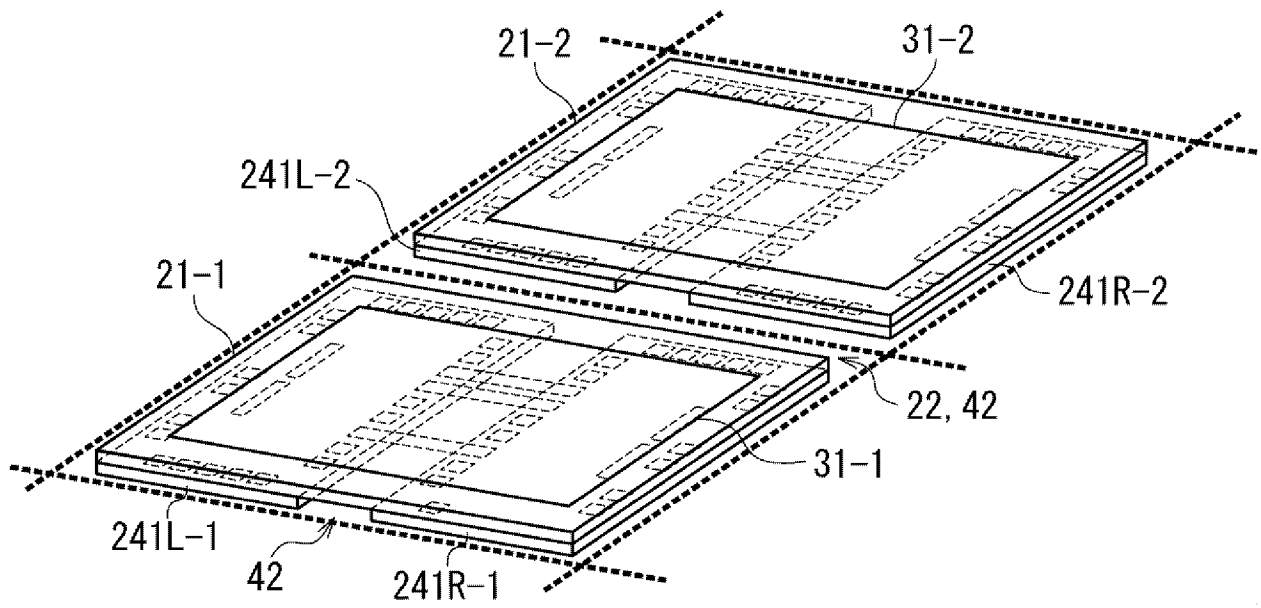
[図17]

図17



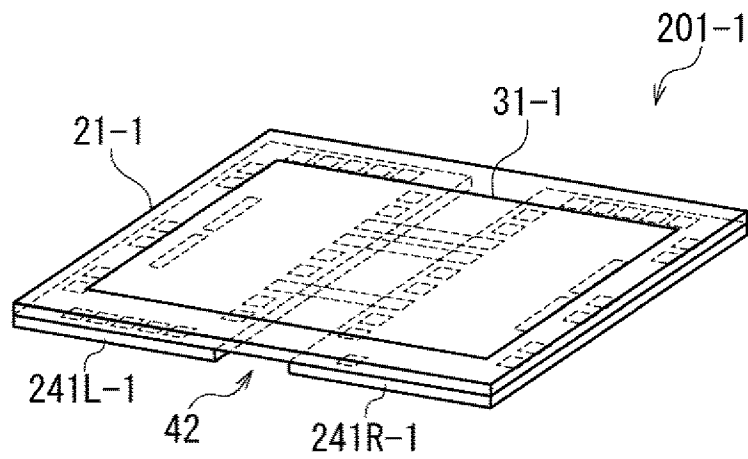
[図18]

図18



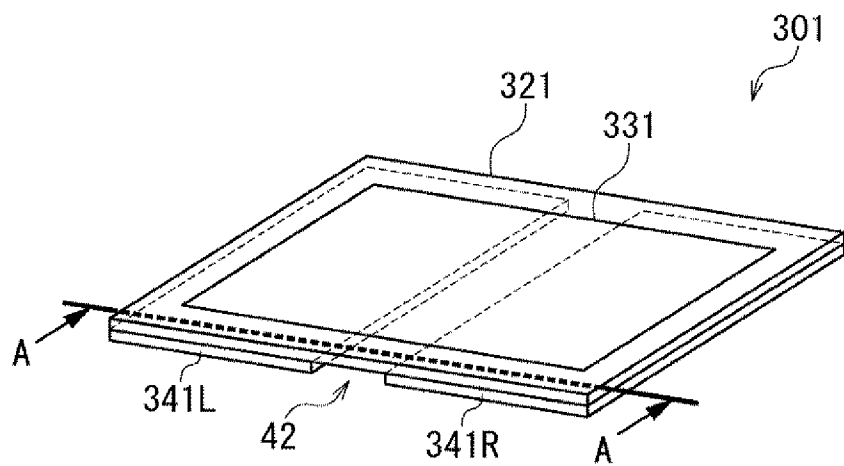
[図19]

図19



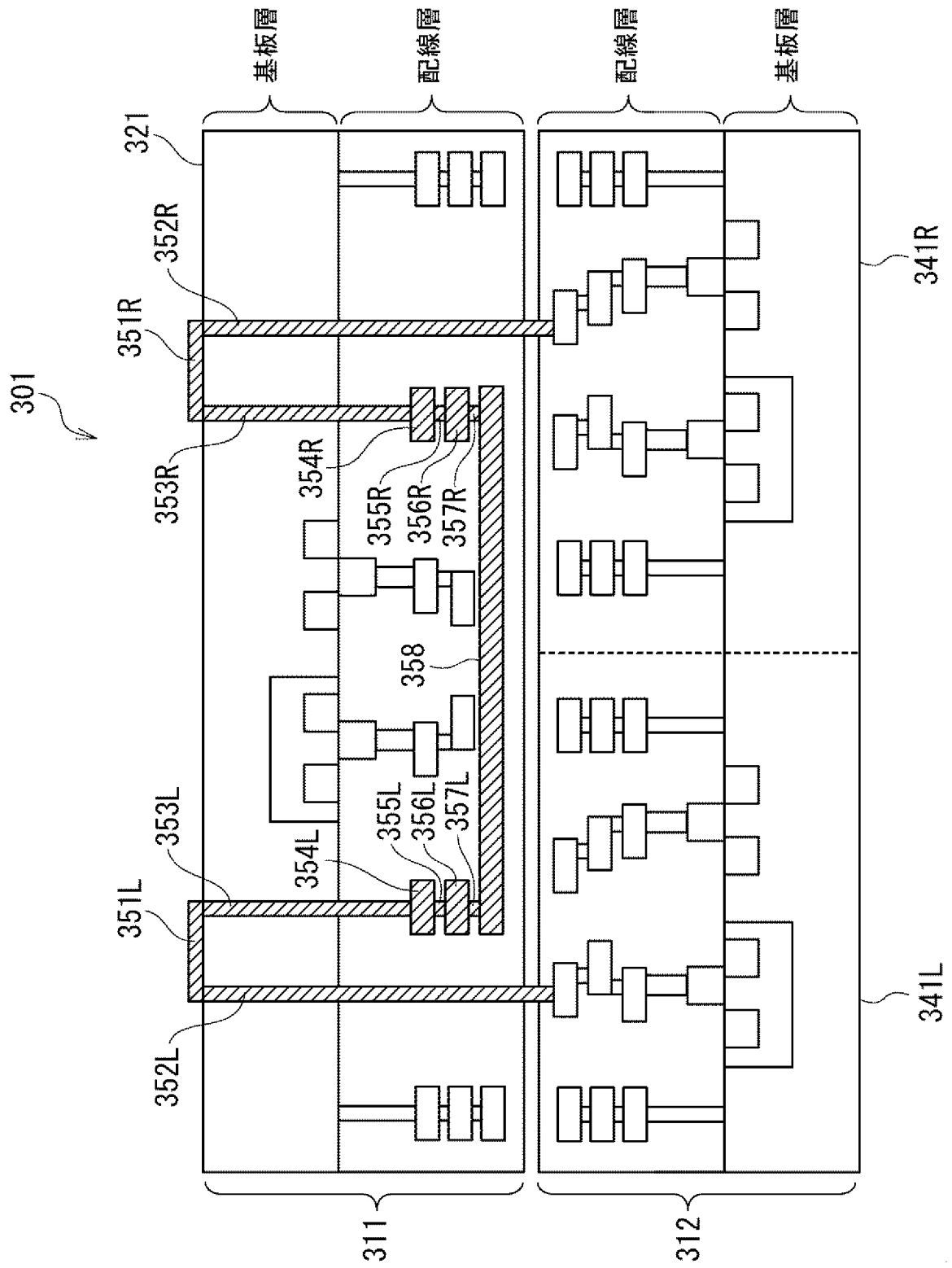
[図20]

図20



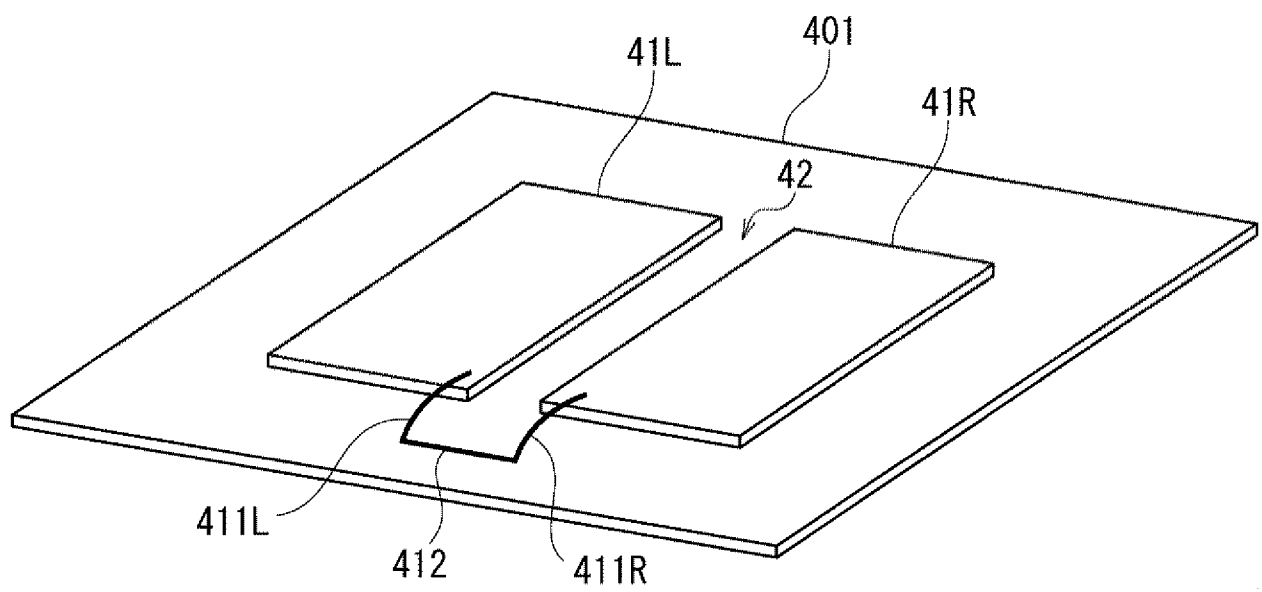
[図21]

図21



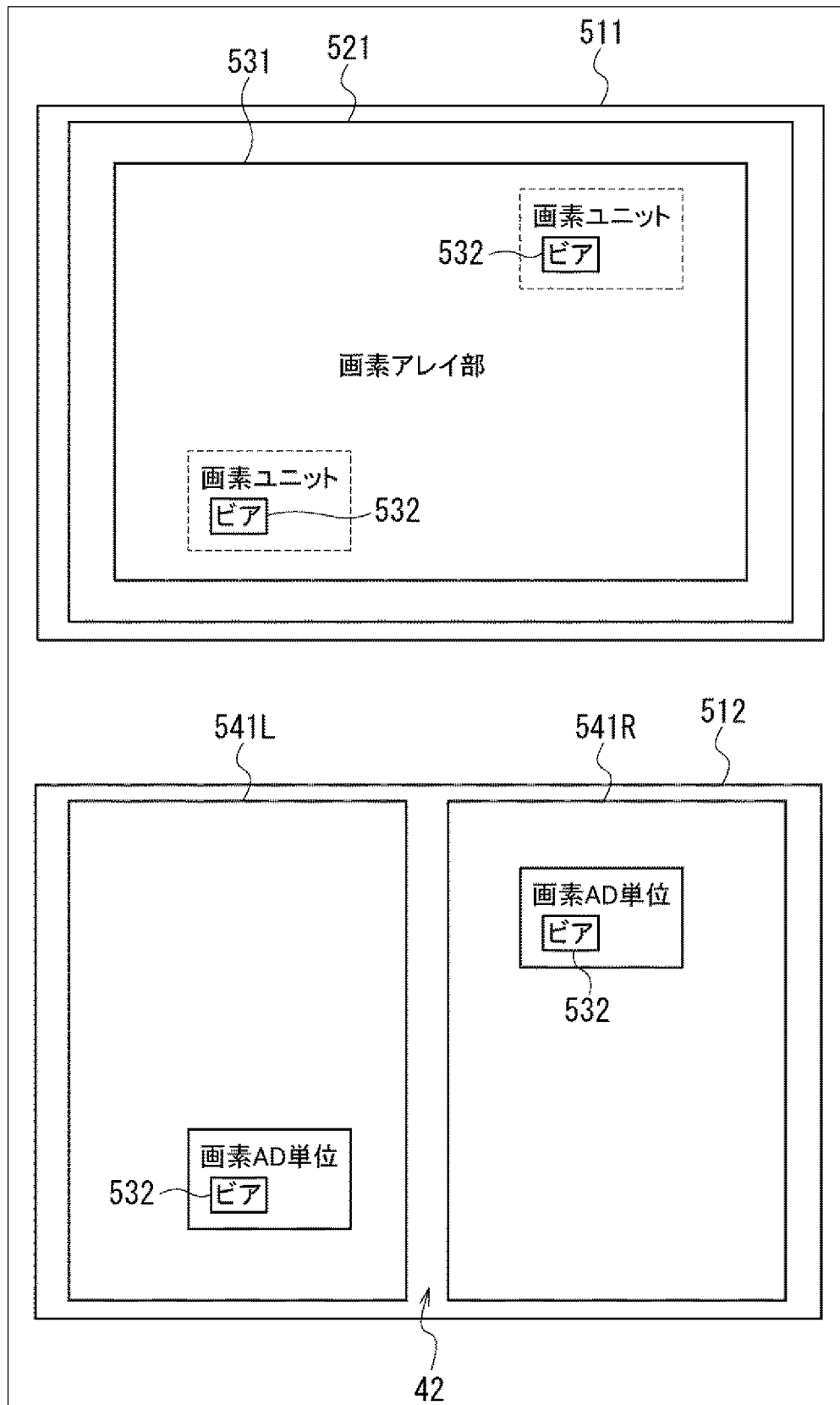
[図22]

図22



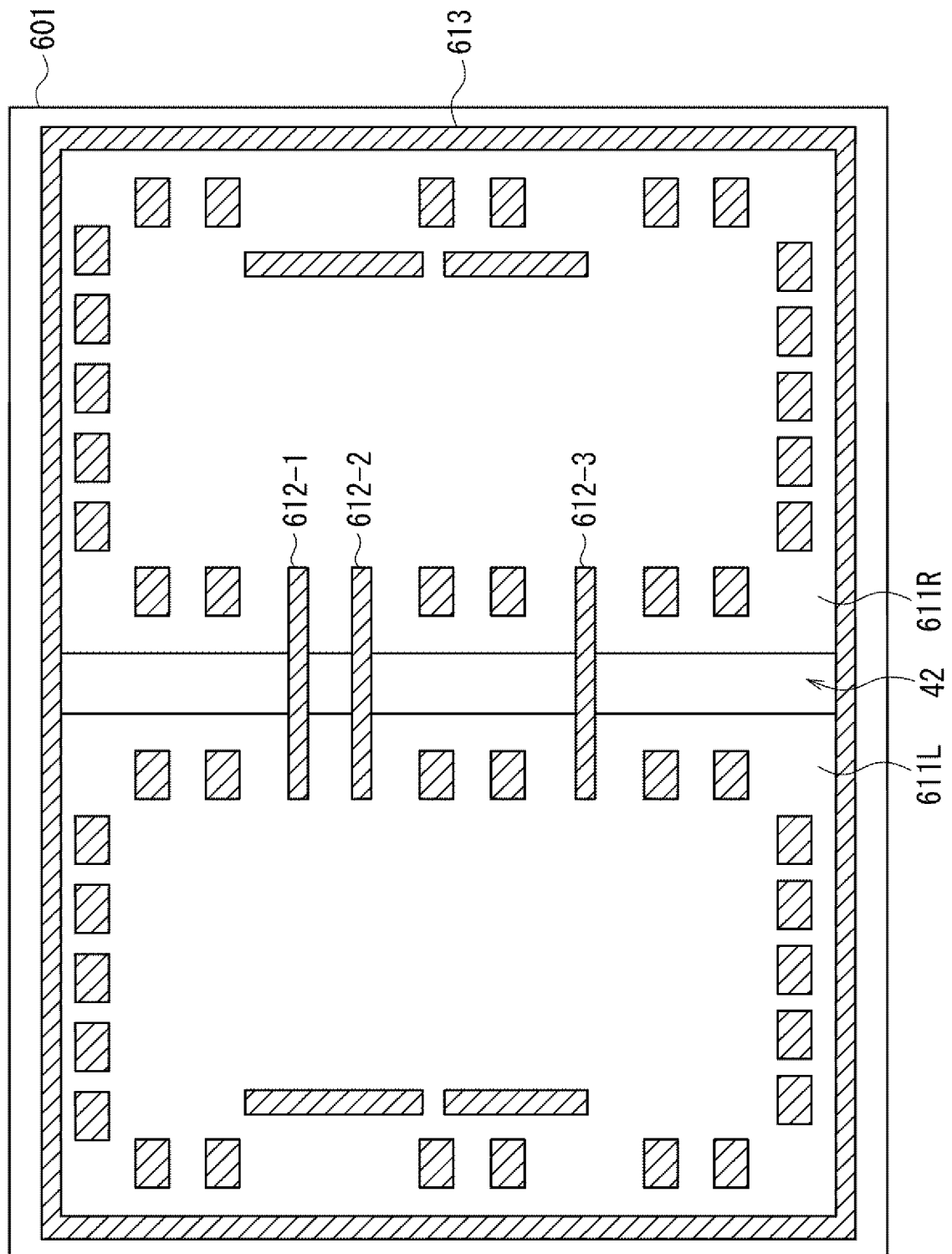
[図23]

図23



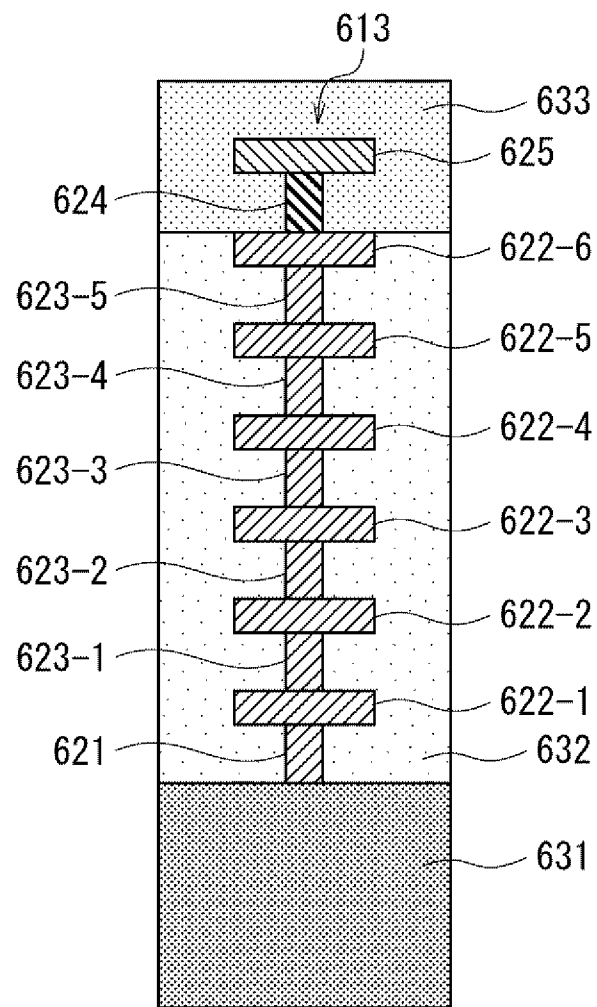
[図24]

図24



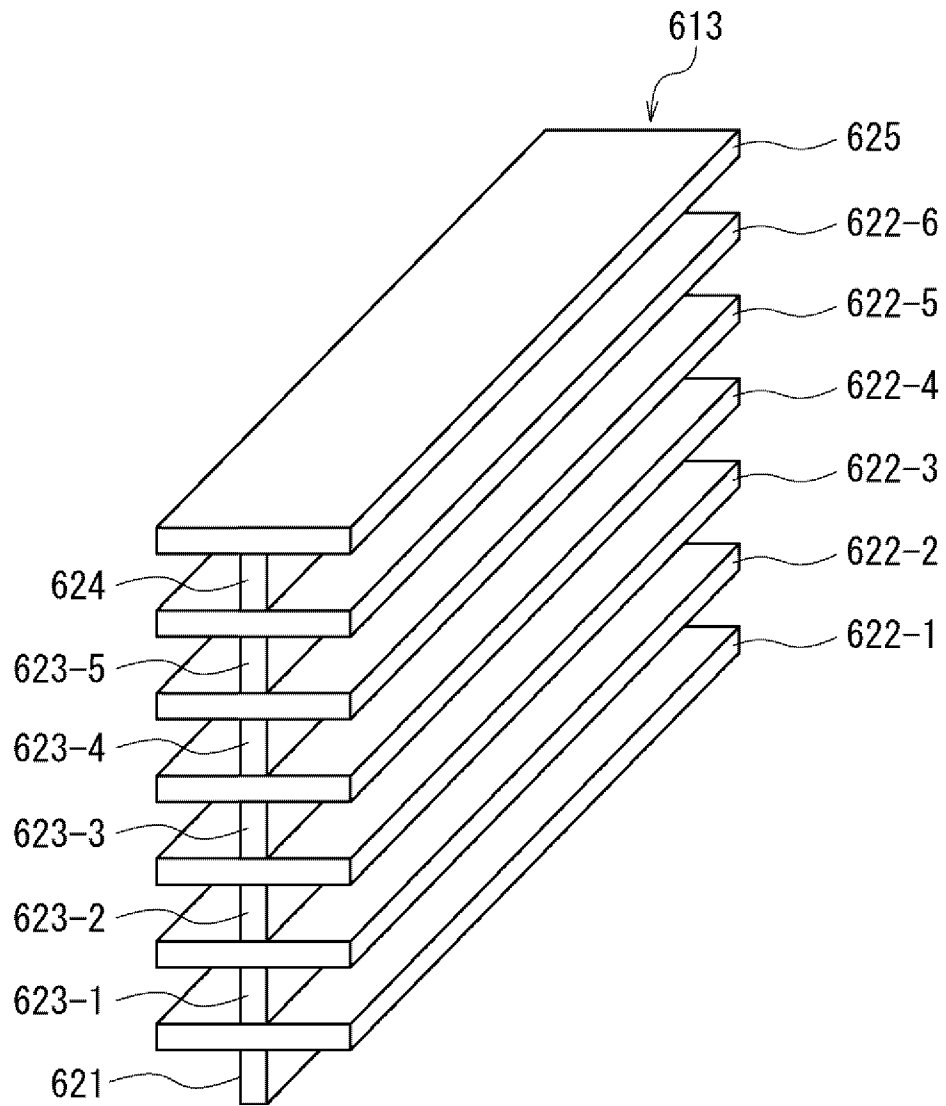
[図25]

図25



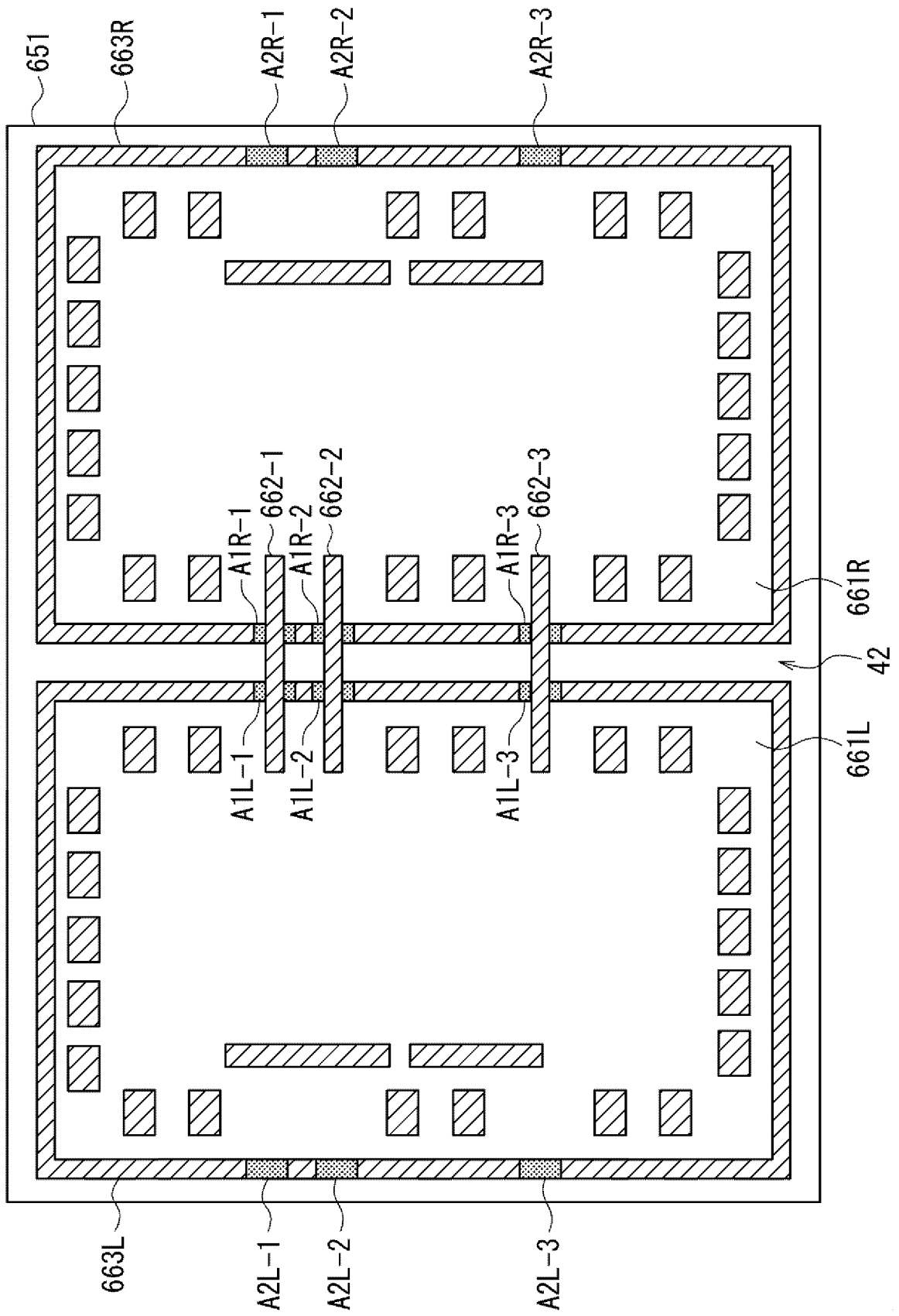
[図26]

図26



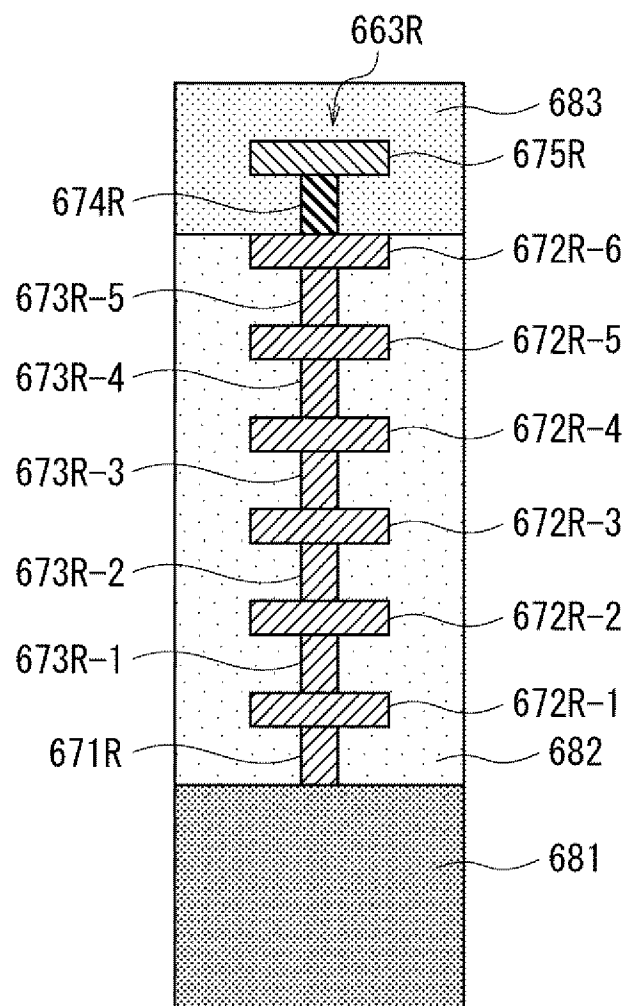
[図27]

図27



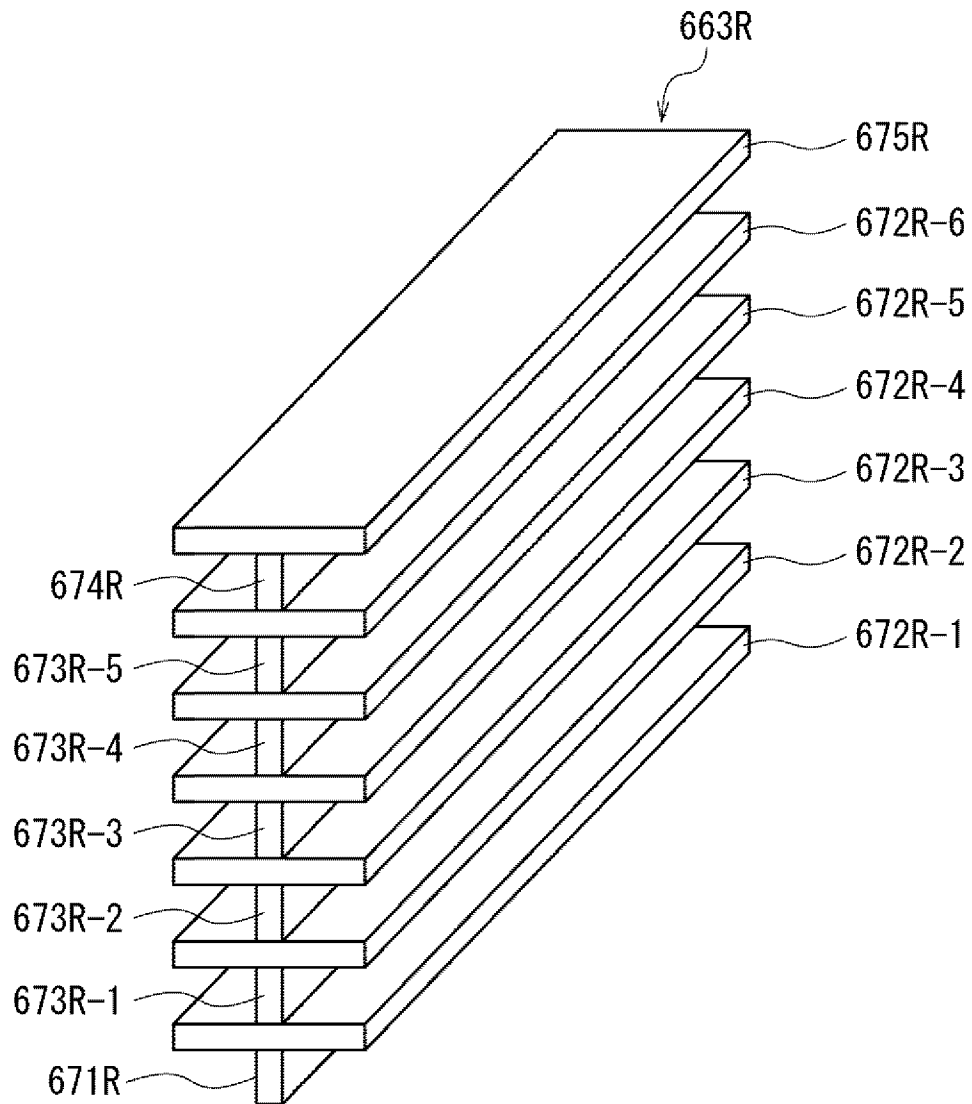
[図28]

図28



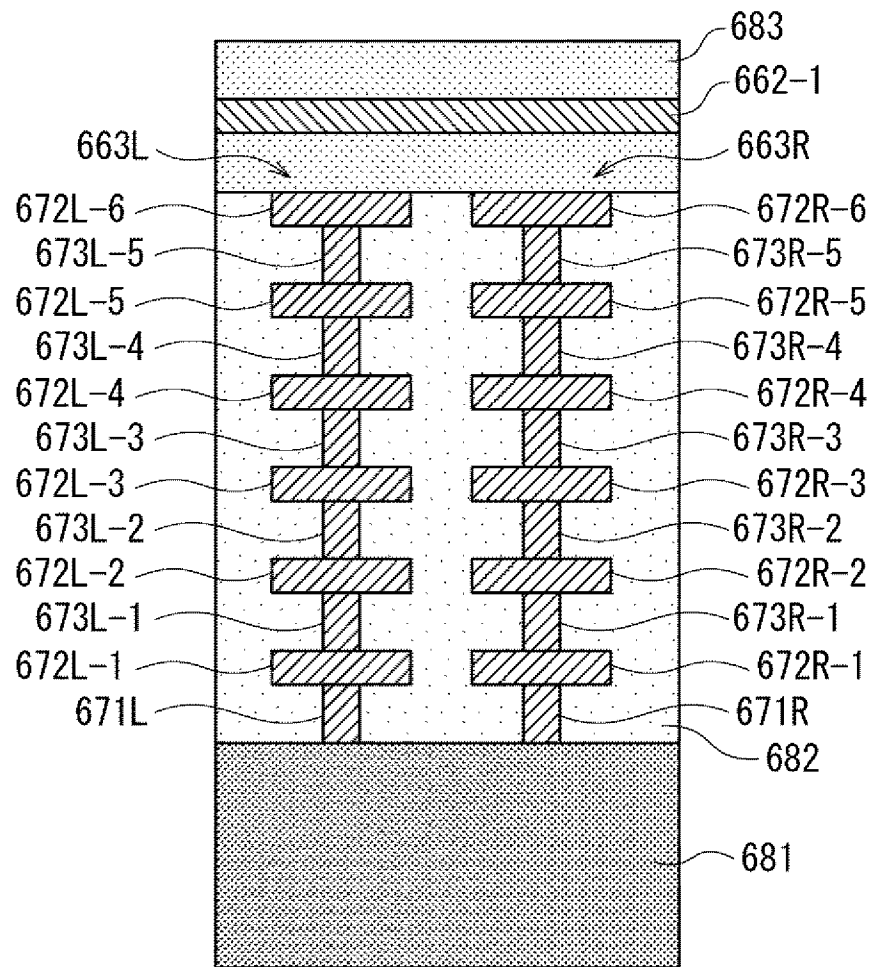
[図29]

図29



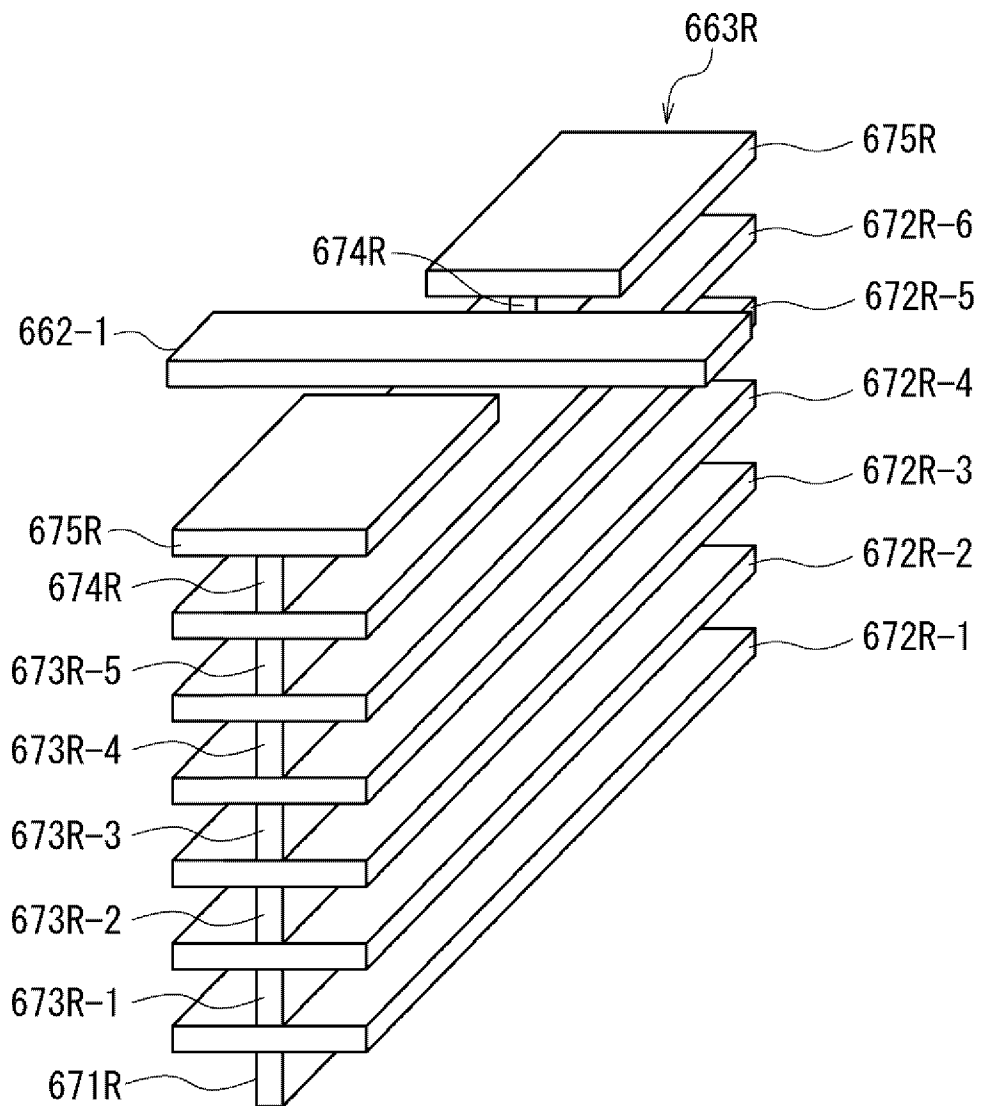
[図30]

図30



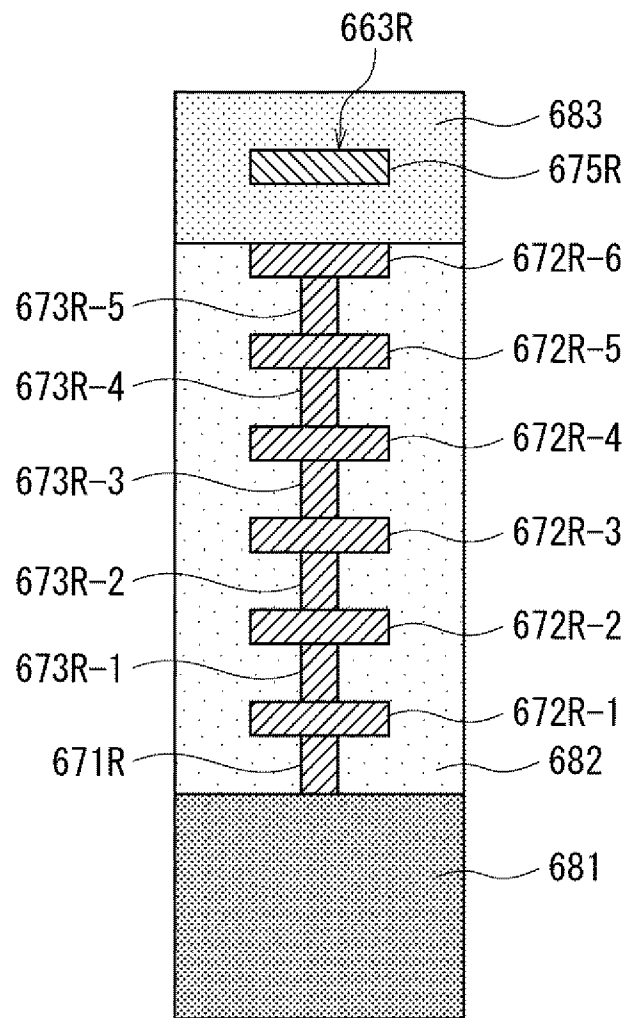
[図31]

図31



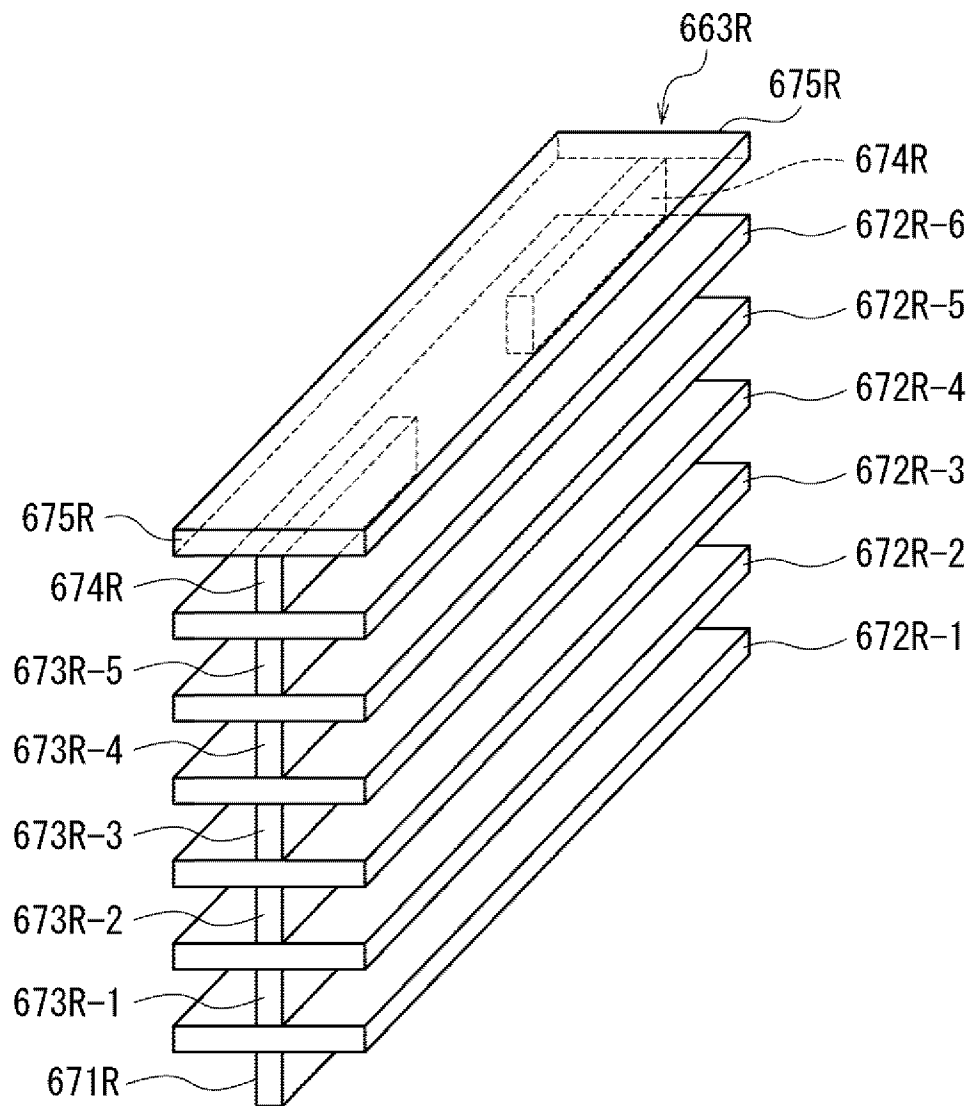
[図32]

図32



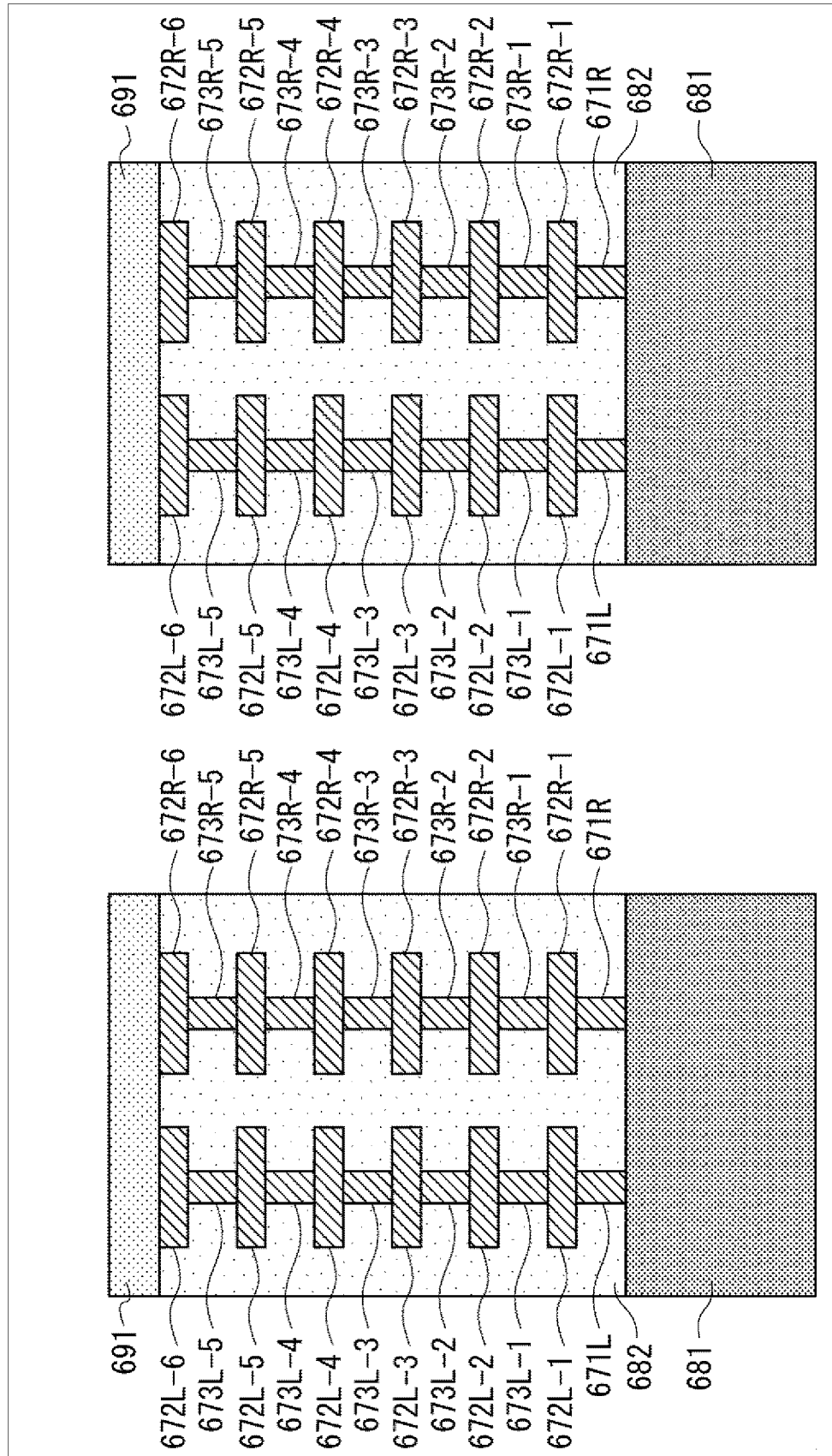
[図33]

図33



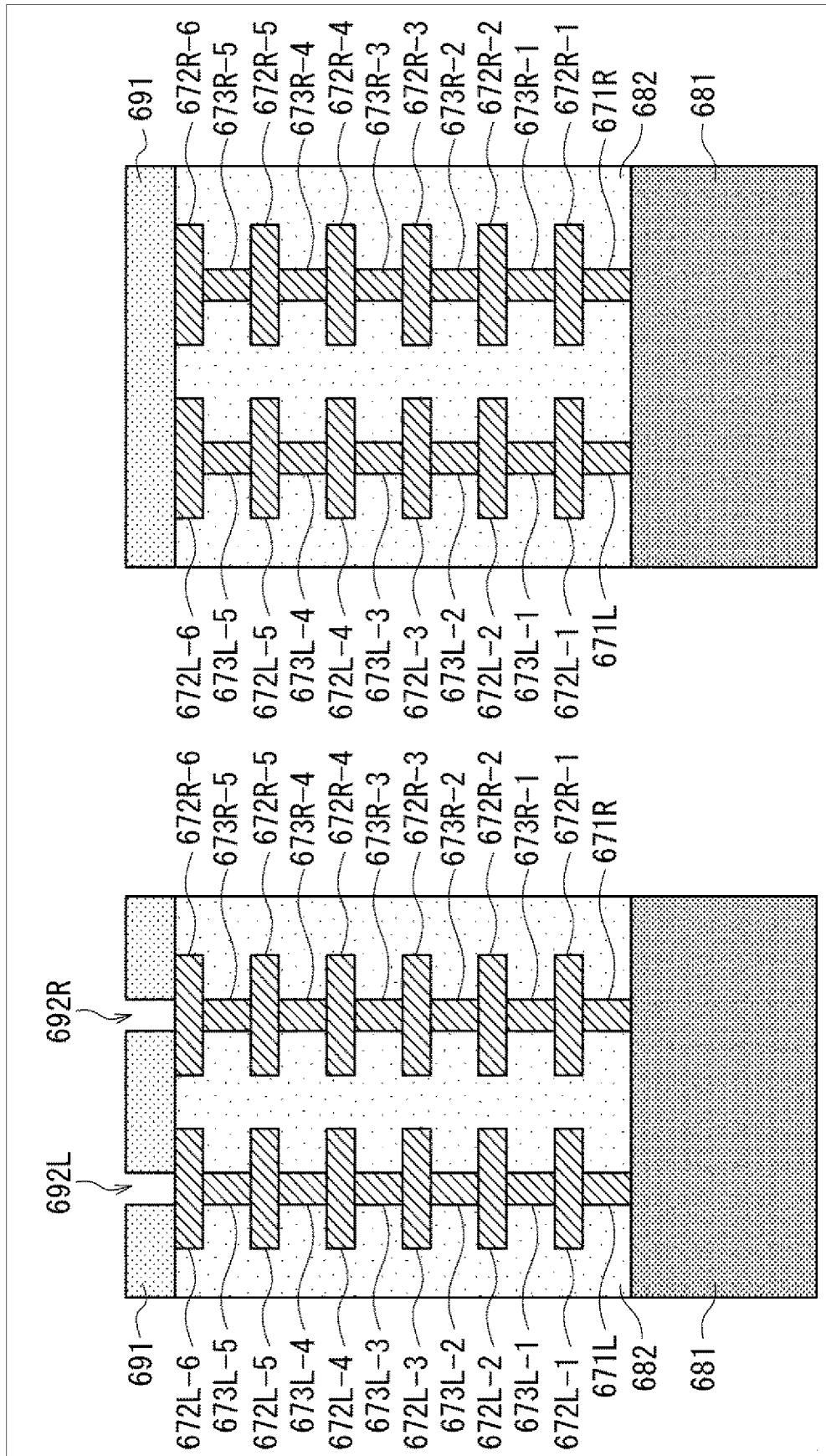
[図34]

図34



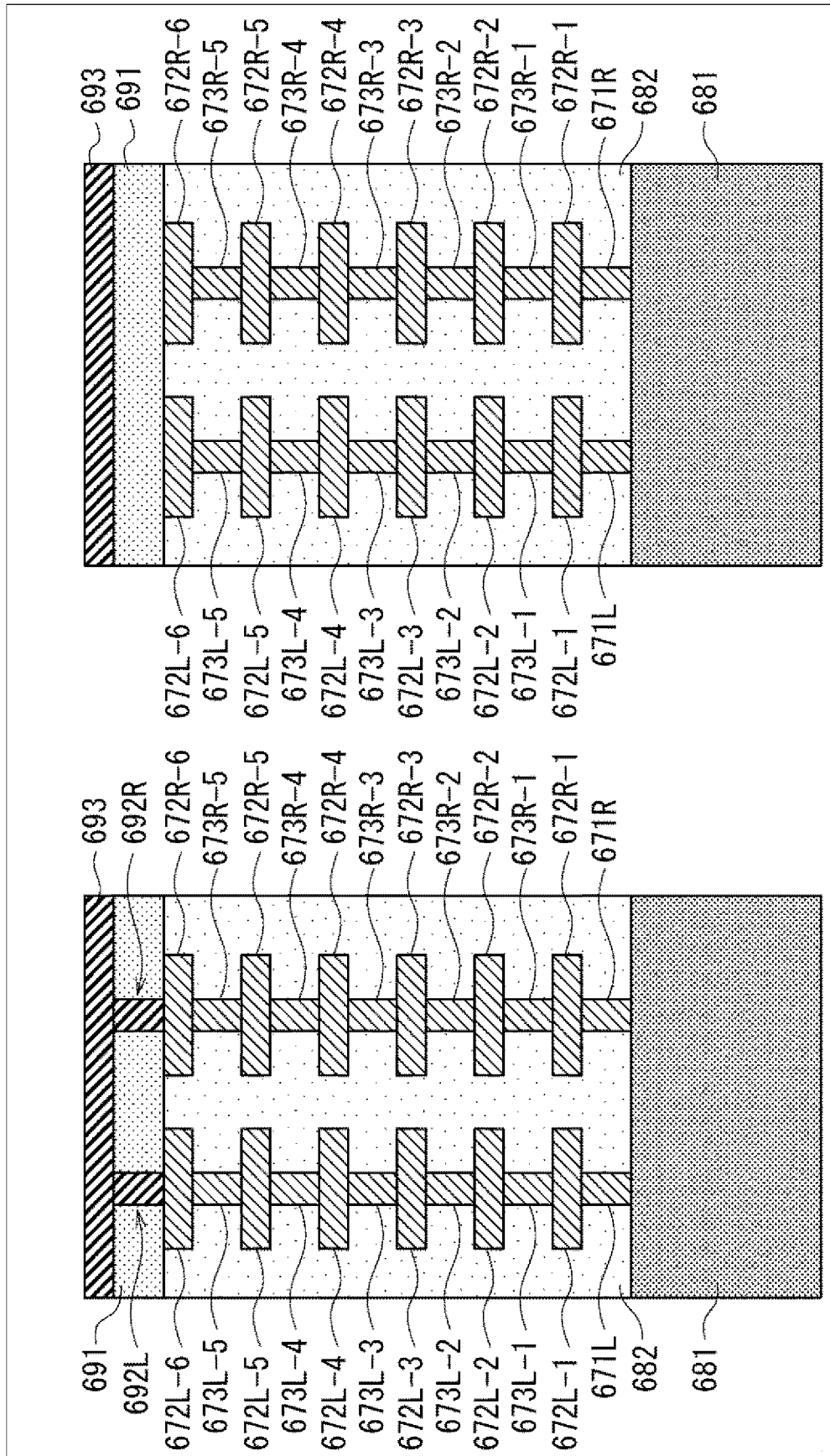
[図35]

図35



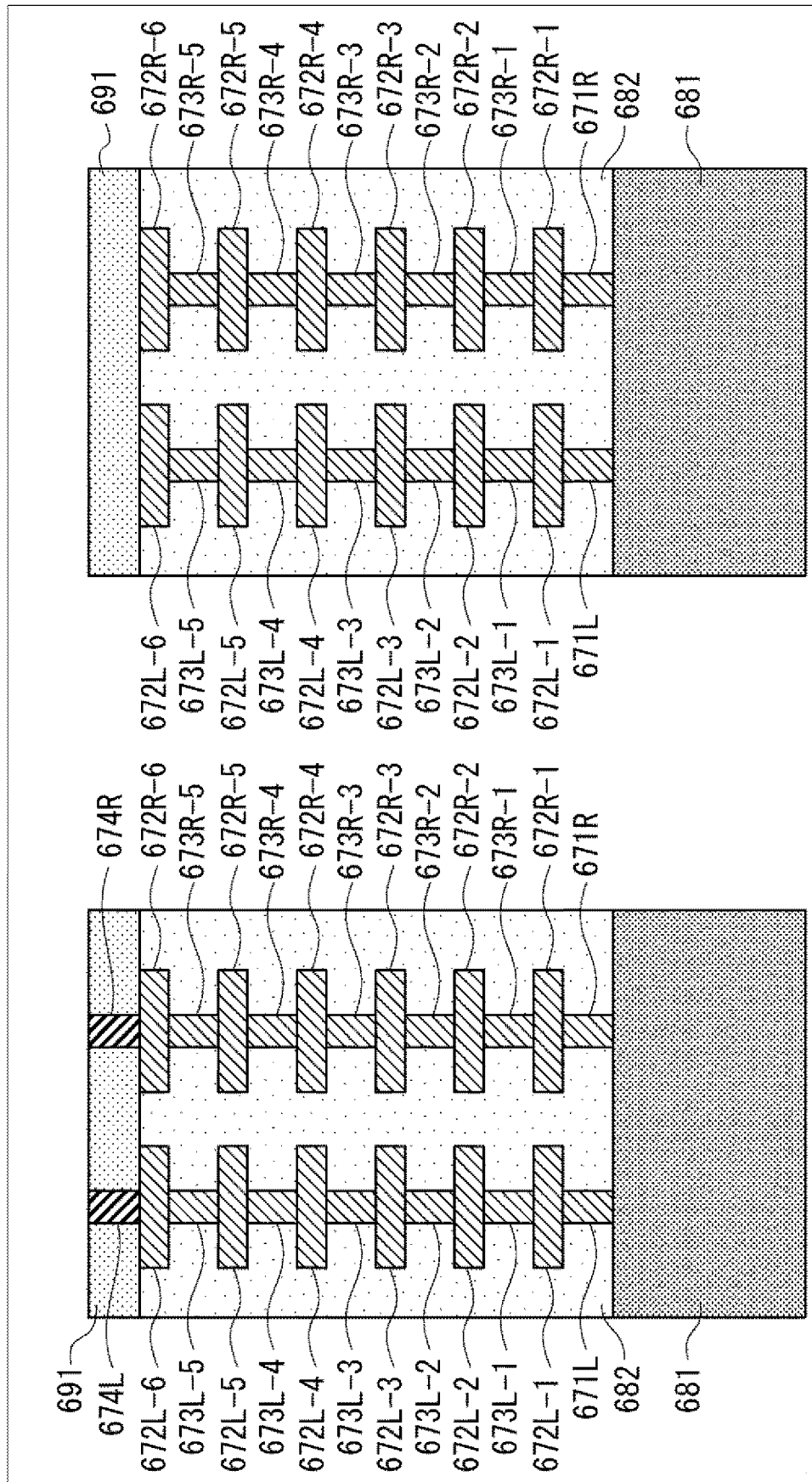
[図36]

図36



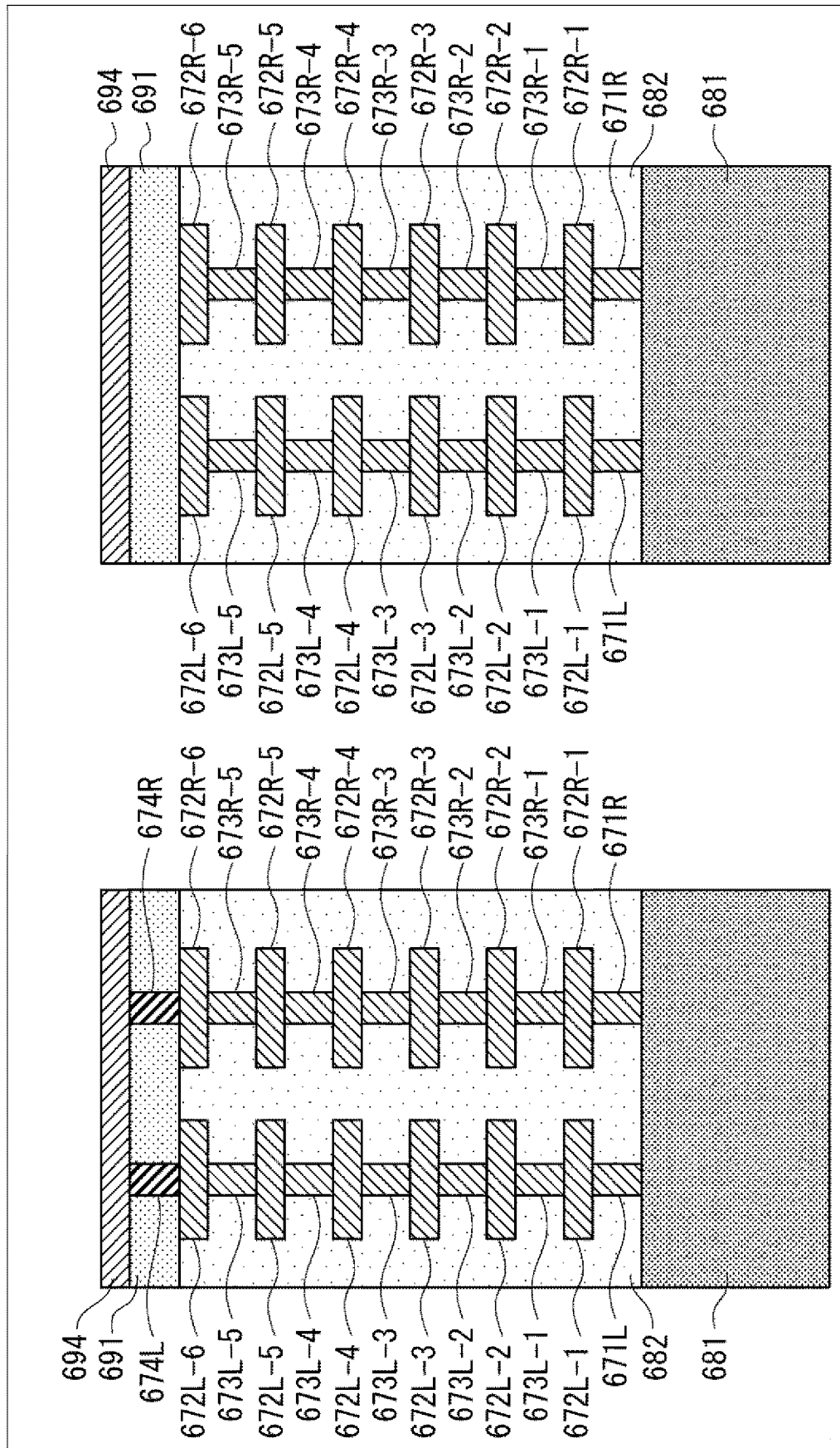
[図37]

図37



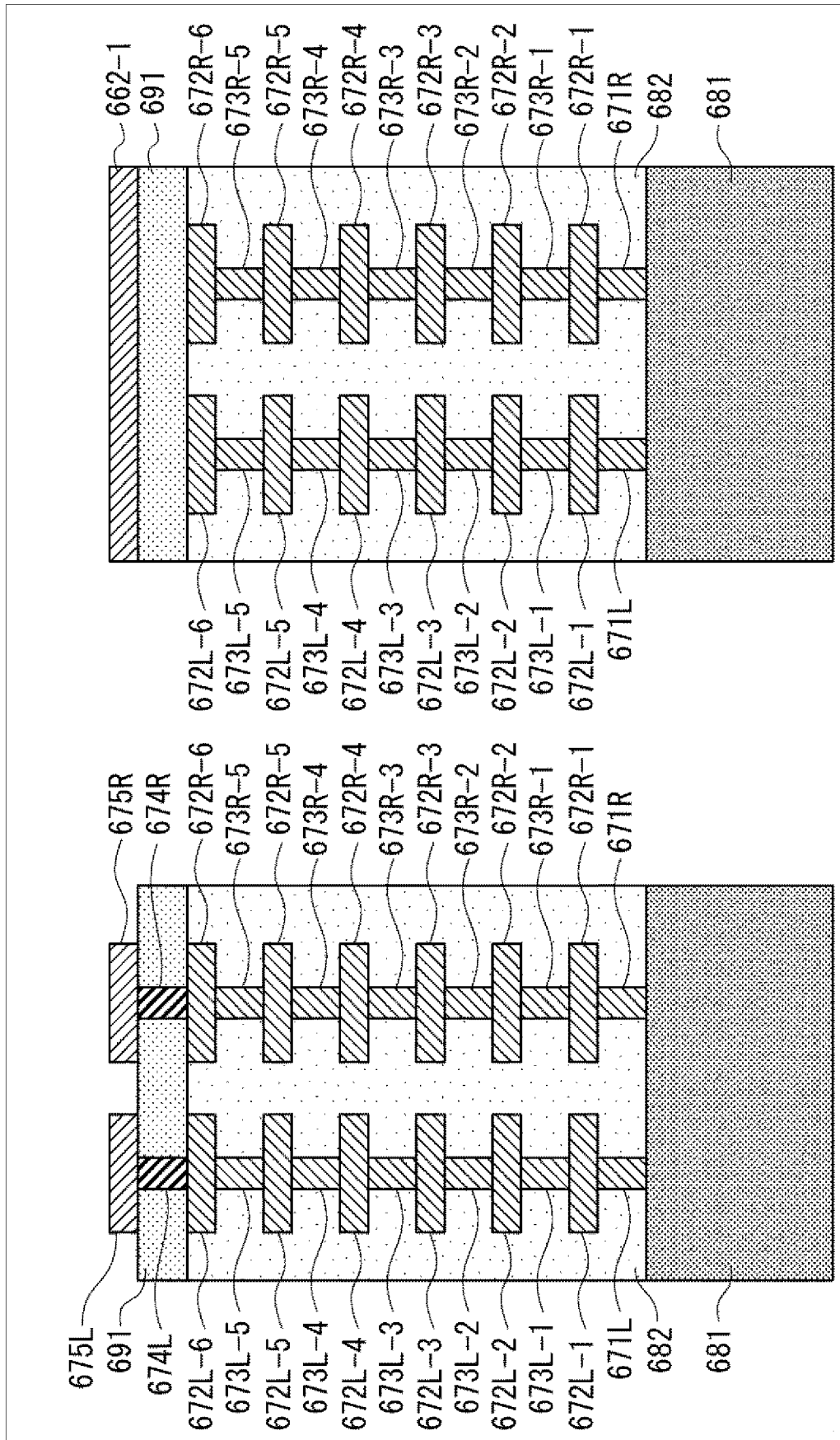
[図38]

図38



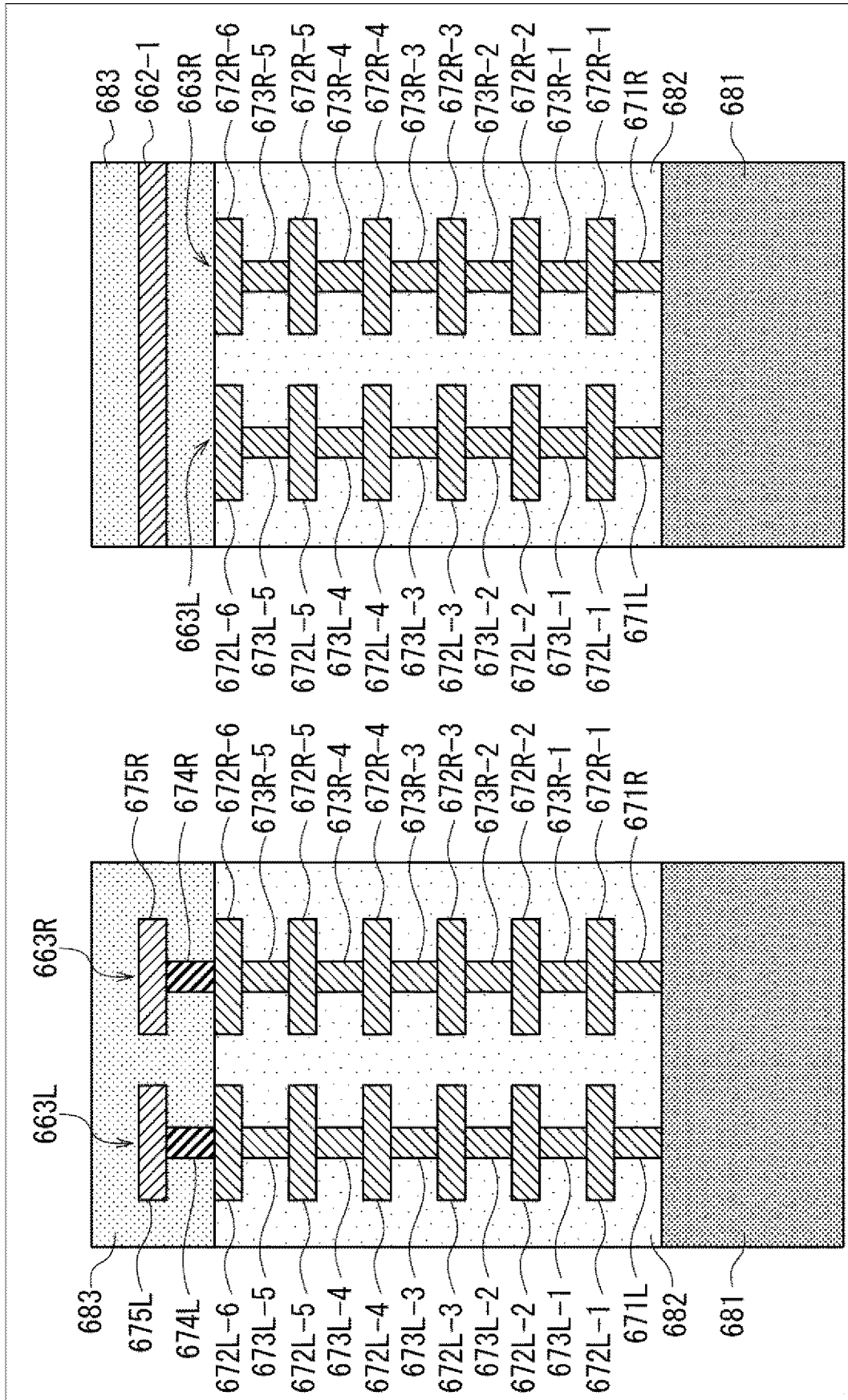
[図39]

図39



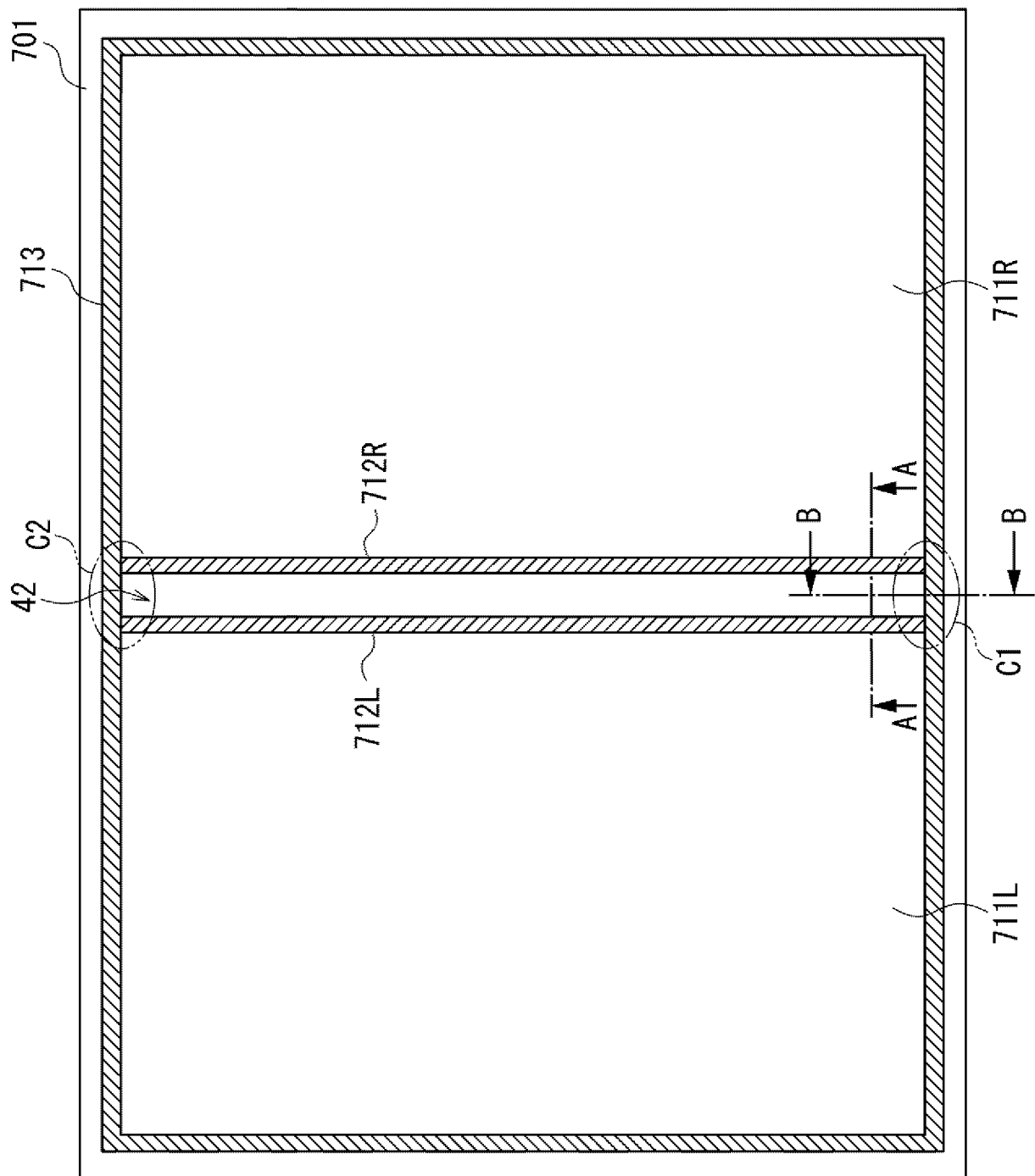
[図40]

図40



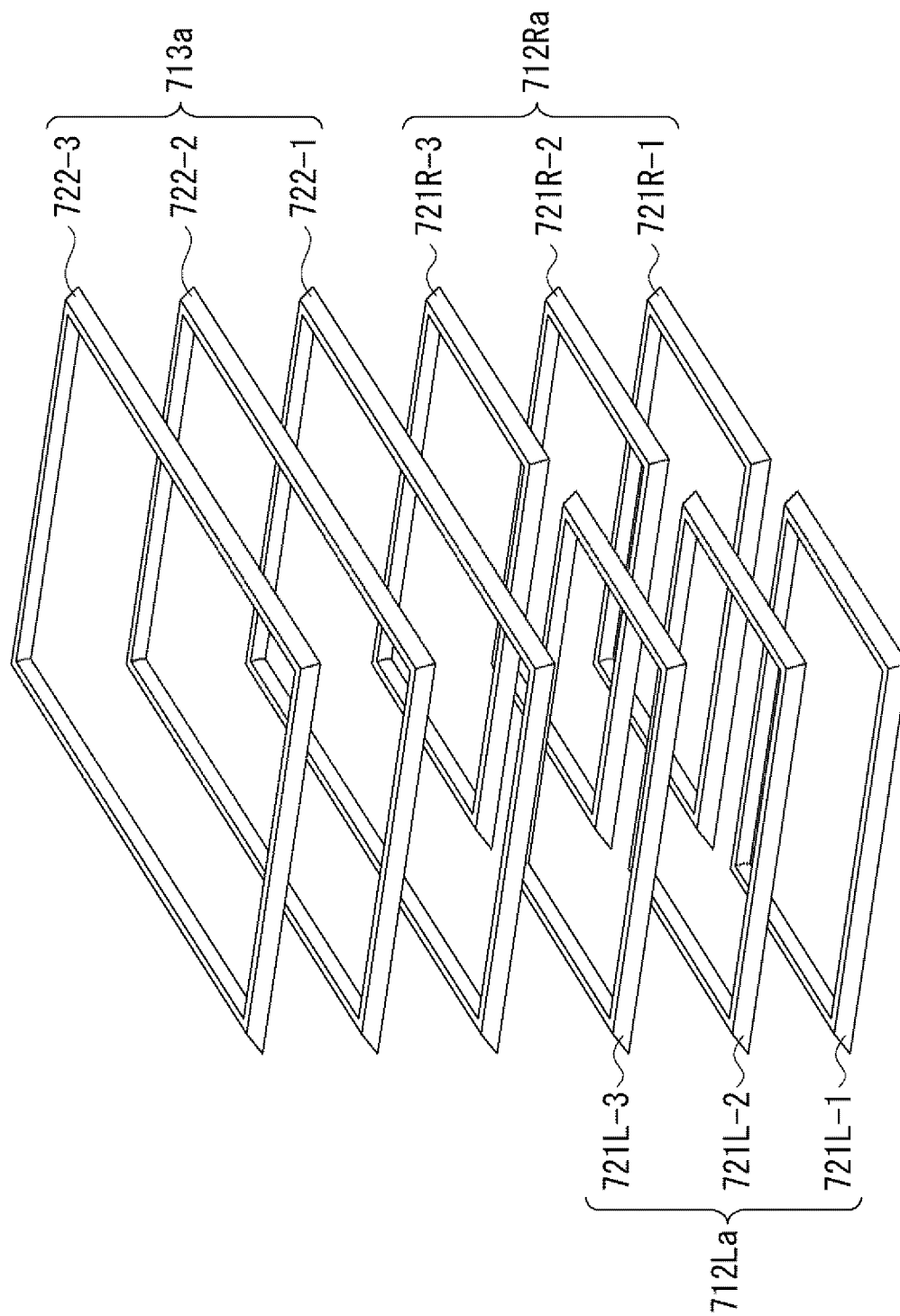
[図41]

図41



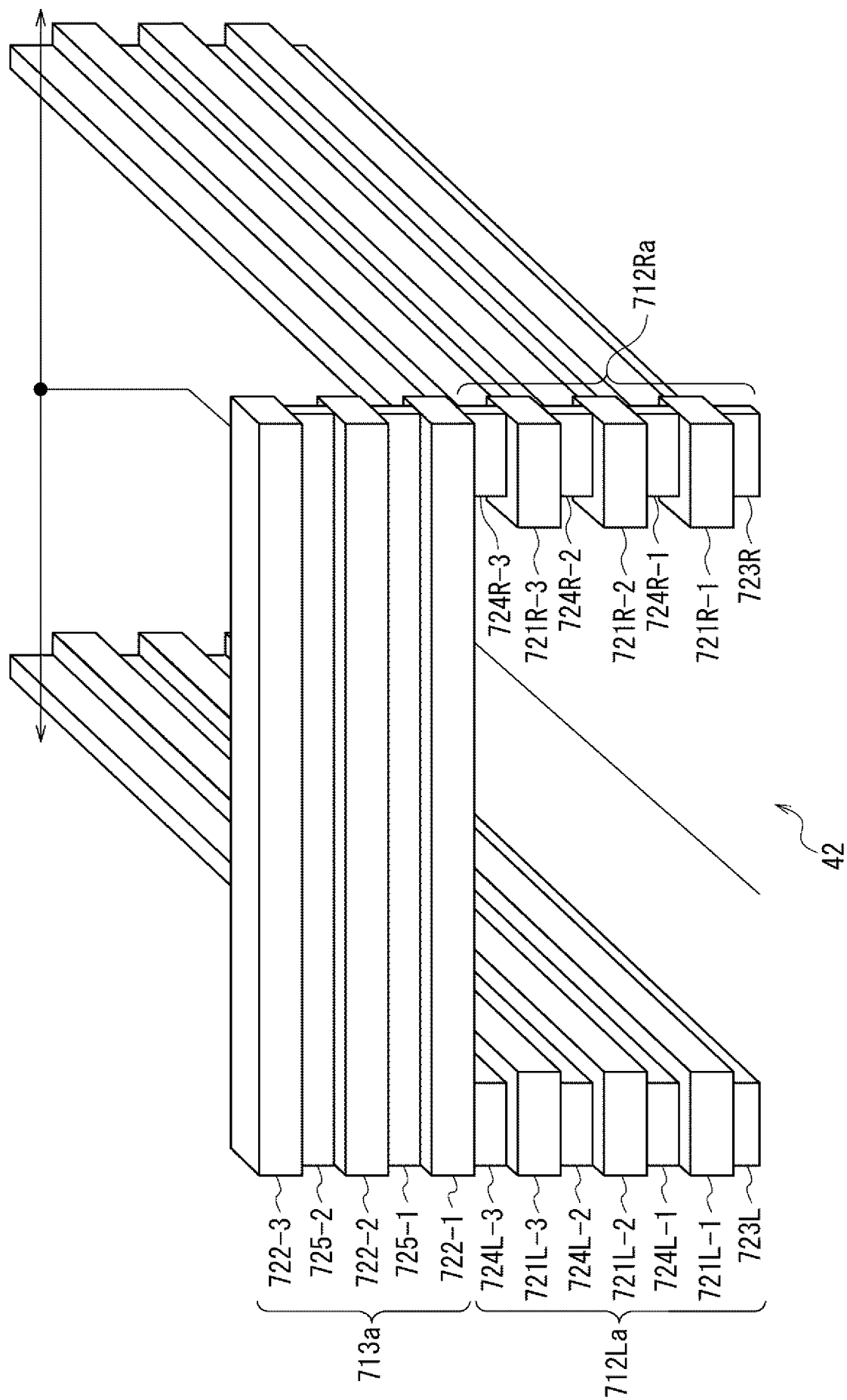
[図42]

図42



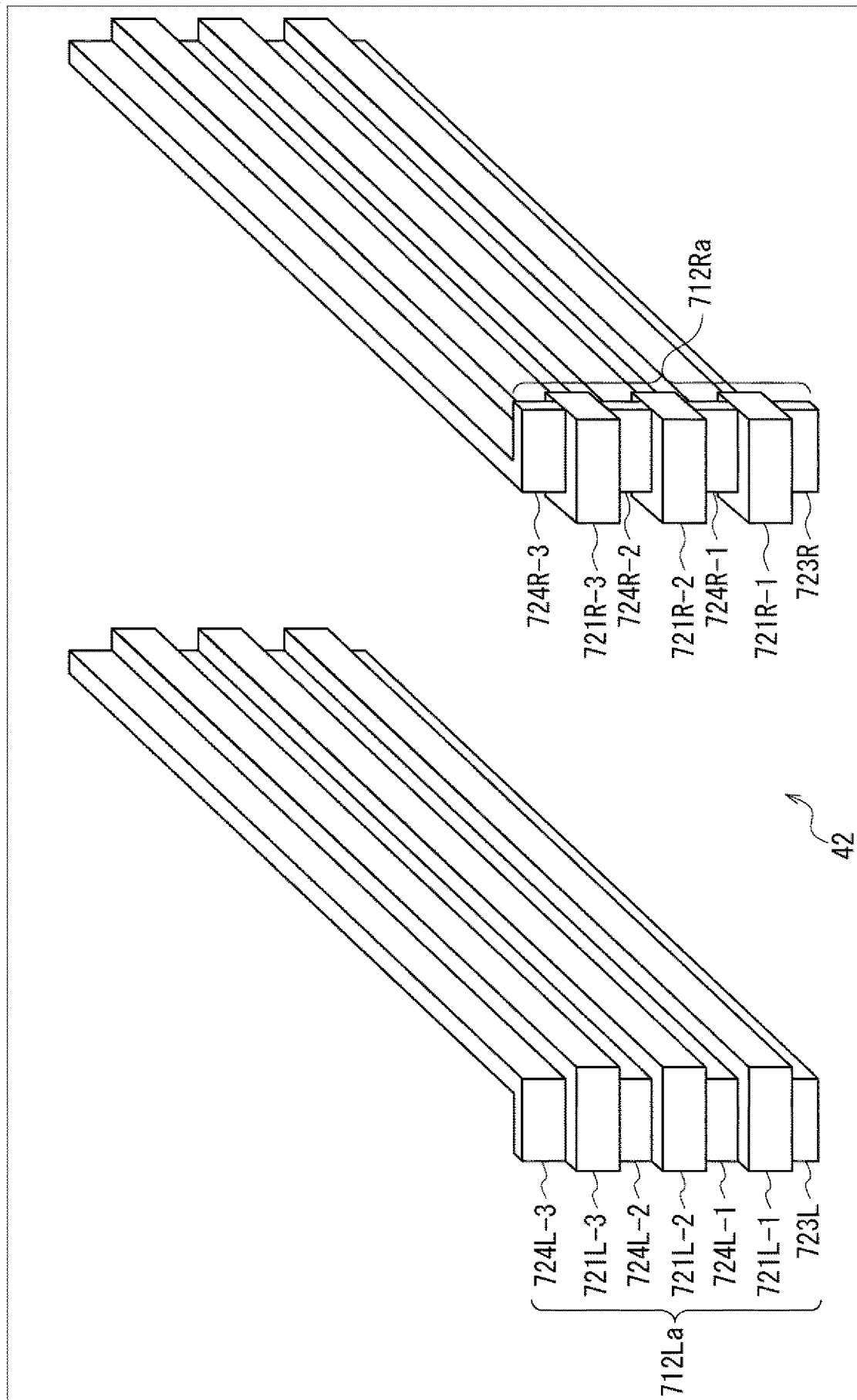
[図43]

図43



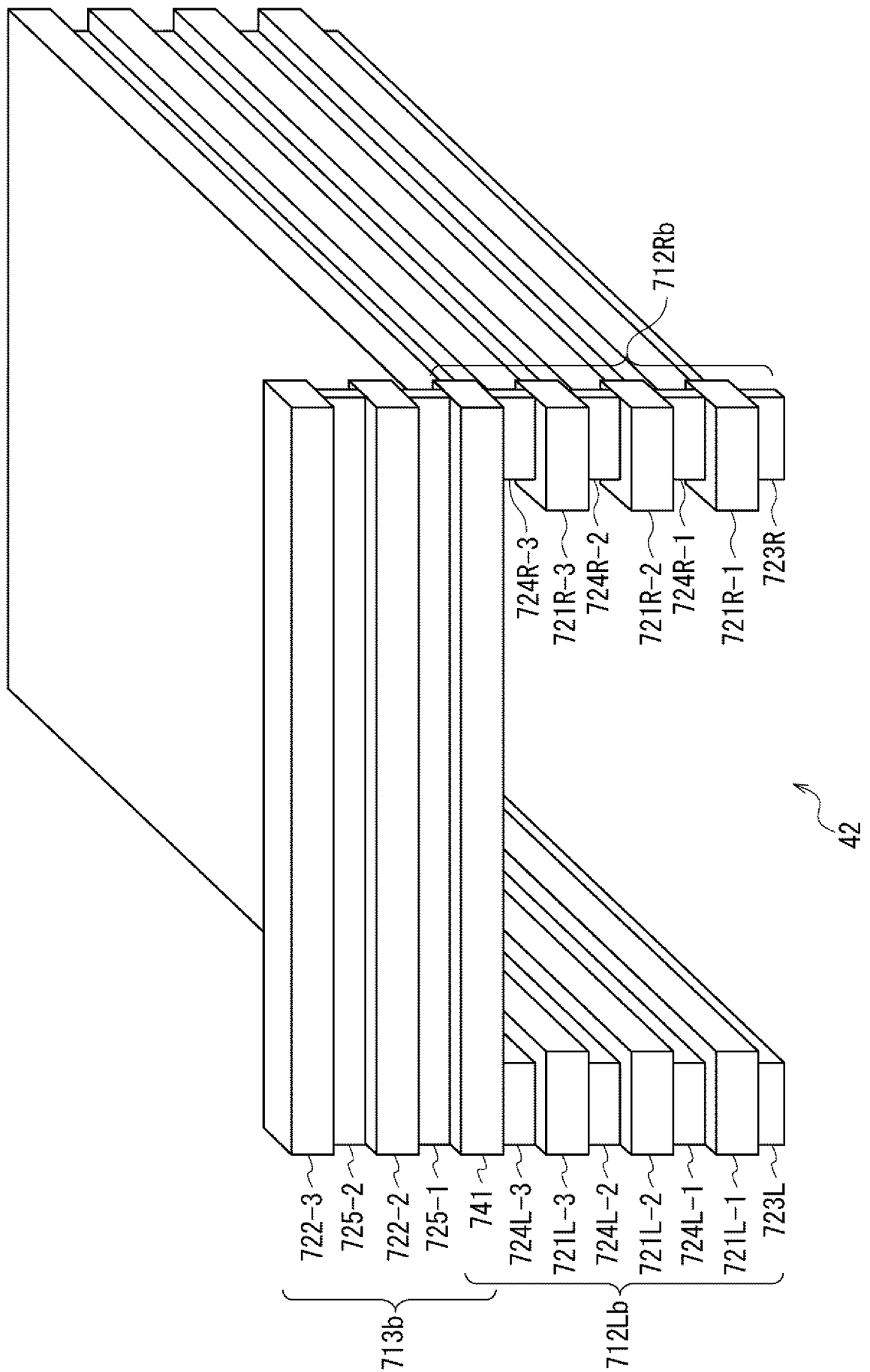
[図44]

図44



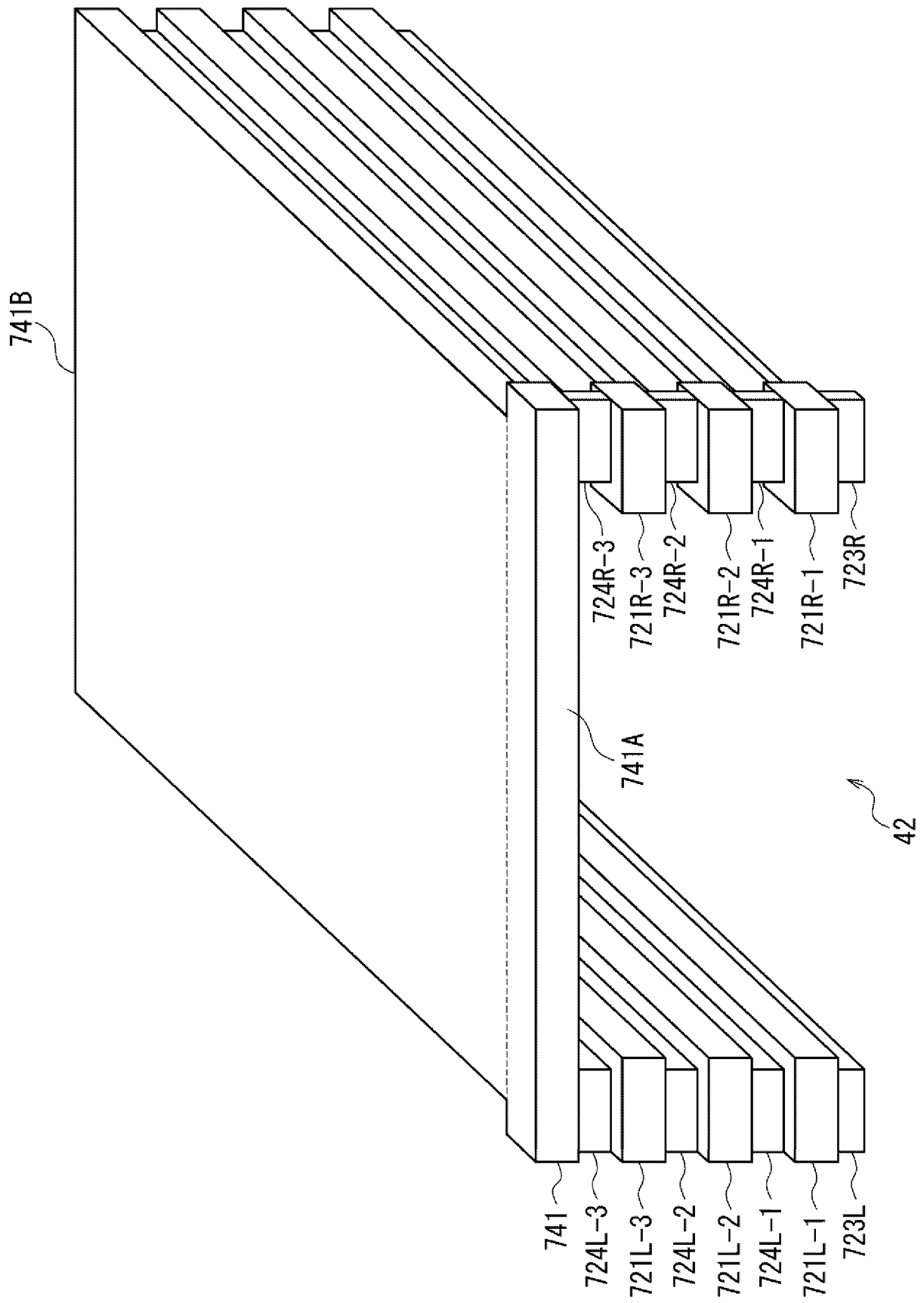
[図45]

図45



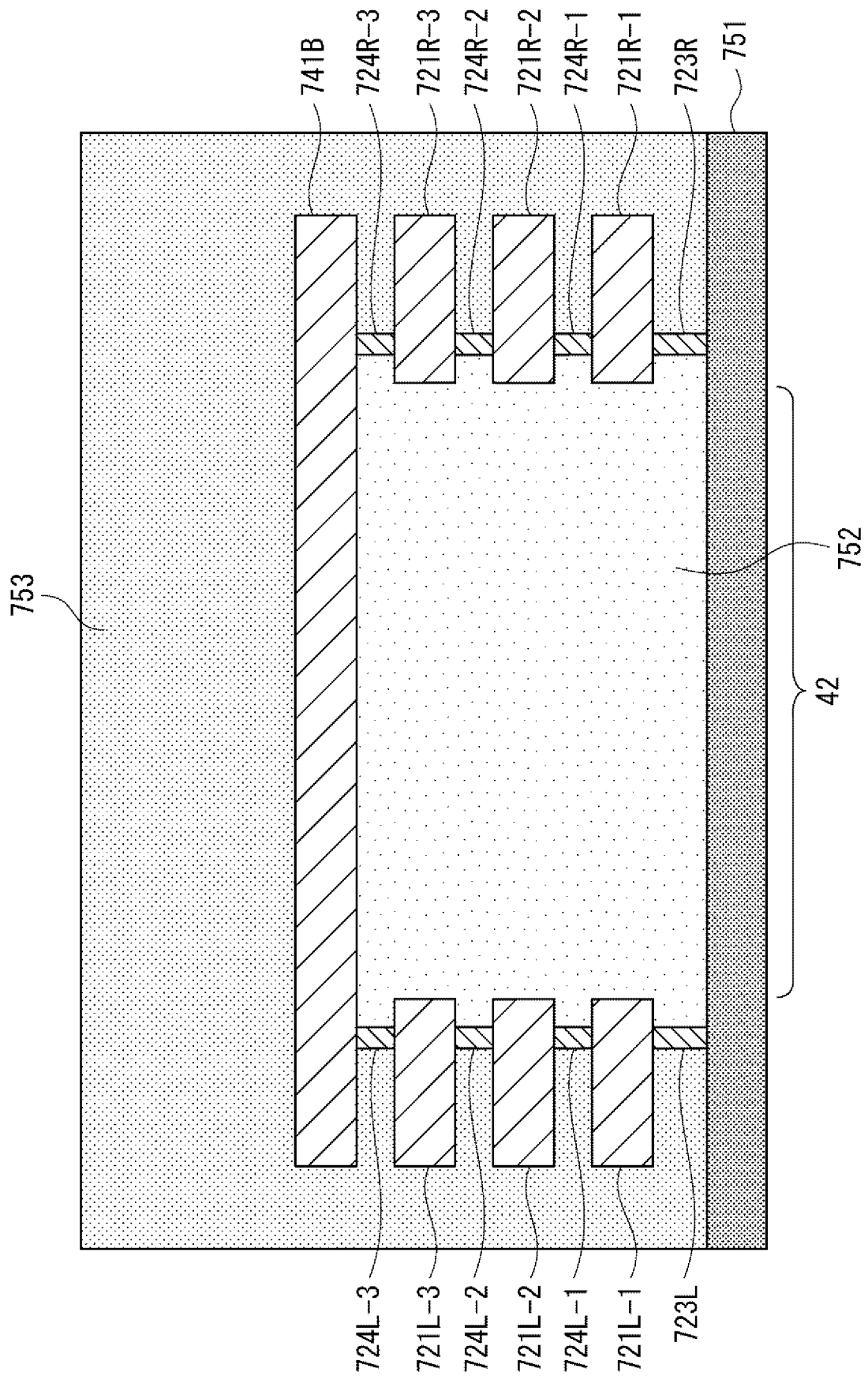
[図46]

図46



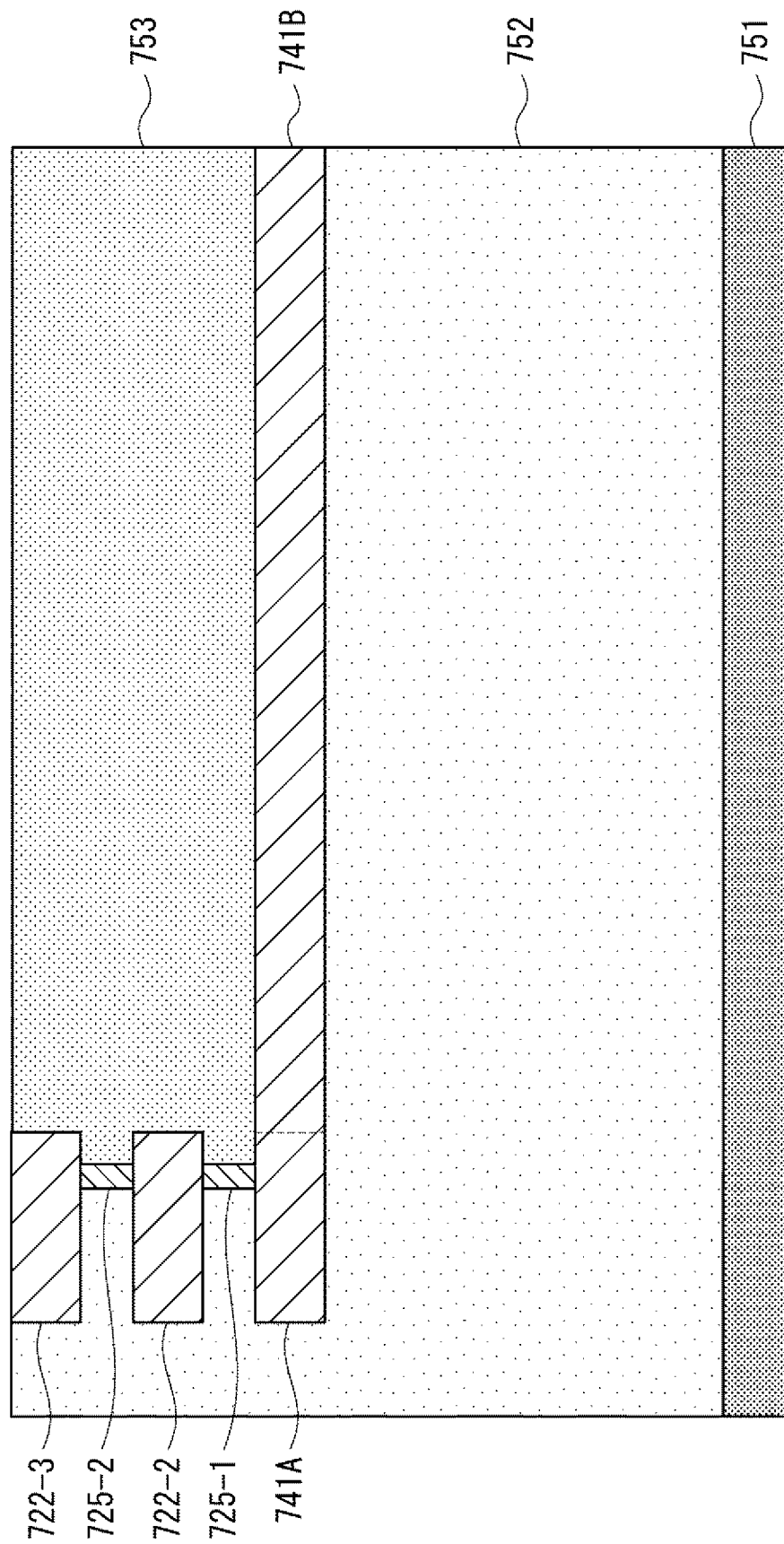
[図47]

図47



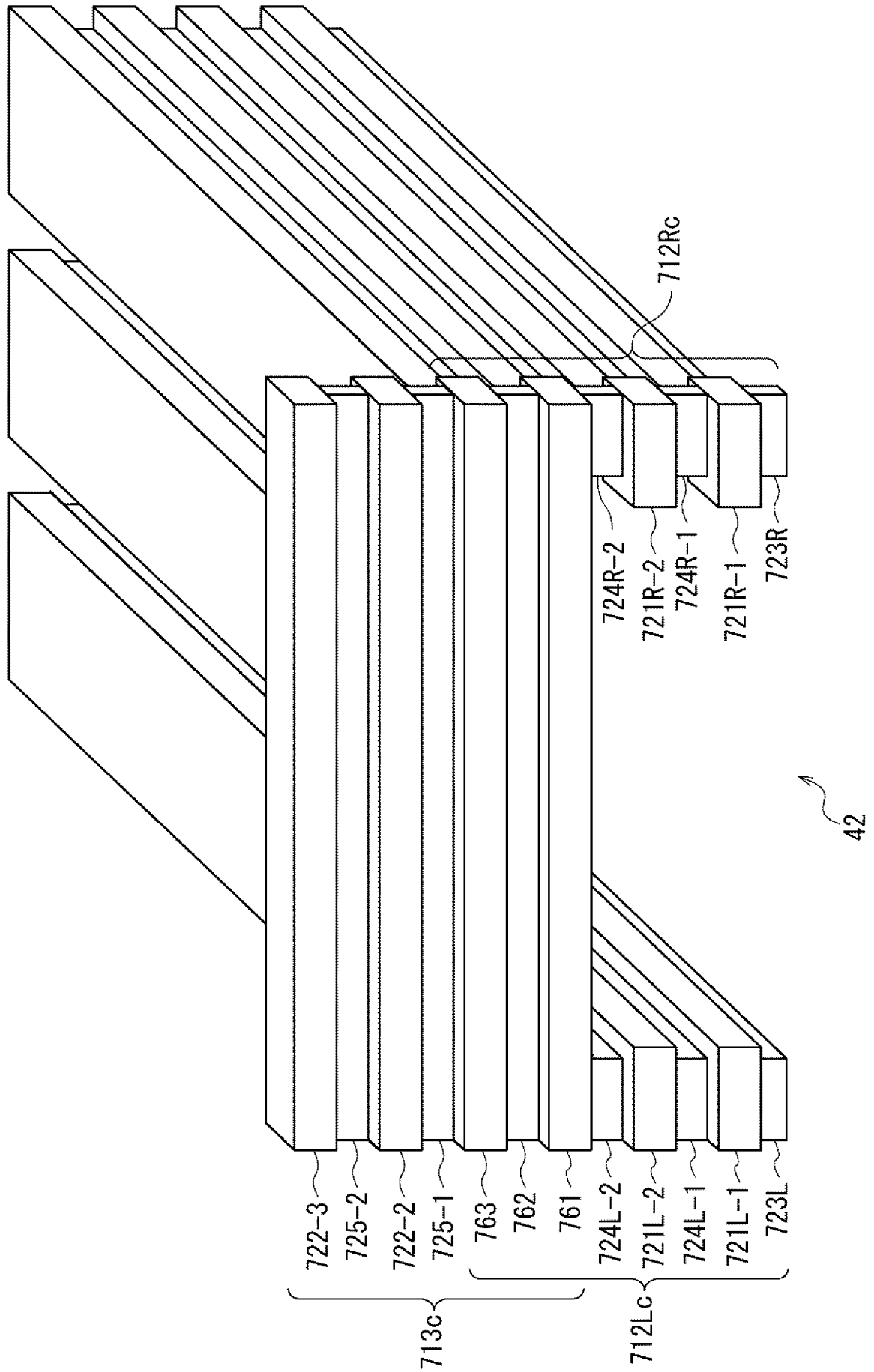
[図48]

図48



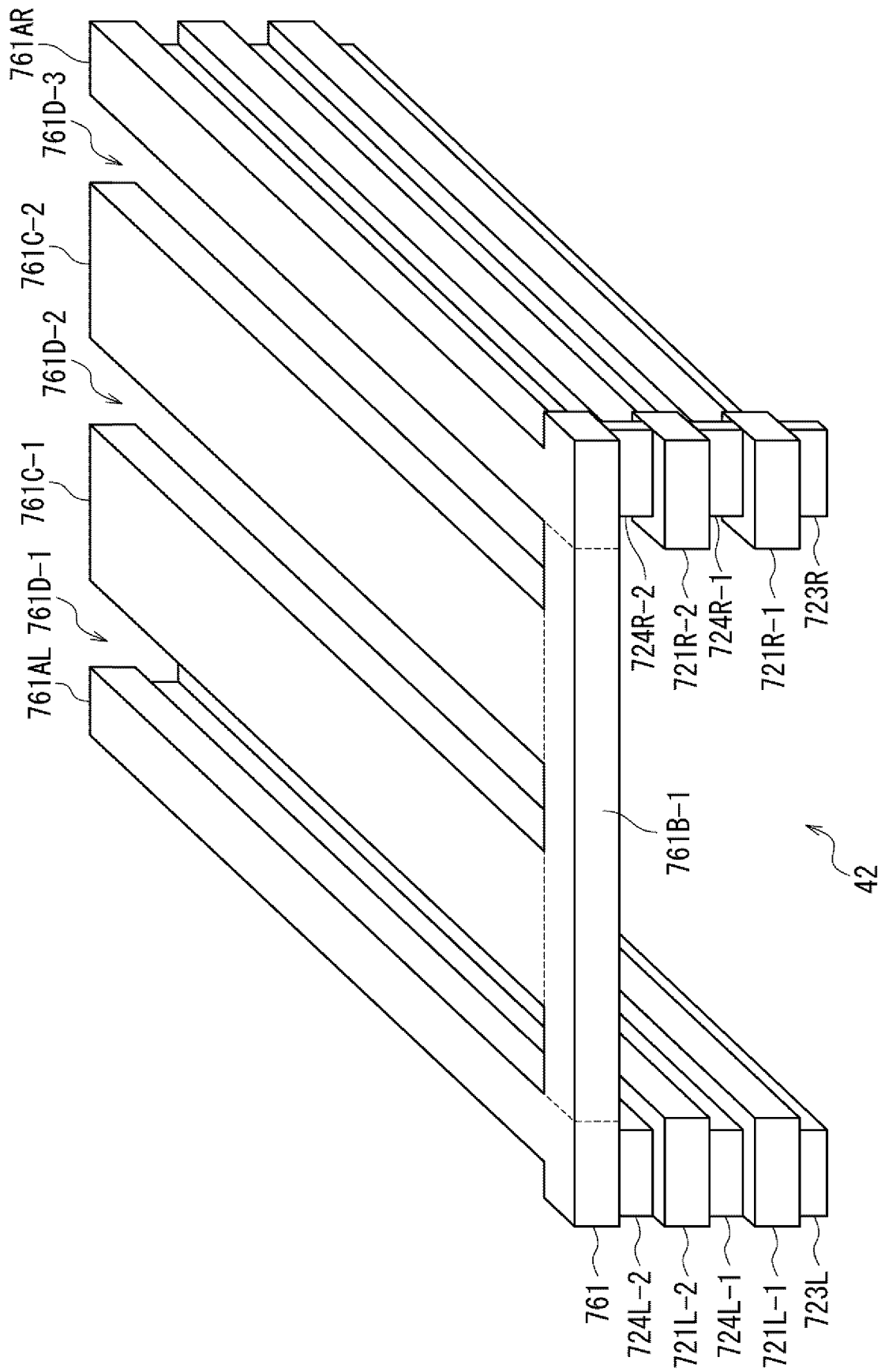
[図49]

図49



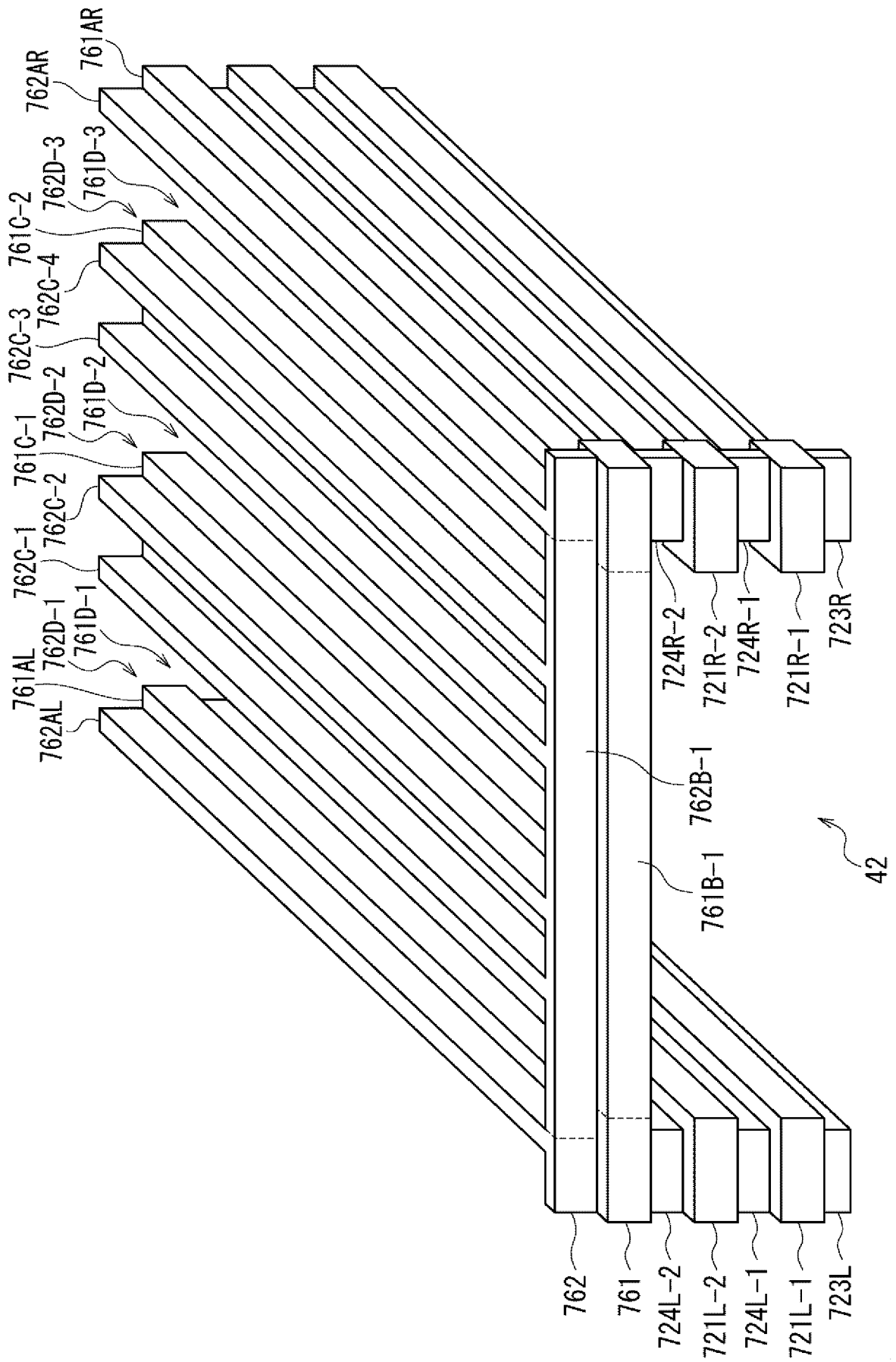
[図50]

図50



[図51]

図51



[図52]

図52

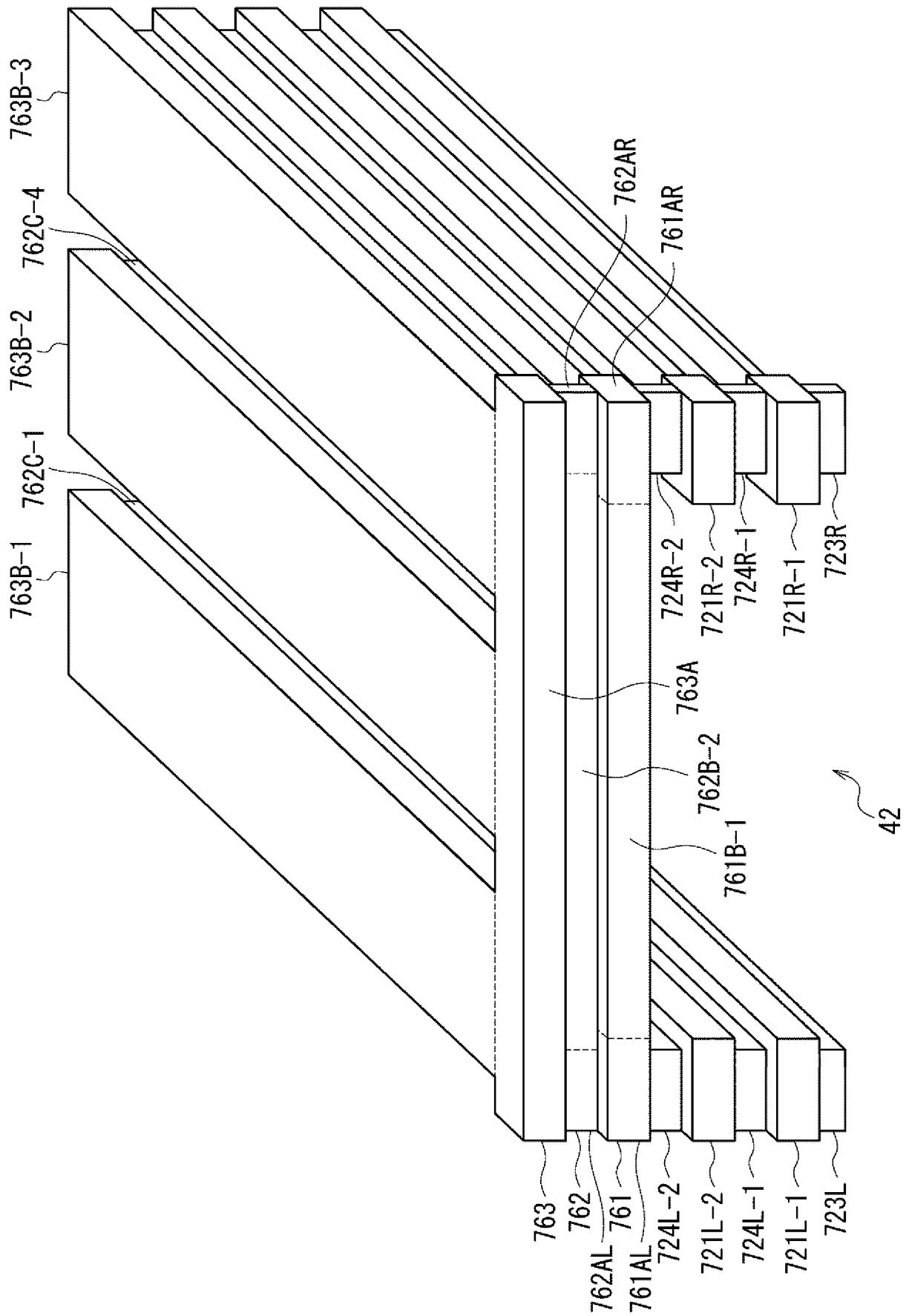
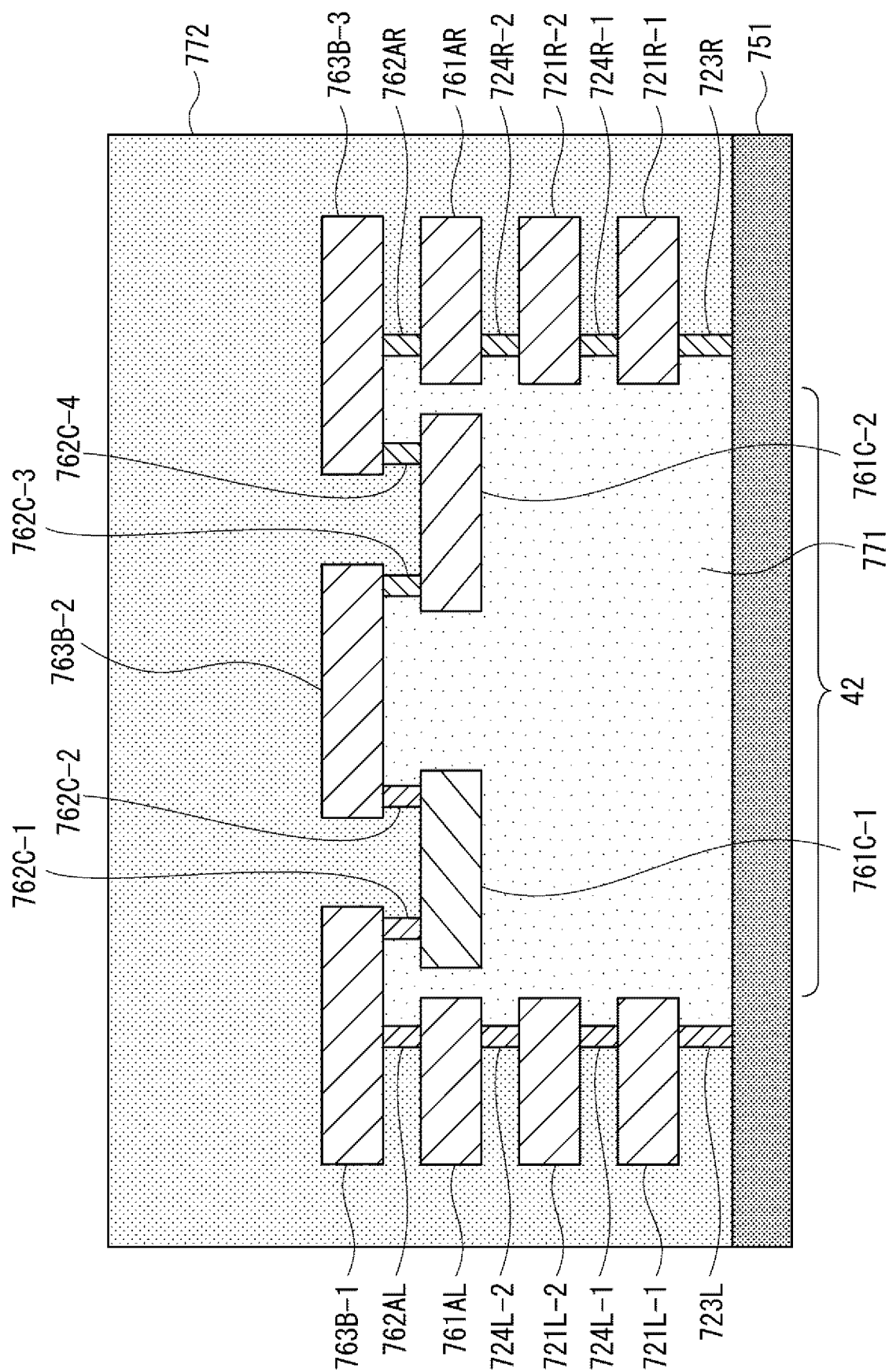
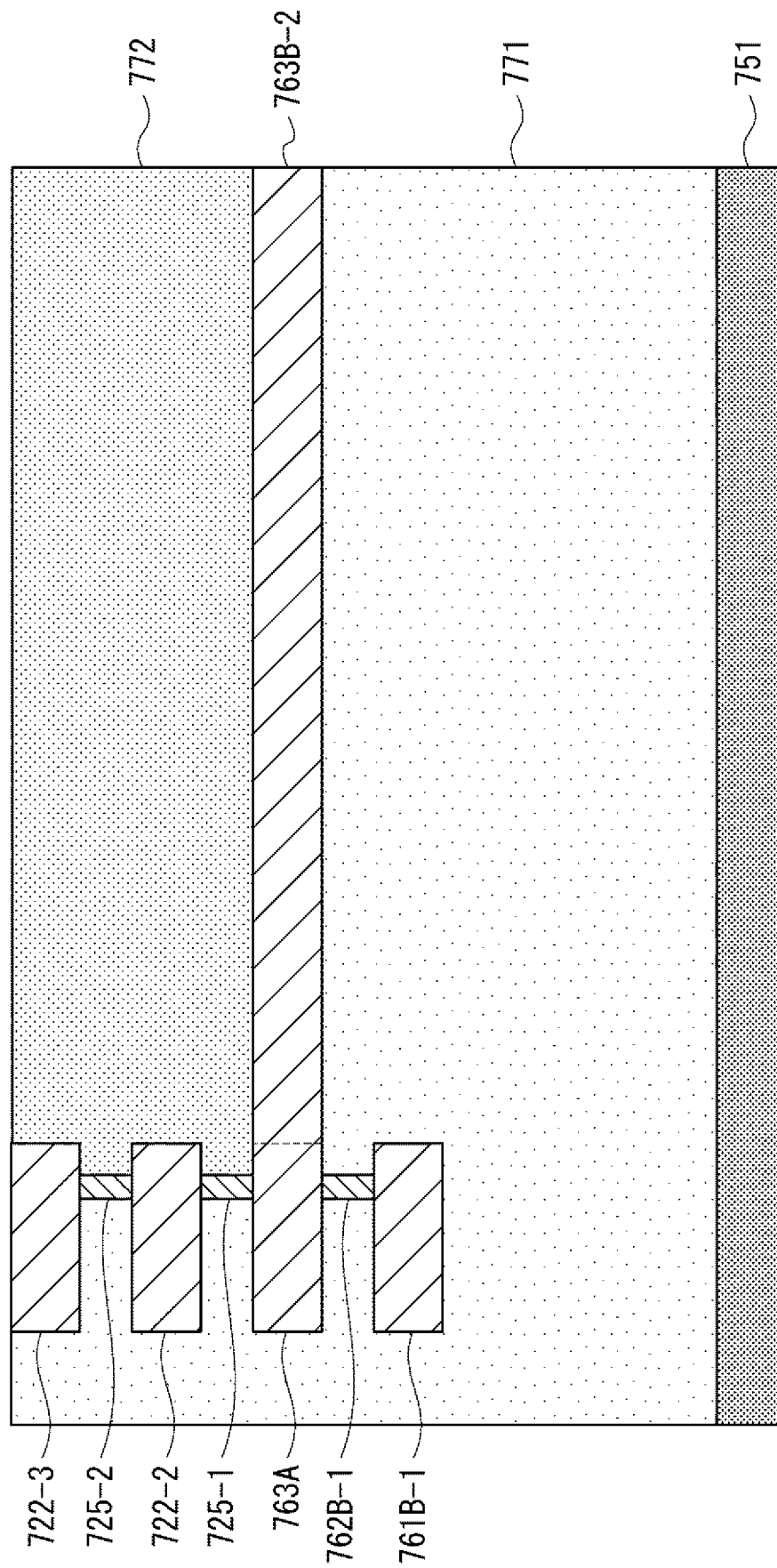


图53



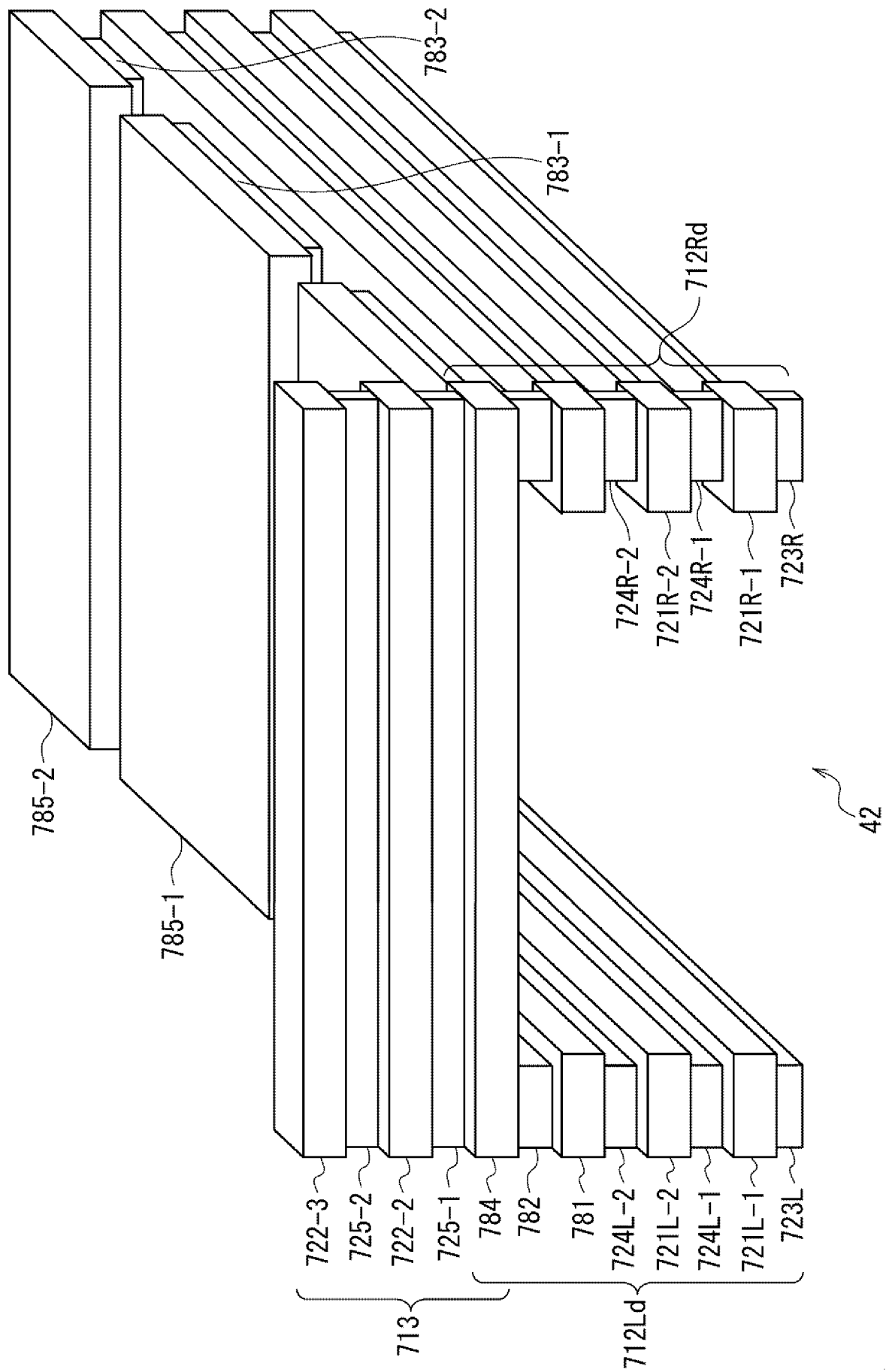
[図54]

図54



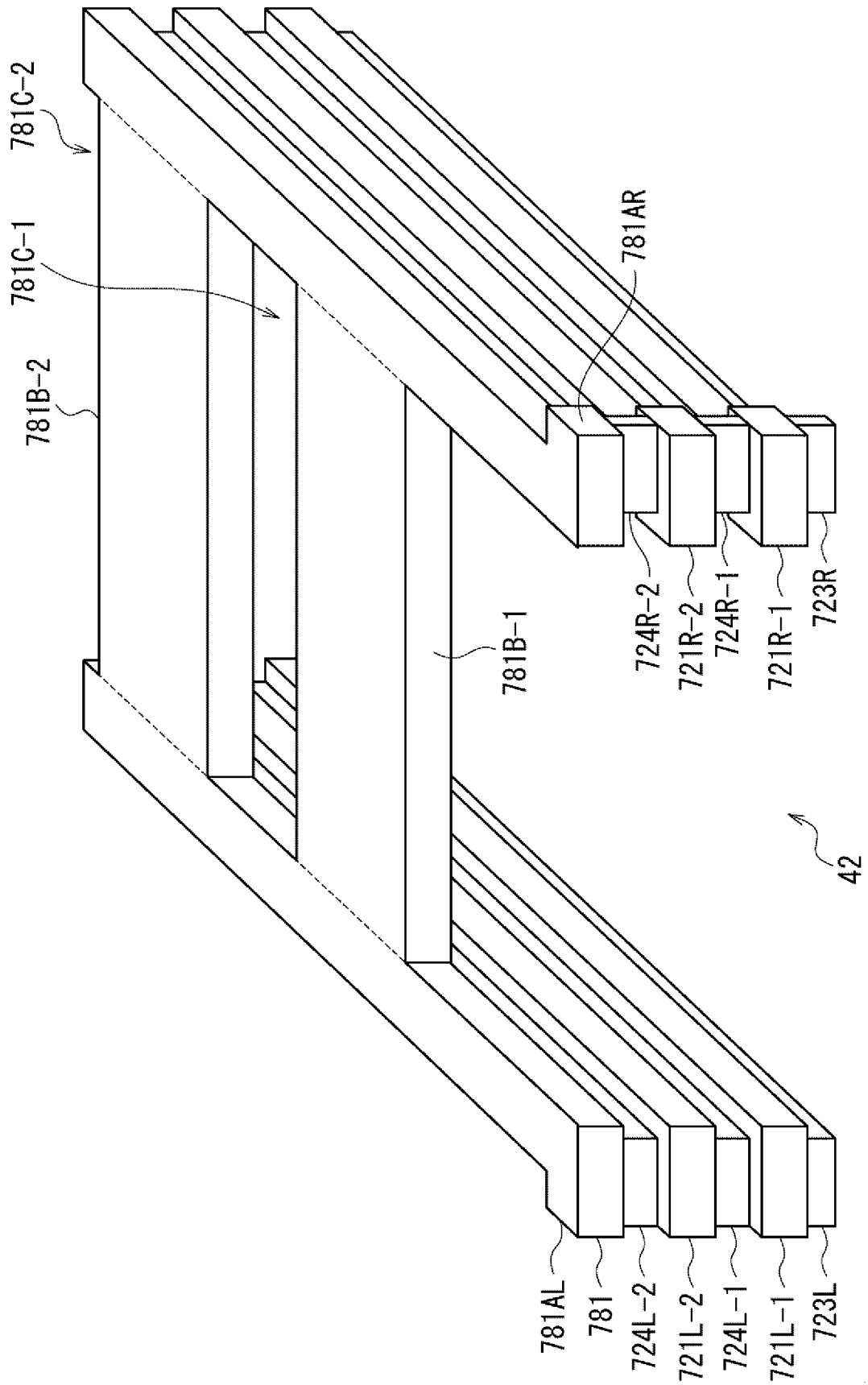
[図55]

図55



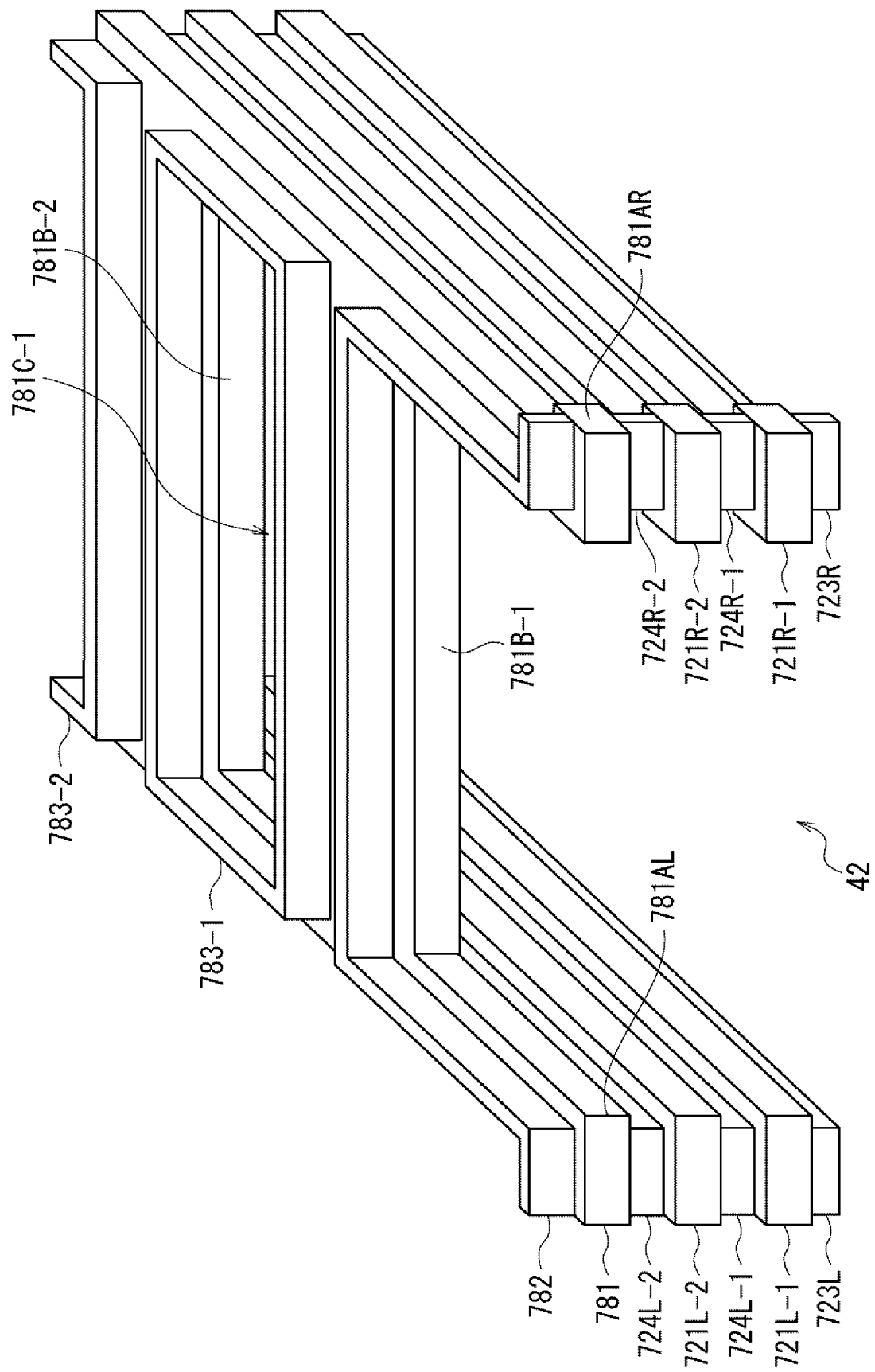
[図56]

図56



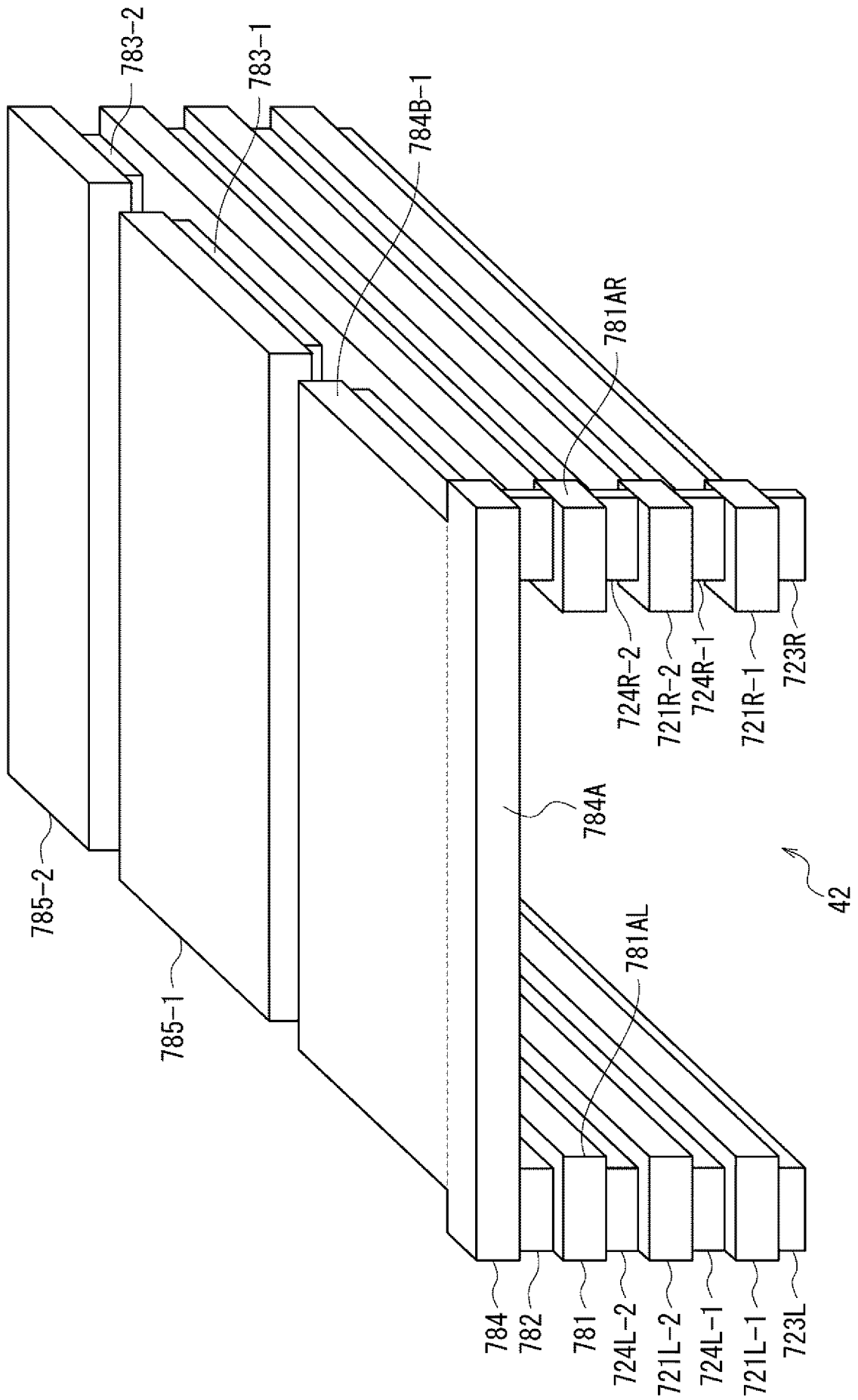
[図57]

図57



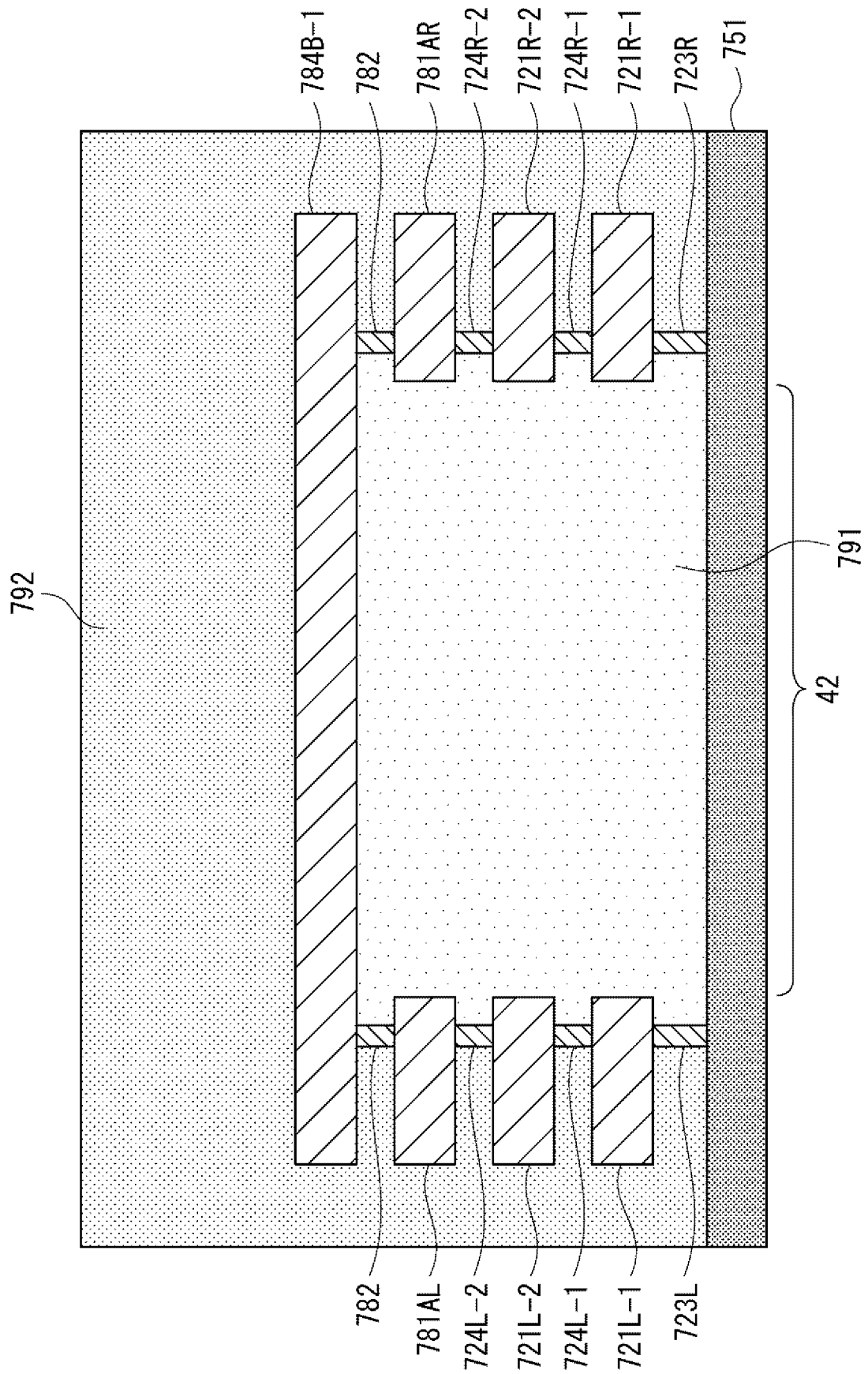
[図58]

図58



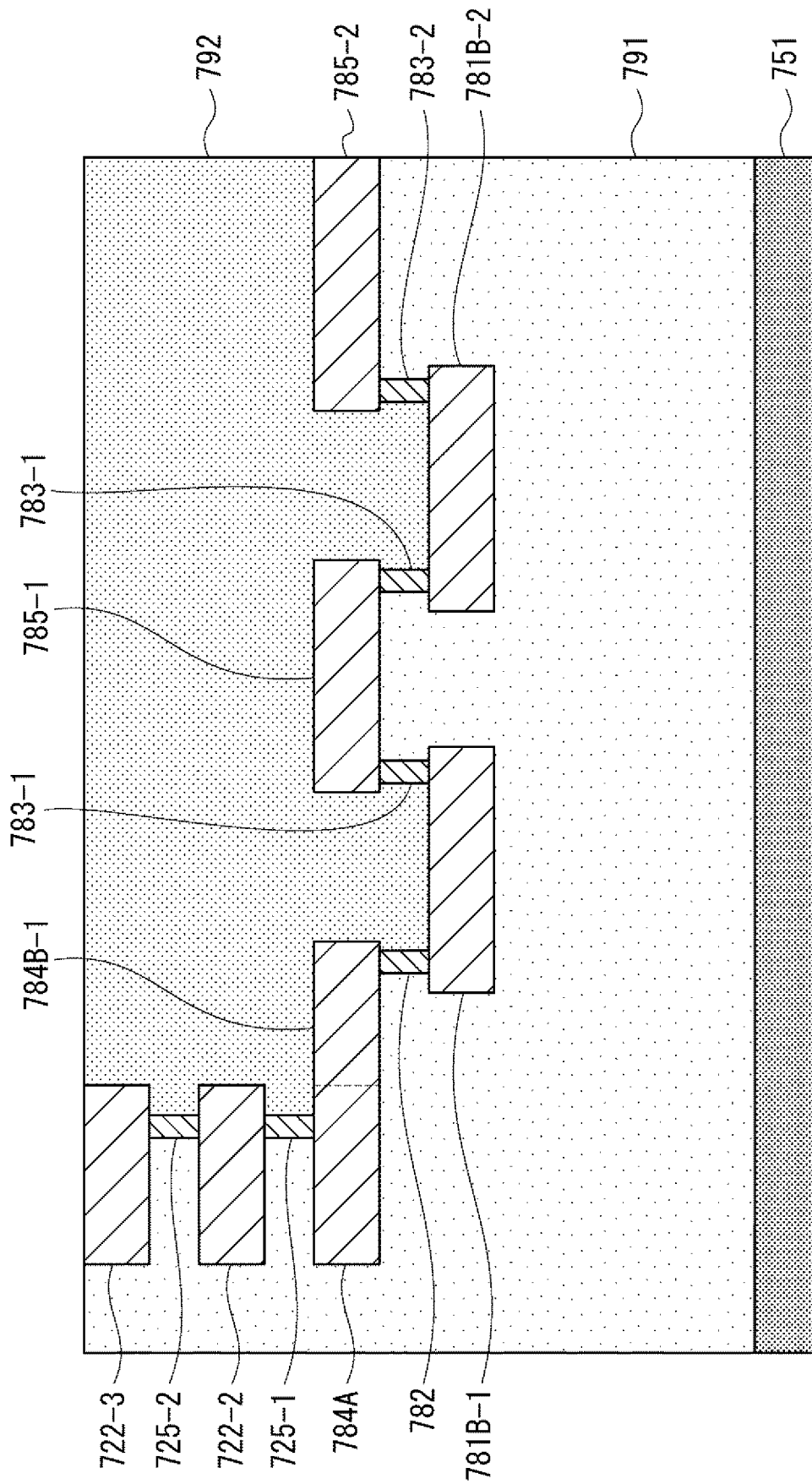
[図59]

図59



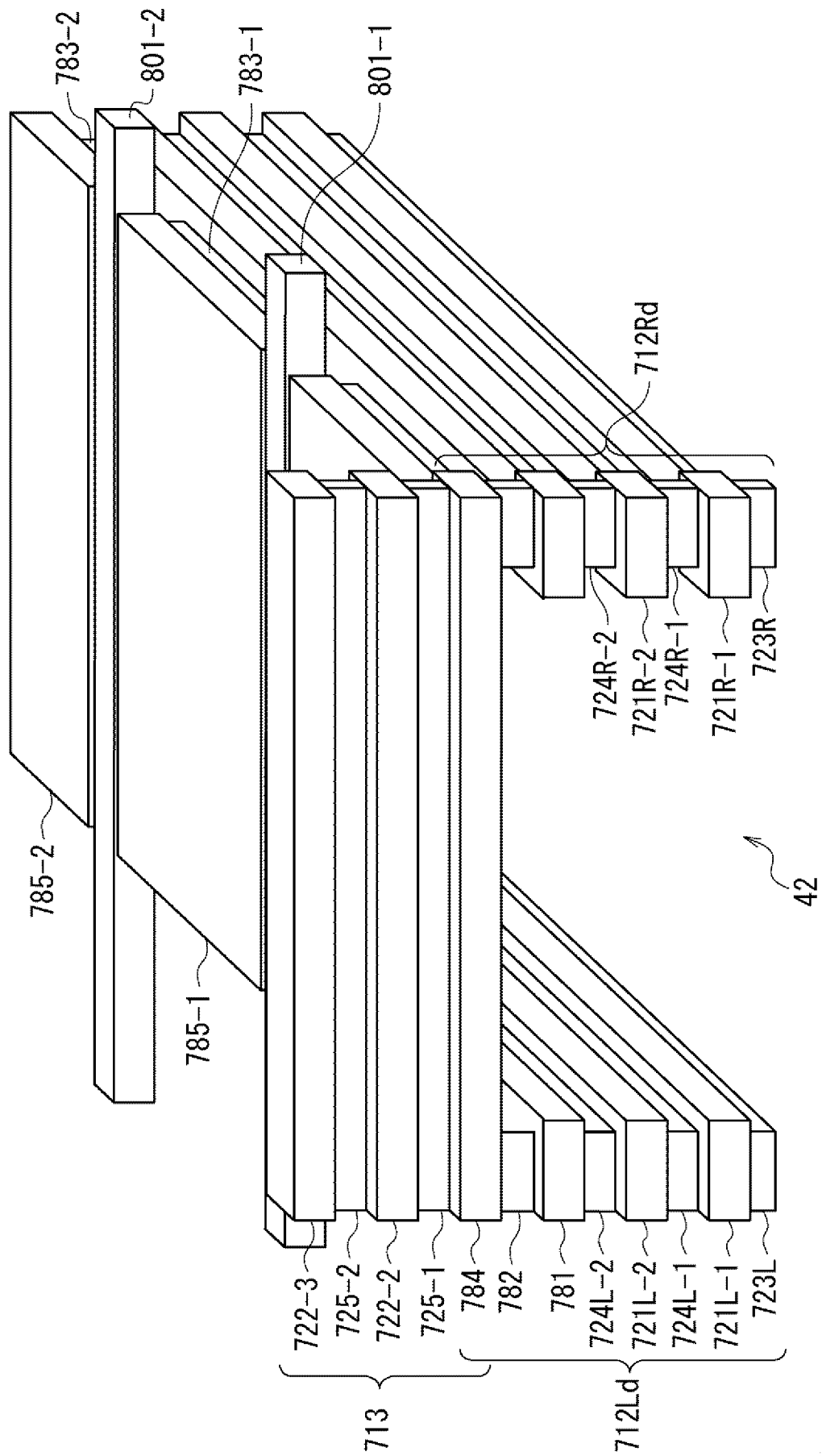
[図60]

図60



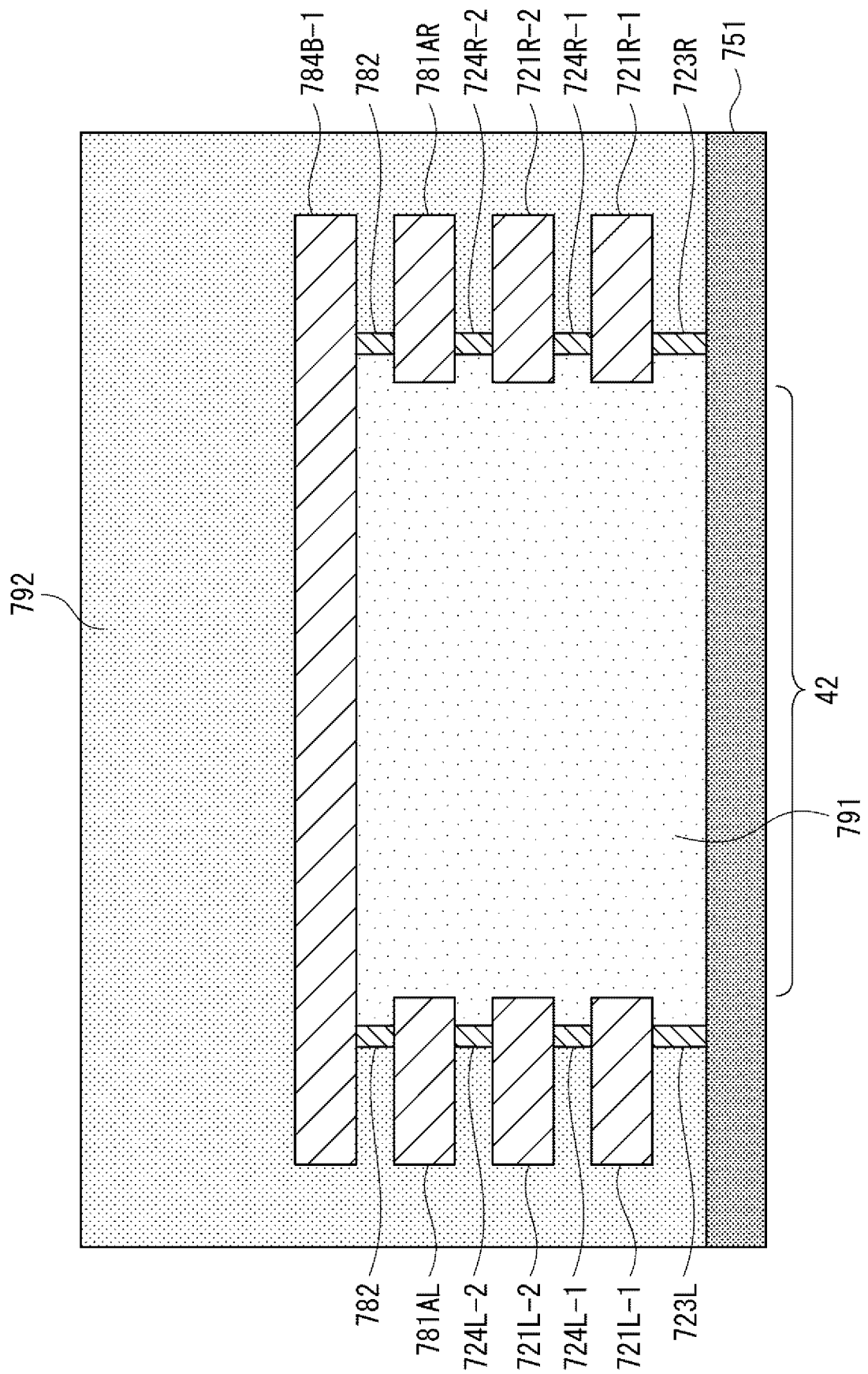
[図61]

図61



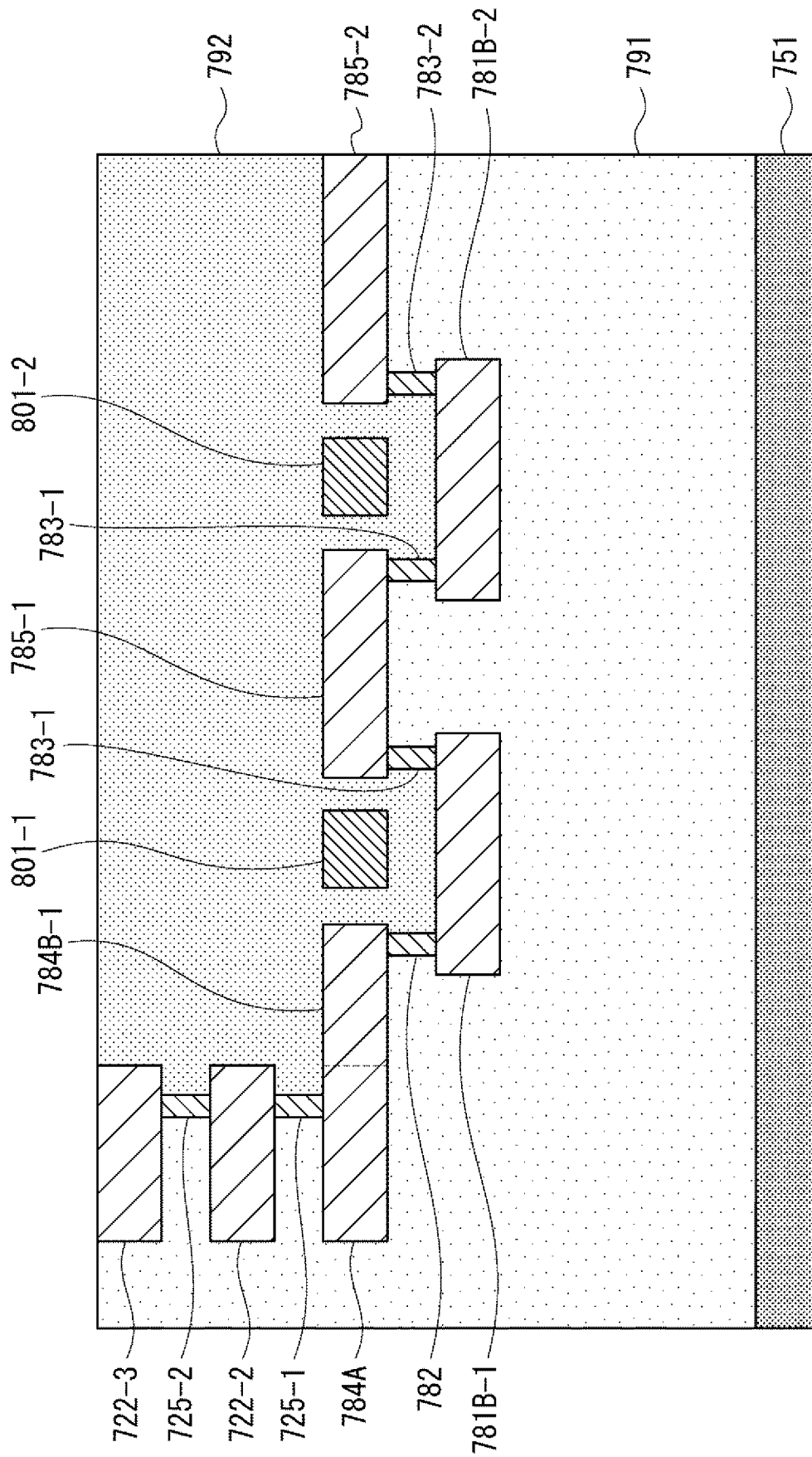
[図62]

図62



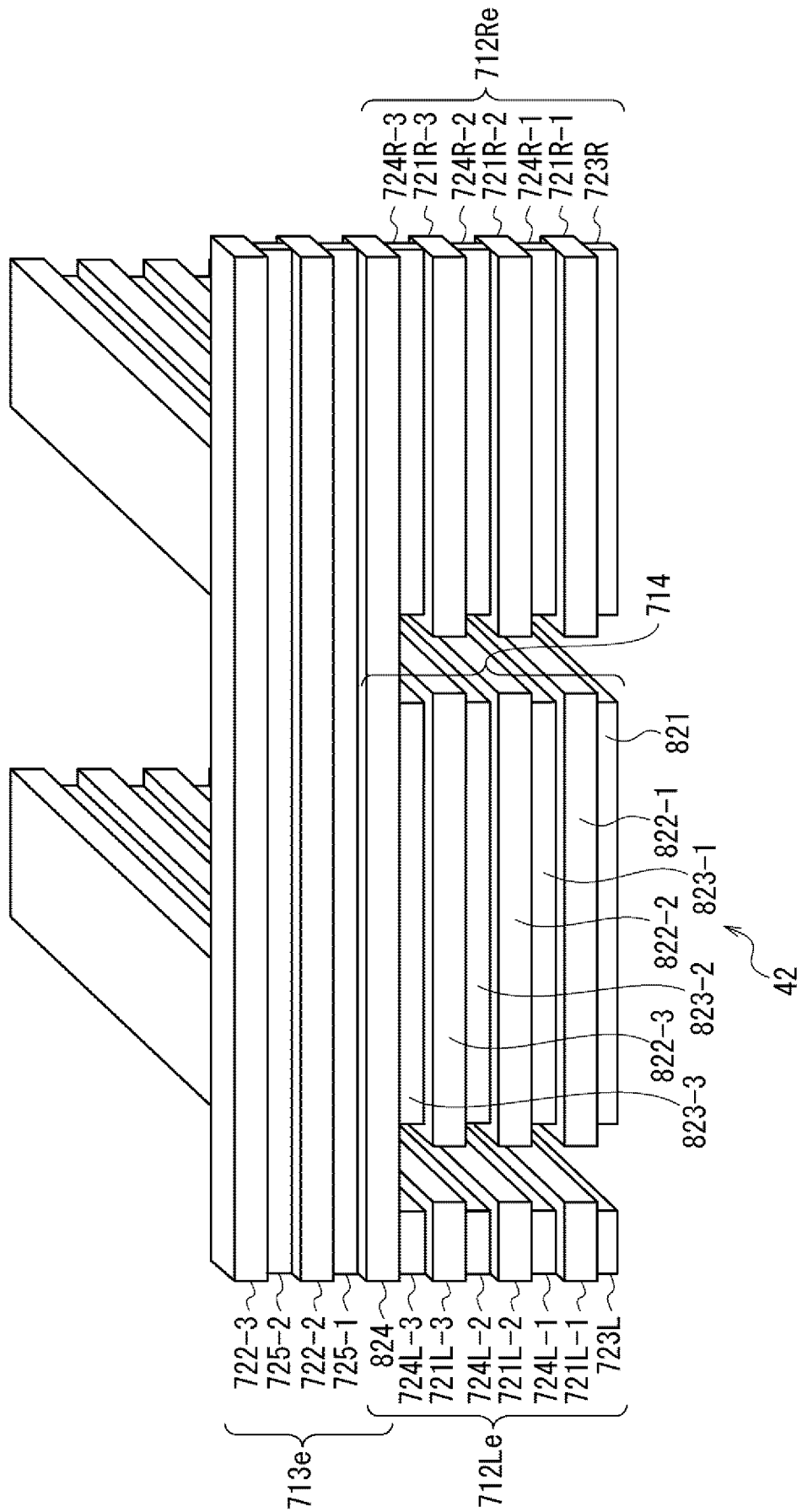
[図63]

図63



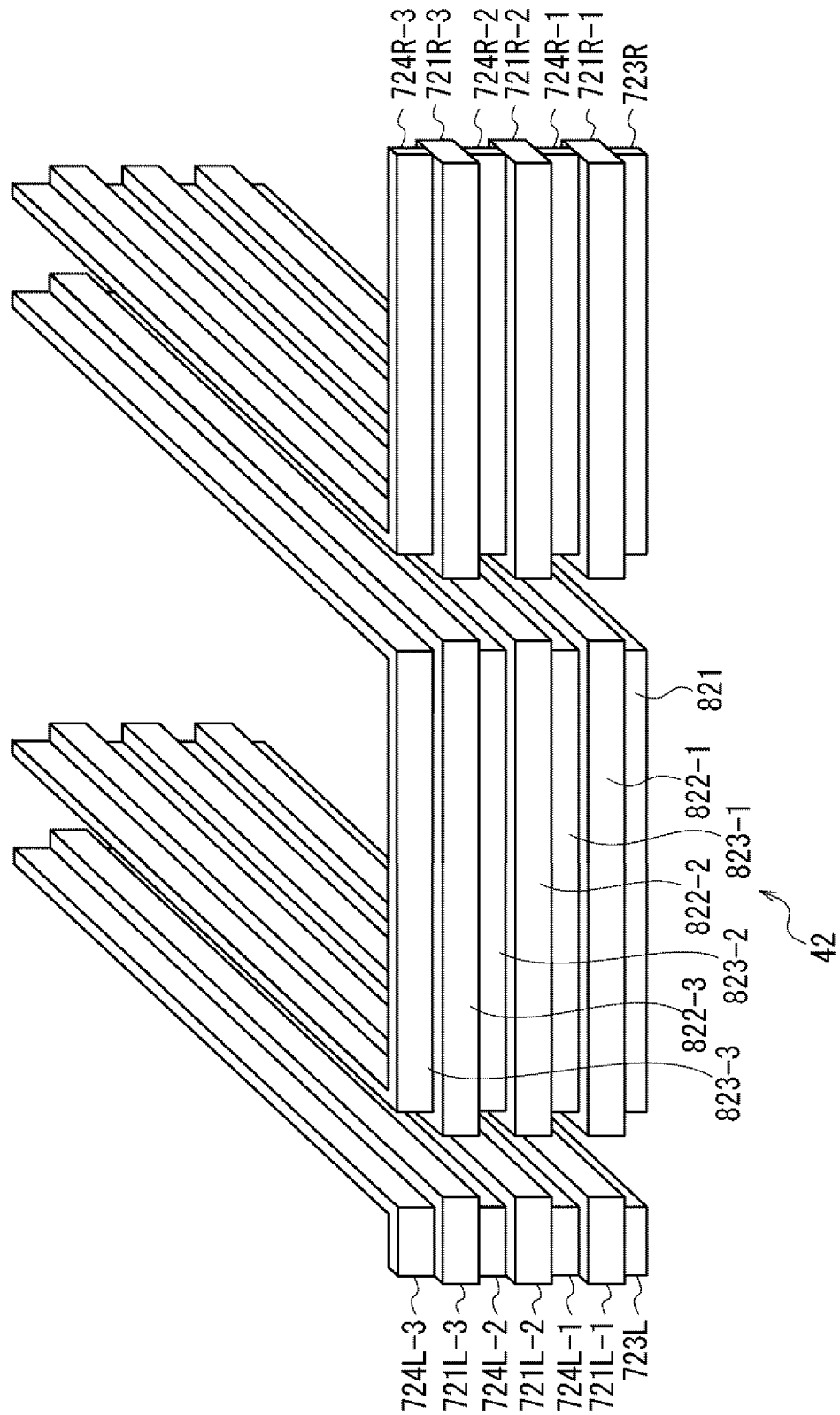
[図64]

図64



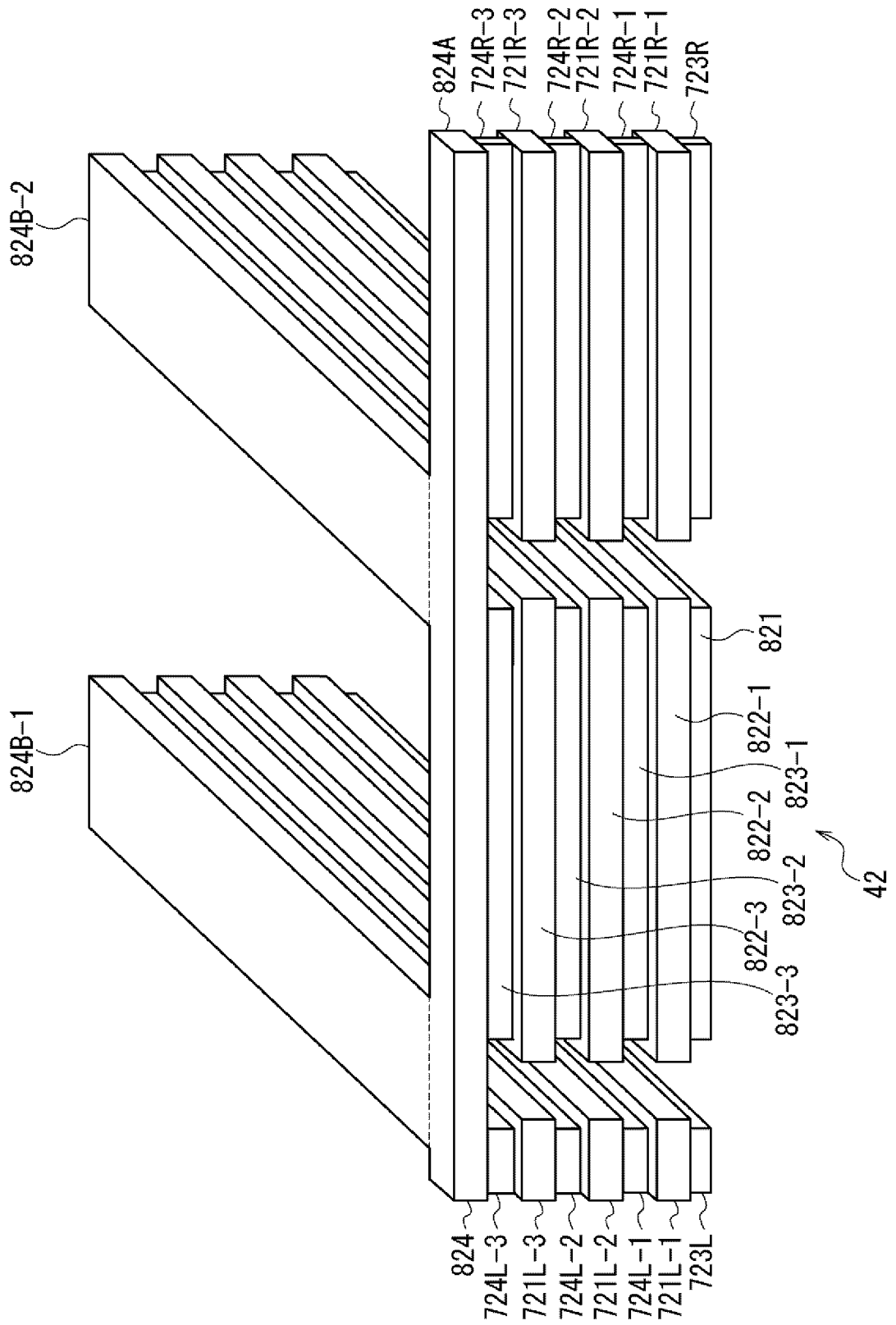
[図65]

図65



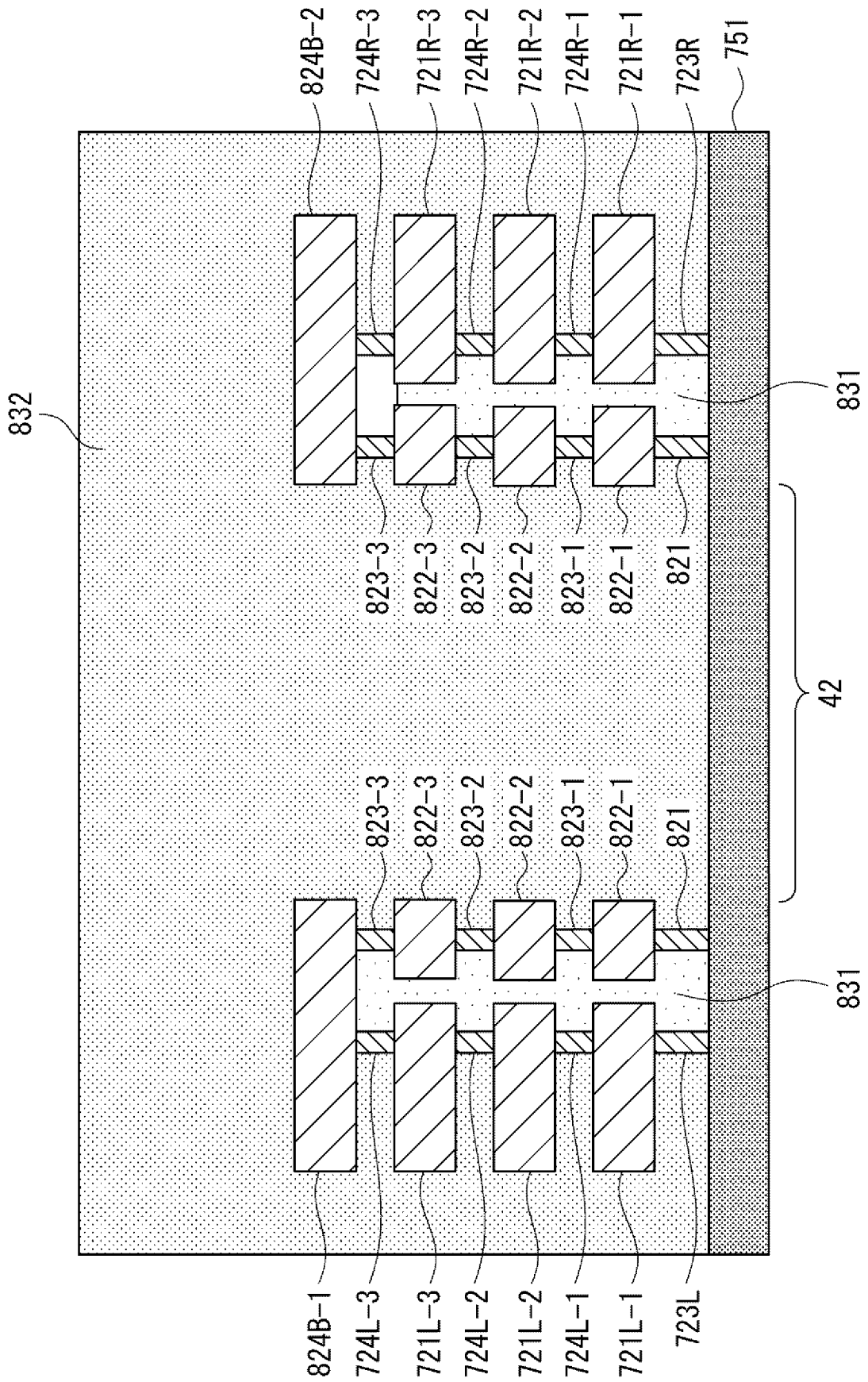
[図66]

図66



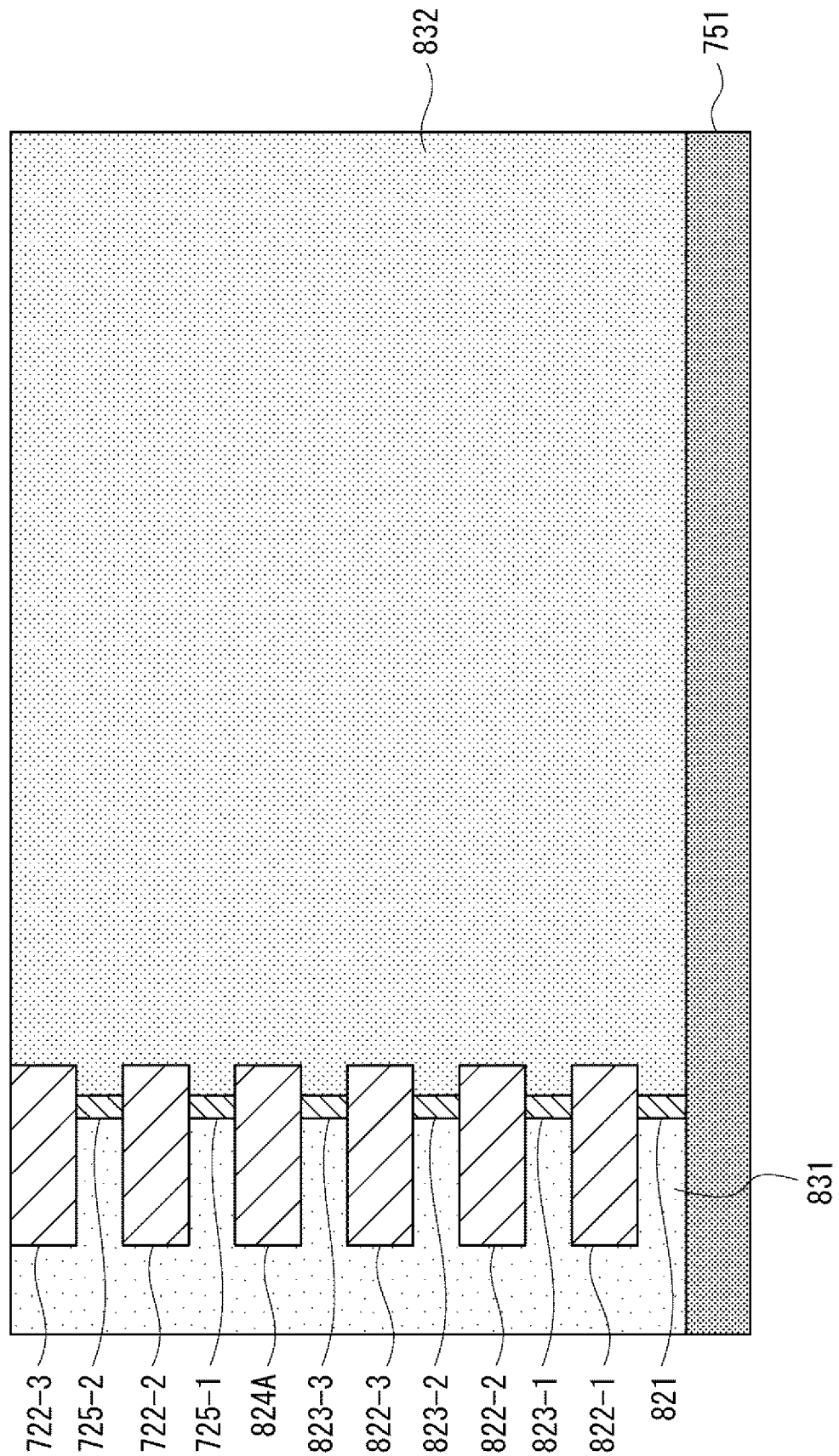
[図67]

図67



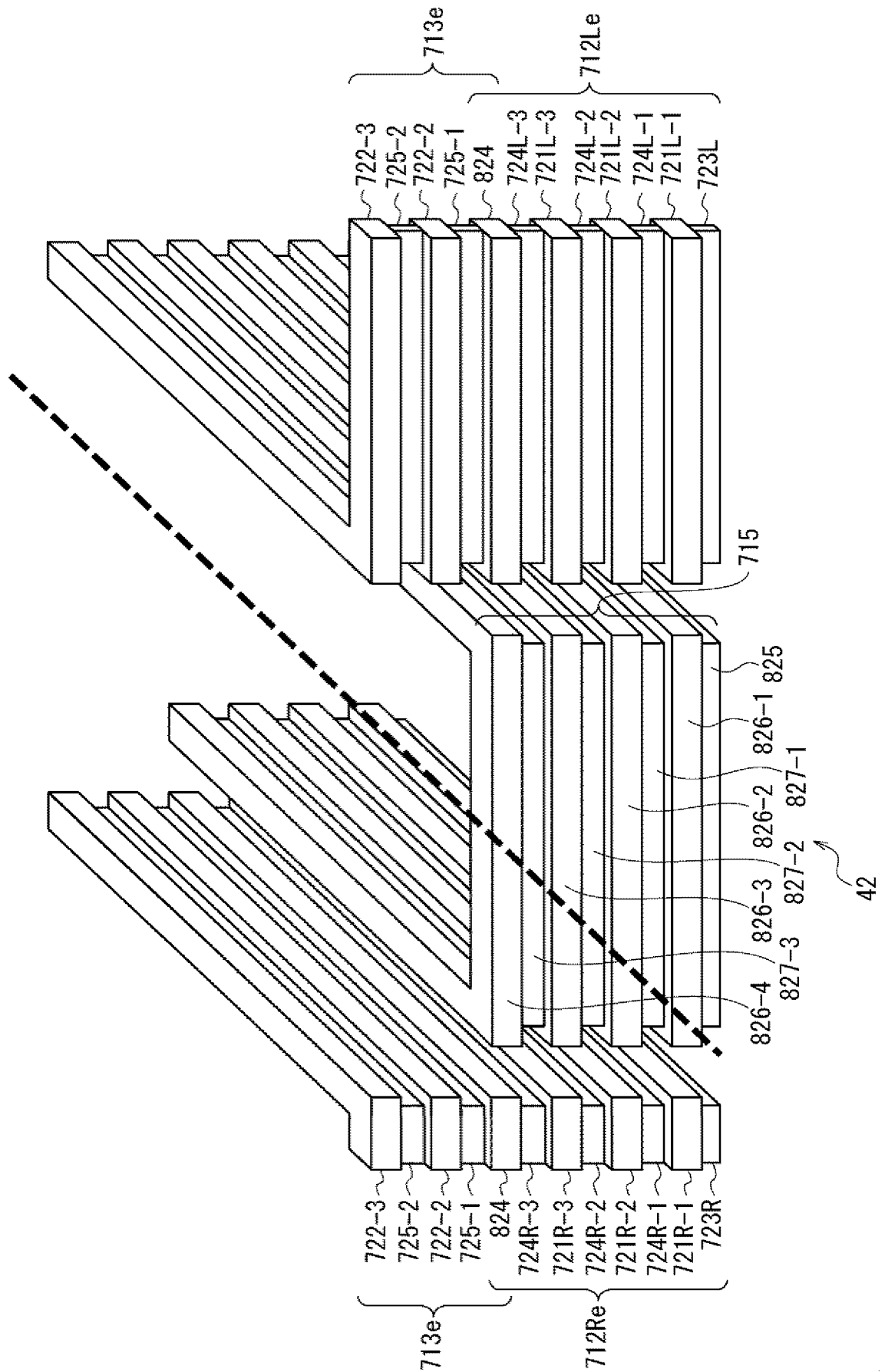
[図68]

図68



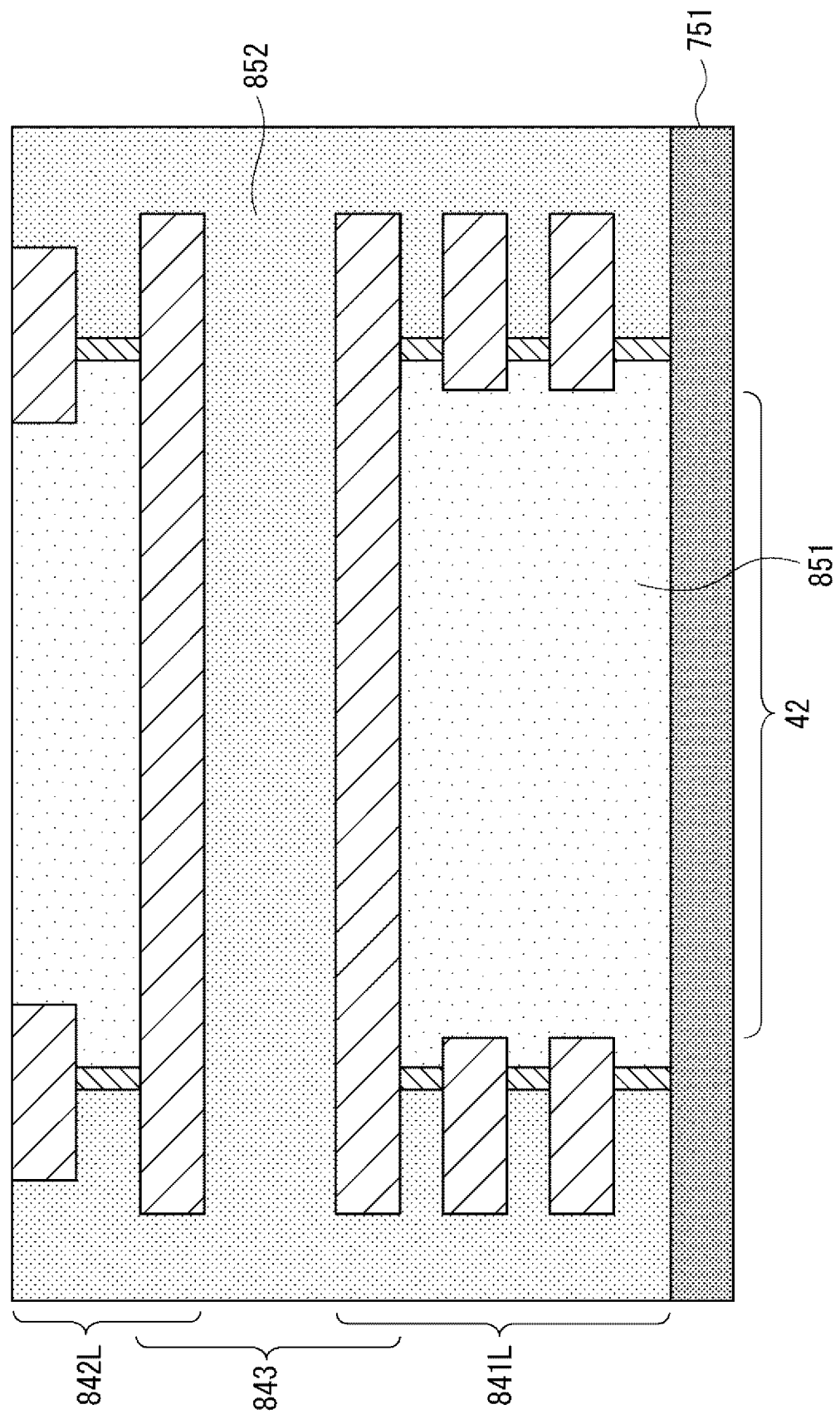
[図69]

図69



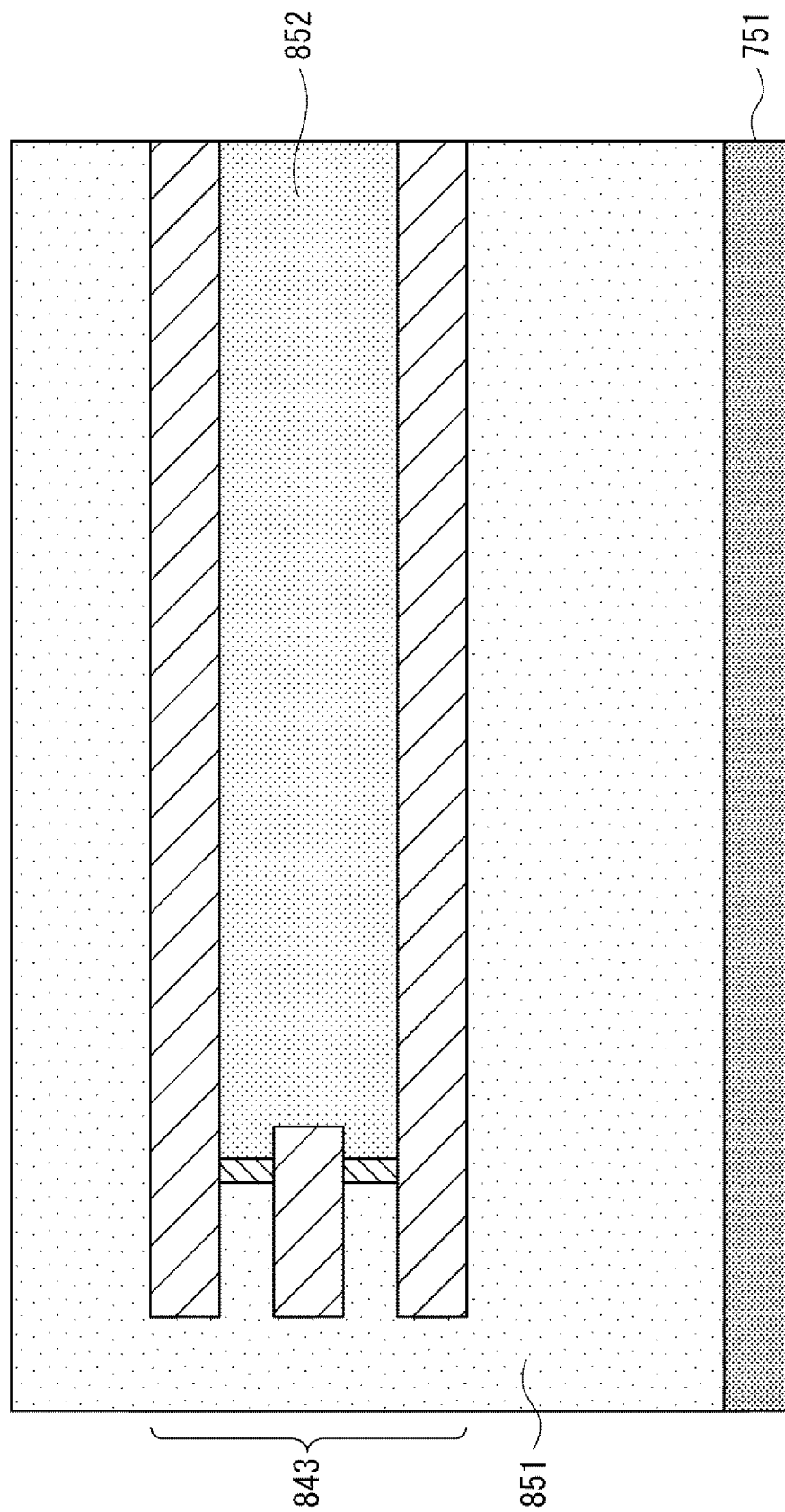
[図70]

図70



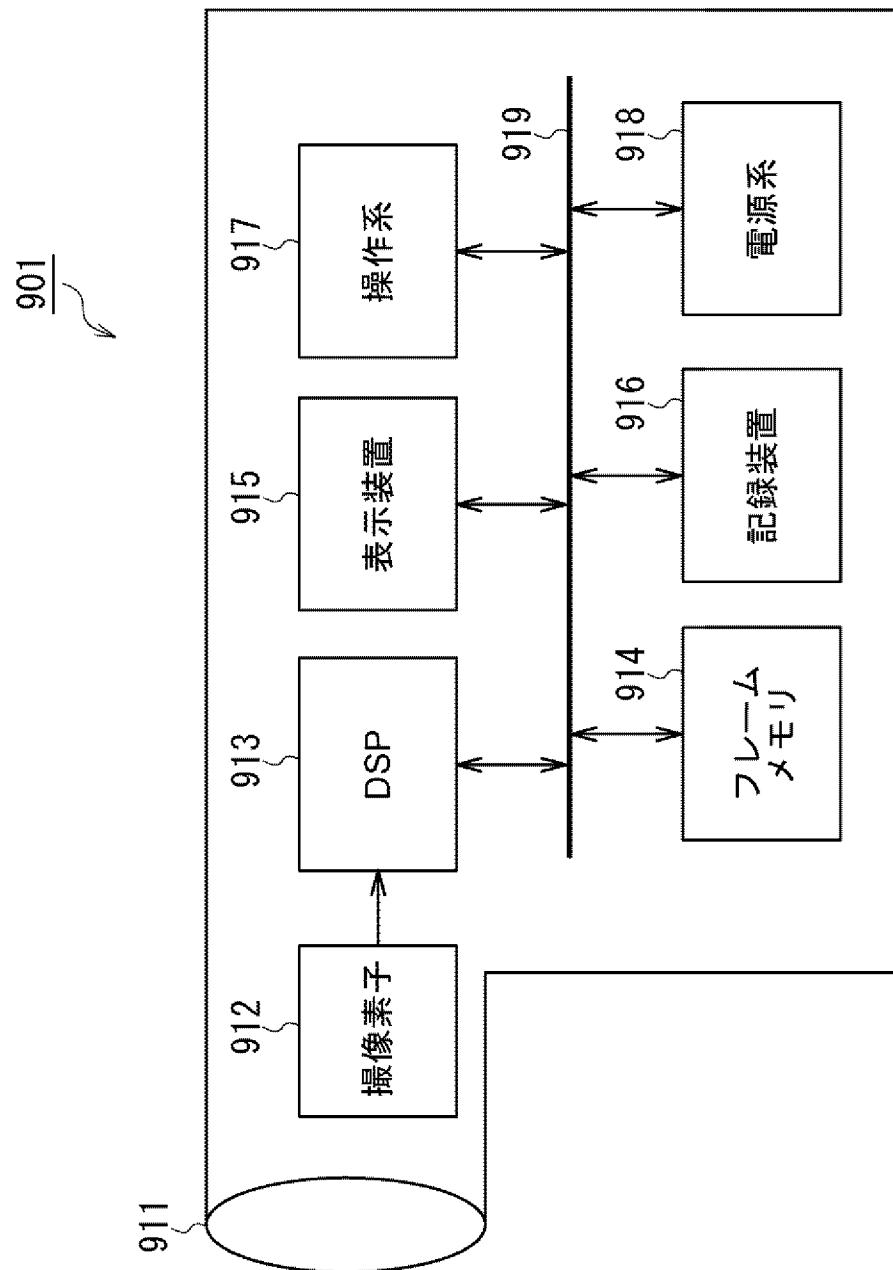
[図71]

図71



[図72]

図72



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/074133

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i,
H01L21/822(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i,
H01L27/14(2006.01)i, H04N5/369(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H01L21/3205, H01L21/768, H01L21/822, H01L23/522, H01L27/04,
H01L27/14, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-27934 A (Fujitsu Ltd.), 07 February 2008 (07.02.2008), & US 2008/0017965 A1 & CN 101110395 A & TW 200809974 A	1-11
A	JP 2013-21131 A (Fujitsu Semiconductor Ltd.), 31 January 2013 (31.01.2013), & US 2013/0015587 A1 & CN 102881660 A	1-11
A	JP 2005-229086 A (Toshiba Corp.), 25 August 2005 (25.08.2005), & US 2005/0167842 A1 & CN 1670953 A	1-11
A	US 2006/0267154 A1 (Robert L.PITTS), 30 November 2006 (30.11.2006), (Family: none)	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 November 2015 (09.11.15)

Date of mailing of the international search report
17 November 2015 (17.11.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/146(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L21/822(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i, H01L27/14(2006.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/146, H01L21/3205, H01L21/768, H01L21/822, H01L23/522, H01L27/04, H01L27/14, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-27934 A（富士通株式会社）2008.02.07 & US 2008/0017965 A1 & CN 101110395 A & TW 200809974 A	1 - 1 1
A	JP 2013-21131 A（富士通セミコンダクター株式会社）2013.01.31 & US 2013/0015587 A1 & CN 102881660 A	1 - 1 1
A	JP 2005-229086 A（株式会社東芝）2005.08.25 & US 2005/0167842 A1 & CN 1670953 A	1 - 1 1
A	US 2006/0267154 A1（Robert L. PITTS）2006.11.30 （ファミリーなし）	1 - 1 1

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 1 1 . 2 0 1 5

国際調査報告の発送日

1 7 . 1 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

安田 雅彦

5 F

9 4 4 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 4