

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7325301号
(P7325301)

(45)発行日 令和5年8月14日(2023.8.14)

(24)登録日 令和5年8月3日(2023.8.3)

(51)国際特許分類

F I

H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	6 5 2 K
H 0 1 L	29/739 (2006.01)	H 0 1 L	29/78	6 5 2 Q
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 5 2 J
H 0 1 L	21/28 (2006.01)	H 0 1 L	29/78	6 5 5 B
H 0 1 L	29/423 (2006.01)	H 0 1 L	29/78	6 5 5 F

請求項の数 19 (全33頁) 最終頁に続く

(21)出願番号 特願2019-200072(P2019-200072)
 (22)出願日 令和1年11月1日(2019.11.1)
 (65)公開番号 特開2021-72418(P2021-72418A)
 (43)公開日 令和3年5月6日(2021.5.6)
 審査請求日 令和3年10月29日(2021.10.29)

(73)特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74)代理人 100088672
 弁理士 吉竹 英俊
 (74)代理人 100088845
 弁理士 有田 貴弘
 (72)発明者 西 康一
 東京都千代田区丸の内二丁目7番3号
 三菱電機株式会社内
 審査官 石塚 健太郎

最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【特許請求の範囲】

【請求項1】

第1導電型の第1の半導体層、
 前記第1の半導体層上の第1導電型の第2の半導体層、
 前記第2の半導体層上の第2導電型の第3の半導体層、
 および前記第3の半導体層の上層部に設けられた第1導電型の第4の半導体層を少なくとも有する半導体基板と、
 前記半導体基板の前記第4の半導体層、前記第3の半導体層および前記第2の半導体層を厚み方向に貫通して前記第1の半導体層内に達する第1のゲートトレンチと、
 少なくとも前記第1のゲートトレンチを覆う層間絶縁膜と、
 前記第4の半導体層に接する第1の主電極と、
 前記第1の主電極とは前記半導体基板の厚み方向反対側に設けられた第2の主電極と、
 を備え、
 前記第1のゲートトレンチは、
 前記第2の主電極側となる下部側に設けられた第1のゲート電極と、
 前記第1の主電極側となる上部側に設けられた第2のゲート電極とを有して2段構造をなし、
 前記第1のゲート電極は、前記第1の主電極に電氣的に接続され、
 前記第1のゲートトレンチの前記下部側の内面は第1のゲート絶縁膜によって覆われ、
 前記第1のゲート電極の上面および前記第1のゲートトレンチの前記上部側の側面は第

10

20

2のゲート絶縁膜によって覆われ、

前記第1のゲート絶縁膜の厚みが、前記第2のゲート絶縁膜の厚みより薄く、
 前記第2のゲート電極は、
 底面が前記半導体基板の厚み方向において前記第2の半導体層内に位置し、
 前記第1のゲート電極は、
 前記上面が前記第2のゲート絶縁膜を介して前記第2のゲート電極の前記底面に対向し、
 底部が前記第1のゲート絶縁膜を介して前記第1の半導体層と対向し、
 前記上面の中央に前記第2のゲート電極側に突出した凸部を有する、半導体装置。

【請求項2】

前記第1のゲートトレンチは、
 底部幅が開口幅よりも狭く、側面が底部に向けて幅が狭くなるテーパ面を有する、請求項1記載の半導体装置。

10

【請求項3】

前記第3の半導体層および前記第2の半導体層を厚み方向に貫通して前記第1の半導体層に達する第2のゲートトレンチをさらに備え、
 前記第2のゲートトレンチは、
 内面を覆う第3のゲート絶縁膜と、
 前記第3のゲート絶縁膜に接する第3のゲート電極と、を有し、
 前記第3のゲート電極は、前記第1の主電極に電氣的に接続され、
 前記第4の半導体層は、
 前記第2のゲートトレンチには接しないように選択的に設けられる、請求項1または請求項2記載の半導体装置。

20

【請求項4】

前記半導体基板は、
 前記第2の主電極と接する第2導電型の第5の半導体層および第1導電型の第6の半導体層を有し、
 前記第5の半導体層が形成された領域は第1の半導体素子領域を構成し、
 前記第6の半導体層が形成された領域は第2の半導体素子領域を構成し、
 前記第1のゲートトレンチは、前記第1の半導体素子領域に設けられ、
 前記第1の半導体素子領域は、
 前記第3の半導体層および前記第2の半導体層を厚み方向に貫通して前記第1の半導体層に達する第2のゲートトレンチをさらに備え、
 前記第2のゲートトレンチは、
 内面を覆う第3のゲート絶縁膜と、
 前記第3のゲート絶縁膜に接する第3のゲート電極と、を有し、
 前記第2の半導体素子領域は、
 前記第4の半導体層を有さず、前記第1の主電極は前記第3の半導体層に接し、
 前記第3の半導体層および前記第2の半導体層を厚み方向に貫通して前記第1の半導体層に達する第3のゲートトレンチを備え、
 前記第3のゲートトレンチは、
 内面を覆う第4のゲート絶縁膜と、
 前記第4のゲート絶縁膜に接する第4のゲート電極と、を有し、
 前記第4のゲート電極の上面は前記第1の主電極に接する、請求項1または請求項2記載の半導体装置。

30

40

【請求項5】

前記第5の半導体層は、
 前記第4の半導体層の端面の位置より前記第2の半導体素子領域側に張り出した張り出し部を有する、請求項4記載の半導体装置。

【請求項6】

前記第1の半導体素子領域は、

50

前記半導体基板の前記第 3 の半導体層および前記第 2 の半導体層を厚み方向に貫通して前記第 1 の半導体層に達する第 2 のゲートトレンチをさらに備え、

前記第 2 のゲートトレンチは、

内面を覆う第 3 のゲート絶縁膜と、

前記第 3 のゲート絶縁膜に接する第 3 のゲート電極と、を有し、

前記第 4 の半導体層は、

前記第 2 のゲートトレンチには接しないように選択的に設けられる、請求項 4 記載の半導体装置。

【請求項 7】

前記第 2 のゲートトレンチは、

複数が隣り合って配置され、

隣り合った前記第 2 のゲートトレンチ間は前記層間絶縁膜で覆われ、隣り合った前記第 2 のゲートトレンチ間の前記第 3 の半導体層の電位をフローティング電位に保つ、請求項 3 または請求項 6 記載の半導体装置。

【請求項 8】

前記第 1 のゲートトレンチは、

主電流が流れる活性領域に長手方向が平行するように互いに間隔を開けて配置され、

前記第 2 のゲート電極は、

前記第 1 のゲートトレンチの前記長手方向の一方端において、前記活性領域の外周に沿って設けられたゲート配線領域に接続され、

前記第 1 のゲート電極は、

前記第 1 のゲートトレンチの前記長手方向の他方端において、前記層間絶縁膜を貫通して設けられたコンタクトホールを介して前記第 1 の主電極に接続され、

前記第 1 のゲートトレンチの前記他方端は、前記活性領域の中央部に設けられた配線引き出し領域まで延在する、請求項 1 または請求項 2 記載の半導体装置。

【請求項 9】

前記第 1 のゲートトレンチは、

主電流が流れる活性領域に長手方向が平行するように互いに間隔を開けて配置され、

前記第 2 のゲートトレンチは、

前記第 1 のゲートトレンチの間に、前記第 1 のゲートトレンチと平行して配置され、

前記第 2 のゲート電極は、

前記第 1 のゲートトレンチの前記長手方向の一方端において、前記活性領域の外周に沿って設けられたゲート配線領域に接続され、

前記第 1 のゲート電極は、

前記第 1 のゲートトレンチの前記長手方向の他方端において、前記層間絶縁膜を貫通して設けられたコンタクトホールを介して前記第 1 の主電極に接続され、

前記第 3 のゲート電極は、

前記第 2 のゲートトレンチの前記長手方向の一方端において、前記層間絶縁膜を貫通して設けられたコンタクトホールを介して前記第 1 の主電極に接続され、

前記第 1 のゲートトレンチの前記他方端および前記第 2 のゲートトレンチの前記一方端は、前記活性領域の中央部に設けられた配線引き出し領域まで延在する、請求項 3 記載の半導体装置。

【請求項 10】

前記第 1 のゲートトレンチは、

前記第 1 の半導体素子領域の第 1 の活性領域に長手方向が平行するように互いに間隔を開けて配置され、

前記第 2 のゲートトレンチは、

前記第 1 のゲートトレンチの間に、前記第 1 のゲートトレンチと平行して配置され、

前記第 3 のゲートトレンチは、

前記第 2 の半導体素子領域の第 2 の活性領域に長手方向が平行するように互いに間隔を

10

20

30

40

50

開けて配置され、

前記第 2 のゲート電極は、

前記第 1 のゲートトレンチの前記長手方向の一方端において、前記第 1 および第 2 の活性領域の外周に沿って設けられたゲート配線領域に接続され、

前記第 1 のゲート電極は、

前記第 1 のゲートトレンチの前記長手方向の他方端において、前記層間絶縁膜を貫通して設けられたコンタクトホールを介して前記第 1 の主電極に接続され、

前記第 3 のゲート電極は、

前記第 2 のゲートトレンチの前記長手方向の一方端において、前記層間絶縁膜を貫通して設けられたコンタクトホールを介して前記第 1 の主電極に接続され、

10

前記第 4 のゲート電極は、

前記第 3 のゲートトレンチの全面において、前記第 1 の主電極に接続され、

前記第 1 のゲートトレンチの前記他方端、前記第 2 のゲートトレンチの前記一方端および前記第 3 のゲートトレンチの一方端は、前記第 1 および第 2 の活性領域の中央部に設けられた配線引き出し領域まで延在する、請求項 4 記載の半導体装置。

【請求項 1 1】

前記第 1 のゲートトレンチは、

主電流が流れる活性領域に長手方向が平行するように互いに間隔を開けて配置され、

前記第 2 のゲート電極は、

前記第 1 のゲートトレンチの前記長手方向の一方端および他方端において、複数の前記第 1 のゲートトレンチの上部に渡るように設けられた配線引き出し構造を介して互いに接続され、

20

前記第 1 のゲート電極は、

前記第 1 のゲートトレンチの前記長手方向の前記一方端および前記他方端において、前記層間絶縁膜を貫通して設けられたコンタクトホールを介して前記第 1 の主電極に接続され、

前記第 1 のゲートトレンチの前記一方端および前記他方端は、前記一方端側および前記他方端側に設けられたゲート配線領域に隣接して、前記第 1 のゲートトレンチの配列方向に延在するようにそれぞれ設けられた配線引き出し領域まで延在し、

前記配線引き出し構造は前記配線引き出し領域に設けられる、請求項 1 または請求項 2 記載の半導体装置。

30

【請求項 1 2】

前記第 1 のゲートトレンチは、

主電流が流れる活性領域に長手方向が平行するように互いに間隔を開けて配置され、

前記第 2 のゲートトレンチは、

前記第 1 のゲートトレンチの間に、前記第 1 のゲートトレンチと平行して配置され、

前記第 2 のゲート電極は、

前記第 1 のゲートトレンチの前記長手方向の一方端および他方端において、複数の前記第 1 のゲートトレンチの上部に渡るように設けられた配線引き出し構造を介して互いに接続され、

40

前記第 1 のゲート電極は、

前記第 1 のゲートトレンチの前記長手方向の前記一方端および前記他方端において、前記層間絶縁膜を貫通して設けられたコンタクトホールを介して前記第 1 の主電極に接続され、

前記第 3 のゲート電極は、

前記第 2 のゲートトレンチの前記長手方向の一方端および他方端において、前記層間絶縁膜を貫通して設けられたコンタクトホールを介して前記第 1 の主電極に接続され、

前記第 1 および第 2 のゲートトレンチの前記一方端および前記他方端は、

前記一方端側および前記他方端側に設けられたゲート配線領域に隣接して、前記第 1 および第 2 のゲートトレンチの配列方向に延在するようにそれぞれ設けられた配線引き出し

50

領域まで延在し、

前記配線引き出し構造は、

前記配線引き出し領域に設けられる、請求項 3 記載の半導体装置。

【請求項 1 3】

前記第 1 のゲートトレンチは、

前記第 1 の半導体素子領域の第 1 の活性領域に長手方向が平行するように互いに間隔を開けて配置され、

前記第 2 のゲートトレンチは、

前記第 1 のゲートトレンチの間に、前記第 1 のゲートトレンチと平行して配置され、

前記第 3 のゲートトレンチは、

前記第 2 の半導体素子領域の第 2 の活性領域に長手方向が平行するように互いに間隔を開けて配置され、

前記第 2 のゲート電極は、

前記第 1 のゲートトレンチの前記長手方向の一方端および他方端において、複数の前記第 1 のゲートトレンチの上部に渡るように設けられた配線引き出し構造を介して互いに接続され、

前記第 1 のゲート電極は、

前記第 1 のゲートトレンチの前記長手方向の前記一方端および前記他方端において、前記層間絶縁膜を貫通して設けられたコンタクトホールを介して前記第 1 の主電極に接続され、

前記第 3 のゲート電極は、

前記第 2 のゲートトレンチの前記長手方向の一方端および他方端において、前記層間絶縁膜を貫通して設けられたコンタクトホールを介して前記第 1 の主電極に接続され、

前記第 4 のゲート電極は、

前記第 3 のゲートトレンチの全面において、前記第 1 の主電極に接続され、

前記第 1 および第 2 のゲートトレンチの前記一方端および前記他方端は、

前記一方端側および前記他方端側に設けられたゲート配線領域に隣接して、前記第 1 および第 2 のゲートトレンチの配列方向に延在するようにそれぞれ設けられた配線引き出し領域まで延在し、

前記配線引き出し構造は、

前記配線引き出し領域に設けられる、請求項 4 記載の半導体装置。

【請求項 1 4】

前記第 2 のゲートトレンチは、

底部幅が開口幅よりも狭く、側面が底部に向けて幅が狭くなるテーパ面を有する、請求項 3 または請求項 6 記載の半導体装置。

【請求項 1 5】

前記第 3 のゲートトレンチは、

底部幅が開口幅よりも狭く、側面が底部に向けて幅が狭くなるテーパ面を有する、請求項 4 記載の半導体装置。

【請求項 1 6】

前記第 1 および第 2 のゲート電極は、

リンを添加されたドーパドポリシリコンまたは金属で構成される、請求項 1 または請求項 2 記載の半導体装置。

【請求項 1 7】

前記第 3 のゲート電極は、

リンを添加されたドーパドポリシリコンまたは金属で構成される、請求項 3 または請求項 6 記載の半導体装置。

【請求項 1 8】

前記第 4 のゲート電極は、

リンを添加されたドーパドポリシリコンまたは金属で構成される、請求項 4 記載の半導

10

20

30

40

50

体装置。

【請求項 19】

ゲートトレンチを有した半導体装置の製造方法であって、

(a) 半導体基板を厚み方向にエッチングしてトレンチを形成する工程と、

(b) 前記トレンチの内面に第1のゲート絶縁膜を形成する工程と、

(c) 前記第1のゲート絶縁膜が形成された前記トレンチの内部に、リンを添加されたドーパドポリシリコンまたは金属を堆積して第1のゲート電極を形成する工程と、

(d) 前記第1のゲート電極をエッチングして、前記トレンチの下部に前記第1のゲート電極を残す工程と、

前記工程(d)の後、

(e) 前記第1のゲート絶縁膜をエッチングして、前記第1のゲート電極より上方の前記第1のゲート絶縁膜を除去する工程と、

前記工程(d)の後、

(f) 前記トレンチの下部に前記第1のゲート電極が残った状態で前記トレンチの内面および前記第1のゲート電極の上面に第2のゲート絶縁膜を形成する工程と、

(g) 前記第2のゲート絶縁膜が形成された前記トレンチの内部に、リンを添加されたドーパドポリシリコンまたは金属を堆積させて第2のゲート電極を形成する工程と、を備え、

前記工程(b)は、

前記第1のゲート絶縁膜の厚みが、前記第2のゲート絶縁膜の厚みより薄くなる形成条件で前記第1のゲート絶縁膜を形成する、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、ゲート電極からのリーク電流を抑制した半導体装置に関する。

【背景技術】

【0002】

消費エネルギーの低減の観点から、汎用インバータ、AC(交流)サーボモータ等の分野で3相モータの可変速制御を行うためのパワーモジュールに、IGBT(Insulated Gate Bipolar Transistor)およびダイオードが使用されている。電力損失を減らすために、IGBTおよびダイオードにはスイッチング損失およびオン電圧が低いことが求められている。

【0003】

スイッチング損失はIGBTの帰還容量(GC間容量:ゲート-コレクタ間容量)を下げることで低減することができ、例えば特許文献1の図12には、トレンチゲートを2段構造とすることでIGBTの帰還容量を低減する技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2017-147431号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら特許文献1に開示の技術では、ゲート電位の上部の電極とエミッタ電位の下部の電極との間からリーク電流が発生する可能性があった。

【0006】

本発明は上記のような問題を解決するためになされたものであり、ゲート電極からのリーク電流を抑制できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 7 】

本発明に係る半導体装置は、第 1 導電型の第 1 の半導体層、前記第 1 の半導体層上の第 1 導電型の第 2 の半導体層、前記第 2 の半導体層上の第 2 導電型の第 3 の半導体層、および前記第 3 の半導体層の上層部に設けられた第 1 導電型の第 4 の半導体層を少なくともも有する半導体基板と、前記半導体基板の前記第 4 の半導体層、前記第 3 の半導体層および前記第 2 の半導体層を厚み方向に貫通して前記第 1 の半導体層内に達する第 1 のゲートトレンチと、少なくとも前記第 1 のゲートトレンチを覆う層間絶縁膜と、前記第 4 の半導体層に接する第 1 の主電極と、前記第 1 の主電極とは前記半導体基板の厚み方向反対側に設けられた第 2 の主電極と、を備え、前記第 1 のゲートトレンチは、前記第 2 の主電極側となる下部側に設けられた第 1 のゲート電極と、前記第 1 の主電極側となる上部側に設けられた第 2 のゲート電極とを有して 2 段構造をなし、前記第 1 のゲート電極は、前記第 1 の主電極に電氣的に接続され、前記第 1 のゲートトレンチの前記下部側の内面は第 1 のゲート絶縁膜によって覆われ、前記第 1 のゲート電極の上面および前記第 1 のゲートトレンチの前記上部側の側面は第 2 のゲート絶縁膜によって覆われ、前記第 1 のゲート絶縁膜の厚みが、前記第 2 のゲート絶縁膜の厚みより薄く、前記第 2 のゲート電極は、底面が前記半導体基板の厚み方向において前記第 2 の半導体層内に位置し、前記第 1 のゲート電極は、前記上面が前記第 2 のゲート絶縁膜を介して前記第 2 のゲート電極の前記底面に対向し、底部が前記第 1 のゲート絶縁膜を介して前記第 1 の半導体層と対向し、前記上面の中央に前記第 2 のゲート電極側に突出した凸部を有する。

10

【 発明の効果 】

20

【 0 0 0 8 】

本発明に係る半導体装置によれば、第 1 のゲート絶縁膜の厚みが、第 2 のゲート絶縁膜の厚みより薄いので、第 1 のゲート電極と第 2 のゲート電極との間のリーク電流を抑制できる。

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】本発明に係る実施の形態 1 の半導体装置の全体の上面構成を模式的に示す平面図である。

【 図 2 】本発明に係る実施の形態 1 の半導体装置の構成を示す断面図である。

【 図 3 】本発明に係る実施の形態 1 の半導体装置の部分拡大図である。

30

【 図 4 】本発明に係る実施の形態 1 の半導体装置において帰還容量を低減できる理由を説明する図である。

【 図 5 】本発明に係る実施の形態 1 の半導体装置において帰還容量を低減できる理由を説明する図である。

【 図 6 】本発明に係る実施の形態 1 の半導体装置においてゲート電極をエミッタ電位に接続する構成を説明する平面図である。

【 図 7 】本発明に係る実施の形態 1 の半導体装置においてゲート電極をエミッタ電位に接続する構成を説明する断面図である。

【 図 8 】本発明に係る実施の形態 1 の半導体装置の製造工程を示す部分断面図である。

【 図 9 】本発明に係る実施の形態 1 の半導体装置の製造工程を示す部分断面図である。

40

【 図 1 0 】本発明に係る実施の形態 1 の半導体装置の製造工程を示す部分断面図である。

【 図 1 1 】本発明に係る実施の形態 1 の半導体装置の製造工程を示す部分断面図である。

【 図 1 2 】本発明に係る実施の形態 1 の半導体装置の製造工程を示す部分断面図である。

【 図 1 3 】本発明に係る実施の形態 1 の半導体装置の製造工程を示す部分断面図である。

【 図 1 4 】本発明に係る実施の形態 1 の半導体装置の製造工程を示す部分断面図である。

【 図 1 5 】本発明に係る実施の形態 1 の半導体装置の製造工程を示す部分断面図である。

【 図 1 6 】ゲートトレンチ下部のゲート絶縁膜を厚くした場合の製造工程を示す部分断面図である。

【 図 1 7 】ゲートトレンチ下部のゲート絶縁膜を厚くした場合の製造工程を示す部分断面図である。

50

【図 18】ゲートトレンチ下部のゲート絶縁膜を厚くした場合の製造工程を示す部分断面図である。

【図 19】ゲートトレンチ下部のゲート絶縁膜を厚くした場合の製造工程を示す部分断面図である。

【図 20】ゲートトレンチ下部のゲート絶縁膜を厚くした場合の製造工程を示す部分断面図である。

【図 21】ゲートトレンチ下部のゲート絶縁膜を厚くした場合の製造工程を示す部分断面図である。

【図 22】ゲートトレンチ下部のゲート絶縁膜を厚くした場合の製造工程を示す部分断面図である。

10

【図 23】ゲートトレンチ下部のゲート絶縁膜を厚くした場合の製造工程を示す部分断面図である。

【図 24】ゲート電極間のリーク電流経路を説明する図である。

【図 25】ゲート電極間のリーク電流経路を説明する図である。

【図 26】本発明に係る実施の形態 2 の半導体装置の構成を示す断面図である。

【図 27】本発明に係る実施の形態 3 の半導体装置の構成を示す断面図である。

【図 28】コレクタ層に張り出し部を設けることによる効果を説明する図である。

【図 29】本発明に係る実施の形態 4 の半導体装置の構成を示す断面図である。

【図 30】本発明に係る実施の形態 5 の半導体装置の構成を示す断面図である。

【図 31】本発明に係る実施の形態 6 の半導体装置の全体の上面構成を模式的に示す平面図である。

20

【図 32】本発明に係る実施の形態 6 の半導体装置の配線引き出し領域の構成を説明する平面図である。

【図 33】本発明に係る実施の形態 6 の半導体装置の配線引き出し領域の構成を説明する部分断面図である。

【図 34】本発明に係る実施の形態 7 の半導体装置の全体の上面構成を模式的に示す平面図である。

【図 35】本発明に係る実施の形態 7 の半導体装置の配線引き出し領域の構成を説明する平面図である。

【図 36】本発明に係る実施の形態 7 の半導体装置の配線引き出し領域の構成を説明する部分断面図である。

30

【図 37】本発明に係る実施の形態 8 の半導体装置の全体の上面構成を模式的に示す平面図である。

【図 38】本発明に係る実施の形態 8 の半導体装置の配線引き出し領域の構成を説明する平面図である。

【図 39】本発明に係る実施の形態 8 の半導体装置の配線引き出し領域の構成を説明する部分断面図である。

【図 40】本発明に係る実施の形態 9 の半導体装置の全体の上面構成を模式的に示す平面図である。

【図 41】本発明に係る実施の形態 9 の半導体装置の配線引き出し領域の構成を説明する平面図である。

40

【図 42】本発明に係る実施の形態 10 の半導体装置の全体の上面構成を模式的に示す平面図である。

【図 43】本発明に係る実施の形態 10 の半導体装置の配線引き出し領域の構成を説明する平面図である。

【発明を実施するための形態】

【0010】

<はじめに>

以下、添付の図面を参照しながら本発明に係る実施の形態について説明する。なお、図面は模式的に示されたものであり、異なる図面にそれぞれ示されている画像のサイズおよ

50

び位置の相互関係は、必ずしも正確に記載されたものではなく、適宜変更され得る。また、以下の説明では、同様の構成要素には同じ符号を付して図示し、それらの名称および機能も同様のものとする。よって、それらについての詳細な説明を省略する場合がある。

【0011】

また、以下の説明では、「上」、「下」、「側」、「底」、「表」および「裏」などの特定の位置および方向を意味する用語が用いられる場合があるが、これらの用語は、実施の形態の内容を理解することを容易にするため便宜上用いられているものであり、実際に実施される際の方向とは関係しない。また、以下において、「外側」とは半導体装置の外周に向かう方向であり、「内側」とは「外側」に対して反対の方向とする。

【0012】

また、以下の記載では、不純物の導電型に関して、n型を「第1導電型」、p型を「第2導電型」として一般的に定義するが、その逆の定義でも構わない。

【0013】

<実施の形態1>

<装置構成>

図1は、本発明に係る実施の形態1のIGBT100全体の上面構成を模式的に示す平面図である。図1に示すIGBT100は、四角形状の外形を有し、その大部分は、「ユニットセル」と呼称されるIGBTの最小単位構造（IGBTセル）が複数配置され、主電流が流れる活性領域23が設けられ、活性領域23の外側は終端領域25で囲まれている。活性領域23には複数のゲートトレンチ3が互いに間隔を開けて並列に設けられており、IGBT100はゲートトレンチ型のIGBTである。なお、複数のゲートトレンチ3は、活性領域23を囲むゲート配線領域24に接続され、ゲート配線領域24は活性領域23内のゲートパッド21に接続される。また、複数のゲートトレンチ3は、一方端がゲート配線領域24に接続されるが、他方端はIGBT100の中央部においてゲートトレンチ3の配列方向に延在するように設けられた長方形の配線引き出し領域22にまで延在している。なお、配線引き出し領域22の構成については、後に説明する。

【0014】

また、活性領域23においては、ゲート配線領域24およびゲートパッド21の上方を除いて、層間絶縁膜を介してエミッタ電極に覆われるが、便宜的にエミッタ電極は省略している。

【0015】

図2は、図1におけるX-X線での矢示方向断面図である。図2に示されるようにIGBT100は、p型のコレクタ層9（第5の半導体層）、n型のバッファ層8、n型のドリフト層7（第1の半導体層）、n型のキャリアストア層6（第2の半導体層）、p型のベース層5（第3の半導体層）およびベース層5の上層部に設けられたn型のエミッタ層4（第4の半導体層）とで半導体基板BSが構成されている。

【0016】

半導体基板BSのベース層5側を上側、コレクタ層9側を下側とすると、半導体基板BSの上側には、エミッタ層4の最表面からエミッタ層4、ベース層5およびキャリアストア層6を厚み方向に貫通してドリフト層7内に達するゲートトレンチ3が設けられている。

【0017】

ゲートトレンチ3（第1のゲートトレンチ）は、下側のゲート電極11（第1のゲート電極）と上側のゲート電極12（第2のゲート電極）とを有した2段構造となっており、ゲート電極11とゲート電極12との間はゲート絶縁膜131（第2のゲート絶縁膜）によって絶縁されている。

【0018】

ゲートトレンチ3は、底部幅W1が開口幅W2よりも狭くなるように形成されており、ゲートトレンチ3の側面は底部に向けて幅が狭くなるテーパ面となっている。ゲートトレンチの底部幅を狭めるようにテーパを付けることでゲート電極11およびゲート電極12の埋め込み性を改善することができる。なお、ゲート電極11およびゲート電極12

10

20

30

40

50

の埋め込み性に問題がなければテーパーを付けることは必須ではない。

【0019】

ゲートトレンチ3の下部側内面はゲート絶縁膜13（第1のゲート絶縁膜）によって覆われており、ゲート絶縁膜13に接するようにゲート電極11が設けられている。

【0020】

ゲート電極11の上面およびゲートトレンチ3の上部側側面はゲート絶縁膜131によって覆われ、ゲート絶縁膜131に接するようにゲート電極12が設けられている。

【0021】

また、ゲートトレンチ3上を覆うように層間絶縁膜2が設けられ、層間絶縁膜2で覆われていないゲートトレンチ3間はコンタクト開口部CHとなっており、層間絶縁膜2およびコンタクト開口部CHを覆うようにエミッタ電極1（第1の主電極）が設けられている。なお、半導体基板BSのエミッタ電極1が設けられた側とは厚み方向反対側の主面上にはコレクタ電極10（第2の主電極）が設けられている。

10

【0022】

ゲートトレンチ3においてゲート電極12の底面はキャリアストア層6内に位置しており、ゲート電極11の上面はゲート絶縁膜131を介してゲート電極12の底面に対向し、底部はゲート絶縁膜13を介してドリフト層7と対向している。

【0023】

ゲート電極11およびゲート電極12は、リン(P)を添加されたドーパドポリシリコンまたは金属で形成されている。ドーパドポリシリコンまたは金属で形成することによりゲート電極の抵抗を小さくし、半導体チップ面内の電位のバラツキを小さくすることができる。

20

【0024】

ここで、図2におけるゲートトレンチ3を囲む領域Zの部分拡大図を図3に示す。図3に示すように、ゲート電極11のゲート絶縁膜13の厚さ T_1 は、ゲート電極12のゲート絶縁膜131の厚さ T_2 よりも薄くなるように形成されている。一例として、ゲート絶縁膜13の厚さ T_1 は100~120nm程度、ゲート絶縁膜131の厚さ T_2 は、110~130nm程度である。これは一例であり、IGBT100の定格によりこれらの厚さは10~500nmの範囲で変化するが、ゲート絶縁膜13とゲート絶縁膜131との厚さの差は、5~20nm程度とする。

30

【0025】

また、ゲート電極12はゲート電位に接続され、ゲート電極11はエミッタ電位に接続される。ゲート電極11によりゲート電極12をドリフト層7からシールドすることで、帰還容量を低減できる。この理由について図4および図5を用いて説明する。

【0026】

図4は、ゲートトレンチ3と同様の2段構造のゲートトレンチにおける帰還容量(C_{gc} :ゲート-コレクタ間容量)を模式的に示す図であり、図5は、2段構造ではないゲートトレンチにおける帰還容量を模式的に示す図である。

【0027】

図4および図5においては、ゲートトレンチのうち帰還容量(C_{gc})として機能する領域を破線で囲って示している。 C_{gc} は、ベース層5より下側の半導体層/ゲート絶縁膜/ゲート電極で構成される。2段構造のゲートトレンチでは、下側のゲート電極11が、エミッタ電位(E)に接続され、上側のゲート電極12のみがゲート電位(G)に接続されているので、下側のゲート電極11が C_{gc} として機能しない。これにより C_{gc} を低減することができる。なお、図5に示すように、2段構造ではないゲートトレンチでは、ゲート電極11全体がゲート電位に接続され、ゲート電極11の下部がドリフト層7に対向するので C_{gc} として機能し、 C_{gc} が大きくなる。

40

【0028】

次に、ゲート電極11をエミッタ電位に接続する構成について、図6および図7を用いて説明する。図6は、図1の平面図における配線引き出し領域22を含む領域Aの部分拡

50

大図であり、図 7 は、図 6 における Y - Y 線での矢示方向断面図である。

【 0 0 2 9 】

図 6 は、配線引き出し領域 2 2 およびその周囲の活性領域 2 3 の一部を示しており、配線引き出し領域 2 2 においてゲートトレンチ 3 の端部にはコンタクトホール 2 6 が設けられている。コンタクトホール 2 6 は、図示されないエミッタ電極 1 に接続されている。

【 0 0 3 0 】

図 7 に示すように、ゲートトレンチ 3 においては、コンタクトホール 2 6 が設けられた端部において、ゲート電極 1 1 が層間絶縁膜 2 と接するように上方方向に延在して設けられており、層間絶縁膜 2 を厚さ方向に貫通して設けられたコンタクトホール 2 6 が接続されている。

【 0 0 3 1 】

コンタクトホール 2 6 はエミッタ電極 1 に接続されるので、ゲート電極 1 1 はエミッタ電位に接続され、電位的に安定することとなる。なお、ゲート電極 1 2 は、ゲート絶縁膜 1 3 1 によってゲート電極 1 1 とは電氣的に分離され、ゲートトレンチ 3 のコンタクトホール 2 6 が設けられた反対側の端部においてゲート配線領域 2 4 に電氣的に接続される。

【 0 0 3 2 】

このような平面構成を採ることで、ゲート電極 1 1 の電位をエミッタ電位に固定することができ、電位的に安定させることができる。また、I G B T 1 0 0 の中央部において配線引き出し領域 2 2 を設けることで、配線引き出し領域 2 2 を分散して設ける必要がない。また、配線引き出し領域 2 2 の面積を小さくし、半導体チップサイズを小さくする効果も得られる。

【 0 0 3 3 】

< 製造方法 >

先に説明したようにゲート電極 1 1 のゲート絶縁膜 1 3 の厚さ T_1 は、ゲート電極 1 2 のゲート絶縁膜 1 3 1 の厚さ T_2 よりも薄くなるように形成されているが、ゲート絶縁膜 1 3 をゲート絶縁膜 1 3 1 に比べて薄くすることで、ゲート電極 1 2 とゲート電極 1 1 との間でのリーク電流の発生を抑制できる効果がある。以下、この効果について説明する。

【 0 0 3 4 】

まず、製造工程を順に示す部分断面図である図 8 ~ 図 1 5 を用いて、I G B T 1 0 0 の製造方法を説明する。なお、以下では、ゲートトレンチ 3 の製造工程を中心に図示し説明する。

【 0 0 3 5 】

図 8 に示す工程において、エミッタ層 4 の最表面からエミッタ層 4、ベース層 5 およびキャリアストア層 6 を厚み方向に貫通してドリフト層 7 内に達するトレンチ T R をエッチングにより形成する。このエッチングはドライエッチングでもウエットエッチングでも良く、従来のエッチング技術を用いて形成できるので、詳細なエッチング条件等の記載は省略するが、トレンチ T R の側面が、底部に向けて幅が狭くなるテーパ面となるように、エッチング条件を制御しながらエッチングする。トレンチ T R の寸法の一例としては、底部幅 W_1 が $0.8 \sim 1.0 \mu\text{m}$ 程度、開口幅 W_2 が $1.2 \sim 1.5 \mu\text{m}$ 程度、深さ D が $4 \sim 6 \mu\text{m}$ 程度である。これは一例であり、I G B T 1 0 0 の定格によりこれらの幅 $0.3 \sim 3.0 \mu\text{m}$ の範囲で変化し、深さは $1.0 \sim 10 \mu\text{m}$ の範囲で変化するが、テーパ角度は水平面に対して 80 度程度、より望ましくは、 $70 \sim 89$ 度とする。

【 0 0 3 6 】

次に、図 9 に示す工程において、例えば、熱酸化によりトレンチ T R の内面およびエミッタ層 4 上に 100 nm 程度の厚さのゲート絶縁膜 1 3 を形成する。なお、熱酸化に限らず、C V D (chemical vapor deposition) 法等によるシリコン酸化膜の堆積によってゲート絶縁膜 1 3 を形成しても良い。

【 0 0 3 7 】

次に、図 1 0 に示す工程において、例えば C V D 法によりリンを添加したドーパドポリシリコンまたは金属で構成される導電膜 1 1 0 をエミッタ層 4 上に堆積させて導電膜 1 1

10

20

30

40

50

0でトレンチTRを埋め込む。

【0038】

次に、図11に示す工程において、エミッタ層4上の導電膜110をエッチングにより除去すると共に、トレンチTR内の導電膜110を上端がキャリアストア層6内に位置する高さまで除去し、ゲート電極11を形成する。

【0039】

次に、図12に示す工程において、ゲート電極11より上側のゲート絶縁膜13をエッチングにより除去する。このエッチングはドライエッチングでもウエットエッチングでも良く、従来のエッチング技術を用いことができる。この際、ゲート電極11の上端に隣接するゲート絶縁膜13は、意図的なオーバエッチングにより除去され、ゲート絶縁膜13の端面がゲート電極11の上端よりも後退する。

10

【0040】

次に、図13に示す工程において、例えば、熱酸化によりトレンチTRの内面およびエミッタ層4上に110nm程度の厚さのゲート絶縁膜131を形成する。このゲート絶縁膜131は、前述のオーバエッチングにより、ゲート絶縁膜13の端面がゲート電極11の上端よりも後退した部分に入り込み、底面の端部が下側に窪み、中央が凸部となった形状となる。なお、ゲート絶縁膜131の厚さもIGBT100の定格により10～500nmの範囲で変化する。

【0041】

次に、図14に示す工程において、例えばCVD法によりリンを添加したドーパドポリシリコンまたは金属で構成される導電膜120をエミッタ層4上に堆積させて導電膜120でトレンチTRを埋め込む。

20

【0042】

次に、図15に示す工程において、エミッタ層4上の導電膜120を除去し、ゲート電極12を形成する。このようにして形成されたゲート電極12は、ゲート絶縁膜131の底面の形状に合わせて、底面に上側に突出した凸部を有する形状となる。

【0043】

このゲート電極12の底面の凸部は、ゲート絶縁膜13をゲート絶縁膜131よりも薄く形成しておくことで、窪みが深くならず、また、鋭角な角部が形成されることがない。なお、図2および図3においては、便宜的にゲート電極12の底面の凸部は図示を省略している。

30

【0044】

次に、比較例として、ゲート絶縁膜13をゲート絶縁膜131よりも厚く形成したゲートトレンチ3の製造工程を図16～図23を用いて説明する。なお、図8～図15を用いて説明した工程と重複する説明は省略する。

【0045】

図16に示す工程において、エミッタ層4の最表面からエミッタ層4、ベース層5およびキャリアストア層6を厚み方向に貫通してドリフト層7内に達するトレンチTRをエッチングにより形成する。この工程は図8を用いて説明した工程と同じである。

【0046】

次に、図17に示す工程において、例えば、熱酸化によりトレンチTRの内面およびエミッタ層4上に200nm程度の厚さのゲート絶縁膜13を形成する。

40

【0047】

次に、図18に示す工程において、例えばCVD法によりリンを添加したドーパドポリシリコンまたは金属で構成される導電膜110をエミッタ層4上に堆積させて導電膜110でトレンチTRを埋め込む。

【0048】

次に、図19に示す工程において、エミッタ層4上の導電膜110をエッチングにより除去すると共に、トレンチTR内の導電膜110を上端がキャリアストア層6内に位置する高さまで除去し、ゲート電極11を形成する。

50

【 0 0 4 9 】

次に、図 2 0 に示す工程において、ゲート電極 1 1 より上側のゲート絶縁膜 1 3 をエッチングにより除去する。この際、ゲート電極 1 1 の上端に隣接するゲート絶縁膜 1 3 は、意図的なオーバエッチングにより除去され、ゲート絶縁膜 1 3 の端面がゲート電極 1 1 の上端よりも後退する。この場合、ゲート絶縁膜 1 3 が厚いため、オーバエッチングによる除去量が図 1 2 の場合よりも多くなる。

【 0 0 5 0 】

次に、図 2 1 に示す工程において、例えば、熱酸化によりトレンチ T R の内面およびエミッタ層 4 上に 1 1 0 n m 程度の厚さのゲート絶縁膜 1 3 1 を形成する。このゲート絶縁膜 1 3 1 は、前述のオーバエッチングにより、ゲート絶縁膜 1 3 の端面がゲート電極 1 1 の上端よりも後退した部分に入り込み、底面の端部が下側に窪み、中央が凸部となった形状となるが、底面の端部の窪みが大きくなる。

10

【 0 0 5 1 】

次に、図 2 2 に示す工程において、例えば C V D 法によりリンを添加したドーパドポリシリコンまたは金属で構成される導電膜 1 2 0 をエミッタ層 4 上に堆積させて導電膜 1 2 0 でトレンチ T R を埋め込む。

【 0 0 5 2 】

次に、図 2 3 に示す工程において、エミッタ層 4 上の導電膜 1 2 0 を除去し、ゲート電極 1 2 を形成する。このようにして形成されたゲート電極 1 2 は、ゲート絶縁膜 1 3 1 の底面の形状に合わせて、底面に上側に突出した凸部を有する形状となるが、底面の凸部は、窪みが深く広くなり、また、鋭角な角部が形成されることとなる。この結果、ゲート電極 1 1 とゲート電極 1 2 との対向する面積も大きくなり、かつゲート絶縁膜 1 3 1 の底面の厚さの制御も困難となることからリーク電流が大きくなる。

20

【 0 0 5 3 】

換言すれば、図 8 ~ 図 1 5 を用いて説明したように、ゲート絶縁膜 1 3 の厚さを薄くすることで、オーバエッチングに起因したゲート電極 1 2 の底面の凸部は窪みが深くならず、また、鋭角な角部が形成されず、ゲート電極 1 1 とゲート電極 1 2 との対向する面積が大きくなり、かつゲート絶縁膜 1 3 1 の底面の厚さの制御も容易となり、リーク電流を低減できると言える。

【 0 0 5 4 】

ここで、ゲート電極 1 1 とゲート電極 1 2 との間のリーク電流経路について、図 2 4 および図 2 5 を用いて説明する。図 2 4 にはリーク電流経路 L 1 としてゲート電極 1 1 とゲート電極 1 2 との間のゲート絶縁膜 1 3 1 を通過する経路を示しており、この部分の厚さが厚ければリークが抑制される。従って、ゲート絶縁膜 1 3 1 の厚さは、ゲート絶縁膜 1 3 よりも厚くすることが望ましい。

30

【 0 0 5 5 】

図 2 5 にはリーク電流経路 L 2 としてゲート絶縁膜 1 3 1 の底面の端部の窪みの角部を通過する経路を示しており、この部分が鋭角にならなければリークが抑制される。この窪みを小さくするには、ゲート絶縁膜 1 3 の厚さを薄くすれば良く、ゲート絶縁膜 1 3 は可能な限り薄くすることが望ましい。

40

【 0 0 5 6 】

なお、ゲート絶縁膜 1 3 1 の厚さをゲート電極 1 1 の上端の凸部を埋め込んでしまうほど厚くすれば、ゲート絶縁膜 1 3 1 の底面の端部に窪みが発生することがなく、リーク電流経路 L 2 を介してのリークも、リーク電流経路 L 1 を介してのリークも抑制できる。

【 0 0 5 7 】

以上説明したように、本実施の形態 1 の I G B T 1 0 0 においては、ゲート電極 1 1 のゲート絶縁膜 1 3 の厚みを、ゲート電極 1 2 のゲート絶縁膜 1 3 1 よりも薄くすることで、ゲート電極 1 1 とゲート電極 1 2 との間のリーク電流を抑制できる。

【 0 0 5 8 】

なお、ゲート絶縁膜 1 3 とゲート絶縁膜 1 3 1 とで厚みを変えるには、それぞれ異なる

50

形成条件（酸化条件または堆積条件）を設定して厚みを変えても良い。例えば、酸化時間または堆積時間を変えれば、厚さを変えることができる。

【0059】

同じ酸化条件または堆積条件に設定し、トレンチ内の酸化レートまたは堆積レートの差を利用して厚みを変えても良い。すなわち、トレンチの開口部側と底部側とでは、酸化ガスまたは堆積ガスの流入量が異なり、トレンチの底部側では酸化レートまたは堆積レートが開口部側よりも小さいので、同じ処理時間でも、ゲート絶縁膜13の膜厚を薄くすることができる。

【0060】

また、IGBT100においては、ゲートトレンチ3を2段構造とし、ゲート電極12の底面がキャリアストア層6内に位置し、ゲート電極11の上面がゲート絶縁膜131を介してゲート電極12の底面に対向させているので、帰還容量が低減されスイッチング損失を低減することができる。

10

【0061】

<実施の形態2>

図26は、本発明に係る実施の形態2のIGBT200の断面構成を示す断面図であり、図2に示したIGBT100の断面図に対応する断面図である。なお、図26においては、図2を用いて説明したIGBT100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0062】

図26に示すようにIGBT200においては、複数のゲートトレンチ3に加えて複数のゲートトレンチ14（第2のゲートトレンチ）を有しており、ゲートトレンチ3とゲートトレンチ3との間に2本のゲートトレンチ14が配置された構成となっている。なお、ゲートトレンチ3およびゲートトレンチ14の配置はこれに限定されるものではない。

20

【0063】

ゲートトレンチ14は、ベース層5の最表面からベース層5およびキャリアストア層6を厚み方向に貫通してドリフト層7内に達するように設けられており、ゲートトレンチ14の側面外方にはエミッタ層4は設けられておらず、エミッタ層4はゲートトレンチ3のみに接するように選択的に設けられている。

【0064】

ゲートトレンチ3は、ゲート電極11とゲート電極12とを有した2段構造となっているが、ゲートトレンチ14は、ゲート電極15（第3のゲート電極）を有する構造であり、ゲート電極15はエミッタ電位に接続される。

30

【0065】

ゲートトレンチ14の外形形状はゲートトレンチ3と同じであり、ゲートトレンチ14の側面は底部に向けて幅が狭くなるテーパ面となっている。ゲートトレンチの底部幅を狭めるようにテーパを付けることでゲート電極15の埋め込み性を改善することができる。なお、ゲート電極15の埋め込み性に問題がなければテーパを付けることは必須ではない。

【0066】

ゲートトレンチ14の内面はゲート絶縁膜16（第3のゲート絶縁膜）によって覆われており、ゲート絶縁膜16に接するようにゲート電極15が設けられている。

40

【0067】

また、ゲートトレンチ3上およびゲートトレンチ14上を覆うように層間絶縁膜2が設けられ、層間絶縁膜2で覆われていないゲートトレンチ14間および、ゲートトレンチ3とゲートトレンチ14との間はコンタクト開口部CHとなっており、層間絶縁膜2およびコンタクト開口部CHを覆うようにエミッタ電極1が設けられている。

【0068】

ゲートトレンチ14にはエミッタ層4が接しておらず、ゲート電極15はエミッタ電位に接続されているので、ゲートトレンチ14はゲートトレンチとしては機能せず、ダミー

50

のゲートトレンチとすることができる。

【0069】

ゲート電極15がゲート電極として機能せず、ベース層5、キャリアストア層6およびドリフト層7との間で容量成分を形成しないので、半導体チップ全体の帰還容量を低減することができる。

【0070】

なお、ゲート電極15は、リンを添加されたドーパドポリシリコンまたは金属で形成されている。ドーパドポリシリコンまたは金属で形成することによりゲート電極の抵抗を小さくし、半導体チップ面内の電位のバラツキを小さくすることができる。

【0071】

ゲートトレンチ14を設けた場合でも、ベース層5に形成されるチャネルの総チャネル幅がIGBT100と変わらないようにゲートトレンチ3の延在方向に沿ったエミッタ層4の配設間隔を設定すれば、IGBT200においても、IGBT100と同等の面積で同じ電流定格に設定することができる。

【0072】

<実施の形態3>

図27は、本発明に係る実施の形態3のRC-IGBT(Reverse Conducting IGBT)300の断面構成を示す断面図である。なお、図27においては、図2を用いて説明したIGBT100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0073】

図27に示すようにRC-IGBT300においてはIGBTの形成領域であるIGBT領域(第1の半導体素子領域)と、逆導通ダイオードの形成領域であるダイオード領域(第2の半導体素子領域)とを有し、IGBT領域の構成は、図2に示したIGBT100と同一である。一方、ダイオード領域においては、p型のコレクタ層9に替えてn型のカソード層18(第6の半導体層)が設けられている。また、ダイオード領域においてはエミッタ層4が設けられておらず、ベース層5の最表面からベース層5およびキャリアストア層6を厚み方向に貫通してドリフト層7内に達する複数のゲートトレンチ17(第3のゲートトレンチ)が設けられている。

【0074】

ゲートトレンチ3は、ゲート電極11とゲート電極12とを有した2段構造となっているが、ゲートトレンチ17は、ゲート電極20(第4のゲート電極)を有する構造であり、ゲート電極20はエミッタ電極1に直接接続されている。

【0075】

エミッタ電極1は、ダイオード領域のゲートトレンチ17のゲート電極20の上面を含むベース層5の上面を覆うようにも設けられており、ダイオード領域では、逆導通ダイオードのアノード電極として機能する。

【0076】

ゲートトレンチ17の外形形状はゲートトレンチ3と同じであり、ゲートトレンチ17の側面は底部に向けて幅が狭くなるテーパ面となっている。ゲートトレンチの底部幅を狭めるようにテーパを付けることでゲート電極20の埋め込み性を改善することができる。なお、ゲート電極20の埋め込み性に問題がなければテーパを付けることは必須ではない。

【0077】

ゲートトレンチ17の内面はゲート絶縁膜19(第4のゲート絶縁膜)によって覆われており、ゲート絶縁膜19に接するようにゲート電極20が設けられている。

【0078】

ゲート電極20はエミッタ電極1、すなわちアノード電極に接しており、ゲート電極としては機能せず、ゲートトレンチ17はダミーのゲートトレンチとすることができる。

【0079】

なお、ゲート電極20は、リンを添加されたドーパドポリシリコンまたは金属で形成さ

10

20

30

40

50

れている。ドーパドポリシリコンまたは金属で形成することによりゲート電極の抵抗を小さくし、半導体チップ面内の電位のバラツキを小さくすることができる。

【0080】

ここで、コレクタ層9は、IGBT領域のエミッタ層4の端面の位置よりダイオード領域側に幅 W_{op} で張り出した張り出し部を有している。張り出し部を設けることで、IGBT領域の端部のエミッタ層4とダイオード領域の端部のカソード層18との間に流れる電子を抑制し、IGBTのオン電圧の上昇を抑制することができる。

【0081】

ここで、コレクタ層9に張り出し部を設けることによる効果を図28を用いて説明する。図28は、コレクタ層9が張り出し部を有さない場合の断面図であり、コレクタ層9の端面の位置は、エミッタ層4の端面の位置と同じ位置にある。このような構成においては、ダイオード動作時にカソード層18からの電子が経路 R_D を通過してIGBT領域のエミッタ層4に抜けてしまい、アノード電極からホールが供給されなくなる。また、IGBT動作時には、エミッタ層4からの電子が経路 R_{IG} を通過してカソード層18に抜けてしまい、コレクタ層9からホールが供給されなくなる。このため、IGBTのオン電圧が上昇する可能性があるが、図27のようにコレクタ層9に張り出し部を設けることで、ダイオード領域のカソード層18の端面の位置がIGBT領域から遠ざかり、IGBT領域の端部のエミッタ層4とダイオード領域の端部のカソード層18との間に流れる電子を抑制し、IGBTのオン電圧の上昇を抑制することができる。

【0082】

ここで、コレクタ層9の張り出し幅 W_{op} は、0または任意の正負の値を採ることができる。すなわち、上述したIGBTのオン電圧の上昇が無視できるのであれば張り出し幅 W_{op} は0とすれば良いし、IGBTのオン電圧の上昇をさらに抑制するのであれば、張り出し幅 W_{op} を正の方向（増やす方向）に大きくすれば良い。ダイオードのオン電圧を低減する場合には張り出し幅 W_{op} を負の方向（減らす方向）とすれば良い。

【0083】

以上説明したように、本実施の形態3のRC-IGBT300においては、IGBT領域において図2に示したIGBT100と同一の構成を設けることで、ゲート電極11とゲート電極12との間のリーク電流を抑制でき、また、帰還容量が低減されスイッチング損失を低減することができる。

【0084】

また、ダイオード領域においては、コレクタ層9に張り出し部を設けることで、IGBT領域の端部のエミッタ層4とダイオード領域の端部のカソード層18との間に流れる電子を抑制し、IGBTのオン電圧の低下を抑制することができる。

【0085】

<実施の形態4>

図29は、本発明に係る実施の形態4のRC-IGBT400の断面構成を示す断面図である。なお、図29においては、図27を用いて説明したRC-IGBT300と同一の構成については同一の符号を付し、重複する説明は省略する。

【0086】

図29に示すようにRC-IGBT400においては、IGBT領域において複数のゲートトレンチ3に加えて複数のゲートトレンチ14（第2のゲートトレンチ）を有しており、ゲートトレンチ3とゲートトレンチ3との間にゲートトレンチ14が配置された構成となっている。なお、ゲートトレンチ3およびゲートトレンチ14の配置の比率はこれに限定されるものではない。

【0087】

ゲートトレンチ14は、ベース層5の最表面からベース層5およびキャリアストア層6を厚み方向に貫通してドリフト層7内に達するように設けられており、ゲートトレンチ14の側面外方にはエミッタ層4は設けられておらず、エミッタ層4はゲートトレンチ3のみに接するように設けられている。

10

20

30

40

50

【 0 0 8 8 】

ゲートトレンチ 3 は、ゲート電極 1 1 とゲート電極 1 2 とを有した 2 段構造となっているが、ゲートトレンチ 1 4 は、ゲート電極 1 5 (第 3 のゲート電極) を有する構造であり、ゲート電極 1 5 はエミッタ電位に接続される。

【 0 0 8 9 】

ゲートトレンチ 1 4 の外形形状はゲートトレンチ 3 と同じであり、ゲートトレンチ 1 4 の側面は底部に向けて幅が狭くなるテーパ面となっている。ゲートトレンチの底部幅を狭めるようにテーパを付けることでゲート電極 1 5 の埋め込み性を改善することができる。なお、ゲート電極 1 5 の埋め込み性に問題がなければテーパを付けることは必須ではない。

10

【 0 0 9 0 】

ゲートトレンチ 1 4 の内面はゲート絶縁膜 1 6 (第 3 のゲート絶縁膜) によって覆われており、ゲート絶縁膜 1 6 に接するようにゲート電極 1 5 が設けられている。

【 0 0 9 1 】

また、ゲートトレンチ 3 上およびゲートトレンチ 1 4 上を覆うように層間絶縁膜 2 が設けられ、層間絶縁膜 2 で覆われていないゲートトレンチ 1 4 間および、ゲートトレンチ 3 とゲートトレンチ 1 4 との間はコンタクト開口部 C H となっており、層間絶縁膜 2 およびコンタクト開口部 C H を覆うようにエミッタ電極 1 が設けられている。

【 0 0 9 2 】

ゲートトレンチ 1 4 にはエミッタ層 4 が接しておらず、ゲート電極 1 5 はエミッタ電位に接続されているので、ゲートトレンチ 1 4 はゲートトレンチとしては機能せず、ダミーのゲートトレンチとすることができる。

20

【 0 0 9 3 】

ゲート電極 1 5 がゲート電極として機能せず、ベース層 5、キャリアストア層 6 およびドリフト層 7 との間で容量成分を形成しないので、半導体チップ全体の帰還容量を低減することができる。

【 0 0 9 4 】

なお、ゲート電極 1 5 は、リン (P) を添加されたドーパドポリシリコンまたは金属で形成されている。ドーパドポリシリコンまたは金属で形成することによりゲート電極の抵抗を小さくし、半導体チップ面内の電位のバラツキを小さくすることができる。

30

【 0 0 9 5 】

< 実施の形態 5 >

図 3 0 は、本発明に係る実施の形態 5 の I G B T 5 0 0 の断面構成を示す断面図であり、図 2 に示した I G B T 1 0 0 の断面図に対応する断面図である。なお、図 3 0 においては、図 2 6 を用いて説明した I G B T 2 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 0 9 6 】

図 3 0 に示すように I G B T 5 0 0 においては、2 本のゲートトレンチ 1 4 に挟まれたベース層 5 上にも層間絶縁膜 2 が設けられており、ゲートトレンチ 1 4 に挟まれたベース層 5 の電位がフローティング電位となっている。

40

【 0 0 9 7 】

また、ベース層 5 上が層間絶縁膜 2 で覆われており、コンタクト開口部 C H となっていないので、ホールがエミッタ電極 1 に抜けにくくなり、I E (Injection Enhancement Effect) によりドリフト層 7 中のキャリア濃度が高くなり、オン電圧を低減することができる。

【 0 0 9 8 】

< 実施の形態 6 >

図 3 1 は、本発明に係る実施の形態 6 の I G B T 6 0 0 全体の上面構成を模式的に示す平面図である。なお、図 3 1 においては、図 1 を用いて説明した I G B T 1 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

50

【 0 0 9 9 】

図 3 1 に示す I G B T 6 0 0 は、図 2 6 に示した I G B T 2 0 0 と同様の断面構成を有し、ゲートトレンチ 3 とゲートトレンチ 3 との間に 2 本のゲートトレンチ 1 4 が配置された構成となっている。

【 0 1 0 0 】

ゲートトレンチ 3 は、活性領域 2 3 を囲むゲート配線領域 2 4 に接続され、ゲート配線領域 2 4 は活性領域 2 3 内のゲートパッド 2 1 に接続される。また、複数のゲートトレンチ 3 は、一方端がゲート配線領域 2 4 に接続されるが、他方端は配線引き出し領域 2 2 にまで延在している。ゲートトレンチ 1 4 の一方端はゲート配線領域 2 4 には接続されず、他方端は配線引き出し領域 2 2 にまで延在している。

10

【 0 1 0 1 】

図 3 2 は、図 3 1 の平面図における配線引き出し領域 2 2 を含む領域 B の部分拡大図であり、図 3 3 は、図 3 2 における X 1 - X 1 線での矢示方向断面図である。

【 0 1 0 2 】

図 3 2 は、配線引き出し領域 2 2 およびその周囲の活性領域 2 3 の一部を示しており、配線引き出し領域 2 2 においてゲートトレンチ 3 および 1 4 の端部にはコンタクトホール 2 6 が設けられている。コンタクトホール 2 6 は、図示されないエミッタ電極 1 に接続されている。

【 0 1 0 3 】

図 3 3 に示すように、ゲートトレンチ 1 4 においては、ゲート電極 1 5 が層間絶縁膜 2 と接するように設けられており、層間絶縁膜 2 を厚さ方向に貫通して設けられたコンタクトホール 2 6 がゲート電極 1 5 に接続されている。コンタクトホール 2 6 はエミッタ電極 1 に接続されるので、ゲート電極 1 5 はエミッタ電位に接続され、電位的に安定することとなる。なお、ゲートトレンチ 3 の長手方向の断面構成は図 7 に示した実施の形態 1 の I G B T 1 0 0 と同じであり、コンタクトホール 2 6 が設けられた端部において、ゲート電極 1 1 はエミッタ電位に接続され、電位的に安定することとなる。なお、ゲート電極 1 2 は、ゲートトレンチ 3 のコンタクトホール 2 6 が設けられた反対側の端部においてゲート配線領域 2 4 に電氣的に接続される。

20

【 0 1 0 4 】

このような平面構成を採ることで、ゲート電極 1 1 およびゲート電極 1 5 の電位をエミッタ電位に固定することができ、電位的に安定させることができる。また、I G B T 6 0 0 の中央部において配線引き出し領域 2 2 を設けることで、配線引き出し領域 2 2 を分散して設ける必要がない。

30

【 0 1 0 5 】

< 実施の形態 7 >

図 3 4 は、本発明に係る実施の形態 7 の R C - I G B T 7 0 0 全体の上面構成を模式的に示す平面図である。図 3 4 に示す R C - I G B T 7 0 0 は、四角形状の外形を有し、その大部分は、I G B T の最小単位構造 (I G B T セル) が複数配置された I G B T 活性領域 2 7 (第 1 の活性領域) と、ダイオードの最小単位構造 (ダイオードセル) が複数配置されたダイオード活性領域 2 8 (第 2 の活性領域) が設けられ、I G B T 活性領域 2 7 およびダイオード活性領域 2 8 の外側は終端領域 2 5 で囲まれている。I G B T 活性領域 2 7 にはゲートトレンチ 3 およびゲートトレンチ 1 4 が互いに間隔を開けて並列に設けられている。ダイオード活性領域 2 8 には、複数のゲートトレンチ 1 7 が互いに間隔を開けて並列に設けられている。なお、図 3 4 に示す R C - I G B T 7 0 0 は、図 2 9 に示した R C - I G B T 4 0 0 と同様の断面構成を有している。

40

【 0 1 0 6 】

ゲートトレンチ 3 は、I G B T 活性領域 2 7 およびダイオード活性領域 2 8 を囲むゲート配線領域 2 4 に接続され、ゲート配線領域 2 4 は I G B T 活性領域 2 7 内のゲートパッド 2 1 に接続される。また、ゲートトレンチ 3 は、一方端がゲート配線領域 2 4 に接続されるが、他方端は R C - I G B T 7 0 0 の中央部においてゲートトレンチ 3、1 4 および

50

17の配列方向に延在するように設けられた長形状の配線引き出し領域22にまで延在している。ゲートトレンチ14の一方端はゲート配線領域24には接続されず、他方端は配線引き出し領域22にまで延在している。ゲートトレンチ17の一方端はゲート配線領域24には接続されず、他方端は配線引き出し領域22にまで延在している。

【0107】

図35は、図34の平面図における配線引き出し領域22を含む領域Cの部分拡大図であり、図36は、図32におけるX2 - X2線での矢示方向断面図である。

【0108】

図35は、配線引き出し領域22およびその周囲のIGBT活性領域27およびダイオード活性領域28の一部を示しており、配線引き出し領域22においてゲートトレンチ3および14の端部にはコンタクトホール26が設けられている。コンタクトホール26は、図示されないエミッタ電極1に接続されている。

10

【0109】

図36に示すように、ゲートトレンチ17においては、ゲート電極20がエミッタ電極1と直接に接するように設けられている。

【0110】

なお、ゲートトレンチ3の長手方向の断面構成は図7に示した実施の形態1のIGBT100と同じであり、コンタクトホール26が設けられた端部において、ゲート電極11はエミッタ電位に接続され、電位的に安定することとなる。なお、ゲート電極12は、ゲートトレンチ3のコンタクトホール26が設けられた反対側の端部においてゲート配線領域24に電氣的に接続される。

20

【0111】

また、ゲートトレンチ14の長手方向の断面構成は図33に示した実施の形態6のIGBT600と同じであり、コンタクトホール26が設けられた端部において、ゲート電極11はエミッタ電位に接続され、電位的に安定することとなる。

【0112】

このような平面構成を採ることで、ゲート電極11、ゲート電極15およびゲート電極20の電位をエミッタ電位に固定することができ、電位的に安定させることができる。また、IGBT700の中央部において配線引き出し領域22を設けることで、配線引き出し領域22を分散して設ける必要がない。

30

【0113】

<実施の形態8>

図37は、本発明に係る実施の形態8のIGBT800全体の上面構成を模式的に示す平面図である。なお、図37においては、図1を用いて説明したIGBT100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0114】

図37に示すIGBT800は、図2に示したIGBT100と同様の断面構成を有し、活性領域23には複数のゲートトレンチ3が互いに間隔を開けて並列に配置された構成となっている。

【0115】

ゲートトレンチ3の配列方向に平行な方向の活性領域23の2つの端縁部には、ゲートトレンチ3の配列方向に延在するように長形状の配線引き出し領域22がそれぞれ設けられている。

40

【0116】

複数のゲートトレンチ3の大部分は、両端がそれぞれ配線引き出し領域22にまで延在しているが、一方端だけが配線引き出し領域22にまで延在し、他方端がゲート配線領域24に接続されるゲートトレンチ3、および、一方端だけが配線引き出し領域22にまで延在し、他方端がゲートパッド21に接続されるゲートトレンチ3も存在する。

【0117】

図38は、図37の平面図における配線引き出し領域22を含む領域Dの部分拡大図で

50

あり、図39は、図38におけるY1 - Y1線での矢示方向断面図である。

【0118】

図38は、配線引き出し領域22およびその近傍の活性領域23の一部を示しており、配線引き出し領域22においてゲートトレンチ3にはコンタクトホール26が設けられている。コンタクトホール26は、図示されないエミッタ電極1に接続されている。

【0119】

また、配線引き出し領域22には、コンタクトホール26を個々に囲むように梯子状の配線引き出し構造29が設けられており、ゲートトレンチ3のゲート電極12は、配線引き出し構造29に接続されている。また、ゲート配線領域24におけるゲートトレンチ3の端部には、それぞれ配線引き出し構造291が設けられており、配線引き出し構造291はコンタクトホール30を介して、図示されないゲート配線31に接続されている。

10

【0120】

図39に示すように、ゲートトレンチ3においては、コンタクトホール26が設けられた部分において、ゲート電極11が層間絶縁膜2と接するように上方向に延在して設けられており、層間絶縁膜2を厚さ方向に貫通して設けられたコンタクトホール26が接続されている。コンタクトホール26はエミッタ電極1に接続されるので、ゲート電極11はエミッタ電位に接続され、電位的に安定することとなる。なお、ゲート電極12は、ゲート絶縁膜131によってゲート電極11とは電氣的に分離されている。

【0121】

また、ゲートトレンチ3においてはコンタクトホール26を囲むように配線引き出し構造29が設けられているが、配線引き出し構造29はゲート電極12と同じ材質で構成され、ゲート電極12より上側に突出するように形成されており、コンタクトホール26が形成された部分で分断されたゲート電極12を電氣的に接続している。配線引き出し構造29は層間絶縁膜2で覆われている。

20

【0122】

また、ゲート電極11および12は、ゲート配線領域24にまで延在し、ゲート電極12の端部は、ゲート配線領域24において配線引き出し構造291と接続している。配線引き出し構造291は、ゲート電極12と同じ材質で構成され、ゲート電極12より上側に突出するように形成されており、層間絶縁膜2で覆われている。配線引き出し構造291の端部では、層間絶縁膜2を厚さ方向に貫通して設けられたコンタクトホール30が設けられ、コンタクトホール30は、層間絶縁膜2上のゲート配線31に接続されている。なお、ゲート配線31は、エミッタ電極1と同層にあるが、エミッタ電極1とは電氣的に分離されている。

30

【0123】

このような平面構成を採ることで、ゲート電極11の電位をエミッタ電位に固定することができ、電位的に安定させることができる。また、ゲート電極12は配線引き出し構造29を介して互いに接続されるので、ゲートトレンチ3間の電位バランスを安定化させることができる。また、活性領域23の2つの端縁部にそれぞれ配線引き出し領域22を設けることで、ゲートトレンチ3の両端でゲート電極11および12の電位を固定することができ、ゲートトレンチ3が長い場合に有効である。

40

【0124】

<実施の形態9>

図40は、本発明に係る実施の形態9のIGBT900全体の上面構成を模式的に示す平面図である。なお、図40においては、図1を用いて説明したIGBT100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0125】

図40に示すIGBT900は、図26に示したIGBT200と同様の断面構成を有し、ゲートトレンチ3とゲートトレンチ3との間に2本のゲートトレンチ14が配置された構成となっている。

【0126】

50

ゲートトレンチ 3 および 1 4 の配列方向に平行な活性領域 2 3 の 2 つの端縁部には、ゲートトレンチ 3 および 1 4 の配列方向に延在するように長方形の配線引き出し領域 2 2 がそれぞれ設けられている。

【 0 1 2 7 】

複数のゲートトレンチ 3 および 1 4 の大部分は、両端がそれぞれ配線引き出し領域 2 2 にまで延在しているが、一方端だけが配線引き出し領域 2 2 にまで延在し、他方端はゲート配線領域 2 4 に接続されないゲートトレンチ 1 4、および、一方端だけが配線引き出し領域 2 2 にまで延在し、他方端がゲートパッド 2 1 に接続されるゲートトレンチ 3 も存在する。

【 0 1 2 8 】

図 4 1 は、図 4 0 の平面図における配線引き出し領域 2 2 を含む領域 E の部分拡大図である。図 4 1 は、配線引き出し領域 2 2 およびその近傍の活性領域 2 3 の一部を示しており、配線引き出し領域 2 2 においてゲートトレンチ 3 および 1 4 にはコンタクトホール 2 6 が設けられている。コンタクトホール 2 6 は、図示されないエミッタ電極 1 に接続されている。

【 0 1 2 9 】

また、配線引き出し領域 2 2 においては、ゲートトレンチ 3 のコンタクトホール 2 6 を囲むように配線引き出し構造 2 9 が設けられており、ゲートトレンチ 3 のゲート電極 1 2 は、配線引き出し構造 2 9 に接続されている。また、ゲート配線領域 2 4 におけるゲートトレンチ 3 の端部には、配線引き出し構造 2 9 1 が設けられており、配線引き出し構造 2 9 1 はコンタクトホール 3 0 を介して、図示されないゲート配線 3 1 に接続されている。

【 0 1 3 0 】

なお、ゲートトレンチ 3 の長手方向の断面構成は図 3 9 に示した実施の形態 8 の I G B T 8 0 0 と同じである。また、ゲートトレンチ 1 4 の長手方向の断面構成は図 3 3 に示した実施の形態 6 の I G B T 6 0 0 と同じである。

【 0 1 3 1 】

このような平面構成を採ることで、ゲート電極 1 1 および 1 5 の電位をエミッタ電位に固定することができ、電位的に安定させることができる。また、ゲート電極 1 2 は配線引き出し構造 2 9 を介して互いに接続されるので、ゲートトレンチ 3 間の電位バランスを安定化させることができる。また、配線引き出し構造 2 9 を設けることで、コンタクトホール 2 6 が形成された部分で分断されたゲート電極 1 2 を電氣的に接続することができる。また、活性領域 2 3 の 2 つの端縁部にそれぞれ配線引き出し領域 2 2 を設けることで、ゲートトレンチ 3 の両端でゲート電極 1 1 および 1 2 の電位を固定することができ、ゲートトレンチ 3 が長い場合に有効である。

【 0 1 3 2 】

< 実施の形態 1 0 >

図 4 2 は、本発明に係る実施の形態 1 0 の R C - I G B T 1 0 0 0 全体の上面構成を模式的に示す平面図である。なお、図 4 2 においては、図 3 4 を用いて説明した R C - I G B T 7 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 1 3 3 】

なお、図 4 2 に示す R C - I G B T 1 0 0 0 は、図 2 9 に示した R C - I G B T 4 0 0 と同様の断面構成を有している。

【 0 1 3 4 】

ゲートトレンチ 3、1 4 および 1 7 の配列方向に平行な I G B T 活性領域 2 7 およびダイオード活性領域 2 8 の 2 つの端縁部には、ゲートトレンチ 3、1 4 および 1 7 の配列方向に延在するように長方形の配線引き出し領域 2 2 がそれぞれ設けられている。

【 0 1 3 5 】

ゲートトレンチ 3 は、I G B T 活性領域 2 7 およびダイオード活性領域 2 8 を囲むゲート配線領域 2 4 に一方端が接続され、他方端が配線引き出し領域 2 2 にまで延在するものと、両端がそれぞれ配線引き出し領域 2 2 にまで延在するものがある。

10

20

30

40

50

【 0 1 3 6 】

また、ゲートトレンチ 1 4 は、一方端だけが配線引き出し領域 2 2 にまで延在し、他方端はゲート配線領域 2 4 に接続されないものと、両端がそれぞれ配線引き出し領域 2 2 にまで延在するものがある。また、ゲートトレンチ 1 7 は、何れも両端がそれぞれ配線引き出し領域 2 2 にまで延在している。

【 0 1 3 7 】

図 4 3 は、図 4 2 の平面図における配線引き出し領域 2 2 を含む領域 F の部分拡大図である。図 4 3 は、配線引き出し領域 2 2 およびその近傍の I G B T 活性領域 2 7 およびダイオード活性領域 2 8 の一部を示しており、配線引き出し領域 2 2 においてゲートトレンチ 3 および 1 4 にはコンタクトホール 2 6 が設けられている。コンタクトホール 2 6 は、
10

【 0 1 3 8 】

また、配線引き出し領域 2 2 からゲート配線領域 2 4 上にかけては、ゲートトレンチ 3 のコンタクトホール 2 6 を囲むように配線引き出し構造 2 9 が設けられており、ゲートトレンチ 3 のゲート電極 1 2 は、配線引き出し構造 2 9 に接続されている。また、ゲート配線領域 2 4 におけるゲートトレンチ 3 の端部には、配線引き出し構造 2 9 1 が設けられており、配線引き出し構造 2 9 1 はコンタクトホール 3 0 を介して、図示されないゲート配線 3 1 に接続されている。

【 0 1 3 9 】

なお、ゲートトレンチ 3 の長手方向の断面構成は図 3 9 に示した実施の形態 8 の I G B T 8 0 0 と同じである。また、ゲートトレンチ 1 4 の長手方向の断面構成は図 3 3 に示した実施の形態 6 の I G B T 6 0 0 と同じであり、ゲートトレンチ 1 7 の長手方向の断面構成は図 3 6 に示した実施の形態 7 の R C - I G B T 7 0 0 と同じである。
20

【 0 1 4 0 】

このような平面構成を採ることで、ゲート電極 1 1 および 1 5 の電位をエミッタ電位に固定することができ、電位的に安定させることができる。また、ゲート電極 1 2 は配線引き出し構造 2 9 を介して互いに接続されるので、ゲートトレンチ 3 間の電位バランスを安定化させることができる。また、配線引き出し構造 2 9 を設けることで、コンタクトホール 2 6 が形成された部分で分断されたゲート電極 1 2 を電氣的に接続することができる。また、I G B T 活性領域 2 7 およびダイオード活性領域 2 8 の 2 つの端縁部にそれぞれ配線引き出し領域 2 2 を設けることで、ゲートトレンチ 3 の両端でゲート電極 1 1 および 1 2 の電位を固定することができ、ゲートトレンチ 3 が長い場合に有効である。
30

【 0 1 4 1 】

< 他の適用例 >

以上説明した実施の形態は、I G B T および R C - I G B T に適用した場合を説明したが、これらに限定されず、絶縁ゲート型トランジスタであれば M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) にも適用可能であり、耐圧クラスおよび F Z (Floating Zone) 法で形成された F Z 基板、M C Z (Magnetic Field Applied) 法で形成された M C Z 基板およびエピタキシャル法で形成されたエピタキシャル基板等の基板の種類に限定されることなく適用可能である。
40

【 0 1 4 2 】

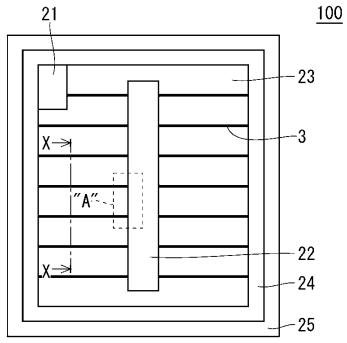
なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

【 符号の説明 】

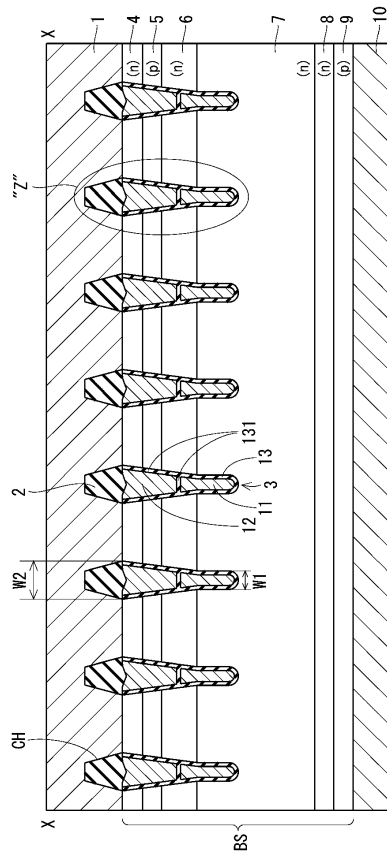
【 0 1 4 3 】

1 エミッタ電極、2 層間絶縁膜、3, 1 4, 1 7 トレンチゲート、4 エミッタ層、5 ベース層、6 キャリアストア層、7 ドリフト層、8 パッファ層、9 コレクタ層、1 0 コレクタ電極、1 1, 1 2, 1 5, 2 0 ゲート電極、1 3, 1 6, 1 9 ゲート絶縁膜、1 8 カソード層、2 2 配線引き出し領域、2 6 コンタクトホール、2 9 配線引き出し構造、B S 半導体基板。
50

【図面】
【図 1】



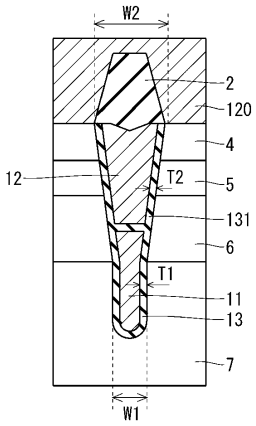
【図 2】



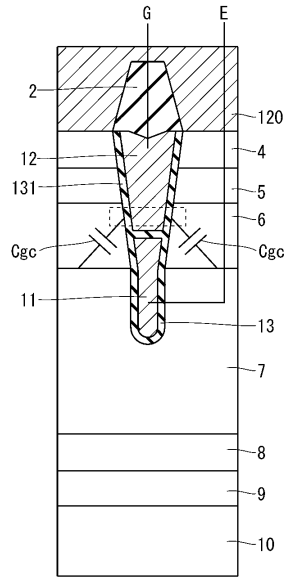
10

20

【図 3】



【図 4】

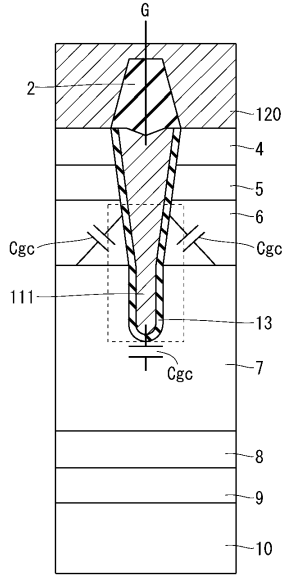


30

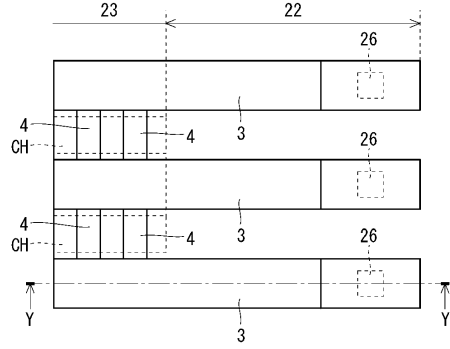
40

50

【 図 5 】

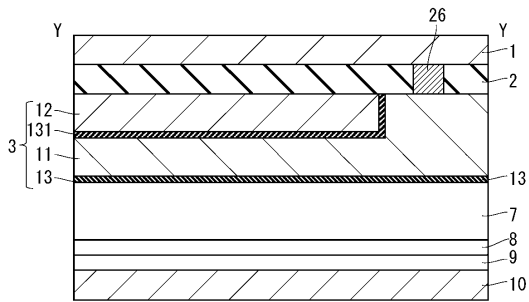


【 図 6 】

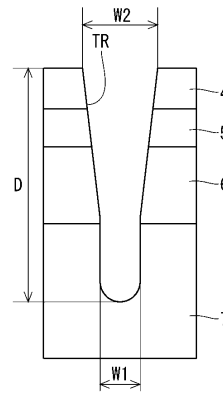


10

【 図 7 】



【 図 8 】



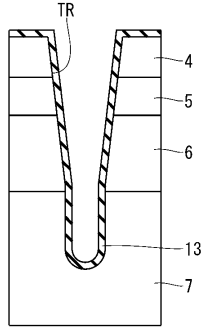
20

30

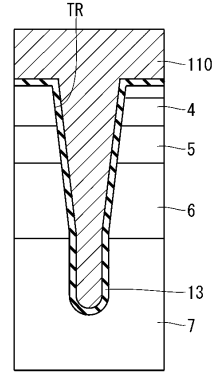
40

50

【図 9】

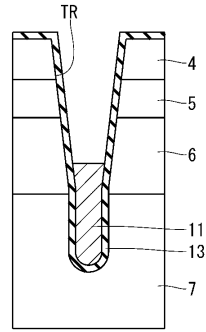


【図 10】

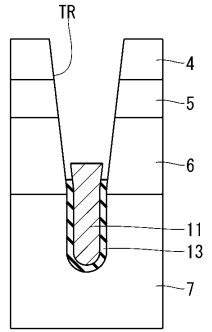


10

【図 11】

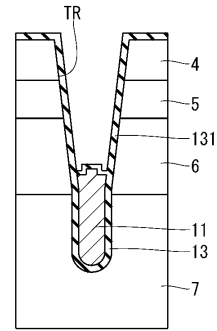


【図 12】

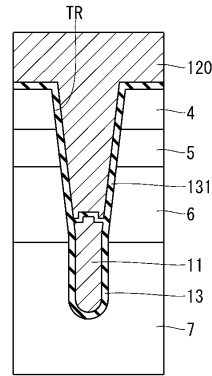


20

【図 13】



【図 14】

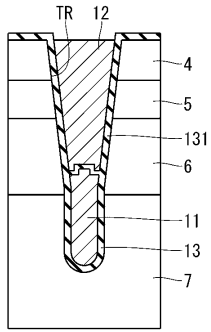


30

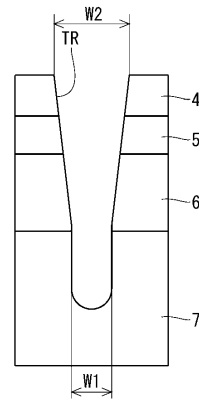
40

50

【 15 】

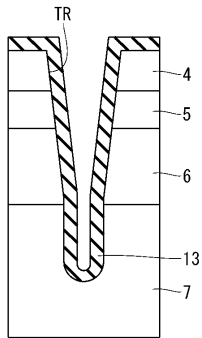


【 16 】

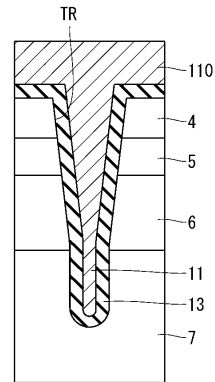


10

【 17 】



【 18 】



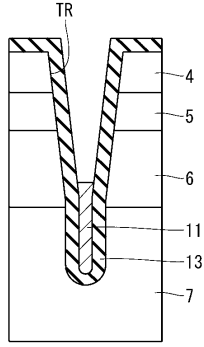
20

30

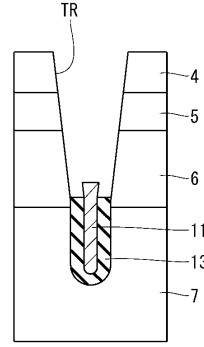
40

50

【図 19】

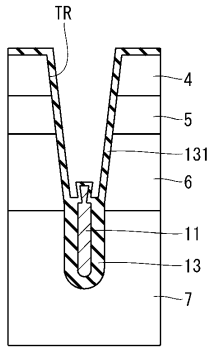


【図 20】

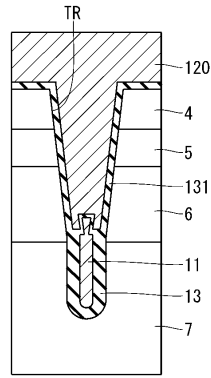


10

【図 21】

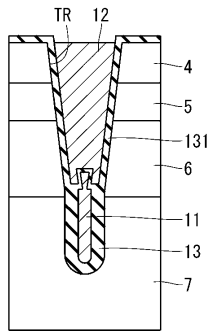


【図 22】

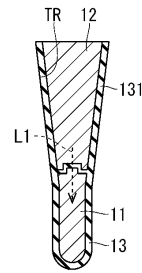


20

【図 23】



【図 24】

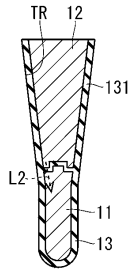


30

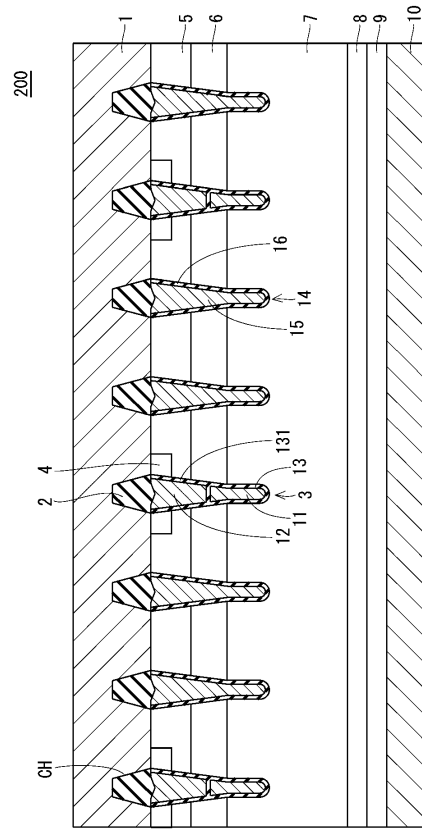
40

50

【図 25】



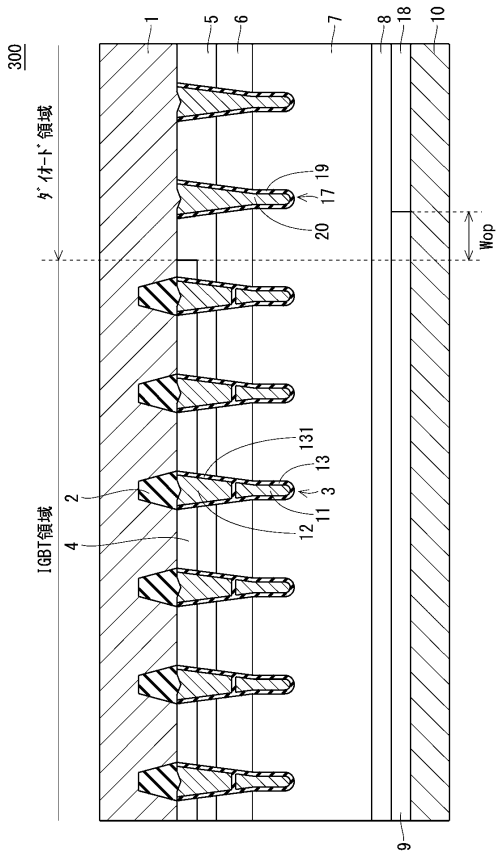
【図 26】



10

20

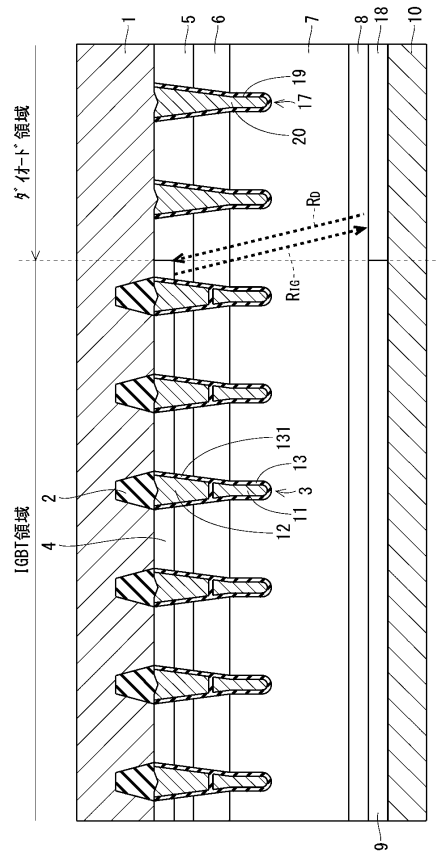
【図 27】



30

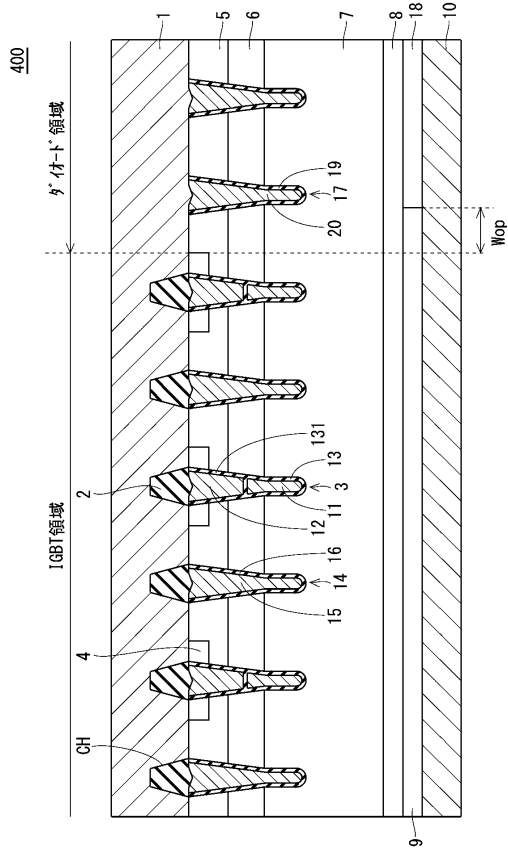
40

【図 28】

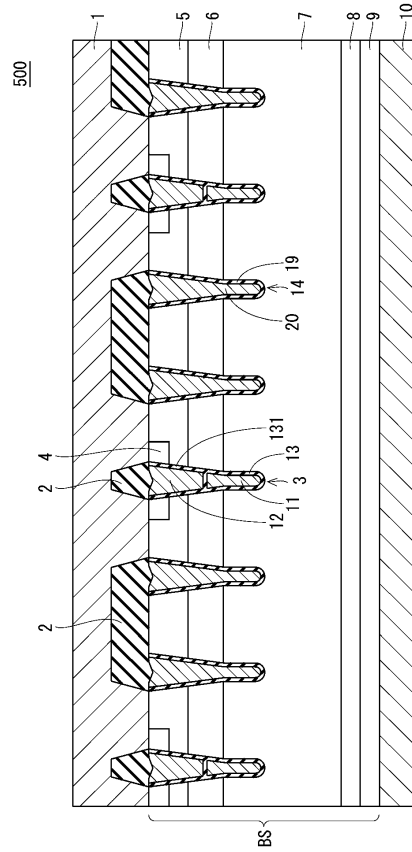


50

【図 29】



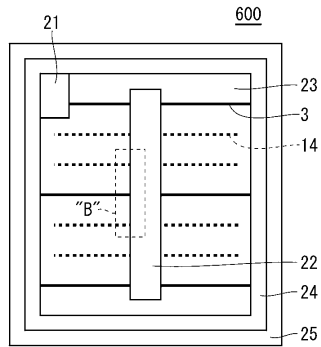
【図 30】



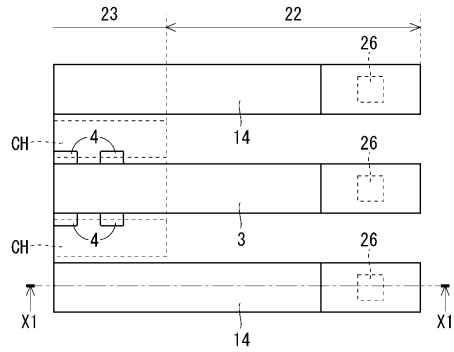
10

20

【図 31】



【図 32】

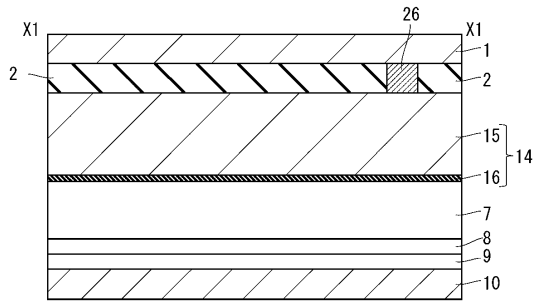


30

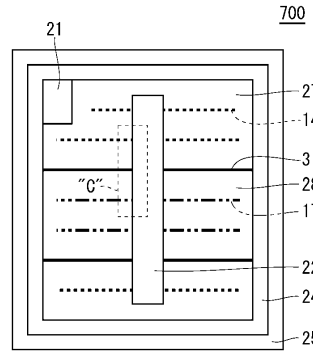
40

50

【図 3 3】

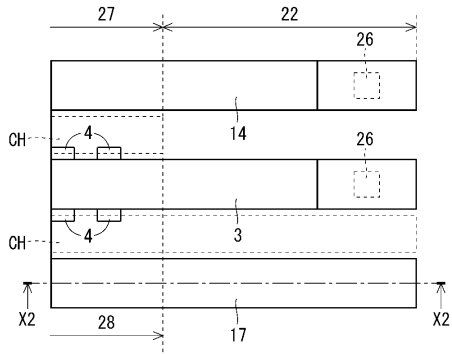


【図 3 4】

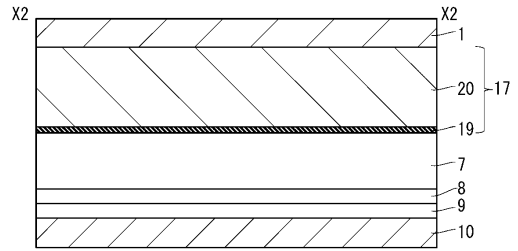


10

【図 3 5】



【図 3 6】



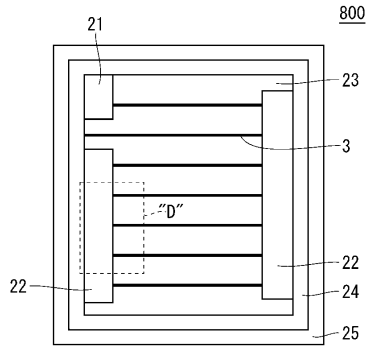
20

30

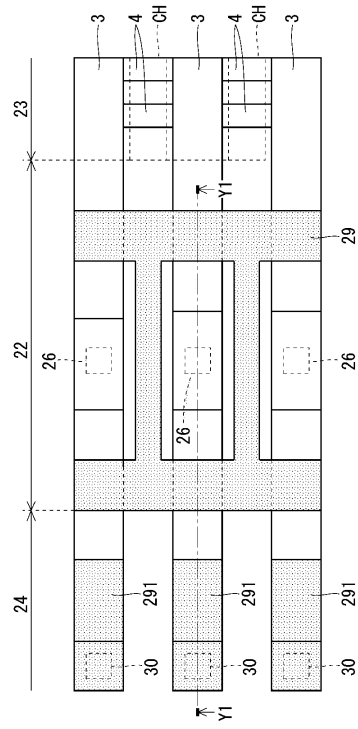
40

50

【 37 】



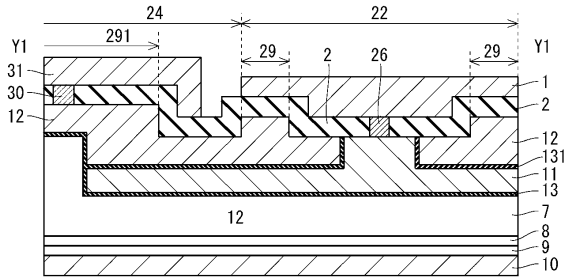
【 38 】



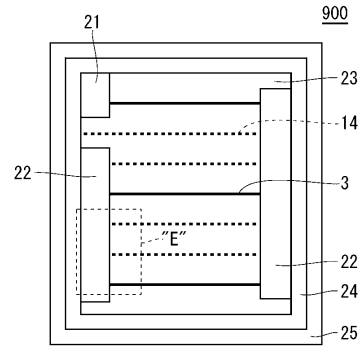
10

20

【 39 】



【 40 】

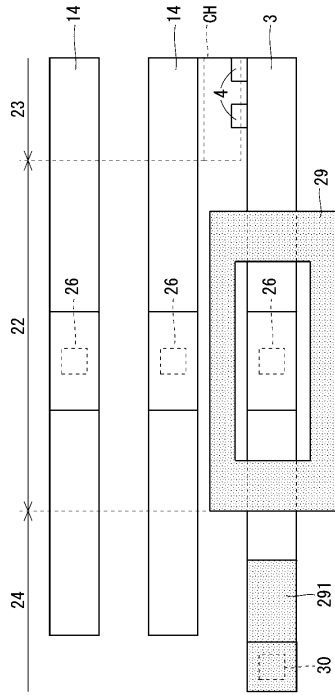


30

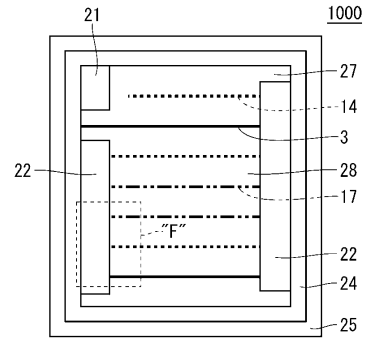
40

50

【 4 1 】



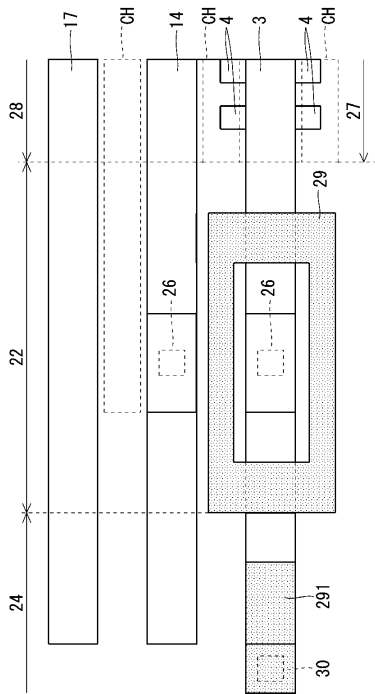
【 4 2 】



10

20

【 4 3 】



30

40

50

フロントページの続き

(51)国際特許分類

H 0 1 L 29/49 (2006.01)

F I

H 0 1 L	29/78	6 5 5 G
H 0 1 L	29/78	6 5 8 G
H 0 1 L	29/78	6 5 8 F
H 0 1 L	29/78	6 5 5 D
H 0 1 L	29/78	6 5 7 D
H 0 1 L	29/78	6 5 2 C
H 0 1 L	29/78	6 5 3 C
H 0 1 L	21/28	3 0 1 A
H 0 1 L	29/58	G

(56)参考文献

特開 2 0 0 6 - 0 9 3 5 0 6 (J P , A)
 国際公開第 2 0 1 7 / 0 9 9 0 9 6 (W O , A 1)
 特開 2 0 1 7 - 1 4 7 4 3 1 (J P , A)
 特開 2 0 1 3 - 0 5 8 5 7 5 (J P , A)
 特開 2 0 1 6 - 1 6 7 5 3 9 (J P , A)
 特開 2 0 1 7 - 1 6 2 9 0 9 (J P , A)
 米国特許出願公開第 2 0 1 6 / 0 0 6 4 5 4 6 (U S , A 1)
 特開 2 0 1 5 - 1 4 2 0 7 3 (J P , A)
 特開 2 0 1 3 - 2 0 1 4 0 0 (J P , A)
 特開 2 0 1 0 - 1 3 5 6 7 7 (J P , A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 7 3 9
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 9 / 4 2 3