

# 公告本

|      |                  |
|------|------------------|
| 申請日期 | 90.5.29.         |
| 案 號  | 90112883         |
| 類 別  | G11C 19/16 09G36 |

0116795

(以上各欄由本局填註)

| 發 明 專 利 說 明 書 |               | 514926                                                                        |
|---------------|---------------|-------------------------------------------------------------------------------|
| 一、發明<br>名稱    | 中 文           | 移位暫存器及電子裝置                                                                    |
|               | 英 文           | SHIFT REGISTER AND ELECTRONIC APPARATUS                                       |
| 二、發明<br>創作人   | 姓 名           | 1.神原實(神原実)<br>2.佐佐木和廣(佐々木和広)<br>3.兩澤克彥(両澤克彦)                                  |
|               | 國 籍           | 1-3 皆屬日本                                                                      |
|               | 住、居所          | 1.日本國東京都八王子市小宮町 197-3<br>2.日本國神奈川縣相模原市麻溝台 6-1-12<br>3.日本國東京都東大和市上北台 3-375-2-6 |
|               |               |                                                                               |
| 三、申請人         | 姓 名<br>(名稱)   | 樫尾計算機股份有限公司<br>(カシオ計算機株式會社)                                                   |
|               | 國 籍           | 日本                                                                            |
|               | 住、居所<br>(事務所) | 日本國東京都渋谷區本町 1 丁目 6 番 2 號                                                      |
|               | 代 表 人<br>姓 名  | 樫尾和雄                                                                          |

(由本局填寫)

|           |
|-----------|
| 承辦人代碼:    |
| 大 類:      |
| I P C 分類: |

本案已向：

日本國（地區） 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權  
1.2000 年 05 月 31 日特願 2000-162671 號  
2.2000 年 06 月 06 日特願 2000-169002 號  
3.2001 年 04 月 26 日特願 2001-128909 號

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

## 五、發明說明( 1 )

### [發明所屬之技術領域]

本發明係有關於移位暫存器以及將該移位暫存器作為驅動器用之顯示裝置，攝影裝置等之電子裝置。

### [先前技術]

在 TFT 液晶顯示裝置等之動態矩陣型之液晶顯示裝置中，係將排列成矩陣狀之顯示像素逐行選擇，並在選擇之像素之像素容量寫入顯示資料而得到企望之顯示。

在 TFT 液晶顯示裝置上雖然使用對操作成像素切換元件之 TFT 閘極串列輸出像素選擇用之閘極信號之閘極驅動器(gate driver)，以及將做為影像資料之汲極信號於閘極選擇期間平行輸出之汲極驅動器，惟通常用於輸出動畫影像資料之汲極驅動器係由複雜且多數之電晶體所構成且非以高速驅動不可，因此採用可以達成電晶體之小型化且由高遷移率之單晶矽或聚晶構成之驅動器。

另一方面，閘極驅動器並無汲極之複雜之構造，驅動頻率也低，故理論上也可以用由無定形矽 TFT 構成之驅動器驅動，惟尚未實用化。

在多個無定形矽 TFT 所構成之閘極驅動器中，各 TFT 之臨界值特性有經時移位或在高溫下之環境中引起錯誤動作之問題。

### [發明擬解決之問題]

本發明之一目的在提供一種在高溫下也可以獲得正確之電路操作，可以長期間獲得穩定之操作之移位暫存器。

本發明第 1 移位暫存器之各段具備：

## 五、發明說明( 2 )

第 1 電晶體，具有第 1 控制端子，藉由從一邊之段供應至上述第 1 控制端子之特定電平(level)之信號導通，並將該特定電平之信號由第 1 電流路之一端輸出至第 1 電流路之另一端，

第 2 電晶體，具有第 2 控制端子，係回應施加於第 2 控制端子與上述第 1 電晶體之上述第 1 電流路之另一端間之配線之電壓而導通，以由外界供應予第 2 電流路之一端之第 1 或第 2 信號做為輸出信號而由上述第 2 電流路之另一端輸出，

用於輸出由外界供應之電源電壓之負載，

第 3 電晶體，具有第 3 控制端子，係回應施加於上述第 3 控制端子與上述第 1 電晶體之上述第 1 電流路之另一端間之配線之電壓而導通，並透過上述負載將由上述外界所供應之電源電壓由第 1 電流路之一端輸出至上述第 3 電流路之另一端，再將由該負載所輸出之電源電壓位移至特定電平之電壓，以及

第 4 電晶體，具有第 4 控制端子，係回應施加於上述第 4 控制端子與上述負載間之配線上之電壓而導通，第 4 電流路之一端連接到上述第 2 電晶體之第 2 電流路之另一端，將參考電壓由上述第 4 電流路之另一端輸出至第 4 電流路之一端，

值(上述第 4 電晶體之通道寬/上述第 4 電晶體之通道長)  
等於或大於值(上述第 2 電晶體之通道寬/上述第 2 電晶體之通道長)。

## 五、發明說明( <sup>3</sup> )

本發明之第 2 移位暫存器之各段具備：

第 1 電晶體，具有第 1 控制端子，藉由從一邊之段供應至上述第 1 控制端子之特定電平之信號導通，並將該特定電平之信號由第 1 電流路之一端輸出至第 1 電流路之另一端，

第 2 電晶體，具有第 2 控制端子，係回應施加於第 2 控制端子與上述第 1 電晶體之上述第 1 電流路之另一端間之配線之電壓而導通，以由外界供應於第 2 電流路之一端之第 1 或第 2 信號做為輸出信號而由上述第 2 電流路之另一端輸出，

第 3 電晶體，具有第 3 控制端子，由第 3 電流路之一端將電源電壓輸出至上述第 3 電流路之另一端，

第 4 電晶體，具有第 4 控制端子，係回應施加於上述第 4 控制端子與上述第 1 電晶體之上述第 1 電流路之另一端間之配線之電壓而導通，將由上述第 3 電晶體所供應之上述電源電壓由第 4 電流路之一端輸出至上述第 4 電流路之另一端，並將自上述第 3 電晶體輸出之電源電壓位移至特定電平之電壓，

第 5 電晶體，具有第 5 控制端子，係回應施加於上述第 5 控制端子與第 3 電晶體間之配線之電壓而導通，第 5 電流路之一端與上述第 2 電晶體之上述第 2 電流路之另一端相連接，且將參考電壓由上述第 5 電流路之另一端輸出至上述第 5 電流路之一端，以及

第 6 電晶體，具有第 6 控制端子，藉由利用另一邊之段

## 五、發明說明( 4 )

之輸出信號導通上述第 6 控制端子，俾重置施加於上述第 2 電晶體之第 2 控制端子與第 1 電晶體之第 1 電流路之另一端間之上述配線之電壓，且

值(上述第 5 電晶體之通道寬/上述第 5 電晶體之通道長)大於值(上述第 1 電晶體之通道寬/上述第 1 電晶體之通道長)。

本發明之第 3 移位暫存器之各段之特徵具備：

第 1 電晶體，對控制端子供應一邊之段之輸出信號，並對電流路之一端供應第 1 電壓信號，

第 2 電晶體，對控制端子供應另一邊之段之輸出信號，並對電流路之一端供應第 2 電壓信號，以及

第 3 電晶體，將控制端子分別連接至上述第 1，第 2 電晶體之電流路之另一端，藉由透過上述第 1 或第 2 電晶體供應至其間之配線之上述第 1 或第 2 電壓信號通斷，導通時，將供應予電流路之一端之第 1 或第 2 時鐘信號由電流路之另一端輸出做為該段之輸出信號；且

至少上述第 1，第 2 電晶體之一可以藉由供應至控制端子之一邊或另一邊之段之輸出信號放出儲存於上述配線之電荷。

本發明之電子裝置具備

### (A)移位暫存器

上述移位暫存器之各段具備：

第 1 電晶體，具有第 1 控制端子，係藉由從一邊之段供應之上述第 1 控制端子之特定電平之信號所導通，並將該

## 五、發明說明( 5 )

特定電平之信號由第 1 電流路之一端輸出至另一端，

第 2 電晶體，具有第 2 控制端子，係回應施加於上述第 2 控制端子與上述第 1 電晶體之第 1 電流路之另一端間之配線之電壓而導通，並將由外界供應於第 2 電流路之一端之第 1 或第 2 信號做為輸出信號輸出至上述第 2 電流路之另一端，

第 3 電晶體，具有第 3 控制端子，用於將電源電壓由第 3 電流路之一端輸出至上述第 3 電流路之另一端，

第 4 電晶體，具有第 4 控制端子，係回應施加於上述第 4 控制端子與第 1 電晶體之第 1 電流路之另一端間之配線之電壓而導通，並將將上述第 3 電晶體所供應之上述電源電壓由一端輸出至上述第 4 電流路之另一端，俾將由上述第 3 電晶體所輸出之電源電壓位移至特定電平之電壓，

第 5 電晶體，具有第 5 控制端子，係回應施加於上述第 5 控制端子與上述第 3 電晶體間之配線之電壓而導通，且第 5 電流路之一端與上述第 2 電晶體之第 2 電流路之另一端連接，俾參考電壓由上述第 5 電流路之另一端輸出至上述第 5 電流路之一端，以及

第 6 電晶體，具有第 6 控制端子，係藉由另一邊之段之輸出信號導通上述第 6 控制端子，藉以重置(reset)施加於上述第 2 電晶體之第 2 控制端子與上述第 1 電晶體之第 1 電流路之另一端間之配線之電壓，以及

(B)驅動元件，係回應於來自上述移位暫存器之第 2 電晶體之輸出信號而被驅動，而且

## 五、發明說明( 6 )

值(上述第 5 電晶體之通道寬/上述第 5 電晶體之通道長)  
大於值(上述第 1 電晶體之通道寬/上述第 1 電晶體之通道  
長)。

### 圖式之簡單說明

第 1 圖為表示本發明第 1 實施形態之數位靜止攝影機  
(digital still camera)之外觀構造圖。

第 2 圖為表示第 1 圖之數位靜止攝影機之電路構造圖。

第 3 圖為表示第 2 圖之顯示部之電路構造之方塊圖。

第 4 圖為表示做為閘極驅動器之移位暫存器之電路構造  
圖。

第 5 圖為表示第 4 圖之移位暫存器之各段之構造圖。

第 6 圖為構成移位暫存器之 TFT 之平面圖。

第 7 圖為第 6 圖之剖面圖。

第 8 圖為表示第 4 圖之移位暫存器之操作之計時圖  
(timing chart)。

第 9 圖為表示其他移位暫存器之電路構造圖。

第 10 圖為表示由雙控制極電晶體(double gate transistor)  
所構成之光感元件(photosensor)之電路構成方塊圖。

第 11 圖為表示充當第 3 圖之閘極驅動器使用之移位暫  
存器之電路構造圖。

第 12 圖為表示第 11 圖之移位暫存器之操作之計時圖。

第 13 圖為表示充當第 3 圖之閘極驅動器使用之移位暫  
存器之電路構造圖。

第 14 圖為表示第 13 圖之移位暫存器之操作之計時圖。

## 五、發明說明( 7 )

第 15 圖為表示充當第 3 圖之閘極驅動器使用之移位暫存器之其他電路構造圖。

第 16 圖為表示第 15 圖之移位暫存器之操作之計時圖。

第 17 圖為表示第 15 圖之移位暫存器之操作之其他計時圖。

第 18 圖為表示充當第 3 圖之閘極驅動器使用之移位暫存器之其他電路構造圖。

第 19 圖為表示第 18 圖之移位暫存器之操作之計時圖。

第 20 圖為表示本發明之第 2 實施形態中，充當第 3 圖閘極驅動器使用之移位暫存器之電路構造圖。

第 21 圖為表示第 20 圖之移位暫存器之正向操作之計時圖。

第 22 圖為表示第 20 圖之移位暫存器之反向操作之計時圖。

第 23A 圖為表示在本發明之第 2 實施形態中，在第 1 圖所示之數位靜止攝影機之正向之攝影狀態之圖。

第 23B 圖表示顯示部之顯示狀態。

第 24A 圖為表示在本發明之第 2 實施形態中，在第 1 圖所示之數位靜止攝影機之反向之攝影狀態之圖。

第 24B 圖表示顯示部之顯示狀態。

第 25 圖為表示第 20 圖之移位暫存器之正向操作之其他計時圖。

第 26 圖為表示第 20 圖之移位暫存器之反向操作之其他之計時圖。

## 五、發明說明( 8 )

第 27 圖為表示本發明第 2 實施形態中，移位暫存器之其他之電路構造圖。

第 28 圖為表示第 27 圖之移位暫存器之正向操作之計時圖。

第 29 圖為表示第 27 圖之移位暫存器之反向操作之計時圖。

第 30 圖為表示本發明之第 2 實施形態中，移位暫存器之其他電路構造圖。

第 31 圖為表示第 27 圖之移位暫存器之正向操作之流程圖。

第 32 圖為表示第 27 圖之移位暫存器之反向操作之流程圖。

[發明之實施形態]

<第 1 實施形態>

以下參照附圖說明本發明之實施形態。第 1 圖為表示本實施形態有關之數位靜止攝影機之外觀構造圖。如圖所示，該數位靜止攝影機係由攝影機本體部 201 與透鏡單元部 202 所構成。

攝影機本體部 201 之正面具有顯示部 210 與模式設定鍵 212a。模式設定鍵 212a 係用於拍攝影像並記錄於後述之影像記憶體之錄像模式與重現錄製影像之重現模式之切換之鍵。顯示部 210 係由液晶顯示裝置所構成，在錄像模式 (monitoring mode) 時，於攝影前係做為顯示透鏡 202 a 所捕捉之影像之尋檢器 (view finder) 之用，在重現模式時，

## 五、發明說明( 9 )

則具有顯示被記錄之影像之顯示器之功能。顯示部 210 之構造詳細說明如下。

攝影機本體部 201 在其上面另具有電源鍵 211，快門鍵 212b，「+」鍵 212c，「-」鍵 212d，串列輸入輸出端子 213。電源鍵 211 係藉由滑動操作以通、斷該數位靜止攝影機之電源之鍵。快門鍵 212b，「+」鍵 212c 及「-」鍵 212d 與上述模式設定鍵 212a 共同構成鍵輸入部 212。

快門鍵 212b 在錄像模式時指示影像之記錄，同時在重現模式時指示選擇內容之決定之鍵。「+」鍵 212c 及「-」鍵 212d 係用於選擇錄像模式時由記錄於影像記憶體之影像資料顯示於顯示部 210 之影像資料或設定記錄/重現時之條件。串列輸入輸出端子 213 係用於在外部裝置(個人電腦，印表機等)之間插入用於收發資料之電纜之端子。

透鏡單元部 202 在圖之背面具有形成應拍攝之影像之透鏡 202a。透鏡單元部 202 被設置成可以組合於攝影機本體部 201 之軸為中心向上下方向移動 360°。

第 2 圖為表示本實施形態之數位靜止攝影機之電路構造之方塊圖。如圖所示，該數位靜止攝影機具備電荷耦合器 (Charge coupled device, CCD) 攝影裝置 220，類比/數位 (A/D) 轉換器 221，CPU 222，唯讀記憶體 (ROM) 223，隨機存取記憶體 (RAM) 224，壓縮/擴展電路 225，影像記憶體 226，以及上述之顯示部 210，鍵輸入部 212 及串列輸入輸出端子 213。該等構件係透過匯流排 230 互相連接。CCD 攝影裝置 220 與 A/D 轉換器 221 也可用專用線連接。另外，

## 五、發明說明( 10 )

以虛線所示之角度測感器 240 並不包含於本實施形態之構造中(參照後述之第 2 實施形態)。

CCD 攝影裝置 220 具有形成矩陣狀之多個攝影像素，並將藉由攝影透鏡 202a 成像之光光電轉換以輸出與各像素之光強度相對應之電信號。A/D 轉換器 221 將由 CCD 攝影裝置 220 輸出之類比電信號轉換成類比信號並輸出之。

CPU222 依照來自鍵輸入部 212 之輸入執行記憶於 ROM23 之程式，以控制該數位靜止攝影機之各部分之電路。ROM23 除了記憶 CPU222 要執行之程式之外，還記憶固定之資料。RAM224 係被使用做為 CPU222 在執行程式時之工作區(work area)。在 RAM224 另設有用於擴展顯示於顯示部 210 之影像資料之 VRAM 區域。

壓縮/擴展電路 225 在快門鍵 212b 被操作時，將 CCD 攝影裝置 220 所攝而由 A/D 轉換器 221 轉換成數位信號之影像壓縮而記錄於影像記憶 226 中。另外，壓縮/擴展電路 225 在由鍵輸入部 212 指示顯示已攝影之影像時，會將被壓縮而記錄於影像記憶體 226 之影像資料加以顯示。

影像記憶體 226 係由如快閃記憶體(flash memory)之資料不可消除之不變性記憶媒體所構成，並用於記錄如上所述所拍攝並壓縮之影像資料。影像記憶體 226 也可以為可裝卸於該數位靜止攝影機之構造。

第 3 圖為表示構成顯示部 210 之液晶顯示裝置之構造圖。如圖所示，該液晶顯示裝置係由控制器 150，顯示區 151，閘極驅動器 152，以及汲極驅動器 153 所構成。由控

## 五、發明說明( 11 )

制器 150 對閘極驅動器 152 供應控制信號群 Gcnt，對汲極驅動器 153 供應控制信號群 Dcnt 與顯示資料 data。

控制器 150 係依據來自 CPU222 之控制信號產生控制信號群 Gcnt，Dcnt 並分別供應予閘極驅動器 152 與汲極驅動器 153。控制器 150 另依照來自 CPU222 之控制信號讀出擴展至 RAM224 之 VRAM 區域之影像資料，並供應予汲極驅動器 153 做為顯示資料 data。

顯示區 151 係在一對基板封入液晶而構成，因此在其一邊之基板 19 上形成以 a-Si 為半導體層之動態驅動用之多個 TFT161 呈矩陣狀。各 TFT161 之閘極係連接於閘極線 GL，汲極係連接於汲極線 DL，源極同樣地係連接於形成矩陣狀之像素電極。另一邊之基板上形成被施加以一定之電壓 Vcom 之共同電極，而藉由該共同電極與各像素電極以及其間之液晶而形成 TFT 容量 162。而且由於儲存於像素容量 162 之電荷而液晶之取向狀態會變化，所以顯示區 151 可控制透過之光量來顯示影像。

閘極驅動器 152 係由來自控制器 150 之控制信號群 Gcnt 操作之移位暫存器所構成。閘極驅動器 152 係依來自控制器 150 之控制信號群 Gcnt 逐次選擇閘極線 GL 以輸出一定之電壓。對於構成閘極驅動器 152 之移位暫存器，在後面詳述。

汲極驅動器 153 係依來自控制器 150 之控制信號群 Dcnt 依次取入來自控制器 150 之顯示資料 data。累積一行分之顯示資料 data 時，汲極驅動器 153 即依來自控制器 150 之

## 五、發明說明( 12 )

控制信號群  $D_{cnt}$ ，將其輸出至汲極線 DL，並藉由連接至以閘極驅動器 152 所選擇之閘極線 GL 之 TFT161(ON 狀態)儲存於像素容量 162。

其次要針對第 3 圖之閘極驅動器 152 之細節加以說明。第 4 圖為表示閘極驅動器 152 之整體之構造之電路圖。如設配置於攝影元件 1 之閘極驅動器 152 之段數(閘極線 GL 之數目)為  $n$  時，閘極驅動器 152 係由控制信號閘極信號之  $n$  個段 RS(1)至 RS( $n$ )與段 RS( $n$ )等之虛擬段(dummy section)RS( $n+1$ )及虛擬段 RS( $n+2$ )所構成。但是，在第 4 圖中，圖示  $n$  為 2 以上之偶數時之構造。

在奇數之段 RS(1)，RS(3)， $\dots$  RS( $2t-1$ )中被供應信號 CK1 以做為來自控制器之控制信號。在偶數之段 RS(2)，RS(4)， $\dots$  RS( $2t$ )則被供應信號 CK2。各段皆被供應以來自控制器之定電壓  $V_{ss}$ 。信號 CK1，CK2 之高電平為 +15(V)，低電平為 -15(V)。另外，定電壓  $V_{ss}$  之電平為 -15(V)。

另外，第 1 個之段 RS(1)由控制器供應起動信號  $D_{st}$ 。起動信號  $D_{st}$  之高電平為 +15(V)，低電平為 -15(V)。第 2 個以後之段 RS(2)至 RS( $n$ )分別被供應來自前段 RS(1)至 RS( $n-1$ )之輸出信號 OUT1 至 OUT $n-1$ 。另外，對各段 RS( $k$ ) ( $k:1$  至  $n$  之任意整數)供應有來自後段 RS( $k+1$ )之輸出信號 OUT $k+1$ (但最終段 RS( $n$ )時為重現信號  $D_{end}$ )以做重置脈衝。另外，各段 RS(1)至 RS( $n$ )之輸出信號 OUT1 至 OUT $n$  係分別輸出至攝影元件 1 之多個閘極線 GL。

第 5 圖為表示閘極驅動器 152 之各段 RS(1)至 RS( $n$ )之

## 五、發明說明( 13 )

電路構造圖。如圖所示，各段 RS(1)至 RS(n)具有 6 個 TFT(薄膜電晶體)21 至 26 做為基本構造。TFT21 至 26 皆由 n 通道 MOS 型之場效應電晶體所構成，係在閘極絕緣膜使用氮化矽，半導體層使用無定形矽。

各段 RS(k)之 TFT21 之閘極及汲極互相連接到 RS(k-1)之 TFT25 之源極，TFT21 之源極連接到 TFT22 之閘極，TFT25 之閘極以及 TFT24 之汲極。TFT22 之汲極連接至 TFT23 之源極及 TFT26 之閘極，對於 TFT22 之源極及 TFT24 之源極有定電壓 Vss 之供應。而且，對 TFT23 之閘極及汲極有電源電壓 Vdd 之供應。對奇數段之 TFT25 之汲極有信號 CK1 之供應，對偶數段之 TFT25 之汲極有信號 CK2 之供應，而各段之 TFT25 之源極連接到 TFT26 之汲極，對 TFT26 之源極有定電壓 Vss 之供應。對 TFT24 之閘極有次段之輸出信號 OUT<sub>k+1</sub> 之輸入。

第 6 圖為表示適用於本發明之移位暫存器之各 TFT21 至 TFT26 之負斜罩型之電晶體之一例之概略構造圖，第 7 圖為第 6 圖之 VII-VII 線之剖面圖。

負斜罩形之電晶體係由形成於顯示區 151 之玻璃等之絕緣性基板 19 上之閘極 72，設置於閘極 72 上與絕緣性基板 19 上之閘極絕緣膜 16，由對向設置於閘極 72 而由無定型矽等所構成之半導體層 61，在半導體層 61 上分開並排配置之塊絕緣膜 64a，64b，64c，橫跨塊絕緣膜 64a 之通道長度方向之一邊之端部且設置於半導體層 61 上面之雜質層 69a，橫跨塊絕緣膜 64a 之通道長度方向之另一邊之端

## 五、發明說明( 14 )

部與塊絕緣膜 64b 之通道長度方向之一邊之端部，且設置於半導體層 61 上面之雜質層 69，橫跨塊絕緣膜 64b 之通道長度方向之另一邊之端部及塊絕緣膜 64c 之通道長度方向之一邊之端部且設置於半導體層 61 上面之雜質層 69c，橫跨塊絕緣膜 64c 之通道長度方向之另一邊之端部且設置於半導體層 61 上面之雜質層 69d，分別設置於雜質層 69a 上面，雜質層 69b 上面，雜質層 69c 上面與雜質層 69d 上面之源極 65，汲極 66，源極 67 及汲極 68，及形成覆蓋閘極絕緣膜 16，塊絕緣膜 64a，64b，64c，源極 65，67，及汲極 66，68 之層間絕緣膜 15 所構成。

閘極 72，源極，汲極 65 至 68 係由鉻，鉻合金，鋁，鋁合金等之中任意選擇之構件所形成，雜質層 69a，69b，69c，69d 係由摻雜著 n 型之雜質離子之無定形矽所構成。半導體層 61 係在第 6 圖中格子狀陰影區域中之單層構造。

其次，要就本移位暫存器之各 TFT~~21~~ 至 TFT26 之作用加以說明，惟各段之構造大致相同，因此，以第 1 段 RS(1)為例說明之。

對 TFT21 之閘極與汲極有起動信號 Dst 之供應。TFT21 之源極連接至 TFT25 之閘極與 TFT22 之閘極與 TFT24 之源極。TFT25 在 TFT21 之源極之間之配線 Ca(1)之節點 (node)成為高電平時會導通(ON)。TFT25 之汲極有時鐘信號 CK1 之供應，TFT25 本身導通，另外，如後面所述，TFT26 遮斷時，該信號即被輸出為該段 RS(1)之輸出信號 OUT1。

## 五、發明說明( 15 )

TFT23 之閘極及汲極有電源電壓  $V_{dd}$  之供應，如源極電位對電源電壓  $V_{dd}$  顯得相當低時，TFT23 即導通並將電源電壓  $V_{dd}$  由源極輸出。由 TFT23 之源極輸出之電壓供應至 TFT22 之汲極，TFT23 成為負載之功能，而對 TFT22 供應電源電壓  $V_{dd}$ 。TFT22 在 TFT21 之源極之間之配線 Ca(1) 之節點成為高電平時導通，而將透過 TFT23 所供應之電源電壓  $V_{dd}$  由較低電平之參考電壓  $V_{ss}$  之配線放出。

TFT26 藉由 TFT22 斷電時透過 TFT23 供應之電源電壓  $V_{dd}$  導通，而將輸出信號 OUT1 之電壓電平設成參考電壓  $V_{ss}$ 。另外 TFT26 在 TFT22 導通時斷電，此時時鐘信號 CK1 之電壓電平變成輸出信號 OUT1 之電壓電平。TFT24 藉由下一段之 RS(2) 之輸出信號 OUT2 導通，TFT21 之源極與 TFT25 之閘極及 TFT22 之閘極之間之配線 Ca 之節點之電位變成參考電壓  $V_{ss}$ 。

另外，第 1 以外之奇數段 RS(2+1)(t:1 至  $n/2$  之整數)之構造除了對 TFT21 之閘極與汲極供應前段 RS(2t) 之輸出信號 OUT(2t) 之外，與第 1 段 RS(1) 相同。第偶數段 RS(2t+2)(t:0 至  $n/2$  之整數)之構造除了對 TFT21 之閘極與汲極供應段 RS(2t+1) 之輸出信號 OUT(2t+1) 以及對 TFT25 之汲極供應時鐘信號 CK2 以代替時鐘信號 CK1 之外，與第 1 段 RS(1) 相同。此外，供應予最終之虛擬段 RS(n+2) 之 TFT24 之閘極之重置信號 Dend 係由控制器 150 所供應，惟也可以下一掃描之第 3 段 RS(3) 之輸出信號 OUT3 代用。

其次，要針對該移位暫存器之各段之具體設計，尤其是

## 五、發明說明( 16 )

如何設定 TFT21 至 TFT26 之相對大小加以說明。

TFT21 至 TFT26 之各半導體層 61 之中，流通汲極電流之通道區域係設定於相鄰兩邊以通道長  $L_1$  及導通寬  $W_1$  定義之長方形，相鄰兩邊以通道長  $L_2$  及通道寬  $W_1$  定義之長方形，以及相鄰兩邊以通道長  $L_3$  及通道寬  $W_1$  定義之矩形。另外，後面敘述之 TFT21 至 TFT26 之各值  $(W/L)$  之最佳值分別不太相同，因此，不必將 TFT21 至 TFT26 全部設成與第 6 圖與第 7 圖相同之構造，值  $(W/L)$  較高之 TFT 也可以增加半導體層 61 之通道區域之數如通道長  $L_4$ ，通道長  $L_5 \cdots$ ，值  $(W/L)$  小之 TFT 中也可以將通道長  $L_1$  至通道長  $L_3$  所構成之 3 個通道區域設成兩個。

在該電晶體中流通之汲極電流  $I_{ds}$  可以下面數式表示：

<數式 1>

$$I_{ds} \propto (W_1/L_1 + W_1/L_2 + W_1/L_3) = \Sigma (W/L)$$

在此，如設定  $L_1 = L_2 = L_3$  時，即變成

$$\Sigma (W/L) = 3W_1/L_1$$

在本發明中，係將各 TFT21 至 TFT26 之值  $\Sigma (W/L)$  之相對值最佳化俾實現在高溫之環境下也不致發生錯誤動作之移位暫存器。下面將值  $\Sigma (W/L)$  簡化記載成值  $(W/L)$ 。因此，如果通道區域為多個時，即如上意指  $\Sigma (W/L)$ 。在此，TFT21，TFT25 必須由外界將高電平與低電平之差較大之電壓電平之信號供應予汲極，並由源極輸出，因此值  $(W/L)$  與其大小需限定於某種程度之範圍內。

## 五、發明說明( 17 )

在此，TFT25 係被供應低電平與高電平之間之電壓差大之時鐘信號 CK1 或時鐘信號 CK2，必須將導通電平(on level)(高電平)之輸出信號 OUT1 至 OUTn 做為雜訊少之矩形波之閘極信號輸出，因此，必須在短時間內將輸出信號 OUT1 至 OUTn 之電平充分上升。因此，不得不發生自舉(Bootstrap)效果而在短時間內流通高汲極電流，故以高值(W/L)為理想。此外為獲得較大之自舉效果，非將 TFT25 之閘極與源極間及閘極及汲極間之寄生電容加大不可，因此，TFT25 之電晶體之尺寸以大者為宜。

另一方面，TFT21 也為在低電平與高電平之間之電壓差大之開始信號 Dst 或前段被供應輸出信號並輸出至配線 Ca 者，惟如後面所述，不必將配線 Ca 之節點之電壓電平於短時間內上升。因此，TFT25 必須設置相當大，但是 TFT21 不需要 TFT25 那麼大的值(W/L)，如要使用於液晶顯示裝置之閘極驅動器時，即使以 TFT25 之三分之一左右即可發揮功能。

TFT23 及 TFT22 係使用於 TFT26 之切換者，而不輸出輸出信號，因此短期間內不必流通急峻而大之電位變化，因 TFT23，TFT22 之值(W/L)即使設成比 TFT21，TFT25 為低，對於移位暫存器之錯誤操作之影響小。但是 TFT23 以具有較 TFT25 之 20 分之 1 為大之值(W/L)為佳，具有 TFT25 之 5 分之 1 以上之值(W/L)更佳。

另外，TFT22 因對輸出信號 OUT1-OUTn 之影響最小，因此 TFT22 之值(W/L)與其他 TFT21，23 至 26 之值(W/L)

## 五、發明說明( 18 )

相比以最小之一方為佳。

TFT26 在輸出信號 OUT1 至 OUTn 由導通電平(高電平)切換至截止電平(低電平)時，非由高電平強制而迅速地向低電平之參考電壓  $V_{ss}$  流通汲極電流不可，因此以值(W/L)大者為宜。

TFT25 之截止電平(off-level)期間之閘極電壓雖以固定之低電平較理想，惟因 TFT25 之閘極電壓會隨著時鐘信號 CK1 或 CK2 之低電平與高電平之振幅而變動而產生之 TFT25 之泄漏電流，供應至閘極 GL 之截止電平期間之閘極信號(輸出信號 OUT1 至 OUTn 之低電平)會有增加雜訊之虞。另外，各閘極線 GL 之截止電平期間遠比導通電平期間為長，所以上述作用對液晶顯示有很大之影響，因此在抑制 TFT26 對截止電平期間之閘極線 GL 之雜訊與穩定低電平電壓上，以設定與 TFT25 相同度或較高之值(W/L)為理想。

相對於 TFT21 係使 TFT25 成為導通電平(高電平)者，TFT24 係使 TFT25 成為截止電平(低電平)者，因此，TFT24 之值(W/L)宜與 TFT21 大致相同。

為了在高溫條件下防止移位暫存器之錯誤操作(malfunction)，TFT21 至 TFT26 之值(W/L)宜儘量加大。但是，TFT21 至 TFT26 加大時移位暫存器整體面積亦隨著變大，因此，只要考慮到使用環境之條件與電路之配置而將其值(W/L)設定於上述條件之範圍內即可。另外，有關 TFT21 至 TFT26 之值(W/L)與耐用溫度之關係將再依後述

## 五、發明說明( 19 )

之實施例加以研究。

以下就本實施形態之移位暫存器之操作加以說明。第 8 圖為表示第 4 圖所示之移位暫存器之動作之計時圖。

時序 T0 至 T1 之間，當開始信號 Dst 變成高電平時，第 1 段之 RS(1)之 TFT21 導通，該信號由 TFT21 之汲極被輸出至源極。因此，第 1 段 RS(1)之配線 Ca(1)之節點電位變成高電平。藉，TFT25，TFT22 之閘極變成高電平，而 TFT25，22 導通。另外，由於 TFT22 導通，經由 TFT23 供應之電源電壓 Vdd 即無法供應至 TFT26 之閘極，TFT26 即斷電。不過，在該期間內，因為時鐘信號 CK1 為低電平，所以輸出信號 OUT1 之電平仍為低電平。

接著，在時序(Timing)T1 時，時鐘信號 CK1 變成高電平時，它即由第 1 段 RS(1)之 TFT25 之汲極輸出至源極，而輸出信號 OUT1 之電平變成高電平。此時，配線 Ca(1)之電位由於自舉效果上升至更高之電壓，因此達到 TFT25 之飽和閘極電壓，而輸出信號 OUT1 變成略等於時鐘信號 CK1 之高電平之電位。然後，輸出信號 OUT1 在到達時序 T2 之時鐘信號 CK1 變成低電平時，即接近低電平。

另外，在時序 T1 至 T2 之期間中，由於變成高電平之第 1 段之 RS(1)之輸出信號 OUT1 以致第 2 段 RS(2)之 TFT21 導通而配線 Ca(2)之節點之電位變成高電平。因此，第 2 段 RS(2)之 TFT26，TFT22 導通，進而 TFT26 斷電。

然後，在時序 T2 時，如時鐘信號 CK2 變成高電平時，它即由第 2 段 RS(2)之 TFT25 之汲極輸出至源極，而輸出

## 五、發明說明( 20 )

信號 OUT2 之電平即變成高電平。此時，配線 Ca(2)之節點之電位因自舉效果(Bootstrap effect)上升到更高之電壓，而達到 TFT25 之飽和閘極電壓，輸出信號 OUT2 變成略等於時鐘信號 CK2 之高電平之電位。另外，由於高電平之輸出信號 OUT2 被供應至第 1 段 RS(1)之 TFT24 之閘極，以致第 1 段 RS(1)之 TFT24 導通，配線 Ca(1)之節點之高電平電壓成為基準電壓 Vss。然後，輸出信號 OUT2 在到時序 T3 之時鐘信號 CK2 變成低電平時，即接近低電平。

再者，在時序 T2 至 T3 之期間中，因變成高電平之第 2 段 RS(2)之輸出信號 OUT2 以致第 3 段 RS(3)之 TFT21 導通，配線 Ca(3)之節點之電位變成高電平。因此，第 3 段 RS(3)之 TFT25，TFT22 導通，進而 TFT26 斷電。

然後，在時序 T3 時，時鐘信號 CK1 變成高電平時，它即由第 3 段 RS(3)之 TFT25 之汲極被輸出至源極，而輸出信號 OUT3 之電平變成高電平。此時，因為配線 Ca(3)之電位由於自舉效果而上升至高電平，而達到 TFT25 之飽和閘極電壓，而輸出信號 OUT3 變成略等於時鐘信號 CK1 之高電平之電位。另外，由高電平之輸出信號 OUT3 被供應至第 2 段 RS(2)之 TFT24 之閘極，以致第 2 段 RS(2)之 TFT24 導通，將配線 Ca(2)之高電平電壓設定成參考電壓 Vss。接著，同樣地，到達時序 Tn(下一時序 T0)之間，在一掃描期間 Q 內，各段之輸出信號 OUT1 至 OUTn 依次變成高電平之電位，即使被移位到下一段也不致於遞減。而且在一掃描期間 Q 之後，起動信號 Dst 再度成為高電平，

## 五、發明說明( 21 )

在後續段  $RS(1)$  至  $RS(n)$  重複上述之操作。

在閘極線  $GL$  之最終段  $RS(n)$ ，高電平之輸出信號  $OUT_n$  之輸出後，配線  $Ca(n)$  之節點(node)仍然是高電平，惟由於藉由輸出信號  $OUT_n$  開始驅動之虛擬段  $RS(n+1)$  之輸出信號  $OUT_{n+1}$  以致最終段  $RS(n)$  之 TFT24 導通，而配線  $Ca(n)$  之節點變成基準電壓  $V_{ss}$ 。同樣地，藉由虛擬段  $RS(n+2)$  之輸出信號  $OUT_{n+2}$  以致虛擬段  $RS(n+1)$  之 TFT24 導通，配線  $Ca(n+1)$  之節點變成參考電壓  $V_{ss}$ 。而且虛擬段  $RS(n+2)$  之配線  $Ca(n+2)$  之節點由於高電平之重置信號  $Dend$  被供應予虛擬段  $RS(n+2)$  之 TFT24，以致由高電平變成參考電壓  $V_{ss}$ 。

可是，上述之移位暫存器理想上是依第 8 圖所示之計時圖來操作，惟 TFT21 至 TFT26 之特性會隨溫度之上升而變化，因此溫度變得越高，錯誤操作之可能性越高。亦即，特別容易引起 TFT25 之閘極與 TFT21 之源極之間成為浮動狀態之配線  $Ca$  之電位與時鐘信號  $CK1$  或  $CK2$  同步上升，而 TFT25，與 TFT22 成為導通之錯誤動作或無法正常動作。

下面，要針對因為上述移位暫存器之錯誤操作，將其用於電子裝置時會發生什麼影響加以說明。上述之移位暫存器係做為例如液晶顯示裝置或攝影裝置之驅動器之用，惟在此係以用於液晶顯示裝置之情形為例，加以說明。

適用本實施形態之移位暫存器之閘極驅動器 152 係依照來自控制器之控制信號群  $G_{cnt}$  依次選擇閘極線  $GL$  而輸出

## 五、發明說明( 22 )

特定之電壓。該控制信號群 Gcnt 包含有上述時鐘信號 CK1，CK2，起動信號 Dst，電源電壓 Vdd 及參考電壓 Vss。

下面，針對適用上述移位暫存器之閘極驅動器 152 正常運作時與錯誤操作時，液晶顯示裝置之操作出現什麼變化加以說明。另外，在下面說明中，假設顯示區 151 之像素 TFT161 與汲極驅動器 153 皆無錯誤操作，且始終正常操作。

當閘極驅動器 152 正常操作時，由本來應該輸出高電平之信號之段之多個段所輸出之電壓電平係被抑制於遠比像素 TFT161 之臨界電壓為低。因此，藉由來自閘極驅動器 152 之各段依次輸出之輸出信號，對閘極線 GL 一支支輸出高電平之信號，且相對應之一行分之像素 TFT161 導通。

汲極驅動器 153 將由控制器供應之影像資料 data 一行一行取入，並與閘極線 GL 之選擇比較而將相對應之信號輸出至各汲極線 DL。輸出至汲極線 DL 之信號就是如此地，透過導通中之像素 TFT161 寫入像素容量 162 之中。而且隨著寫入像素容量 162 之信號，液晶之取向狀態發生變化，藉由調整透過之光量，在液晶顯示元件之螢幕上會顯示影像。

另一方面，倘閘極驅動器 152 發生上述之錯誤操作時，由本來不應該輸出高電平信號之輸出到閘極線 GL 之電壓有時會接近像素 TFT161 之定限電壓(Threshold Voltage)或超過定限電壓以致像素 TFT161 誤將汲極電流流出。此時，由汲極驅動器 153 輸出至汲極線 DL 之信

## 五、發明說明( <sup>23</sup> )

號不僅對本來應該寫入信號之像素容量 162，而且透過像素 TFT161 在不應寫入信號之像素容量 162 也寫入信號。因此，液晶之取向狀態變成與本來者不同，顯示於液晶顯示元件上之影像變成與本來應該顯示之影像不相同。

如上所述，本實施形態之移位暫存器由於將 TFT21 至 TFT26 之值(W/L)設定於上述條件之範圍內，所以即使在高溫條件下也可以長時間正常操作。因此，在將該移位暫存器當做閘極驅動器 152 使用之液晶顯示裝置中，少有對液晶顯示元件之像素 TFT161 之輸出信號之噪音，不至於有本來不應寫入像素容量 162 之資料被寫入。因此，顯示於液晶顯示元件上之影像品位變高。

另外，TFT21 至 TFT26 之值(W/L)設定越大，即使在高溫條件下，移位暫存器越可以正常操作。但是移位暫存器之面積變大，因為上述之液晶顯示裝置中，顯示區 151 與閘極驅動器 152 係形成於同一基板 19 上，所以液晶顯示元件之面積相對地變小。尤其是 TFT21 至 26 為無定形矽之 TFT 時，與聚矽 TFT 與單晶矽電晶體相比，大出一個電晶體大小，所以影響必然大。因此，TFT21 至 TFT26 之值(W/L)之大小會被限制。對於移位暫存器之操作穩定性與 TFT21 至 TFT26 之值(W/L)之理想均衡點，在後述之實施例中檢討。

如表 1 所示，將上述實施形態所示之閘極驅動器 152 之移位暫存器之 TFT21 之值(W/L)固定為 120，TFT25 之值(W/L)固定為 320 時，TFT22 至 TFT24，TFT26 之值(W/L)

五、發明說明( 24 )

會變成(A)至(J)製成表。另外，所以將 TFT21 之 W/L 設成 120 是因為做為比較例將 TFT21 之值(W/L)設為 60 之移位暫存器之驅動能力低，相較於 TFT 值(W/L)設成 120 之移位暫存器，發生錯誤操作之溫度下限低之故。在此，TFT21，TFT25 因為上述理由而將該值(W/L)固定。另外，移位暫存器以在 65℃ 以下之環境中正常操作為理想。

[表 1]

| 樣本 | 通道寬／通道長之尺寸比例(W／L) |       |       |       |       |       |
|----|-------------------|-------|-------|-------|-------|-------|
|    | TFT21             | TFT22 | TFT23 | TFT24 | TFT25 | TFT26 |
| A  | 120               | 24    | 32    | 120   | 320   | 320   |
| B  | 120               | 36    | 48    | 120   | 320   | 480   |
| C  | 120               | 48    | 64    | 120   | 320   | 640   |
| D  | 120               | 12    | 16    | 120   | 320   | 320   |
| E  | 120               | 48    | 64    | 120   | 320   | 320   |
| F  | 120               | 24    | 24    | 120   | 320   | 320   |
| G  | 120               | 24    | 40    | 120   | 320   | 320   |
| H  | 120               | 24    | 48    | 120   | 320   | 320   |
| I  | 120               | 24    | 32    | 80    | 320   | 320   |
| J  | 120               | 24    | 32    | 160   | 320   | 320   |

在此表中之所有 TFT21 至 TFT26 之通道長 L 係設定於 9  $\mu$  m。順便指出，即使將 TFT25，TFT26 之通道長 L 設定為 12  $\mu$  m，而其他之 TFT21 至 TFT24 之通道長 L 設定為 9  $\mu$  m，相較於全部為 9  $\mu$  m 之移位暫存器，亦未獲得顯著之差異。

然後，將表 1(A)至(J)所示之 10 種移位暫存器放在各種溫度條件下驅動以觀察其溫度特性。其結果如表 2 所示。在表 2 中，"G"表示在該溫度條件下，移位暫存器長時間正常操作，"NG"表示在該溫度條件下，移位暫存器經長時

五、發明說明( 25 )

間驅動時引起錯誤動作或未有操作。

[表 2]

| 樣<br>本 | 外部溫度(℃) |    |    |    |    |    |    |    |    |    |    |
|--------|---------|----|----|----|----|----|----|----|----|----|----|
|        | 25      | 35 | 45 | 55 | 60 | 65 | 70 | 75 | 80 | 85 | 90 |
| A      | G       | G  | G  | G  | G  | G  | G  | G  | NG | NG | NG |
| B      | G       | G  | G  | G  | G  | G  | G  | G  | G  | G  | G  |
| C      | G       | G  | G  | G  | G  | G  | G  | G  | G  | G  | G  |
| D      | G       | G  | G  | G  | G  | G  | NG | NG | NG | NG | NG |
| E      | G       | G  | G  | G  | G  | G  | G  | G  | G  | G  | G  |
| F      | G       | G  | G  | G  | G  | G  | NG | NG | NG | NG | NG |
| G      | G       | G  | G  | G  | G  | G  | G  | G  | NG | NG | NG |
| H      | G       | G  | G  | G  | G  | G  | G  | G  | G  | G  | G  |
| I      | G       | G  | G  | G  | G  | G  | NG | NG | NG | NG | NG |
| J      | G       | G  | G  | G  | G  | G  | G  | G  | G  | G  | G  |

由該項結果，可以得到下列之結論。

由表 1，表 2 之(A)，(B)，(C)可知，為使移位暫存器在 65℃ 以下正常操作，只要將 TFT26 之值(W/L)設成等於或大於 TFT25 之值(W/L)即可。如將 TFT26 之值(W/L)設定大於 TFT25 之值(W/L)，即可藉由 TFT23，TFT22 之值(W/L)使移位暫存器在 90℃ 以下正常操作，故更加理想。

由表 1，表 2 之(A)，(D)，(E)可知，為使移位暫存器在 65℃ 以下正常操作，只要將 TFT23 之值(W/L)增大 TFT25 之值(W/L)之 20 分之 1 即可。如將 TFT23 之值(W/L)增大 TFT25 之值(W/L)之 5 分之 1 左右，即可使移位暫存器在 90℃ 以下正常操作，所以更理想。

由表 1，表 2 之(A)，(F)，(G)，(H)可知，為使移位暫存器在 65℃ 以下正常操作，只要將 TFT23 之值(W/L)設成大於 TFT22 之值(W/L)即可。如將 TFT23 之值(W/L)設成

## 五、發明說明( 26 )

TFT22 之值(W/L)之兩倍左右，即可使移位暫存器在 90℃ 以下正常操作，故更加理想。

由表 1，表 2 之(A)，(I)，(J)可知，為使移位暫存器在 65℃ 以下正常操作，只要將 TFT24 之值(W/L)比 TFT21 之值(W/L)增大 3 分之 2 以上即可。如將 TFT24 之值(W/L)增大比 TFT21 之 3 分之 4 左右，即可使移位暫存器正常操作，所以更加理想。

而且將 TFT21 之值(W/L)設定成小於 TFT25，TFT26 之值(W/L)，且大於 TFT22 之值(W/L)，將 TFT24 之值(W/L)設定成小於 TFT25，TFT26 之值(W/L)，且大於 TFT23，TFT22 之值(W/L)時，即容易正常操作，在 80℃ 之環境下總括性之移位暫存器之壽命長。

本發明並不侷限於上述之實施形態，而可能有各種變形與應用。下面針對可適用於本發明之上述實施形態之變形形態加以說明。

上述之實施形態中，移位暫存器之各段 RS(1)，RS(2)，… 假設係由 6 個 TFT21 至 TFT26 所構成者，惟如第 9 圖所示，各段 RS(1)，RS(2)，… 之構造 7 個之移位暫存器也可以得到大致相同之結果。在此追加之 TFT27 之值(W/L)為 2，將電壓 Vdd 設定為與上述實施形態之電源電壓 Vdd 相等之電位，而電壓 Vdd2 為低於電壓 Vdd1 為低之電壓以外，與第 4 圖之移位暫存器相同。另外，第 4 圖與第 9 圖之 TFT23 也可由電晶體以外之電阻元件所取代。

上述實施形態中之移位暫存器係藉由具電場效果電晶體

## 五、發明說明( 27 )

之無定形矽 TFT21 至 TFT26 之組合所構成，惟也可以用無定形矽 TFT 以外之聚矽電晶體取代之。另外，也使用 n 通道型者做為構成上述移位暫存器之 TFT21 至 TFT26 之例，惟將整體設定成 p 通道型也可以。此時，各信號之高，低電平設成與 n 通道型之情形倒置即可。

上述實施形態中，雖然舉出液晶顯示裝置之閘極驅動器 152 做為移位暫存器之適用例，惟除了此型以外之顯示裝置，例如有機 EL 顯示裝置與電漿顯示板等之驅動器上也可適用。又，不僅顯示裝置，也可以做為用於驅動多個像素以縱橫配置成一定順序之指紋測感器等之光感元件 (photosensor)。此時，可以提升攝取影像之品質。此外，不僅可以當做此種驅動器使用，而且可以在資料處理裝置中用於將串聯之資料轉換成並聯之資料。

攝影區域 71 係由配置成矩陣之多個雙閘電晶體 81 所構成。雙閘電晶體 81 之上閘極 91 連接至閘極線 TGL，底閘極 92 連接至底閘極線 BGL，汲極 93 連接至汲極線 DL，源極 94 連接至有接地之接地線 GrL。攝影區域 71 之下方載置用於發出激勵雙控制極電晶體 81 之半導體之波長域之光之背照光 (back light)。

構成攝影區域 71 之雙控制極電晶體 81 在施加於上閘極 91 之電壓為 +25(V)，而施加於底閘極 92 之電壓為 0(V) 時，則儲存於由配置於上絕緣膜與半導體層之間而由氮化矽所構成之閘極絕緣膜與半導體層之空穴被排出而重置。雙控制極電晶體 81 之源極 84 與汲極 93 之間為 0(V)，而施

## 五、發明說明( 28 )

加於上閘極 91 之電壓為 -15(V)，施加於底閘極 92 之電壓成為 0(V)，而藉由入射於半導體層之光而發生之空穴一電子對中之空穴成為儲存於上述半導體層及上述閘極絕緣膜之感光狀態。在此期間所儲存之空穴量是依光量而定。

在感光(photosense)狀態中，背照光係朝著雙控制極電晶體 81 照射光線，如維持原狀，則位於雙控制極電晶體 81 之半導體層下方之底閘極 92 會擋光，所以半導體層無法產生充分之載波(Carrier)。此時，如在雙控制極電晶體 81 上方之絕緣膜上按下手指時，接觸指的凹部(相當於決定指紋形狀之槽溝)正下面之雙控制極電晶體 81 之半導體層上不太會入射在絕緣膜等被反射之光。

如上所述，如果光之入射量少而沒有充分之量之空穴儲存於半導體層內，而施加於上閘極 91 之電壓為 -15(V)，且底電極 92 之電壓成為 +10(V)時，則耗盡層(depletion layer)會擴充至半導體層，n 通道會被夾斷(pinch off)，而半導體層會成為高電阻。另一方面，在感光狀態下，手指之凸部(手指之槽與槽之間之山)之正下方之雙控制極電晶體 81 之半導體層上有被絕緣膜等反射之光入射且有足量之空穴儲存於半導體內之狀態下施加此種電壓時，被儲存之空穴會被拉近到上閘極 91 以保存，藉此在半導體層之底閘極 92 側形成 n 通道，半導體層成為低電阻。該等在讀出狀態中之半導體層之電阻值之差異成為汲極線 DL 之電位變化而顯現。

上閘極驅動器 72 係連接至攝影區域 1 之上閘極線 TGL

## 五、發明說明( 29 )

並依照來自控制器 70 之控制信號群 Tcnt 選擇性地對各上閘極線 TGL 輸出 +25(V) 或 -15(V) 之信號。上閘極驅動器 72 除了輸出信號之電平差異，其與相對應之輸入信號電平之差異以及輸出信號及輸入信號之相位之差異以外，實質上與構成第 4 圖或第 10 圖所示之閘極驅動器 152，上閘極驅動器 72，底閘極驅動器 73 之移位暫存器具有相同之構造。

底閘極驅動器 73 係連接至攝影區域 71 之底閘極線 BGL，並依照來自控制器 70 之控制信號群 Bcnt 對底閘極線 BGL 輸出 +10(V) 或 0(V) 之信號。底閘極驅動器 73 除了輸出信號之電平之差異，與其相對之輸入信號之電平之差異，以及輸出信號及輸入信號之相位差異以外，實質上與構成第 4 圖或第 10 圖所示之閘極驅動器 152，上閘極驅動器 72，底閘極驅動器 73 之移位暫存器具有相同之構造。

汲極驅動器 74 係連接至攝影區域 71 之汲極線 DL，並依來自控制信號群 Dcnt 在後述之特定期間將定電壓 (+10(V)) 輸出至所有之汲極線 DL 並使電荷預充電。汲極驅動器 74 在預充電後之一定期間中，讀出各汲極線 DL 之電位，該電位係由於在雙控制極電晶體 81 之半導體層入射或非入射光而是否形成通道而變化。

控制器 70 藉由控制信號群 Tcnt，Bcnt 分別控制上閘極驅動器 72 與底閘極驅動器 73，再由兩個驅動器 72，73 對每一行以特定之時序輸出特定電平之信號。藉此，使攝影區域 71 之各行依次呈重置狀態，感光狀態以及讀出狀態

## 五、發明說明( 30 )

。控制器 70 藉由控制信號群 Dcnt 使汲極驅動器 74 讀出汲極線 DL 之電位變化以做為影像資料 DATA 依次取進。

第 11 圖為表示應用於第 3 圖或第 10 圖之閘極驅動器 152，上閘極驅動器 72，底閘極驅動器 73 之移位暫存器之電路構造圖。如圖所示，該移位暫存器係由與顯示區域 151 之閘極線 GL 之數目相同之  $n$  個段 RS(1)至 RS( $n$ )( $n$ :偶數)所構成。

做為閘極驅動器 152 使用時，該移位暫存器中被供應時鐘信號 CK1，CK2，電源電壓 Vdd，參考電壓 Vss(<Vdd)，起動信號 Dst 及重置信號 Dend 做為來自控制器 150 之控制信號群 Gcnt。其中，電源電壓 Vdd 及參考電壓 Vss 係供應至所有之段 RS(1)至 RS( $n$ )，時鐘信號 CK1 係供應至第奇數段 RS(1)，RS(3)， $\dots$ ，RS( $n-1$ )，時鐘信號 CK2 係供應至第偶數段 RS(2)，RS(4)， $\dots$ ，RS( $n$ )，而起動信號 Dst 係僅供應至第 1 段 RS(1)，重置信號 Dsnd 係僅供應至第  $n$  數 RS( $n$ )。

各段之構造大致相同，所以如果以第 1 段 RS(1)為例說明時，該段 RS(1)與 TFT161 一樣具有由  $a$ -矽半導體所構成之 6 個 TFT1 至 TFT6。TFT1 至 6 為全部相同之通道型(在此為  $n$  通道型)之場效電晶體。

TFT1 之閘極有起動信號 Dst 之供應。TFT1 之汲極有電源電壓 Vdd 之供應。TFT1 之源極連接至 TFT2 之閘極，TFT5 之閘極，以及 TFT6 之汲極。假設以該 TFT1 之源極，TFT2 之閘極，TFT5 之閘極及 TFT6 之汲極所圍繞而連

## 五、發明說明( <sup>31</sup> )

接之配線稱為節點 A1(另外，第 2 段以後分別為 A2 至 An)。  
當開始信號 Dst 變成高電平而 TFT1 導通時，由電源電壓 Vdd 與相同電位之電壓被由源極輸出而在節點 A1 施加電壓。

TFT2 之汲極有時鐘信號 CK1 之供應，當 TFT2 導通時，時鐘信號 CK1 之電平大致上直接做為輸出信號 OUT1 輸出至由該源極起算第 1 行之閘極線 GL。另外，TFT2 之源極係連接到 TFT3 之汲極。

在 TFT4 之閘極與汲極有電源電壓之供應，而經常呈導通狀態。TFT4 之功能係做為供應電源電壓 Vdd 時之負載，係由該源極將電源電壓 Vdd 大致上直接供應至 TFT5 之汲極。TFT4 也可以 TFT 以外之電阻元件取代。TFT5 之源極有參考電壓 Vss 之供應，當 TFT5 導通時，儲存於 TFT4 之源極與 TFT5 之汲極之間之電荷被釋出而將 TFT3 之閘極電壓設成參考電壓 Vss。

TFT3 之閘極係連接到 TFT4 之源極及 TFT5 之汲極，當 TFT5 斷面時，利用 TFT4 所供應之電源電壓 Vdd 導通。當 TFT5 導通之間，儲存於 TFT4 之源極與 TFT5 之間之配線之電荷被釋出，所以 TFT3 之閘極電壓變成低電平而斷電。

TFT6 之閘極被供應下一段之第 2 段 RS(2)之輸出信號 OUT2。TFT6 之汲極係連接於節點 A1，對源極供應參考電壓 Vss。當輸出信號 OUT2 成為高電平時 TFT6 即導通，儲存於節點 A1 之電荷被釋出。

## 五、發明說明( <sup>32</sup> )

第 1 以外之第奇數段 RS(3)，RS(5)，…，RS(n-1)之構造除了在 TFT1 之閘極供應前面之段 RS(2)，RS(4)，…，RS(n-2)之輸出信號 OUT2，OUT4，…，OUT<sub>n-2</sub> 以外，與第 RS(1)相同。

第 n 以外之奇數段 RS(2)，RS(4)，…，RS(n-3)之輸出信號 OUT1，OUT3，…，OUT<sub>n-3</sub> 以及在 TFT2 之汲極有時鐘信號 CK2 之供應以外，與第 1 段 RS(1)相同。第 n 段 RS(n)之構造除了 TFT6 之閘極有重置信號 Dend 之供應以外，與其他之第偶數段 RS(2)，RS(4)，…，RS(n-2)相同。

此外，構成閘極驅動器 152，上閘極驅動器 72，底閘極驅動器 73 之移位暫存器係由 TFT1 至 6 之組合所構成，TFT1 至 6 具有與包含於顯示區 151 之 TFT161 實質上相同之構造。因此，閘極驅動器 152，底閘極驅動器 72，底閘極驅動器 73 可以在顯示區 151 之 TFT161 側之基板上以同一方法整批形成。

下面要就本實施形態之數位靜止攝影機之操作加以說明。在說明整體之操作之前，首先參照第 12 圖之計時圖說明構成上述閘極驅動器 152 之移位暫存器。當做閘極驅動器 152 使用時，各控制信號皆係由控制器 150 供應成控制信號群 Gcnt。

另外，在該計時圖中，時鐘信號 CK1，CK2，起動信號 Dst 以及重置信號 Dend 之高電平皆與電源電壓 Vdd 相等。另一方面，該等信號之低電平皆與基準電壓相等。一個掃描期間 Q 成為顯示部 210 中之一水平期間。

## 五、發明說明( 33 )

此外，在依照該計時圖開始移位動作之前(在  $T_0$  之前)，輸出信號  $OUT_1$  至  $OUT_n$  皆呈低電平。再者，在  $RS(1)$  至  $RS(n)$  之任一段中，在節點  $A_1$  至  $A_n$  皆沒有儲存電荷。且 TFT2 及 TFT5 呈導通狀態，TFT3 呈斷電狀態。

時序  $T_0$  至  $T_1$  之間，當起動信號  $Dst$  成為高電平時，第 1 段  $RS(1)$  之 TFT1 即導通，電源電壓  $V_{dd}$  即由 TFT1 之汲極輸出至源極。因此，第 1 段  $RS(1)$  之節點  $A_1$  會儲存電荷，其電位成為高電平，TFT2 及 TFT5 導通。由於 TFT5 導通，儲存於 TFT4 之源極與 TFT5 之汲極之間之電荷被放出，TFT3 斷電。在此期間中，第 1 段  $RS(1)$  之 TFT2 導通，但是時鐘信號  $CK_1$  為低電平，所以輸出信號  $OUT$  之電平仍然是低電平。

其次，在時序  $T_1$  時，當時鐘信號  $CK_1$  變化為高電平時，它即被由第 1 段  $RS(1)$  之 TFT2 之汲極輸出至源極，輸出信號  $OUT_1$  之電平變成高電平。此時，節點  $A_1$  之電位由於所謂之自舉效果(boot strap effect)，上升至電源電壓  $V_{dd}$  之 2 倍左右，達到 TFT2 之飽和閘極電壓，因此 TFT2 之汲極電流呈飽和電壓，輸出信號  $OUT_1$  之電平迅速達到與時鐘信號  $CK_1$  之高電平大致相等之電位。亦即，輸出信號  $OUT_1$  之高電平大致成為電源電壓  $V_{dd}$ 。然後，在到達時序  $T_2$  之時鐘信號  $CK_1$  上昇，輸出信號  $OUT_1$  移位至低電平。

另外，在時序  $T_1$  至  $T_2$  之期間中，由於變成高電平之第 1 段  $RS(1)$  之輸出信號  $OUT_1$ ，第 2 段  $RS(2)$  之 TFT1 導通。

## 五、發明說明( 34)

藉此，由第 2 段 RS(2)之 TFT1 之源極輸出電源電壓  $V_{dd}$ ，節點 A2 之電位變成高電平，第 2 段 RS(2)之 TFT2 及 TFT5 導通，TFT3 斷電。

接著，在時序 T2 時，當時鐘信號 CK2 變成高電平時，它即被由第 2 段 RS(2)之 TFT2 之汲極輸出至源極，而輸出信號 OUT2 之電平變成高電平。因此，變成第 1 段 RS(1)之 TFT6 導通，而儲存於節點 A1 之電荷經由 TFT6 釋出而成爲參考電壓  $V_{ss}$ ，因此，輸出信號 OUT1 維持低電平狀態，且隨之第 1 段 RS(1)之 TFT2 及 TFT5 斷電，而 TFT3 導通。因此，輸出信號 OUT1 之電位確實成爲參考電壓  $V_{ss}$ ，且此種狀態至少持續至時序  $T_{n+1}$ 。此後，在到達時序 T3 之間，時鐘信號 CK2 下降時，輸出信號 OUT2 變成低電平。

另外，在時序 T3 時，時鐘信號 CK1 變成高電平時，它即被由第 3 段 RS(3)之 TFT2 之汲極輸出至源極，而輸出信號 OUT3 之電平即變成高電平。因此輪到第 2 段 RS(2)之 TFT6 導通，而儲存於節點 A2 之電荷不致經由第 2 段 RS(2)之 TFT1 及第 1 段 RS(1)之 TFT3，而是經由 TFT6 而被放出而成爲參考電壓  $V_{ss}$ ，所以輸出信號 OUT1 維持低電平狀態，又隨著，第 2 段 RS(2)之 TFT2 及 TFT5 斷電而 TFT3 導通。亦即在第 2 段 RS(2)，TFT2 之閘極電壓成爲低電平且 TFT3 導通，所以輸出信號 OUT2 之電位確實成爲參考電壓  $V_{ss}$ ，此種狀態至少持續至時序  $T_{n+1}$ 。接著，到達時序 T3 之間，時鐘信號 CK1 一下降，輸出信號 OUT3 即變

## 五、發明說明( 35)

成低電平。

又在時序 T3 至 T4 之期間中，由於成為高電平之第 3 段 RS(3)之輸出信號 OUT3，第 4 段 RS(4)之 TFT1 導通。因此，由第 4 段 RS(4)之 TFT1 之源極會輸出電源電壓 Vdd，以致節點 A4 之電位變成高電平，第 4 段 RS(4)之 TFT2 及 TFT5 導通而 TFT3 斷電。

接著，第 4 以後之段 RS(4)，RS(5)，…在每一個掃描期間重複與上述相同之操作，因此，輸出信號 OUT4，OUT5，…在一個掃描期間 Q 內之每一特定期間變化成高電平。而且在時序 Tn-1 至 Tn 之期間中，藉由變成高電平之第 n-1 段 RS(n-1)，輸出信號 OUTn-1，使第 n 段 RS(n)之 TFT1 導通。因此，由於從第 n 段 RS(n)之 TFT1 之源極輸出電源電壓 Vdd，節點 An 之電位即變成高電平，而第 n 段 RS(n)之 TFT2 及 TFT5 導通而 TFT3 斷電。

接著，在時序 Tn 時，當時鐘信號 CK2 變成高電平時，它即由第 n 段 RS(n)之 TFT2 之汲極輸出至源極，而輸出信號 OUTn 之電平即變成高電平。然後，直到時序 Tn+1 之間，時鐘信號 CK2 一下降，輸出信號 OUTn 即變成低電平。

而且，在時序 Tn+1 時，輪到重置信號 Dend 之電平變成高電平。因此，第 n 段 RS(n)之 TFT1 導通而使儲存於節點 A2 之電荷被放出，第 2 段 RS(2)之 TFT2 及 TFT5 斷電，而 TFT3 導通。接著在被供應高電平之起動信號 Dst 之前之期間中，在段 RS(1)至 RS(n)之任一段中，其節點 A1 至 An 皆未儲存電荷，TFT2 及 TFT5 維持導通狀態，而 TFT3 則

## 五、發明說明( 36)

維持斷電狀態。

如上所述，在輸出信號由第 1 段 RS(1)移位至第 n 段 RS(n)之間，一個 TFT1 之閘極，汲極及源極之電位如何變化一事，以第 3 段 RS(3)之 TFT1 為例加以說明。第 12 圖之下三段表示第 3 段 RS(3)之 TFT1 之源極，汲極及源極之電位電平之變化。

如圖所示，TFT1 之閘極電壓只有在時序 T2 至 T3 之期間中第 2 段 RS(2)之輸出信號 OUT2 成為高電平時，才成為高電平(大約 Vdd)。在 TFT1 之汲極中，一直被供應電源電壓 Vdd，所以汲極電壓一直為電源電壓 Vdd。TFT1 之源極電壓在時序 T2 時節點 A3 一儲存電荷時，其電壓電平變成比 Vdd 低其定限電壓。在時序 T3 至 T4 之期間中，時鐘信號 CK1 成為高電平時，由於前述之自舉效果，會成為電源電壓 Vdd 之 2 倍左右之電平。在時序 4 時第 4 段 RS(4)之輸出電壓變成高電平以後，再變成低電平。

如上所述，在移位暫存器之一次掃描之第 k 段 RS(k)之 TFT1 之閘極電壓至少在起動信號 Dst 或前一段之輸出信號 OUTk-1 一度成為高電平狀態以外，始終在低電平(參考電壓)，因此，各 TFT1 之閘極電壓對汲極電壓及源極電壓之較低一邊相對地變成正之期間中，時鐘信號 CK1，CK2，起動信號 Dst 及重置信號 Dend 之高電平電壓與電源電壓 Vdd 皆相等，且低電平電壓等於參考電壓 Vss 時，時鐘信號 CK1 或 CK2 只是有一度在高電平之期間而已。

另外，時鐘信號 CK1，CK2，起動信號 Dst 及重置信號

## 五、發明說明( 37)

Dend 之高電平電壓比以 TFT1 之閘極—汲極間之寄生電容衰減之電壓，例如時序 T3 至 T4 期間之節點 A3 之電位為低時，TFT1 之閘極電壓始終比源極電壓及汲極電壓為低。因此，朝第 k 段 RS(k)之 TFT1 之閘極定向電壓之正向之移位得以抑制。

如上說明，在本實施形態中，構成閘極驅動器 152 之移位暫存器之各段之 TFT1 之閘極電壓相對於汲極及源極電壓變成正之期間短。在 TFT 之特性上，當閘極對於汲極及源極電壓相對地變成正時，該定向特性係容易偏向正向移位，惟即使閘極電壓對汲極及源極電壓相對地變生負時，其定限特性不太會向負向移位。

換言之，本實施形態之移位暫存器即使長時間使用，其 TFT1 之特性也不易變化，因此不容易發生 TFT1 在本來應導通之時序時不導通而無法在節點 A1 至 An 儲存電荷之情形。因此，可以長時間穩定操作，成為耐久性高之裝置。

此外，使用該移位暫存器做為閘極驅動器 152 之顯示部 210 之故障當然變少，包含該暫存器之數位靜止攝影機之耐用性亦提升。

在本實施形態中，應用於構成顯示部 210 之液晶顯示裝置之閘極驅動器 152 具有第 11 圖所示之構造，係由自控制器 150 所輸出之控制信號，依照第 12 圖所示之計時圖操作之移位暫存器所構成。惟可做為上述閘極驅動器 152 使用於移位暫存器並不侷限於此。

第 13 圖為表示可使用為閘極驅動器 152，上閘極驅動器

## 五、發明說明( 38)

72，底閘極驅動器 73 之其他移位暫存器之電路構造圖。如就與第 11 圖所示之移位暫存器之差異加以說明，即在 TFT1 之汲極中，於第奇數段 RS(1)，RS(3)， $\dots$ ，RS(n-1) 有時鐘信號 CK1 之供應，在第偶數段 RS(2)，RS(4)， $\dots$ ，RS(n) 則有時鐘信號 CK2 之供應。時鐘信號 CK1，CK2，起動信號 Dst 及重置信號 Dend 之高電平電壓皆等於電源電壓 Vdd，而低電平電壓皆等於參考電壓 Vss。

其次，要參照第 14 圖之計時圖就第 13 圖之移位暫存器之操作與第 11 圖之移位暫存器之差異加以說明。在時序 T0 至 T1 之期間中，起動信號 Dst 變成高電平，當第 1 段 RS(1) 之 TFT1 導通時，供應予該 TFT1 之汲極之時鐘信號 CK2 變成高電平，而在節點 A1 儲存電荷。

在時序 T1 至 T2 之期間中，第 1 段 RS(1) 之輸出信號 OUT1 變成高電平，而當第 2 段 RS(2) 之 TFT1 導通時，供應予該 TFT1 之汲極之時鐘信號 CK1 變成高電平，而在節點 A2 之儲存電荷。然後，同樣地，在時序 Tn-1 至 Tn 之期間中，第 n-1 段 RS(n-1) 之輸出信號 OUTn-1 變成高電平，當第 n 段 RS(n) 之 TFT1 導通時，供應予該 TFT1 之汲極之時鐘信號 CK2 變成高電平，而在節點 An 儲存電荷。

如第 14 圖下三段所示，茲以第 3 段 RS(3) 為例說明在該移位暫存器中 TFT1 之閘極，汲極及源極之電位電平之變化，即只有在時序 T2 至 T3 之期間中，第 2 段 RS(2) 之輸出信號 OUT2 變成高電平時，才成為高電平(約為 Vdd)。汲極電壓只有在時鐘信號 CK2 變成高電平時成為高電平(

## 五、發明說明( 39)

約為  $V_{dd}$ )。源極電壓在時序 T2 時節點儲存電荷時，成為比  $V_{dd}$  僅減去定限電壓之低電壓電平，在時序 T3 至 T4 之期間中，時鐘信號 CK1 變成高電平之間，變成電源電壓  $V_{dd}$  之 2 倍左右之電平。

在此，如果 TFT1 之汲極電壓比閘極電壓為高之期間相當長時，閘極定限電壓有移位至負側，而由於斷電時之漏電流(leak current)節點 A 之電位上升而引起錯誤動作之虞，惟在本移位暫存器中，TFT1 之汲極電位呈高電平之期間會比第 11 圖所示之移位暫存器短。亦即在 TFT1 之閘極-汲極及源極-汲極間發生電位差之期間短。因此，施加於 TFT1 之電壓應力(voltage stress)比第 11 圖所示之移位暫存器小，漏電流也少，不易惡化 TFT1 之元件特性，所以即使長期使用也不易發生故障。

第 15 圖表示可使用為閘極驅動器 152，上閘極驅動器 72，底閘極驅動器 73 之再其他之移位暫存器之電路構造圖。如針對與第 11 圖所示之移位暫存器之差異加以說明，即有電壓信號 V1 之供應。電壓信號 V1 之高電平雖比電源電壓  $V_{dd}$  之電平為低，但是卻可以儲存足以對節點 A1 至 An 導通 TFT2 及 TFT5 之電荷之程度之電平。另一方面，低電平與參考電壓  $V_{ss}$  相同。時鐘信號 CK1，CK2，起動信號 Dst 及重置信號 Dend 之高電平電壓與電源電壓  $V_{dd}$  相等，低電平等於參考電壓  $V_{ss}$ 。

下面要針對第 15 圖之移位暫存器之操作與第 11 圖之移位暫存器之差異參照第 16 圖之計時圖加以說明。依據該

## 五、發明說明( 40)

計時圖動作中，電壓信號 V1 係始終維持於高電平中。

在時序 T0 至 T1 之期間中，起動信號 Dst 變成高電平，第 1 段 RS(1)之 TFT1 導通時，電壓信號 V1 由該 TFT1 之汲極輸出至源極，並在節點 A1 儲存電荷。此時，節點 A1 之電位比低於電源電壓 Vdd 之電壓信號 V1 還低 TFT1 之定限電壓，但 TFT2 及 TFT5 之定限電壓變高。因此，第 1 段 RS(1)之 TFT2 及 TFT5 導通，而 TFT3 斷電。而在時序 T1 時時鐘信號 CK1 上升，輸出信號 OUT1 之電平變成高電平。

以下，同樣地，在時序 Tn-1 至 Tn 之期間中，第 n-1 段 RS(n-1)之輸出信號 OUTn-1 變成高電平，第 n 段 RS(n)之 TFT1 導通。因此，在節點 An 儲存比電壓信號 V1 僅再低 TFT1 之定限電壓之電位之電荷，而第 n 段 RS(n)之 TFT2 及 TFT5 導通，TFT3 斷電。而且在時序 Tn 時，時鐘信號 CK2 上升，而輸出信號 OUTn 之電平變成高電平。

茲針對在該移位暫存器中，1 個 TFT1 之閘極，汲極及源極之電位如何變化，參照第 16 圖之下三段，以第 3 段 RS(3)之 TFT1 為例加以說明。如圖所示，TFT1 之閘極電壓只有在時序 T2 至 T3 之期間，第 2 段 RS(2)之輸出信號 OUT2 變成高電平時才成為大致等於電源電壓 Vdd 之電平。

TFT1 之汲極電壓係維持於電壓信號 V1 之電平，亦即比電源電壓 Vdd 低若干之電平。TFT1 之源極電壓係於時序 T2 時，在節點儲存電荷時成為僅比電壓信號 V1 低其定限電壓之電壓電平，而在時序 T3 至 T4 之期間中時鐘信號

## 五、發明說明( 41)

CK1 變成高電平時，變成僅比其高出約電源電壓  $V_{dd}$  之電平。

亦即，此時之 TFT1 之源極電壓雖然比電源電壓  $V_{dd}$  高出若干，但比電源電壓  $V_{dd}$  之 2 倍電壓相比變成相當低之電平。因此，在 TFT1，閘極在截止電平時之閘極-汲極間之電位差較小，且源極電壓為最大時之閘極-源極間之電位變小。同樣地，TFT2 之閘極電壓，TFT5 之閘極電壓及 TFT6 之汲極電壓並未變得如第 11 圖之移位暫存器之情形之大。因此，對 TFT1、2、5、6 不致施加大的電壓應力，相較於第 11 圖之移位暫存器，TFT1、2、5、6 之元件特性不易惡化，因此即使長期間使用也不易發生故障。

第 15 圖之移位暫存器也可以依照第 17 圖之計時圖操作。根據該計時圖進行之操作中，電壓信號 V1 只有在時鐘信號 CK1 或 CK2 之任一邊變成高電平之期間中，變化成高電平。茲針對依據該計時圖進行之操作，與依據第 16 圖之計時圖進行之操作之差異加以說明。

只有在時序 T0 至 T1 之期間中，起動信號 Dst 成為高電平時，電壓信號 V1 才成為高電平且在節點 A1 儲存電荷。只有在時序 T1 至 T2 之期間中，輸出信號 OUT1 成為高電平時電壓信號 V1 才成為高電平而節點 2 會儲存電荷。以後，同樣地，在時序 Tn-1 至 Tn 之期間中，只有輸出信號 OUTn-1 成為高電平時，電壓信號 V1 才成為高電平而節點 An 會儲存電荷。

利用此操作時，如在第 17 圖之下面三段以第 3RS(1)為

## 五、發明說明( 42)

例所示，TFT1 之閘極-汲極及源極-汲極間發生電位差之時間比利用第 16 圖之操作時為短，且施加於 TFT1 之電壓應力小。因此，比利用第 16 圖之操作時 TFT1 之元件特性不易惡化，長期間使用也不易發生故障。

第 18 圖為表示可能使用為閘極驅動器 152，上閘極驅動器 72，底閘極驅動器 73 之再一其他移位暫存器之電路構造圖。茲就與第 13 圖所示之移位暫存器之差異加以說明。即在 TFT1 之汲極之第奇數段 RS(1)，RS(3)， $\dots$ ，RS(n-1)有時鐘信號 CK1'之供應，而在第偶數段 RS(2)，RS(4)， $\dots$ ，RS(n)有時鐘信號 CK2'之供給。時鐘信號 CK1'及 CK2'之高電平比電源電壓 Vdd 之電平為低，但是其具有在節點 A1 至 An 儲存足以導通 TFT2 與 TFT5 之程度之電平。

其次要針對第 18 圖之移位暫存器之操作，參照第 19 圖之計時圖說明其與第 13 圖所示之移位暫存器之差異。在時序 T0 至 T1 時，起動信號 Dst 變成高電平時，時鐘信號 CK2'變成高電平而在節點 A1 儲存電荷。在時序 T1 至 T2 時，輸出信號 OUT1 變成高電平時，時鐘信號 CK1'變成高電平而在節點 A2 儲存電荷。接著，同樣地，在時序 Tn-1 至 Tn 時，輸出信號 OUTn-1 變成高電平時，時鐘信號 CK1'變成高電平而在節點 An 儲存電荷。

如第 13 圖之下面三段以第 3 段 RS(3)之，各 TFT1 之源極電壓即使變成最大電平時，雖然比電源電壓 Vdd 高出若干，但與電源電壓 Vdd 之二倍電壓相比尚屬相當低之電平。同樣地，TFT2 之閘極電壓、TFT5 之閘極電壓及 TFT6

## 五、發明說明( <sup>43</sup> )

之汲極電壓也不致於大到第 13 圖之移位暫存器之情形。因此，不至於對 TFT1，2，5，6 施加大的電壓應力。另外，與第 15 圖之移位暫存器相比，在 TFT1 之閘極-汲極間與源極-汲極間產生電位差之期間不長。與第 13 圖與第 15 圖之移位暫存器相比，TFT1，2，5，6 之元件特性不易惡化，因此即使長期間使用也不易發生故障。

### [第 2 實施形態]

本實施形態有關之數位靜止攝影機與第 1 實施形態所示者大致相同，但是以具有第 2 圖虛線所示之角度感測器 (angle sensor) 240 一點有其差異。又，做為顯示部 210 之閘極驅動器 152 使用之移位暫存器與第 1 實施形態者不同，係使用可將輸出信號正向與反向移位者。另外，與此相配合地，由控制器 150 輸出做為控制信號群 Gcnt 之信號亦有若干之差異。

角度感測器 240 係用於檢測透鏡單元部 202 對攝影機本體部 201 之角度。角度感測器 240 之檢測信號被輸入 CPU222，而 CPU222 依據該檢測信號將表示顯示掃描方向 (使用做為閘極驅動器 152 之移位暫存器之移位操作方向) 為正向或反向之控制信號傳送至顯示部 210。

第 20 圖為表示本實施形態中，做為閘極驅動器 152 使用之移位暫存器之電路構造圖。該移位暫存器也由與顯示區 151 之閘極線 GL 之數目相同之 n 個段 RS(1)至 RS(n)所構成，段 RS(1)至 RS(n)之每一段如同第 11 圖所示之移位暫存器一樣係由 6 個 TFT1 至 6 所構成。在此，TFT1 至 6

## 五、發明說明( 44)

皆為  $n$  通道型之場效電晶體。

第 20 圖所示之移位暫存器與第 11 圖所示者不同之部分是：在各段 RS(1)至 RS(n)之 TFT1 之汲極有電壓信號 V1 之供應以取代電源電壓 Vdd 之供應。在各段 RS(1)至 RS(n)之 TFT6 之源極有電壓信號 V2 之供應以取代參考電壓 Vss。

在第 1 段 RS(1)之 TFT1 之閘極有控制信號 D1 之供應以取代起動信號 Dst。在第  $n$  段 RS(n)之 TFT6 之閘極有控制信號 D2 之供應以取代重置信號 Dend。電壓信號 V1, V2 在正向操作及反向操作時有不同之電平，另外，控制信號 D1, D2 在正向操作時與反向操作時會成為高電平之時序 (Timing)不同。

以下針對本實施形態之數位靜止攝影機之操作加以說明。首先，要就構成上述閘極驅動器 152 之移位暫存器之動作，分成正向移位之情形及反向移位之情形，參照第 21 圖與第 22 圖之計時圖加以說明。

此外，在該等計時圖中，時鐘信號 CK1, CK2, 電壓信號 V1, V2, 控制信號 D1, D2 之高電平皆與電源電壓 Vdd 相等。另一方面，該等信號之低電平皆與基準電壓 Vss 相等。一個掃瞄期間 Q 即為在顯示部 210 之一個水平期間。

另外，在依照該等計時圖開始移位時之前(T0 之前)，輸出信號 OUT1 至 OUTn 皆成為低電平。另外，在段 RS(1)至 RS(n)之任一段，在節點 A1 至 An 皆未儲存電荷，而 TFT2 及 TFT5 呈導通狀態，TFT3 呈斷電狀態。

## 五、發明說明( <sup>45</sup> )

第 21 圖為表示向正向移位時之操作計時圖。此時，電壓信號 V1 之電平被維持於與電源電壓 Vdd 相等之高電平，而電壓信號 V2 之電平被維持於與基準電壓 Vss 相等之低電平。另外，控制信號 D1 只有在時序 T0 至 T1 之時之特定期間內成為高電平。控制信號 D2 則只有在時序 Tn 至時序 Tn+1 之特定期間內成為高電平。

亦即，在第 1 實施形態中，如將控制信號 D1 取代以起動信號 Dst，將控制信號 D2 取代以重置信號 Dend，即變成以第 12 圖之計時圖說明之移位暫存器之操作相同。因此，在一個掃描期間 Q 中之每特定期中，輸出信號 OUT1 至 OUTn 依次成為高電平而移位。

另一方面，第 22 圖為表示向反向移位時之操作計時圖。此時，電壓信號 V 之電平被維持於與基準電壓 Vss 相等之低電平，而電壓信號 V2 之電平則被維持於與電源電壓 Vdd 相等之高電平。另外，控制信號 D2 只有在時序 T0 至 T1 之間之特定期間成為高電平。控制信號 D1 則只有在時序 Tn 至時序 Tn+1 之特定期間成為高電平。

在時序 T0 至 T1 之間，當控制信號 D2 成為高電平時，第 n 段 RS(n) 之 TFT6 導通，高電平之電壓信號 V2 由 TFT6 之源極輸出至汲極。因此，在第 n 段 RS(n) 之節點 An 儲存電荷，TFT2 及 TFT5 導通，TFT3 斷電。在此期間，第 n 段 RS(n) 之 TFT2 會導通，但是因為時鐘信號 CK2 為低電平，所以輸出信號 OUT2 之電平仍然為低電平。

接著，在時序 T1 時，時鐘信號 CK2 變成高電平時，它

## 五、發明說明( 46)

即由第  $n$  段  $RS(n)$  之 TFT2 之汲極輸出至源極，而輸出信號  $OUT_n$  之電平變成高電平。然後，在到達時序  $T2$  之間時鐘信號  $CK2$  上升時，輸出信號  $OUT_n$  即成為低電平。

又，在時序  $T1$  至  $T2$  之期間中，藉由成為高電平之第  $n$  段  $RS(n)$  之輸出信號  $OUT_n$  使第  $n-1$  段  $RS(n-1)$  之 TFT6 導通。因此，由第  $n-1$  段  $RS(n-1)$  之 TFT6 之汲極輸出高電平之電壓信號  $V2$ ，俾節點  $A_{n-1}$  之電位變成高電平，第  $n-1$  段  $RS(n-1)$  之 TFT2 及 TFT5 導通，TFT3 斷電。

其次，在時序  $T2$  時，時鐘信號  $CK1$  變成高電平時，它即被由第  $n-1$  段  $RS(n-1)$  之 TFT2 之汲極輸出至源極，而輸出信號  $OUT_{n-1}$  之電平變為高電平。因此，輪到第  $n$  段  $RS(n)$  之 TFT1 導通，而儲存於節點  $A_n$  之電荷被輸出，第  $n$  段  $RS(n)$  之 TFT2 及 TFT5 斷電，而 TFT3 導通。然後，到達時序  $T3$  之時時鐘信號  $CK1$  上升時，輸出信號  $OUT_{n-1}$  變成低電平。

又，在時序  $T1$  至  $T2$  之期間中，藉由變成高電平之第  $n-1$  段  $RS(n-1)$  之輸出信號  $OUT_{n-1}$  使第  $n-2$  段  $RS(n-2)$  之 TFT6 導通。因此，由第  $n-2$  段  $RS(n-2)$  之 TFT6 之汲極輸出高電平之電壓信號  $V2$  而使節點  $A_{n-2}$  之電位變成高電平，第  $n-2$  段  $RS(n-2)$  之 TFT2 及 TFT5 導通，TFT3 斷電。

接著，隨著第  $n-2$  以前之段  $RS(n-2)$ ， $RS(n-3)$ ， $\cdots$  朝前面之段之方向在每一掃描期間  $Q$  重複與上述相同之操作，輸出信號  $OUT_{n-2}$ ， $OUT_{n-3}$ ， $\cdots$  在每一掃描期間  $Q$  中之每一特定期間內變化成高電平。而且，在時序  $T_{n-1}$  至  $T_n$  之期

## 五、發明說明( <sup>47</sup> )

間中，藉由變成高電平之第 2 段 RS(2)之輸出信號 OUT2 使第 1 段 RS(1)之 TFT6 導通。因此，在第 1 段 RS(1)之節點 A1 儲存電荷，而 TFT2 及 TFT5 導通，TFT3 斷電。

其次，在時序 T<sub>n</sub> 時，時鐘信號 CK1 變成高電平時，它即被由第 1 段 RS(1)之 TFT2 之汲極輸出至源極，輸出信號 OUT1 之電平變成高電平。然後，到達時序 T<sub>n+1</sub> 之間，時鐘信號 CK1 下降時，輸出信號 OUT1 變成低電平。

而到了時序 T<sub>n+1</sub> 時，輪到控制信號 D1 之電平變成高電平。因此，在第 1 段 RS(1)之 TFT1 導通時，儲存於節點 A1 之電荷被釋放，第 2 段 RS(2)之 TFT2 及 TFT5 斷電，而 TFT3 導通。而且，在控制信號 D2 變化到高電平之間，在段 RS(1)至 RS(n)之任何一段中，在節點 A1 至 A<sub>n</sub> 皆無儲存電荷，TFT2 及 TFT5 保持導通狀態，而 TFT3 保持斷電之狀態。

其次，要說明本實施形態之數位靜止攝影機整體之操作，但是除了下述之點之外，與第 1 實施形態相同。與第 1 實施形態之不同在於：角度感測器 240 係用於檢測透鏡單元部 202 對攝影機本體部 201 之角度，並將檢測信號輸入到 CPU222。於是，CPU222 將被輸入之檢測信號相對應之控制信號供應至顯示部 210。

在顯示部 210，控制器 150 將供應給閘極驅動器 152 做為控制信號群 G<sub>cnt</sub> 之控制信號 D1，D2 及電壓信號 V1，V2 切換俾用於表示透鏡單元部 202 之攝影透鏡 202a 位於顯示部 210 之反對側之控制信號被 CPU222 供應時，變成

## 五、發明說明( 48 )

正向移位。表示攝影透鏡 202a 位於顯示部旁邊之控制信號被由 CPU222 供應時，切換供應給閘極驅動器 152 做為控制信號群 Gcnt 之控制信號 D1，D2 及電壓信號 V1，V2 俾成為反向移位。

以下要就利用本實施形態之數位靜止攝影機時之操作，特別是透鏡單元部 202 之方向與顯示部 210 所顯示之影像之關係，舉出具體例加以說明。在此，假設將模式設定鍵 212a 設定於錄像模式，並假設 CPU 係依角度感測器 240 之檢測信號，將用於改變顯示區 151 之掃描方向(構成閘極驅動器 152 之移位暫存器之移位方向)之控制信號傳送至顯示部 210。

首先，如第 23A 圖所示，要就攝取由攝影者所看之正面之物體影像時之數位靜止攝影機之操作加以說明。此時，攝影者將透鏡單元部 202 轉動俾來到對攝影機本體部 201 零度之位置，使透鏡單元部 202 之攝影透鏡 202a 來到攝影機本體部 201 之顯示部 210 同一邊，以進行攝影。此時，由閘極驅動器 152 所驅動之顯示區 151 之掃描方向為正向。

如第 23A 圖所示，在此狀態下，顯示區 151 之像素 P(1,1)至 P(n,m)之配置與顯示區 151 之本來之上下左右之方向相一致。另外，透鏡單元部 202 之上下左右方向與影像之本來之上下左右方向相一致。此時，依照由攝影透鏡 202a 成像之影像，由第 23A 圖之左方向右方水平掃描，再由上方向下方垂直掃描，使電壓信號由 CCD 攝影裝置

## 五、發明說明( 49 )

220 之各像素輸出，相對應之影像資料擴展於 RAM224 之 VRAM 區域。

另一方面，在顯示部 210 中，沿著第 23B 圖所示之水平方向之箭號方向，擴展之影像資料被收回，在一個水平期間中，輸出至顯示區 151 之第 1 至第 n 條汲極線 DL 中。另外，閘極驅動器 152 以顯示區 151 之第 1 至第 n 之順序(在第 23B 圖為由上而下之順序)依次選擇閘極線 GL。

如此一來，在 CCD 攝影裝置 220 上，與本來由上面像素所輸出之信號相對應之影像資料被顯示於顯示區 151 之本來在上面之像素(第 23B 圖之上側)，而在 CCD 攝影裝置 220 上與本來由左邊像素所輸出之信號相對應之影像資料則顯示於顯示區 151 之本來在左邊之像素(第 23B 圖之左側)，而如第 23B 圖所示，與攝得之影像同一方向之影像被顯示出來。

其次，如第 24A 圖所示，要就例如像攝影者本身當做被攝體時在顯示部 210 旁邊時，攝取影像時之數位靜止攝影機之操作加以說明。此時攝影者將透鏡單元部 202 轉動俾來到對攝影機本體部 201 略呈 180 度之位置，俾將透鏡單元部 202 之攝影透鏡 202a 來到攝影機本體部 201 之顯示部 210 之相反側以進行影像之攝影。此時藉由閘極驅動器 152 之顯示區 151 之掃描方向成為反向。

在此種狀態下，如第 24 圖所示，顯示區 151 之像素 P(1,1)至 P(n,m)之配置與顯示區 151 之本來之上下左右之方向相反。另外，透鏡單元部 202 之上下左右方向與影像

## 五、發明說明( 50 )

之上下左右相一致。此時，依照攝影透鏡 202a 所成像之影像，由第 24A 圖之右邊向左邊水平掃瞄，由上方向下方垂直掃瞄，使電信號由 CCD 攝影裝置 220 之各像素輸出，相對應之影像資料擴展於 RAM224 之 VRAM 區域。

另一方面在顯示部 210 中，沿著第 24B 圖所示之水平方向之箭號方向，被擴展之影像資料被取進，而在一個水平期間中被由顯示區 151 之第 1 汲極線輸出到第 m 個汲極線 DL。另外閘驅動器 152 由顯示區 151 之第 1 至第 n 之順序依次選擇閘極線 GL。

如此一來，在 CCD 攝影裝置 220 上與本來由上面之像素所輸出之信號相對應之影像資料變成顯示於顯示區 151 之本來在下面之像素(第 24B 圖之下邊)，而在 CCD 攝影裝置 220 之與本來在左邊之像素所輸出之信號相對應之影像資料變成顯示於顯示區 151 之本來在左邊之像素(第 24B 圖之右邊)，而如第 24B 圖所示，所攝取影像相對之鏡面影像被顯示出來。

如上所述，在做為本實施形態之數位靜止攝影機之閘極驅動器 152 之移位暫存器在正向操作法，TFT1 之功能為當做節點 A1 至 An 儲存電荷之電晶體之用，而 TFT6 之功能在當做放出所儲存之電荷之電晶體之用。另一方面，在反向操作時，TFT1 之功能在當做用於放出儲存於節點 A1 至 An 之電荷之電晶體，而 TFT6 之功能在當做儲存電荷之電晶體。

TFT1，6 因為可以授予此種功能，因此，構成各段 RS(1)

## 五、發明說明( <sup>51</sup> )

至 RS(n)之值 TFT1 至 6 之數目可以設成與在第 1 實施形態當做閘極驅動器 152 使用之移位暫存器相同。因此，與第 1 實施形態者相比，面積不會比它大，即使將閘極驅動器 152 形成於顯示區 151 之相同基板上影像顯示區域之相對面積也不致變小。

另外，藉由使用可以向正向與反向之兩方向移位動作之移位暫存器，只要控制對控制器 150 至閘極驅動器 152 供應之控制信號群 Gcnt，即可於顯示部 210 上顯示以 CCD 攝影裝置 220 攝取之影像之鏡面影像。亦即，在本實施形態之數位靜止攝影機，為讀出擴展於 VRAM 區域之影像資料，不必進行複雜之控制以讀出擴展到 VRAM 區域之影像資料，也可以將鏡面影像顯示於顯示部 210 上面。

在本實施形態中，閘極驅動器 152 具有第 20 圖所示之構造，係利用由控制器 150 所輸出之控制信號，依據第 21 圖或第 22 圖所示之計時圖 150 而操作之移位暫存器所構成。惟在本實施形態中，可使用為閘極驅動器 152 之移位暫存器之驅動方法並不侷限於此，移位暫存器之構造也不限定於此。

第 25 圖，第 26 圖為表示第 20 圖所示之移位暫存器之其他操作之計時圖。進行正向時，如第 25 圖所示，電壓信號 V2 被維持於低電平與第 21 圖之情形相同，但是電壓信號 V1 只有在時鐘信號 CK1 或 CK2 變成高電平時才變成高電平。例如，在時序 T0 至 T1 之期間中，控制信號 D1 變成高電平時，時鐘信號 CK1 也變成高電平，而第 1 段

## 五、發明說明( 52)

RS(1)之 TFT1 導通在節點 A1 儲存電荷。

另一方面反向操作時，如第 26 圖所示，電壓信號 V1 保持於低電平雖然與第 22 圖之情形相同，但是電壓信號 V2 只有在時鐘信號 CK1 或 CK2 變成高電平時才成為高電平。例如，在時序 T0 至 T1 之期間中，控制信號 D2 成為高電平時，時鐘信號 CK2 也成高電平，第 n 段 RS(n)之 TFT1 導通，並在節點 A<sub>n</sub> 儲存電荷。

在以上之情形下，在 TFT1 及 TFT6 之各閘極-汲極間與源極-汲極間發生電位差之時間相較於依第 21 圖，第 22 圖操作之情形為短。因此，可以降低 TFT1 及 TFT6 所受之電壓應力，不易發生特性之惡化，而可以耐受長期間之使用。

第 27 圖為表示在本實施形態中可做為閘極驅動器 152 使用之其他移位暫存器之電路構造圖。該圖與第 20 圖所示之移位暫存器不同之處在：於第奇數段 RS(1)，RS(3)，…，RS(n-1)中，對 TFT1 之汲極有電壓信號 V2 之供應，而對 TFT6 之源極有電壓信號 V1 之供應。在第偶數段 RS(2)，RS(4)，…，RS(n)，對 TFT1 之汲極有電壓信號 V1 之供應，對 TFT6 之源極有電壓信號 V2 之供應。

其次，要參照第 28 圖，第 29 圖說明第 27 圖之移位暫存器之操作。正向操作時，在時序 T0 至 T1 之期間中，控制信號 D1 變成高電平時，第 1 段 RS(1)之 TFT1 導通，因變成高電平之電壓信號 V2 使電荷儲存於節點 A1。在時序 T1 至 T2 之期間中，當時鐘信號 CK1 變成高電平時，第 1

## 五、發明說明( 53)

段 RS(1)之輸出信號 OUT1 變成高電平。因此，第 2 段 RS(2)之 TFT1 導通，因為變成高電平之電壓信號 V1 以致電荷儲存於節點 A2。

在後續之時序 T2 至 T3 之期間中，時鐘信號 CK2 變成高電平時，第 2 段 RS(2)之輸出信號 OUT2 即變成高電平。藉此，第 3 段 RS(3)之 TFT1 導通，因為變成高電平之電壓信號 V2 而使電荷儲存於節點 A3。另外，由於成為高電平之輸出信號 OUT2，第 1 段 RS(1)之 TFT6 導通。此時，因為電壓信號 V1 變成低電平，所以儲存於節點 A1 之電荷被放出。

接著，同樣地，在時序 Tn 至 Tn+1 之期間中，當時鐘信號 CK2 成為高電平時，第 n 段 RS(n)之輸出信號 OUTn 即變成高電平。因此，第 n-1 段 RS(n-1)之 TFT6 導通，電壓信號 V1 變成低電平，因而儲存於節點 An-1 之電荷被放出。而且變成時序 Tn+1 時，控制信號 D2 變成高電平，而第 n 段 RS(n)之 TFT6 導通。此時，因為電壓信號 V2 變成低電平，所以儲存於節點 An 之電荷被放出。

另一方面，反向操作時，在時序 T0 至 T1 之間，控制信號 D2 變成高電平，第 n 段 RS(n)之 TFT6 導通，因為變成高電平之電壓信號 V2 以致電荷被儲存於節點 An。在時序 T1 至 T2 之期間中，時鐘信號 CK2 變成高電平時，第 n 段 RS(n)之輸出信號 OUTn 變成高電平。因此，第 n-1 段 RS(n-1)之 TFT6 導通，由於變成高電平之電壓信號 V2，在節點 An-1 儲存電荷。

## 五、發明說明( 54 )

在後續之時序 T2 至 R3 之期間中，時鐘信號 CK1 變成高電平時，第 n-1 段 RS(n-1)之輸出信號 OUTn-1 變成高電平。因此，第 n 段 RS(n)之 TFT1 導通，而電壓信號 V1 變成低電平，以致於儲存於節點 An 之電荷被放出。

接著相同地，在時序 Tn 至 Tn-1 之期間中，時鐘信號 CK1 變成高電平時，第 1 段 RS(1)之輸出信號 OUT1 變成高電平。因此，第 2 段 RS(2)之 TFT1 導通，電壓信號 V1 變成低電平，以致於儲存於節點 A2 之電荷被放出。而且變成時序 Tn+1 時，控制信號 D1 變成高電平，而第 1 段 RS(1)之 TFT1 導通。此時，因為電壓信號 V2 變成低電平，因此，儲存於節點 A1 之電荷被放出。

第 30 圖為表示在本實施形態中可做為閘極驅動器 152 使用之其他移位暫存器之電路構造圖。該第 20 圖所示之移位暫存器不同在：於第奇數段 RS(1)，RS(3)，…，RS(n-1)中，TFT1 之汲極有電壓信號 V2 之供應，而在 TFT6 之源極有電壓信號 V4 之供應。在第偶數段 RS(2)，RS(4)，…，RS(n)中，TFT1 之汲極有電壓信號 V1 之供應，而在 TFT6 之源極有電壓信號之供應。

其次，要參照第 31 圖，第 32 圖之計時圖說明第 30 圖之移位暫存器之操作。該移位暫存器之動作如將供應予第奇數段 RS(1)，RS(3)，…，RS(n-1)中之 TFT6 之源極之電壓信號 V4 取代，將供應予第偶數段 RS(2)，RS(4)，…，RS(n)之 TFT6 之源極之電壓信號以 V3 取代，則大致上與第 29 圖之移位暫存器相同。

## 五、發明說明( 55)

但是，在進行第 31 圖所示之正向操作時，各段 RS(1)至 RS(n)之 TFT6 之源極電壓(電壓信號 V3，V4)係保持於低電平。又，在進行第 32 圖所示之反向操作時，各段 RS(1)至 RS(n)之 TFT1 之汲極電壓(電壓信號 V1，V2)係保持於低電平。亦即，在正向操作時，在 TFT1，反向操作時在 TFT6 之源極-汲極間與源極-汲極間發生電位差之時間短。藉此，可以減少施加於 TFT1 及 TFT6 之電壓應力，因此，TFT1 及 TFT6 之元件特性不易變劣，長期間使用也不易發生故障。

此外，在本實施形態所示之各移位暫存器中，供應予 TFT1 之汲極或 TFT6 之源極之電壓信號 V1 至 V4 之高電平，視儲存於節點 A1 至 An 之電荷，只要足夠導通 TFT2 及 TFT5 之電壓電平，也可以低於電源電壓 Vdd。因此，可將 TFT1 及 TFT6，甚至 TFT2 及 TFT5 所承受之電壓應力，依照上述之計時圖，設成比操作移位暫存器時更小。

藉由將第 2 實施形態之 TFT1，TFT2，TFT3，TFT4，TFT5，TFT6 之各值(W/L)設成表 1 及表 2 所示之上述第 1 實施形態之 TFT21，TFT25，TFT26，TFT23，TFT22，TFT24 之值(W/L)，即可長期間正常操作。

[其他實施形態]

本發明並不侷限於上述第 1，第 2 實施形態，而可進行各種變形與應用。以下，要就利用本發明之其他實施形態加以說明。

在上述第 2 實施形態中，要使利用做為閘極驅動器 152

## 五、發明說明( <sup>56</sup> )

之移位暫存器正向移位操作或反向移位操作係根據與角度感測器 240 所檢測之透鏡單元部 202 之攝影機本體部 201 相對之角度自動設定。但是，要正向操作或反向操作也可以由使用者操作鍵輪部 212 之鍵選擇之。

在第 11 圖，第 13 圖，第 15 圖，第 18 圖，第 20 圖，第 27 圖及第 30 圖所示之移位暫存器係以用於做為液晶顯示裝置之閘極驅動器 152 做為例子來說明。但是，也可以做為選擇液晶顯示裝置以外之顯示裝置，例如電漿顯示器，場發射顯示器(field emission display)，有機 EL 顯示器等之線路(line)之驅動器之用。另外，如第 10 圖所示，該等移位暫存器也可以做為驅動攝影像素縱橫配置成特定之排列之攝影元件之驅動器。

此外，第 11 圖，第 13 圖，第 15 圖，第 18 圖，第 20 圖，第 27 圖及第 30 圖所示之移位暫存器也可以使用於驅動攝影元件或顯示元件之驅動器以外之用途。例如，此等移位暫存器也可以在資料處理裝置等用於轉換串聯式資料為並聯式資料等用途上。

構成上述第 1 及第 2 實施形態中所示之移位暫存器之 TFT1 至 6 全部屬 n 通道型者。相對地，也可以使用 p 通道型者。例如，如完全使用 p 通道型時，則只要將各信號之高，低電平與 n 通道型者倒置即可。

在上述第 1，第 2 實施形態中，係以將本發明應用於攝取靜止影像之數位靜止攝影機之情形為例來說明，惟也可以適用於拍攝動畫並在辨識拍攝中之影像之尋檢器(finder)

五、發明說明( 57)

中使用液晶顯示裝置等之錄影機(video camera)中。在錄影機中，使液晶顯示裝置之方向可對攝影透鏡轉動之構造時，可以將第 2 實施形態所示之移位暫存器做為液晶顯示裝置之閘極驅動器，以顯示鏡面影像。

[發明之效果]

如上所述，本發明之移位暫存器少有第 1 或第 2 電晶體之特性變動，可以長期間穩定地操作。

又藉由調整第 1，第 2 電壓信號之高電平之電平或其期間，第 1，第 2 電晶體之故障變少，可長期間穩定地操作。

另外，藉由使第 1 與第 2 電晶體之任何一個在配線上儲存電荷，並使其能夠切換是否放出儲存之電荷，即可以在正向與反向之雙向進行移位操作。

此外利用本發明之移位暫存器做為驅動器之電子裝置也有優異之耐久性。

再者，利用可以正向與反向之雙向移位操作者做為驅動器，即可容易顯示上下方向倒置之影像。

[符號之說明]

|       |        |
|-------|--------|
| 1 至 6 | TFT    |
| 1     | 攝影機本體部 |
| 2     | 透鏡單元部  |
| 10    | 顯示部    |
| 11    | 電源鍵    |
| 12    | 鍵輸入部   |

五、發明說明( 58)

|    |          |
|----|----------|
| 13 | 串列輸出入端子  |
| 20 | CCD 攝影裝置 |
| 21 | A/D 轉換器  |
| 22 | CPU      |
| 23 | ROM      |
| 25 | 壓縮/擴展電路  |
| 26 | 影像記憶體    |
| 30 | 匯流排      |
| 40 | 角度感測器    |
| 50 | 控制器      |
| 51 | 液晶顯示元件   |
| 52 | 閘極驅動器    |
| 53 | 汲極驅動器    |
| 61 | TFT      |
| 70 | 控制器      |
| 71 | 攝影元件     |
| 72 | 上閘極驅動器   |
| 73 | 底閘極驅動器   |
| 74 | 汲極驅動器    |
| 81 | 雙控制極電晶體  |
| 91 | 上閘極      |
| 92 | 底閘極      |
| 93 | 汲極       |
| 94 | 源極       |

五、發明說明( 59)

|                  |       |
|------------------|-------|
| 162              | 像素電量  |
| 202a             | 攝影透鏡  |
| 212a             | 模式設定鍵 |
| 212b             | 快門鍵   |
| 212c             | 「+」鍵  |
| 212d             | 「-」鍵  |
| 224              | RAM   |
| RS(1)至 RS(n)，... | 段     |
| GL               | 閘極線   |
| DL               | 汲極線   |
| TGL              | 上閘極線  |
| BGL              | 底閘極線  |
| GrL              | 接地線   |

四、中文發明摘要(發明之名稱:

移位暫存器及電子裝置)

移位暫存器之各段 RS(1), RS(2), ... 係由 6 個 TFT 所構成。該等 TFT1 至 6 之通道寬與通道長之比(寬/長)係依各 TFT 之電晶體特性設定成在高溫下也可正長期間正常動作。

英文發明摘要(發明之名稱:

SHIFT REGISTER AND ELECTRONIC APPARATUS)

Each of stages RS(1), RS(2), ... of a shift register is constituted by six TFTs. A ratio of a channel width and a channel length (W/L) of each of these TFTs 1 to 6 is set in accordance with a transistor characteristic of each TFT in such a manner that the shift register normally operates for a long time even at a high temperature.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種移位暫存器，係由多段所構成，其特徵為：

上述移位暫存器之各段具備：

第 1 電晶體，具有第 1 控制端子，藉由從一段供應至上述第 1 控制端子之特定電平之信號而導通，並將該特定電平之信號由第 1 電流路之一端輸出至第 1 電流路之另一端；

第 2 電晶體，具有第 2 控制端子，係回應施加第 2 控制端子與上述第 1 電晶體之上述第 1 電流路之另一端間之配線之電壓而導通，以由外界供應予第 2 電流路之一端之第 1 或第 2 之信號做為輸出信號而由上述第 2 電流路之另一端輸出，

用於輸出由外界供應之電源電壓之負載，

第 3 電晶體，具有第 3 控制端子，係回應施加予上述第 3 控制端子與上述第 1 電晶體之上述第 1 電流路之另一端間之配線之電壓而導通，並透過上述負載將由上述外界所供應之電源電壓由第 3 電流路之一端輸出至上述第 3 電流路之另一端，再將由該負載所輸出之電源電壓位移至特定電平之電壓，以及

第 4 電晶體，具有第 4 控制端子，係回應施加於上述第 4 控制端子與上述負載間之配線上之電壓而導通，第 4 電流路之一端連接到上述第 2 電晶體之第 2 電流路之另一端，將參考電壓(reference voltage)由上述第 4 電流路之另一端輸出至第 4 電流路之一端；且

上述第 4 電晶體之通道寬/上述第 4 電晶體之通道長之

## 六、申請專利範圍

值等於或大於上述第 2 電晶體之通道寬 / 上述第 2 電晶體之通道長之值。

(參考第 4 圖，控制端子：閘極，第 1 電晶體：21，第 2 電晶體：25，負載：23，第 1 或第 2 信號：CK1，CK2，第 3 電晶體：22，第 4 電晶體：26)

2. 如申請專利範圍第 1 項之移位暫存器，其中具備第 5 電晶體，具有第 5 控制端子，藉由另一邊之段之輸出信號導通上述第 5 控制端子，俾重置施加於上述第 2 電晶體之第 2 控制端子與上述第 1 電晶體之第 1 電流路之另一端間之配線之電壓。(第 5 電晶體：24)

3. 一種移位暫存器，係由多段所構成，上述移位暫存器之各段具備：

第 1 電晶體，具有第 1 控制端子，藉由一邊之段供應至上述第 1 控制端子之特定電平之信號導通，並將該特定電平之信號由第 1 電流路之一端輸出至第 1 電流路之另一端，

第 2 電晶體，具有第 2 控制端子，係回應施加於第 2 控制端子與上述第 1 電晶體之上述第 1 電流路之另一端間之配線之電壓而導通，以由外界供應於第 2 電流路之一端之第 1 或第 2 信號做為輸出信號而由上述第 2 電流路之另一端輸出，

第 3 電晶體，具有第 3 控制端子，由第 3 電流路之一端將電源電壓輸出至上述第 3 電流路之另一端，

第 4 電晶體，具有第 4 控制端子，係回應施加於上述第

## 六、申請專利範圍

4 控制端子與上述第 1 電晶體之上述第 1 電流路之另一端間之配線之電壓而導通，將由上述第 3 電晶體所供應之上述電源電壓由第 4 電流路之一端輸出至上述第 4 電流路之另一端，並將自上述第 3 電晶體輸出之電源電壓位移至特定電平之電壓，以及

第 5 電晶體，具有第 5 控制端子，係回應施加於上述第 5 控制端子與第 3 電晶體間之配線之電壓而導通，第 5 電流路之一端與上述第 2 電晶體之上述第 2 電流路之另一端相連接，且將參考電壓由上述第 5 電流路之另一端輸出至上述第 5 電流路之一段，且

上述第 3 電晶體之通通寬/上述第 3 電晶體之通道長之值大於上述第 2 電晶體之通道寬/上述第 2 電晶體之通道長之值之 20 分之一。

(參考第 4 圖，控制端子：閘極，第 1 電晶體：21，第 2 電晶體：25，第 1 或第 2 信號：CK1，CK2，第 3 電晶體：23，第 4 電晶體：22，第 5 電晶體：26)

4. 如申請專利範圍第 3 項之移位暫存器，其中具備第 6 電晶體，具有第 6 控制端子，係藉由另一邊之段之輸出信號導通上述第 6 控制端子，俾將施加於上述第 2 電晶體之第 2 控制端子與上述第 1 電晶體之第 1 電流路之另一端間之配線之電壓加以重置。

(第 6 電晶體：24)

5. 一種移位暫存器，係由多段所構成，其特徵為上述移位暫存器之各段具備：

## 六、申請專利範圍

第 1 電晶體，具有第 1 控制端子，係藉由一邊之段供應至上述第 1 控制端子之特定電平之信號導通，俾將該特定電平之信號由第 1 電流路之一端輸出至第 1 電流路之另一端，

第 2 電晶體，具有第 2 控制端子，係回應施加於上述第 2 控制端子與上述第 1 電晶體之第 1 電流路之另一端間之配線之電壓而導通，並以由外界供應至第 2 電流路之一端之第 1 或第 2 信號做為輸出信號而由上述第 2 電流路之另一端輸出，

第 3 電晶體，具有第 3 控制端子，用於由第 3 電流路之一端將電源電壓輸出至上述第 3 電流路之另一端，

第 4 電晶體，具有第 4 控制端子，係回應施加於上述第 4 控制端子與第 1 電晶體之第 1 電流路之另一段間之配線之電壓而導通，將由上述第 3 電晶體所供應之上述電源電壓由第 4 電流路之一端輸出至第 4 電流路之另一端，並將自上述第 3 電晶體輸出之電源電壓位移至特定電平之電壓，

第 5 電晶體，具有第 5 控制端子，係回應施加於上述第 5 控制端子與第 3 電晶體間之配線之電壓而導通，第 5 電流路之一端與上述第 2 電晶體之上述第 2 電流路之另一端相連接，且將參考電壓由上述第 5 電流路之另一端輸出至上述第 5 電流路之一端，以及

第 6 電晶體，具有第 6 控制端子，藉由另一邊之段之輸出信號導通上述第 6 控制端子，俾重置施加於上述第

## 六、申請專利範圍

2 電晶體之第 2 控制端子與第 1 電晶體之第 1 電流路之另一端間之上述配線之電壓，且

上述第 5 電晶體之通道寬/上述第 5 電晶體之通道長之值大於上述第 1 電晶體之通道寬/上述第 1 電晶體之通道長之值。

(參考第 4 圖，控制端子：閘極，第 1 電晶體：21，第 2 電晶體：25，第 1 或第 2 信號：CK1，CK2，第 3 電晶體：23，第 4 電晶體：22，第 5 電晶體：26，第 6 電晶體：24)

- 6.如申請專利範圍第 5 項之移位暫存器，其中上述第 2 電晶體之通道寬/上述第 2 電晶體之通道長之值大於上述第 1 電晶體之通道寬/上述第 1 電晶體之通道長之值。
- 7.如申請專利範圍第 5 項之移位暫存器，其中上述第 5 電晶體之通道寬/上述第 5 電晶體之通道長之值大於上述第 6 電晶體之通道寬/上述第 6 電晶體之通道長之值。
- 8.如申請專利範圍第 5 項之移位暫存器，其中上述第 2 電晶體之通道寬/上述第 2 電晶體之通道長之值大於上述第 6 電晶體之通道寬/上述第 6 電晶體之通道長之值。
- 9.如申請專利範圍第 5 項之移位暫存器，其中上述第 1 電晶體之通道寬/上述第 1 電晶體之通道長之值大於上述第 3 電晶體之通道寬/上述第 6 電晶體之通道長之值。
- 10.如申請專利範圍第 5 項之移位暫存器，其中上述第 6 電晶體之通道寬/上述第 6 電晶體之通道長之值大於上述第 3 電晶體之通道寬/上述第 3 電晶體之通道長之值。

## 六、申請專利範圍

- 11.如申請專利範圍第 5 項之移位暫存器，其中上述第 1 電晶體之通道寬/上述第 1 電晶體之通道長之值大於上述第 4 電晶體之通道寬/上述第 4 電晶體之通道長之值。
- 12.如申請專利範圍第 5 項之移位暫存器，其中上述第 6 電晶體之通道寬/上述第 6 電晶體之通道長之值大於上述第 4 電晶體之通道寬/上述第 4 電晶體之通道長之值。
- 13.一種移位暫存器，係由多段所構成，上述移位暫存器之各段具備：
  - 第 1 電晶體，對控制端子供應一邊之段之輸出信號，並對電流路之一端供應第 1 電壓信號，
  - 第 2 電晶體，對控制端子供應另一邊之段之輸出信號，並對電流路之一端供應第 2 電壓信號，以及
  - 第 3 電晶體，將控制端子分別連接至上述第 1，第 2 電晶體之電流路之另一端，藉由透過上述第 1 或第 2 電晶體供應至其間之配線之上述第 1 或第 2 電壓信號通斷，導通時，將供應予電流路之一端之第 1 或第 2 時鐘信號由電流路之另一端輸出做為該段之輸出信號；且
  - 至少上述第 1，第 2 電晶體之一可以藉由供應至控制端子之一邊或另一邊之段之輸出信號放出儲存於上述配線之電荷。

(參考第 11 圖，第 1 電晶體：1，第 2 電晶體：6，第 3 電晶體：2，配線：節點  $A_k (1 \leq k \leq )$  之配線)
- 14.如申請專利範圍第 13 項之移位暫存器，其中上述多段之一邊之段之第 1，第 2 電晶體之一邊被由外界將第 1

## 六、申請專利範圍

控制信號供應予控制端子而導通，而將電荷儲存於上述配線，而上述多段之另一邊之段之第 1，第 2 電晶體之另一邊被由外界將第 2 控制信號供應予控制端子而導通，而將儲存於上述配線之電荷放出。

15. 如申請專利範圍第 13 項之移位暫存器，其中藉由切換上述第 1，第 2 電壓信號之電平，俾透過上述第 1，第 2 電晶體之一在上述配線儲存電荷，並透過上述第 1，第 2 電晶體之另一邊放出儲存於上述配線之電荷。

16. 如申請專利範圍第 13 項之移位暫存器，其中上述第 1，第 2 電壓信號之電平可被切換，俾其中之一保持於低電平。

17. 如申請專利範圍第 13 項之移位暫存器，其中上述第 1 時鐘信號與第 2 時鐘信號之相位差為  $180^\circ$ 。

18. 如申請專利範圍第 13 項之移位暫存器，其中上述分別構成多段之各電晶體為同一通道型之場效電晶體。

19. 如申請專利範圍第 13 項之移位暫存器，其中另具備：  
第 4 電晶體，在上述第 1，第 2 電晶體之各電流路之另一端連接著控制端子，通斷之時序與上述第 3 電晶體同步，導通時，透過負載將電壓源所供應之信號由電流路之另一端放出至電流路之一端，以及

第 5 電晶體，控制端子透過上述負載連接到上述電壓源，而在上述第 4 電晶體斷電時，藉由連接於上述電壓源之信號導通，同時電流路之一端連接到第 3 電晶體之

## 六、申請專利範圍

電流路之另一端。

(第 4 電晶體：5，第 6 電晶體：3)

20. 一種電子裝置，其特徵具備：

(A) 移位暫存器，其各段具有

第 1 電晶體，具有第 1 控制端子，係藉由從一邊之段所供應之上述第 1 控制端子之特定電平之信號所導通，並將該特定電平之信號由第 1 電流路之一端輸出至另一端，

第 2 電晶體，具有第 2 控制端子，係回應施加於上述第 2 控制端子與上述第 1 電晶體之第 1 電流路之另一端間之配線之電壓而導通，並將由外界供應於第 2 電流路之一端之第 1 或第 2 信號做為輸出信號輸出至上述第 2 電流路之另一端，

第 3 電晶體，具有第 3 控制端子，用於將電源電壓由第 3 電流路之一端輸出至上述第 3 電流路之另一端，

第 4 電晶體，具有第 4 控制端子，係回應施加於上述第 4 控制端子與第 1 電晶體之第 1 電流路之另一端間之配線之電壓而導通，並將將上述第 3 電晶體所供應之上述電源電壓由一端輸出至上述第 4 電流路之另一端，俾將上述第 3 電晶體所輸出之電源電壓位移至特定電平之電壓，

第 5 電晶體，具有第 5 控制端子，係回應施加於上述第 5 控制端子與上述第 3 電晶體間之配線之電壓而導通，且第 5 電流路之一端與上述第 2 電晶體之第 2 電流路

## 六、申請專利範圍

之另一端連接，俾參考電壓由上述第 5 電流路之另一端輸出至上述第 5 電流路之一端，以及

第 6 電晶體，具有第 6 控制端子，係藉由另一邊之段之輸出信號導通上述第 6 控制端子，藉以重置(reset)施加於上述第 2 電晶體之第 2 控制端子與上述第 1 電晶體之第 1 電流路之另一端間之配線之電壓，以及

(B)驅動元件，係回應於來自上述移位暫存器之第 2 電晶體之輸出信號而被驅動，而且

上述第 5 電晶體之通道寬/上述第 5 電晶體之通道長之值大於上述第 1 電晶體之通道寬/上述第 1 電晶體之通道長之值。

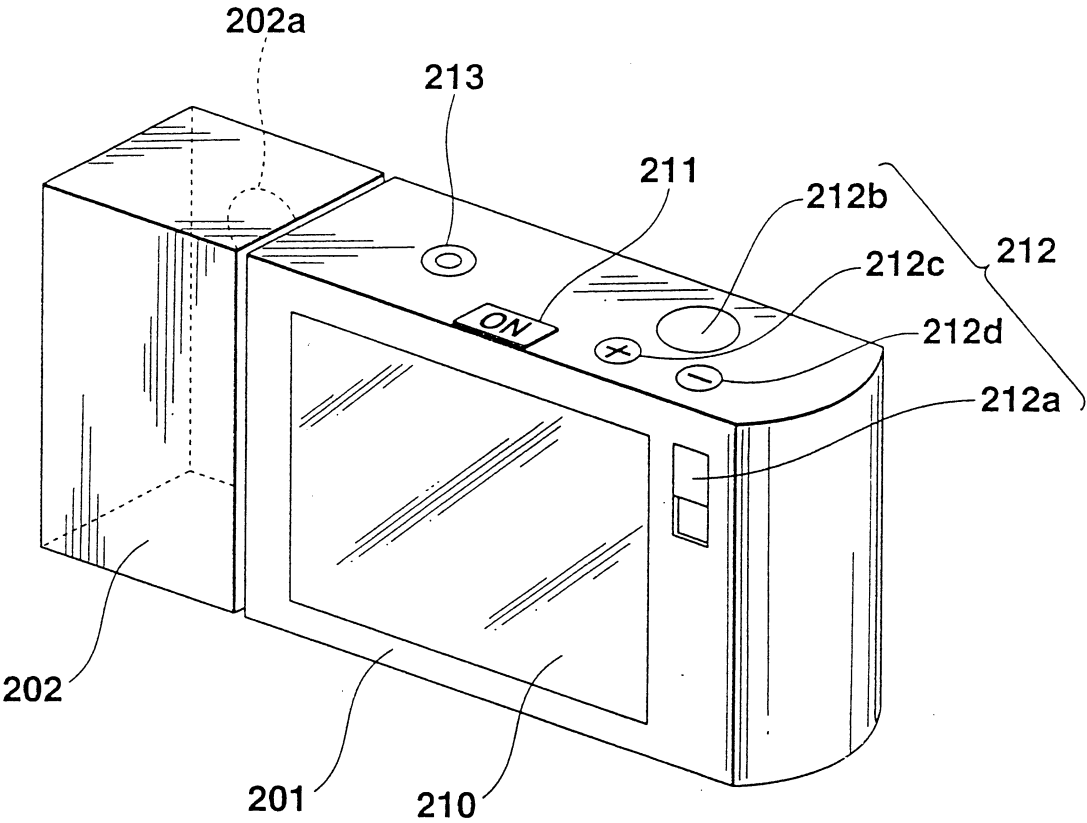
(申請專利範圍第 5 項之電子裝置)

- 21.如申請專利範圍第 20 項之電子裝置，其中上述第 2 電晶體之通道寬/上述第 2 電晶體之通道長之值大於上述第 1 電晶體之通道寬/上述第 1 電晶體之通道長之值。
- 22.如申請專利範圍第 20 項之電子裝置，其中上述第 5 電晶體之通道寬/上述第 5 電晶體之通道長之值大於上述第 6 電晶體之通道寬/上述第 6 電晶體之通道長之值。
- 23.如申請專利範圍第 20 項之電子裝置，其中上述第 2 電晶體之通道寬/上述第 2 電晶體之通道長之值大於上述第 6 電晶體之通道寬/上述第 6 電晶體之通道長之值。
- 24.如申請專利範圍第 20 項之電子裝置，其中上述第 1 電晶體之通道寬/上述第 1 電晶體之通道長之值大於上述第 3 電晶體之通道寬/上述第 3 電晶體之通道長之值。

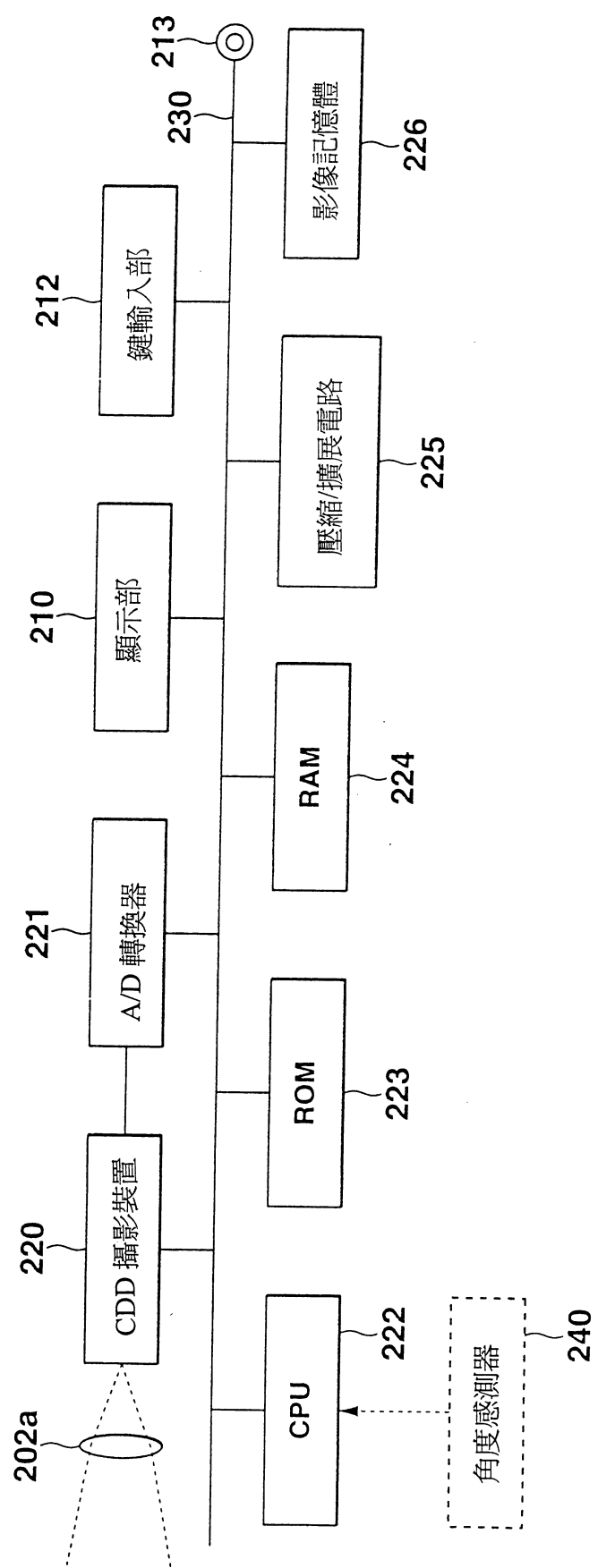
## 六、申請專利範圍

- 25.如申請專利範圍第 20 項之電子裝置，其中上述第 6 電晶體之通道寬/上述第 6 電晶體之通道長之值大於上述第 3 電晶體之通道寬/上述第 3 電晶體之通道長之值。
- 26.如申請專利範圍第 20 項之電子裝置，其中上述第 1 電晶體之通道寬/上述第 1 電晶體之通道長之值大於上述第 4 電晶體之通道寬/上述第 4 電晶體之通道長之值。
- 27.如申請專利範圍第 20 項之電子裝置，其中上述第 6 電晶體之通道寬/上述第 6 電晶體之通道長之值大於上述第 4 電晶體之通道寬/上述第 4 電晶體之通道長之值。
- 28.如申請專利範圍第 20 項之電子裝置，其中上述驅動元件為液晶顯示元件。
- 29.如申請專利範圍第 20 項之電子裝置，其中上述驅動元件為光感元件。

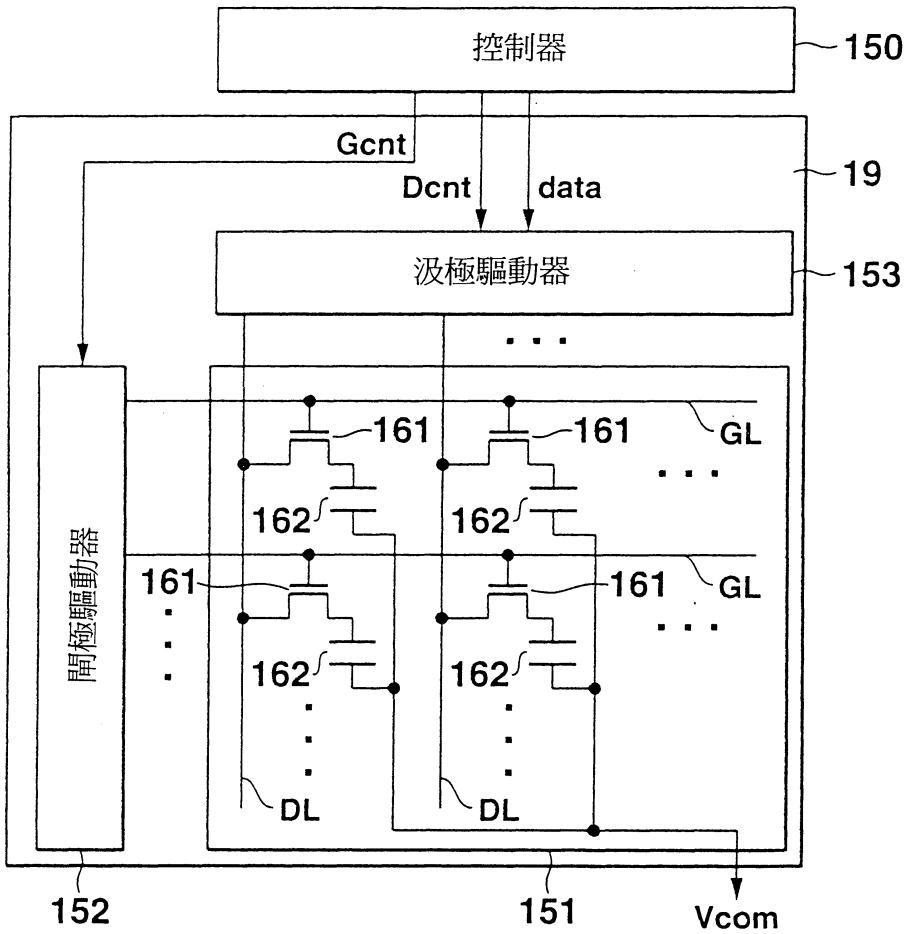
90112883



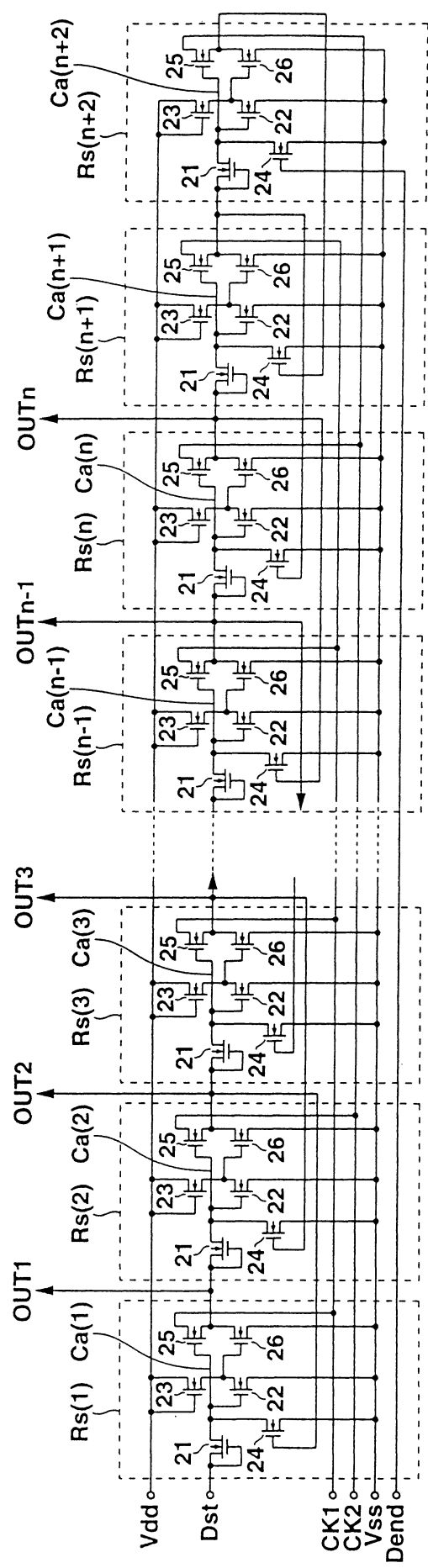
第 1 圖



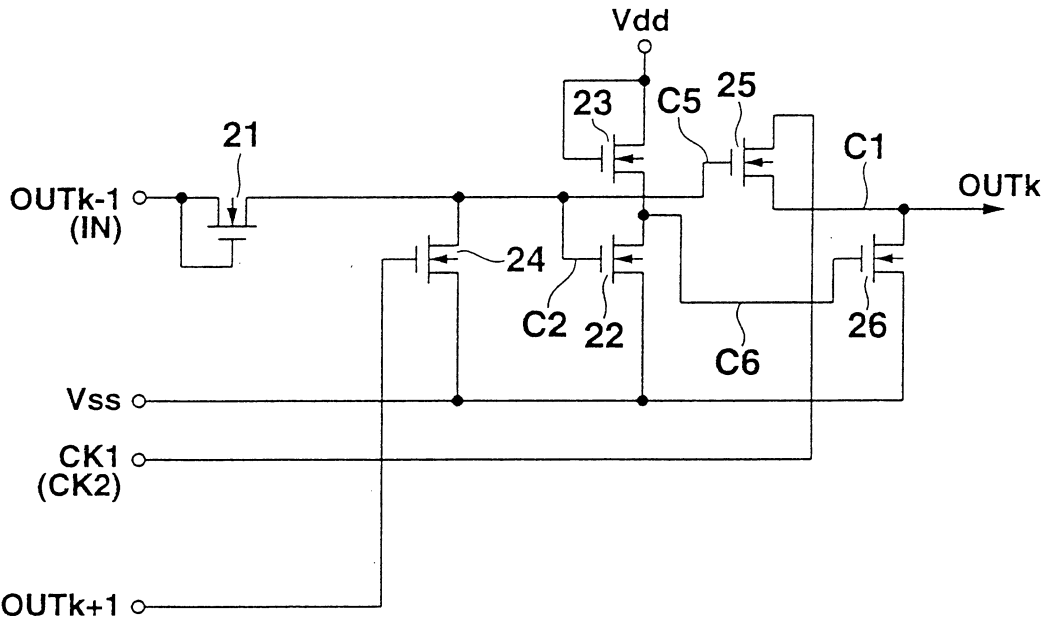
第 2 圖



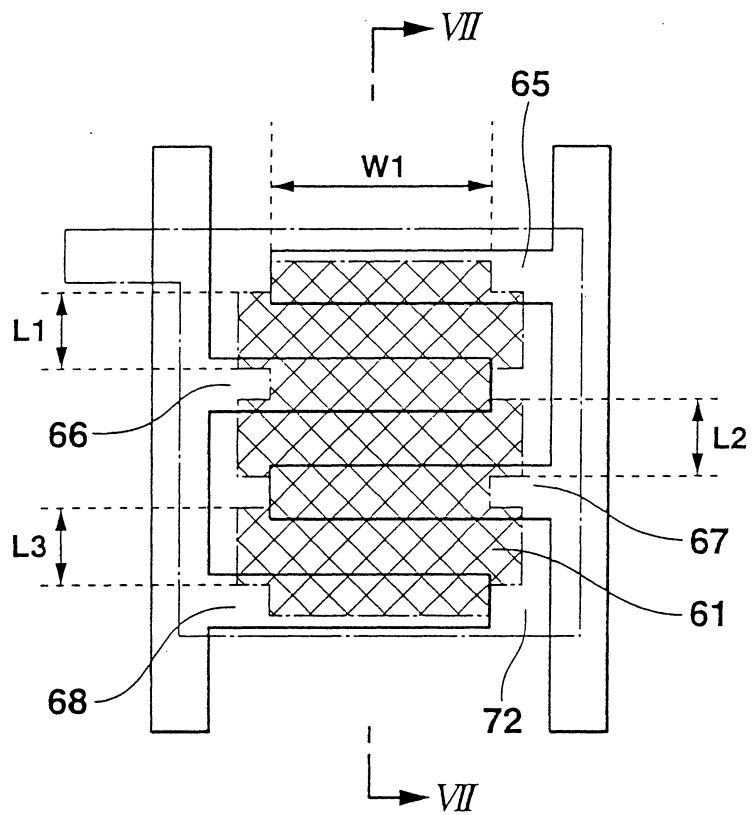
第 3 圖



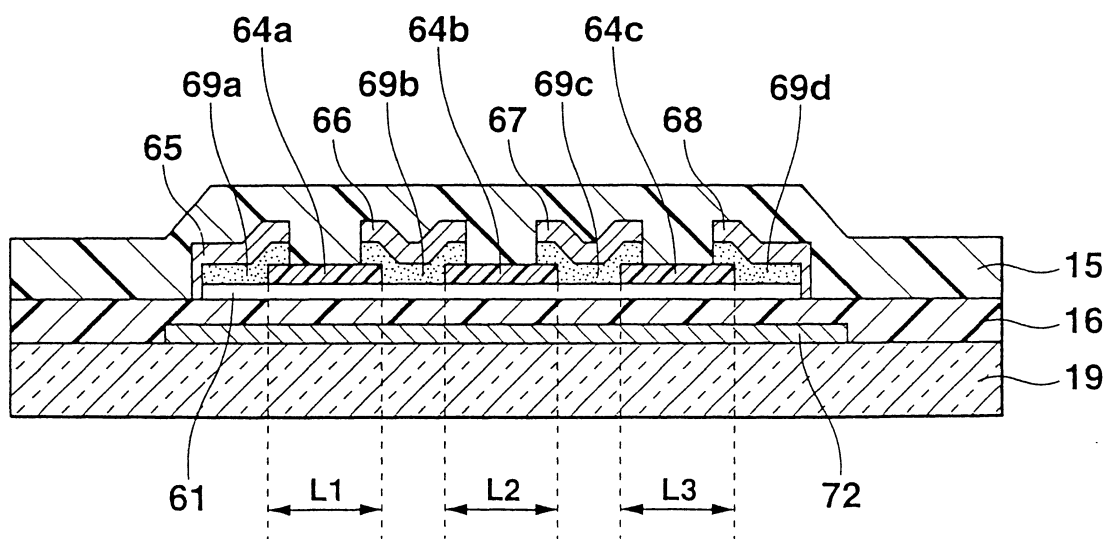
第 4 圖



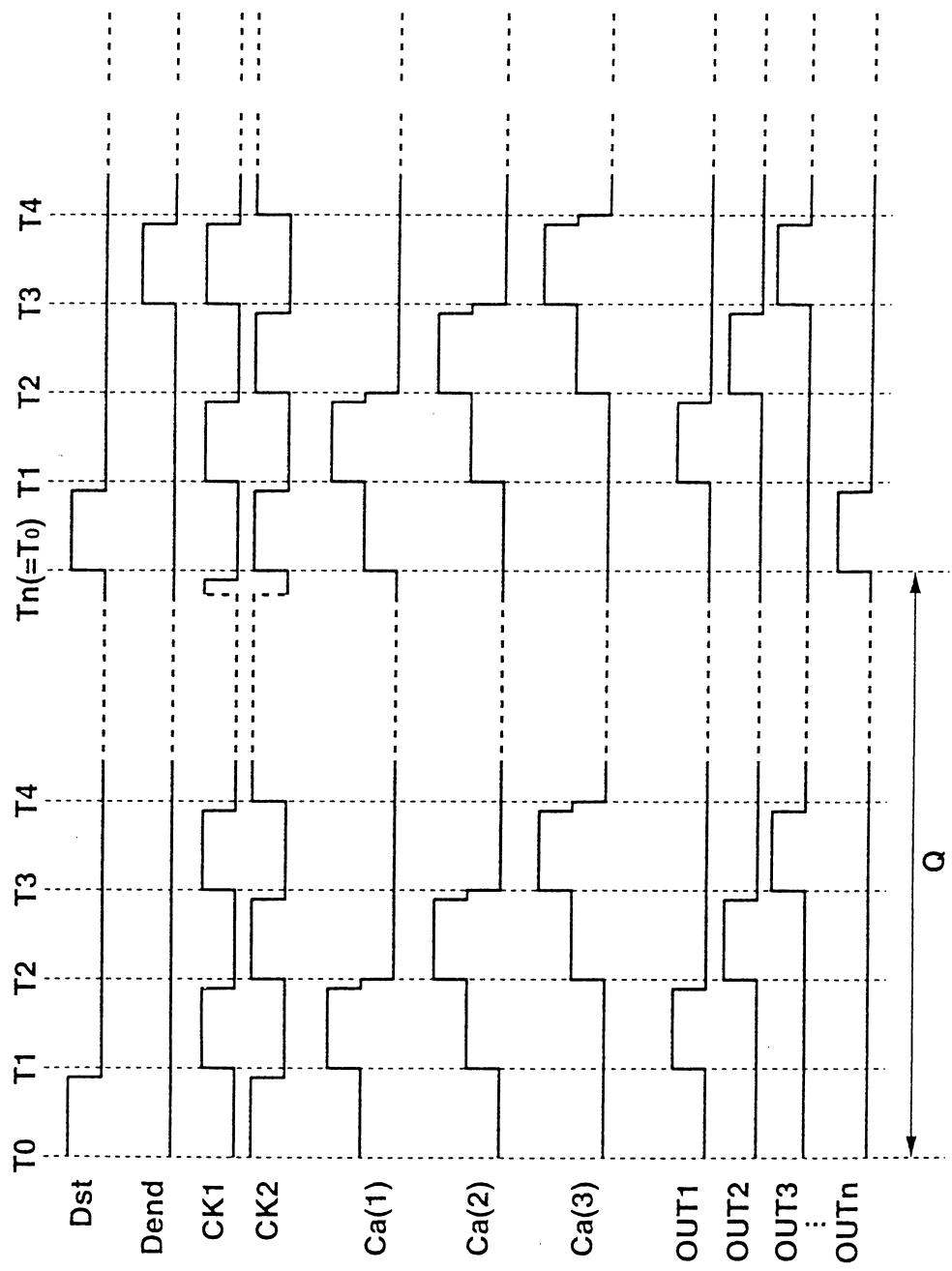
第 5 圖



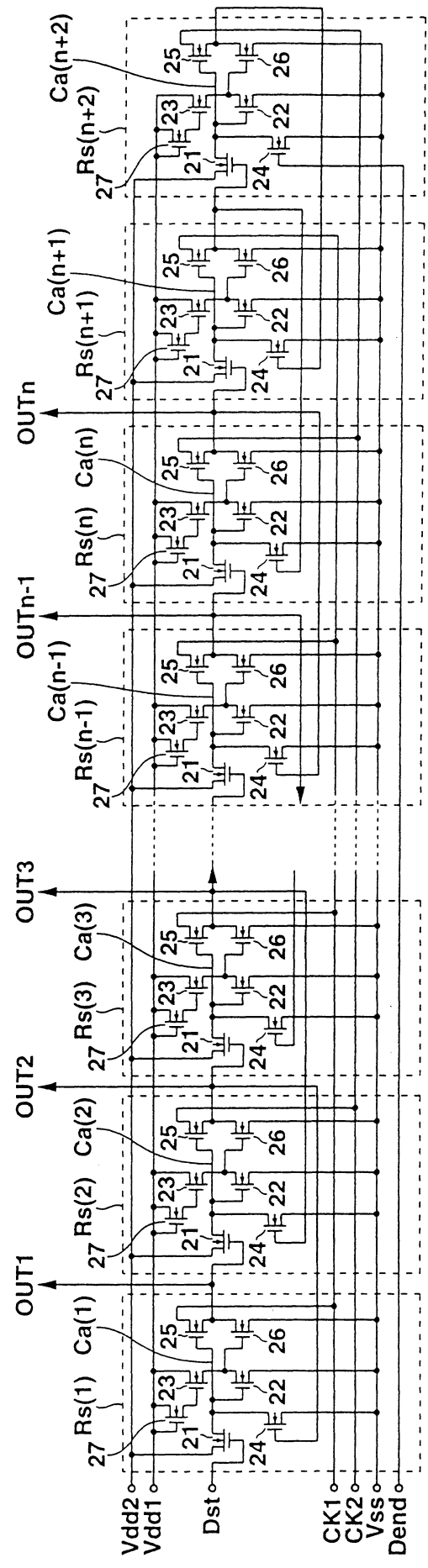
第 6 圖



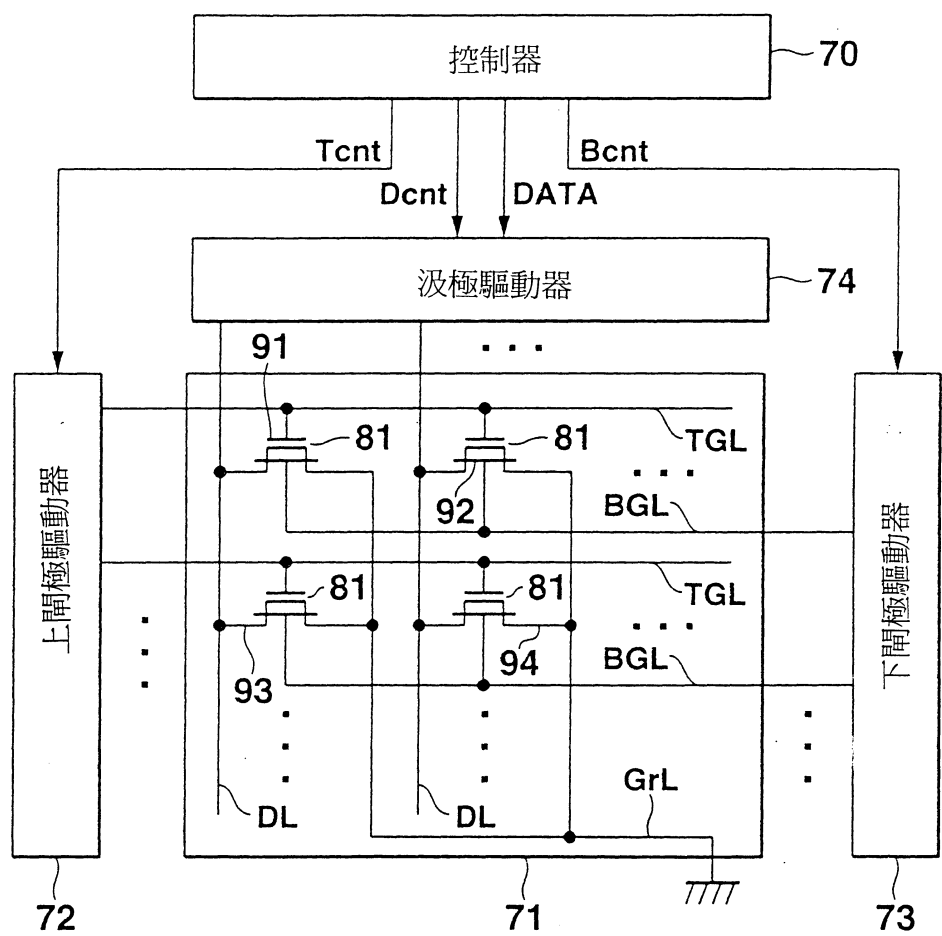
第 7 圖



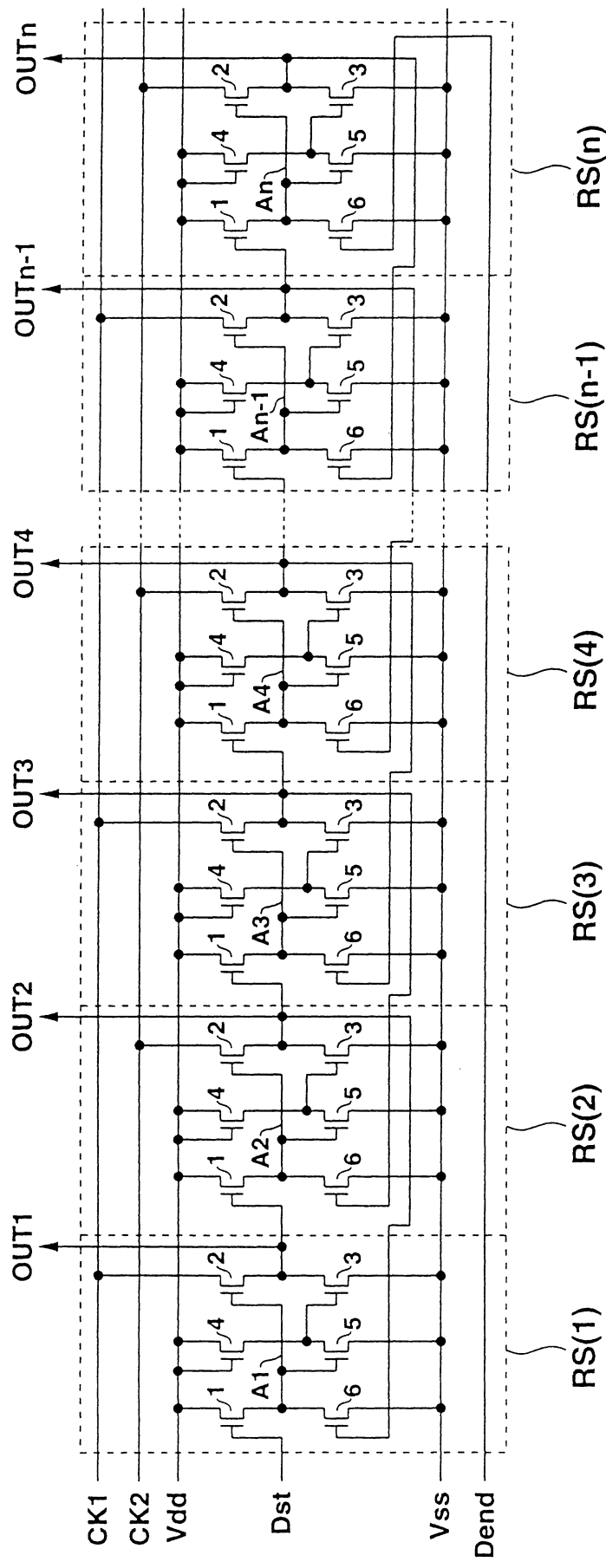
第 8 圖



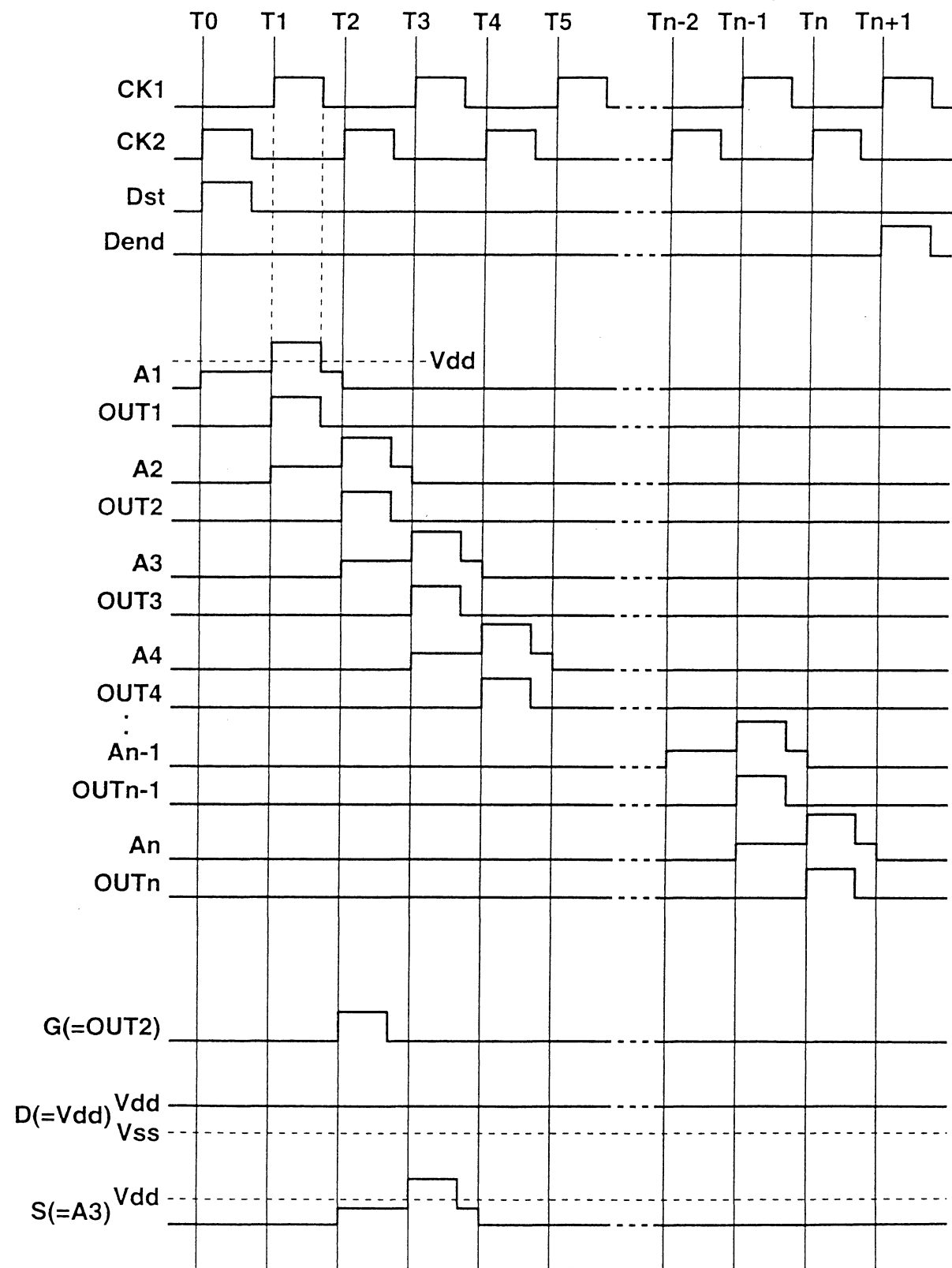
第 9 圖



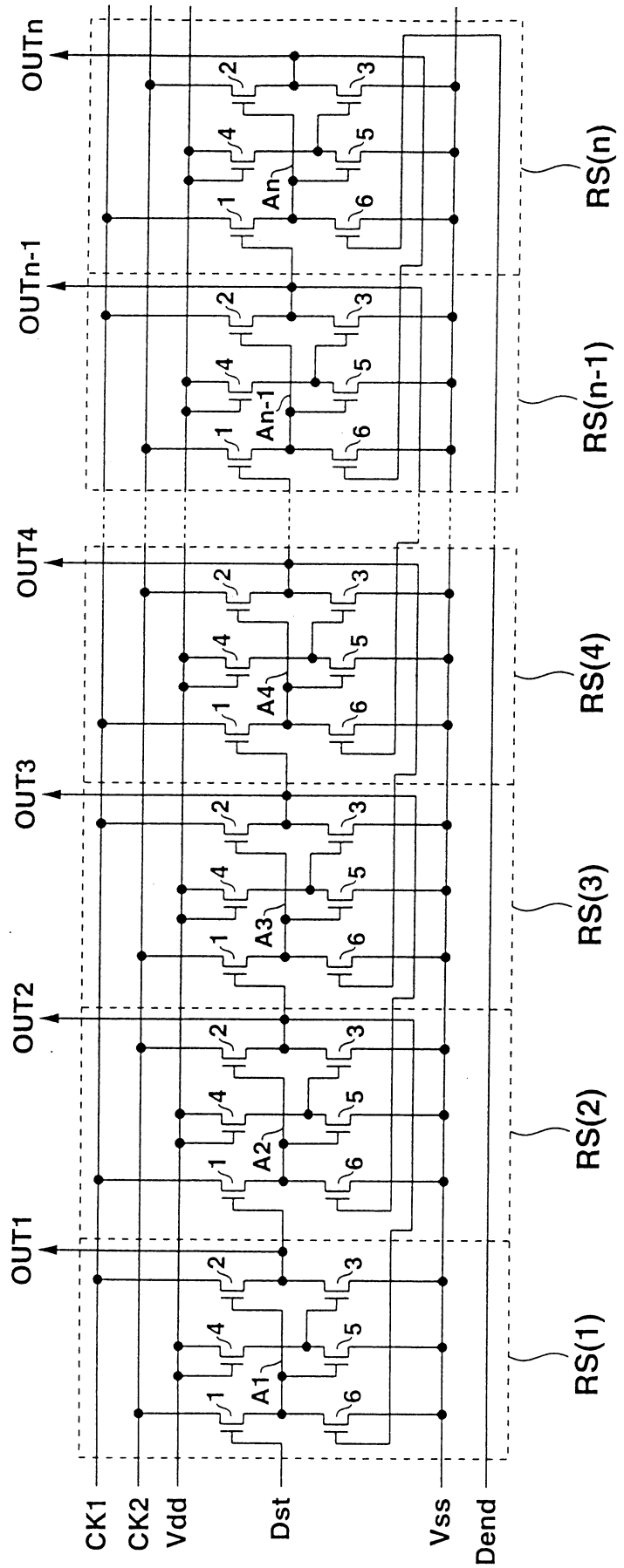
第 10 圖



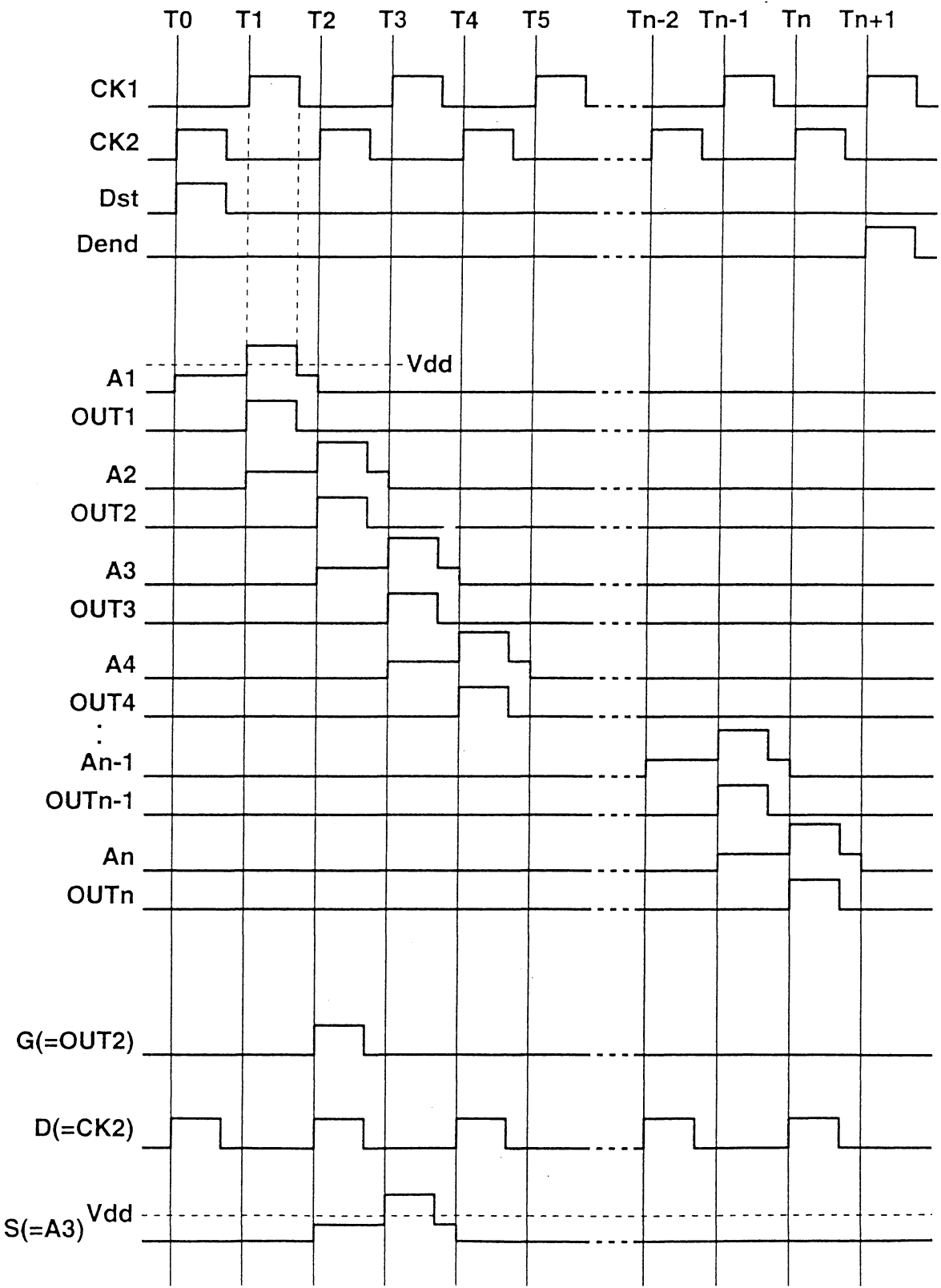
第 11 圖



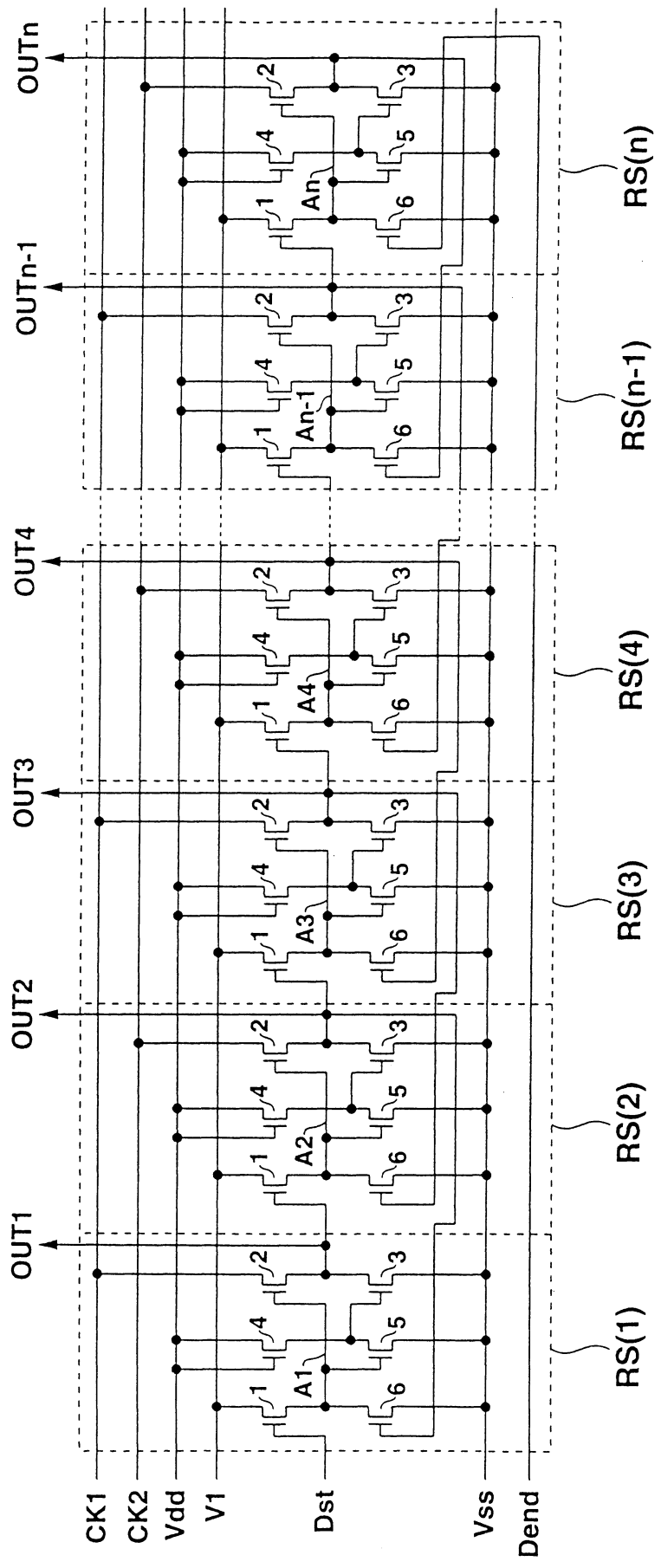
第 12 圖



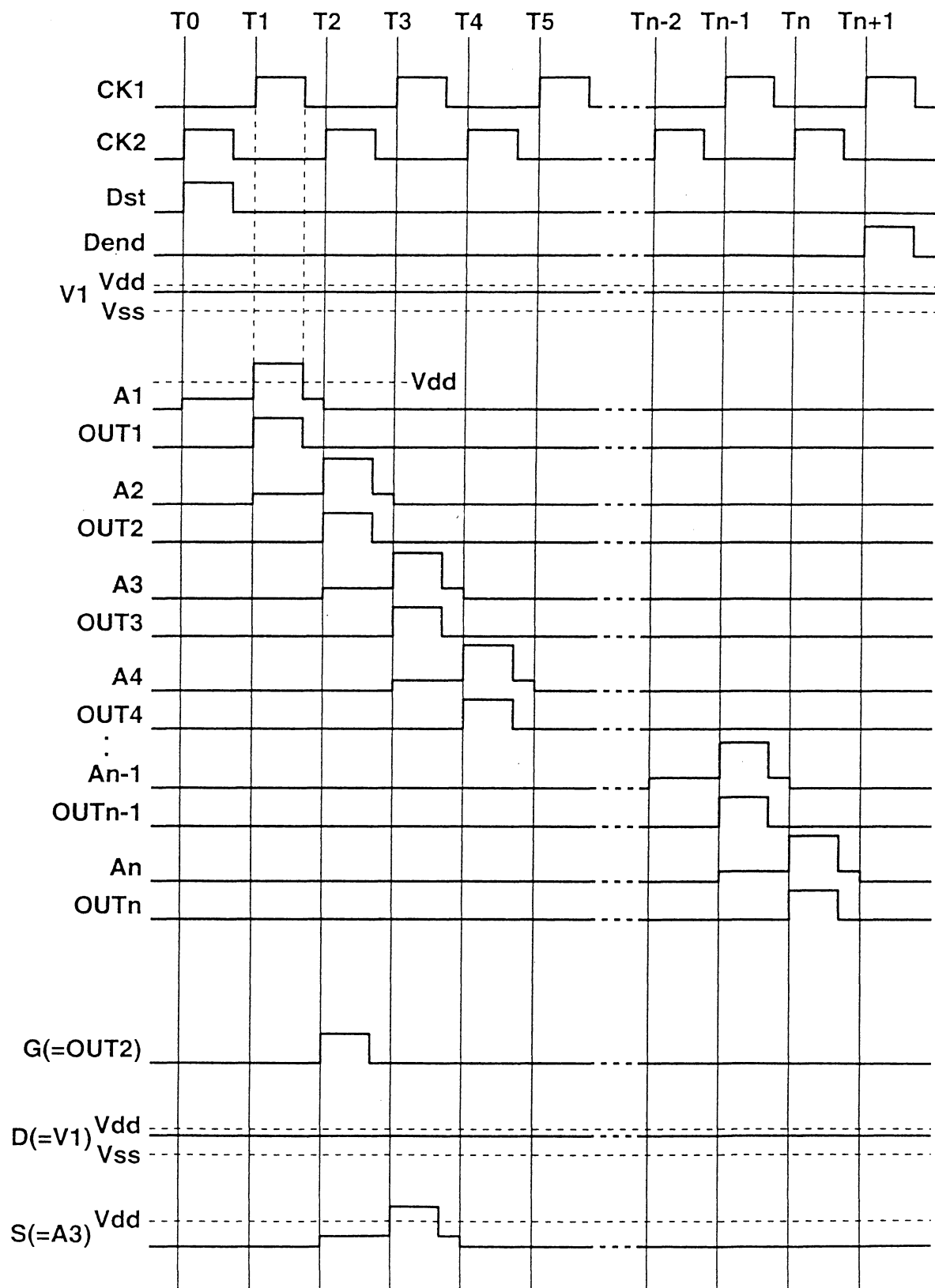
第 13 圖



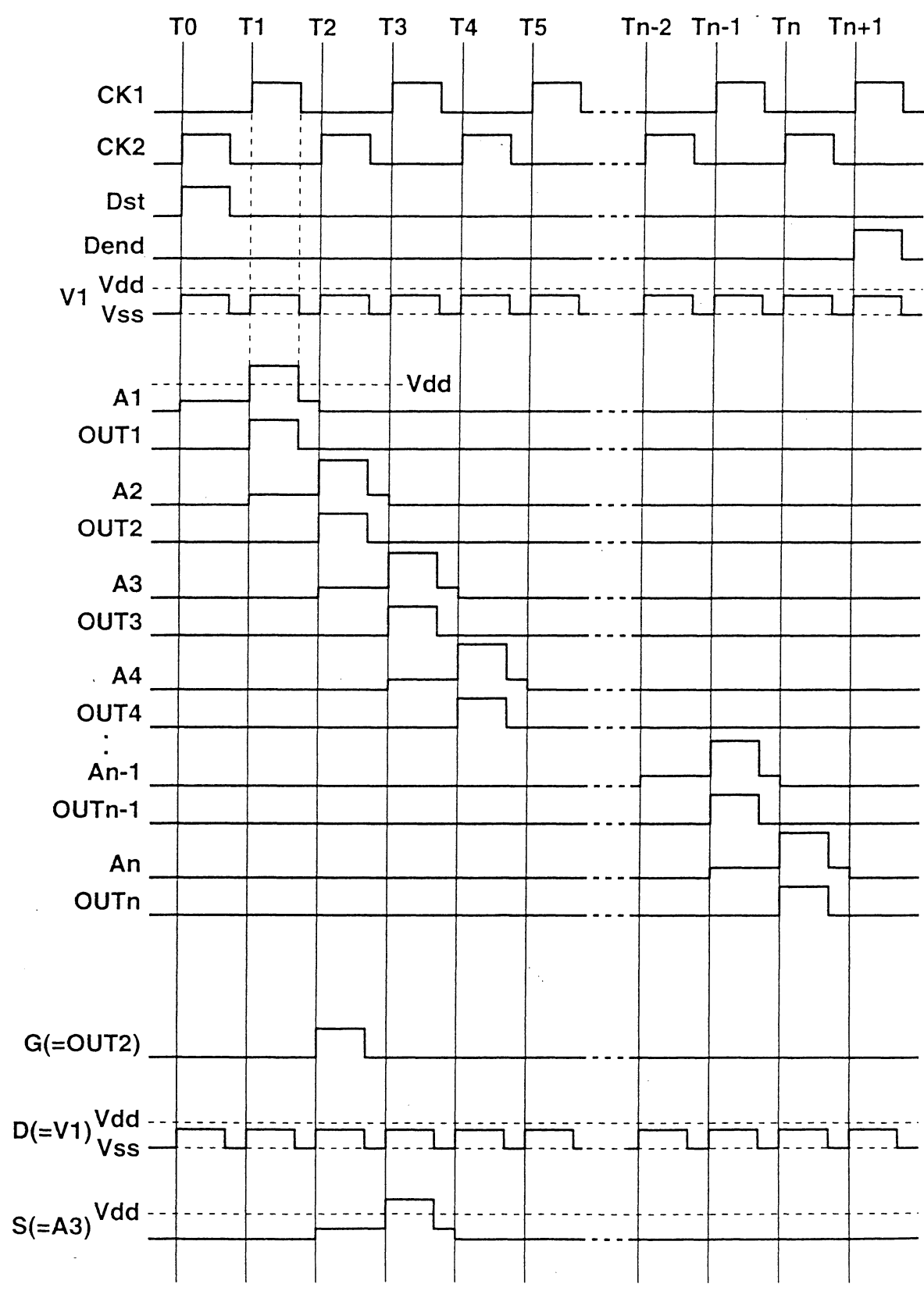
第 14 圖



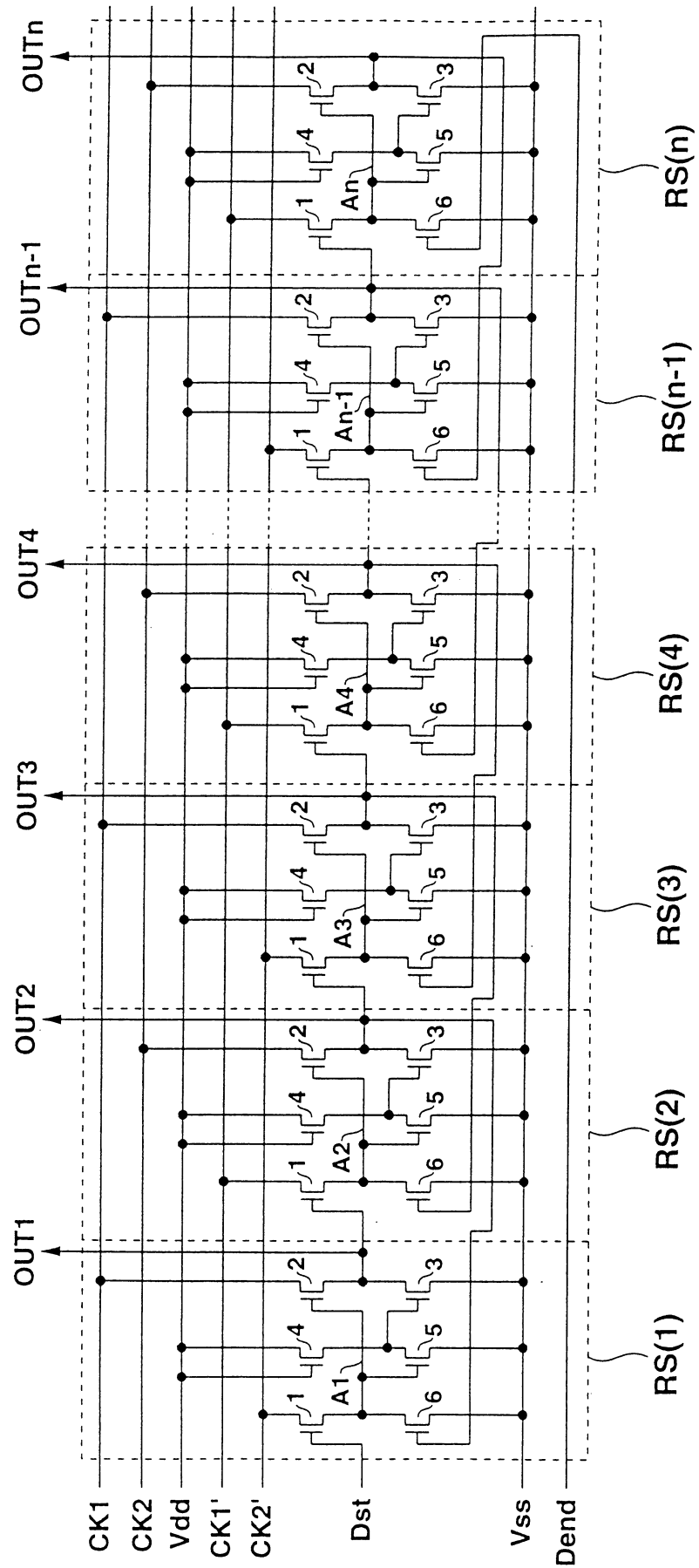
第 15 圖



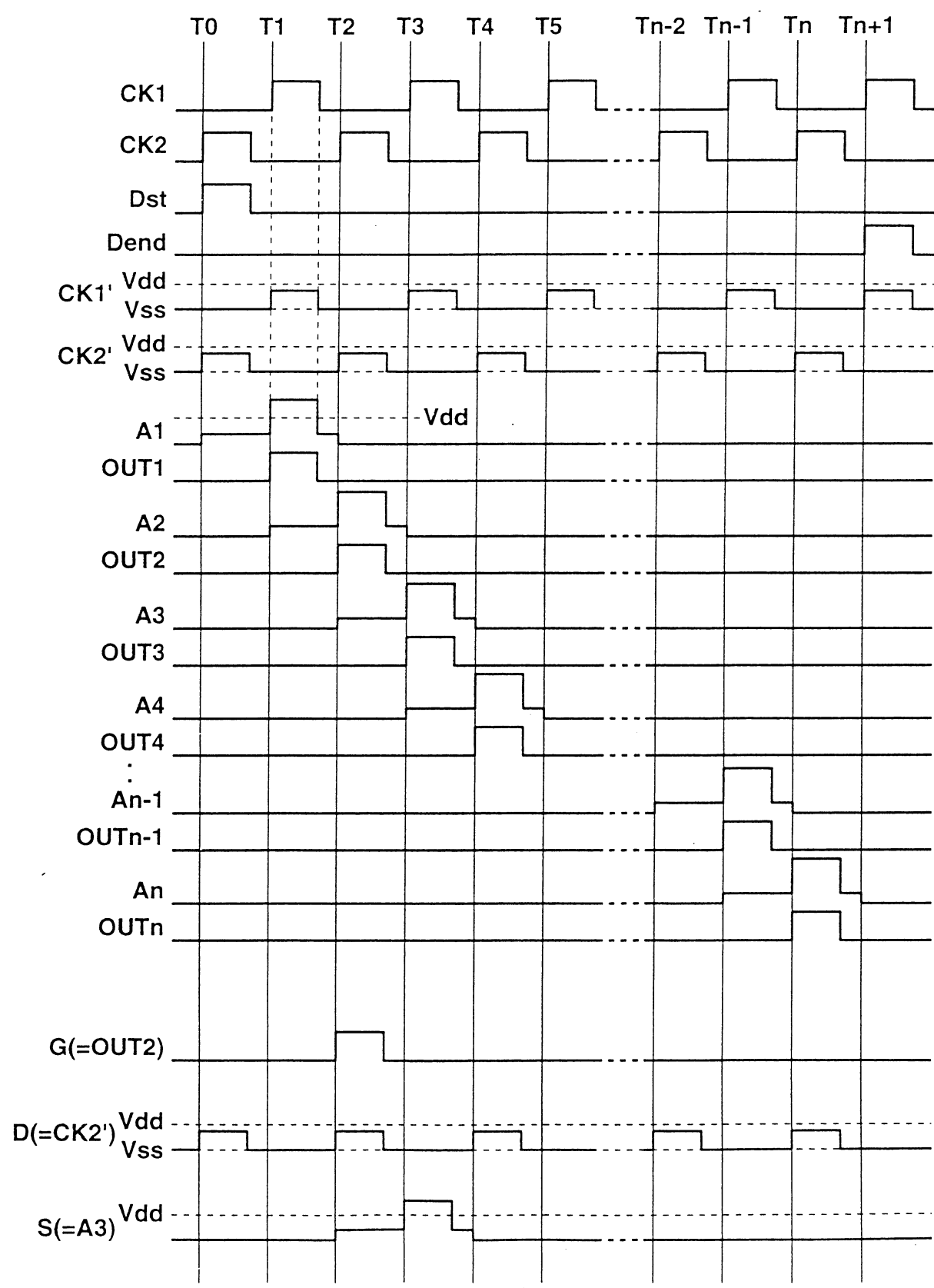
第 16 圖



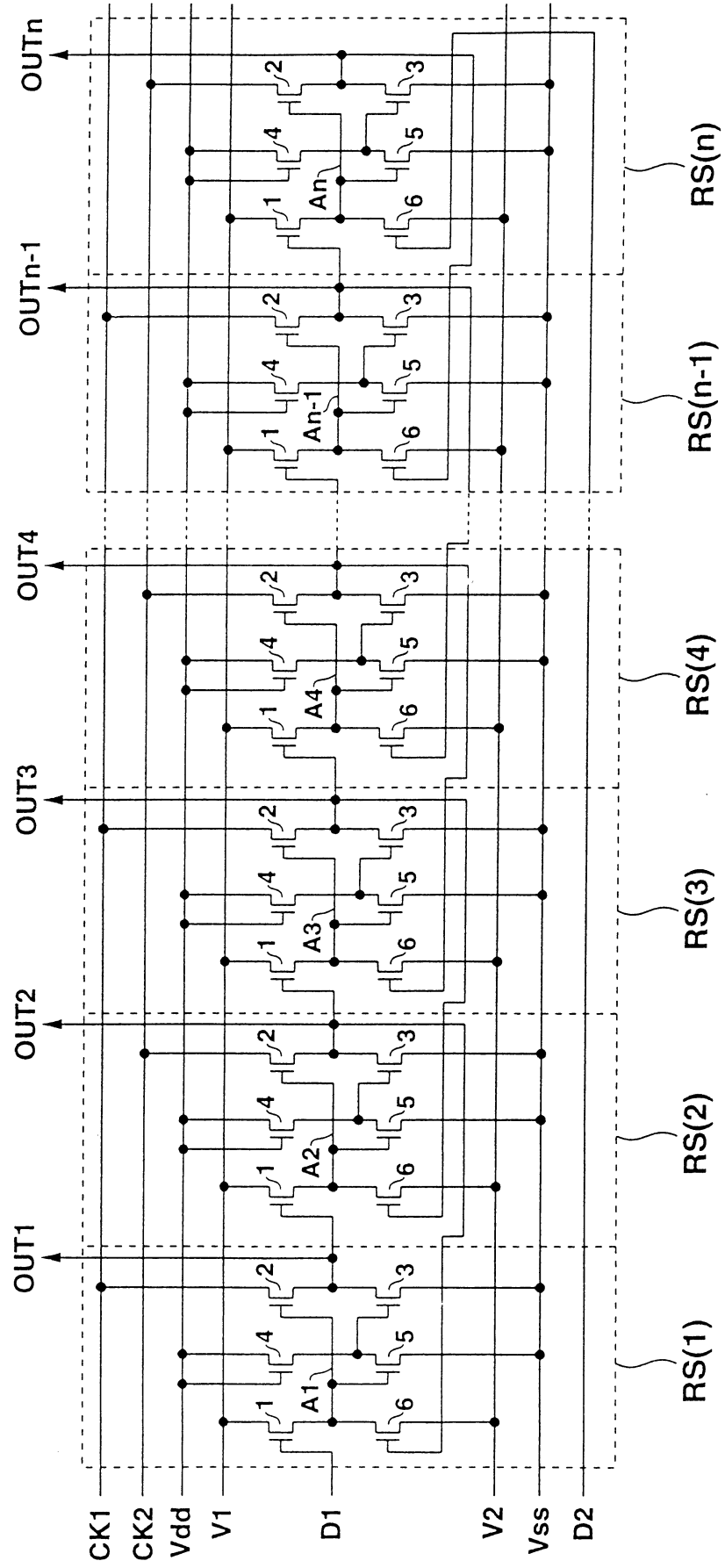
第 17 圖



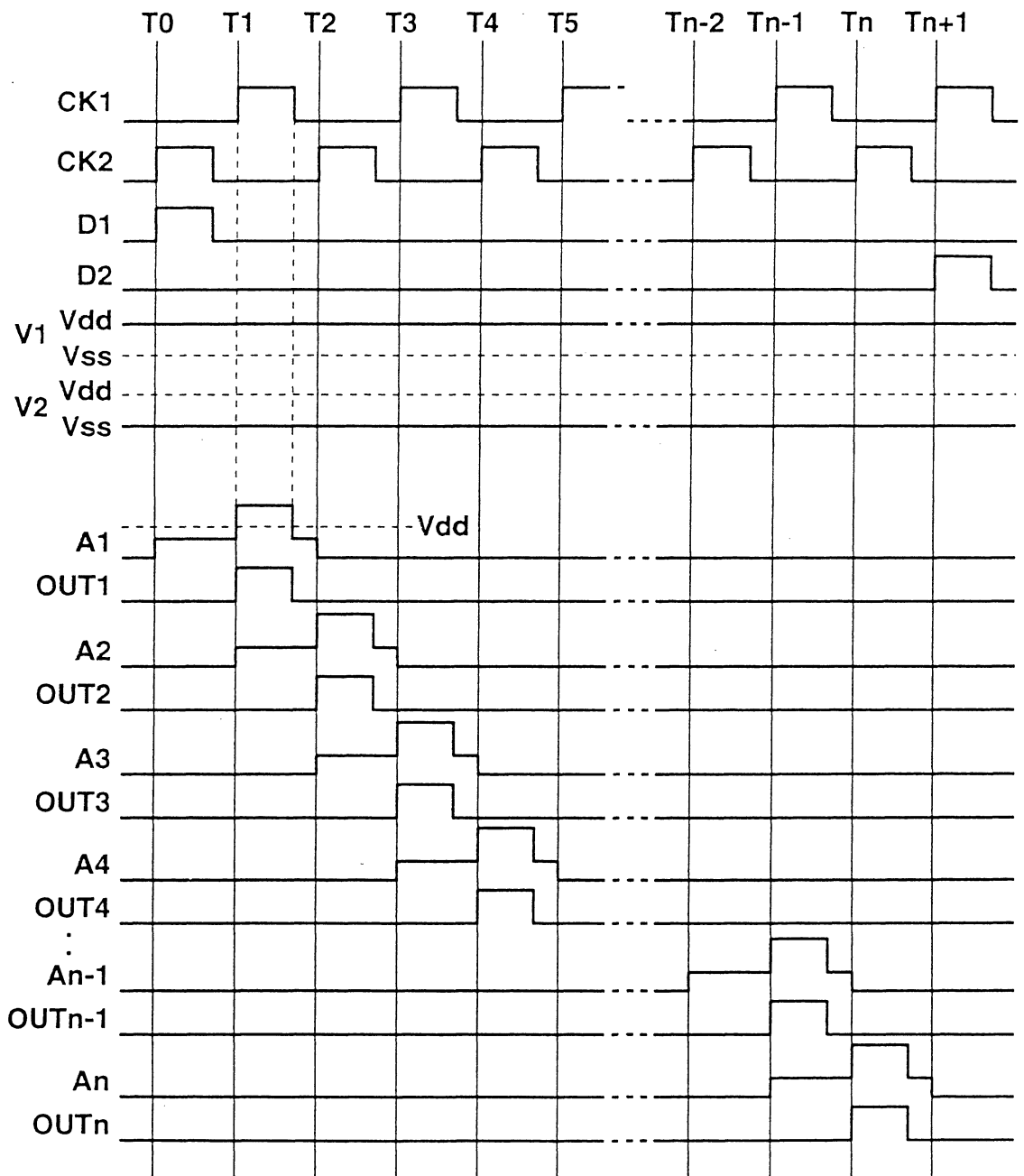
第 18 圖



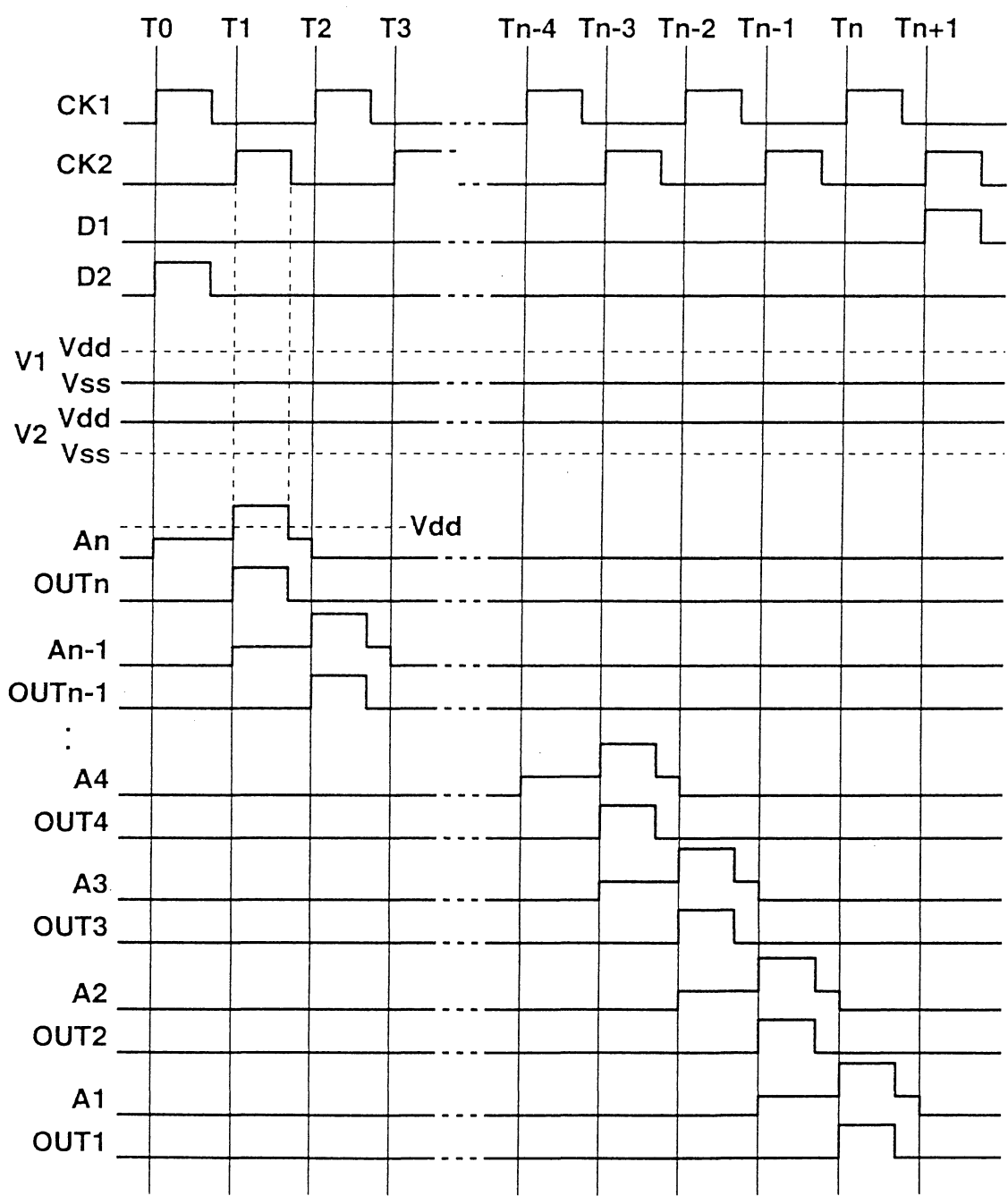
第 19 圖



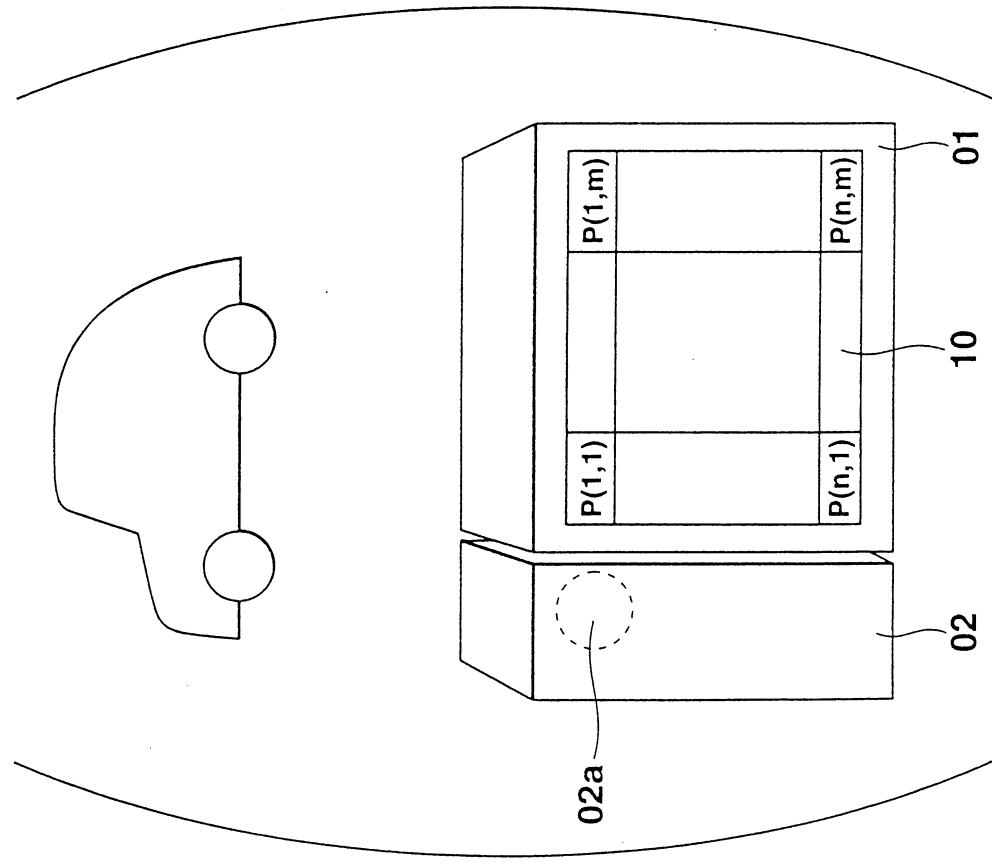
第 20 圖



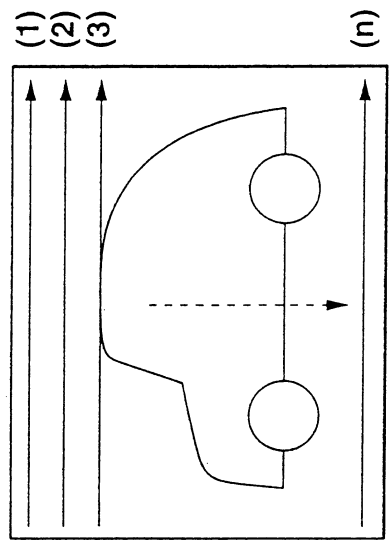
第 21 圖



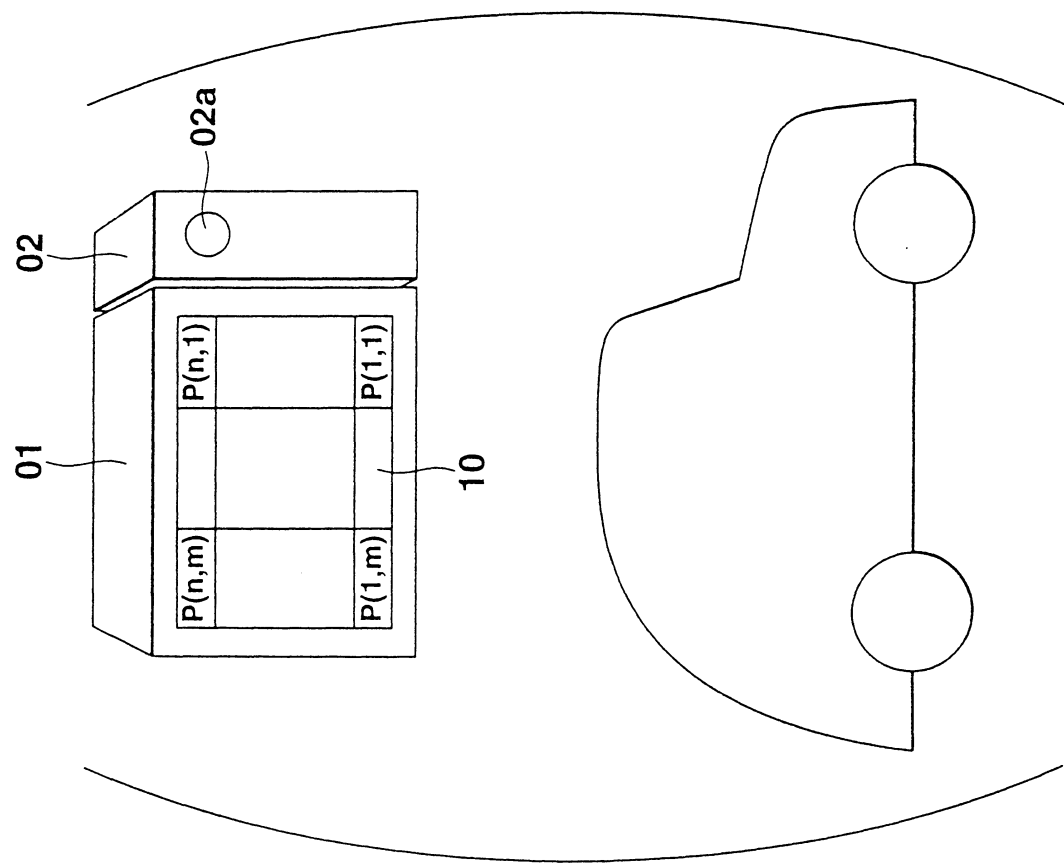
第 22 圖



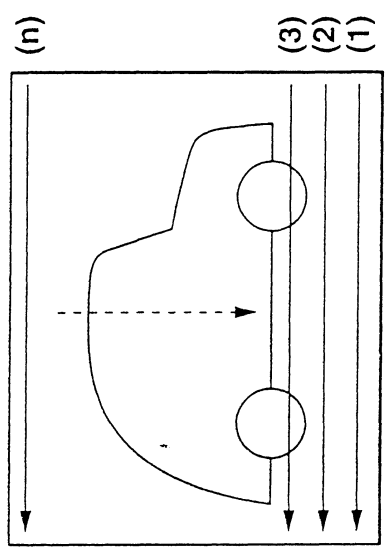
第 23A 圖



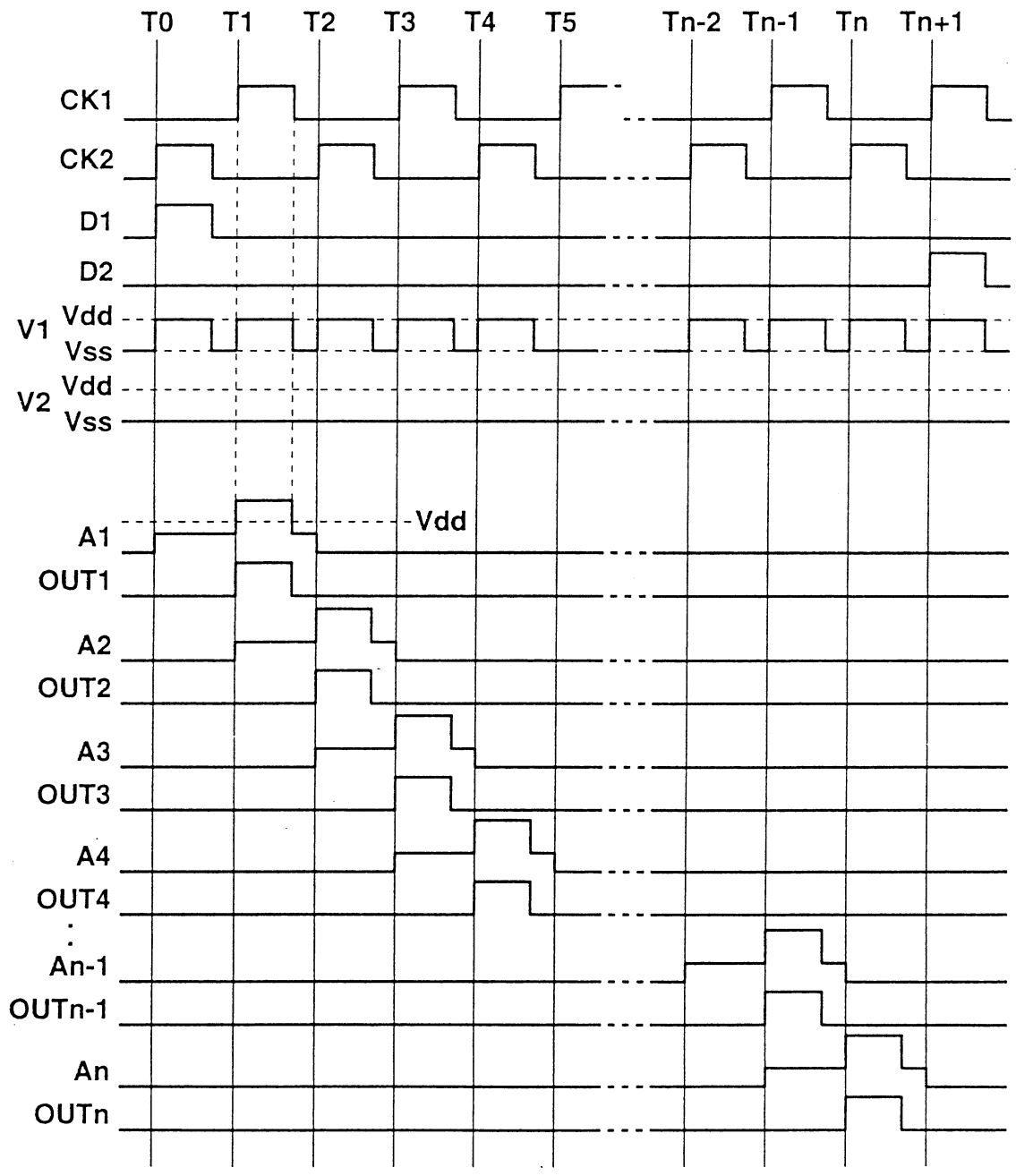
第 23B 圖



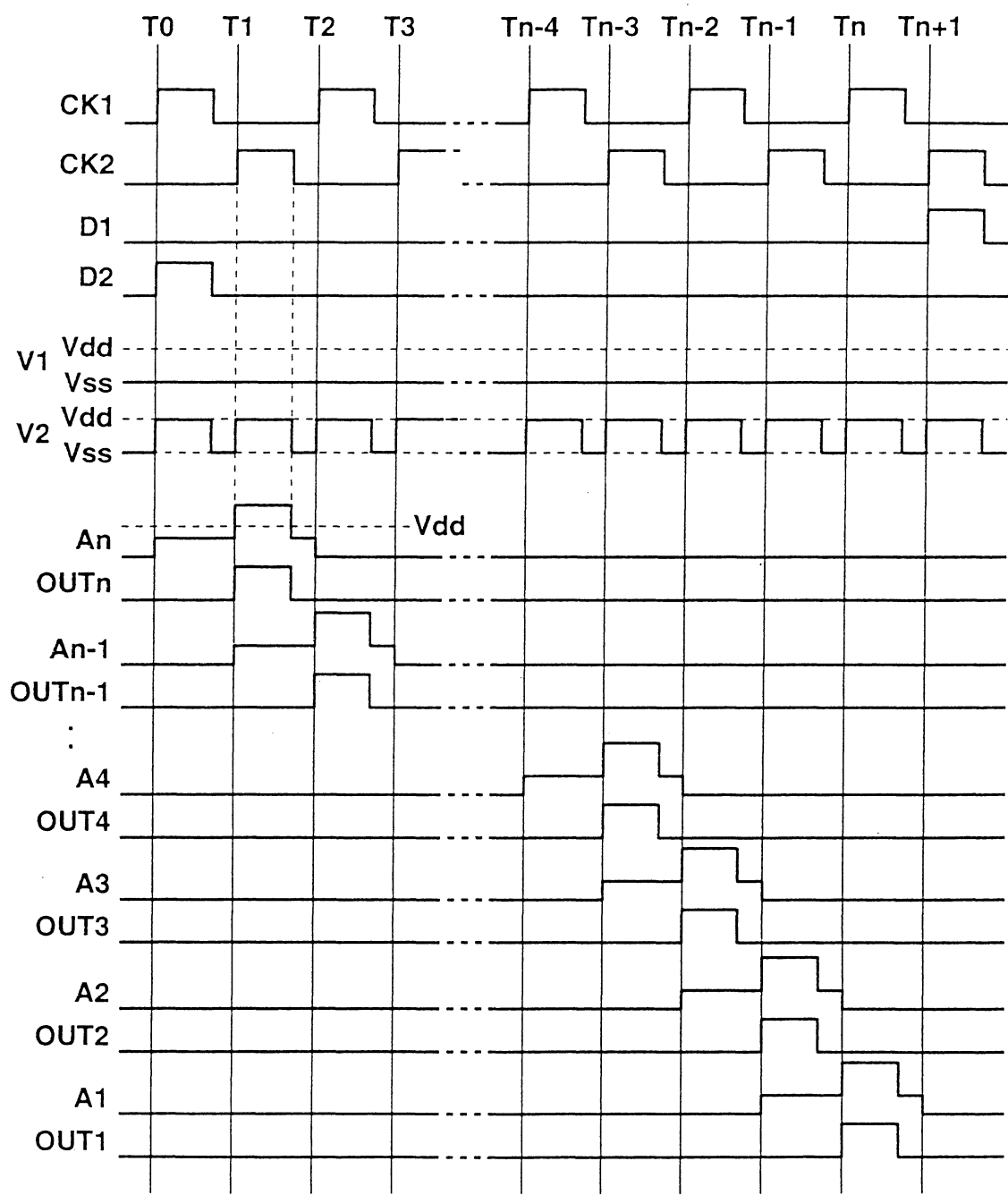
第 24A 圖



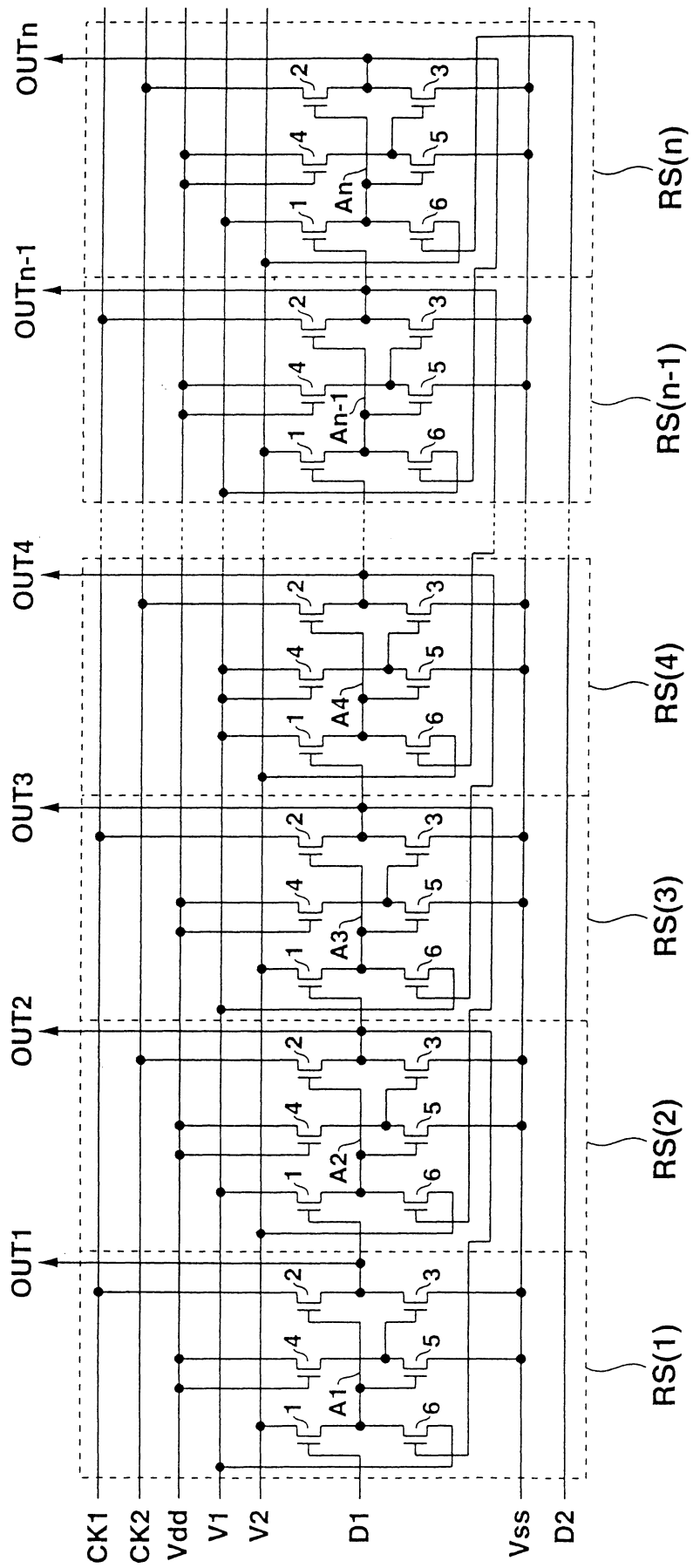
第 24B 圖



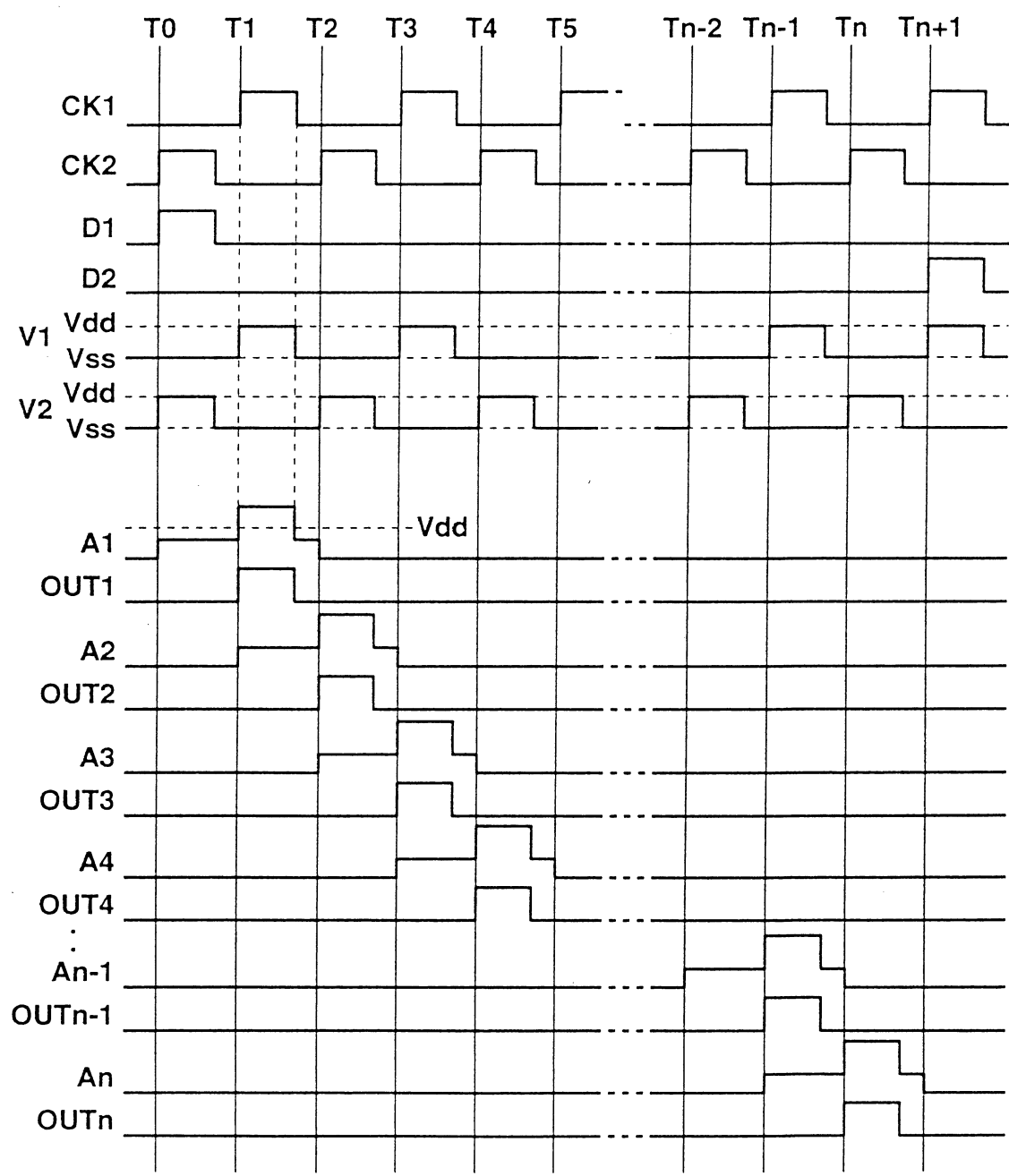
第 25 圖



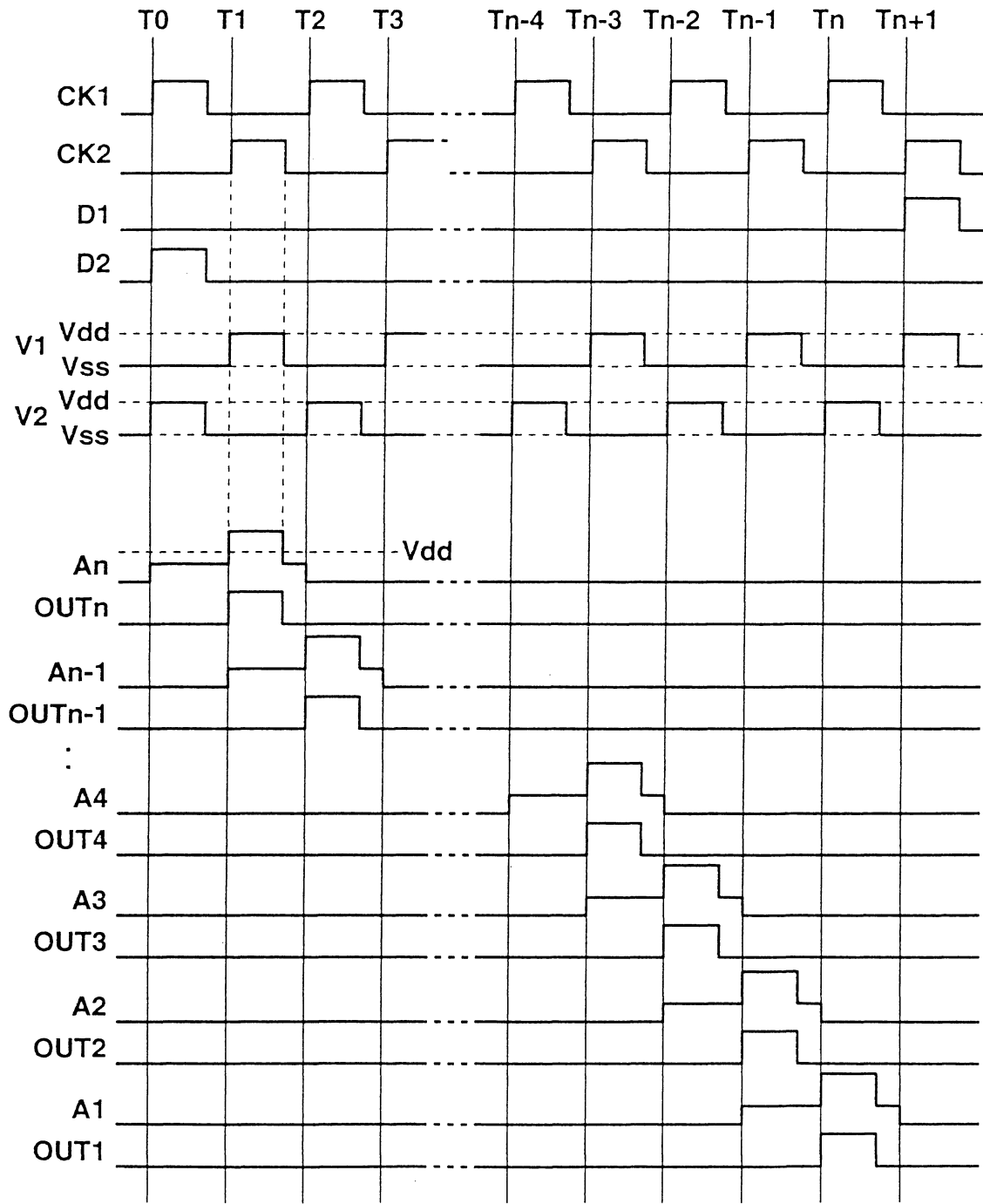
第 26 圖



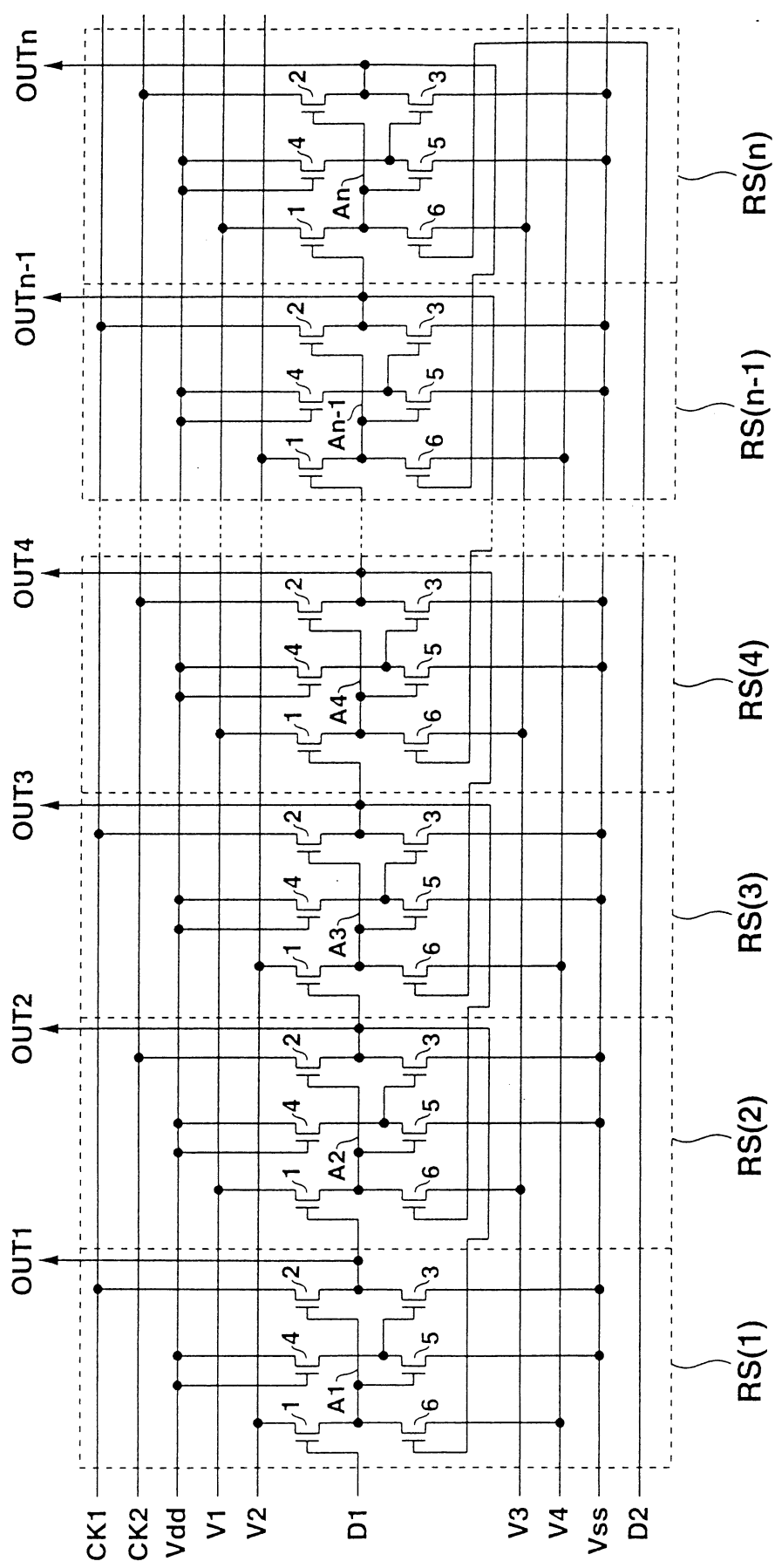
第 27 圖



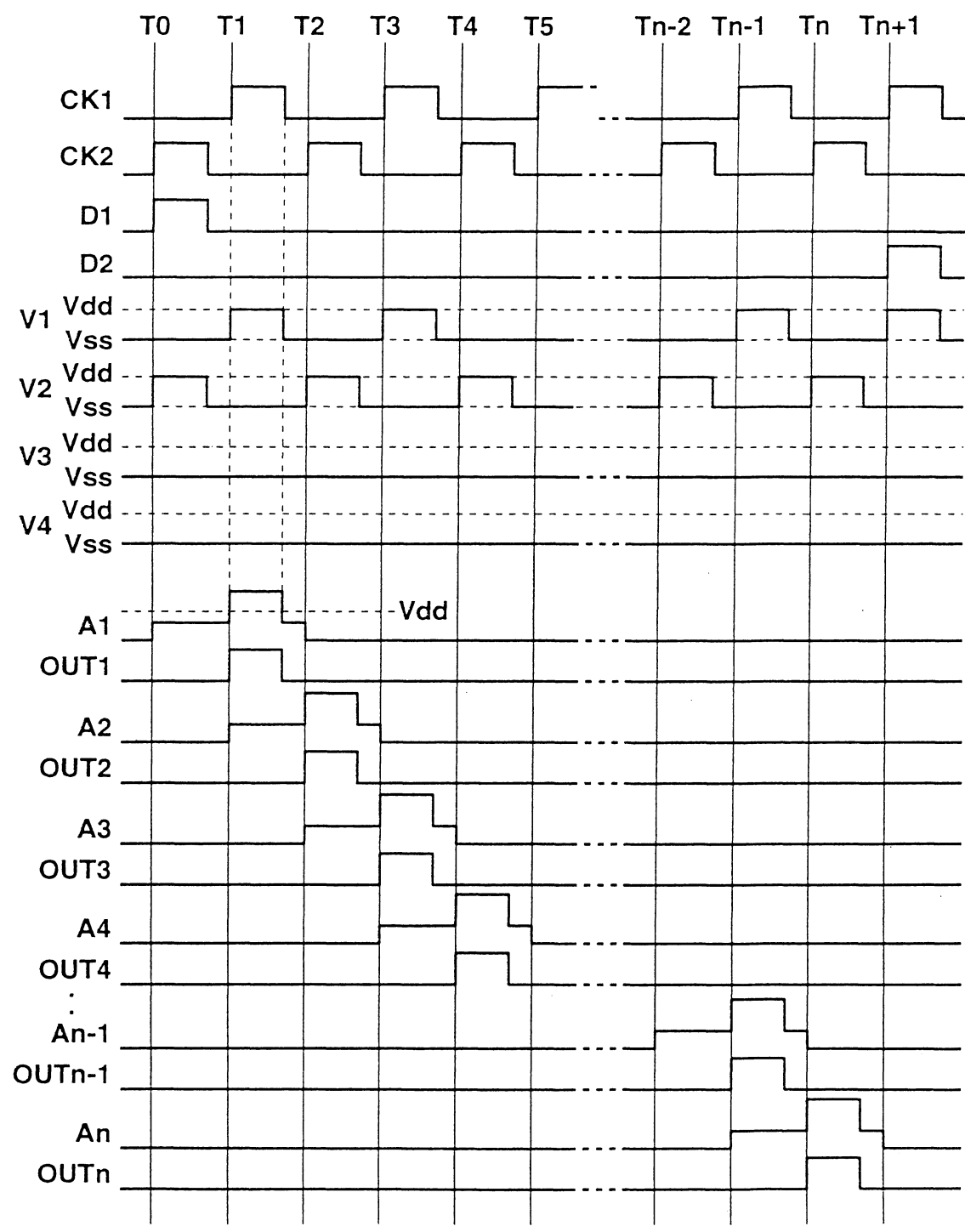
第 28 圖



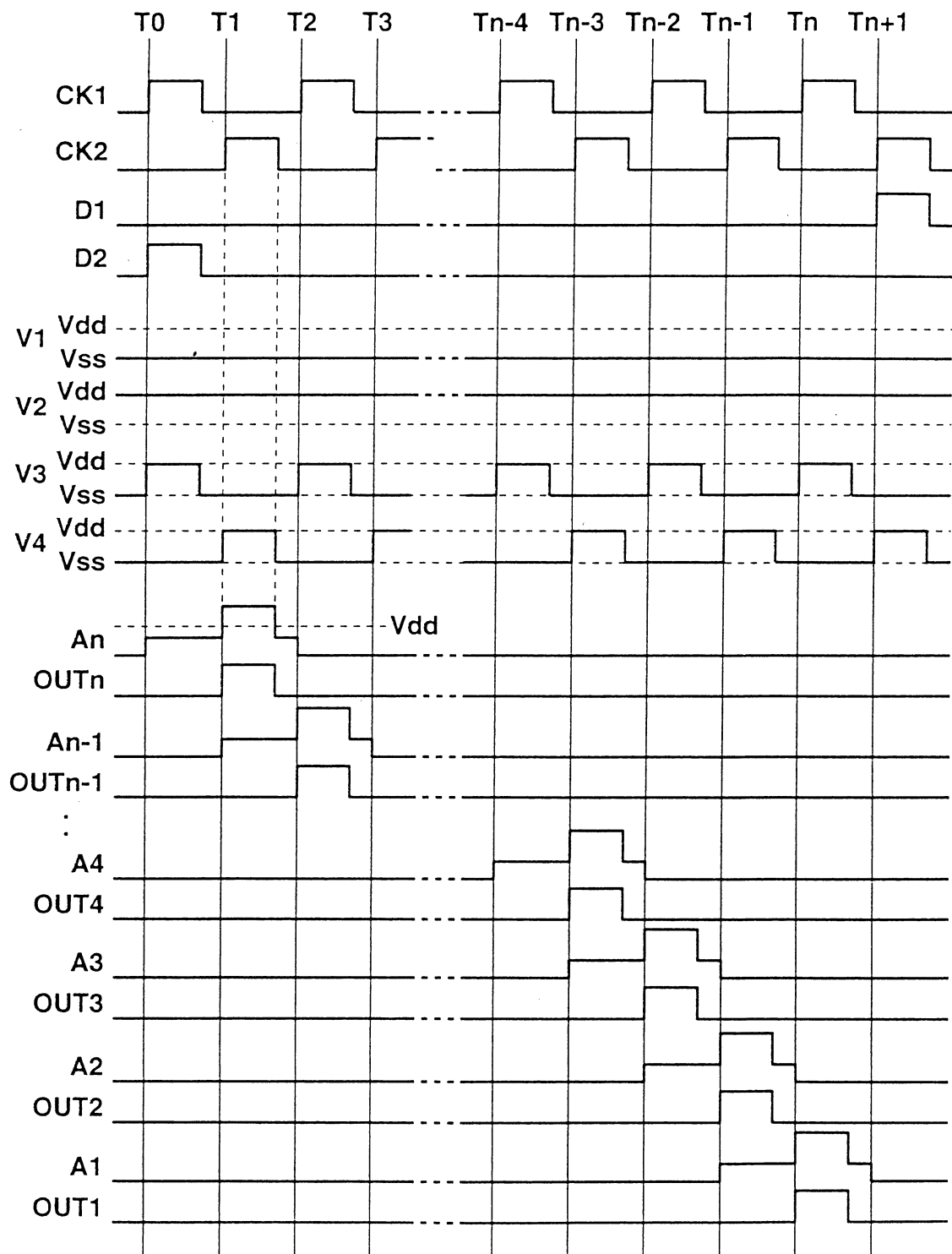
第 29 圖



第 30 圖



第 31 圖



第 32 圖