



(12) 发明专利申请

(10) 申请公布号 CN 102446890 A

(43) 申请公布日 2012. 05. 09

(21) 申请号 201110296815. 5

H01L 21/314(2006. 01)

(22) 申请日 2011. 09. 27

H01L 21/316(2006. 01)

(30) 优先权数据

H01L 21/8242(2006. 01)

2010-215361 2010. 09. 27 JP

(71) 申请人 尔必达存储器株式会社

地址 日本东京

申请人 东京毅力科创株式会社

(72) 发明人 广田俊幸 清村贵利 两角友一朗

菱屋晋吾

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 谢丽娜 关兆辉

(51) Int. Cl.

H01L 23/522(2006. 01)

H01L 21/02(2006. 01)

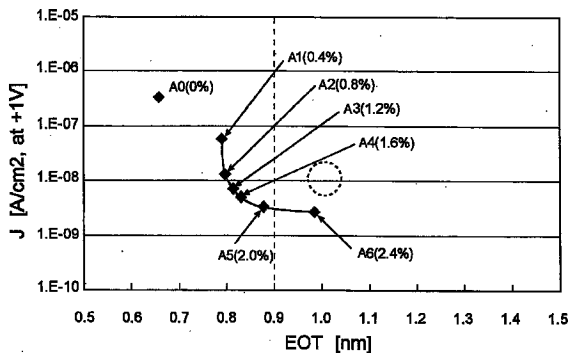
权利要求书 3 页 说明书 19 页 附图 19 页

(54) 发明名称

半导体装置及其制造方法、以及吸附位阻断原子层沉积法

(57) 摘要

本发明提供半导体装置及其制造方法、以及吸附位阻断原子层沉积法。在电容器的电介质膜中,为了即使设置用于改善泄漏特性的A1掺杂层,也不能通过A1掺杂层截断电介质膜,从而抑制了尺寸效应的影响,提供结晶性良好的电介质膜,而在电介质膜中具有至少1层A1掺杂层,将A1掺杂层的1层的A1原子的表面密度设为不足 $1.4E+14[atoms/cm^2]$ 。另外,为实现其表面密度,而采用基于通常的ALD的电介质膜成膜、和吸附位阻断ALD法实现的A1添加的组合,该吸附位阻断ALD法在进行限制A1源的吸附位的阻滞剂分子的吸附后,吸附A1源,导入反应气体进行反应。



1. 一种半导体装置,具备在与下部电极及上部电极之间具有电介质膜的电容器,其中,所述电介质膜具有至少 1 层的 A1 掺杂层,该 A1 掺杂层的 1 层的 A1 原子的表面密度不足  $1.4E+14atoms/cm^2$ 。
2. 如权利要求 1 所述的半导体装置,其中,所述 A1 掺杂层的 1 层的 A1 原子的表面密度为  $1.0E+14atoms/cm^2$  以下。
3. 如权利要求 1 所述的半导体装置,其中,所述 A1 掺杂层为在构成所述电介质膜的金属原子 M 的氧化膜面内分散氧化铝的层。
4. 如权利要求 3 所述的半导体装置,其中,包含于所述电介质膜中的 A1 原子的浓度以由  $A1/(A1+M)$  表示的原子数比计为 0.2 ~ 2 原子%。
5. 如权利要求 1 所述的半导体装置,其中,所述电介质膜在氧化锆膜中具有至少 1 层所述 A1 掺杂层。
6. 如权利要求 5 所述的半导体装置,其中,所述电容器的上下部电极由 TiN 膜构成,在 TiN 膜和氧化锆膜的界面具有氧化钛膜。
7. 如权利要求 1 所述的半导体装置,其中,所述电介质膜在氧化钛膜中具有至少 1 层所述 A1 掺杂层,该氧化钛膜为金红石构造。
8. 如权利要求 7 所述的半导体装置,其中,所述电容器的下部电极至少在表面层具有  $RuO_2$ 。
9. 如权利要求 1 所述的半导体装置,其中,所述电介质膜的等效氧化物厚度 (EOT) 为 0.9nm 以下。
10. 如权利要求 1 所述的半导体装置,其中,所述电容器的下部电极具有纵横比为 20 以上的立体构造。
11. 一种吸附位阻断原子层沉积法,通过原子层沉积法在基材上沉积与该基材不同的第一材料,其中,具备:  
在将包含成为所述第一材料的原料的第一前体的第一原料气体导入成膜空间之前,将包含具有比与所述第一前体的亲和性小的基团的阻滞剂分子的第二原料气体导入成膜空间,使所述基材上吸附所述阻滞剂分子,由此限制所述基材上的所述第一前体的吸附位的工序;  
净化所述第二原料气体的工序;  
将所述第一原料气体导入成膜空间,使所述基材上的被限制的吸附位吸附所述第一前体的工序;  
净化所述第一原料气体的工序;  
向成膜空间导入反应气体,使其至少与所述第一前体反应,变更为所述第一材料的工序。
12. 如权利要求 11 所述的吸附位阻断原子层沉积法,其中,所述阻滞剂分子具备容易吸附于所述基材的基团、和相对难以吸附于所述基材的基团,由此,将阻滞剂分子自身难以进行吸附的基团向外侧自组织地配向吸附,且所述难以吸附的基团为与所述第一前体的亲和性小的基团,阻断所述第一前体向所述阻滞剂分子的吸附。
13. 如权利要求 11 所述的吸附位阻断原子层沉积法,其中,所述基材为金属氧化物,

所述阻滞剂分子为具有构成所述基材的金属氧化物的金属原子,且具备所述容易吸附于基材的基团、和相对难以吸附于基材的基团作为取代基或配合基的金属络合物,

所述反应气体为氧化性气体,通过所述反应气体和所述阻滞剂分子发生反应,形成在所述基材的金属氧化物中掺杂了所述第一材料的膜。

14. 如权利要求 11 所述的吸附位阻断原子层沉积法,其中,所述阻滞剂分子配合一个也可以具有取代基的环戊二烯环,且具有多个极性基团的单环戊二烯基系金属络合物。

15. 如权利要求 14 所述的吸附位阻断原子层沉积法,其中,所述单环戊二烯基系金属络合物为环戊二烯基-三(二甲基氨基)锆、甲基环戊二烯基-三(二甲基氨基)锆或甲基环戊二烯基-三(二甲基氨基)钛。

16. 一种半导体装置的制造方法,半导体装置具备在与下部电极及上部电极之间具有电介质膜的电容器,其中,具备:

在下部电极上通过原子层沉积法形成电介质膜的工序;

在所述电介质膜上形成上部电极的工序,

所述电介质膜具有由相同的材料构成的第一及第二电介质膜、和夹持于所述第一及第二电介质膜之间的 Al 掺杂层,

所述 Al 掺杂层的形成按顺序包括:

(1) 导入含有分子内具有与 Al 前体的亲和性小的基团的阻滞剂分子的第二气体,使所述阻滞剂分子吸附于第一电介质膜上的步骤;

(2) 净化所述第二气体的步骤;

(3) 使所述阻滞剂分子未吸附的所述第一电介质膜上的吸附位吸附包含所述 Al 前体的第一原料气体的步骤;

(4) 净化所述第一原料气体的步骤;

(5) 供给反应气体,使其与吸附于所述第一电介质膜上的所述阻滞剂分子、及 Al 前体反应,至少将 Al 前体中的 Al 原子氧化的步骤;

(6) 净化未反应的所述反应气体及副生成物的步骤。

17. 如权利要求 16 所述的半导体装置的制造方法,其中,所述阻滞剂分子具备容易吸附于第一电介质膜的基团和相对难以吸附于第一电介质膜的基团,由此,将阻滞剂分子自身难以吸附的基团向外侧自组织地进行配向吸附,且所述难以吸附的基团为与所述 Al 前体的亲和性小的基团,将所述 Al 前体向所述阻滞剂分子的吸附阻断。

18. 如权利要求 16 所述的半导体装置的制造方法,其中,所述阻滞剂分子为具有构成所述第一电介质膜的金属原子 M,且具备容易吸附的基团和相对难以吸附的基团作为取代基或配合基的金属络合物,所述反应气体与所述阻滞剂分子发生反应,形成构成所述第一电介质膜的金属氧化物。

19. 如权利要求 16 所述的半导体装置的制造方法,其中,所述阻滞剂分子为具有构成所述第一电介质膜的金属原子 M,且具备极性基团和可以具有取代基的环戊二烯环的单环戊二烯基系金属络合物,与所述反应气体发生反应,形成构成所述第一电介质膜的金属氧化物。

20. 如权利要求 16 所述的半导体装置的制造方法,其中,Al 前体为三甲基铝。

21. 如权利要求 20 所述的半导体装置的制造方法,其中,所述第一及第二电介质膜为

氧化锆膜,所述阻滞剂分子为环戊二烯基-三(二甲基氨基)锆或甲基环戊二烯基-三(二甲基氨基)锆。

22. 如权利要求 21 所述的半导体装置的制造方法,其中,所述第一及第二电介质膜以所述阻滞剂分子为前体通过原子层沉积法形成。

23. 如权利要求 22 所述的半导体装置的制造方法,其中,所述电容器的上下部电极由 TiN 膜构成,还具有在 TiN 膜和氧化锆膜的界面形成氧化钛膜的工序。

24. 如权利要求 20 所述的半导体装置的制造方法,其中,所述第一及第二电介质膜为氧化钛膜,所述阻滞剂分子为甲基环戊二烯基-三(二甲基氨基)钛。

25. 如权利要求 24 所述的半导体装置的制造方法,其中,所述第一及第二电介质膜以所述阻滞剂分子为前体通过原子层沉积法形成。

26. 如权利要求 24 所述的半导体装置的制造方法,其中,所述电容器的下部电极由 RuO<sub>2</sub> 构成。

27. 如权利要求 16 ~ 26 中任一项所述的半导体装置的制造方法,其中,所述 Al 掺杂层在所述电介质膜中形成至少 1 层,1 层的成膜仅实施 1 循环的所述 (1) ~ (6) 的步骤。

28. 如权利要求 27 所述的半导体装置的制造方法,其中,所述 Al 掺杂层的 1 层的 Al 原子的表面密度不足 1.4E+14atoms/cm<sup>2</sup>。

29. 如权利要求 28 所述的半导体装置的制造方法,其中,所述 Al 掺杂层的 1 层的 Al 原子的表面密度为 1.0E+14atoms/cm<sup>2</sup> 以下。

30. 如权利要求 27 所述的半导体装置的制造方法,其中,所述电介质膜中的 Al 原子的浓度以和构成所述电介质膜的金属原子 M 的由 Al/(Al+M) 表示的原子数比计为 0.2 ~ 2 原子%。

31. 如权利要求 16 所述的半导体装置的制造方法,其中,所述电容器的下部电极为纵横比为 20 以上的立体构造。

## 半导体装置及其制造方法、以及吸附位阻断原子层沉积法

### 技术领域

[0001] 本发明涉及半导体装置及其制造方法,详细而言,涉及具有电容器的半导体装置、特别是用于电容器的电介质膜及其制造方法。另外,本发明涉及适合杂质的低浓度导入的新的原子层沉积法(ALD法)。

### 背景技术

[0002] 目前,所使用的DRAM用电容器的电介质材料之一有氧化锆( $ZrO_2$ )。

[0003] DRAM在形成电容器后作为不可避免的工序存在 $450^{\circ}C \sim 500^{\circ}C$ 左右的热处理,此时,氧化锆膜单体的电介质膜不能得到充分的热稳定性,在热处理后产生漏泄电流增大等的问题。

[0004] 因此,进行了赋予热稳定性的各种尝试,有具有将ZAZ构造( $TiN/ZrO_2/Al_2O_3/ZrO_2/TiN$ 、ZAZ的Z是指 $ZrO_2$ 层,A是指 $Al_2O_3$ 层。)、及 $Al_2O_3$ 和 $ZrO_2$ 的膜层叠多层的构造的材料等。

[0005] 这些构造通过将介电常数高的氧化锆( $ZrO_2$ )、介电常数不高而热稳定性优异的氧化铝( $Al_2O_3$ ),得到所希望的特性。

[0006] 例如JP 2006-135339A中公开有,用于特征尺寸(F值:最小图案间距的1/2)为70nm以下的DRAM,将AZ构造、ZA构造、ZAZ构造、或 $ZrO_2$ 薄膜和 $Al_2O_3$ 薄膜交互层叠而成的多重介电膜的形成方法。

[0007] 该薄膜形成使用ALD法,Zr源公开有 $ZrCl_4$ 、 $Zr[N(CH_3)C_2H_5]_4$ 、 $Zr(O-tBu)_4$ 、 $Zr[N(CH_3)_2]_4$ 、 $Zr[N(C_2H_5)(CH_3)]_4$ 、 $Zr[N(C_2H_5)_2]_4$ 、 $Zr(tmhd)_4$ 、 $Zr(OiC_3H_7)_3(tmtd)$ 及 $Zr(OtBu)_4$ ,另外,Al源公开有 $Al(CH_3)_3$ 、 $Al(C_2H_5)_3$ 。

[0008] 在得到 $ZrO_2$ 薄膜的ALD法中,重复所希望的次数的下述步骤:使Zr源吸附于基板表面后,利用 $N_2$ 、Ar等净化气体将未吸附的Zr源从反应室排出,通过 $O_3$ 等反应气体使其氧化,利用与上述相同的净化气体净化未反应的反应气体。

[0009] 另外,要得到 $Al_2O_3$ 薄膜,同样重复所希望次数的下述步骤:使Al源吸附于基板表面后,利用 $N_2$ 、Ar等净化气体将未吸附的Al源从反应室排出,通过 $O_3$ 等反应气体使其氧化,净化未反应的反应气体。

[0010] 另外,JP 2007-73926A中公开有:“一种介质膜,其特征在于,具备:至少具有25的相对介电常数的第一介质膜、使用结晶化率比该第一介质膜低的物质形成于上述第一介质膜上的第二介质膜、使用与上述第一介质膜相同的物质形成于上述第二介质膜上的第三介质膜”,表示在结晶化的 $ZrO_2$ 之间非晶质的 $Al_2O_3$ 所存在的构造与其相对应。

[0011]  $ZrO_2$ 膜或 $Al_2O_3$ 膜的成膜使用与JP 2006-135339A相同的ALD法,作为Zr源,公开有 $Zr(O-tBu)_4$ 、 $Zr[N(CH_3)_2]_4$ 、 $Zr[N(C_2H_5)(CH_3)]_4$ 、 $Zr[N(C_2H_5)_2]_4$ 、 $Zr(tmhd)_4$ 、 $Zr(OiC_3H_7)_3(tmhd)$ 、 $Zr(OtBu)_4$ 及 $Zr(OtBu)(C_2H_5CH_3)_3$ ,作为Al源公开有三甲基铝( $TMA:Al(CH_3)_3$ )、 $Al(C_2H_5)$ 。

[0012] 另外,JP 2007-281407A中表示了:为得到介电常数高的正方晶系构造的 $ZrO_2$ ,以

ALD 的时序追加 EXTRA O<sub>3</sub> 步骤、将基板温度设为 250℃ ~ 350℃、将氧化剂的 O<sub>3</sub> 浓度控制在 150g/m<sup>3</sup> 以上等。

[0013] 作为在此的 Zr 源, 公开有 Zr(O-tBu)<sub>4</sub>、Zr[N(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub>、Zr[N(C<sub>2</sub>H<sub>5</sub>)(CH<sub>3</sub>)]<sub>4</sub>、Zr[N(C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>]<sub>4</sub>、Zr(tmhd)<sub>4</sub>、Zr(OiC<sub>3</sub>H<sub>7</sub>)<sub>3</sub>(tmhd)、及 Zr(OtBu)<sub>4</sub>。

[0014] 另外, JP 2007-150242A 中公开有: 通过 ALD 法将锆、铝及氧分别以规定的摩尔分数 x、y、z 混合而成的具有 Zr<sub>x</sub>Al<sub>y</sub>O<sub>z</sub> 膜的电容器的制造方法, 在上述 Zr<sub>x</sub>Al<sub>y</sub>O<sub>z</sub> 介质膜中, 上述摩尔分数 x、y、及 z 的合计为 1, 上述摩尔分数 x 除以上述摩尔分数 y 所得的值为 1 ~ 10 的范围的值 (0.091 ≤ y/(x+y) ≤ 0.50 即由 Al/(Al+Zr) 表示的原子数比为约 9 原子% ~ 50 原子% 的范围)。

[0015] 另外, 公开有, 形成上述 Zr<sub>x</sub>Al<sub>y</sub>O<sub>z</sub> 介质膜的上述步骤包含:

[0016] 导入 Zr 源并使其吸附于上述下部电极的步骤;

[0017] 供给第一净化气体将未吸附的上述 Zr 源除去的步骤;

[0018] 导入 Al 源并使其吸附于在上述下部电极上吸附的上述 Zr 源上的步骤;

[0019] 供给第二净化气体将未吸附的上述 Al 源除去的步骤;

[0020] 供给反应气体, 使其与吸附于上述下部电极上的上述 Zr 源及 Al 源发生反应而形成上述 Zr<sub>x</sub>Al<sub>y</sub>O<sub>z</sub> 介质膜的步骤;

[0021] 供给第三净化气体将未反应的上述反应气体除去的步骤。

[0022] 作为 Zr 源, 公开有 ZrCl<sub>4</sub>、Zr[N(CH<sub>3</sub>)C<sub>2</sub>H<sub>5</sub>]<sub>4</sub>、Zr(O-tBu)<sub>4</sub>、Zr[N(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub>、Zr[N(C<sub>2</sub>H<sub>5</sub>)(CH<sub>3</sub>)]<sub>4</sub>、Zr[N(C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>]<sub>4</sub>、Zr(tmhd)<sub>4</sub>、Zr(OiC<sub>3</sub>H<sub>7</sub>)<sub>3</sub>(tmtd)、Zr(OtBu)<sub>4</sub>。

[0023] 另外, JP 2007-150242A 中, 没有提及所得到的电介质膜是结晶还是非晶质。另外, 具体的而言将摩尔分数控制在如何指定的范围未公开。

[0024] DRAM 将 1bit 存储于由一个晶体管和一个电容器构成的单位单元。伴随比特数的增大, 进一步减小每单位单元的占有面积, 有微细化的趋势, 目前, 为 F 值为 40nm 以后的 DRAM, 每单位单元的占有面积更小。

[0025] 电容器的蓄积电容需要为一定量 (20fF ~ 25fF), 即使每单位单元的占有面积减小, 也必须要确保一定量以上的蓄积电容。因此, 为扩大电极面积而进行电容器的立体化, 且为使电极在基板的垂直方向较高地耸立, 其构造的纵横比 (纵横比) 超过 30 而变大。

[0026] 但是, 在 F 值为 40nm 以下的 DRAM 用电容器中, 认为通过一次的干式蚀刻可实现的加工技术的界限目前为纵横比 35。

[0027] 因此, 为了得到必要的电容器的蓄积电容, 寻求将电容器的漏泄电流保持为与目前相同 (1E-7A/cm<sup>2</sup> 以下), 同时, 使 EOT (Equivalent Oxide Thickness: 等效氧化物厚度, 即将电容器的每单位面积的电容换算为等效的氧化硅的膜厚的值) 比目前更小 (0.9nm 以下)。

[0028] 这样, 为使相对于立体构造的电极形成的电介质膜实现小的 EOT 和小的漏泄电流, 需要介电常数高且覆盖性好, 且热稳定性充分的电容膜 (电介质膜), 但这些项目实际上彼此具有权衡的关系。

[0029] 1) 介电常数和覆盖性的权衡

[0030] 例如, 非晶质的 ZrO<sub>2</sub> 膜的介电常数低, 因此, 为得到介电常数高的电容膜, 需要得到结晶化的 ZrO<sub>2</sub> 膜。特别是为得到包含介电常数高的正方晶这种 ZrO<sub>2</sub> 膜, 如 JP

2007-281407A 所示,需要以较高的温度进行成膜。

[0031] 但是,在上述在先专利文献中公开的 Zr 源中,在以能够得到正方晶的高温进行成膜时,因热而进行自我分解,覆盖性变差。通过本发明者的探讨判明了其结果是不能与纵横比 20 以上的立体构造相对应。

[0032] 当其它条件相同时,漏泄电流由电介质膜的最薄的部分决定,因此,覆盖性的恶化导致膜厚的不均匀,必须要使电介质膜的膜厚相应地在整体上提高。其结果不能够减小 EOT,因此,难以同时实现介电常数和覆盖性双方。

[0033] 2) 热稳定性和介电常数的权衡

[0034] 另外,为实现必要的热稳定性,作为杂质导入的 Al 量的设定和其量的控制致为重要。Al 量过多则不能得到介电常数高的膜,相反如果 Al 量过少则不能得到充分的热稳定性。

[0035] 本发明者进行了尝试,判明了,在 JP 2007-150242A 所示的 Al 的浓度范围内,热稳定性虽然充分,但难以实现 ZrO<sub>2</sub> 膜的结晶化,不能得到能够与 F 值 40nm 以下的设备相对应的小的 EOT。

[0036] 另外,对于 Al 量而言,不仅电介质膜整体的平均浓度,而且局部的密度也致为重要。其与可以使杂质较均匀地分散于母材的 PVD 法及 CVD 法不同,在通过 ALD 法添加杂质时,通常是,只要杂质不因高温向母材中扩散,则源于其成膜方法,在膜厚方向形成杂质的浓淡。但是,在高温下的成膜中,如上述 1) 所说明,覆盖性变差。

[0037] 另一方面,结晶化的电介质膜有通常称作“尺寸效应”的现象,且膜厚越小,则介电常数降低的趋势越明显。该现象在氧化锆的情况下在比约 6nm 薄的物理膜厚显著。

[0038] 例如,由 ALD 法形成 ZrO<sub>2</sub>,在成膜中途通过相同的 ALD 法形成 Al<sub>2</sub>O<sub>3</sub> 的情况下,如果 Al<sub>2</sub>O<sub>3</sub> 的表面密度比某值高,则 ZrO<sub>2</sub> 在结晶化时不会超过 Al<sub>2</sub>O<sub>3</sub> 的层,而以 Al<sub>2</sub>O<sub>3</sub> 的层为边界上下将 ZrO<sub>2</sub> 的结晶粒截断,ZrO<sub>2</sub> 的膜自身以 Al<sub>2</sub>O<sub>3</sub> 层为界作为上下不同的层被截断。其结果,即使以合计膜厚计为 6nm 以上的膜厚,由 Al<sub>2</sub>O<sub>3</sub> 层截断的各自的 ZrO<sub>2</sub> 膜的介电常数也因“尺寸效应”而减小,不能减小整体的电介质膜的 EOT。

[0039] 现有技术中公开的 Zr 源和 Al 源即 TMA 的组合中,通过本发明者的探讨判断出,即使 JP 2007-73926A 的 Al<sub>2</sub>O<sub>3</sub> 层为 ALD1 循环的 Al 掺杂,也不能抑制 ZrO<sub>2</sub> 膜的截断。

[0040] 另外,使用现有技术中公开的 Zr 源,选出 JP 2007-150242A 中公开的 Zr<sub>x</sub>Al<sub>y</sub>O<sub>z</sub> 膜的 ALD 的 1 循环源用于 Al 的掺杂,但终究不能抑制 ZrO<sub>2</sub> 膜的截断。

[0041] 这样,在现有技术的时序和现有的 Zr 源和 Al 源的组合中,在 ZAZ 构造中不能避免 ZrO<sub>2</sub> 膜的截断。

[0042] 因此,为得到小的 EOT,需要明确不能由 Al 掺杂层截断 ZrO<sub>2</sub> 膜的“ALD 每 1 循环的 Al 的表面密度”的量,且必须要选择实现其量的装置。

## 发明内容

[0043] 这样,可以在纵横比 20 以上的立体构造的电容器的下部电极上,在可以提高介电常数的高温(240℃~300℃)的工艺条件下覆盖性高地进行成膜,且高精度地添加适宜量的 Al,必须要使 ZrO<sub>2</sub> 的结晶不被添加了 Al 的层截断,发现用于同时满足其的具体方法为重要的技术课题。

[0044] 为解决以上说明的课题,本发明采用以下方面。

[0045] (1) 通过较高温(240℃~300℃)的ALD法进行添加有Al的电介质膜(包含Al以外的金属原子M)的成膜,且将为提高热稳定性而添加的Al的浓度( $Al/(Al+M)$ )设为0.2~2原子%的范围。

[0046] (2) 在为添加Al而进行的ALD的1循环中,将Al原子的表面密度控制在不足 $1.4E+14atoms/cm^2$ ,优选控制在 $1.0E+14atoms/cm^2$ 以下。

[0047] (3) 为实现上述(2)的表面密度,采用通常的ALD进行的电介质膜成膜、和吸附位阻断ALD法进行的Al添加的组合。

[0048] (4) 吸附位阻断ALD法中如下进行控制,通过在通过其它分子(阻滞剂)预先阻断作为对象的材料(例如本发明的电介质膜的情况下为作为杂质的Al)的源(前体)的吸附位,控制作为对象的材料ALD循环每1次的表面密度。

[0049] 即,根据本发明的一个实施方式,提供一种半导体装置,其具备在下部电极及上部电极之间具有电介质膜的电容器,其中,电介质膜在膜中具有至少1层的Al掺杂层,该Al掺杂层的1层中的Al原子的表面密度不足 $1.4E+14atoms/cm^2$ 。

[0050] 另外,根据本发明其它实施方式,提供一种半导体装置的制造方法,半导体装置具备在下部电极及上部电极之间具有电介质膜的电容器,其中,上述制造方法具备:在下部电极上通过原子层沉积法形成电介质膜的工序;在所述电介质膜上形成上部电极的工序,所述电介质膜具有由相同的材料构成的第一及第二电介质膜、和夹持于所述第一及第二电介质膜之间的Al掺杂层,所述Al掺杂层的形成按以下顺序包括:(1)导入含有分子内具有与Al前体的亲和性小的基团的阻滞剂分子的第二气体,使所述阻滞剂分子吸附于第一电介质膜上的步骤;(2)净化所述第二气体的步骤;

[0051] (3)使所述阻滞剂分子未吸附的所述第一电介质膜上的吸附位吸附包含所述Al前体的第一原料气体的步骤;

[0052] (4)净化所述第一原料气体的步骤;

[0053] (5)供给反应气体,使其与吸附于所述第一电介质膜上的所述阻滞剂分子、及Al前体反应,至少将Al前体中的Al原子氧化的步骤;

[0054] (6)净化未反应的所述反应气体及副生成物的步骤。

[0055] 根据本发明,具有电介质膜未截断的Al掺杂层的表面密度,抑制尺寸效应的影响,另外,可以形成结晶性良好的电介质膜。

[0056] 另外,根据本发明的制造方法,可以实现上述表面密度。

[0057] 基于下述附图对优选实施方式进行的说明可以使本发明的上述特征和优势更加明确。

#### 附图说明

[0058] 图1是表示本发明一个实施方式的电容器构造的示意剖面图;

[0059] 图2是表示本发明其它实施方式的电容器构造的示意剖面图;

[0060] 图3是表示现有例(Al掺杂法B)的电容器构造的示意剖面图;

[0061] 图4是表示其它现有例(Al掺杂法C)的电容器构造的示意剖面图;

[0062] 图5-1是示意性表示表示本发明一个实施方式的Al掺杂层的制造工序的制造流

程及此时的表面状态的推移的图；

[0063] 图 5-2 是示意性表示表示本发明一个实施方式的 Al 掺杂层的制造工序的制造流程及此时的表面状态的推移的图；

[0064] 图 6 是示意性表示表示现有例 (Al 掺杂法 B) 的 Al 掺杂层的制造工序的制造流程及此时的表面状态的推移的图；

[0065] 图 7 是示意性表示表示其它现有例 (Al 掺杂法 C) 的 Al 掺杂层的制造工序的制造流程及此时的表面状态的推移的图；

[0066] 图 8 是表示制造的电容器样品的 I-V 特性的图表；

[0067] 图 9 是表示制造的电容器样品的 Al 掺杂每 1 层的 ALD 循环数和 EOT 的关系的图表；

[0068] 图 10 是表示制造的电容器样品的 Al 掺杂每 1 层的 ALD 循环数和漏泄电流特性的关系的图表；

[0069] 图 11 是表示制造的电容器样品的 EOT 和漏泄电流特性的关系的图表；

[0070] 图 12 是表示 Al 掺杂层数和 Al 浓度的关系的图表；

[0071] 图 13 是表示 Al 浓度和 EOT 的关系的图表；

[0072] 图 14 是表示 Al 浓度和漏泄电流特性的关系的图表；

[0073] 图 15 是表示 Al 浓度的 EOT 和漏泄电流特性的关系的图表；

[0074] 图 16 是表示成为本发明的半导体装置的 DRAM 的整体构成的概略的剖面示意图；

[0075] 图 17 是由图 16 的 X-X 所示的位置的平面图；

[0076] 图 18(a) ~ 图 18(d) 是表示图 16 的电容器的制造工序的工序剖面图；

[0077] 图 18(e) ~ 图 18(h) 是表示图 16 的电容器的制造工序的工序剖面图；

[0078] 图 18(i) 是表示图 16 的电容器的制造工序的工序剖面图；

[0079] 图 19 是表示本发明的又一其它实施方式的电容器构造的示意式剖面图。

## 具体实施方式

[0080] 在此,举出实施例具体地说明本发明,本领域技术人员可以明白,可以使用现有的发明而完成许多可变的实施例,本发明并不限于以下用于进行说明的示例实施例。

[0081] 下面,与现有技术进行比较,说明本发明的实施方式例。

[0082] 首先,对作为比较对象的两个现有技术“Al 掺杂法 B”和“Al 掺杂法 C”进行说明。

[0083] <Al 掺杂法 B(现有技术)>

[0084] 首先列举的是现有技术的延伸,基于 JP 2006-135339A 及 JP 2007-73926A 所示的方法。为便于说明,下面将其称作“Al 掺杂法 B”。

[0085] Al 掺杂法 B,与其视作掺杂,其更接近  $ZrO_2$  膜和  $Al_2O_3$  膜的层叠构造的感觉。即,为得到  $ZrO_2$  膜,重复进行所希望次数的如下工序的步骤:(1) 导入 Zr 源,使其吸附于基底表面的工序,(2) 通过  $N_2$ 、Ar 等净化气体从反应室排出未吸附的 Zr 源的工序,(3) 由  $O_3$  等反应气体将 Zr 源氧化的工序,(4) 净化未反应的反应气体的工序。

[0086] 另外,为得到  $Al_2O_3$  膜,同样地重复所希望次数的如下步骤,(1) 导入 Al 源,使其吸附于基底表面的步骤,(2) 利用  $N_2$ 、Ar 等净化气体从反应室排出未吸附的 Al 源的步骤,(3) 由  $O_3$  等反应气体将 Al 源氧化的步骤,(4) 净化未反应的反应气体的步骤。

[0087] 在 JP 2006-135339A 及 JP 2007-73926A 所公开的  $ZrO_2$  膜之间夹入  $Al_2O_3$  膜的 ZAZ 构造中公开有,在 JP 2006-135339A 的 ZAZ 构造中,将  $ZrO_2$  膜的厚度在每一层设为 0.5nm ~ 5.0nm,  $Al_2O_3$  膜设为 0.5nm ~ 1.5nm,另外,在 JP 2007-73926A 的 ZAZ 构造中,将结晶化的  $ZrO_2$  膜的膜厚设为 3.5nm ~ 4.5nm,将  $Al_2O_3$  (非晶质膜) 的厚度设为 0.1nm ~ 1nm,将全电介质膜的厚度设为 7 ~ 10nm。

[0088] 图 3 表示通过 Al 掺杂法 B 形成的电容器的剖面示意图。同图中,301 表示下部电极,302 表示第一  $ZrO_2$  层,303 表示 Al 掺杂层 ( $Al_2O_3$  膜),304 表示第二  $ZrO_2$  层,305 表示上部电极。

[0089] 图 6 中示意性表示通过“Al 掺杂法 B”在  $ZrO_2$  膜中以 Al 的掺杂用的 ALD 循环 (Al 掺杂层 303 成膜的 ALD 循环) 为例进行一次的情况下的制造流程、和此时的表面状态的推移。如同图所示,第一  $ZrO_2$  层 302 和第二  $ZrO_2$  层 304 通过 Al 掺杂层 303 进行截断。

[0090] <Al 掺杂法 C (现有技术)>

[0091] 下面列举的是将 JP 2006-135339A 及 JP 2007-73926A 所示的方法、和 JP 2007-150242A 所示的方法的一部分和现有的源组合而成的时序。为便于说明,下面将其称作“Al 掺杂法 C”。

[0092] “Al 掺杂法 C”在 Al 掺杂的 ALD 循环中使用了 JP 2007-150242A 所示的  $Zr_xAl_yO_z$  膜的 ALD 时序的一部分、和上述在先技术文献中公开的 Zr 源 (Zr 前体) 的组合。

[0093] 即,提供一种方法,包含:

[0094] (1) 导入 Zr 源 (在此为  $Zr[N(CH_3)C_2H_5]_4$ ), 并吸附于已形成的第一  $ZrO_2$  膜的步骤;

[0095] (2) 供给第一净化气体将未吸附的 Zr 源除去的步骤;

[0096] (3) 导入 Al 源,使其吸附于已经吸附到第一  $ZrO_2$  膜上的 Zr 源上的步骤;

[0097] (4) 供给第二净化气体将未吸附的 Al 源除去的步骤;

[0098] (5) 供给反应气体,使其与吸附于下部电极上的 Zr 源及 Al 源进行反应而氧化的步骤;

[0099] (6) 供给第三净化气体将未反应的反应气体除去的步骤,重复任意次数的上述各步骤,在  $ZrO_2$  膜上形成  $Zr_xAl_yO_z$  膜,进而在其上使用 JP2006-135339A 及 JP 2007-73926A 所示的 ALD 循环形成第二  $ZrO_2$  膜。

[0100] 图 4 表示通过 Al 掺杂法 C 形成的电容器的剖面示意图。同图中,401 表示下部电极,402 表示第一  $ZrO_2$  层,403 表示 Al 掺杂层 ( $Zr_xAl_yO_z$  膜),404 表示第二  $ZrO_2$  层,405 表示上部电极。

[0101] 图 7 中,作为例子表示仅进行一次形成 Al 掺杂法 C 的 Al 掺杂层 403 的 ALD 循环的情况下的制造流程、此时的表面状态的推移的示意图。

[0102] 其次,对使用本发明的技术的“Al 掺杂法 A”的具体的的实施例进行说明。

[0103] <Al 掺杂法 A (本发明的技术)>

[0104] 作为对  $ZrO_2$  电介质膜稳定且控制好地掺杂低浓度的 Al 的方法,本发明者重新开发了“吸附位阻断 ALD 法”(或称作 ASB-ALD 法 (Adsorption Site Blocking-ALD Method))。下面,为便于说明,将使用该方法在  $ZrO_2$  电介质膜中掺杂 Al 的方法称作“Al 掺杂法 A”。

[0105] “吸附位阻断 ALD 法”中,ALD 循环的时序自身与“Al 掺杂法 C”相似,但在杂质掺

杂的 ALD 循环中,进行如下控制:在使杂质源(杂质前体)吸附于基材(母材)之前,通过其它分子(以下称作“阻滞剂”)将杂质源的吸附位阻断,抑制杂质源吸附的量,这一点与“A1 掺杂法 C”不同。

[0106] 作为阻滞剂的分子要求以下的性质。

[0107] • 在要阻断的杂质源(前体)的吸附位吸附阻滞剂。

[0108] • 相比要阻断的杂质源(前体),阻滞剂的吸附稳定。

[0109] • 阻滞剂自身与要阻断的分子不发生反应,或者阻滞剂自身不形成要阻断的分子的新的吸附位。

[0110] • 阻滞剂可以容易地除去,或者即使其一部分残留,生成物也为与基材(母材)相同的材料。

[0111] • 在成膜工艺温度下难以自我分解(热稳定性优异)。

[0112] • 具有适度的立体位阻,阻断吸附位后也一定量地稳定残留基底的吸附位。

[0113] • 蒸气压充分。

[0114] 即,本发明提供吸附位阻断 ALD 法,通过 ALD 法在基材上被覆与该基材不同的第一材料,该方法具备:在将包含作为上述第一材料的原料的第一前体的第一原料气体导入成膜空间之前,将含有具有与上述第一前体的亲和性小的基团的阻滞剂分子的第二气体导入成膜空间,使上述阻滞剂分子吸附在上述基材上,由此限制上述基材上的上述第一前体的吸附位的工序;

[0115] 净化上述第二气体的工序;

[0116] 将上述第一原料气体导入成膜空间,在上述基材上的被限制的吸附位吸附上述第一前体的工序;

[0117] 净化上述第一原料气体的工序;

[0118] 向成膜空间导入反应气体,使其至少与上述第一前体反应,将其转换成上述第一材料的工序。

[0119] 上述阻滞剂分子的特征在于,具备容易吸附于上述基材的基团、和相对难以吸附的基团,从而阻滞剂分子自身将上述难以吸附的基团朝向外侧自组织地配向吸附,且上述容易吸附的基团为与上述第一前体的亲和性小的基团,阻断上述第一前体向上述阻滞剂分子自身的吸附。

[0120] 另外,上述基材为金属氧化物,上述阻滞剂分子为具有构成上述基材的金属氧化物的金属原子,且具备上述容易吸附于基材的基团、和相对难以吸附的基团作为取代基或配合基的金属络合物,上述反应气体为氧化性的气体,优选的是,通过上述反应气体和上述阻滞剂分子发生反应,形成上述基材的金属氧化物中掺杂了上述第一材料的膜。

[0121] 另外,上述阻滞剂分子优选为配位一个也可以具有取代基的环戊二烯环且具有多个极性基团的单环戊二烯基系金属络合物。极性基团为相比环戊二烯环相对容易吸附于基材的基团,为包含氮原子、氧原子等杂原子的基团。例如,作为极性基团,列举现有的前体中含有的烷基氨基、烷氧基、羰基等。环戊二烯环为通常体积相比极性基团高的基团,被赋予适度的立体位阻,并且为与上述第一前体的亲和性小的基团。作为环戊二烯环也可以具有的取代基,提高与上述第一前体的亲和性的基团(例如包含上述的极性基团等的杂原子的基团)不优选,优选为烃基,其中优选烷基、特别优选低级烷基。这些具有取代基的环戊二

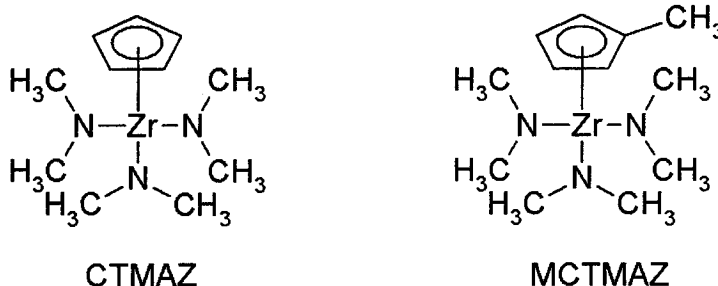
烯环的立体位阻更大,根据情况有时进一步增大热稳定性。取代基的导入只要考虑与作为杂质导入的第一前体的组合、或合成的容易度等适宜选择即可。

[0122] 第一原料气体、第二气体、反应气体除上述第一前体、阻滞剂分子、反应的目的气体 ( $O_3$  等氧化气体) 外,还可以含有作为载气的 Ar 或  $N_2$  等不活泼气体。

[0123] 另外,本发明者在向作为电介质膜的  $ZrO_2$  膜掺杂作为杂质的 Al 时,在使用该“吸附位阻断 ALD 法”的情况下,发现 TMA (Al 源)、和  $ZrCp(NMe_2)_3$  (环戊二烯基-三(二甲基氨基)锆、以下称作“CTMAZ”) 或  $Zr(MeCp)(NMe_2)_3$  (甲基环戊二烯基-三(二甲基氨基)锆、以下、称作“MCTMAZ”) (Zr 源兼、TMA 的阻滞剂) 的组合适宜。特别是环戊二烯环作为阻滞剂起作用,也有助于 Zr 源自身的热稳定性提高。

[0124] 下面表示 CTMAZ 及 MCTMAZ 的构造。

[0125]



[0126] 这些 Zr 源具有一个环戊二烯环和三个烷基氨基,认为以面向烷基氨基的方式吸附于被吸附面。即,烷基氨基为相对于基材容易吸附的基团,环戊二烯环为相比烷基氨基相对难以吸附且与 Al 源的亲和性小的基团,将环戊二烯环朝向外侧自组织地配向吸附。

[0127] 本发明的“Al 掺杂法 A”中,使用这些 Zr 源,且使用以下所示的 ALD 时序。

[0128] 即,在下层的第一  $ZrO_2$  层的成膜中,如 JP 2006-135339A 及 JP2007-73926A 所示,重复多次如下的步骤,即,在使 Zr 源 (Zr 前体) 吸附于基板表面后,通过  $N_2$ 、Ar 等净化气体将未吸附的 Zr 源从反应室排出,且通过  $O_3$  等反应气体使其氧化,净化未反应的  $O_3$  的步骤。在此,作为 Zr 源使用 CTMAZ 或 MCTMAZ,但也可以为现有的 Zr 源。但是,使用 CTMAZ 或 MCTMAZ 的情况下的成膜温度为  $240 \sim 300^\circ C$ , 使用现有的 Zr 源的情况下的成膜温度为  $210^\circ C \sim 280^\circ C$ 。CTMAZ 或 MCTMAZ 中,可进行比现有的 Zr 源高的温度下的成膜,在更高的温度下的成膜中,可进行更接近正方晶的  $ZrO_2$  膜的成膜,容易得到介电常数高的膜质。另外,除 CTMAZ 或 MCTMAZ 外,相比现有的 Zr 源,高温成膜时的覆盖性优异。

[0129] Al 掺杂的 ALD 时序按以下顺序包含:

[0130] (1) 导入包含阻滞剂 (在此为 CTMAZ 或 MCTMAZ) 的第二原料气体,使阻滞剂吸附于成为基材的第一  $ZrO_2$  层上的步骤;

[0131] (2) 供给净化气体 (Ar、 $N_2$ ), 以除去未吸附的上述阻滞剂的方式净化第二原料气体的步骤;

[0132] (3) 导入包含上述 Al 源 (在此为 TMA) 的第一原料气体,在由阻滞剂阻断不完的第一  $ZrO_2$  层上的吸附位吸附上述 Al 源的步骤;

[0133] (4) 供给净化气体,以除去未吸附的上述 Al 源的方式净化第一原料气体的步骤;

[0134] (5) 供给反应气体 ( $O_3/O_2$ ), 使其与吸附于第一  $ZrO_2$  层上的上述阻滞剂兼 Zr 源、及

Al 源发生反应,形成 Al 掺杂层的步骤;

[0135] (6) 供给净化气体,除去(净化)未反应的上述反应气体及副生成物的步骤。

[0136] 将上述步骤根据需要重复任意多次,在第一  $ZrO_2$  层之上形成 Al 掺杂层,进而在其上使用 JP 2006-135339A 及 JP 2007-73926A 所示的 ALD 循环形成第二  $ZrO_2$  层。

[0137] 图 1 表示通过 Al 掺杂法 A 形成的电容器的剖面示意图。同图中,101 表示下部电极,102 表示第一  $ZrO_2$  层,103 表示 Al 掺杂层,104 表示第二  $ZrO_2$  层,105 表示上部电极。

[0138] 图 5(图 5-1、5-2) 表示作为例子使用吸附位阻断 ALD 法对  $ZrO_2$  膜仅进行一次 Al 掺杂的 ALD 循环的情况下的制造流程、和此时的表面状态的示意图。

[0139] 首先,如 (a) 所示,作为 Zr 源兼阻滞剂,在第一  $ZrO_2$  层 102 上供给 CTMAZ 或 MCTMAZ(在此为 CTMAZ),使其吸附于表面上。其结果为,在第一  $ZrO_2$  层 102 的表面,在烷基氨基侧进行吸附,成为环戊二烯环朝向外侧的状态(自组织的配向吸附)。

[0140] 另一方面,在 CTMAZ 及 MCTMAZ 具有体积高的环戊二烯环形成的适度的立体位阻,不能将基底的第一  $ZrO_2$  层 102 表面完全覆盖。因此,在第一  $ZrO_2$  层 102 上稳定地形成一定量的“间隙”。

[0141] 该“间隙”如 (b) 所示,通过净化将未吸附的 Zr 源兼阻滞剂除去后仍残留,成为 Al 源吸附位。

[0142] 之后,如 (c) 所示,在作为 Al 源供给 TMA 时,TMA 分子吸附于从阻滞剂的“间隙”露出的 Al 源吸附位即第一  $ZrO_2$  层 102 表面。

[0143] 处于 Zr 源兼阻滞剂之间的 TMA 分子如 (d) 所示,即使净化也稳定地滞留于此。另一方面,由于环戊二烯环和 TMA 缺乏亲和性,所以在环戊二烯环上几乎不会吸附 TMA。

[0144] JP 2007-150242A 中,如图 7 所示,积极地利用在 Zr 源上也吸附 Al 源的 TMA,形成  $Zr_xAl_yO_z$  膜,与之相对,本发明中选择的 Zr 源通过自组织的配向吸附而通过环戊二烯环高效地阻断 TMA,可以控制 TMA 的吸附量。

[0145] 另外,CTMAZ 及 MCTMAZ 由于相比现有的 Zr 源热稳定性优异,因此,具有在得到高的介电常数的  $ZrO_2$  膜的高温(240℃~300℃)的成膜条件下难以热分解的特征。由于难以热分解,所以在净化中或 TMA 供给过程中环戊二烯环脱离,难以引起其成为 TMA 的吸附位的现象的也是应特写的点。

[0146] 之后,如 (e) 所示,作为反应气体供给含有  $O_3$  的氧化性的气体。由此,将 Zr 源及 Al 源氧化分解,形成氧化物,接着,净化未反应的反应气体及副生成物。

[0147] 其结果为,在几乎均由  $ZrO_2$  构成的面上可以形成极少的氧化铝散布的面。

[0148] 接着,为进一步形成第二  $ZrO_2$  层 104 而重复执行规定次数的 Zr 源吸附步骤(f)、净化步骤(未图示)、反应气体供给/氧化步骤(未图示)、未反应气体净化步骤(未图示),由此,如 (g) 所示,可以得到在  $ZrO_2$  膜(第一  $ZrO_2$  层 102~第二  $ZrO_2$  层 104) 中将某一一定量的 Al 作为杂质掺杂其中的膜。

[0149] 本发明者使用如上说明的 Al 掺杂法 A、Al 掺杂法 B、Al 掺杂法 C,形成具有以下构造的平坦电容器,调查其特性。

[0150] 另外,下面,以由  $TiO_2$  夹持添加了 Al 的  $ZrO_2$  电介质膜的构造为例进行说明,这不是现有公知的构造,而是本发明者的一部分独自开发的构造。因此,以下所示的各掺杂法的电容器样品不是现有技术的样品。

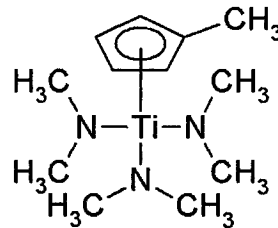
[0151] 通过之前的发明者的探讨判明了,作为电容器的电极使用的与 TiN 组合的极薄的 TiO<sub>2</sub> 膜、特别是与上部电极相接的 TiO<sub>2</sub> 膜为 1nm 以上时,不作为电介质膜起作用,而作为上部电极的一部分起作用。本发明中,这样的 TiO<sub>2</sub> 膜的形成由于具有抑制界面反应,提高密接性且使电容器特性稳定的作用,所以采用在 TiN 电极和掺杂有 Al 的 ZrO<sub>2</sub> 的界面设置 TiO<sub>2</sub> 的构造进行各掺杂方法的评价和比较。但是, TiO<sub>2</sub> 膜在本发明中不是必须的。

[0152] (Al 掺杂法 A 进行的电容器样品的形成)

[0153] 图 2 表示由 Al 掺杂法 A 制作的电容器构造的示意图。在 TiN 下部电极上 (TiN 膜厚 10nm) 201 上使用 ALD 法形成有 TiO<sub>2</sub> 膜 202。

[0154] Ti 源使用 Ti(CpMe)(NMe<sub>2</sub>)<sub>3</sub> (甲基环戊二烯基·三(二甲基氨基)钛,以下称作“TiMCTA”)。下面表示分子构造。

[0155]



T i M C T A

[0156] TiMCTA 自身也与 CTMAZ 同样地为由于具有环戊二烯基环,从而热稳定性提高的 Ti 源。以该 TiMCTA 的供给、净化、反应气体 (O<sub>3</sub>) 供给、净化为 1 周期,进行 5 周期。由此,形成大致 0.5nm 的第一 TiO<sub>2</sub> 膜 202。

[0157] 之后,与上述相同,通过使用 CTMAZ 的 ALD 时序,形成 3nm 的第一 ZrO<sub>2</sub> 层 203。

[0158] 接着,使用 Al 掺杂法 A 形成掺杂有 Al 的 Al 掺杂层 204。

[0159] Al 的掺杂连续地重复 0 次 (无 Al 掺杂) ~ 10 次的 Al 掺杂法 A 的 ALD 循环次数,制作各自的样品。

[0160] 之后,在 Al 掺杂层 204 上实施所希望次数的 ZrO<sub>2</sub> 膜的 ALD 时序,进而成膜 3nm 的第二 ZrO<sub>2</sub> 层 205。

[0161] 另外,在第二 ZrO<sub>2</sub> 层 205 之上形成有 1nm 的第二 TiO<sub>2</sub> 膜 206。方法与第一 TiO<sub>2</sub> 膜 202 相同,仅变更膜厚。

[0162] 从下部的第一 TiO<sub>2</sub> 膜 202 到上部的第二 TiO<sub>2</sub> 膜 206 的成膜均在同一反应室内进行,且成膜温度为 250°C。另外, TMA、CTMAZ、TiMCTA 的热稳定性均优异,因此,也可以进行更高温度下的成膜。

[0163] 之后,作为上部电极 207,用已知的 CVD 法形成 8nm 的 TiN。接着,使用已知的 LP-CVD 法以 450°C 形成 150nm 的硼掺杂硅锗膜 (B-SiGe 膜),且通过已知的光刻技术、和已知的干式蚀刻技术进行上部电极的图案形成。

[0164] 之后,作为 DRAM 工艺中不可避免的热负荷,以 450°C 进行 2 小时的 H<sub>2</sub> 处理。

[0165] (Al 掺杂法 B 进行的电容器样品的形成)

[0166] 其次,制作将图 2 的第一 ZrO<sub>2</sub> 层 203 ~ 第二 ZrO<sub>2</sub> 层 205 代替为图 3 所示的第一 ZrO<sub>2</sub> 膜 302 ~ 第二 ZrO<sub>2</sub> 膜 304 的电容器样品。

[0167] 与上述同样的使用 ALD 法在 TiN 下部电极上 (TiN 膜厚 10nm) 形成大致 0.5nm 厚

的第一 TiO<sub>2</sub> 膜。

[0168] 之后,使用 JP 2006-135339A 及 JP 2007-73926A 的方法形成 3nm 的图 3 所示的第一 ZrO<sub>2</sub> 层 302。Zr 源 (Zr 前体) 中,作为现有的 Zr 源的代表,使用 TEMAZ (Zr [N(CH<sub>3</sub>)CH<sub>2</sub>CH<sub>3</sub>]<sub>4</sub>):四乙基甲基氨基锆)。

[0169] 其次,使用图 6 所示的 Al 掺杂法 B 形成 Al 掺杂层 303。

[0170] Al 掺杂层 303 将 ALD 循环次数重复 0 次 (无 Al 掺杂) ~ 10 次,制作各自的样品。

[0171] 之后,在 Al 掺杂层 303 之上进一步与第一 ZrO<sub>2</sub> 层 302 同样地成膜 3nm 的第二 ZrO<sub>2</sub> 层 304。另外,在第二 ZrO<sub>2</sub> 层 304 之上与上述相同地形成 1nm 的第二 TiO<sub>2</sub> 膜 206。

[0172] 从第一 TiO<sub>2</sub> 膜至第二 TiO<sub>2</sub> 膜的成膜均在同一反应室内进行,且设为成膜温度 250℃。

[0173] 之后,作为上部电极,通过已知的 CVD 法形成 8nm 的 TiN,使用已知的 LP-CVD 法以 450℃ 形成 150nm 的硼掺杂硅锗膜 (B-SiGe 膜),且通过已知的光刻技术、和已知的干式蚀刻技术进行上部电极的图案形成。之后,在 DRAM 工艺,作为不可避免的热负荷,以 450℃ 进行 2 小时的 H<sub>2</sub> 处理。

[0174] (Al 掺杂法 C 进行的电容器样品的形成)

[0175] 其次,制作将图 2 的第一 ZrO<sub>2</sub> 层 203 ~ 第二 ZrO<sub>2</sub> 层 205 代替为图 4 所示的第一 ZrO<sub>2</sub> 层 402 ~ 第二 ZrO<sub>2</sub> 层 404 的电容器样品。

[0176] 与上述相同,使用 ALD 法在 TiN 下部电极上 (TiN 膜厚 10nm) 上形成大致 0.5nm 厚的第一 TiO<sub>2</sub> 膜。

[0177] 之后,与 Al 掺杂法 B 相同,形成 3nm 厚的第一 ZrO<sub>2</sub> 层 402。

[0178] 其次,使用 Al 掺杂法 C 形成 Al 掺杂层 403。就 Zr 源而言,与 Al 掺杂法 B 相同,作为现有的 Zr 源的代表使用 TEMAZ,且 Al 源使用 TMA。

[0179] Al 掺杂法 C 的 ALD 时序连续地重复 0 次 (无 Al 掺杂) ~ 10 次的循环次数,制作各自的样品。

[0180] 之后,在 Al 掺杂层 403 之上与 Al 掺杂法 B 相同地进一步成膜 3nm 的第二 ZrO<sub>2</sub> 层 404。

[0181] 另外,在第二 ZrO<sub>2</sub> 层 404 之上,与上述相同地形成 1nm 的第二 TiO<sub>2</sub> 膜。从第一 TiO<sub>2</sub> 膜到第二 TiO<sub>2</sub> 膜的成膜均在同一反应室内进行,成膜温度设为 250℃。

[0182] 之后,作为上部电极,通过已知的 CVD 法形成 8nm 的 TiN,且通过已知的 LP-CVD 法以 450℃ 形成 150nm 的硼掺杂硅锗膜 (B-SiGe 膜),利用已知的光刻技术、已知的干式蚀刻技术进行上部电极的图案形成。之后,在 DRAM 工艺,作为不可避免的热负荷,以 450℃ 进行 2 小时的 H<sub>2</sub> 处理。

[0183] 图 8 表示 Al 掺杂法 A 的电容器样品 (无 Al 掺杂 :A0、Al 掺杂循环 1 次 1 层 :A1-1)、和 Al 掺杂法 B 的电容器样品 (Al 掺杂循环 1 次 1 层 :B 1-1) 的 I-V 特性 (漏泄电流特性)。同图中, ZrO<sub>2</sub> 电介质膜中的 Al 浓度为 B 1-1 > A1-1 > A0, I-V 特性也与 Al 浓度相对应,为 B 1-1 > A1-1 > A0。另一方面, EOT 中,按照以 A0 的 0.66nm 为最低, A1-1 的 0.79nm、B 1-1 的 1.01nm 的顺序。

[0184] 图 9 表示通过上述的 Al 掺杂法 A、Al 掺杂法 B、Al 掺杂法 C 形成的样品的 Al 掺杂用 ALD 循环的次数和 EOT 的关系。

[0185] 另外,图 10 中表示通过上述 Al 掺杂法 A、Al 掺杂法 B、Al 掺杂法 C 形成的样品的 Al 掺杂用 ALD 循环的次数、和漏泄电流 (+1V 的直流偏压下) 的关系。在此的各值根据图 8 所示的 I-V 特性得到。

[0186] 另外,图 11 表示通过上述的 Al 掺杂法 A、Al 掺杂法 B、Al 掺杂法 C 形成的样品的漏泄电流和 EOT 的关系。

[0187] 各样品的构造由于在上下具有第一及第二  $\text{TiO}_2$  膜,因此,简记为 TZAZT 构造(除无 Al 掺杂外)。更具体而言,从上部电极到下部电极如下记载膜构造。

[0188] Al-ALD 循环为“0 次”的情况下,由于在 TZT 构造中 Zr 源相同,所以 Al 掺杂法 B 和 C 为同一样品,Al 掺杂法 A 的“0 次”由于 Zr 源不同,所以为其它样品。

[0189] TZAZT 构造为上部电极  $\text{TiN}$ / 第二  $\text{TiO}_2$  (1nm)/ 第二  $\text{ZrO}_2$  (3nm)/ Al 掺杂层 (ALD 循环 1 次~10 次)/ 第一  $\text{ZrO}_2$  (3nm)/ 第一  $\text{TiO}_2$  (ALD5 次 $\approx$  0.5nm)/ 下部电极  $\text{TiN}$ 。使 Al 掺杂层的 ALD 循环数在 1 次~10 次之间(1 次、2 次、5 次、8 次、10 次) 发生变化。

[0190] 自图 9 表明,EOT 为最低的是未掺杂 Al 的 Al-ALD 循环“0 次”的样品(TZT 构造的样品)。但是,该 TZT 构造在图 10 中,漏泄电流也变高,超过目标的漏泄电流密度  $1\text{E}-7[\text{A}/\text{cm}^2@+1\text{V}]$ 。

[0191] 图 9 中, TZT(无 Al 掺杂) 之后, EOT 小的是通过 Al 掺杂法 A(本发明的方法) 将 Al 掺杂 ALD 循环设为“1 次”的样品(图 2), EOT 低于 0.8nm。其为“2 次”时, EOT 急剧增大, EOT 成为 0.95nm 左右。之后,在本次调查的范围, EOT 的上升减缓至 10 次。

[0192] Al 掺杂法 B、Al 掺杂法 C 的情况下,通过“1 次”的 Al 掺杂 ALD 循环,判断为 EOT 已增大至 1nm 左右。之后, Al 掺杂法 B 中, Al 掺杂的 ALD 循环为 2 次、5 次为止, EOT 的增加缓慢,但在 8 次、10 次进一步增大。

[0193] 另外, Al 掺杂法 C 的情况下,至 8 次左右, EOT 缓缓上升,在 10 次 EOT 上升的程度虽然不及 Al 掺杂法 B,但其程度强。

[0194] 特别关注图 9 的 Al 掺杂 ALD 循环数为 1(虚线框包围),各掺杂法下的 EOT 上升的方式的不同认为是如下原因,即,在 1 次的 Al 掺杂 ALD 循环吸附的 Al 的量存在不同。

[0195] 即,认为是, Al 掺杂层的 Al 原子的表面密度如果超过某阈值,则将  $\text{ZrO}_2$  膜的结晶粒截断,因尺寸效应而介电常数降低。

[0196] 之后,认为是 Al 作为  $\text{Al}_2\text{O}_3$  形成膜之前,显示大致一定的 EOT, Al 原子的量作为  $\text{Al}_2\text{O}_3$  膜达到足够的量(Al 掺杂法 B 的循环次数超过 5 次) 时, EOT 开始上升。

[0197] 本发明者对本次调查的 Al 掺杂法 A、B、C 的 Al 掺杂循环 1 次 1 层和 2 次 1 层的水准使用 ICP-MS(电感耦合等离子体质量分析),测定 Al 以多少表面密度掺杂。

[0198] 表 1 表示其结果。(一部分也与通过 Al 掺杂法 A 将前体制成 MCTMAZ 的样品一并记载(ICP-MS 分析样品 No. 7))

[0199]

表 1

ICP-MS分析 样品No.	Al 掺杂 法	构造	原料气体		Al掺杂层		Al表面密度 [atoms/cm <sup>2</sup> ]	Al/(Al+Zr) [原 子%] (ZrO <sub>2</sub> 膜厚6nm)	EOT [nm]	J[A/cm <sup>2</sup> ] (at +1V)
			Zr源	Al源	层数	每1层的ALD循 环数				
1	A	TZAZT	CTMAZ	TMA	1	1	7.1E+13	0.4%	0.79	5.7E-08
2	B	TZAZT	TEMAZ	TMA	1	1	4.2E+14	2.3%	1.01	1.2E-08
3	C	TZAZT	TEMAZ	TMA	1	1	2.3E+14	1.3%	0.99	1.4E-08
4	A	TZAZT	CTMAZ	TMA	1	2	1.4E+14	0.8%	0.96	1.0E-08
5	B	TZAZT	TEMAZ	TMA	1	2	8.8E+14	4.7%	1.02	4.2E-09
6	C	TZAZT	TEMAZ	TMA	1	2	4.5E+14	2.5%	1.00	6.5E-09
7	A	TZAZT	MCTMAZ	TMA	1	1	9.6E+13	0.5%	0.80	1.3E-08

[0200] 对于每1次的Al掺杂量,判断Al掺杂法A为Al掺杂法C的约1/3、Al掺杂法B的约1/6。

[0201] 将EOT保持在0.9nm以下的仅为Al掺杂法A的Al掺杂ALD循环“1次”的样品,即使为Al掺杂法A,Al掺杂ALD循环“2次”时,EOT也接近1nm。因此,认为是,通过一次的ALD掺杂的Al的表面密度为7.0E+13以上、不足1.4E+14atoms/cm<sup>2</sup>的范围,在1.4E+14atoms/

$\text{cm}^2$  以上时,  $\text{ZrO}_2$  膜被截断, 全部体现出上述的“尺寸效应”。

[0202] 另外, 在将 MCTMAZ (立体位阻比上述的 CTMAZ 大) 用于 Zr 源兼阻滞剂的 Al 掺杂法 A 中, Al 掺杂循环“1 次 1 层”的样品 (ICP-MS 分析样品 No. 7) 中, Al 的表面密度为  $9.6\text{E}+13\text{atoms}/\text{cm}^2$ , EOT 为 0.80nm, 因此, 认为至 Al 的表面密度为  $1.0\text{E}+14$  附近, 没有出现“尺寸效应”。即, 认为  $\text{ZrO}_2$  膜完全被截断、或未截断的边界的 Al 表面密度大致在  $1.0\text{E}+14 \sim 1.4\text{E}+14\text{atoms}/\text{cm}^2$  (500°C 的热负荷的情况)。

[0203] 因此, 为了在 Al 掺杂 ALD 循环“1 次”不截断  $\text{ZrO}_2$  膜, 只要为不足  $1.4\text{E}+14\text{atoms}/\text{cm}^2$ 、优选为  $1.0\text{E}+14\text{atoms}/\text{cm}^2$  以下的表面密度, 则就判断为良好。

[0204] 以上的例中, 将 Al 掺杂层形成于  $\text{ZrO}_2$  膜的膜厚方向的大致中央部, 但不限于此, 也可以将 Al 掺杂层形成于靠下部电极, 或靠上部电极, 且使第一和第二  $\text{ZrO}_2$  层的膜厚非对称。但是, 期望至少连续成膜的  $\text{ZrO}_2$  膜的膜厚为 0.5nm 以上, 更优选为 1.0nm 以上。另外, 第一和第二  $\text{ZrO}_2$  层的合计膜厚优选为 5 ~ 8nm。另外, 本说明书中, “第一电介质膜” (第一  $\text{ZrO}_2$  层) 是指相对于 Al 掺杂层位于下部电极侧的膜, “第二电介质膜” (第二  $\text{ZrO}_2$  层) 是指相对于 Al 掺杂层位于上部电极侧的膜。例如, 在导入多层如下所示的 Al 掺杂层的情况下, 夹持于 2 层 Al 掺杂层的电介质膜相对于下层 Al 掺杂层之下的“第一电介质膜”为“第二电介质膜”, 相对于上层 Al 掺杂层之上的“第二电介质膜”为“第一电介质膜”。

[0205] 其次, 尝试将  $\text{ZrO}_2$  膜整体的厚度保持在 6nm, 使用“Al 掺杂法 A”在  $\text{ZrO}_2$  膜的中途多次导入 Al 掺杂层的方法。

[0206] 即, 制作以下构造的样品, 进行电特性的评价。(下面, T 表示  $\text{TiO}_2$ , Z 表示  $\text{ZrO}_2$ , A 表示 Al 掺杂层。另外, 实际上导入 1 层 A 层, 也伴随  $\text{ZrO}_2$  的成膜, 因此, 整体的膜厚各增加约 0.1nm。)

[0207] (A0) 无 Al 掺杂 ALD 循环:

[0208] 上部 TiN 电极 /T(1nm)/Z(6nm)/T(0.5nm)/下部 TiN 电极

[0209] (A1) Al 掺杂 ALD 循环 1 次为 1 层:

[0210] 上部 TiN 电极 /T(1nm)/Z(3nm)/A/Z(3nm)/T(0.5nm)/下部 TiN 电极

[0211] (A2) Al 掺杂 ALD 循环 1 次为 2 层:

[0212] 上部 TiN 电极 /T(1nm)/Z(2nm)/A/Z(2nm)/A/Z(2nm)/T(0.5nm)/下部 TiN 电极

[0213] (A3) Al 掺杂 ALD 循环 1 次为 3 层:

[0214] 上部 TiN 电极 /T(1nm)/Z(1.5nm)/A/Z(1.5nm)/A/Z(1.5nm)/A/Z(1.5nm)/T(0.5nm)/下部 TiN 电极

[0215] (A4) Al 掺杂 ALD 循环 1 次为 4 层:

[0216] 上部 TiN 电极 /T(1nm)/Z(1.2nm)/A/Z(1.2nm)/A/Z(1.2nm)/A/Z(1.2nm)/A/Z(1.2nm)/T(0.5nm)/下部 TiN 电极

[0217] 下面, 同样, 制作 Al 掺杂层为 6 层 (A6) 的样品。

[0218] 图 12 表示描绘 Al 掺杂层数和此时的 Al 浓度 (Al 原子数相对于金属原子 Zr 和 Al 的合计的比 (Al/(Al+Zr) [原子%]) 的图。判明具有大致线性的关系。

[0219] 图 13 表示横轴取图 12 求出的 Al 的浓度、纵轴取 EOT 描绘的图。表示至 2 原子% 左右缓缓的 EOT 的增加, 但判明了如果超过 2 原子%, 则 EOT 的增加迅速增大。根据该数据认为, 即使 Al 掺杂层每 1 层的 Al 原子的表面密度不足  $1\text{E}+14\text{atoms}/\text{cm}^2$ , 如果超过 2 原子%,

则  $ZrO_2$  膜的晶粒的成长也开始被抑制。

[0220] 图 14 表示漏泄电流和 Al 的浓度的关系。可知,伴随 Al 的浓度的增加,漏泄电流减少。

[0221] 图 15 表示漏泄电流和 EOT 的关系。图 15 中,虚线的圆包围的部分表示图 11 中虚线的圆包围的部分(通过 Al 掺杂法 B 及 C 可实现的范围),A0 ~ A6 表示上述的样品序号(数字为层数),括号内表示 Al 浓度(原子%)。可知,通过使用本发明的技术,可通过比现有技术小的 EOT 实现同等的漏泄电流。

[0222] 另外,在上述例中,为了成为现有技术的比较对象,同样以 250°C 设定 ALD 成膜温度,但本发明所使用的 Zr 源兼阻滞剂的 CTMAZ 及 MCTMAZ 中,即使为更高的温度,也能够稳定地进行成膜,因此,可得到更小的 EOT。

[0223] 本发明的其它实施例(对立体构造电容器的应用)

[0224] 本实施例中,使用图 16 ~ 18 对使用本发明的方法应用于纵横比 20 以上的立体构造的电容器的半导体装置进行说明。

[0225] 首先,使用图 16 的剖面示意图说明作为半导体存储装置的 DRAM 的整体构成的概略。

[0226] 在 p 型硅基板 1201 上形成 n 阱 1202,且在其内部形成有第一 p 阱 1203。另外,在 n 阱 1202 以外的区域形成有第二 p 阱 1204,由元件分离区域 1205 与第一 p 阱 1203 分离。为便于说明,第一 p 阱 1203 表示配置多个存储器单元的存储器单元区域,第二 p 阱 1204 表示周边电路区域。

[0227] 在第一 p 阱 1203,由各存储器单元的构成要素形成具备作为字线的栅电极的开关晶体管 1206 及 1207。晶体管 1206 由漏极 1208、源极 1209 和介有栅极绝缘膜 1210 的栅电极 1211 构成。栅电极 1211 由在多晶硅上层叠有钨硅化物的多晶硅构造或层叠有钨的多金属构造构成。晶体管 1207 由共通的源极 1209、漏极 1212、介有栅极绝缘膜 1210 的栅电极 1211 构成。晶体管由第一层间绝缘膜 1213 被覆。

[0228] 以与源极 1209 连接的方式由多晶硅 1214 充填设于第一层间绝缘膜 1213 的规定区域的接触孔。在多晶硅 1214 的表面设有金属硅化物 1215。以与金属硅化物 1215 连接的方式设有由氮化钨及钨构成位线 1216。位线 1216 由第二层间绝缘膜 1219 被覆。

[0229] 以与晶体管的漏极 1208 及 1212 连接的方式在第一层间绝缘膜 1213 及第二层间绝缘膜 1219 的规定区域设置接触孔后,用硅进行充填,形成硅插塞 1220。在硅插塞 1220 的上部设有由金属构成的导体插塞 1221。

[0230] 以与导体插塞 1221 连接的方式形成电容器。用于形成下部电极的第三层间绝缘膜 1222a、第四层间绝缘膜 1222b 层叠设于第二层间绝缘膜 1219 上。使第四层间绝缘膜 1222b 残留于周边电路区域,在存储器单元区域形成王冠型的下部电极 1223 后,将存储器单元区域的第四层间绝缘膜 1222b 除去。电介质膜 1224 以覆盖除去下部电极 1223 的内壁及第四层间绝缘膜 1222b 而露出的外壁的方式设置,进而,上部电极 1225 以覆盖存储器单元区域整体的方式设置,构成电容器。在下部电极 1223 的上端部侧面的局部设有支承膜 1222c。支承膜 1222c 以将邻接的多个下部电极的一部分连接的方式设置,由此,可使机械强度增加,避免下部电极自身的破坏。由于支承膜 1222c 的下方成为空间,所以在露出于该空间内的下部电极表面也设有电介质膜 1224 及上部电极 1225。图 16 表示 1301 和 1302

这两个电容器。下部电极 1223 使用通过阶梯被覆性优异的 CVD 法形成的氮化钛 (TiN)。电容器由第五层间绝缘膜 1226 被覆。另外,插塞材料根据电容器的下部电极可变更,不限于硅,也可以由与电容器的下部电极相同的材料或不同的材料的金属构成。另外,通过后述的制造工序对电介质膜 1224 及上部电极 1225 的详细构成进行说明。

[0231] 另一方面,在第二 p 阱 1204 设有构成周边电路的晶体管,其由源极 1209、漏极 1212、栅极绝缘膜 1210、栅电极 1211 构成。以与漏极 1212 连接的方式将第一层间绝缘膜 1213 的规定区域所设置的接触孔用金属硅化物 1216 及钨 1217 充填。以与钨 1217 连接的方式设有由氮化钨及钨构成的第一配线层 1218。该第一配线层 1218 的一部分经由贯通第二层间绝缘膜 1219、第三层间绝缘膜 1222a、第四层间绝缘膜 1222b 及第五层间绝缘膜 1226 设置的金属通路插塞 1227 与由铝或铜构成的第二配线层 1230 连接。另外,设于存储器单元区域的电容器的上部电极 1225 在一部分区域作为引出配线 1228 引出到周边电路区域,经由形成于第五层间绝缘膜 1226 的规定区域的金属插塞 1229 与由铝或铜构成的第二配线层 1230 连接。下面,根据需要重复进行层间绝缘膜的形成、触点的形成、配线层的形成,构成 DRAM。

[0232] 图 17 是表示图 16 的剖面示意图中 X-X 所示的位置的概略平面图,省略电介质膜及上部电极。另外,图 17 的 Y-Y 所示的线段区域相当于图 16 的 X-X 线段区域。在覆盖各下部电极 1223 的外侧的整个区域的支承膜 1222c 上,以跨过多个下部电极的方式遍及存储器单元区域整个区域设有多个开口 1231。各下部电极 1223 为其外周的一部分与任一开口 1231 相接的构成。开口以外的支承膜连续,因此,各下部电极经由支承膜连结,可扩大纵/横比的横方向的长度,因此,可以避免下部电极自身的破坏。当集成度高且单元细微化时,电容器的下部电极的纵/横比(纵横比)增大,如果不具备支承下部电极的单元,则下部电极有时在制造中途被破坏。图 17 表示以电容器 1301 和 1302 相对之间的区域为中心并以跨过六个下部电极的方式设有开口 1231 的例子。因此,图 16 中,为与图 17 相对应地在电容器 1301 的上部、1302 的上部、及 1301 和 1302 之间的上部未设有支承膜的构成。

[0233] 这样,通过设置支承膜,为了在支承膜下的下部电极表面形成电介质膜及上部电极,需要覆盖性更高的成膜方法。

[0234] 下面,省略成为上述半导体存储装置的 DRAM 的制造工序以内、电容器制造工序以外的工序,提出本发明的电容器的制造工序进行说明。图 18 对于图 16 所示的一个电容器表示工序剖面图。另外,为进行说明,省略半导体基板 1201 上的晶体管及第一层间绝缘膜等。

[0235] 首先,如图 18(a)~图 18(d) 所示,在由单晶硅构成的半导体基板 1201 上形成第二层间绝缘膜 1219(工序(a))。之后,在规定的位置开设接触孔后,在整个面上形成阻挡金属 1221a 及金属 1221b。接着,使用 CMP 法除去形成于第二层间绝缘膜上的阻挡金属 1221a 及金属 1221b,形成导体插塞 1221。接着,在整个面上层叠形成由氮化硅膜构成的第三层间绝缘膜 1222a、由氧化硅膜构成的第四层间绝缘膜 1222b 及由氮化硅膜构成的支承膜 1222c。

[0236] 其次,如工序(b)所示,使用光刻技术和干式蚀刻技术在支承膜 1222c、第四层间绝缘膜 1222b 及第三层间绝缘膜 1222a 上形成缸孔 1232。缸孔形成为俯视为直径 60nm 的圆。另外,与相邻的缸孔的最近间隔形成为为 60nm。由此,导体插塞 1221 的上面在在缸孔

底面露出。

[0237] 其次,如工序(c)所示,在包含缸孔1232的内面的整个面形成成为电容器的下部电极材料的TiN膜1223a。TiN膜通过以 $TiCl_4$ 和 $NH_3$ 为源的CVD法可以在形成温度 $380 \sim 650^\circ C$ 的范围内形成。在本实施例中以 $450^\circ C$ 形成。膜厚为10nm。另外,TiN膜也可以使用上述源并通过ALD法形成。通过形成TiN膜1223a,形成新的缸孔1232a。TiN的膜厚在孔的侧壁部以实际的膜厚为 $5nm \sim 15nm$ 的方式使用。

[0238] 其次,在工序(d),通过埋设缸孔1232a,在整个面形成氧化硅膜等保护膜1234。之后,通过CMP法将形成于支承膜1222c的上面的保护膜1234及TiN膜1223a除去,形成下部电极1223。

[0239] 其次,如图18(e)~图18(h)所示,在支承膜1222c上形成开口1231(工序(e))。如图17的平面图所示,开口1231的图案以跨过残留于下部电极的内侧的保护膜1234的一部分、下部电极1223的一部分、第四层间绝缘膜1222b的一部分的方式形成。因此,在形成开口1231的干式蚀刻中,除形成于第四层间绝缘膜1222b上的支承膜1222c之外,保护膜1234及下部电极1223的上端的一部分也被除去。

[0240] 其次,如工序(f)所示,将在开口1231内露出的第四层间绝缘膜1222b除去。例如,在使用氟化氢酸溶液(HF液)进行蚀刻时,支承膜1222c由氮化硅膜形成,因此,几乎未被蚀刻,但由氧化硅膜形成的第四层间绝缘膜1222b及保护膜1234完全被除去。由于进行溶液蚀刻,所以不仅开口1231的正下,而且位于支承膜1222c之下的氧化硅膜也被除去。由此,支承下部电极1223和下部电极1223的支承膜1222c以中空状态残存,下部电极1223表面露出。

[0241] 在该蚀刻时,由氮化硅膜构成的第三层间绝缘膜1222a作为蚀刻停止层起作用,防止第二层间绝缘膜1219被蚀刻。

[0242] 其次,如工序(g)所示,形成电介质膜1224。电介质膜1224与上述本发明的Al掺杂法A的电容器样品制作相同,从下部电极侧起设定第一 $TiO_2$ 膜、第一 $ZrO_2$ 层、Al掺杂层(以使用CTMAZ的Al掺杂ALD时序为1循环)、第二 $ZrO_2$ 层,进而形成第二 $TiO_2$ 膜1225a。通过ALD法形成的膜的阶梯被覆性优异,因此,电介质膜1224及第二 $TiO_2$ 膜1225a也在以中空状态露出的下部电极表面的任意部位形成。第二 $TiO_2$ 膜1225a在ALD法的成膜阶段为非晶质,但通过后工序中加热而结晶化,形成多晶质,作为导体起作用。因此,在后工序的热处理后,可以称作第一上部电极。另外,作为电介质膜1224,不限于该例,也可以不设置第一 $TiO_2$ 膜而将第一 $ZrO_2$ 层形成于下部电极上,或者设置多层Al掺杂层(Al浓度 $0.5 \sim 2$ 原子%的范围),进而也可以省略第二 $TiO_2$ 膜1225a。

[0243] 其次,如工序(h)所示,形成成为第二上部电极1225b的TiN膜。与下部电极的情况相同,利用以 $TiCl_4$ 和 $NH_3$ 为源的CVD法以温度 $450^\circ C$ 形成。膜厚设为10nm。通过CVD法形成的TiN膜的阶梯被覆性也极其良好,因此,也可以进入中空状态的空间并形成于第二 $TiO_2$ 膜1225a表面的任一部位。

[0244] 通过ALD法形成的电介质膜进一步在以 $450^\circ C$ 形成第二上部电极225b的阶段致密化,成为介电常数降低的电介质膜1224。

[0245] 其次,如图18(i)所示,形成成为第三上部电极1225c的硼掺杂硅锗膜(B-SiGe膜)(工序(i))。在形成工序(h)的第二上部电极1225b的阶段,不消除中空状态而在达到

的部位残留空间。在该状态下通过 PVD 法形成成为板电极 1225d 的钨时, PVD 法的阶梯被覆性差, 因此, 不能埋设空间, 即使在完成半导体装置的阶段, 在电容器的周围也仍残留空间。这种空间的残留导致机械强度的降低, 因后工序的封装时产生的应力而带来电容器的特性变动的问题。因此, 形成 B-SiGe 膜的目的在于, 埋设残留的空间使其消减, 提高相对于机械应力的耐性。

[0246] B-SiGe 膜可以通过以锗烷 ( $\text{GeH}_4$ ) 和硅烷 ( $\text{SiH}_4$ ) 和三氯化硼 ( $\text{BCl}_3$ ) 为源的 CVD 法形成。通过该方法形成的 B-SiGe 膜的阶梯被覆性优异, 可以埋设中空空间。

[0247] 在形成成为第三上部电极 1225c 的 B-SiGe 膜后, 为了作为覆盖存储器单元区域整体的供电板使用, 形成成为第四上部电极 1225d 的钨膜 (W 膜)。W 膜可以通过温度为  $25 \sim 300^\circ\text{C}$  的 PVD 法形成。将第一上部电极 (第二  $\text{TiO}_2$  膜 1225a) ~ 第四上部电极 1225d 一并称作图 16 的上部电极 1225。下面, 如图 16 所示, 实施第五层间绝缘膜 1226 的形成工序及之后的工序, 制造由 DRAM 构成的半导体装置。

[0248] 另外, 本实施例中说明的 DRAM 为形成超高密度的最尖端 DRAM 的情况的构成和其制造方法, 即使为立体构造, 在不需要构造增强的情况下, 也不需要上述的 B-SiGe 的形成工序。

[0249] 如上尝试制作 F32nm 级的圆筒状的电容器, 得到圆筒高度 1800nm、下部电极外径 53nm、纵横比 34 的电容器即容量 20fF/ 单元的电容器。

[0250] 此时, 通过 TEM 观察确认了掺杂了 Al 的  $\text{ZrO}_2$  膜的覆盖率为 95% 左右。

[0251] 向  $\text{TiO}_2$  电介质膜的 Al 掺杂

[0252] 通过使用本发明的技术, 得到掺杂了 Al 的  $\text{ZrO}_2$  膜、即 EOT 约 0.8nm 的电介质膜。

[0253] 但是, 在 F30nm 以后的 DRAM, 期望更小的 EOT 的电介质膜。作为该电介质的候补, 探讨使用具有金红石型结晶相的  $\text{TiO}_2$  膜。

[0254]  $\text{TiO}_2$  可以采用锐钛矿、金红石、板钛矿等多个结晶构造, 但其中介电常数最高的结晶构造为金红石构造。

[0255] 另外,  $\text{TiO}_2$  在与 TiN 电极组合用于电容器的电介质膜的情况下, 不采用充分的频带偏移 (肖特基势垒小), 因肖特基电流而成为泄漏的特性。

[0256] 因此, 作为工作函数大 (充分采用频带偏移)、且电极自身具有用于金红石化的样板功能的材料, 期望  $\text{RuO}_2$  等。

[0257] 另外, 判断出向电介质的  $\text{TiO}_2$  膜添加 Al 的方法与  $\text{ZrO}_2$  同样地, 对耐热性、降低泄漏是有效的。

[0258] 图 19 表示使用  $\text{TiO}_2$  作为电介质膜的电容器构造的示意剖面图。下部电极 2101 可以使用含有  $\text{RuO}_2$  等作为表面层的材料, 在此使用  $\text{RuO}_2$  膜。而且, 作为第一电介质膜, 通过 ALD 法依次形成第一  $\text{TiO}_2$  层 2102、Al 掺杂层 2103, 作为第二电介质膜, 通过 ALD 法依次形成第二  $\text{TiO}_2$  层 2104, 在第二  $\text{TiO}_2$  层 2104 上, 在此与下部电极相同, 使用  $\text{RuO}_2$  膜形成上部电极 2105。作为下部电极, 也可以为在其它导电材料上层叠  $\text{RuO}_2$  等的层叠膜。 $\text{RuO}_2$  等也可以通过覆盖性优良的 CVD 法或 ALD 法形成。

[0259] 在应用现有的技术 (Al 掺杂法 B 或 C) 掺杂 Al 时, 与  $\text{ZrO}_2$  膜时相同, 不仅截断结晶粒, 而且下部电极的金红石化样板功能也以 Al 掺杂层为终点, 判断在其上成长的  $\text{TiO}_2$  容易成为锐钛矿。

[0260] 如果应用本发明的方法,则可不截断  $\text{TiO}_2$  的结晶粒而掺杂 Al,因此,Al 掺杂层 2103 更上的第二  $\text{TiO}_2$  层 2104 也可以通过样板功能而取得金红石构造,得到更小的 EOT,并且,可以使  $\text{TiO}_2$  膜的耐热性提高,抑制漏泄电流。

[0261] 此时, $\text{TiO}_2$  形成用的 Ti 源使用形成之前的 TZA ZT 构造时使用的 TiMCTA,Al 源使用 TMA。

[0262] 在 TiMCTA 上,也与 CTMAZ 及 MCTMAZ 相同地自组织地进行配向吸附,通过环戊二烯环将 TMA 阻断,因此,与在  $\text{ZrO}_2$  膜掺杂 Al 的情况相同,在使 Al 掺杂层的 Al 的原子密度进行一次 ALD 循环的情况下,可以抑制在  $9.8\text{E}+13\text{atoms}/\text{cm}^2$  左右。

[0263] Al 掺杂层 2103 与  $\text{ZrO}_2$  电介质膜的情况相同,导入多层,作为 Al 浓度,以由 Al/(Al+Ti) 表示的原子数比计可以为 0.5 ~ 2.0 原子%的范围,但导入的层数及 Al 浓度在不损害下部电极的金红石化样板功能的范围内可以适宜选择。

[0264] 在金红石构造的  $\text{TiO}_2$  膜的情况下,可以将介电常数相对于正方晶  $\text{ZrO}_2$  的 30 ~ 45 程度提高到 60 ~ 80 程度,因此,EOT 相比  $\text{ZrO}_2$  膜的情况可以更小。其结果可以对 F30nm 以后的 DRAM 应用。

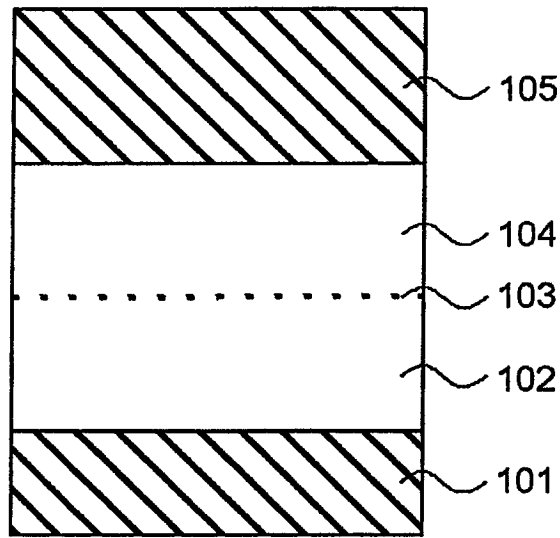


图 1

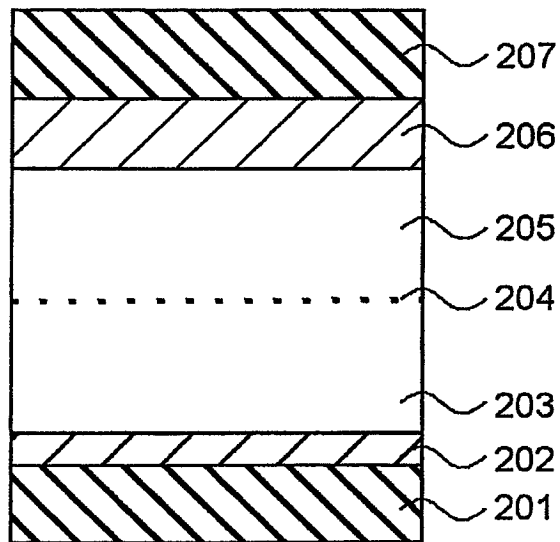


图 2

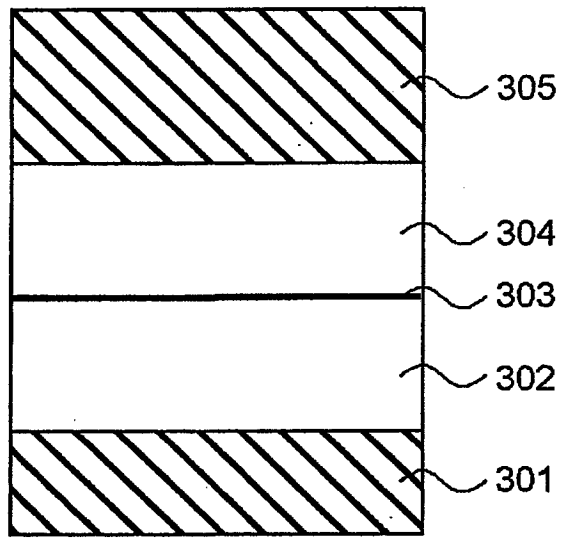


图 3

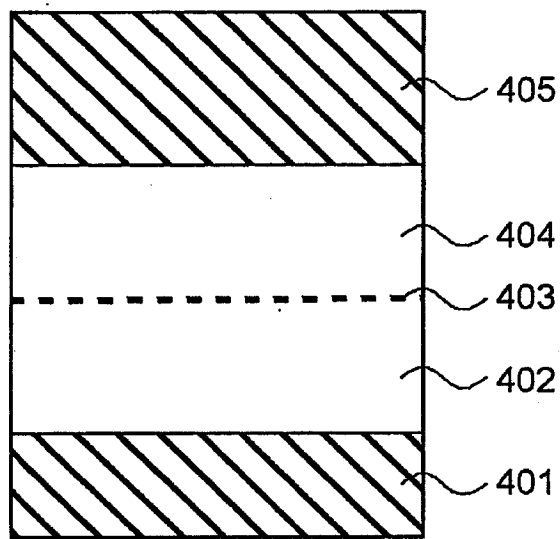


图 4

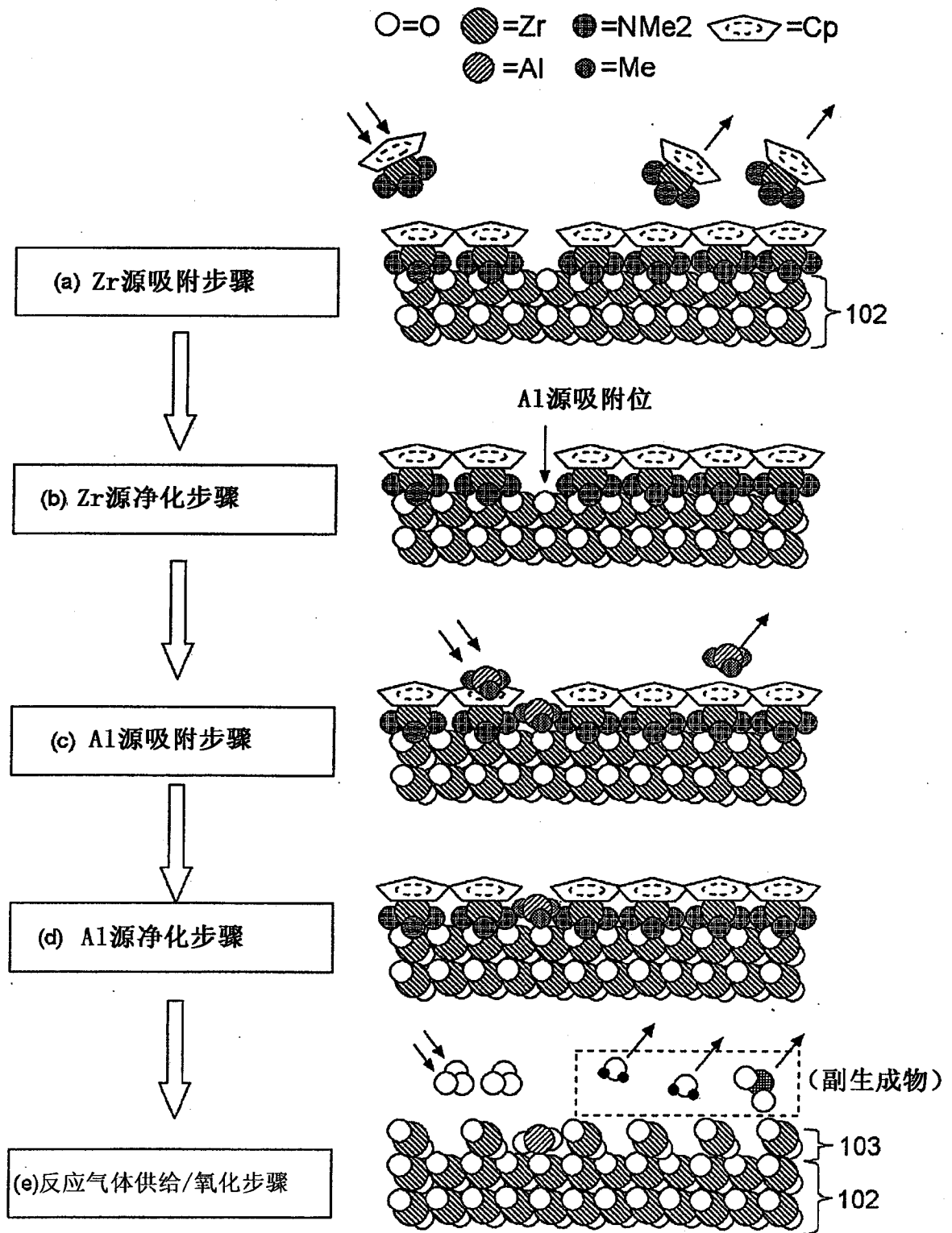


图 5-1

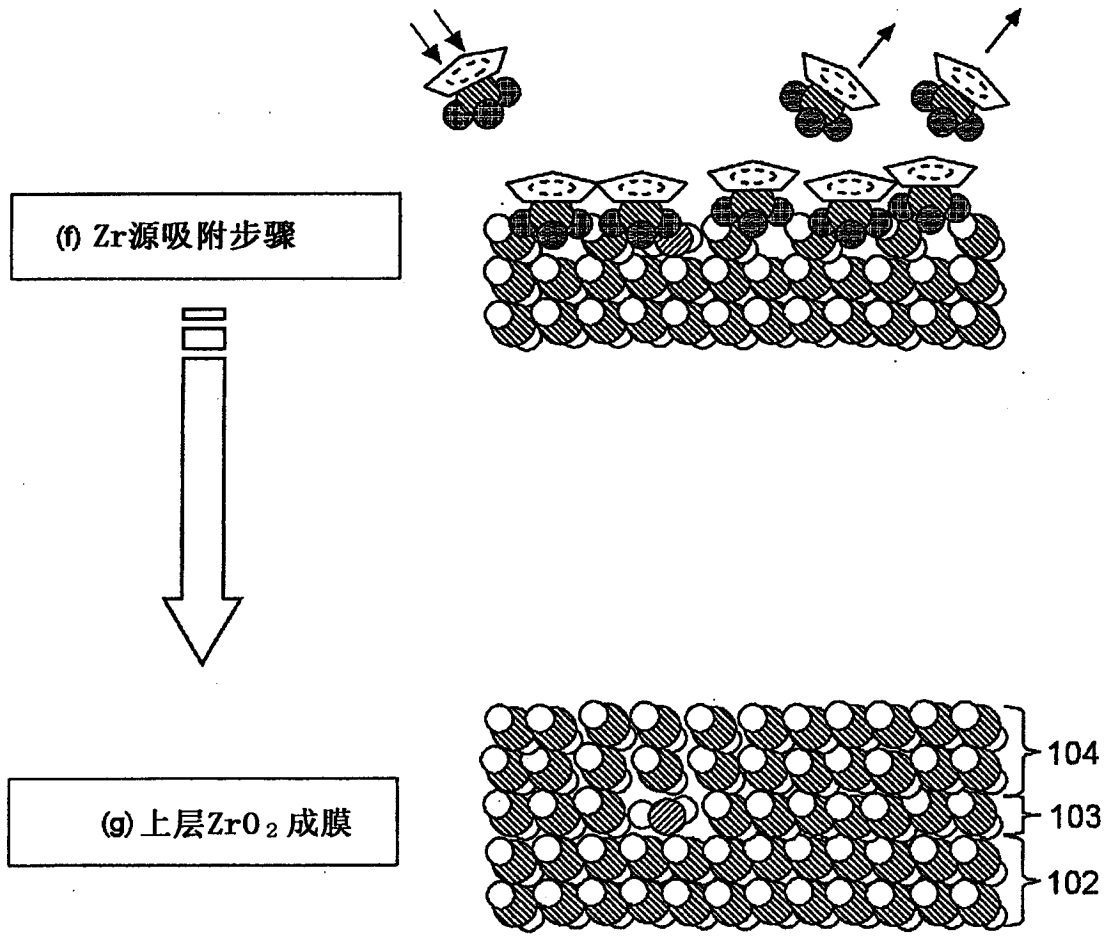


图 5-2

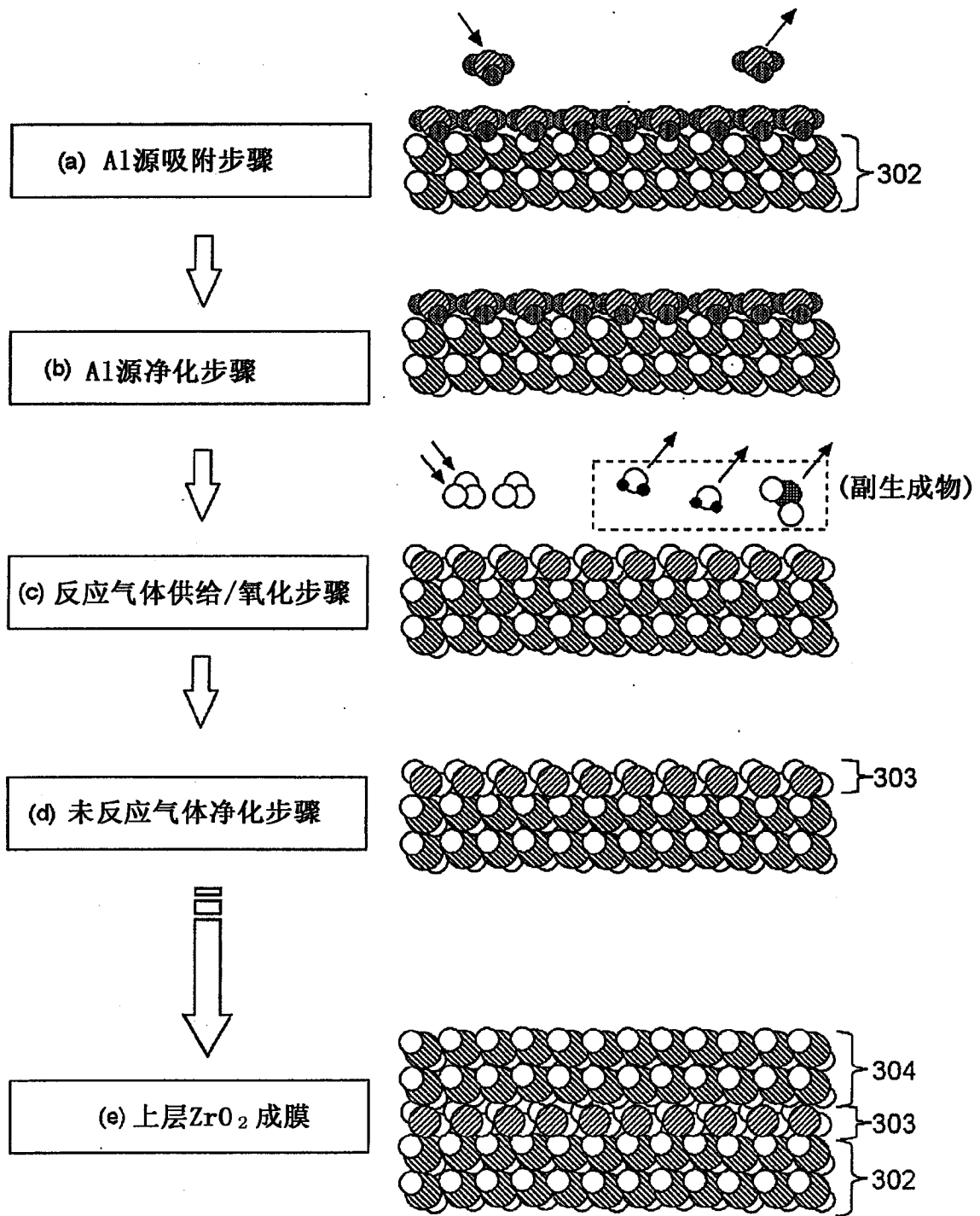


图 6

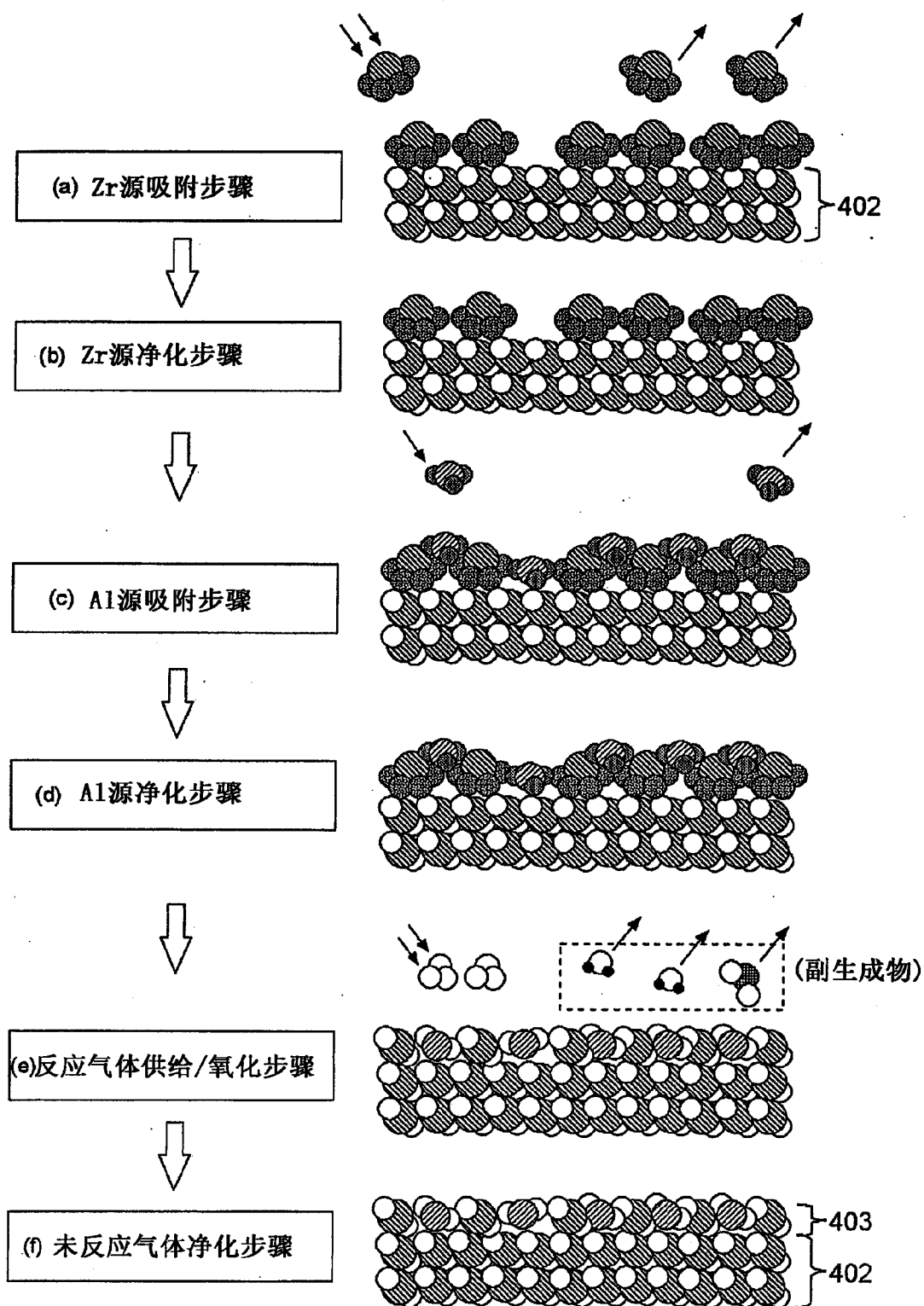


图 7

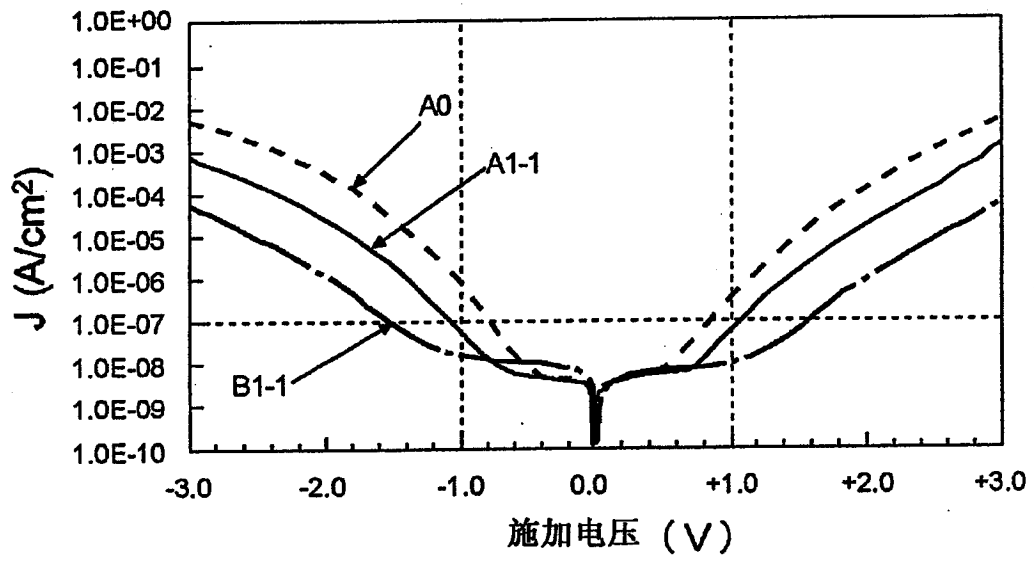


图 8

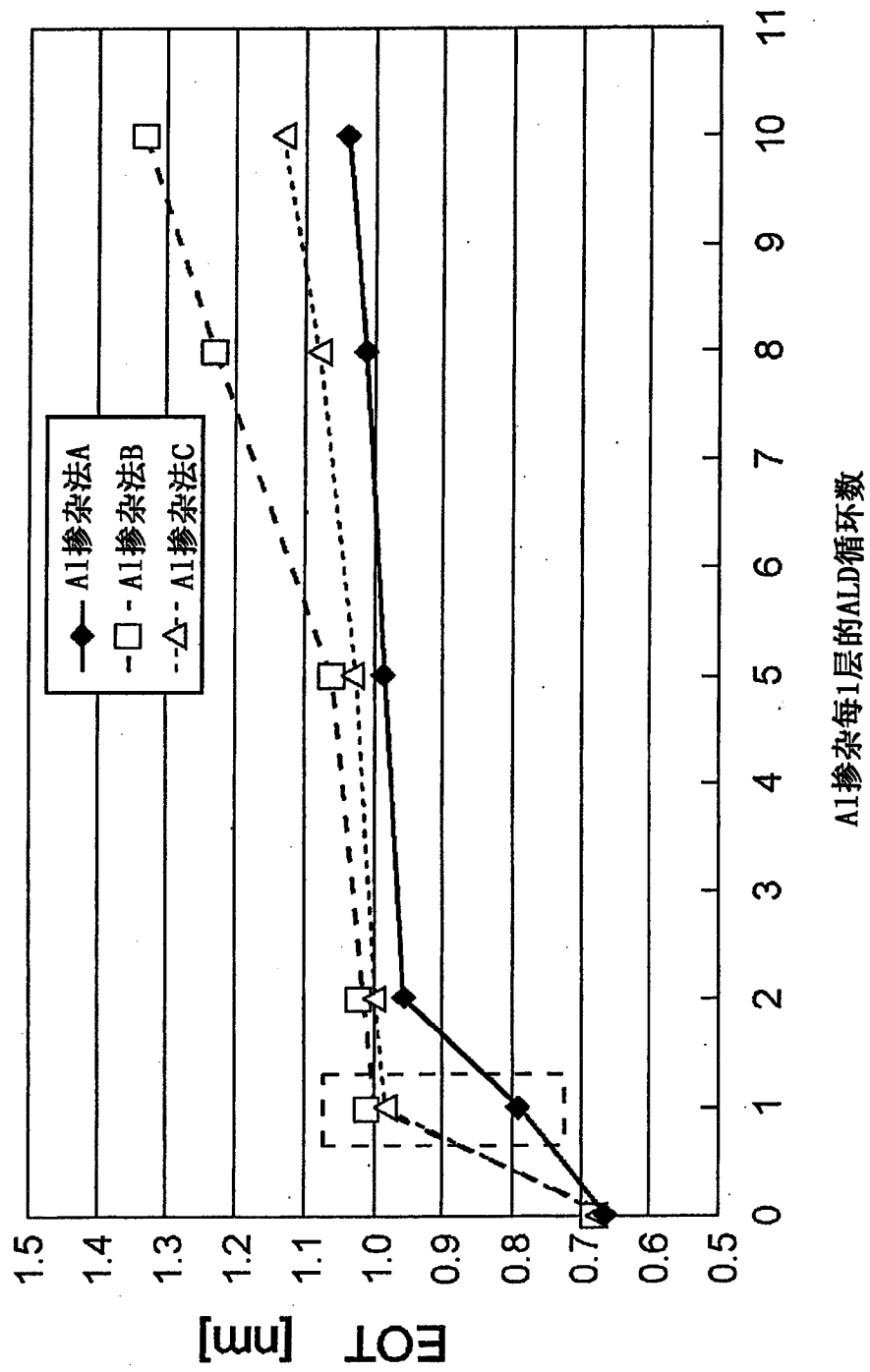


图 9

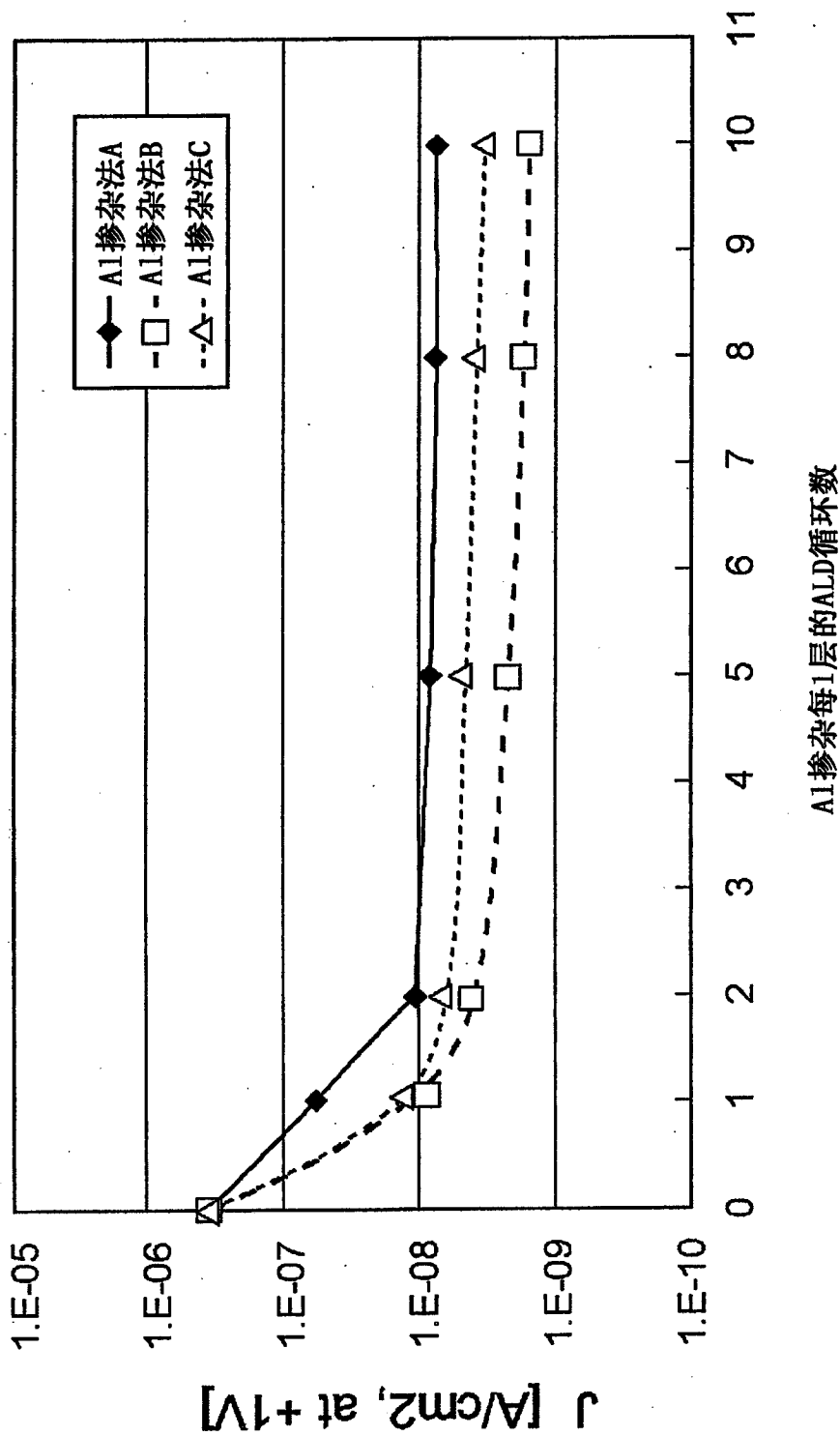


图 10

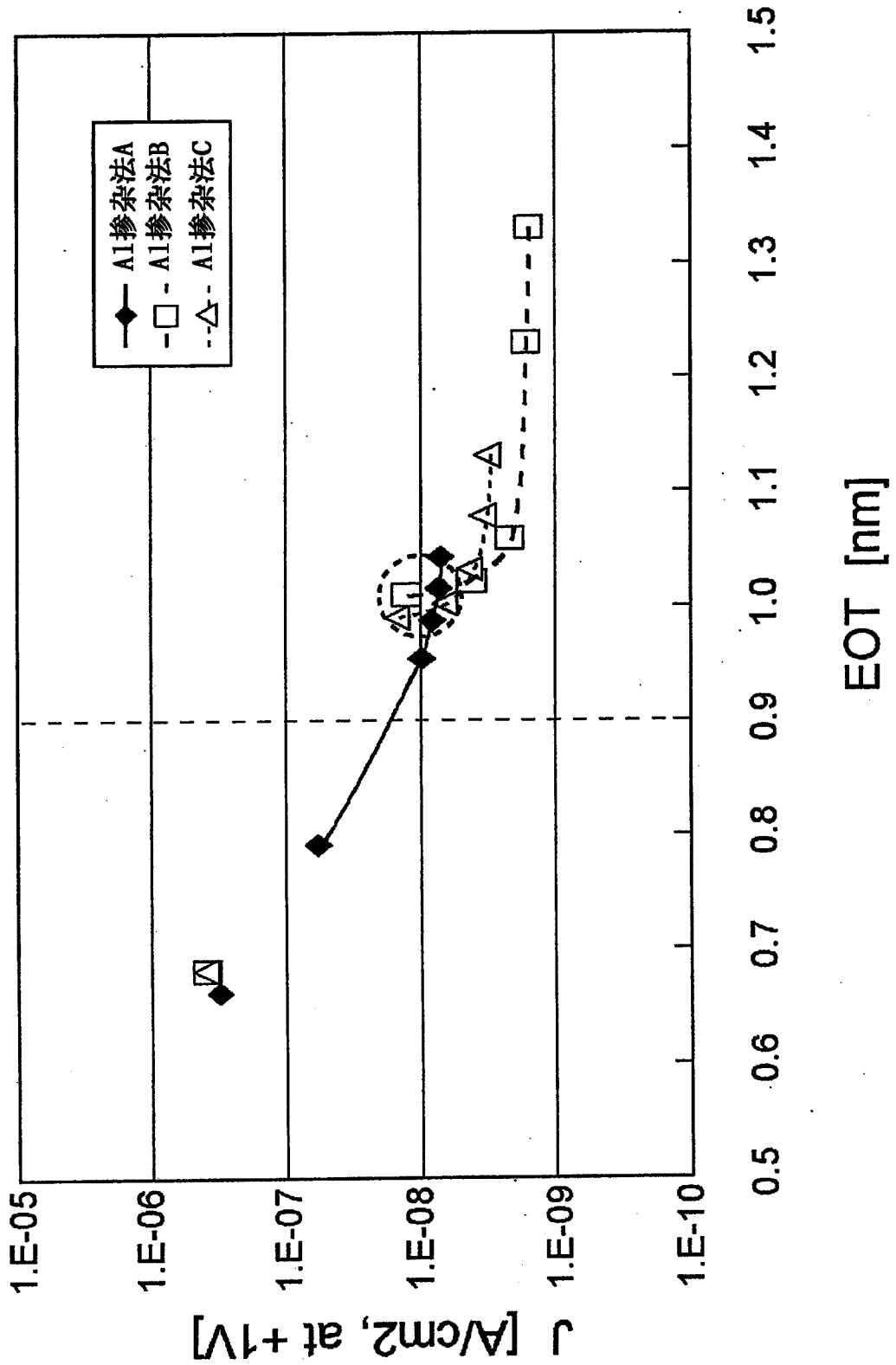


图 11

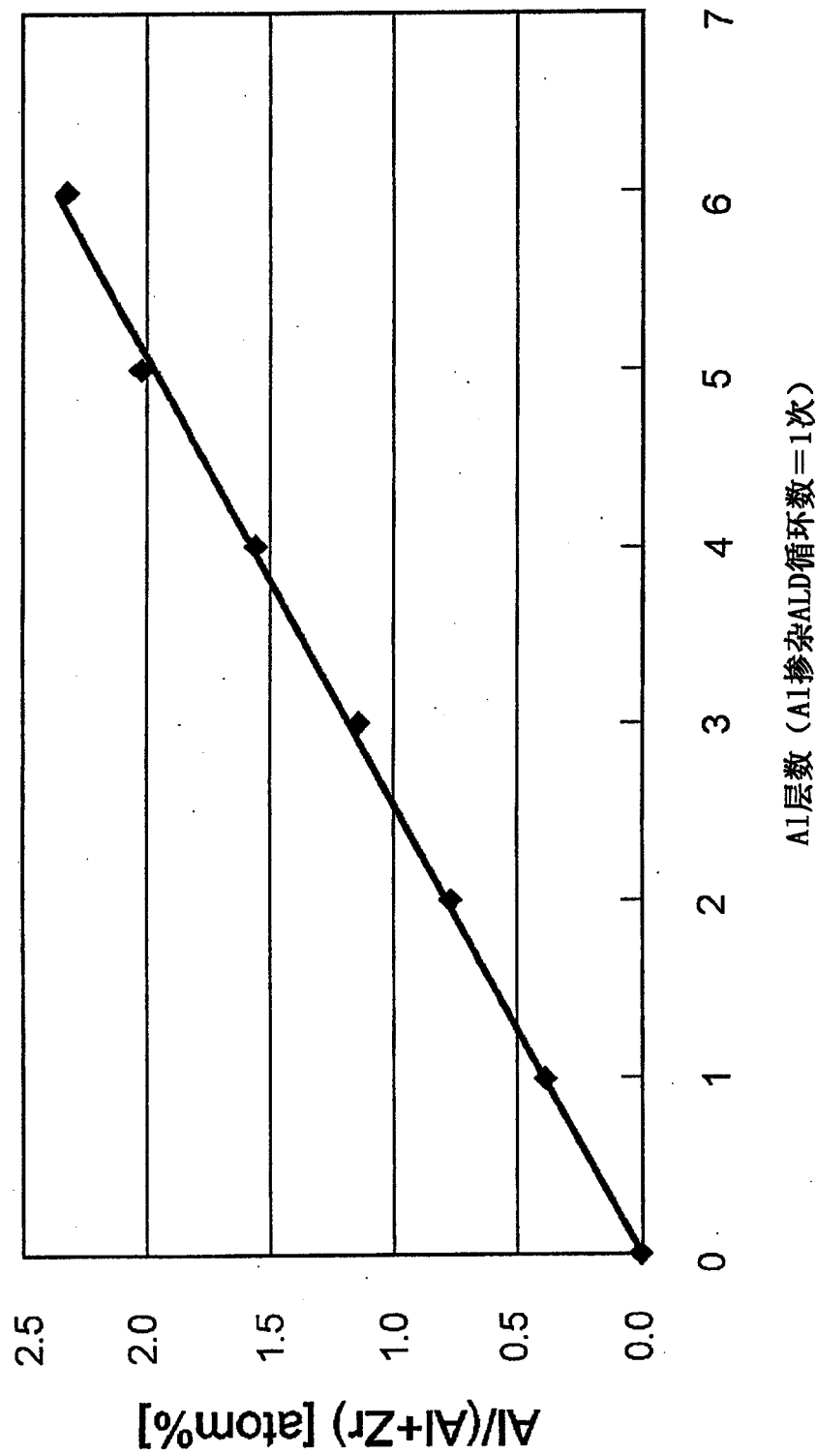


图 12

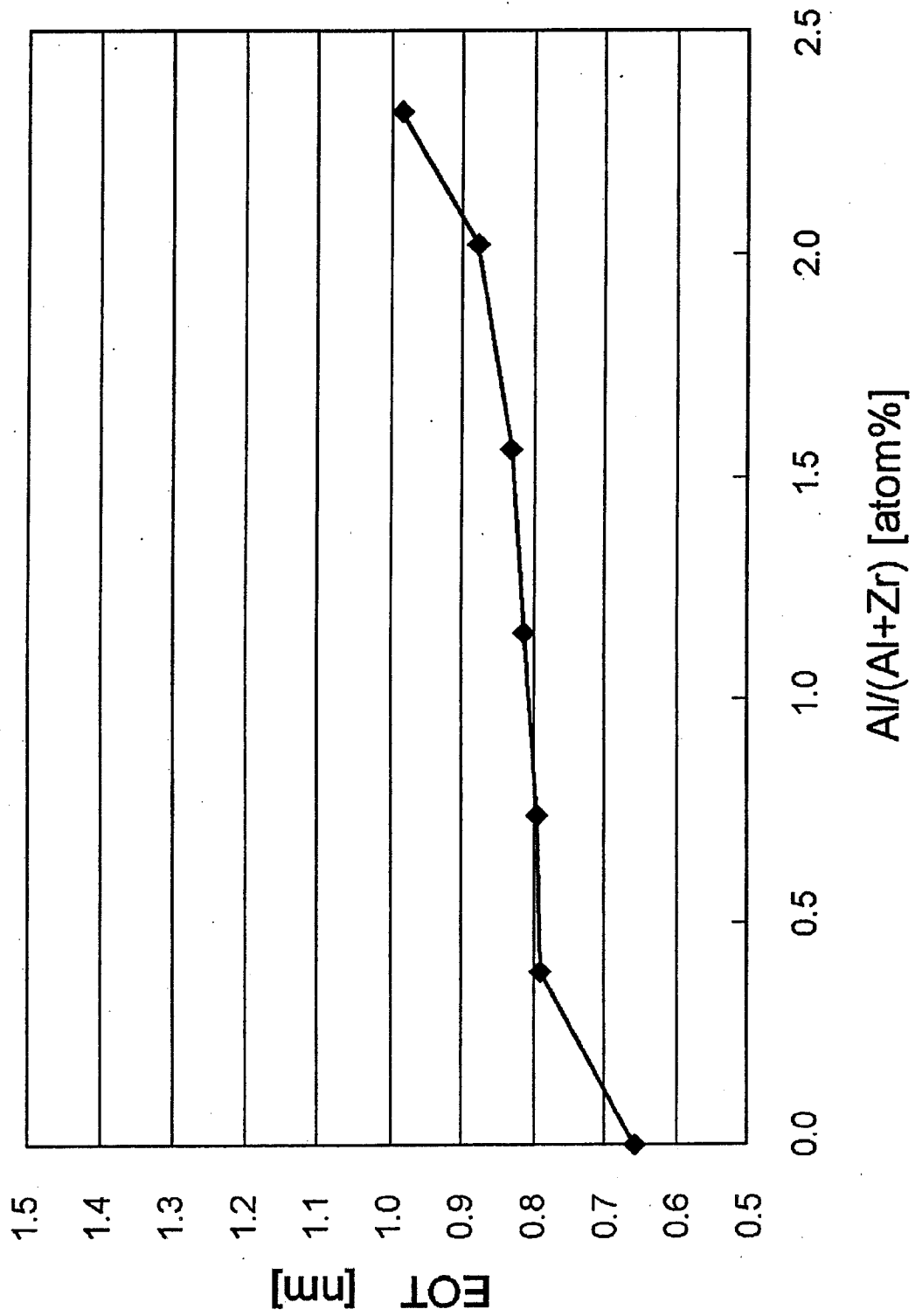


图 13

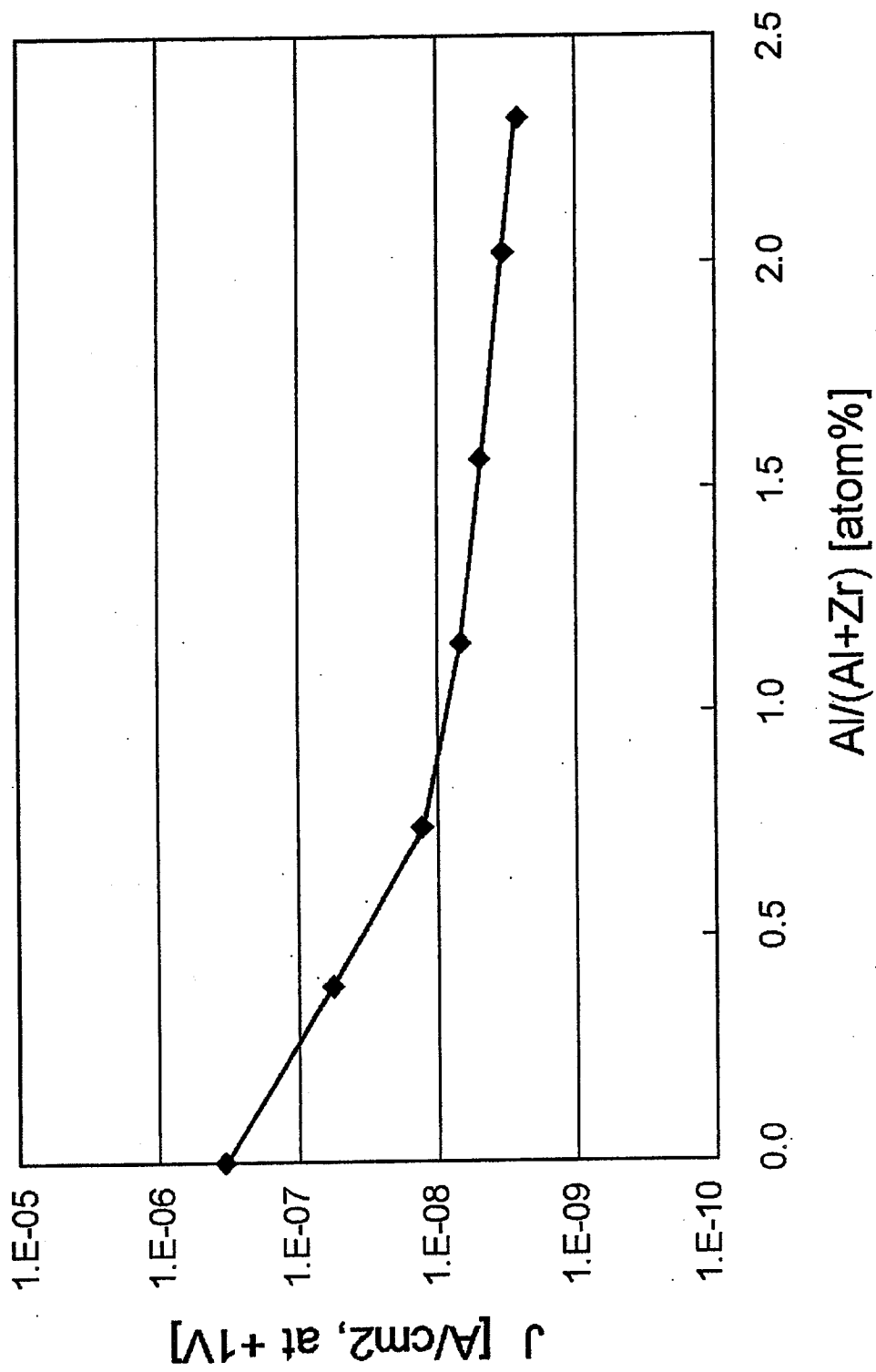


图 14

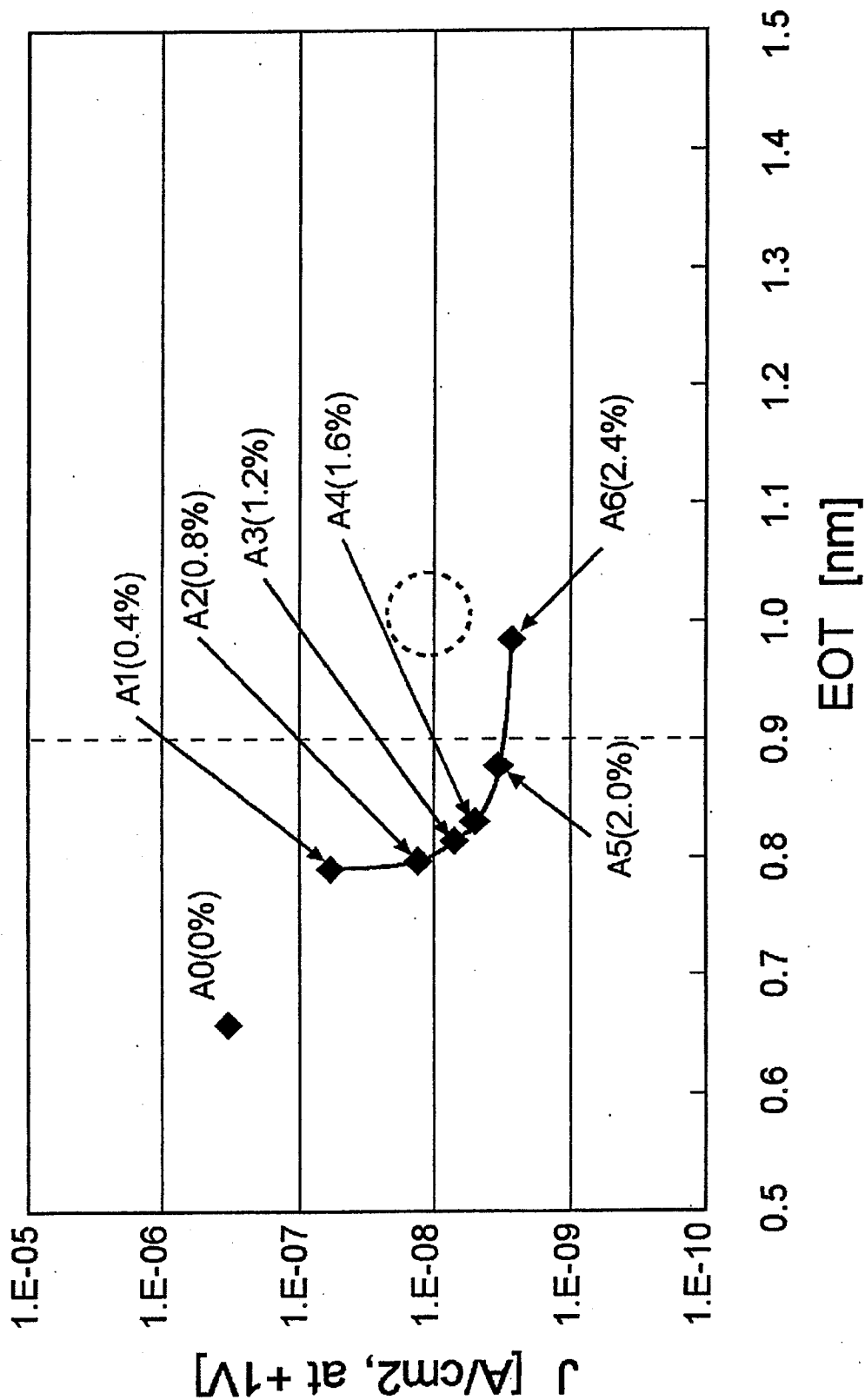


图 15

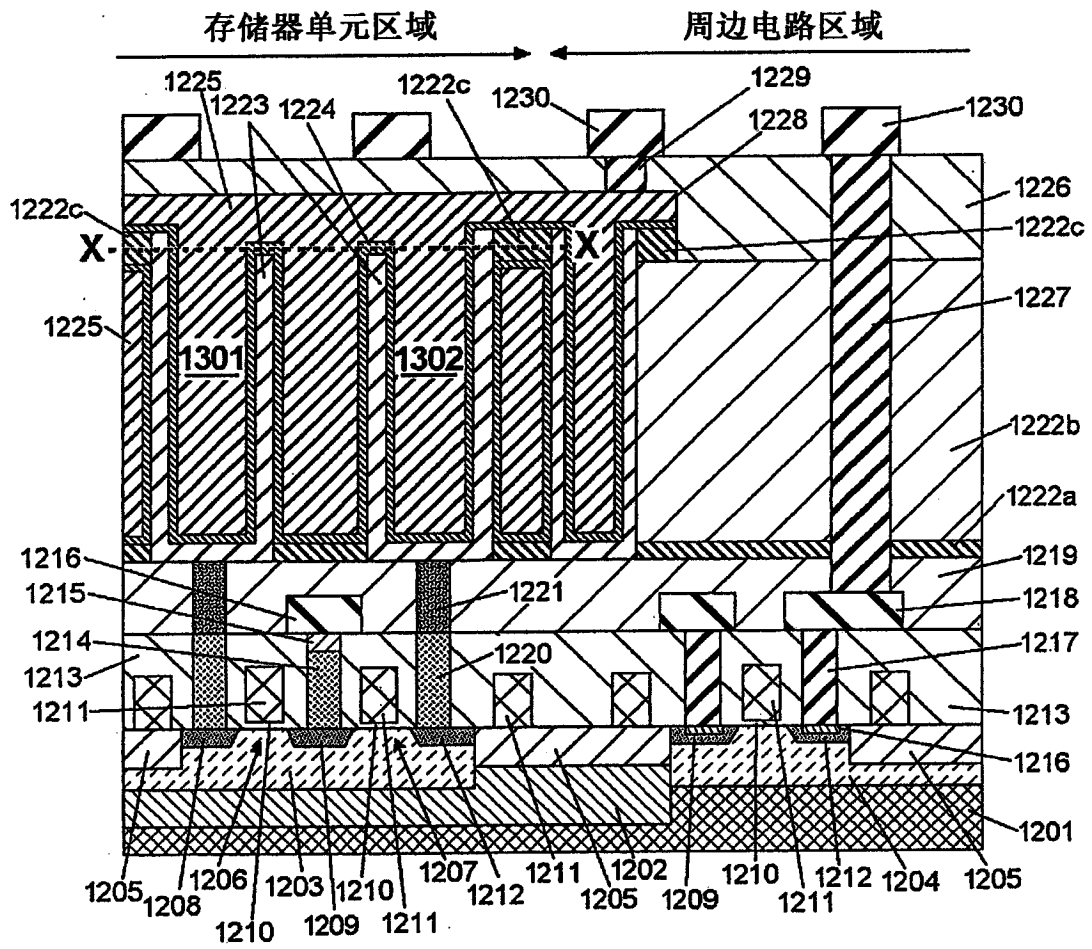


图 16

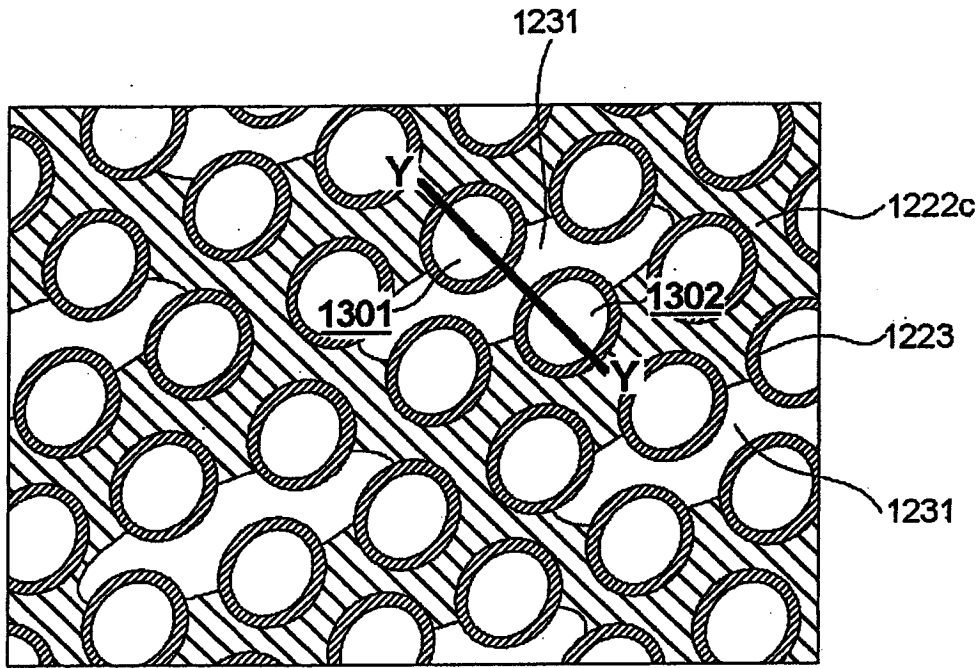


图 17

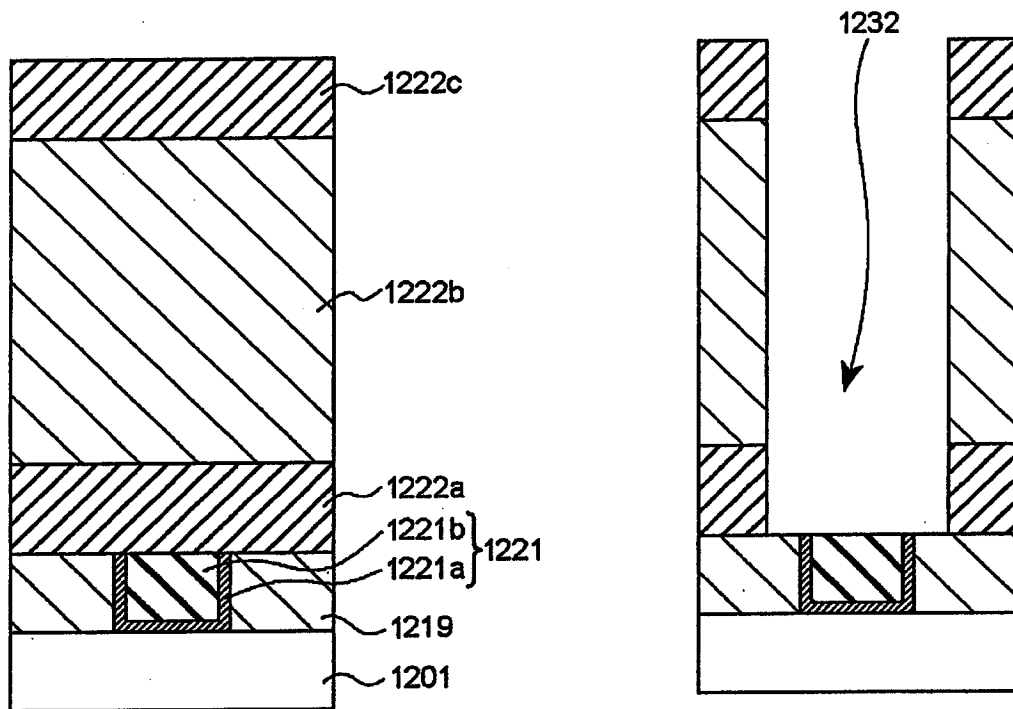


图 18(a)

图 18(b)

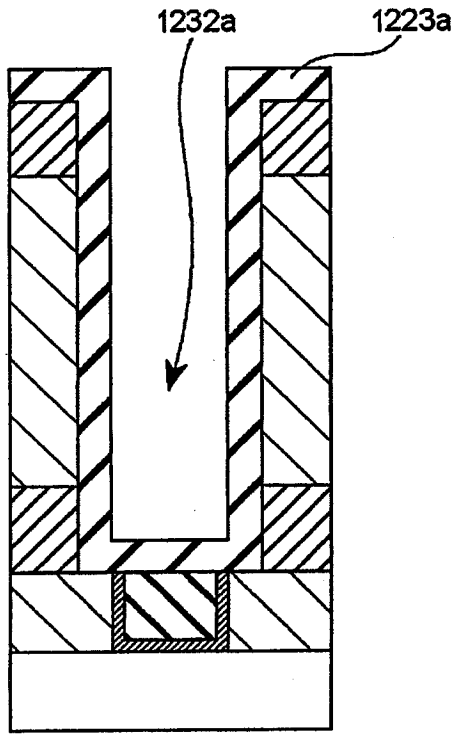


图 18(c)

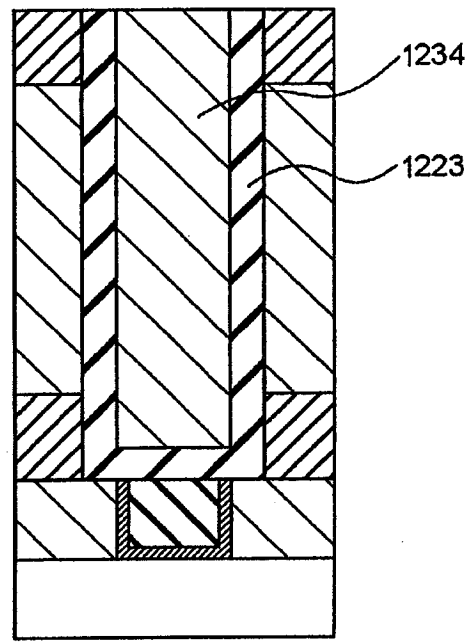


图 18(d)

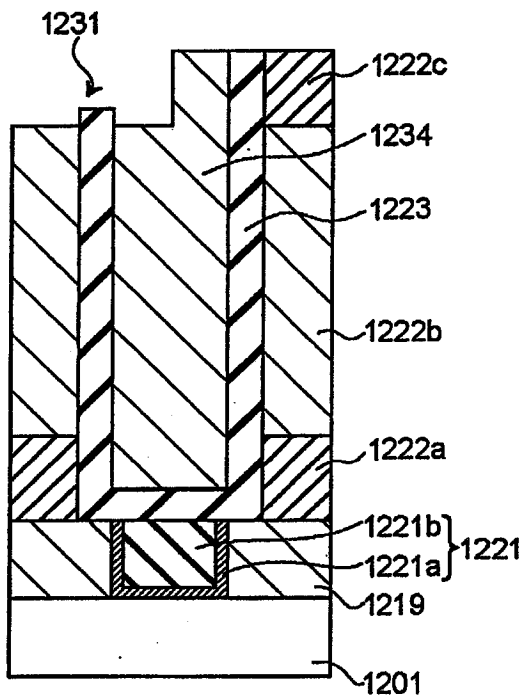


图 18(e)

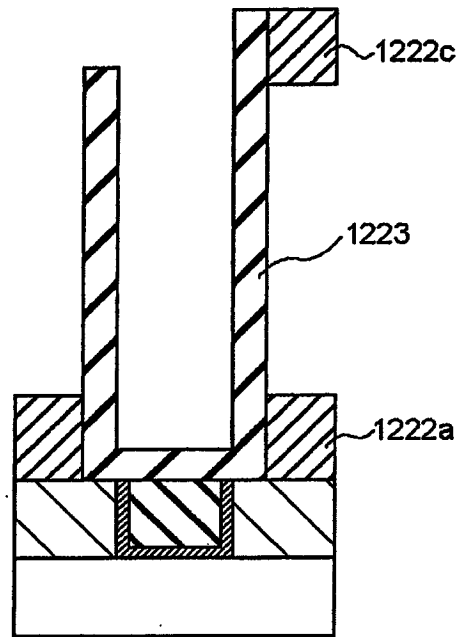


图 18(f)

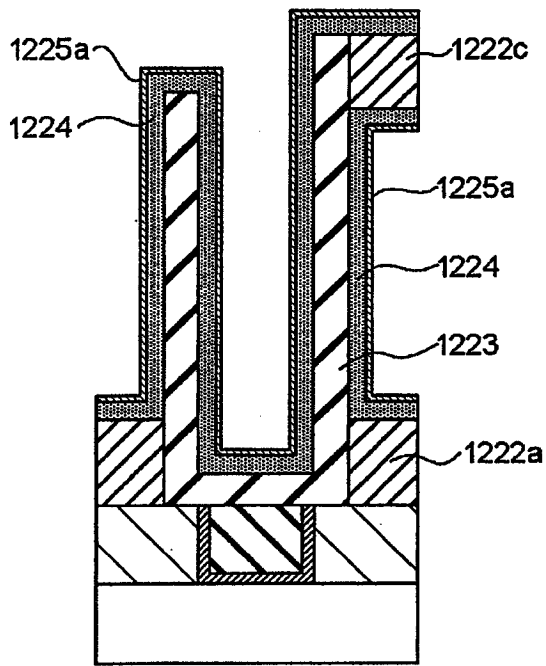


图 18(g)

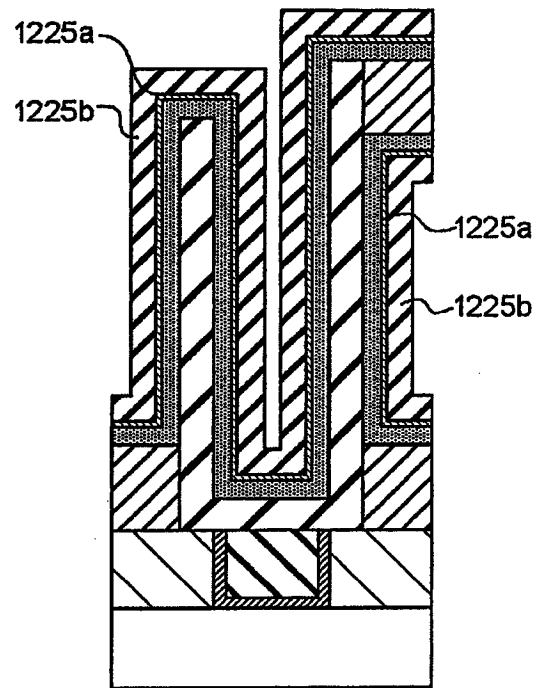


图 18(h)

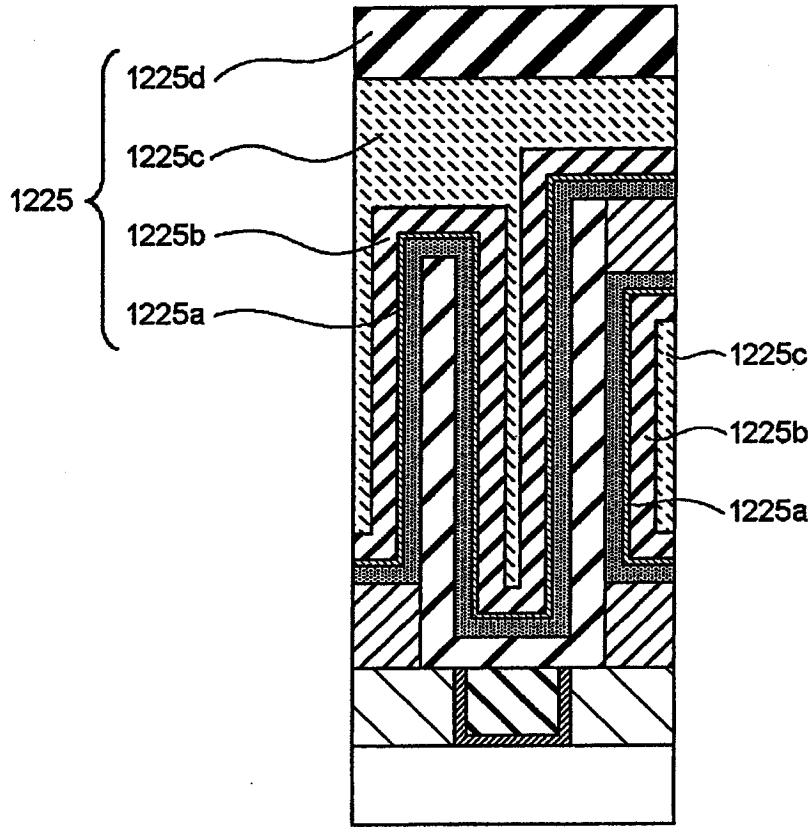


图 18(i)

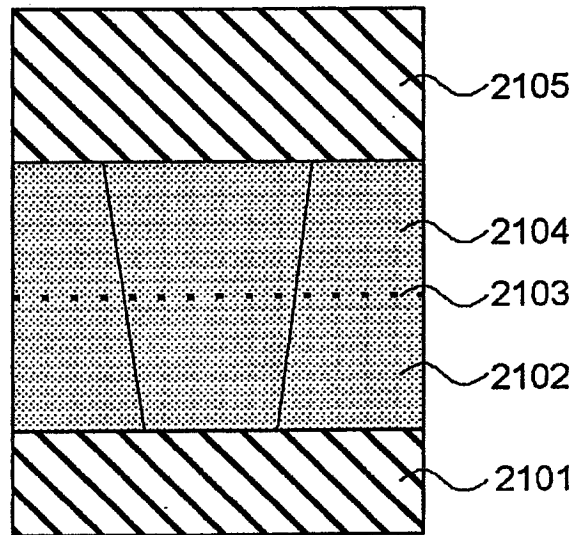


图 19