

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2008年7月17日 (17.07.2008)

PCT

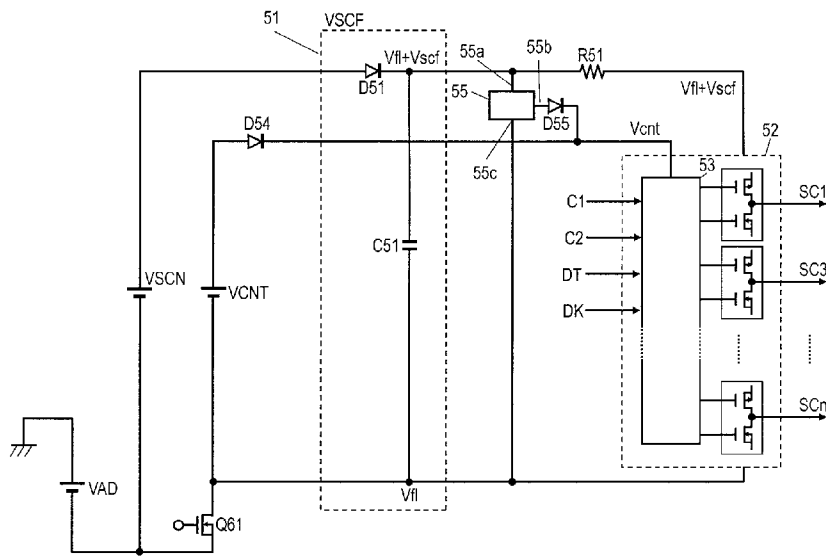
(10) 国際公開番号  
WO 2008/084792 A1

- (51) 国際特許分類: *G09G 3/28* (2006.01) *G09G 3/288* (2006.01)  
*G09G 3/20* (2006.01)
- (21) 国際出願番号: PCT/JP2008/050090
- (22) 国際出願日: 2008年1月9日 (09.01.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2007-004158 2007年1月12日 (12.01.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 草間 史人 (KUSAMA, Fumito). 永木 敏一 (NAGAKI, Tosikazu). 倉貴 正明 (KURANUKI, Masaaki).
- (74) 代理人: 岩橋 文雄, 外(IWAHASHI, Fumio et al.); 〒5718501 大阪府門真市大字門真1006番地 松下電器産業株式会社内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE,

[続葉有]

(54) Title: PLASMA DISPLAY DEVICE

(54) 発明の名称: プラズマディスプレイ装置



(57) **Abstract:** A plasma display device is provided with a panel having a plurality of discharge cells; a power supply for generating a voltage to be applied to one of electrodes of the panel; a drive waveform generating section, which has a switching element for outputting a voltage for the power supply and generates a drive voltage waveform for driving the electrodes; a switch control section for controlling a switching element; a controlling power supply for supplying the switch control section with power; and an auxiliary power supply section, which reduces the voltage of the power supply that applies voltages to the electrodes, generates a voltage lower than that of the controlling power supply and supplies the switch control section with power.

(57) **要約:** プラズマディスプレイ装置は、放電セルを複数備えたパネルと、パネルのいずれかの電極に印加するための電圧を発生する電極印加用電源と、電極印加用電源の電圧を出力するスイッチング素子を有し電極を駆動する駆動電圧波形を発生する駆動波形発生部と、スイッチング素子を制御するスイッチ制御部と、スイッチ制御部に電力を供給する制御用電源と、電極印加用電源の

[続葉有]

WO 2008/084792 A1



SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,  
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,  
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,  
GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可  
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,  
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,  
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

添付公開書類:  
— 国際調査報告書

## 明 細 書

### プラズマディスプレイ装置

### 技術分野

[0001] 本発明は、プラズマディスプレイパネルを用いた画像表示装置であるプラズマディスプレイ装置に関する。

### 背景技術

[0002] プラズマディスプレイパネル(以下、「パネル」と略記する)として代表的な交流面放電型パネルは、対向配置された前面板と背面板との間に多数の放電セルが形成されている。

[0003] 前面板には1対の走査電極と維持電極とからなる表示電極対が互いに平行に複数対形成され、背面板にはデータ電極が平行に複数形成されている。そして、表示電極対とデータ電極とが立体交差するように前面板と背面板とが対向配置されて密封され、内部の放電空間には放電ガスが封入されている。表示電極対とデータ電極との対向する部分に放電セルが形成される。

[0004] パネルを駆動する方法としてはサブフィールド法が一般的である。サブフィールド法は、1フィールド期間を複数のサブフィールドで構成した上で、放電セルを点灯させるサブフィールドの組み合わせによって階調表示を行う方法である。

[0005] 各サブフィールドは、初期化期間、書込み期間および維持期間を有する。初期化期間では初期化放電が発生され、続く書込み動作に必要な壁電荷が各電極上に形成される。書込み期間では、書込み電圧として走査電極に走査パルスが印加されるとともにデータ電極に選択的に書込みパルスが印加されて放電セルに選択的に書込み放電が発生し、壁電荷が形成される。そして維持期間では、走査電極と維持電極とからなる表示電極対に交互に維持パルスが印加される。書込み期間において書込み放電を発生させた放電セルで維持放電が発生され、対応する放電セルが発光、点灯することにより画像表示が行われる。

[0006] このようにしてパネルを駆動する駆動回路は、それぞれの電極に様々な電圧値を持つ駆動電圧波形を印加し、かつ放電電流や電極間容量の充放電電流を安定的

に流す必要がある。そのために、駆動回路は多くの電源と多くのスイッチング素子を有する回路で構成されている。中でも走査電極駆動回路は印加すべき駆動電圧波形が複雑であり、さらに走査電極のそれぞれに異なる形状の駆動電圧波形を印加する必要がある。そのため、走査電極駆動回路は回路構成が複雑になり、スイッチング素子のタイミング制御も難しくなる。特に電源スイッチをオフにするとき、電源回路で発生させている電圧のそれぞれは、その電源の容量と負荷の大きさに依存した速度で低下する。このとき、それぞれの電源に電圧が残留することなく、かつ安全に電圧が低下するように様々な工夫が施されている。例えば特許文献1には、電源オフで電圧が急速に低下する電源の電圧を検出し、サイリスタを用いて電圧の低下の遅い電源の電圧を強制的に低下させる回路が開示されている。また特許文献2には、電源オフ時の電圧低下を検出して、維持電極または走査電極の駆動方法を変更して残留電圧を放電させる手段を備えたプラズマディスプレイ装置が開示されている。

[0007] しかしながら、これらの従来技術では、電源オフ時における電圧の低下を検出する回路や、電源回路の電圧を強制的に低下させる回路、さらには駆動回路の駆動方法を変更する手段等、特殊な回路や手段を設ける必要がある。

特許文献1:特開平7-210112号公報

特許文献2:特開2002-132210号公報

#### 発明の開示

[0008] 本発明は、これらの課題に鑑みなされたものであり、電源オフ時にも異常動作を起こす恐れがなく、パネルを駆動する駆動回路の動作を安全に終了するプラズマディスプレイ装置を提供する。

[0009] プラズマディスプレイ装置は、少なくとも走査電極と維持電極とデータ電極とで構成される放電セルを複数備えたプラズマディスプレイパネルと、走査電極と維持電極とデータ電極のいずれかの電極に印加するための電圧を発生する電極印加用電源と、電極印加用電源の電圧を出力するスイッチング素子を有し電極を駆動する駆動電圧波形を発生する駆動波形発生部と、スイッチング素子を制御するスイッチ制御部と、スイッチ制御部に電力を供給する制御用電源と、電極印加用電源の電圧を降圧して制御用電源の電圧より低い電圧を発生しスイッチ制御部に電力を供給する補助電

源部を備える。

### 図面の簡単な説明

[0010] [図1]図1は本発明の実施の形態に用いるパネルの構造を示す分解斜視図である。

[図2]図2は本発明の実施の形態に用いるパネルの電極配列図である。

[図3]図3は本発明の実施の形態におけるプラズマディスプレイ装置の回路ブロック図である。

[図4]図4は本発明の実施の形態における走査電極駆動回路の詳細を示す回路図である。

[図5]図5は本発明の実施の形態における各電極に印加する駆動電圧波形図である。

[図6]図6は本発明の実施の形態における走査パルス出力回路の詳細を示す回路ブロック図である。

[図7]図7は本発明の実施の形態における出力制御部の制御を示す図である。

[図8]図8は本発明の実施の形態における走査パルス出力回路およびそれに供給する電源を含む回路図である。

[図9A]図9Aは本発明の実施の形態における補助電源部の具体例を示す回路図である。

[図9B]図9Bは本発明の実施の形態における補助電源部の他の具体例を示す回路図である。

[図10]図10は本発明の実施の形態における補助電源部の動作の説明図である。

### 符号の説明

- [0011] 10 パネル  
22 走査電極  
23 維持電極  
24 表示電極対  
32 データ電極  
41 画像信号処理回路  
42 データ電極駆動回路

- 43 走査電極駆動回路
- 44 維持電極駆動回路
- 45 タイミング発生回路
- 46 電源回路
- 52 走査パルス出力回路
- 53 スイッチ制御部
- 55 補助電源部
- 60 電圧設定回路
- 70 維持パルス発生部
- 80 初期化波形発生部
- 100 プラズマディスプレイ装置
- OUT1～OUTn スイッチ部
- Q61, Q71, Q72, Q73, Q83 スイッチング素子
- QL1～QLn スイッチング素子(第1のスイッチング素子)
- QH1～QHn スイッチング素子(第2のスイッチング素子)
- Vfl 基準電位

#### 発明を実施するための最良の形態

[0012] 以下、本発明の実施の形態におけるプラズマディスプレイ装置について、図面を用いて説明する。

[0013] (実施の形態)

図1は、本発明の実施の形態に用いるパネル10の構造を示す分解斜視図である。ガラス製の前面基板21上には、走査電極22と維持電極23とからなる表示電極対24が複数形成されている。そして表示電極対24を覆うように誘電体層25が形成され、その誘電体層25上に保護層26が形成されている。背面基板31上にはデータ電極32が複数形成され、データ電極32を覆うように誘電体層33が形成され、さらにその上に井桁状の隔壁34が形成されている。そして、隔壁34の側面および誘電体層33上には赤色、緑色および青色の各色に発光する蛍光体層35が設けられている。

[0014] これら前面基板21と背面基板31とは、微小な放電空間を挟んで表示電極対24と

データ電極32とが交差するように対向配置され、その外周部をガラスフリット等の封着材によって封着されている。そして放電空間には、例えば分圧比で10%のキセノンを含む放電ガスが封入されている。放電空間は隔壁34によって複数の区画に仕切られており、表示電極対24とデータ電極32とが交差する部分に放電セルが形成されている。そしてこれらの放電セルが放電、発光することにより画像が表示される。

[0015] なお、パネル10の構造は上述したものに限られるわけではなく、例えばストライプ状の隔壁を備えたものであってもよい。

[0016] 図2は、本発明の実施の形態に用いるパネル10の電極配列図である。パネル10には、行方向に長い $n$ 本の走査電極 $SC1 \sim SCn$ (図1の走査電極22)および $n$ 本の維持電極 $SU1 \sim SUn$ (図1の維持電極23)が配列されている。また、列方向に長い $m$ 本のデータ電極 $D1 \sim Dm$ (図1のデータ電極32)が配列されている。そして、1対の走査電極 $SCi$ ( $i=1 \sim n$ )および維持電極 $SUi$ と1つのデータ電極 $Dj$ ( $j=1 \sim m$ )とが交差した部分に放電セルが形成されている。放電セルは放電空間内に $m \times n$ 個形成されている。なお、図1、図2に示したように、走査電極 $SCi$ と維持電極 $SUi$ とは互いに平行に対をなして形成されているため、走査電極 $SC1 \sim SCn$ と維持電極 $SU1 \sim SUn$ との間に大きな電極間容量 $Cp$ が存在する。

[0017] 次に、本実施の形態におけるプラズマディスプレイ装置の構成およびその動作について説明する。

[0018] 図3は、本発明の実施の形態におけるプラズマディスプレイ装置100の回路ブロック図である。プラズマディスプレイ装置100は、パネル10、画像信号処理回路41、データ電極駆動回路42、走査電極駆動回路43、維持電極駆動回路44、タイミング発生回路45、電源回路46および電源スイッチ47を備えている。電源回路46は各回路ブロックに必要な電源を供給する。電源スイッチ47は商用電源AC100(V)から電源回路46に電力を供給する。

[0019] 画像信号処理回路41は、画像信号をパネル10で表示できる画素数および階調数の画像信号に変換し、さらにサブフィールドのそれぞれにおける発光・非発光をデジタル信号のそれぞれのビットの「1」と「0」に対応させた画像データに変換する。データ電極駆動回路42は、画像データを各データ電極 $D1 \sim Dm$ に対応する書込みパル

スに変換し、各データ電極D1～Dmに印加する。

- [0020] タイミング発生回路45は水平同期信号、垂直同期信号をもとにして、各回路ブロックの動作を制御する各種のタイミング信号を発生し、それぞれの回路ブロックへ供給する。走査電極駆動回路43、維持電極駆動回路44は、それぞれのタイミング信号に基づき駆動電圧波形を作成し、走査電極SC1～SCn、維持電極SU1～SUnのそれぞれに印加する。
- [0021] 電源回路46は、各回路ブロックに供給する様々な電源を備えている。特に走査電極駆動回路43に供給する電源としては、電源VSUS、電源VSET、電源VAD、電源VSCN、制御用電源VCNTを備えている。電源VSUSは正の維持パルス電圧 $V_{sus}$ を発生する。電源VSETは正の電圧 $V_{set}$ を発生する。電源VADは負の電圧 $V_{ad}$ を発生する。電源VSCNは電源VADに電圧 $V_{scn}$ を重畳した電圧を発生する。制御用電源VCNTは任意の基準電圧に電圧15(V)を重畳することができる。
- [0022] 図4は、本発明の実施の形態における走査電極駆動回路43の詳細を示す回路図である。走査電極駆動回路43は、走査パルス出力回路52と、電源VSCFと、電圧設定回路60とを備えている。走査パルス出力回路52は、走査パルスを出力するための駆動波形発生部である。電極印加用電源VSCFは、走査パルス出力回路52の基準電位 $V_{fl}$ に重畳された電圧 $V_{scf}$ の電極印加用の電源である。電圧設定回路60は、走査パルス出力回路52の基準電位 $V_{fl}$ を後述する所定の電圧に設定する。
- [0023] 走査パルス出力回路52は、走査電極SC1～SCnのそれぞれに走査パルス電圧を出力するスイッチ部OUT1～OUTnを有する。そしてスイッチ部OUT1～OUTnのそれぞれは、第1のスイッチング素子であるスイッチング素子QL1～QLnと、第2のスイッチング素子であるスイッチング素子QH1～QHnとを有している。第1のスイッチング素子であるスイッチング素子QL1～QLnは、電極印加用電源VSCFの低圧側の電圧、すなわち基準電位 $V_{fl}$ を出力する。第2のスイッチング素子であるスイッチング素子QH1～QHnは、電極印加用電源VSCFの高圧側の電圧、すなわち基準電位 $V_{fl}$ に重畳された電圧 $V_{scf}$ を出力する。
- [0024] 電圧設定回路60は、スイッチング素子Q61と、維持パルス発生部70と、初期化波形発生部80とを備えている。スイッチング素子Q61は、走査パルス発生回路50の基

準電位 $V_{fl}$ を負の電圧 $V_{ad}$ にクランプするための素子である。維持パルス発生部70は、維持パルスを発生する。初期化波形発生部80は、傾斜波形電圧を発生する。

[0025] 維持パルス発生部70は、スイッチング素子Q71、スイッチング素子Q72、スイッチング素子Q73、ダイオードD71、ダイオードD72、ダイオードD73を有している。スイッチング素子Q71およびスイッチング素子Q72は、走査電極を維持パルス電圧 $V_{sus}$ にクランプするための素子である。スイッチング素子Q73は、走査電極を0(V)にクランプするための素子である。ダイオードD71、ダイオードD72、ダイオードD73は、スイッチング素子Q71、スイッチング素子Q72、スイッチング素子Q73のそれぞれに並列に接続されている。さらに、維持パルス発生部70は、電力回収を行うためのコンデンサC74、スイッチング素子Q75、スイッチング素子Q76、逆流防止用のダイオードD75、ダイオードD76、共振用のインダクタL75、インダクタL76を有している。なお、コンデンサC74は電極間容量 $C_p$ に比べて十分に大きい容量を持ち、維持パルス電圧 $V_{sus}$ の約半分の約 $V_{sus}/2$ に充電されている。

[0026] 初期化波形発生部80は、2つのミラー積分回路と、分離回路とを備える。1つ目のミラー積分回路は、電界効果トランジスタQ81とコンデンサC81と抵抗R81とツェナーダイオードD81を有し、電圧 $V_{set}$ の電源に接続されている。2つ目のミラー積分回路は、電界効果トランジスタQ82とコンデンサC82と抵抗R82とを有し、電圧 $V_{ad}'$ に接続されている。

[0027] このように構成された電圧設定回路60を用いて、走査パルス出力回路52の基準電位 $V_{fl}$ を負の電圧 $V_{ad}$ 、電圧0(V)、あるいは後述するようにそれ以外の電圧に設定することができる。

[0028] なお、パネル10の駆動時には、スイッチング素子Q75、スイッチング素子Q76、スイッチング素子Q71、スイッチング素子Q73、スイッチング素子Q83、スイッチング素子Q61、ダイオードD75、ダイオードD76、ダイオードD72には非常に大きなピーク電流が流れる。図4にはこれらの素子のそれぞれは1つの素子の記号を用いて示したが、通常はこれらのスイッチング素子やダイオードは数個～十数個の同一仕様の素子を並列に接続してインピーダンスを下げている。

[0029] 次に、パネル10を駆動するための駆動方法について説明する。パネル10はサブフ

ィールド法によって階調表示を行う。サブフィールド法は、1フィールド期間を複数のサブフィールドに分割し、サブフィールド毎に各放電セルの発光・非発光を制御する方法である。夫々のサブフィールドは初期化期間、書込み期間および維持期間を有する。

[0030] 初期化期間では初期化放電が発生し、続く書込み放電に必要な壁電荷が各電極上に形成される。このときの初期化動作には、全ての放電セルで初期化放電を発生させる全セル初期化動作と、維持放電を発生した放電セルで初期化放電を発生させる選択初期化動作とがある。書込み期間では、書込み電圧として走査電極に走査パルス印加するとともにデータ電極に選択的に書込みパルス印加して、発光させるべき放電セルで選択的に書込み放電が発生し壁電荷が形成される。そして維持期間では、輝度重みに応じた数の維持パルスを表示電極対に交互に印加して、書込み放電が発生した放電セルで維持放電が発生し発光する。

[0031] 図5は、本発明の実施の形態における各電極に印加する駆動電圧波形図である。図5は、第1サブフィールドが全セル初期化動作を行うサブフィールド、第2サブフィールドが選択初期化動作を行うサブフィールドであるとしてそれぞれのサブフィールドの駆動電圧波形を示している。フィールドは、第1サブフィールドや第2サブフィールドをはじめとする複数のサブフィールドで構成されている。

[0032] 第1サブフィールドにおける初期化期間の前半部では、データ電極D1～Dm、維持電極SU1～SUnにそれぞれ0(V)が印加される。そしてスイッチング素子Q73、スイッチング素子Q83がオンされて基準電位Vflは0(V)になり、スイッチ部OUT1～OUTnのスイッチング素子QH1～QHnをオンにして走査電極SC1～SCnに電圧Vscfが印加される。次にスイッチング素子Q73をオフにするとともに電界効果トランジスタQ81をオンにしてミラー積分回路が動作する。すると基準電位VflはツェナーダイオードD81のツェナー電圧Vz分の電圧上昇の後、電圧Vsetに向かって緩やかに上昇する。こうして電圧Vset+Vscfに向かって緩やかに上昇する傾斜波形電圧が走査電極SC1～SCnに印加される。この傾斜波形電圧が上昇する間に、走査電極SC1～SCnと維持電極SU1～SUn、データ電極D1～Dmとの間でそれぞれ微弱な初期化放電が起こる。そうして、それぞれの電極上に壁電圧が蓄積される。ここで、電

極上の壁電圧とは電極を覆う誘電体層上、保護層上、蛍光体層上等に蓄積された壁電荷により生じる電圧を表す。

- [0033] 初期化期間の後半部では、維持電極SU1～SUnに正の電圧 $V_{e1}$ が印加される。そして、電界効果トランジスタQ81をオフに、スイッチング素子Q71、スイッチング素子Q72をオンにして基準電位 $V_{fl}$ を電圧 $V_{sus}$ にして、走査電極SC1～SCnに電圧 $V_{sus} + V_{scf}$ が印加される。次にスイッチ部OUT1～OUTnのスイッチング素子QH1～QHnをオフに、スイッチング素子QL1～QLnをオンにして走査電極SC1～SCnに電圧 $V_{sus}$ が印加される。このとき、スイッチ部OUT1～OUTnのスイッチング素子の切換えは同時に行われるのではなく、半分ずつ時刻をずらして切換えが行われる。その後、スイッチング素子Q83をオフにするとともに電界効果トランジスタQ82をオンにしてミラー積分回路が動作する。すると、基準電位 $V_{fl}$ は電圧 $V_{ad}'$ に向かって緩やかに下降する。こうして電圧 $V_{ad}'$ に向かって緩やかに下降する傾斜波形電圧が走査電極SC1～SCnに印加される。そうして、この間に再び微弱な初期化放電が起こり、各電極上の壁電圧は書込み動作に適した値に調整される。
- [0034] このように、第1サブフィールドの初期化期間では、全ての放電セルで初期化放電を発生させる全セル初期化動作が行われる。
- [0035] 書込み期間では、維持電極SU1～SUnに電圧 $V_{e2}$ が印加される。そしてスイッチング素子Q61をオンにして、基準電位 $V_{fl}$ は負の電圧 $V_{ad}$ となる。それとともにスイッチング素子QH1～QHnをオンにして、電極印加用電源の電圧が出力される。このことにより、走査電極SC1～SCnに電圧 $V_{ad} + V_{scf}$ が印加される。
- [0036] 次に、スイッチング素子QH1をオフにしスイッチング素子QL1をオンにすることにより、1行目の走査電極SC1に負の走査パルス電圧 $V_{ad}$ が印加される。そして、データ電極D1～Dmのうち1行目に発光させるべき放電セルのデータ電極Dk ( $k=1\sim m$ )に正の書込みパルス電圧 $V_d$ が印加される。すると、1行目の放電セルのうち書込みパルスが印加された放電セルでは書込み放電が起こり、各電極上に壁電圧を蓄積する書込み動作が行われる。一方、書込みパルス電圧 $V_d$ が印加されなかった放電セルでは書込み放電は発生しない。このようにして選択的に書込み動作が行われる。その後、スイッチング素子QH1がオンされ、スイッチング素子QL1はオフに戻る。

- [0037] 次に、スイッチング素子QH2をオフにしスイッチング素子QL2をオンにして2行目の走査電極SC2に走査パルス電圧Vadが印加される。それとともに、データ電極D1～Dmのうち2行目に発光させるべき放電セルのデータ電極Dkに書込みパルス電圧Vdが印加される。すると、2行目の放電セルで選択的に書込み放電が起こる。以上の書込み動作をn行目の放電セルに至るまで行われる。
- [0038] その後、スイッチ部OUT1～OUTnのスイッチング素子QH1～QHnおよびスイッチング素子QL1～QLnをオフにして、スイッチ部OUT1～OUTnの出力はハイインピーダンス状態になる。そしてこの間にスイッチング素子Q61をオフに、スイッチング素子Q83およびスイッチング素子Q73をオンにして、基準電位Vflは0(V)になる。その後、スイッチ部OUT1～OUTnのスイッチング素子QL1～QLnをオンにして、走査電極SC1～SCnに0(V)が印加される。
- [0039] 続く維持期間では、維持電極SU1～SUnに0(V)が印加され、走査電極SC1～SCnに維持パルス電圧Vsusが印加される。走査電極SC1～SCnに維持パルス電圧Vsusを印加するために、スイッチング素子Q73はオフに、スイッチング素子Q75、スイッチング素子Q72、スイッチング素子Q83はオンにされる。すると、電力回収用のコンデンサC74からスイッチング素子Q75、ダイオードD75、インダクタL75、スイッチング素子Q72またはダイオードD72、スイッチング素子Q83およびスイッチング素子QL1～QLnを介して電流が流れ始める。そうして、走査電極SC1～SCnの電圧が上がり始める。インダクタL75と電極間容量Cpとは共振回路を形成しているので、共振周期の1/2の時間経過後には走査電極SC1～SCnの電圧は電圧Vsus付近まで上昇する。そしてスイッチング素子Q71はオンにされる。すると、走査電極SC1～SCnはスイッチング素子Q71を通して電源へ接続されるため、走査電極SC1～SCnの電圧は強制的に電圧Vsusまで上昇する。そうして、書込み放電を起こした放電セルでは維持放電が発生する。
- [0040] 続いて走査電極SC1～SCnに0(V)が印加され、維持電極SU1～SUnに維持パルス電圧Vsusが印加される。走査電極SC1～SCnに0(V)を印加するために、スイッチング素子Q76、スイッチング素子Q83がオンされる。すると、走査電極SC1～SCnからスイッチング素子QL1～QLn、スイッチング素子Q83、インダクタL76、ダイオ

ードD76、スイッチング素子Q76を介して電力回収用のコンデンサC74に電流が流れ始める。そうして、走査電極SC1～SCnの電圧が下がり始める。インダクタL76と電極間容量Cpとは共振回路を形成しているので、共振周期の1/2の時間経過後には走査電極SC1～SCnの電圧は0(V)付近まで下降する。そしてスイッチング素子Q73はオンされる。すると、走査電極SC1～SCnはスイッチング素子Q73を通して接地電位へ接続されるため、走査電極SC1～SCnの電圧は強制的に0(V)まで下降する。そして、維持電極SU1～SUnに維持パルス電圧V<sub>sus</sub>が印加される。そうして、維持放電を起こした放電セルでは再び維持放電が発生する。

[0041] 以下同様に、走査電極SC1～SCnと維持電極SU1～SUnとに交互に輝度重みに応じた数の維持パルスを印加し、表示電極対の電極間に電位差を与えることにより、書込み期間において書込み放電を起こした放電セルで維持放電が継続して行われる。

[0042] 続く第2サブフィールドの初期化期間においては、第1サブフィールドの初期化期間の後半部と同様の動作が行われる。すなわち、維持電極SU1～SUnに正の電圧V<sub>e1</sub>が印加され、走査電極SC1～SCnには電圧V<sub>ad</sub>'に向かって緩やかに下降する傾斜波形電圧が印加される。すると、第1サブフィールドの維持期間において維持放電を行った放電セルで初期化放電が発生する。このように、第2サブフィールドの初期化期間は、維持放電を行った放電セルで初期化放電を発生させる選択初期化動作が行われる。

[0043] 続く書込み期間、維持期間は第1サブフィールドの書込み期間、維持期間とほぼ同様であるため説明を省略する。またそれ以降のサブフィールドについても維持パルス数を除いてほぼ同様である。

[0044] なお、本実施の形態において各電極に印加する電圧値は、例えば、電圧V<sub>set</sub>は330(V)、電圧V<sub>sus</sub>は190(V)、電圧V<sub>scf</sub>は140(V)、電圧V<sub>ad</sub>は-100(V)、電圧V<sub>e1</sub>は160(V)、電圧V<sub>e2</sub>は170(V)である。ただしこれらの電圧値は、単に一例を挙げたに過ぎず、パネル10の特性やプラズマディスプレイ装置100の仕様等に合わせて、適宜最適な値に設定することが望ましい。

[0045] 図6は、本発明の実施の形態における走査パルス出力回路52の詳細を示す回路

ブロック図である。走査パルス出力回路52は、上述したように走査パルス電圧を出力するスイッチ部OUT1～OUTnを備えているが、加えてスイッチ制御部53も備えている。スイッチ制御部53は、これらのスイッチ部OUT1～OUTnのスイッチング素子のQH1～QHnとQL1～QLnを制御する。そしてスイッチ制御部53は、出力制御部RG1～RGn、および出力制御部RG1～RGnのそれぞれに位相の異なる2値信号を供給するためのシフトレジスタSRを有する。

[0046] シフトレジスタSRは、データDTとクロックCKを入力し、クロックCKを入力する毎にデータDTを順次シフトしてn個の出力O1～Onを出力する。シフトレジスタSRは書き込み期間において、データDTから1つのパルスを入力し、そのパルスを順次シフトすることにより、走査パルスの基となる位相の異なったn個の2値データを出力制御部RG1～RGnのそれぞれに出力する。

[0047] 出力制御部RG1～RGnのそれぞれは、制御信号C1と制御信号C2とシフトレジスタSRの対応する1つの出力とを入力し、対応するスイッチ部OUT1～OUTnのスイッチング素子のQH1～QHnとQL1～QLnを制御する。

[0048] 図7は本発明の実施の形態における出力制御部RG1～RGnの制御を示す図であり、2つの制御信号C1、C2に応じてスイッチ部OUT1～OUTnのそれぞれの出力を以下のように制御される。制御信号C1、制御信号C2がともに「L」の場合には、スイッチング素子のQHiとQLiをともにオフにして、スイッチング素子のQHiとQLiの出力はハイインピーダンス状態になる。制御信号C1が「L」で制御信号C2が「H」の場合には、対応するシフトレジスタSRの出力に従ってスイッチング素子のQHiとQLiが制御される。本実施の形態においては、シフトレジスタSRの出力Oiが「H」であればスイッチング素子QHiはオンに、スイッチング素子QLiはオフにされる。シフトレジスタSRの出力Oiが「L」であればスイッチング素子QHiはオフに、スイッチング素子QLiはオンにされる。制御信号C1が「H」で制御信号C2が「L」の場合には、対応するシフトレジスタSRの出力にかかわらずスイッチング素子QHiをオフに、スイッチング素子QLiをオンにして基準電位Vflが出力される。また、制御信号C1、制御信号C2がともに「H」の場合には、対応するシフトレジスタSRの出力にかかわらずスイッチング素子QHiをオンに、スイッチング素子QLiをオフにして基準電位Vflに重畳された電圧Vscfが

出力される。

[0049] なお、走査パルス出力回路52の、複数のスイッチ部OUT1～OUTn、複数の出力制御部RG1～RGn、およびシフトレジスタSRの対応する部分はまとめられてIC化されている。以下、このICを「走査IC」と呼ぶ。本実施の形態においては、走査電極64本分をまとめて1つの走査ICとし、この走査ICを12個使用して、768本(n=768)の走査電極SC1～SCnのそれぞれに走査パルスが供給されている。このように多数の出力を持つ走査パルス出力回路52をIC化することにより回路をコンパクトにまとめることができ実装面積も小さくすることができる。

[0050] 図8は、本発明の実施の形態における走査パルス出力回路52およびそれに供給する電源を含む回路図である。走査パルス出力回路52の低電圧側は基準電位Vflに接続され、高電圧側は基準電位Vflに電圧Vscfが重畳された電極印加用電源VSCFに抵抗R51を介して接続されている。そして電極印加用電源VSCFは、さまざまな回路構成が可能であるが、本実施の形態においてはブートストラップ回路51で構成されている。このブートストラップ回路51はダイオードD51とコンデンサC51とで構成され、負の電圧Vadの電源VAD上に重畳された電源VSCNの電圧を基準電位Vfl上にくみ上げることにより、電圧Vscfの電極印加用電源VSCFとして動作する。

[0051] また、スイッチ制御部53には、例えばDC-DCコンバータで構成された制御用電源VCNTから逆流防止ダイオードD54を介して電圧15(V)が供給される。加えて本実施の形態は、補助電源部55と逆流防止ダイオードD55とを備えている。

[0052] 補助電源部55は、電極印加用電源VSCFの電圧Vscfを降圧して15(V)より低い電圧、例えば12(V)を出力し、スイッチ制御部53に電力を供給する。補助電源部55は、端子55a、端子55b、端子55cを備えている。端子55aは、ダイオードD51とコンデンサC51と抵抗R51との接続点に接続されている。端子55bは、逆流防止ダイオードD55に接続されている。端子55cは、スイッチング素子Q61と電源VCNTとコンデンサC51と走査パルス出力回路52との接続点に接続されている。

[0053] 走査パルス出力回路52には、制御信号C1と制御信号C2とデータDTとクロックCKが入力されている。そうして、走査パルス出力回路52は走査電極SC1～SCnを駆動する。

[0054] 図9Aおよび図9Bは、本発明の実施の形態における補助電源部55の具体例を示す回路図である。補助電源部55は通常のAVC回路で構成することができる。図9Aは補助電源部55の最も簡単な回路構成の一例であり、ツェナーダイオードD91のツェナー電圧からトランジスタT91のベース-エミッタ間電圧だけ降下した電圧が出力される。なお、端子55a、端子55b、端子55cは図8の端子55a、端子55b、端子55cにそれぞれ対応する。また、図9Bは補助電源部55の他の具体例を示す回路図である。図9Bに示すように、トランジスタの逆耐圧保護用ダイオードD95や出力過電圧保護用ツェナーダイオードD96、ノイズ除去用コンデンサC95、過電流保護用抵抗R95等を追加してもよい。さらに、トランジスタの利得を上げるためにダーリントン接続した構成や、電流制限のための抵抗R96とツェナーダイオードD97を追加した構成でもよい。なお、端子55a、端子55b、端子55cは図8の端子55a、端子55b、端子55cにそれぞれ対応する。

[0055] 図8を用いて説明したように、プラズマディスプレイ装置100の通常動作時には、書込み期間において基準電位Vflが電圧Vadに設定される。それにより、このとき電源VSCNからダイオードD51を通してコンデンサC51に電流が流れ、コンデンサC51が充電される。このコンデンサC51が基準電位Vflに重畳された電極印加用電源VSCFとして動作する。またスイッチ制御部53に供給する電源VCNTの電圧は補助電源部55の出力電圧より高い。そのため、逆流防止ダイオードD55がオフとなり、補助電源部55からスイッチ制御部53に電力を供給することはない。補助電源部55はプラズマディスプレイ装置100の電源スイッチ47をオフした場合に、走査パルス出力回路52が異常動作することなく画像表示動作を安全に終了させるために設けられている。

[0056] 図10は、本発明の実施の形態における補助電源部55の動作の説明図である。横軸は時間を表し、縦軸は電圧を表している。時刻t1において、プラズマディスプレイ装置100の電源スイッチ47をオフすると、電源回路46から供給される各電圧は低下を始め、電極印加用電源VSCFの電圧Vscfおよび制御用電源VCNTの電圧Vcntも低下し始める。ここで、電極印加用電源VSCFとして働くブートストラップ回路51のコンデンサC51の容量は比較的大きいので、電圧Vscfが低下するまでにある程度の

時間を要する。一方、制御用電源VCNTの電圧は比較的速く低下する。

[0057] このとき、仮に補助電源部55が設けられていなかったと仮定すると、図10に破線で示したように、電極印加用電源VSCFの電圧Vscfが低下する前に制御用電源VCNTの電圧Vcntが低下することになる。そして制御用電源VCNTの電圧Vcntがある程度低下すると、スイッチング素子のQH1~QHnとQL1~QLnの制御が不安定になる。そして、このときスイッチング素子QHiとスイッチング素子QLiとが同時にオンになるとスイッチング素子QHiとスイッチング素子QLiとに過大な貫通電流が流れて走査ICが破壊する恐れがある。

[0058] しかしながら本実施の形態では、時刻t2から時刻t3までの期間において、制御用電源VCNTの電圧Vcntが補助電源部55の出力電圧12(V)以下に低下すると補助電源部55が動作を始める。すなわち、制御用電源VCNTから供給される電圧Vcntが補助電源部55の出力電圧よりも低くなるので、逆流防止ダイオードD55がオンになり、電極印加用電源VSCFの電圧Vscfを降圧した電圧12(V)がスイッチ制御部53に供給される。このように、制御用電源VCNTの電圧Vcntが低下した後もスイッチ制御部53に電圧12(V)が供給され続けるので、スイッチング素子QH1~QHn、QL1~QLnの制御が不安定になることはない。また時刻t3以降において、ブートストラップ回路51の電圧Vscfが12(V)より低下するとスイッチング素子のQH1~QHnとQL1~QLnの制御が不安定になる。しかし、このときはブートストラップ回路51の電圧が十分に低下しているため、スイッチング素子QHiとスイッチング素子QLiとが同時にオンになったとしても大きな貫通電流が流れる恐れはない。

[0059] なお、本実施の形態においては、駆動波形発生部が走査パルス出力回路であり、電極印加用電源が基準電位Vflに重畳された電源VSCFであり、制御用電源が基準電位に15(V)を供給する電源VCNTである場合について説明した。しかし、本実施の形態はこれに限定されるものではない。例えば駆動波形発生部が基準電位Vflを電圧Vadに設定するスイッチング素子Q61であり、電極印加用電源が電源VADまたは電源VSCN等であっても、同様に補助電源部を構成することができる。

[0060] なお、本実施の形態において用いた具体的な各数値は、単に一例を挙げたに過ぎず、パネルの特性やプラズマディスプレイ装置の仕様等に合わせて、適宜最適な値

に設定することが望ましい。

[0061] このように、本発明によれば、大幅な設計変更を必要とすることなく、電源オフ時にも異常動作を起こす恐れがなく、パネルを駆動する駆動回路の動作を安全に終了するプラズマディスプレイ装置を提供することが可能となる。

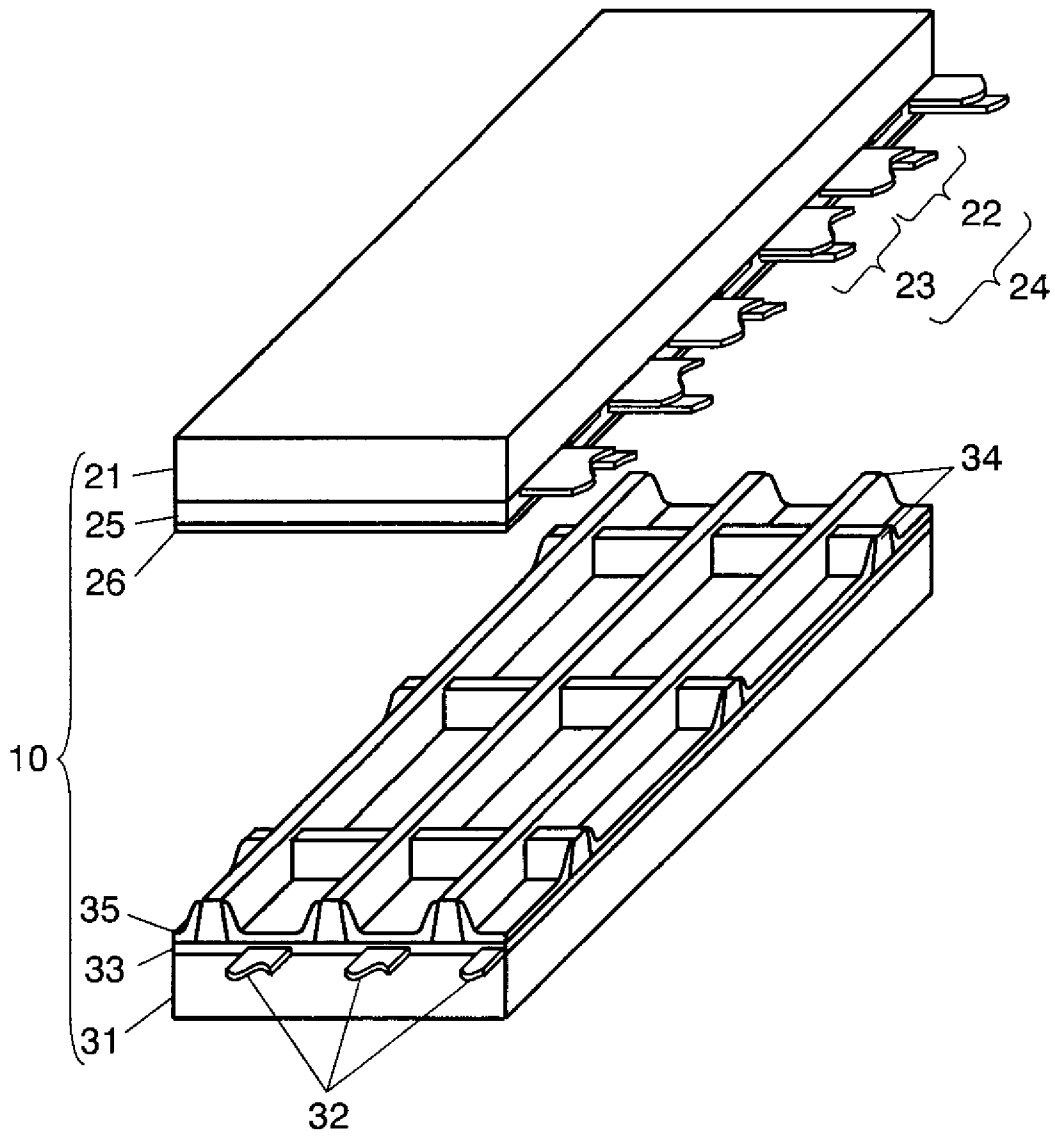
#### 産業上の利用可能性

[0062] 本発明は、大幅な設計変更を必要とすることなく、電源オフ時にも異常動作を起こす恐れがなく、パネルを駆動する駆動回路の動作を終了することができるプラズマディスプレイ装置として有用である。

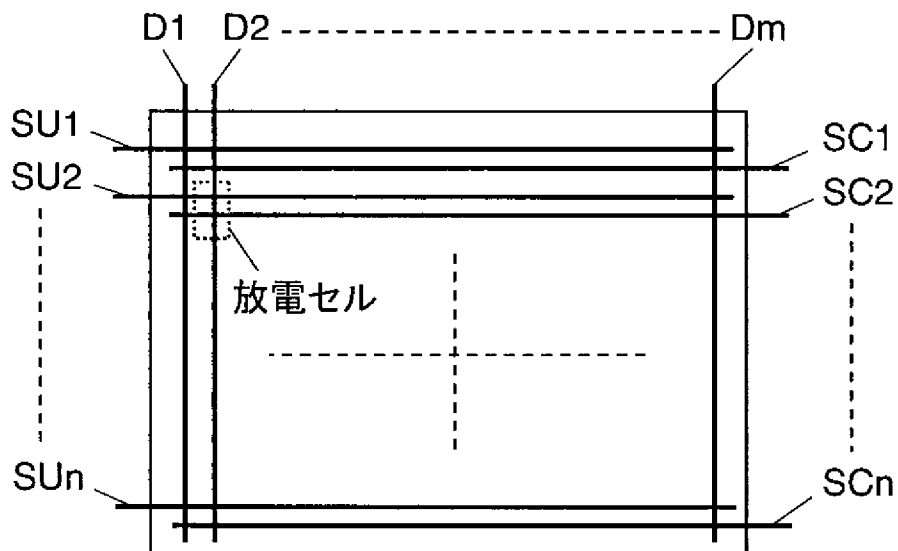
## 請求の範囲

- [1] 少なくとも走査電極と維持電極とデータ電極とで構成される放電セルを複数備えたプラズマディスプレイパネルと、
- 前記走査電極と前記維持電極と前記データ電極のいずれかの電極に印加するための電圧を発生する電極印加用電源と、
- 前記電極印加用電源の電圧を出力するスイッチング素子を有し、前記電極を駆動する駆動電圧波形を発生する駆動波形発生部と、
- 前記スイッチング素子を制御するスイッチ制御部と、
- 前記スイッチ制御部に電力を供給する制御用電源と、
- 前記電極印加用電源の電圧を降圧して前記制御用電源の電圧より低い電圧を発生し前記スイッチ制御部に電力を供給する補助電源部とを備えたことを特徴とするプラズマディスプレイ装置。
- [2] 前記駆動波形発生部は、
- 前記電極印加用電源の低圧側の電圧を出力する第1のスイッチング素子と、前記電極印加用電源の高圧側の電圧を出力する第2のスイッチング素子とを有するスイッチ部を複数備え、
- 前記走査電極のそれぞれに印加する走査パルスを出力する走査パルス出力回路である請求項1に記載のプラズマディスプレイ装置。

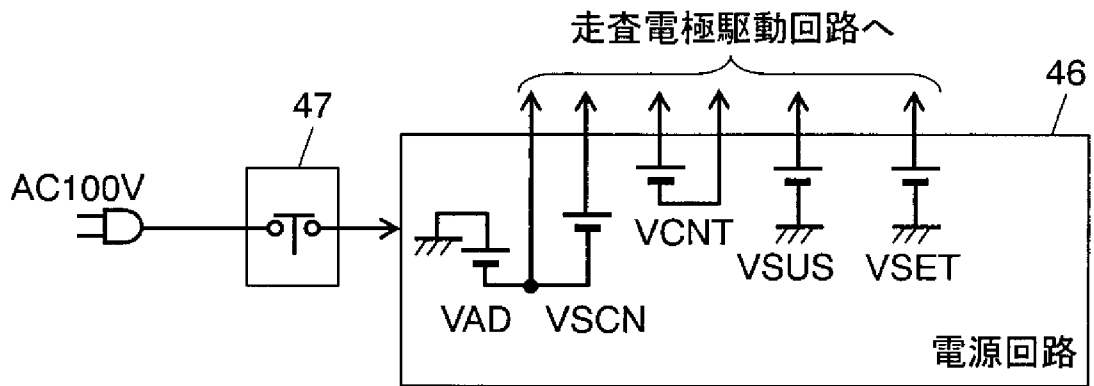
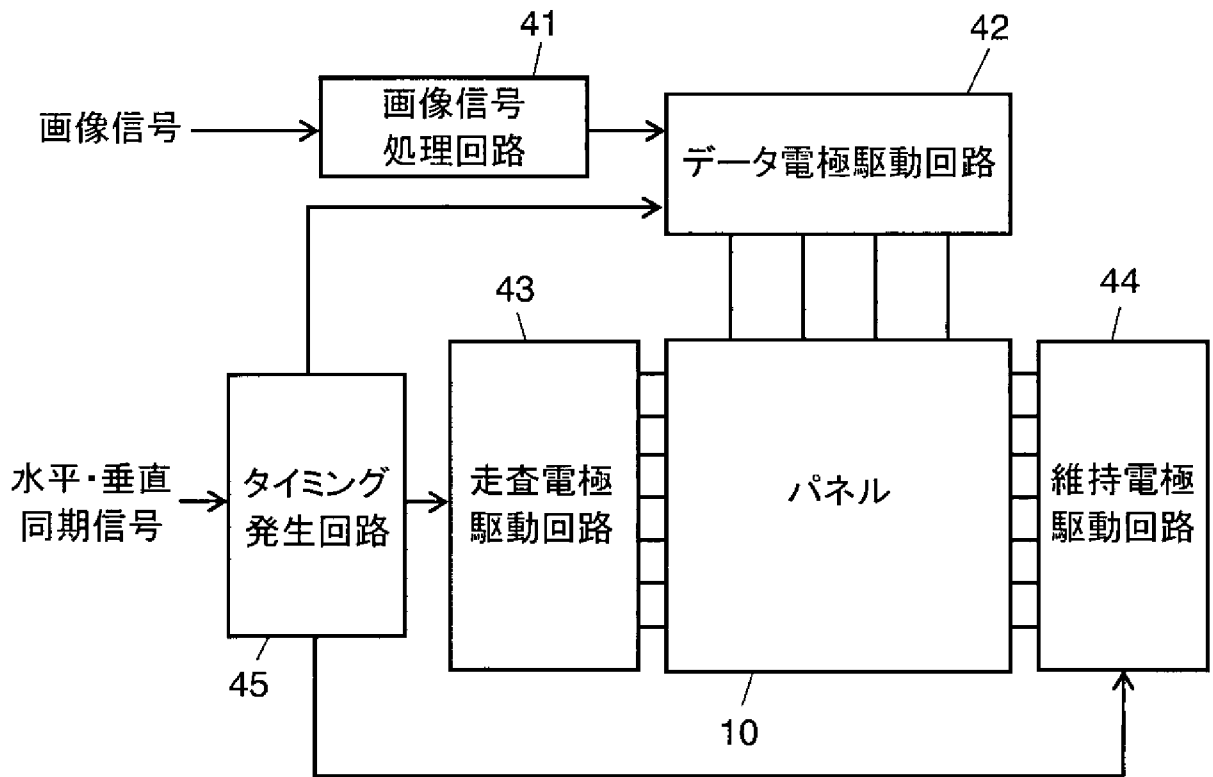
[図1]



[図2]

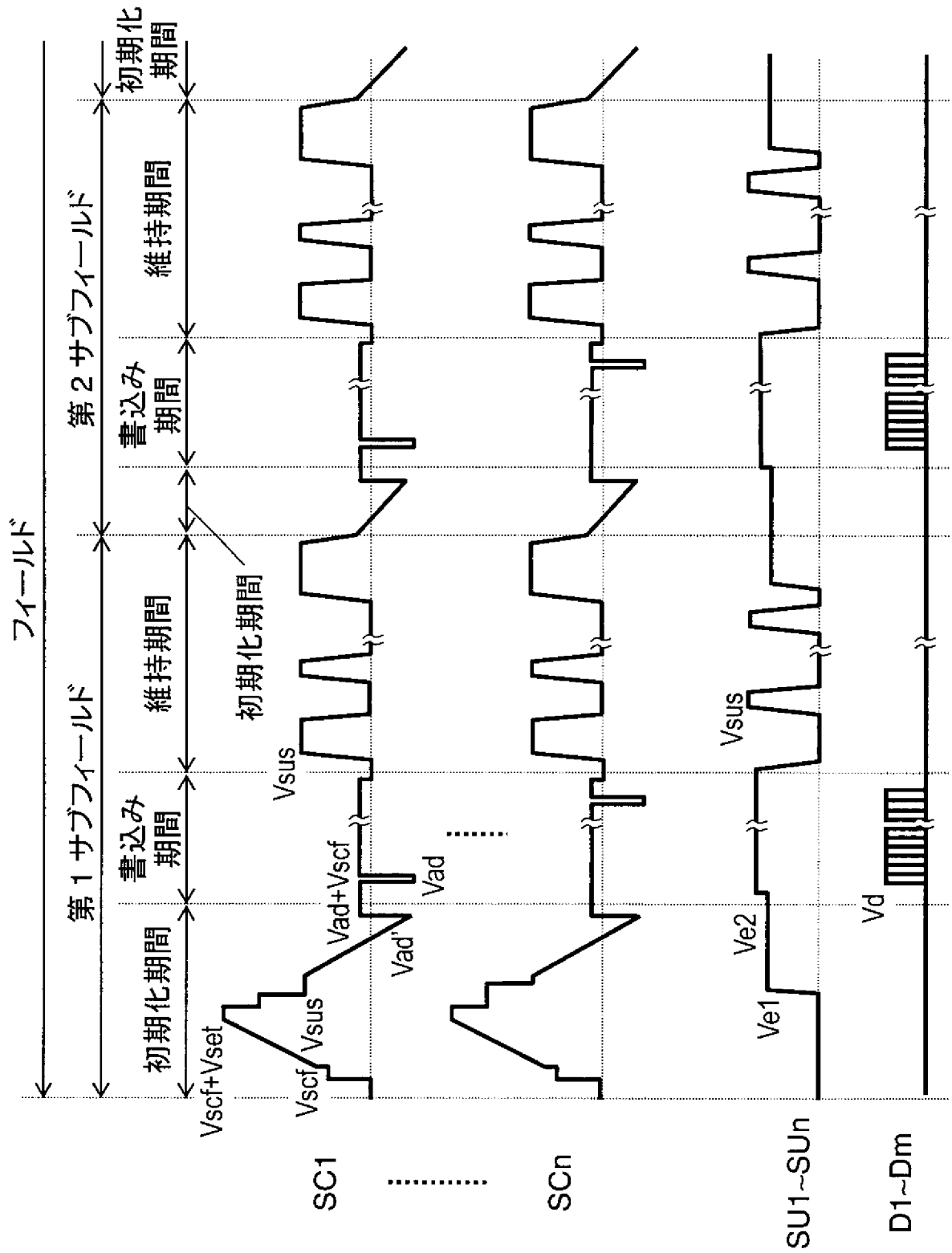


[図3]

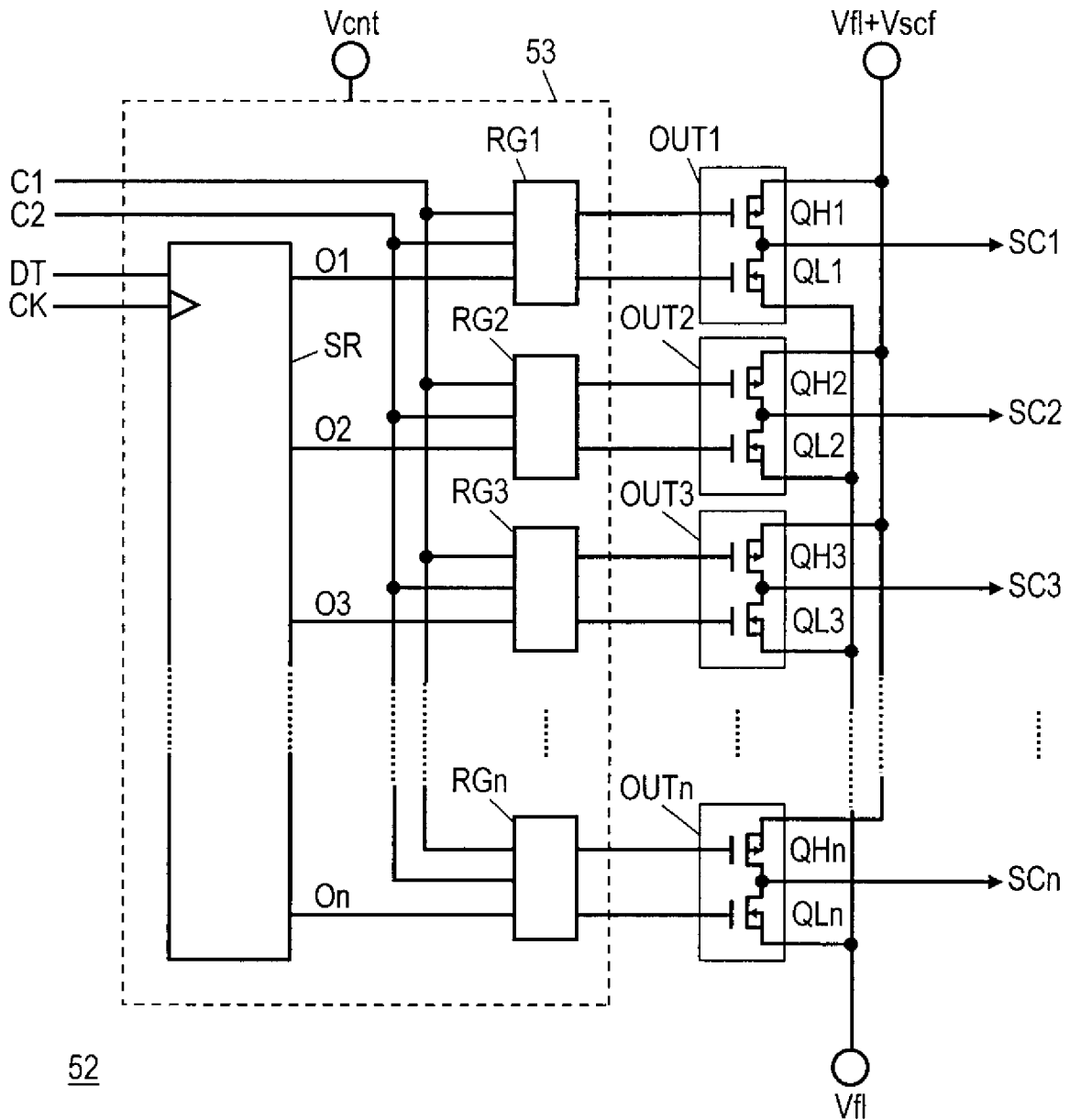




[図5]



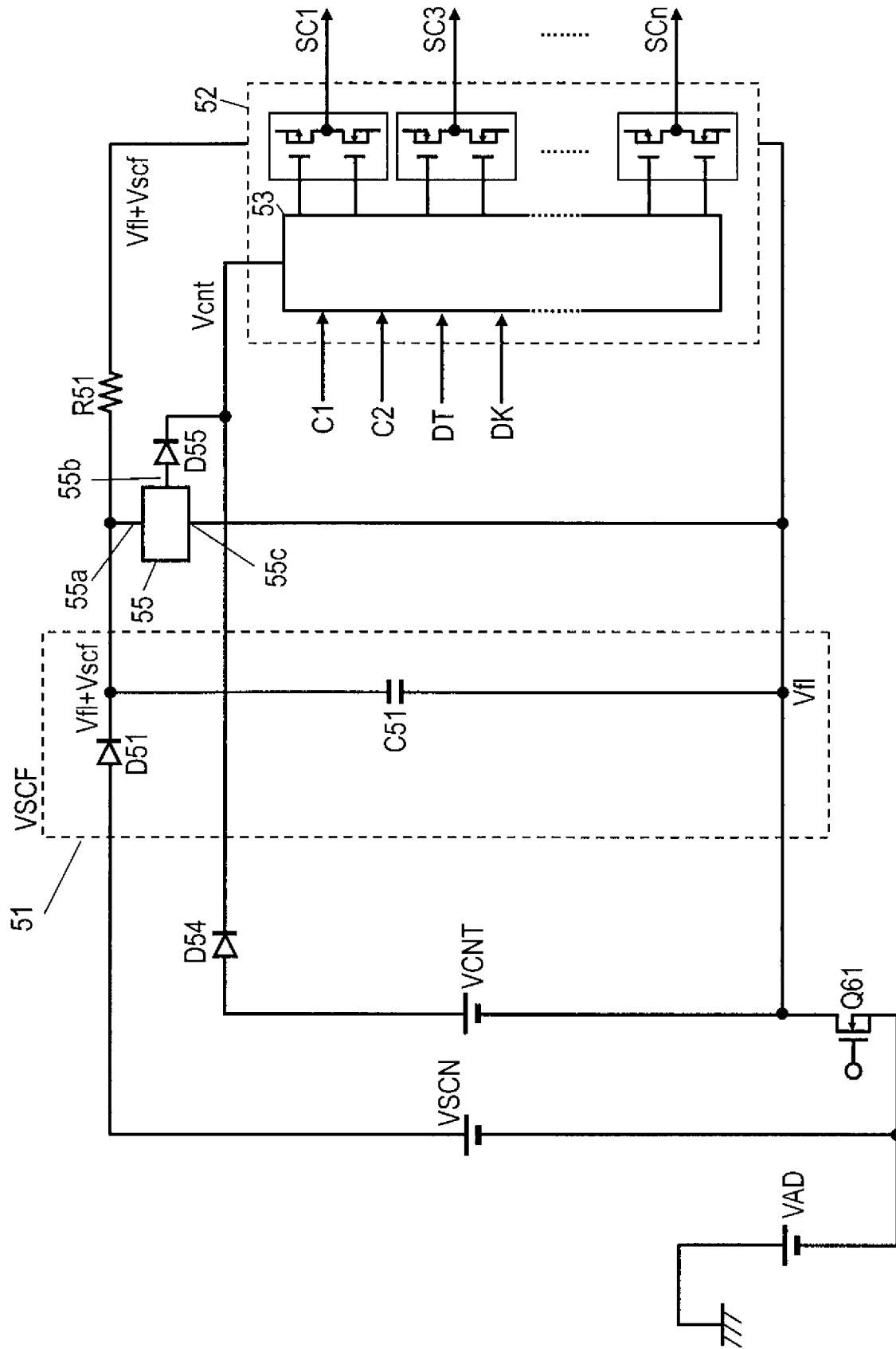
[図6]



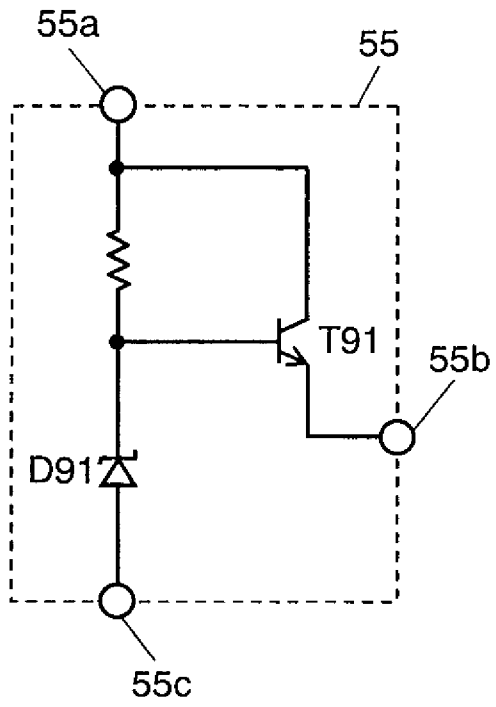
[図7]

C1	C2	スイッチ部の出力
L	L	全出力=ハイインピーダンス
L	H	シフトレジスタ「H」:Vfl+Vscf シフトレジスタ「L」:Vfl
H	L	全出力=Vfl
H	H	全出力=Vfl+Vscf

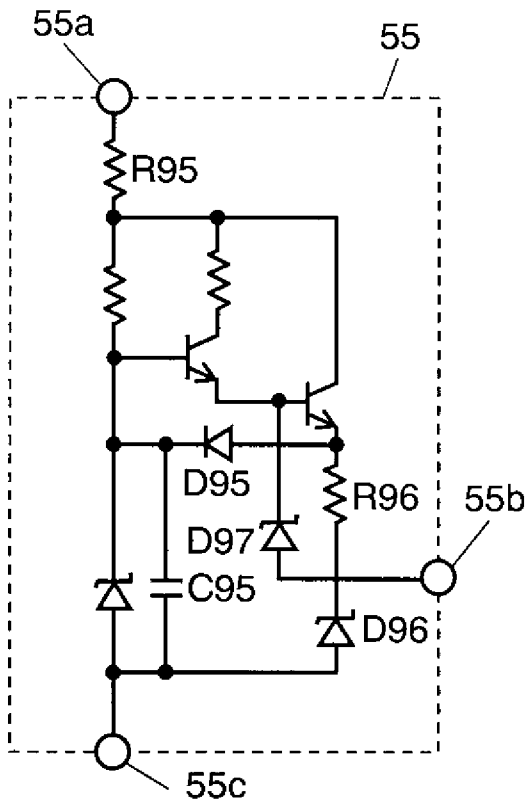
[図8]



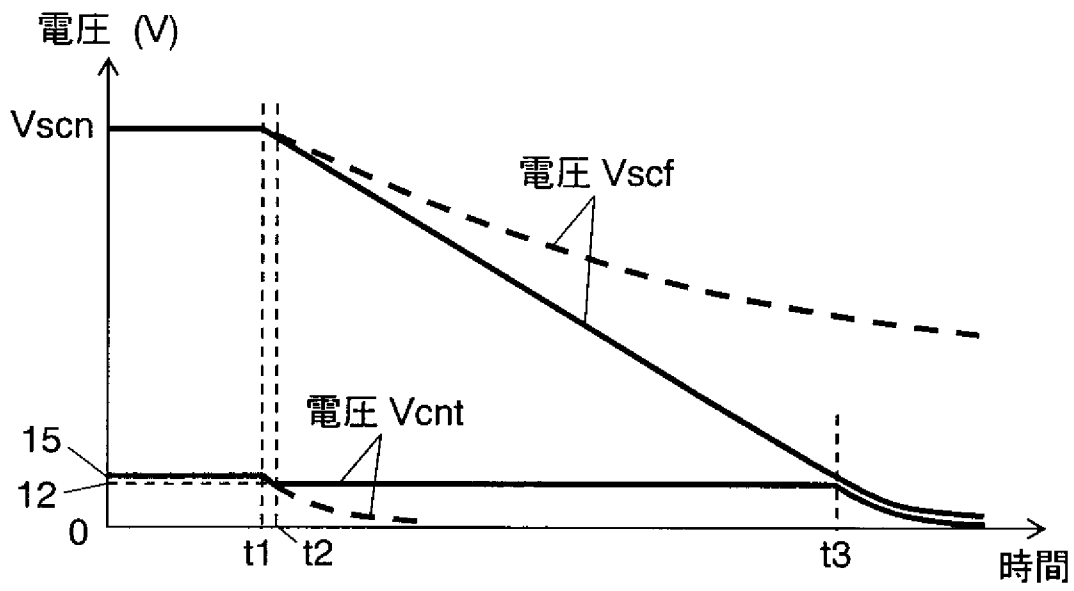
[図9A]



[図9B]



[図10]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2008/050090

A. CLASSIFICATION OF SUBJECT MATTER  
G09G3/28(2006.01)i, G09G3/20(2006.01)i, G09G3/288(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
G09G3/28, G09G3/20, G09G3/288

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-268911 A (NEC Corp.), 28 September, 2001 (28.09.01), Par. Nos. [0019] to [0048]; Figs. 1 to 4 & EP 1172789 A2 & US 2001/0022734 A1	1-2
Y	JP 63-99768 A (Ricoh Co., Ltd.), 02 May, 1988 (02.05.88), Page 2, lower right column, line 17 to page 3, upper right column, line 18; Figs. 1, 3 (Family: none)	1-2
Y	JP 2005-338708 A (Matsushita Electric Industrial Co., Ltd.), 08 December, 2005 (08.12.05), Par. Nos. [0007] to [0016]; Figs. 1 to 4 (Family: none)	2

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 January, 2008 (23.01.08)	Date of mailing of the international search report 05 February, 2008 (05.02.08)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2008/050090

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-229686 A (TDK Corp.), 25 August, 2005 (25.08.05), Par. Nos. [0025] to [0046]; Figs. 1 to 2 (Family: none)	1-2
A	JP 2-223378 A (Ricoh Co., Ltd.), 05 September, 1990 (05.09.90), Page 5, upper left column, line 5 to page 6, lower right column, line 3; Figs. 1 to 3 (Family: none)	1-2

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. G09G3/28(2006.01)i, G09G3/20(2006.01)i, G09G3/288(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. G09G3/28, G09G3/20, G09G3/288

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2008年  
 日本国実用新案登録公報 1996-2008年  
 日本国登録実用新案公報 1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2001-268911 A (日本電気株式会社) 2001.09.28, 段落【0019】-【0048】、【図1】 -【図4】 & EP 1172789 A2 & US 2001/0022734 A1	1-2
Y	J P 63-99768 A (株式会社リコー) 1988.05.02, 第2頁右下欄第17行-第3頁右上欄第 18行, 第1図, 第3図 (ファミリーなし)	1-2

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 23.01.2008	国際調査報告の発送日 05.02.2008
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 西島 篤宏 2G   9308 電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2005-338708 A (松下電器産業株式会社) 2005.12.08, 段落【0007】-【0016】, 【図1】 - 【図4】 (ファミリーなし)	2
A	J P 2005-229686 A (TDK株式会社) 2005.08.25, 段落【0025】-【0046】, 【図1】 - 【図2】 (ファミリーなし)	1-2
A	J P 2-223378 A (株式会社リコー) 1990.09.05, 第5頁左上欄第5行-第6頁右下欄第3 行, 第1図-第3図 (ファミリーなし)	1-2