



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0108799
(43) 공개일자 2016년09월20일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01) G09G 3/30 (2006.01)
(52) CPC특허분류
G09G 3/3208 (2013.01)
G09G 3/30 (2013.01)
(21) 출원번호 10-2015-0031969
(22) 출원일자 2015년03월06일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
신동용
경기도 용인시 기흥구 삼성로 95 (농서동)
(74) 대리인
리엔목특허법인

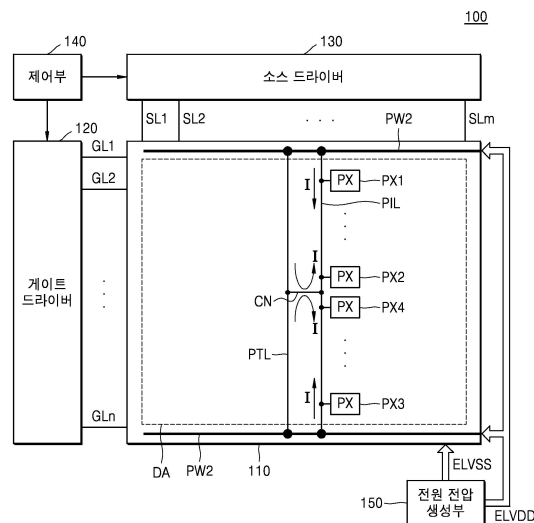
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기 발광 표시 패널, 유기 발광 표시 장치 및 전압 강하 보상 방법

(57) 요약

유기 발광 표시 패널, 유기 발광 표시 장치 및 전압 강하 보상 방법이 개시된다. 본 발명의 일 실시예에 따른 유기 발광 표시 패널은, 표시 영역 상에서 제1 방향으로 연장되고, 제1 전원 전압(ELVDD)이 인가되는 전원 입력 라인, 상기 제1 방향으로 연장되고, 상기 전원 입력 라인의 가운데 지점에 연결되어 상기 제1 전원 전압을 상기 전원 입력 라인에 전달하는 전원 전달 라인, 상기 표시 영역 바깥에서 제2 방향으로 연장되고, 상기 전원 입력 라인 및 상기 전원 전달 라인에 상기 제1 전원 전압을 공급하는 제1 및 제2 전원 배선 및 상기 표시 영역 상에 매트릭스로 배열되고, 상기 전원 입력 라인에 연결되어 상기 전원 입력 라인을 통해 상기 제1 전원 전압을 공급받는 복수의 픽셀들을 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

표시 영역 상에서 제1 방향으로 연장되고, 제1 전원 전압(ELVDD)이 인가되는 전원 입력 라인;

상기 제1 방향으로 연장되고, 상기 전원 입력 라인의 가운데 지점에 연결되어 상기 제1 전원 전압을 상기 전원 입력 라인에 전달하는 전원 전달 라인;

상기 표시 영역 바깥에서 제2 방향으로 연장되고, 상기 전원 입력 라인 및 상기 전원 전달 라인에 상기 제1 전원 전압을 공급하는 제1 및 제2 전원 배선; 및

상기 표시 영역 상에 매트릭스로 배열되고, 상기 전원 입력 라인에 연결되어 상기 전원 입력 라인을 통해 상기 제1 전원 전압을 공급받는 복수의 픽셀들을 포함하는 유기 발광 표시 패널.

청구항 2

제1항에 있어서,

상기 복수의 픽셀들은 상기 전원 전달 라인에 직접 연결되지 않는 유기 발광 표시 패널.

청구항 3

제1항에 있어서,

상기 복수의 픽셀들 중에서 상기 제1 전원 배선 또는 상기 제2 전원 배선으로부터 가장 가까이 배열되는 픽셀들에 공급되는 상기 제1 전원 전압의 레벨은, 상기 복수의 픽셀들 중에서 상기 전원 입력 라인의 가운데 지점에 연결되는 픽셀들에 공급되는 상기 제1 전원 전압의 레벨보다 높은 유기 발광 표시 패널.

청구항 4

제1항에 있어서,

상기 복수의 픽셀들은 상기 제1 전원 전압의 레벨보다 낮은 전압 레벨을 갖는 제2 전원 전압(ELVSS)을 더 공급 받는 유기 발광 표시 패널.

청구항 5

제1항에 있어서,

상기 전원 입력 라인과 상기 전원 전달 라인은 연결부를 통해 전기적으로 연결되는 유기 발광 표시 패널.

청구항 6

제4항에 있어서,

상기 복수의 픽셀들 각각은 픽셀 회로, 및 상기 픽셀 회로에 연결되는 제1 전극 및 상기 제2 전원 전압이 인가되는 제2 전극을 갖는 발광 소자를 포함하는 유기 발광 표시 패널.

청구항 7

제6항에 있어서,

상기 제1 전극은 애노드 전극이고, 상기 제2 전극은 캐소드 전극인 유기 발광 표시 패널.

청구항 8

제6항에 있어서,

상기 픽셀 회로는,

게이트 라인을 통해 인가되는 스캔 신호에 의해 턴 온되어, 소스 라인을 통해 인가되는 데이터 신호를 전달하는 제1 박막 트랜지스터;

상기 데이터 신호의 논리 레벨에 따라 턴 온되어, 상기 제1 전원 전압을 상기 발광 소자로 전달하는 제2 박막 트랜지스터; 및

상기 데이터 신호의 논리 레벨에 따른 상기 제2 박막 트랜지스터의 턴 온 상태 또는 턴 오프 상태를 서브필드 시구간 동안 유지하는 커패시터를 포함하는 유기 발광 표시 패널.

청구항 9

제1 전원 전압(ELVDD), 및 상기 제1 전원 전압의 전압 레벨보다 낮은 전압 레벨을 갖는 제2 전원 전압(ELVSS)을 생성하는 전원 전압 생성부; 및

유기 발광 표시 패널을 포함하며,

상기 유기 발광 표시 패널은,

표시 영역 상에서 제1 방향으로 연장되고, 제1 전원 전압(ELVDD)이 인가되는 전원 입력 라인;

상기 제1 방향으로 연장되고, 상기 전원 입력 라인의 가운데 지점에 연결되어 상기 제1 전원 전압을 상기 전원 입력 라인에 전달하는 전원 전달 라인;

상기 표시 영역 바깥에서 제2 방향으로 연장되고, 상기 전원 입력 라인 및 상기 전원 전달 라인에 상기 제1 전원 전압을 공급하는 제1 및 제2 전원 배선; 및

상기 표시 영역 상에 매트릭스로 배열되고, 상기 전원 입력 라인에 연결되어 상기 전원 입력 라인을 통해 상기 제1 전원 전압을 공급받는 복수의 픽셀들을 포함하는 유기 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 복수의 픽셀들은 상기 전원 전달 라인에 직접 연결되지 않는 유기 발광 표시 장치.

청구항 11

제1 방향으로 연장되고, 전원 전압(ELVDD)이 인가되는 전원 입력 라인, 상기 제1 방향으로 연장되고 상기 전원 입력 라인의 가운데 지점에 연결되어 상기 전원 전압을 상기 전원 입력 라인에 전달하는 전원 전달 라인, 및 상기 전원 입력 라인과 상기 전원 전달 라인에 상기 전원 전압을 공급하는 제1 및 제2 전원 배선을 포함하는 유기 발광 표시 패널의 전압 강하 보상 방법으로서,

상기 제1 및 제2 전원 배선과 상기 전원 전달 라인의 연결을 차단하는 제 1단계;

상기 전원 전달 라인에 인가되는 전압의 크기를 측정하는 제2 단계;

상기 제1 및 제2 전원 배선과 상기 전원 전달 라인을 연결하고, 상기 제1 및 제2 전원 배선과 상기 전원 입력 라인의 연결을 차단하는 제3 단계;

상기 전원 입력 라인 일단에서의 전압의 크기를 측정하는 제4 단계; 및

상기 전원 입력 라인의 저항값에 대한 상기 전원 전달 라인의 저항값의 비율을 산출하는 제5 단계를 포함하는 유기 발광 표시 패널의 전압 강하 보상 방법.

청구항 12

제11항에 있어서,

상기 제5 단계에서는, 상기 전원 전압과 상기 제2 단계에서 측정된 전압의 차이 및 상기 전원 전압과 상기 제4 단계에서 측정된 전압의 차이를 이용하여 상기 비율을 산출하는 유기 발광 표시 패널의 전압 강하 보상 방법.

청구항 13

제1 방향으로 연장되고, 전원 전압(ELVDD)이 인가되는 전원 입력 라인, 상기 제1 방향으로 연장되고 상기 전원

입력 라인의 가운데 지점에 연결되어 상기 전원 전압을 상기 전원 입력 라인에 전달하는 전원 전달 라인, 상기 전원 입력 라인의 가운데 지점에서의 전압을 측정하는 전압 측정 라인 및 상기 전원 입력 라인과 상기 전원 전달 라인에 상기 전원 전압을 공급하는 제1 및 제2 전원 배선을 포함하는 유기 발광 표시 패널의 전압 강하 보상 방법으로서,

상기 전원 전달 라인의 저항을 측정하는 단계;

상기 전압 측정 라인을 이용하여 상기 전원 입력 라인의 가운데 지점에서의 전압을 측정하는 단계;

상기 전원 입력 라인을 통해 흐르는 전류의 크기를 측정하는 단계; 및

상기 전원 입력 라인의 저항값에 대한 상기 전원 전달 라인의 저항값의 비율을 산출하는 단계를 포함하는 유기 발광 표시 패널의 전압 강하 보상 방법.

청구항 14

제13항에 있어서,

상기 비율 산출 단계에서는, 하기의 식을 이용하여 상기 비율을 산출하는 유기 발광 표시 패널의 전압 강하 보상 방법.

$$ELVDD-ELVDD_{center}=\frac{aV_D}{2(a+1)}$$

ELVDD는 전원 전압, Vcenter는 상기 전압 측정 단계에서 측정된 전압, VD는 상기 전원 전달 라인의 저항과 상기 전류 측정 단계에서 측정된 전류로 산출한 전압, a는 상기 비율을 의미함.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 패널, 유기 발광 표시 장치 및 전압 강하 보상 방법에 관한 것으로서, 보다 구체적으로는 표시 패널에서의 전압 강하를 줄임으로써 소비 전력을 감소시키고 화질을 개선시킬 수 있는 유기 발광 표시 패널, 유기 발광 표시 장치 및 전압 강하 보상 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하며, 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0003] 유기 발광 표시 장치는 복수의 게이트 라인, 복수의 소스 라인 및 복수의 전원 라인과 상기 라인들에 연결되고 매트릭스 형태로 배열되는 복수의 픽셀들을 포함한다. 아날로그 구동 방식으로 동작하는 유기 발광 표시 장치의 픽셀들은 입력되는 전압 또는 전류 데이터의 크기에 따라 밝기가 조절됨에 따라 계조를 표현하며, 디지털 구동 방식으로 동작하는 유기 발광 표시 장치의 픽셀들은 동일한 밝기로 발광하지만 상이한 발광 시간을 가짐으로써 계조를 표현한다. 상기 전원 라인들에 흐르는 상대적으로 큰 크기의 전류와 상기 전원 라인들의 저항 성분으로 인하여, 전원 라인들에 전압 강하(또는 IR Drop)가 발생하여, 픽셀들의 위치에 따라 상이한 전압 레벨의 전원 전압이 픽셀들에 인가되며, 픽셀들은 상이한 전압 레벨로 인하여 원하는 밝기로 발광할 수 없다.

발명의 내용

해결하려는 과제

[0004] 본 발명에 따른 유기 발광 표시 패널, 유기 발광 표시 장치 및 전압 강하 보상 방법은, 전원 전압 라인의 전압 강하로 인한 휘도 편차가 감소된 유기 발광 표시 패널, 유기 발광 표시 장치 및 전압 강하 보상 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0005] 본 발명의 일 실시예에 따른 유기 발광 표시 패널은, 표시 영역 상에서 제1 방향으로 연장되고, 제1 전원 전압(ELVDD)이 인가되는 전원 입력 라인, 상기 제1 방향으로 연장되고, 상기 전원 입력 라인의 가운데 지점에 연결되어 상기 제1 전원 전압을 상기 전원 입력 라인에 전달하는 전원 전달 라인, 상기 표시 영역 바깥에서 제2 방향으로 연장되고, 상기 전원 입력 라인 및 상기 전원 전달 라인에 상기 제1 전원 전압을 공급하는 제1 및 제2 전원 배선 및 상기 표시 영역 상에 매트릭스로 배열되고, 상기 전원 입력 라인에 연결되어 상기 전원 입력 라인을 통해 상기 제1 전원 전압을 공급받는 복수의 픽셀들을 포함한다.
- [0006] 또한, 상기 복수의 픽셀들은 상기 전원 전달 라인에 직접 연결되지 않는다.
- [0007] 또한, 상기 복수의 픽셀들 중에서 상기 제1 배선 또는 상기 제2 배선으로부터 가장 가까이 배열되는 픽셀들에 공급되는 상기 제1 전원 전압의 레벨은, 상기 복수의 픽셀들 중에서 상기 전원 입력 라인의 가운데 지점에 연결되는 픽셀들에 공급되는 상기 제1 전원 전압의 레벨보다 높을 수 있다.
- [0008] 또한, 상기 복수의 픽셀들은 상기 제1 전원 전압의 레벨보다 낮은 전압 레벨을 갖는 제2 전원 전압(ELVSS)을 더 공급받을 수 있다.
- [0009] 또한, 상기 전원 입력 라인과 상기 전원 전달 라인은 연결부를 통해 전기적으로 연결될 수 있다.
- [0010] 또한, 상기 복수의 픽셀들 각각은 픽셀 회로, 및 상기 픽셀 회로에 연결되는 제1 전극 및 상기 제2 전원 전압이 인가되는 제2 전극을 갖는 발광 소자를 포함할 수 있으며, 상기 제1 전극은 애노드 전극이고, 상기 제2 전극은 캐소드 전극일 수 있다.
- [0011] 또한, 상기 픽셀 회로는, 게이트 라인을 통해 인가되는 스캔 신호에 의해 턴 온되어, 소스 라인을 통해 인가되는 데이터 신호를 전달하는 제1 박막 트랜지스터, 상기 데이터 신호의 논리 레벨에 따라 턴 온되어, 상기 제1 전원 전압을 상기 발광 소자로 전달하는 제2 박막 트랜지스터 및 상기 데이터 신호의 논리 레벨에 따른 상기 제2 박막 트랜지스터의 턴 온 상태 또는 턴 오프 상태를 서브필드 시구간 동안 유지하는 커패시터를 포함할 수 있다.
- [0012] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 제1 전원 전압(ELVDD), 및 상기 제1 전원 전압의 전압 레벨보다 낮은 전압 레벨을 갖는 제2 전원 전압(ELVSS)을 생성하는 전원 전압 생성부 및 유기 발광 표시 패널을 포함하며, 상기 유기 발광 표시 패널은, 표시 영역 상에서 제1 방향으로 연장되고, 제1 전원 전압(ELVDD)이 인가되는 전원 입력 라인, 상기 제1 방향으로 연장되고, 상기 전원 입력 라인의 가운데 지점에 연결되어 상기 제1 전원 전압을 상기 전원 입력 라인에 전달하는 전원 전달 라인, 상기 표시 영역 바깥에서 제2 방향으로 연장되고, 상기 전원 입력 라인 및 상기 전원 전달 라인에 상기 제1 전원 전압을 공급하는 제1 및 제2 전원 배선 및 상기 표시 영역 상에 매트릭스로 배열되고, 상기 전원 입력 라인에 연결되어 상기 전원 입력 라인을 통해 상기 제1 전원 전압을 공급받는 복수의 픽셀들을 포함한다.
- [0013] 또한, 상기 복수의 픽셀들은 상기 전원 전달 라인에 직접 연결되지 않는다.
- [0014] 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 전압 강하 보상 방법은, 제1 방향으로 연장되고, 전원 전압(ELVDD)이 인가되는 전원 입력 라인, 상기 제1 방향으로 연장되고 상기 전원 입력 라인의 가운데 지점에 연결되어 상기 전원 전압을 상기 전원 입력 라인에 전달하는 전원 전달 라인, 및 상기 전원 입력 라인과 상기 전원 전달 라인에 상기 전원 전압을 공급하는 제1 및 제2 전원 배선을 포함하는 유기 발광 표시 장치의 전압 강하 보상 방법으로서, 상기 제1 및 제2 전원 배선과 상기 전원 전달 라인의 연결을 차단하는 제1 단계, 상기 전원 전달 라인에 인가되는 전압의 크기를 측정하는 제2 단계, 상기 제1 및 제2 전원 배선과 상기 전원 전달 라인을 연결하고, 상기 제1 및 제2 전원 배선과 상기 전원 입력 라인의 연결을 차단하는 제3 단계, 상기 전원 입력 라인 일 단에서의 전압의 크기를 측정하는 제4 단계 및 상기 전원 입력 라인의 저항값에 대한 상기 전원 전달 라인의 저항값의 비율을 산출하는 제5 단계를 포함한다.
- [0015] 또한, 상기 제5 단계에서는, 상기 전원 전압과 상기 제2 단계에서 측정된 전압의 차이 및 상기 전원 전압과 상기 제4 단계에서 측정된 전압의 차이를 이용하여 상기 비율을 산출할 수 있다.
- [0016] 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 전압 강하 보상 방법은, 제1 방향으로 연장되고, 전원 전압(ELVDD)이 인가되는 전원 입력 라인, 상기 제1 방향으로 연장되고 상기 전원 입력 라인의 가운데 지점에 연결되어 상기 전원 전압을 상기 전원 입력 라인에 전달하는 전원 전달 라인, 상기 전원 입력 라인의 가운데 지점에 전압을 측정하는 전압 측정 라인 및 상기 전원 입력 라인과 상기 전원 전달 라인에 상기 전원 전압을 공급하는 제1 및 제2 전원 배선을 포함하는 유기 발광 표시 장치의 전압 강하 보상 방법으로서, 상기 전원 전달 라

인의 저항을 측정하는 단계, 상기 전압 측정 라인을 이용하여 상기 전원 입력 라인의 가운데 지점에서의 전압을 측정하는 단계, 상기 전원 입력 라인을 통해 흐르는 전류의 크기를 측정하는 단계 및 상기 전원 입력 라인의 저항값에 대한 상기 전원 전달 라인의 저항값의 비율을 산출하는 단계를 포함한다.

[0017] 또한, 상기 비율 산출 단계에서는, 하기의 식을 이용하여 상기 비율을 산출할 수 있다.

$$ELVDD-ELVDD_{center} = \frac{aV_D}{2(a+1)}$$

[0018]

[0019] ELVDD는 전원 전압, ELVDDcenter는 상기 전압 측정 단계에서 측정된 전압, VD는 상기 전원 전달 라인의 저항과 상기 전류 측정 단계에서 측정된 전류로 산출한 전압, a는 상기 비율을 의미한다.

발명의 효과

[0020] 본 발명에 따른 유기 발광 표시 패널, 유기 발광 표시 장치 및 전압 강하 보상 방법은, 전원 전압 라인의 전압 강하로 인한 휘도 편차가 감소된 유기 발광 표시 패널, 유기 발광 표시 장치 및 전압 강하 보상 방법을 제공할 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구성을 개략적으로 나타내는 도면이다.
 도 2는 본 발명의 일 실시예에 따른 표시 패널의 구성을 개략적으로 나타내는 도면이다.
 도 3은 본 발명의 일 실시예에 픽셀의 구성을 예시적으로 나타내는 도면이다.
 도 4는 전원 입력 라인 또는 전원 전달 라인 중 어느 하나를 통해서만 전원 전압을 인가하는 경우의 전압 강하를 나타내는 도면이다.
 도 5는 본 발명의 일 실시예에 따른 유기 발광 표시 패널에서의 전압 강하를 개략적으로 나타내는 도면이다.
 도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 패널에서의 전압 강하를 보상하는 방법을 개략적으로 나타내는 도면이다.
 도 7은 본 발명의 다른 실시예에 따른 유기 발광 표시 패널에서의 전압 강하를 보상하는 방법을 개략적으로 나타내는 도면이다.
 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 패널의 전압 강하 보상 방법의 흐름을 개략적으로 나타내는 순서도이다.
 도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 패널의 전압 강하 보상 방법의 흐름을 개략적으로 나타내는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명은 다양한 변환을 가할 수 있고, 여러 가지 실시예들을 가질 수 있는 바, 특정 실시예들은 도면을 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0023] 이하 첨부된 도면들을 참조로 하여, 본 발명의 다양한 실시예에 따른 유기 발광 표시 패널, 유기 발광 표시 장치 및 전압 강하 보상 방법에 대해서 설명하도록 한다. 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.

[0024] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 단수의 표현은 문맥상 명확하게 다르게 뜻하지 않는 한, 복수의 표현을 의미한다. "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징 또는 구성 요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성 요소가 부가될 가능성을 미리 배제하는 것은 아니다.

- [0025] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구성을 개략적으로 나타내는 도면이다.
- [0026] 도 1을 참조하면, 유기 발광 표시 장치(100)는, 표시 패널(110), 게이트 드라이버(120), 소스 드라이버(130), 제어부(140) 및 전원 전압 생성부(150)를 포함한다.
- [0027] 표시 패널(110)은, 복수의 픽셀(PX)들이 매트릭스로 배열되는 표시 영역(DA)을 포함한다. 픽셀(PX)들에는 제1 전원 전압(ELVDD)과 제2 전원 전압(ELVSS)이 인가된다. 제1 전원 전압(ELVDD)의 전압 레벨은 제2 전원 전압(ELVSS)의 전압 레벨보다 높다. 예컨대, 유기 발광 소자의 애노드에 제1 전원 전압(ELVDD)이 인가되고 캐소드에 제2 전원 전압(ELVSS)이 인가되면, 상기 유기 발광 소자는 발광한다. 제1 전원 전압(ELVDD) 및 제2 전원 전압(ELVSS)은 전원 전압 생성부(150)에서 생성된다.
- [0028] 표시 패널(110)은, 픽셀(PX)들에 게이트 신호를 인가하는 게이트 라인들(GL1-GLn) 및 픽셀(PX)들에 소스 신호를 인가하는 소스 라인들(SL1-SLm)을 포함한다. 표시 패널(110)은 픽셀(PX)들에 제1 전원 전압(ELVDD)을 인가하기 위한 전원 배선 망을 포함한다. 게이트 라인들(GL1-GLn) 각각은 동일 행에 배열된 픽셀(PX)들에 연결되고, 소스 라인들(SL1-SLm) 각각은 동일 열에 배열된 픽셀(PX)들에 연결된다. 픽셀(PX)들은 게이트 라인들(GL1-GLn)을 통해 수신되는 게이트 신호에 응답하여 소스 라인들(SL1-SLm)을 통해 수신되는 데이터 신호의 논리 레벨에 따라 발광 또는 비발광한다. 이 경우, 표시 패널(110)은 디지털 구동 방식으로 동작한다. 다른 예에 따르면, 표시 패널(110)은 아날로그 구동 방식으로 동작할 수 있다. 이 경우, 픽셀(PX)들은 게이트 라인들(GL1-GLn)을 통해 수신되는 게이트 신호에 응답하여 소스 라인들(SL1-SLm)을 통해 수신되는 데이터 전압 레벨 또는 전류 레벨에 상응하는 밝기로 발광한다. 아래에서는 디지털 구동 방식으로 동작하는 유기 발광 표시 장치(100)를 중심으로 본 발명의 다양한 실시예들을 설명한다. 그러나, 본 발명은 디지털 구동 방식으로 동작하는 유기 발광 표시 장치뿐만 아니라, 아날로그 구동 방식으로 동작하는 유기 발광 표시 장치에도 적용될 수 있다는 것에 주의한다.
- [0029] 본 발명의 일 실시예에 따르면, 도 1에 도시된 바와 같이, 상기 전원 배선 망은 제1 방향으로 연장되고, 제1 전원 전압(ELVDD)을 전달하는 전원 전달 라인(PTL), 상기 제1 방향으로 연장되고, 제1 전원 전압(ELVDD)이 인가되는 전원 입력 라인(PIL), 전원 전달 라인(PTL)로부터 전원 입력 라인(PIL)으로 제1 전원 전압(ELVDD)을 전달하는 연결부(CN), 표시 영역(DA) 바깥에서 제2 방향으로 연장되고, 전원 입력 라인(PIL)에 제1 전원 전압(ELVDD)을 공급하는 제1 및 제2 전원 배선(power wire)(PW1, PW2)을 포함할 수 있다.
- [0030] 전원 배선(PW1, PW2)은 전원 입력 라인(PIL)이 연장되는 제1 방향과 수직으로 만나는 제2 방향으로 표시 영역(DA) 바깥에 배치될 수 있으며, 전원 전압 생성부(150)에서 생성된 제1 전원 전압(ELVDD)이 직접 인가될 수 있다. 전원 배선(PW1, PW2)은 전원 입력 라인(PIL)에 비해 낮은 선 저항을 갖기 때문에, 전류의 흐름에 따른 전압 강하는 무시할 수 있을 정도로 작을 수 있다. 도 1에서 제1 전원 배선(PW1)은 표시 영역(DA)의 상단에 배치되고, 제2 전원 배선(PW2)은 표시 영역(DA)의 하단에 배치되는 것으로 도시되지만, 설계에 따라서 표시 영역(DA)의 좌측 및/또는 우측에 전원 배선이 배치되거나, 표시 영역(DA)을 둘러싸도록 전원 배선이 배치될 수도 있다.
- [0031] 도 1에는 하나의 전원 입력 라인(PIL)만이 도시되었지만, 표시 패널(110) 상에는 복수의 전원 입력 라인(PIL)들이 배열되고, 전원 입력 라인(PIL)들은 제1 및 제2 전원 배선들(PW1, PW2) 중 적어도 하나에 연결될 수 있다. 도 1에 도시된 바와 같이, 전원 입력 라인(PIL)들은 제1 및 제2 전원 배선(PW1, PW2) 사이에 연결될 수 있다. 전원 입력 라인(PIL)들 각각은 제1 전원 배선(PW1)에 연결되는 제1 단부와 제2 전원 배선(PW2)에 연결되는 제2 단부를 갖는다. 제1 및 제2 전원 배선(PW1, PW2) 중 하나가 생략된 경우, 전원 입력 라인(PIL)은 나머지 전원 배선에 연결된다. 전원 배선이 표시 영역(DA)의 좌측 및/또는 우측에 배치되는 경우, 전원 입력 라인(PIL)은 행 방향(도 1에서 가로 방향)으로 연장될 수 있으며, 전원 배선이 표시 영역(DA)을 둘러싸도록 배치되는 경우, 전원 입력 라인(PIL)들은 메쉬(mesh) 형태로 배열될 수 있다. 전원 입력 라인(PIL)은 표시 영역(DA) 상의 첫 번째 행의 픽셀에서부터 마지막 행의 픽셀까지의 픽셀(PX)들에 모두 연결되기 위하여, 표시 영역(DA) 전체를 가로질러 배치되며, 전원 배선들(PW1, PW2)에 직접 연결된다.
- [0032] 도 1에는 하나의 전원 전달 라인(PTL)만이 도시되었지만, 표시 패널(110) 상에는 복수의 전원 전달 라인(PTL)들이 배열되며, 복수의 전원 전달 라인(PTL)들은 전원 입력 라인(PIL)과 달리 픽셀(PX)들에 직접 연결되지 않는다. 도 1에 도시된 바와 같이, 전원 전달 라인(PTL)들은 열 방향(도 1에서 세로 방향)으로 연장될 수 있다. 전원 전달 라인(PTL)들은 행 방향으로 연장되거나, 메쉬 형태로 배열될 수도 있다. 전원 전달 라인(PTL)은 표시 영역(DA) 전체를 가로질러 배치되며, 전원 배선들(PW1, PW2)에 직접 연결된다.

- [0033] 연결부(CN)는 전원 입력 라인(PIL)과 전원 전달 라인(PTL)을 서로 전기적으로 연결한다. 연결부(CN)는 전원 전달 라인(PTL)과 전원 입력 라인(PIL)의 중간 부분에 연결될 수 있다. 본 명세서에서 전원 입력 라인(PIL)의 중간 부분은 각각 전원 입력 라인(PIL)의 길이 방향을 따라 전원 전달 라인(PTL)의 중앙점에 인접한 부분들을 지칭한다.
- [0034] 도 1에 도시된 실시예에 따르면, 전원 전압 생성부(150)에 의해 생성된 제1 전원 전압(ELVDD)은 제1 및 제2 전원 배선(PW1, PW2)에 인가되고, 전원 입력 라인(PIL)을 통해 픽셀(PX)들에 인가된다. 또는, 제1 전원 전압(ELVDD)은 제1 및 제2 전원 배선(PW1, PW2)에 인가되고, 전원 전달 라인(PTL), 연결부(CN) 및 전원 입력 라인(PIL)을 통해 픽셀(PX)들에 인가된다. 따라서, 전원 입력 라인(PIL)에 흐르는 전류(I)는 제1 배선(PW1) 및 제2 배선(PW2)으로부터 전원 입력 라인(PIL)의 중앙점을 향해 흐르게 된다. 그리고, 전원 전달 라인(PTL)에 흐르는 전류(I)는 제1 전원 배선(PW1) 및 제2 전원 배선(PW2)으로부터 연결부(CN)를 거쳐 전원 입력 라인(PIL)의 중앙점에서 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)을 향해 흐르게 된다. 전원 전달 라인(PTL) 및 전원 입력 라인(PIL)은 저항 성분을 가지므로, 전원 전달 라인(PTL) 및 전원 입력 라인(PIL)을 따라 흐르는 전류에 의하여 전압 강하가 발생한다. 전압 강하로 인하여, 전원 입력 라인(PIL)에 연결되는 복수의 픽셀(PX)들 중에서 제1 전원 배선(PW1)에 가장 가까이 배치되는 픽셀(PX1) 또는 제2 전원 배선(PW2)에 가장 가까이 배치되는 픽셀(PX3)에 인가되는 전압 레벨은 연결부(CN)와 가장 가까이 배치되는 픽셀(PX2, PX4)에 인가되는 전압 레벨보다 높다.
- [0035] 전원 전압 생성부(150)에 의해 생성된 제2 전원 전압(ELVSS)은 공통 전극을 통해 픽셀(PX)들에 인가된다. 상기 공통 전극은 픽셀(PX)들의 발광 소자의 일 전극(예컨대, 캐소드 전극)에 대응할 수 있으며, 픽셀(PX)들은 모두 상기 공통 전극에 연결된다. 상기 공통 전극은 표시 영역(DA) 상의 픽셀(PX)들을 덮도록 전면적으로 형성될 수 있으며, 제2 전원 전압(ELVSS)은 표시 영역(DA)의 외곽으로부터 상기 공통 전극에 인가될 수 있다. 제2 전원 전압(ELVSS)은 제1 전원 전압(ELVDD)보다 전압 레벨이 낮기 때문에, 픽셀(PX)들에 공급된 전류는 상기 공통 전극을 통해 전압 전원 생성부(150)로 빠져나간다. 따라서, 제2 전원 전압(ELVSS)이 인가되는 상기 공통 전극의 외곽부의 전압 레벨은 상기 공통 전극의 중앙부의 전압 레벨보다 낮다. 즉, 상기 공통 전극의 중앙부에서 상기 공통 전극의 외곽부로 전류가 흐른다.
- [0036] 도 1의 실시예에 제시된 제1 전원 전압(ELVDD)과 같이, 제2 전원 전압(ELVSS)은 표시 영역(DA)의 상단 및 하단으로부터 상기 공통 전극에 인가될 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 설계에 따라서 제2 전원 전압(ELVSS)은 표시 영역(DA)의 상단, 하단, 좌측 및 우측 중 적어도 하나로부터 상기 공통 전극에 인가될 수 있다.
- [0037] 도 2는 본 발명의 일 실시예에 따른 표시 패널의 구성을 개략적으로 나타내는 도면이다.
- [0038] 도 2에 도시되는 표시 패널(110)은 도 1을 참조로 하여 설명한 유기 발광 표시 장치(100)에 포함되는 표시 패널(110)을 보다 구체적으로 도시한 것이다. 도 2를 참조하면, 표시 패널(110)은 전원 입력 라인(PIL), 전원 전달 라인(PTL), 제1 및 제2 전원 배선(PW1, PW2)을 포함한다. 또한, 표시 패널(110)은 전원 전압을 공급받아 발광하는 유기 발광 소자(OLED) 및 유기 발광 소자(OLED)에 전원 전압을 공급하는 적어도 하나 이상의 박막 트랜지스터(TFT)를 포함한다.
- [0039] 전원 전달 라인(PTL)은 제1 방향으로 연장되고, 제1 전원 배선(PW1) 및 제2 전원 배선(PW2)으로부터 제1 전원 전압(ELVDD)을 공급받는다. 그리고, 전원 전달 라인(PTL)은 연결부(CN)를 통해 전원 입력 라인(PIL)의 가운데 지점에 연결되어 제1 전원 전압(ELVDD)을 전원 전달 라인(ELVDD)으로 전달한다. 도 2에 도시되는 바와 같이, 전원 전달 라인(PTL)은 복수 개가 있을 수 있으며, 전원 전달 라인(PTL)의 개수는 전체 픽셀의 개수, 표시 패널(110)의 크기에 따라 달라질 수 있음은 자명하다.
- [0040] 전원 입력 라인(PIL)은 전원 전달 라인(PTL)과 같이 제1 방향으로 연장되고, 제1 전원 배선(PW1) 및 제2 전원 배선(PW2)로부터 제1 전원 전압(ELVDD)을 공급 받는다. 그리고, 전원 입력 라인(PIL)은 가운데 지점에서 전원 전달 라인(PTL)과 연결되어 전원 전달 라인(PTL)으로부터 제1 전원 전압(ELVDD)을 전달 받는다.
- [0041] 제1 전원 배선(PW1) 및 제2 전원 배선(PW2)은 제2 방향으로 연장되고, 전원 전압 생성부(150)와 연결되어 제1 전원 전압(ELVDD)을 공급 받는다. 제1 전원 배선(PW1) 및 제2 전원 배선(PW2)은 전원 전달 라인(PTL) 및 전원 입력 라인(PIL)과 직접 연결되어 전원 전달 라인(PTL) 및 전원 입력 라인(PIL)에 제1 전원 전압(ELVDD)을 공급한다.

- [0042] 전원 입력 라인(PIL)에 인가되는 제1 전원 전압(ELVDD)에 의해 전원 입력 라인(PIL)을 통해 흐르는 전류는 복수의 픽셀(PX)들로 흐르고, 픽셀(PX)에 공급된 전류는 박막 트랜지스터(TFT)를 포함하는 픽셀 회로와 유기 발광 소자(OLED)의 애노드(Anode) 및 캐소드(Cathode)를 통해 흐르게 된다.
- [0043] 복수의 픽셀(PX)들은 전원 입력 라인(PIL)에 직접 연결되어 제1 전원 전압(ELVDD)을 공급 받으며, 도 2에 도시되는 바와 같이 전원 전달 라인(PTL)에는 직접 연결되지 않는다. 복수의 픽셀(PX)들은 전원 입력 라인(PIL)에 연결되는 위치에 따라 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)으로부터 전원 입력 라인(PIL)에 직접 공급되는 제1 전원 전압(ELVDD)을 공급 받을 수 있다. 또는, 복수의 픽셀(PX)들은 전원 입력 라인(PIL)에 연결되는 위치에 따라 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)으로부터 전원 전달 라인(PTL), 연결부(CN) 및 전원 입력 라인(PIL)을 통해 전달되는 제1 전원 전압(ELVDD)을 공급 받을 수 있다. 따라서, 복수의 픽셀(PX)들에 공급되는 제1 전원 전압(ELVDD)의 크기는 각각의 픽셀(PX)마다 다를 수 있다. 예컨대, 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)에 가까이 배치되는 픽셀(PX)에 공급되는 제1 전원 전압(ELVDD)의 크기는 연결부(CN)에 가까이 배치되는 픽셀(PX)에 공급되는 제1 전원 전압(ELVDD)의 크기보다 클 수 있다. 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)에 가까이 배치되는 픽셀(PX)에는 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)으로부터 전원 입력 라인(PIL)을 통해 제1 전원 전압(ELVDD)이 공급되는 반면, 연결부(CN)에 가까이 배치되는 픽셀(PX)에 공급되는 제1 전원 전압(ELVDD)은 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)으로부터 전원 전달 라인(PTL), 연결부(CN) 및 전원 입력 라인(PIL)을 거쳐 공급되기 때문이다. 즉, 전원 전달 라인(PTL), 전원 입력 라인(PIL) 및 연결부(CN)의 저항 성분으로 인한 전압 강하가 발생하여 픽셀(PX)이 배치되는 위치에 따라 제1 전원 전압(ELVDD)의 레벨이 달라지게 된다.
- [0044] 도 2에서 전원 입력 라인(PIL)에 연결되는 제1 전원 배선(PW1)과 전원 전달 라인(PTL)에 연결되는 제1 전원 배선(PW1)은 별도로 도시되어 있으나, 제1 전원 배선(PW1)은 전원 입력 라인(PIL)과 전원 전달 라인(PTL)에 동시에 연결되며 실질적으로 동일한 배선으로 이해할 수 있다. 전원 입력 라인(PIL)에 연결되는 제2 전원 배선(PW2)과 전원 전달 라인(PTL)에 연결되는 제2 전원 배선(PW2) 역시 별도로 도시되어 있으나, 제2 전원 배선(PW2)은 전원 입력 라인(PIL)과 전원 전달 라인(PTL)에 동시에 연결되는 실질적으로 동일한 배선으로 이해할 수 있다.
- [0045] 도 2에서 캐소드(Cathode)는 픽셀(PX)을 흐르는 전류가 출력되는 전극일 수 있으며, 복수의 픽셀(PX)들을 모두 덮도록 공통 전극으로 형성될 수 있다. 그리고, 캐소드(Cathode) 전극에는 전원 전압 생성부(150)에서 생성된 제2 전원 전압(ELVSS)이 인가될 수 있다.
- [0046] 제1 전원 배선(PW1)과 제2 전원 배선(PW2)은 표시 패널(110)의 표시 영역 외부에 형성되고, 전원 입력 라인(PIL)과 전원 전달 라인(PTL)은 일부가 표시 영역 내부에 형성되고 나머지 일부는 표시 영역 외부에 형성된다. 또한, 표시 영역은 복수의 픽셀(PX)들을 포함할 수 있다.
- [0047] 도 2에 도시되는 바와 같이, 복수의 전원 입력 라인(PIL)들 및 복수의 전원 전달 라인(PTL)들에는 제1 전원 배선(PW1) 및 제2 전원 배선(PW2)로부터 제1 전원 전압(ELVDD)이 인가되며, 제1 전원 배선(PW1) 및 제2 전원 배선(PW2)의 길이 방향에 따라 발생하는 전압 강하는 무시할 수 있을 정도로 작을 수 있다. 따라서, 제1 전원 배선(PW1) 및 제2 전원 배선(PW2)에 인가되는 전압은 길이 방향을 따라 모두 동일하며, 전원 입력 라인(PIL)들 및 전원 전달 라인(PTL)에 인가되는 제1 전원 전압(ELVDD)의 레벨은 위치에 관계없이 모두 동일하다.
- [0048] 도 3은 본 발명의 일 실시예에 픽셀의 구성을 예시적으로 나타내는 도면이다.
- [0049] 도 3을 참조하면, 픽셀(PX)은 동일 행의 게이트 라인(GL) 및 동일 열의 소스 라인(SL)에 연결된다. 픽셀(PX)은 제1 트랜지스터(M1), 제2 트랜지스터(M2), 및 저장 커패시터(Cst)를 포함하는 픽셀 회로, 및 유기 발광 소자(OLED)를 포함하는 발광 소자를 포함한다. 제1 및 제2 트랜지스터(M1, M2)는 박막 트랜지스터일 수 있다. 제1 트랜지스터(M1)는 소스 라인(SL)에 연결된 제1 연결 단자, 노드(Nd)에 연결된 제2 단자, 및 게이트 라인(GL)에 연결된 제어 단자를 포함한다. 제2 트랜지스터(M2)는 제1 전원 전압(ELVDD)이 인가되는 전원 입력 라인(PIL)에 연결된 제1 연결 단자, 노드(Nd)에 연결된 제어 단자, 및 유기 발광 소자(OLED)의 제1 전극에 연결된 제2 연결 단자를 포함한다. 저장 커패시터(Cst)는 제2 트랜지스터(M2)의 제1 연결 단자에 연결된 제1 단자, 및 노드(Nd)에 연결된 제2 단자를 포함한다. 유기 발광 소자(OLED)는 제2 트랜지스터(M2)의 제2 연결 단자에 연결된 제1 전극 및 제2 전원 전압(ELVSS)이 인가되는 공통 전극(CE)에 연결되는 제2 전극을 포함한다. 유기 발광 소자(OLED)의 제1 전극 및 제2 전극은 각각 애노드 전극 및 캐소드 전극일 수 있다.

- [0050] 픽셀(PX)은 게이트 라인(GL)을 통해 스캔 신호(S)를 수신하고, 소스 라인(SL)을 통해 데이터 신호(D)를 수신한다. 제1 트랜지스터(M1)는 스캔 신호(S)에 응답하여 데이터 신호(D)를 제2 트랜지스터(M2)의 제어 단자에 전달한다. 제2 트랜지스터(M2)는 전달된 데이터 신호(D)의 논리 레벨에 따라 턴 온 또는 턴 오프되며, 제2 트랜지스터(M2)가 턴 온되면, 제1 전원 전압(ELVDD)을 유기 발광 소자(OLED)의 제1 전극에 전달한다. 저장 커패시터(Cst)는 데이터 신호(D)의 논리 레벨에 따른 제2 트랜지스터(M2)의 턴 온 상태 또는 턴 오프 상태를 서브필드 시구간 동안 유지한다. 예컨대, 디지털 데이터 신호(D)가 제1 논리 레벨을 갖는 경우, 유기 발광 소자(OLED)의 제1 전극에는 제1 전원 전압(ELVDD)이 인가되며, 유기 발광 소자(OLED)는 발광한다. 디지털 데이터 신호(D)가 제2 논리 레벨을 갖는 경우, 제2 트랜지스터(M2)가 턴 오프되어 유기 발광 소자(OLED)의 제1 전극에는 제1 전원 전압(ELVDD)이 인가되지 않으며, 유기 발광 소자(OLED)는 발광하지 않는다.
- [0051] 도 3에 도시된 픽셀(PX)의 회로 구성은 오로지 예시적이며, 픽셀(PX)은 다른 회로 구성을 가질 수 있다.
- [0052] 도 4는 전원 입력 라인 또는 전원 전달 라인 중 어느 하나를 통해서만 전원 전압을 인가하는 경우의 전압 강하를 나타내는 도면이다.
- [0053] 도 4에서 패널 엣지(Panel Edge)는 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)이 배치되는 위치를 나타내고, 패널 센터(Panel Center)는 제1 전원 배선(PW1)과 제2 전원 배선(PW2)의 중앙 지점을 나타낸다. 패널 엣지(Panel Edge)는 전원 전압 생성부(150)에서 생성된 전원 전압이 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)을 통하여 직접 공급되는 위치이므로 표시 패널(110)에 공급되는 전원 전압 중 가장 높은 전압 레벨을 갖게 된다. 여기서 전원 전압은 제1 전원 전압(ELVDD)을 의미한다.
- [0054] 도 4(a)는 도 1 및 도 2를 참조로 하여 설명한 바와 같은 표시 패널(110)의 전원 전달 라인(PTL)을 통해서만 전원 전압을 인가하는 경우의 전압 강하를 나타낸다. 전원 전달 라인(PTL)을 통해서만 전원 전압을 인가하는 경우에는 전원 전달 라인(PTL), 연결부(CN) 및 전원 입력 라인(PIL)을 통해 제1 전원 전압(ELVDD)이 인가되므로 전원 입력 라인(PIL)에 연결된 픽셀(PX)들 중에서 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2) 가까이에 연결되는 픽셀(PX)에는 전압 강하로 인해 상대적으로 낮은 레벨의 제1 전원 전압(ELVDD)이 인가될 수 있다.
- [0055] 한편, 도 4에서 $ELVDD_{edge}$ 는 복수의 픽셀(PX)들 중에서 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)에 가장 가까이에 배치되는 픽셀(PX)에 공급되는 제1 전원 전압을 나타낸다.
- [0056] 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)을 통해 공급된 제1 전원 전압(ELVDD)은 전원 전달 라인(PTL)을 통해 전원 입력 라인(PIL)의 가운데 지점에 연결된 연결부(CN)로 전달되는 동안 전원 전달 라인(PTL)의 저항 성분으로 인해 레벨이 점점 감소한다. 그리고, 연결부(CN)를 통해 전원 입력 라인(PIL)으로 공급된 제1 전원 전압은 전원 입력 라인(PIL)의 가운데 지점에서 길이 방향을 따라 복수의 픽셀(PX)들로 공급되면서 계속 감소한다. 이때, 전원 입력 라인(PIL)을 통해 공급되는 제1 전원 전압의 크기는 전원 입력 라인(PIL)에 연결되는 픽셀 회로 및 유기 발광 소자의 저항 성분으로 인해 비선형적으로 감소할 수 있다.
- [0057] 도 4(a)에서 표시 패널(110)에서 발생하는 전압 강하의 크기는 $ELVDD - ELVDD_{edge}$ 로 정의할 수 있다.
- [0058] 도 4(b)는 도 1 및 도 2를 참조로 하여 설명한 바와 같은 표시 패널(110)의 전원 입력 라인(PIL)을 통해서만 전원 전압을 인가하는 경우의 전압 강하를 나타낸다. 전원 입력 라인(PIL)을 통해서만 전원 전압을 인가하는 경우에는 전원 전달 라인(PTL) 및 연결부(CN)를 통해 제1 전원 전압(ELVDD)이 인가되지 않으므로 전원 입력 라인(PIL)에 연결된 픽셀(PX)들 중에서 연결부(CN) 가까이에 연결되는 픽셀(PX)에는 전압 강하로 인해 상대적으로 낮은 레벨의 제1 전원 전압(ELVDD)이 인가될 수 있다.
- [0059] 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)을 통해 공급된 제1 전원 전압(ELVDD)은 전원 입력 라인(PIL)을 통해 전달되는 동안 전원 입력 라인(PIL)의 저항 성분으로 인해 레벨이 점점 감소한다. 그리고, 전원 입력 라인(PIL)을 통해 공급되는 제1 전원 전압의 크기는 전원 입력 라인(PIL)에 연결되는 픽셀 회로 및 유기 발광 소자의 저항 성분으로 인해 비선형적으로 감소할 수 있다.
- [0060] 도 4(b)에서 표시 패널(110)에서 발생하는 전압 강하의 크기는 $ELVDD - ELVDD_{center}$ 로 정의할 수 있으며, 여기서 $ELVDD_{center}$ 는 연결부(CN)에 인가되는 전압의 크기를 나타낸다.
- [0061] 한편, 전원 입력 라인(PIL)을 통해서만 제1 전원 전압(ELVDD)이 공급되는 경우에는 전원 전달 라인(PTL)으로 흐

르는 전류는 발생하지 않으므로 전원 전달 라인(PTL)에 의한 전압 강하 효과는 고려하지 않아도 무방하다.

[0062] 도 5는 본 발명의 일 실시예에 따른 유기 발광 표시 패널에서의 전압 강하를 개략적으로 나타내는 도면이다.

[0063] 도 1 및 도 2를 참조로 하여 설명한 바와 같이, 본 발명의 일 실시예에 따른 표시 패널(110)에서는 전원 입력 라인(PIL)과 전원 전달 라인(PTL)이 모두 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)에 연결되어 제1 전원 전압(ELVDD)을 공급받을 수 있다. 도 5를 참조하면, 전원 전달 라인(PTL)을 통해 공급되는 제1 전원 전압(ELVDD)의 크기는 패널 엣지(Panel Edge)로부터 패널 센터(Panel Center)를 향하는 동안 전원 전달 라인(PTL)의 저항 성분에 의해 선형적으로 감소하게 된다. 그리고, 전원 전달 라인(PTL), 연결부(CN) 및 전원 입력 라인(PIL)을 통해 픽셀(PX)로 공급되는 제1 전원 전압(ELVDD)의 크기는 전원 입력 라인(PIL)의 가운데 지점, 즉 연결부(CN)로부터 전원 입력 라인(PIL)의 길이 방향을 따라 감소하게 된다. 다만, 전원 입력 라인(PIL)은 전원 전달 라인(PTL)뿐만 아니라 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)으로부터 제1 전원 전압(ELVDD)을 공급 받기 때문에 전원 입력 라인(PIL)을 통해 공급되는 제1 전원 전압(ELVDD)의 크기는 패널 엣지(Panel Edge)를 향하면서 다시 증가하게 된다.

[0064] 도 5에서 표시 패널(110)에서 발생하는 전압 강하의 크기는 $ELVDD - ELVDD_{min}$ 으로 정의할 수 있으며, 여기서 $ELVDD_{min}$ 이 되는 위치는 하기 수식식에 의해 계산될 수 있다.

수식 1

$$Location = \frac{L}{2(1+a)}$$

[0065]

[0066] 여기서, L은 패널 센터로부터 패널 엣지까지의 거리, a는 전원 입력 라인의 저항 값에 대한 전원 전달 라인의 저항 값의 비율을 의미한다.

[0067] 도 5는 전원 입력 라인의 저항 값과 전원 전달 라인의 저항 값이 같은 경우, 즉 a 값이 1인 경우를 도시하며, 공급되는 제1 전원 전압(ELVDD)의 크기가 가장 작게($ELVDD_{min}$) 되는 위치는 L/4가 된다.

[0068] 한편, 도 4(a)와 같이 전원 전달 라인(PTL)만을 통해 제1 전원 전압(ELVDD)을 공급하는 경우에 $ELVDD - ELVDD_{center}$ 값을 V_D 로 정의하면, $ELVDD_{center} - ELVDD_{edge}$ 값은 $V_D/2$ 로 계산된다. 따라서, 도 4(a)에서 전압 강하는 $3V_D/2$ 가 된다.

[0069] 그리고, 도 5와 같이 본 발명의 일 실시예에 따른 표시 패널(110)에서의 전압 강하는 $9V_D/32$ 로 계산되며, 도 4(a)와 같은 경우에 비하여 대략 19% 정도의 전압 강하를 갖게 되는 것으로 이해할 수 있다.

[0070] 전압 강하 값이 클수록 영상 데이터에 큰 보상 마진을 필요로 하게 되는데, 보상 마진을 크게 하면 보상 시간이 증가하여 상대적으로 발광 듀티(duty)를 줄여야 하므로 짧은 시간 동안 충분한 휘도로 발광하도록 하기 위해서는 전원 전압의 크기를 크게 해야 한다. 더 높은 전원 전압을 공급하기 위해서는 소비 전력이 증가하게 되는 문제가 발생한다.

[0071] 또한, 전압 강하를 보상하기 위한 보상 데이터를 생성하는데 있어서, 전압 강하 값이 클수록, 즉 복수의 픽셀에 인가되는 전원 전압의 편차가 클수록 보상 데이터 생성에 오차가 발생할 확률이 높아지는 문제가 발생한다.

[0072] 이를 해결하기 위해서는 전압 강하 값을 줄이는 것이 중요하며, 본 발명의 실시예에 따른 표시 패널은 전원 입력 라인과 전원 전달 라인을 통해 전원 전압을 공급함으로써 전압 강하에 따른 복수의 픽셀들 간의 전원 전압 편차를 줄일 수 있다.

[0073] 도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 패널에서의 전압 강하를 보상하는 방법을 개략적으로 나타

내는 도면이다.

[0074] 도 6에서 패널 엣지(Panel Edge)는 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)이 배치되는 위치를 나타내고, 패널 센터(Panel Center)는 제1 전원 배선(PW1)과 제2 전원 배선(PW2)의 중앙 지점을 나타낸다.

[0075] 도 6(a)는 전원 전달 라인(PTL)의 제1 전원 배선(PW1) 및 제2 전원 배선(PW2)과의 연결을 차단하고, 전원 입력 라인(PIL)을 통하여 제1 전원 전압(ELVDD)을 공급하는 경우에 패널 센터(Panel Center)에서의 전압을 측정하는 것을 나타낸다. 쇄선으로 표시된 전압은 전원 입력 라인(PIL) 및 전원 전달 라인(PTL)의 저항 성분을 고려하여 계산된 전압 강하를 반영한 전압(IRD calculated V)을 나타낸다. 그리고 실선으로 표시된 전압은 패널 센터(Panel Center) 전압을 측정하고, 측정된 전압 값을 반영하여 보정한 전압(IRD corrected V)을 나타낸다. 즉, 쇄선으로 표시된 전압(IRD calculated V)은 예측된 전압을 의미한다. 여기서 패널 센터 전압($ELVDD_{center}$)은 전원 전달 라인(PTL)에 인가되는 전압을 측정함으로써 패널 센터 전압 측정을 대신할 수 있다. 전원 전달 라인(PTL)으로 흐르는 전류가 생기지 않으며, 전원 전달 라인(PTL)과 전원 입력 라인(PIL)을 연결하는 연결부(CN)의 저항은 무시할 정도이므로 패널 센터 전압($ELVDD_{center}$)과 전원 전달 라인(PTL)에 인가되는 전압의 크기는 거의 동일한 것으로 볼 수 있기 때문이다.

[0076] 한편, 패널 엣지(Panel Edge)에서 측정한 전압(이하, ELVDD로 한다.)과 패널 센터 전압($ELVDD_{center}$)의 차이는 하기의 식으로 정의된다.

수학식 2

$$ELVDD - ELVDD_{center} = \frac{V_D}{2a}$$

[0077]

[0078] 여기서 a는 전원 입력 라인의 저항 값에 대한 전원 전달 라인의 저항 값의 비율을 의미한다.

[0079] 도 6(b)는 전원 입력 라인(PIL)의 제1 전원 배선(PW1) 및 제2 전원 배선(PW2)과의 연결을 차단하고, 전원 전달 라인(PTL)을 통하여 제1 전원 전압(ELVDD)을 공급하는 경우에 패널 엣지(Panel Edge)에서의 전압을 측정하는 것을 나타낸다. 별도의 측정 라인 없이 패널 센터 전압($ELVDD_{center}$)을 측정하는 것은 어려우므로 패널 엣지(Panel Edge)에서의 전압을 측정하고 예측된 전압(IRD calculated V)과의 차이를 반영하여 전원 전달 라인(PTL)에 인가되는 전원 전압의 크기를 보정한다.

[0080] 한편, 제1 전원 전압(ELVDD)과 패널 센터 전압($ELVDD_{center}$)의 차이 및 패널 센터 전압($ELVDD_{center}$)과 패널 엣지 전압($ELVDD_{edge}$)의 차이는 하기의 식으로 정의된다.

수학식 3

$$ELVDD - ELVDD_{center} = V_D$$

$$ELVDD_{center} - ELVDD_{edge} = \frac{V_D}{2a}$$

[0081]

[0082] 여기서 a는 전원 입력 라인의 저항 값에 대한 전원 전달 라인의 저항 값의 비율을 의미한다.

[0083] 상기 수학식 2와 상기 수학식 3을 연립하여 풀면, 아래 식과 같이 정리된다.

수학식 4

$$ELVDD-ELVDD_{edge} = \frac{V_D}{2a} + V_D$$

[0084]

[0085]

상기 수학식 4에서 좌변은 직접 측정에 의해 알 수 있는 값이며, 우변의 첫 번째 항 역시 상기 수학식 2와 같이 직접 측정하여 알 수 있는 값이므로, V_D 값을 계산할 수 있다. 계산된 상기 V_D 값을 상기 수학식 2 또는 상기 수학식 4에 대입하면 a 값 또한 계산할 수 있다.

[0086]

앞서 설명한 바와 같이, 상기 a 값은 전원 입력 라인의 저항 값에 대한 전원 전달 라인의 저항 값의 비율을 의미하며, 전원 입력 라인과 전원 전달 라인의 저항 성분은 전압 강하를 일으키는 가장 큰 요인이므로, 상기 비율(즉, a 값)은 표시 패널에서의 전압 강하 보상 값 산정에 사용되는 변수가 된다. 따라서, 도 6에 도시되는 방법을 통하여 실제 a 값을 계산하여 이를 반영함으로써 전압 강하 보상의 정확도를 향상시킬 수 있다.

[0087]

도 7은 본 발명의 다른 실시예에 따른 유기 발광 표시 패널에서의 전압 강하를 보상하는 방법을 개략적으로 나타내는 도면이다.

[0088]

도 7에 도시되는 전압 변동 곡선은 도 5에 도시되는 전압 변동 곡선과 동일하므로 중복되는 내용에 대한 설명은 생략하도록 한다.

[0089]

도 7에 도시되는 전압 강하 보상 방법은, 패널 센터 전압($ELVDD_{center}$)을 측정하는 전압 측정 라인을 통해 패널 센터 전압($ELVDD_{center}$)을 직접 측정한다. 제1 전원 전압($ELVDD$)과 패널 센터 전압($ELVDD_{center}$)의 차이는 하기의 식으로 정의된다.

수학식 5

$$ELVDD-ELVDD_{center} = \frac{aV_D}{2(a+1)}$$

[0090]

[0091]

여기서 V_D 는 상기 전원 전달 라인의 저항과 상기 전원 입력 라인을 통해 흐르는 전류로 산출한 전압, a 는 전원 입력 라인의 저항 값에 대한 전원 전달 라인의 저항 값의 비율을 의미한다.

[0092]

상기 전원 전달 라인의 저항은 제1 전원 배선(PW1) 또는 제2 전원 배선(PW2)으로부터 연결부(CN)를 향해 흐르는 전류의 크기와, 제1 전원 전압($ELVDD$)과 패널 센터 전압($ELVDD_{center}$)과의 전위 차를 이용하여 계산할 수 있다. 그리고, 전원 입력 라인(PIL)을 통해 흐르는 전류의 크기는 표시 패널에 포함되는 복수의 픽셀(PX)들에 흐르는 전류의 총합과 동일한 값을 가질 수 있다.

[0093]

전류의 크기를 측정하는 방법은 본 발명이 속하는 기술 분야에의 통상의 기술자가 용이하게 채용할 수 있는 어떠한 방법도 될 수 있으며, 예를 들어, 복수의 픽셀(PX)들 각각에 입력되는 전류의 크기를 측정하여 모두 더하거나, 전원 입력 라인(PIL)에 흐르는 전류의 크기를 측정하여 모두 더하는 등의 방법을 사용할 수 있을 것이다.

[0094]

상기 수학식 5에서 좌변과 우변의 V_D 는 직접 측정에 의하여 계산되는 값이므로, 수학식 5에서 a 값을 계산할 수 있으며, 도 6에서와 같이 실제 a 값을 계산하여 이를 반영함으로써 전압 강하 보상의 정확도를 향상시킬 수 있다.

[0095]

또한, 계산된 상기 실제 a 값을 상기 수학식 1에 대입하여 제1 전원 전압이 최소가 되는 위치를 계산할 수도 있다.

- [0096] 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 패널의 전압 강하 보상 방법의 흐름을 개략적으로 나타내는 순서도이다.
- [0097] 상기 방법은, 제1 방향으로 연장되고, 전원 전압(ELVDD)이 인가되는 전원 입력 라인, 상기 제1 방향으로 연장되고 상기 전원 입력 라인의 가운데 지점에 연결되어 상기 전원 전압을 상기 전원 입력 라인에 전달하는 전원 전달 라인, 및 상기 전원 입력 라인과 상기 전원 전달 라인에 상기 전원 전압을 공급하는 제1 및 제2 전원 배선을 포함하는 유기 발광 표시 패널의 전압 강하 보상 방법이다. 상기 유기 발광 표시 패널은 앞선 도면들을 참조하여 설명한 바와 같은 표시 패널(110)과 실질적으로 동일한 구성을 가지고 있으므로 중복되는 내용에 대한 설명은 생략한다.
- [0098] 도 8을 참조하면 상기 방법은, 상기 제1 및 제2 전원 배선과 상기 전원 전달 라인의 연결을 차단하는 제1 단계(S110), 상기 전원 전달 라인에 인가되는 전압의 크기를 측정하는 제2 단계(S120), 상기 제1 및 제2 전원 배선과 상기 전원 전달 라인을 연결하고, 상기 제1 및 제2 전원 배선과 상기 전원 입력 라인의 연결을 차단하는 제3 단계(S130), 상기 전원 입력 라인 일단에서의 전압의 크기를 측정하는 제4 단계(S140) 및 상기 전원 입력 라인의 저항값에 대한 상기 전원 전달 라인의 저항값의 비율을 산출하는 제5 단계(S150)를 포함한다.
- [0099] 도 8의 순서도는 도 6의 방법에 대응하며 상기 제1 단계(S110)는 상기 전원 입력 라인만을 이용하여 상기 전원 전압을 공급함을 의미한다. 상기 제2 단계(S120)에서 상기 전원 전달 라인에 인가되는 전압의 크기를 측정하는 것은 패널 센터 전압을 측정하는 것과 실질적으로 동일한 측정을 수행하는 것으로 이해할 수 있다. 따라서, 상기 제1 및 제2 단계를 통해 상기 수학식 2의 값을 계산할 수 있다.
- [0100] 상기 제3 단계(S130)는 상기 전원 전달 라인만을 이용하여 상기 전원 전압을 공급함을 의미하며, 상기 제4 단계(S140)에서 전원 입력 라인 일단에서의 전압의 크기를 측정하는 것은 패널 엣지 전압을 측정하는 것으로 이해할 수 있다. 따라서, 상기 제3 및 제4 단계를 통해 상기 수학식 3의 값을 계산할 수 있다.
- [0101] 그리고, 상기 제5 단계(S150)에서는 상기 전원 전압과 상기 제2 단계(S120)에서 측정된 전압의 차이 및 상기 전원 전압과 상기 제4 단계에서 측정된 전압의 차이를 이용하여 상기 비율을 산출한다. 즉, 상기 제5 단계(S150)에서는 상기 수학식 2 및 3에서 계산된 값을 상기 수학식 4에 대입함으로써, 결과적으로 상기 비율, 즉 상기 전원 입력 라인의 저항값에 대한 상기 전원 전달 라인의 저항값의 비율(상기 수학식 2 내지 4에서의 a 값)을 산출하게 된다.
- [0102] 실제 측정에 의해 계산된 상기 비율은 유기 발광 표시 패널에 존재하는 저항 성분을 반영하여 생성되는 전압 강하 보상식에 적용되어, 전압 강하 보상 정확도를 향상시킬 수 있다.
- [0103] 도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 패널의 전압 강하 보상 방법의 흐름을 개략적으로 나타내는 순서도이다.
- [0104] 상기 방법은, 제1 방향으로 연장되고, 전원 전압(ELVDD)이 인가되는 전원 입력 라인, 상기 제1 방향으로 연장되고 상기 전원 입력 라인의 가운데 지점에 연결되어 상기 전원 전압을 상기 전원 입력 라인에 전달하는 전원 전달 라인, 및 상기 전원 입력 라인과 상기 전원 전달 라인에 상기 전원 전압을 공급하는 제1 및 제2 전원 배선을 포함하는 유기 발광 표시 패널의 전압 강하 보상 방법이다. 상기 유기 발광 표시 패널은 앞선 도면들을 참조하여 설명한 바와 같은 표시 패널(110)과 실질적으로 동일한 구성을 가지고 있으므로 중복되는 내용에 대한 설명은 생략한다.
- [0105] 도 9를 참조하면 상기 방법은, 상기 전원 전달 라인의 저항을 측정하는 단계(S210), 상기 전압 측정 라인을 이용하여 상기 전원 입력 라인의 가운데 지점에서의 전압을 측정하는 단계(S220), 상기 전원 입력 라인을 통해 흐르는 전류의 크기를 측정하는 단계(S230) 및 상기 전원 입력 라인의 저항값에 대한 상기 전원 전달 라인의 저항값의 비율을 산출하는 단계(S240)를 포함한다.
- [0106] 상기 저항 측정 단계(S210)에서는 제1 전원 배선 또는 제2 전원 배선으로부터 상기 전원 전달 라인의 가운데 지점을 향해 흐르는 전류의 크기와, 제1 전원 전압(ELVDD)과 패널 센터 전압(ELVDD_{center})과의 전위 차를 이용하여 상기 전원 전달 라인의 저항을 계산할 수 있다. 다만, 이는 예시적인 방법에 불과하며 통상의 기술자가 사용할 수 있는 다른 저항 측정 방법을 이용할 수 있을 것이다.

[0107] 상기 전압 측정 단계(S220)에서는, 상기 전압 측정 라인을 이용하여 상기 전원 입력 라인의 가운데 지점, 즉 상기 전원 입력 라인과 상기 전원 전달 라인이 연결되는 지점에서의 전압을 직접 측정한다. 상기 전압 측정 단계(S220)에서 측정되는 전압은 도 6 및 도 7을 참조로 하여 설명한 바와 같은 패널 센터 전압일 수 있다.

[0108] 상기 전류 측정 단계(S230)에서는, 상기 유기 발광 표시 패널에 포함되는 복수의 픽셀(PX)들 전체에 흐르는 전류를 모두 합하여 상기 전원 입력 라인에 흐르는 전류의 크기를 측정할 수 있다. 또는, 상기 전원 입력 라인에 흐르는 전류의 크기를 측정하여 모두 더하는 등, 통상의 기술자가 용이하게 적용할 수 있는 어떠한 방법이라도 사용할 수 있을 것이다.

[0109] 상기 비율 산출 단계(S240)에서는, 하기의 식을 이용하여 상기 비율을 산출할 수 있다.

수학식 6

$$ELVDD - ELVDD_{center} = \frac{aV_D}{2(a+1)}$$

[0111] 여기서, ELVDD는 전원 전압, V_{center} 는 상기 전압 측정 단계에서 측정된 전압, V_D 는 상기 전원 전달 라인의 저항과 상기 전류 측정 단계에서 측정된 전류로 산출한 전압, a 는 상기 비율을 의미한다.

[0112] 수학식 6의 V_D 는 상기 저항 측정 단계(S210)에서 측정된 저항 값과 상기 전류 측정 단계(S230)에서 측정된 전류 값을 곱하여 계산된다. 결과적으로, 수학식 6에서 상기 비율 a 값을 계산할 수 있으며, 실제 측정에 의해 계산된 상기 비율(즉, a 값)은 유기 발광 표시 패널에 존재하는 저항 성분을 반영하여 생성되는 전압 강하 보상식에 적용되어, 전압 강하 보상 정확도를 향상시킬 수 있다.

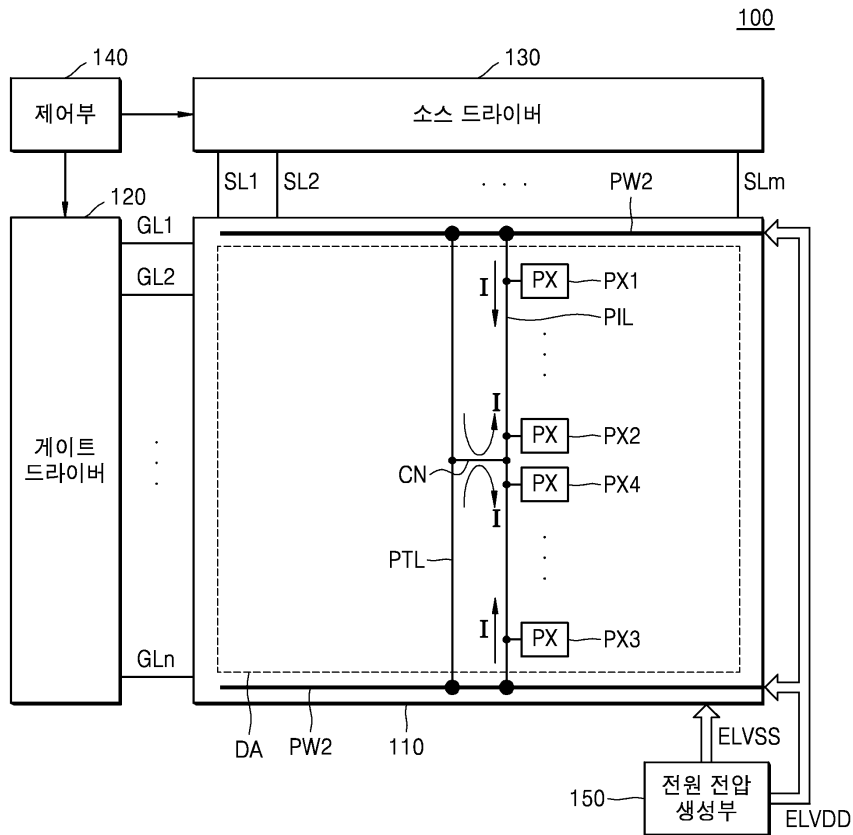
[0113] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한, 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서, 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

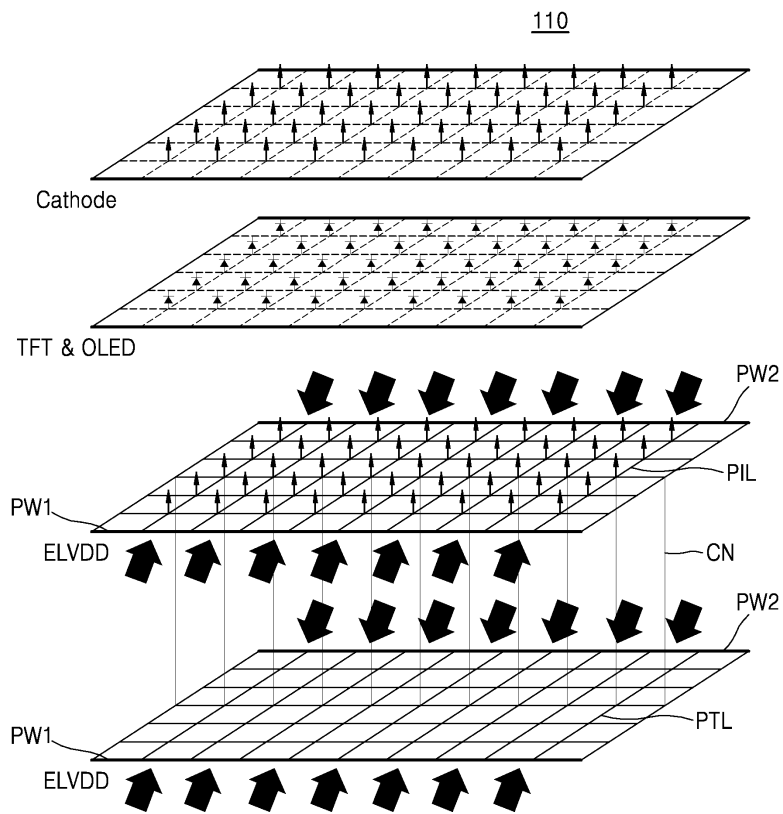
[0114] 100: 유기 발광 표시 장치 110: 표시 패널
120: 게이트 드라이버 130: 소스 드라이버
140: 제어부 150: 전원 전압 생성부

도면

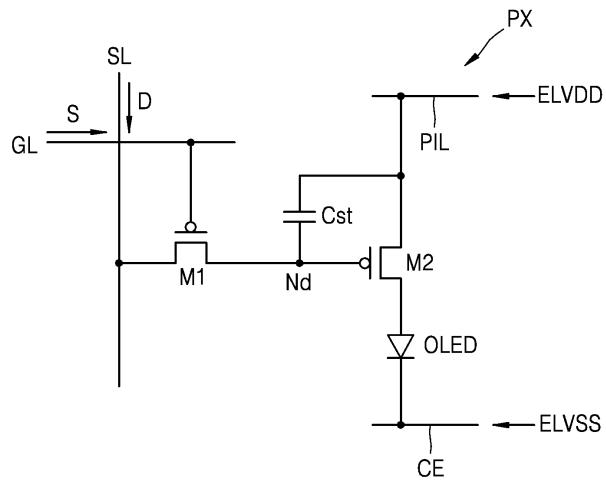
도면1



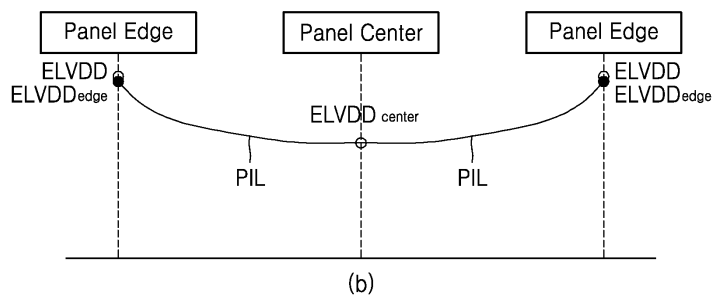
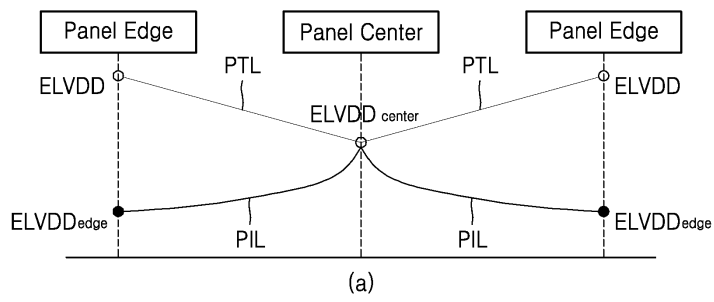
도면2



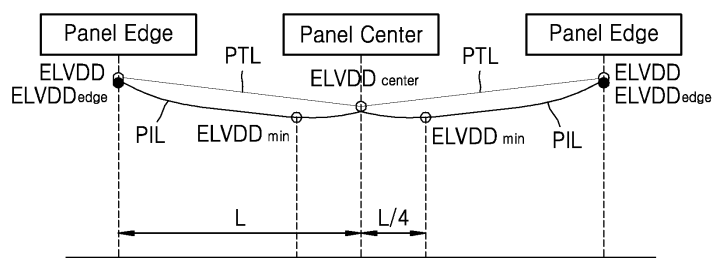
도면3



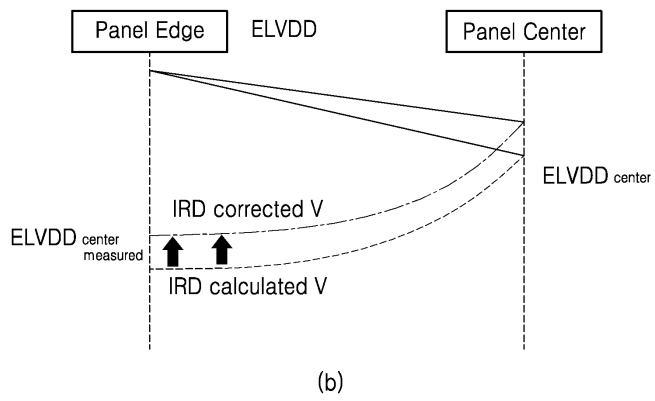
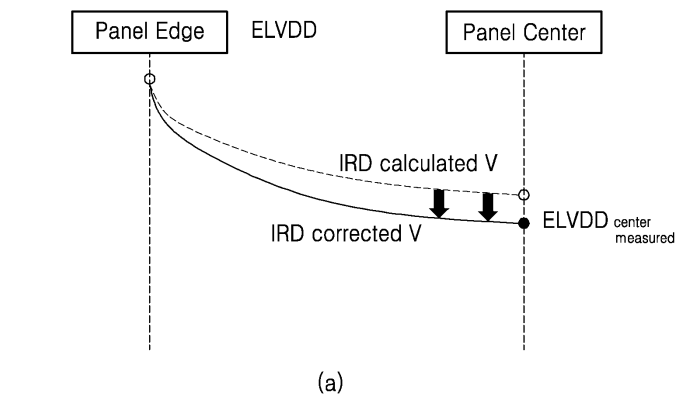
도면4



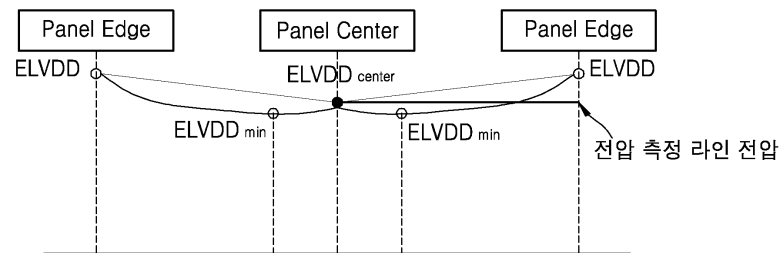
도면5



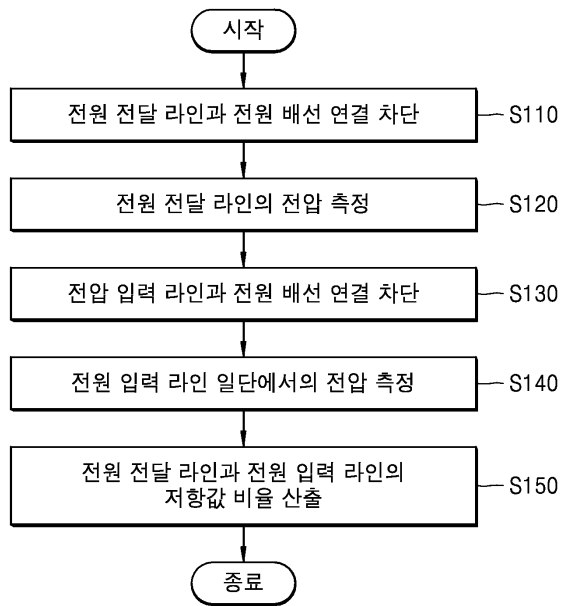
도면6



도면7



도면8



도면9

