



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년08월09일
(11) 등록번호 10-2009458
(24) 등록일자 2019년08월05일

- (51) 국제특허분류(Int. Cl.)
H01L 21/66 (2006.01) G01N 23/02 (2006.01)
H01L 21/322 (2006.01) H01L 21/762 (2006.01)
H01L 27/06 (2006.01)
- (52) CPC특허분류
H01L 22/20 (2013.01)
G01N 23/02 (2013.01)
- (21) 출원번호 10-2019-0043499
(22) 출원일자 2019년04월15일
심사청구일자 2019년04월15일
- (56) 선행기술조사문헌
Qiwen Zheng, "Total Ionizing Dose Influence on the Single Event Multiple-Cell Upsets in 65nm 6-T SRAM", IEEE Transactions on Nuclear Science, October 2018*
JP2009516361 A*
JP102017040543 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
- (72) 발명자
김진상
경기도 용인시 수지구 죽전로193번길 35, 104동 803호
장익준
경기도 용인시 기흥구 사은로126번길 33, 204동 102
- (74) 대리인
김홍석

전체 청구항 수 : 총 8 항

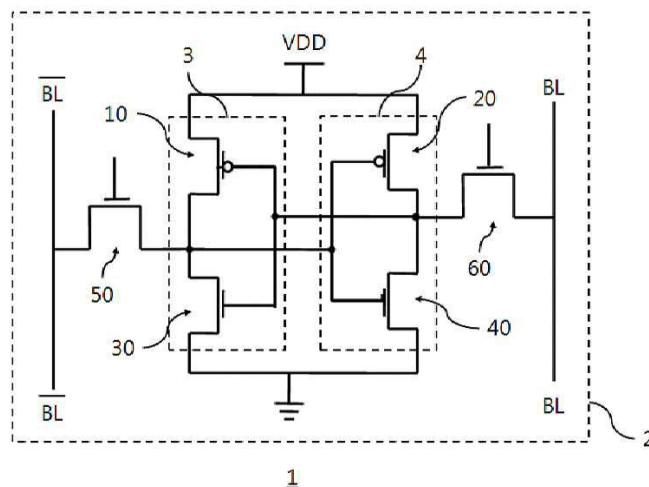
심사관 : 홍종선

(54) 발명의 명칭 완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 메모리 장치의 안정도에 대한 총 이온화 선량 효과의 측정 방법

(57) 요약

반도체 기억 장치, 상기 반도체 기억 장치를 이용한 전자 회로 장치 및 상기 장치에 대한 총 이온화 선량 효과의 측정 방법에 관한 것으로, 총 이온화 선량 효과의 측정 방법은, 방사선을 셀 또는 상기 셀을 포함하는 반도체 저장 장치에 조사하되, 상기 셀은 적어도 둘 이상이 전기적으로 연결된 여섯 개의 전계 효과 트랜지스터를 포함하는 단계 및 상기 방사선의 조사에 따라 상기 여섯 개의 전계 효과 트랜지스터 중 적어도 하나에서 발생된 실패를 계수하되, 상기 실패는 홀드 동작에서의 실패, 읽기 동작에서의 실패 및 쓰기 동작에서의 실패 중 적어도 하나를 포함하는 단계를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

G11C 11/412 (2013.01)

H01L 21/3226 (2013.01)

H01L 21/7624 (2013.01)

H01L 22/12 (2013.01)

H01L 27/0617 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2017M1A&A1A01016257

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 거대과학연구개발사업/핵융합기초연구및인력양성지원사업

연구과제명 핵융합진단의 효율화를 위한 내방사선 디지털 회로 설계 및 시험환경 구축

기 여 율 1/1

주관기관 경희대학교

연구기간 2017.04.10 ~ 2019.12.31

명세서

청구범위

청구항 1

방사선을 셀 또는 상기 셀을 포함하는 반도체 저장 장치에 조사하되, 상기 셀은 적어도 둘 이상이 전기적으로 연결된 여섯 개의 전계 효과 트랜지스터를 포함하는 단계; 및

상기 방사선의 조사에 따라 상기 여섯 개의 전계 효과 트랜지스터 중 적어도 하나에서 발생된 실패를 계수하되, 상기 실패는 홀드 동작에서의 실패, 읽기 동작에서의 실패 및 쓰기 동작에서의 실패 중 적어도 하나를 포함하는 단계;를 포함하고,

상기 여섯 개의 전계 효과 트랜지스터는,

오프 상태로 설정 가능한 p 전계 효과 트랜지스터를 포함하는 제1 전계 효과 트랜지스터;

온 상태로 설정 가능한 p 전계 효과 트랜지스터를 포함하는 제2 전계 효과 트랜지스터;

상기 제1 전계 효과 트랜지스터에 대응되고 온 상태로 설정 가능한 n 전계 효과 트랜지스터를 포함하는 제3 전계 효과 트랜지스터; 및

상기 제2 전계 효과 트랜지스터에 대응되고 오프 상태로 설정 가능한 n 전계 효과 트랜지스터를 포함하는 제4 전계 효과 트랜지스터;를 포함하며,

상기 제1 전계 효과 트랜지스터 및 상기 제4 전계 효과 트랜지스터는 오프 상태로 설정되고, 상기 제2 전계 효과 트랜지스터 및 상기 제3 전계 효과 트랜지스터는 온 상태로 설정된 총 이온화 선량 효과의 측정 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 방사선의 조사에 따라 상기 여섯 개의 전계 효과 트랜지스터 중 적어도 하나에서 발생된 실패를 계수하는 단계는,

스트레스 패턴 하에서 상기 방사선의 조사에 따라 상기 제1 전계 효과 트랜지스터 내지 제4 전계 효과 트랜지스터 중 적어도 하나에서 발생된 실패를 계수하는 단계; 및

상기 스트레스 패턴에 대한 반대 패턴 하에서 상기 방사선의 조사에 따라 상기 제1 전계 효과 트랜지스터 내지 제4 전계 효과 트랜지스터 중 적어도 하나에서 발생된 실패를 계수하는 단계; 중 적어도 하나를 포함하는 총 이온화 선량 효과의 측정 방법.

청구항 5

제1항에 있어서,

상기 제1 전계 효과 트랜지스터 내지 제4 전계 효과 트랜지스터 중 적어도 하나에 대해서 T-카드 시뮬레이션을 수행하는 단계;를 더 포함하는 이온화 선량 효과의 측정 방법.

청구항 6

제5항에 있어서,

상기 T-카드 시뮬레이션에 따라, 온 상태의 상기 제1 전계 효과 트랜지스터와, 온 상태의 상기 제3 전계 효과 트랜지스터 각각의 매립 산화물 내에 형성된 전기장 방향은 서로 반대인 결과를 획득하거나, 또는 온 상태의 상기 제2 전계 효과 트랜지스터와, 온 상태의 상기 제4 전계 효과 트랜지스터 각각의 매립 산화물 내에 형성된 전기장 방향은 서로 반대인 결과를 획득하는 단계;를 더 포함하는 이온화 선량 효과의 측정 방법.

청구항 7

제1항에 있어서,

상기 제1 전계 효과 트랜지스터 내지 제4 전계 효과 트랜지스터 중 적어도 하나를, 온 상태 및 오프 상태 중 적어도 하나의 상태로 설정하는 단계; 및

상기 제1 전계 효과 트랜지스터 내지 제4 전계 효과 트랜지스터 중 적어도 하나에 대해 채널의 중간에서 수직 방향으로 절단한 일 면에 대한 에너지 밴드 다이어그램을 획득하는 단계;를 더 포함하는 이온화 선량 효과의 측정 방법.

청구항 8

제1항에 있어서,

상기 제1 전계 효과 트랜지스터 또는 상기 제2 전계 효과 트랜지스터에 대한 총 이온화 선량에 의한 영향은, 상기 제3 전계 효과 트랜지스터 또는 제4 전계 효과 트랜지스터에 대한 총 이온화 선량에 대한 영향보다 더 큰 결과를 획득하는 단계;를 더 포함하는 이온화 선량 효과의 측정 방법.

청구항 9

제8항에 있어서,

상기 제1 전계 효과 트랜지스터 또는 상기 제2 전계 효과 트랜지스터에 대한 총 이온화 선량에 의한 영향은, 상기 제3 전계 효과 트랜지스터 또는 제4 전계 효과 트랜지스터에 대한 총 이온화 선량에 대한 영향보다 더 큰 결과를 획득하는 단계는,

총 이온화 선량의 영향에 따라서 상기 제1 전계 효과 트랜지스터 또는 상기 제2 전계 효과 트랜지스터의 읽기 동작, 홀드 동작 및 쓰기 동작의 안정성이 저하되는 결과를 획득하는 단계;를 포함하는 이온화 선량 효과의 측정 방법.

청구항 10

제1항에 있어서,

방사선 조사 경우 및 방사선 비조사 경우 각각에 대하여 전압 전달 곡선에 대해 혼합 모드 시뮬레이션을 수행하는 단계;를 더 포함하는 이온화 선량 효과의 측정 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

발명의 설명

기술 분야

완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 메모리 장치의 안정도에 대한 총 이온화 선량 효과의 측정 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 외부에서 조사되는 방사선은 전자 부품에 여러 문제점을 발생시킬 수 있다. 특히 반도체나 이를 이용하는 집적 회로는, 방사선의 영향에 취약하여, 이들 방사선에 노출되는 경우 그 성능이 점차로 저하되게 된다.
- [0003] 이와 같은 방사선에 기인한 반도체 또는 집적회로의 성능 저하는 총 이온화 선량(TID, Total Ionizing Dose) 효과나 단일 사건 효과(SEE, Single Event Effect)를 통해 설명될 수 있다. 총 이온화 선량 효과는, 방사선이 인가되면 방사선이 인가된 반도체 내의 산화물 상에 홀(hole)이 생성되고, 이에 기인하여 반도체 내의 문턱 전압이 변경되어 누설 전류가 발생되어 반도체의 훼손, 파괴 또는 변경을 유발하는 것을 의미한다. 총 이온화 선량 효과에 따라 방사선이 인가되는 환경에서 트랜지스터 등의 부품은 그 안정성 및 신뢰성이 위협받게 된다. 단일 사건 효과는, 방사선이 인가되면, 인가된 방사선이 반도체 내에 전자 전공 쌍을 생성시켜 반도체 내에 의도하지 않은 펄스 전류가 유도하는 것을 의미한다. 이에 따라서 반도체의 훼손, 파괴 및 데이터의 변경 등이 발생할 수도 있다.
- [0004] 이와 같은 반도체 등에 대한 방사선의 영향 때문에, 최근에는 반도체 등의 내방사선 능력의 향상에 대한 요구가 증가하고 있다. 특히 최근 공정의 미세화 등에 따라서 소량의 방사선에도 반도체 등은 더욱 큰 영향을 받게 되었으며, 이는 반도체 또는 이를 이용한 메모리 장치 등의 내방사선 성능 향상의 필요성을 더욱 가중시키고 있다.

발명의 내용

해결하려는 과제

- [0005] 반도체, 집적 회로 또는 각종 장치의 효율적인 설계 및 제작을 위해, 완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 메모리 장치에 대한 총 이온화 선량에 따른 영향력의 측정을 가능하게 하는 총 이온화 선량 효과의 측정 방법을 제공하는 것을 해결하고자 하는 과제로 한다.

과제의 해결 수단

- [0006] 상술한 과제를 해결하기 위하여 완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 메모리 장치의 안정도에 대한 총 이온화 선량 효과의 측정 방법이 제공된다.
- [0007] 총 이온화 선량 효과의 측정 방법은, 방사선을 셀 또는 상기 셀을 포함하는 반도체 저장 장치에 조사하되, 상기 셀은 적어도 둘 이상이 전기적으로 연결된 여섯 개의 전계 효과 트랜지스터를 포함하는 단계와, 상기 방사선의 조사에 따라 상기 여섯 개의 전계 효과 트랜지스터 중 적어도 하나에서 발생한 실패를 계수하되, 상기 실패는 홀드 동작에서의 실패, 읽기 동작에서의 실패 및 쓰기 동작에서의 실패 중 적어도 하나를 포함하는 단계를 포함할 수 있다.
- [0008] 상기 여섯 개의 전계 효과 트랜지스터는, 오프 상태로 설정 가능한 p 전계 효과 트랜지스터를 포함하는 제1 전계 효과 트랜지스터, 온 상태로 설정 가능한 p 전계 효과 트랜지스터를 포함하는 제2 전계 효과 트랜지스터, 상기 제1 전계 효과 트랜지스터에 대응되고 온 상태로 설정 가능한 n 전계 효과 트랜지스터를 포함하는 제3 전계 효과 트랜지스터 및 상기 제2 전계 효과 트랜지스터에 대응되고 오프 상태로 설정 가능한 n 전계 효과 트랜지스터를 포함하는 제4 전계 효과 트랜지스터를 포함할 수 있다.
- [0009] 상기 제1 전계 효과 트랜지스터 및 상기 제4 전계 효과 트랜지스터는 오프 상태로 설정되고, 상기 제2 전계 효과 트랜지스터 및 상기 제3 전계 효과 트랜지스터는 온 상태로 설정된 것일 수 있다.
- [0010] 상기 방사선의 조사에 따라 상기 여섯 개의 전계 효과 트랜지스터 중 적어도 하나에서 발생한 실패를 계수하는 단계는, 스트레스 패턴 하에서 상기 방사선의 조사에 따라 상기 제1 전계 효과 트랜지스터 내지 제4 전계 효과 트랜지스터 중 적어도 하나에서 발생한 실패를 계수하는 단계 및 상기 스트레스 패턴에 대한 반대 패턴 하에서 상기 방사선의 조사에 따라 상기 제1 전계 효과 트랜지스터 내지 제4 전계 효과 트랜지스터 중 적어도 하나에서 발생한 실패를 계수하는 단계 중 적어도 하나를 포함할 수 있다.
- [0011] 총 이온화 선량 효과의 측정 방법은, 상기 제1 전계 효과 트랜지스터 내지 제4 전계 효과 트랜지스터 중 적어도 하나에 대해서 T-카드 시뮬레이션을 수행하는 단계를 더 포함할 수 있다.
- [0012] 총 이온화 선량 효과의 측정 방법은, 상기 T-카드 시뮬레이션에 따라, 온 상태의 상기 제1 전계 효과 트랜지스

터와, 온 상태의 상기 제3 전계 효과 트랜지스터 각각의 매립 산화물 내에 형성된 전기장 방향은 서로 반대인 결과를 획득하거나, 또는 온 상태의 상기 제2 전계 효과 트랜지스터와, 온 상태의 상기 제4 전계 효과 트랜지스터 각각의 매립 산화물 내에 형성된 전기장 방향은 서로 반대인 결과를 획득하는 단계를 더 포함할 수 있다.

[0013] 총 이온화 선량 효과의 측정 방법은, 상기 제1 전계 효과 트랜지스터 내지 제4 전계 효과 트랜지스터 중 적어도 하나를 온 상태 및 오프 상태 중 적어도 하나의 상태로 설정하는 단계 및 상기 제1 전계 효과 트랜지스터 내지 제4 전계 효과 트랜지스터 중 적어도 하나에 대해 채널의 중간에서 수직 방향으로 절단한 일 면에 대한 에너지 밴드 다이어그램을 획득하는 단계를 더 포함할 수 있다.

[0014] 총 이온화 선량 효과의 측정 방법은, 상기 제1 전계 효과 트랜지스터 또는 상기 제2 전계 효과 트랜지스터에 대한 총 이온화 선량에 의한 영향은, 상기 제3 전계 효과 트랜지스터 또는 제4 전계 효과 트랜지스터에 대한 총 이온화 선량에 대한 영향보다 더 큰 결과를 획득하는 단계를 더 포함할 수 있다.

[0015] 상기 제1 전계 효과 트랜지스터 또는 상기 제2 전계 효과 트랜지스터에 대한 총 이온화 선량에 의한 영향은, 상기 제3 전계 효과 트랜지스터 또는 제4 전계 효과 트랜지스터에 대한 총 이온화 선량에 대한 영향보다 더 큰 결과를 획득하는 단계는, 총 이온화 선량의 영향에 따라서 상기 제1 전계 효과 트랜지스터 또는 상기 제2 전계 효과 트랜지스터의 읽기 동작, 홀드 동작 및 쓰기 동작의 안정성이 저하되는 결과를 획득하는 단계를 포함할 수 있다.

[0016] 총 이온화 선량 효과의 측정 방법은, 방사선 조사 경우 및 방사선 비조사 경우 각각에 대하여 전압 전달 곡선에 대해 혼합 모드 시뮬레이션을 수행하는 단계를 더 포함하는 것도 가능하다.

[0017] 총 이온화 선량 효과의 측정 방법은, 상기 셀이 고정 산화물 밀도 전압을 갖는 경우에 대해서, 1 및 0의 쓰기에 대한 과도 출력 곡선을 획득하는 단계를 더 포함할 수 있다.

[0018] 상기 전계 효과 트랜지스터는, 완전 공핍형 실리콘 온 인슐레이터 공정을 기반으로 제작된 것일 수 있다. 반도체 기억 장치는, 오프 상태로 설정 가능한 p 전계 효과 트랜지스터를 포함하는 제1 전계 효과 트랜지스터, 온 상태로 설정 가능한 p 전계 효과 트랜지스터를 포함하는 제2 전계 효과 트랜지스터, 상기 제1 전계 효과 트랜지스터에 대응되고 온 상태로 설정 가능한 n 전계 효과 트랜지스터를 포함하는 제3 전계 효과 트랜지스터 및 상기 제2 전계 효과 트랜지스터에 대응되고 오프 상태로 설정 가능한 n 전계 효과 트랜지스터를 포함하는 제4 전계 효과 트랜지스터를 포함하되, 상기 제1 전계 효과 트랜지스터 및 상기 제2 전계 효과 트랜지스터 중 적어도 하나는, 홀드, 읽기 및 쓰기 동작이 총 이온화 선량에 의해 영향을 받는 것일 수 있다.

발명의 효과

[0019] 상술한 총 이온화 선량 효과의 측정 방법에 의하면, 완전 공핍형 실리콘 온 인슐레이터 공정을 이용한 메모리 장치에 대한 총 이온화 선량 효과를 측정할 수 있게 되고, 이에 따라 우수한 내방사선 성능을 갖는 반도체, 집적 회로 또는 각종 장치의 효율적인 설계 및 제작이 가능해진다.

[0020] 상술한 총 이온화 선량 효과의 측정 방법에 따른 측정 결과를 이용하면, 총 이온화 선량에 따른 영향력을 최소화하면서 우수한 내방사선 성능을 갖는 반도체 메모리 장치나 전자 회로 등을 구현할 수 있게 된다.

[0021] 상술한 총 이온화 선량 효과의 측정 방법에 의한 측정 결과를 이용하면, 방사선에 강인한 반도체 등을 제작 가능하게 되고, 이에 따라 반도체 또는 집적 회로의 수명을 연장할 수 있게 되며, 이에 따라 이들을 이용하여 구현된 각종 장치(컴퓨팅 장치, 모바일 디바이스, 디스플레이 장치, 가전 기기, 공장 기계, 항공기, 우주선 및/또는 원자력 발전 장치 등)의 유지 관리 비용 절감의 경제적 효과도 얻을 수 있다.

도면의 간단한 설명

[0022] 도 1은 반도체 메모리 장치의 일 실시예에 대한 회로도이다.

도 2는 전계 효과 트랜지스터(FET, Field-Effect Transistor)의 일 실시예에 대한 측단면도이다.

도 3은 방사선 노출 중에 스트레스 패턴에서의 바이어스된 에스램(SRAM, Static RAM)에 대한 홀드 동작의 전체적인 비트 실패 및 스트레스 패턴과 반대되는 패턴에 대한 실험 결과를 도시한 그래프 도면이다.

도 4는 방사선 노출 중에 스트레스 패턴에서의 바이어스된 에스램에 대한 스트레스 패턴에서의 읽기 동작의 전체적인 비트 실패 및 스트레스 패턴과 반대되는 패턴에 대한 실험 결과를 도시한 그래프 도면이다.

도 5는 방사선 노출 중에 스트레스 패턴에서의 바이어스된 에스램에 대한 쓰기 동작의 전체적인 비트 실패 및 스트레스 패턴과 반대되는 패턴에 대한 실험 결과를 도시한 그래프 도면이다.

도 6은 제1 전계 효과 트랜지스터가 오프(off) 상태인 경우에서 정전기장(electrostatic field)에 대한 T-캐드(T-CAD, Technology CAD) 시뮬레이션 결과의 일례를 도시한 도면이다.

도 7은 제2 전계 효과 트랜지스터가 온(on) 상태인 경우에서 정전기장에 대한 T-캐드 시뮬레이션 결과의 일례를 도시한 도면이다.

도 8은 제3 전계 효과 트랜지스터가 온 상태인 경우에서 정전기장에 대한 T-캐드 시뮬레이션 결과의 일례를 도시한 도면이다.

도 9는 제4 전계 효과 트랜지스터가 오프 상태인 경우에서 정전기장에 대한 T-캐드 시뮬레이션 결과의 일례를 도시한 도면이다.

도 10은 방사선 조사에 의해 바이어스된 조건 하에서 온 상태 및 오프 상태 각각의 n 전계 효과 트랜지스터 및 p 전계 효과 트랜지스터에 대한 에너지 밴드 다이어그램의 일례이다.

도 11은 온 상태의 p 전계 효과 트랜지스터 및 오프 상태의 p 전계 효과 트랜지스터에 대해 매립 산화물 인터페이스 주변의 전기장의 수직 성분의 일례를 도시한 그래프 도면이다.

도 12는 방사선 조사의 경우 및 방사선 비조사의 경우 사이의 전압 전달 곡선(VTC, Voltage Transfer Curve)의 혼합 모드 시뮬레이션 결과에 대한 일례를 도시한 그래프 도면이다.

도 13은 동일한 고정 산화물 밀도 전압을 갖는 셀에 있어서 1 및 0 의 쓰기에 대한 과도 출력 곡선(Transient output curve)의 일례를 도시한 그래프 도면이다.

도 14는 반도체 메모리 장치의 총 이온화 선량 효과를 측정하는 방법의 일 실시예에 대한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하 명세서 전체에서 동일 참조 부호는 특별한 사정이 없는 한 동일 구성요소를 지칭한다. 이하에서 사용되는 '부'가 부가된 용어는, 소프트웨어 또는 하드웨어로 구현될 수 있으며, 실시예에 따라 '부'가 하나의 부품으로 구현되거나, 하나의 '부'가 복수의 부품들로 구현되는 것도 가능하다.
- [0024] 명세서 전체에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 어떤 부분과 다른 부분에 따라서 물리적 연결을 의미할 수도 있고, 또는 전기적으로 연결된 것을 의미할 수도 있다. 또한, 어떤 부분이 다른 부분을 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 부분 이외의 또 다른 부분을 제외하는 것이 아니며, 설계자의 선택에 따라서 또 다른 부분을 더 포함할 수 있음을 의미한다.
- [0025] 제 1 이나 제 2 등의 용어는 하나의 부분을 다른 부분으로부터 구별하기 위해 사용되는 것으로, 특별한 기재가 없는 이상 이들이 순차적인 표현을 의미하는 것은 아니다. 또한, 단수의 표현은 문맥상 명백하게 예외가 있지 않는 한, 복수의 표현을 포함할 수 있다.
- [0026] 이하 도 1 내지 도 12를 참조하여 반도체 저장 장치 및 반도체 저장 장치를 포함하는 전자 회로 장치의 일 실시예에 대해서 설명한다.
- [0027] 도 1은 메모리 장치의 일 실시예에 대한 회로도이다.
- [0028] 반도체 저장 장치(1)는, 예를 들어 6 트랜지스터 에스램(이하 6T-에스램)을 포함할 수 있다. 6T-에스램은, 도 1에 도시된 바와 같이, 복수의 트랜지스터(10 내지 60)이 마련된 적어도 하나의 셀(2, cell)을 포함할 수 있다.
- [0029] 일 실시예에 의하면, 적어도 하나의 셀(2)은, 여섯 개의 트랜지스터(10 내지 60)를 포함할 수 있다. 여섯 개의 트랜지스터(10 내지 40) 각각은 전계 효과 트랜지스터를 이용하여 구현될 수 있으며, 보다 구체적으로는 각각의 전계 효과 트랜지스터(10 내지 60)는, 예를 들어, 실리콘 온 인슐레이터(SOI, Silicon-on-Insulator 또는 모스펫(MOSFET, Metal-Oxide-Semiconductor Field-Effect Transistor)일 수 있다. 이하 셀(2) 내의 각각의 전계 효과 트랜지스터(10 내지 60)를, 각각 제1 전계 효과 트랜지스터(10), 제2 전계 효과 트랜지스터(20), 제3 전계 효과 트랜지스터(30), 제4 전계 효과 트랜지스터(40), 제5 전계 효과 트랜지스터(50) 및 제6 전계 효과 트랜지스터(60)라고 지칭한다.
- [0030] 일 실시예에 의하면, 제1 전계 효과 트랜지스터(10) 및 제2 전계 효과 트랜지스터(20) 각각은, p 전계 효과 트

랜지스터(pFET, p Field Effect Transistor)일 수 있다. 반대로 제3 전계 효과 트랜지스터(30) 및 제4 전계 효과 트랜지스터(40) 각각은, n 전계 효과 트랜지스터(nFET, n Field Effect Transistor)일 수 있다. 실시예에 따라서, 이와 반대로 제1 전계 효과 트랜지스터(10) 및 제2 전계 효과 트랜지스터(20)가 n 전계 효과 트랜지스터이고, 제3 전계 효과 트랜지스터(30) 및 제4 전계 효과 트랜지스터(40)가 p 전계 효과 트랜지스터인 것도 가능하다. 또한, 제5 전계 효과 트랜지스터(50) 및 제6 전계 효과 트랜지스터(60) 역시 n 전계 효과 트랜지스터일 수도 있고, 또는 p 전계 효과 트랜지스터일 수도 있다.

[0031] 제1 전계 효과 트랜지스터(10) 및 제3 전계 효과 트랜지스터(30)는, 회로나 도선 등의 전도체를 통해 상호 전기적으로 연결될 수 있다. 이 경우, 제1 전계 효과 트랜지스터(10) 및 제3 전계 효과 트랜지스터(30)는, 드레인 및 소스를 통해 상호 연결될 수 있다. 또한, 이들(10, 30) 각각의 게이트는 소정의 회로 라인을 통해 상호 연결될 수 있다. 제2 전계 효과 트랜지스터(20) 및 제4 전계 효과 트랜지스터(40)도, 이와 동일한 방식으로 회로나 도선 등의 전도체를 통하여 상호 전기적으로 연결될 수 있다.

[0032] 제1 전계 효과 트랜지스터(10) 및 제3 전계 효과 트랜지스터(30)를 포함하는 부분(3, 이하 제1 인버터)과, 제2 전계 효과 트랜지스터(20) 및 제4 전계 효과 트랜지스터(40)를 포함하는 부분(4, 이하 제2 인버터)는 상호 교차적으로 커플링된 것일 수 있다.

[0033] 제1 전계 효과 트랜지스터(10) 및 제3 전계 효과 트랜지스터(30)를 연결하는 회로 라인과, 제2 전계 효과 트랜지스터(20) 및 제4 전계 효과 트랜지스터(40)를 연결하는 회로 라인은, 각각 읽기 및 쓰기 동작을 위한 데이터가 전송되는 비트 라인(BL, $\overline{BL}$)과 전기적으로 연결될 수 있다.

[0034] 제5 전계 효과 트랜지스터(50)는, 비트 라인($\overline{BL}$)과, 제1 전계 효과 트랜지스터(10) 및 제3 전계 효과 트랜지스터(30)를 연결하는 회로 라인 사이에 설치되어, 이들 사이의 연결을 제어할 수 있다. 마찬가지로 제6 전계 효과 트랜지스터(60)는 비트 라인(BL)과, 제2 전계 효과 트랜지스터(20) 및 제4 전계 효과 트랜지스터(40)를 연결하는 회로 라인에 설치되어, 이들 사이의 연결을 제어할 수 있다. 제5 트랜지스터(50) 및 제6 트랜지스터(60)는 각각 워드 라인(Word Line)과 전기적으로 연결되어 마련될 수 있다.

[0035] 도 2는 실리콘 온 인슐레이터 전계 효과 트랜지스터의 일 실시예에 대한 측단면도이다.

[0036] 도 2에 도시된 바를 참조하면, 상술한 전계 효과 트랜지스터(10 내지 60), 일례로 제1 전계 효과 트랜지스터(10)는, 완전 공핍형 실리콘 온 인슐레이터(FD-SOI, Fully Depleted-Silicon On Insulator) 공정(예를 들어, 28nm 완전 공핍형 실리콘 온 인슐레이터 공정)을 기반으로 제작된 것일 수 있다.

[0037] 제1 전계 효과 트랜지스터(10)가 완전 공핍형 실리콘 온 인슐레이터 소자를 채용하여 구현된 경우, 제1 전계 효과 트랜지스터(10)는, 예를 들어, n형 기판(11)과, n형 기판(11) 위에 적층되어 형성된 매립 산화물(12, BOX, Buried Oxide)과, 매립 산화물(12) 위에 서로 이격되어 설치된 소스(13) 및 드레인(14)과, 전압의 인가에 따라서 소스(13) 및 드레인(14) 사이의 전하의 흐름을 생성하는 게이트(15)를 포함할 수 있다.

[0038] n형 기판(11)은 실리콘 기판을 이용하여 구현 가능하며, n형 반도체로 동작하게 된다. n형 기판(11)의 두께는, 예를 들어, 7nm일 수 있으나, 이는 임의적으로 결정된 것으로, 설계자는 그 의도에 따라서 다양한 두께로 n형 기판(11)을 제작할 수 있다.

[0039] n형 기판(11)의 일 면에는 매립 산화물(12)이 장착되고, 일 면에 대향하는 타면은 외부에 노출되거나 또는 다른 장치(예를 들어, 금속선이나 기판 등)와 결합될 수 있다.

[0040] 매립 산화물(12)은 채널(11-1)을 통과하는 전자나 정공이 외부(일례로 p형 기판(11))으로 누출되는 것을 차단하도록 마련된다. 매립 산화물(12)의 일 면에는 p+ 영역을 형성하는 소스(13) 및 드레인(14)이 설치되고, 일 면에 대향하는 타면에는 n형 기판(11)의 일 면에 접하여 장착된다. 매립 산화물(12)의 두께는 예를 들어 28nm일 수 있으나, 이에 한정되는 것은 아니다.

[0041] 소스(13) 및 드레인(14) 각각은 매립 산화물(12)의 일 면에 상호 격리되어 설치 및 장착된다. 제1 전계 효과 트랜지스터(10)에서, 소스(13) 및 드레인(14)은 p형 반도체로 동작한다. 소스(13) 및 드레인(14) 사이에는 채널(11-1)이 형성된다. 채널(11-1) 역시 매립 산화물(12)의 일 면에 접하여 형성된다. 채널(11-1)은 소스(13) 및 드레인(14) 사이의 전하의 이동 경로를 제공한다.

[0042] 채널(11-1)에는 게이트(15)가 설치되고, 게이트(15)에 인가되는 전압에 따라서 소스(13) 및 드레인(14) 사이로 전하가 전달되게 된다. 상술한 바와 같이 전하는 채널(11-1)을 통해 전달된다. 게이트(15)는 산화물을 이용하여

구현될 수 있으며, 이 경우 게이트 산화물의 두께는, 예를 들어, 1nm일 수 있다. 그러나, 게이트 산화물의 두께 역시 설계자의 의도에 따라 다양하게 결정될 수 있다.

[0043] 또한, 제1 전계 효과 트랜지스터(10)는 백-게이트(back-gate)로 통상적인 웰(well) 타입의 백-게이트를 이용할 수 있으며, 예를 들어, n-웰이 채용될 수 있다.

[0044] 제2 전계 효과 트랜지스터(20)는, 제1 전계 효과 트랜지스터(10)와 동일하게, 완전 공핍형 실리콘 온 인슐레이터 공정을 기반으로 구현된 것일 수 있다. 예를 들어, 제2 전계 효과 트랜지스터(20) 역시 제1 전계 효과 트랜지스터(10)와 동일하거나 또는 일부 변형된 형태로 n형 기판, 매립 산화물, 소스부, 게이트부, 채널부 및 드레인부를 포함할 수 있다.

[0045] 한편, 제3 및 제4 전계 효과 트랜지스터(30 및 40) 역시 완전 공핍형 실리콘 온 인슐레이터 공정을 기반으로 구현될 수 있다. 그러나, 제3 및 제4 전계 효과 트랜지스터(30 내지 40)는, 제1 및 제2 전계 효과 트랜지스터(10, 20)와는 상이하게, n형 기판 대신에 p형 기판을 포함하며, 소스부 및 드레인부는 p+ 영역 대신에 n+ 영역으로 구현된 것일 수 있다. 즉, 제3 및 제4 전계 효과 트랜지스터(30 내지 40)의 소스부 및 드레인부는 n형 반도체로 동작하게 된다. 또한, 제3 및 제4 전계 효과 트랜지스터(30 내지 40)의 경우, n-웰 타입 대신에 p-웰 타입의 백-게이트가 이용될 수 있다.

[0046] 제5 및 제6 전계 효과 트랜지스터(50 및 60)도, 완전 공핍형 실리콘 온 인슐레이터 공정을 기반으로 구현된 것일 수 있으며, 실시예에 따라서, 제3 및 제4 전계 효과 트랜지스터(30 내지 40)와 동일하게 p형 기판 및/또는 p-웰 타입의 백-게이트를 채용하여 구현된 것일 수 있으며, 또한 소스부 및 드레인부는 n+ 영역으로 구현된 것일 수 있다. 이에 따라 제5 및 제6 전계 효과 트랜지스터(50 및 60)의 소스부 및 드레인부 역시 n형 반도체로 동작한다.

[0047] 이외 제2 내지 제6 전계 효과 트랜지스터(20 내지 60)의 구체적인 구조 등은 상술한 제1 전계 효과 트랜지스터(10)와 동일하거나 실질적으로 유사하므로 이하 자세한 설명은 생략하도록 한다.

[0048] 완전 공핍형 실리콘-온-인슐레이터 공정을 이용하여 트랜지스터(10 내지 60)를 구현하는 경우, 정적 메모리 셀의 반도체 저장 장치(1, 일례로 6T-에스램)의 홀드, 읽기 및 쓰기 안정성은 총 이온화 선량에 대응하여 변화하게 된다.

[0049] 이하 도 3 내지 도 5를 참조하여, 반도체 저장 장치(1)의 총 이온화 선량에 따른 바이어스 의존성에 대해 설명하되, 제1 내지 제6 전계 효과 트랜지스터(10 내지 60)를 포함하는 정적 메모리 셀의 반도체 저장 장치(1)에 대해 방사선을 조사하고, 방사선 조사에 기인한 제1 내지 제6 전계 효과 트랜지스터(10 내지 60) 중 적어도 하나의 동작 실패에 대한 실험 결과를 기반으로 설명하도록 한다. 여기서, 각 트랜지스터(10 내지 60)의 동작은, 홀드 동작, 읽기 동작 및/또는 쓰기 동작을 포함할 수 있다.

[0050] 정적 메모리 셀의 반도체 저장 장치(1) 또는 트랜지스터(10 내지 60) 중 적어도 하나, 일례로, 제1 트랜지스터 내지 제4 트랜지스터(10 내지 40)에 대한 실험을 수행하기 위하여, 예를 들어, 두 가지의 데이터 패턴이 이용될 수 있다. 여기서, 데이터 패턴은, 방사선 조사 스트레스에서 이용되는 데이터 패턴(이하 스트레스 패턴) 및 스트레스 패턴에 상호 보완적인 데이터 패턴(이하 반대 패턴)을 포함할 수 있다.

[0051] 도 3 내지 도 5 각각은, 방사선 노출 중에 바이어스된 에스램(SRAM, Static RAM)에 대한 스트레스 패턴에서의 홀드 동작, 읽기 동작 및 쓰기 동작의 실패 및 스트레스 패턴과 반대되는 반대 패턴에 대한 실험 결과를 순차적으로 도시한 그래프 도면이다. 도 3 내지 도 5에서 x축은 총 이온화 선량(Krad(SiO₂))을 의미하고, y축은 순차적으로 측정된 홀드 실패, 읽기 실패 및 쓰기 실패의 개수이다. 도 3 및 도 4의 실 선은 총 이온화 선량에 따라서 방사선 조사 중의 바이어스 패턴과 동일한 패턴(스트레스 패턴)에서 측정된 실패의 개수를 연결한 것이고, 점선은 총 이온화 선량에 따라서 방사선 조사 중의 바이어스 패턴과 반대되는 패턴(반대 패턴)에서의 실패의 개수를 연결한 것이다.

[0052] 도 3 내지 도 5의 실험 결과는, 구체적으로 10 krad(SiO₂)/시간의 선량률(dose rate)을 갖는 Co-60 동위 원소를 방사선 소스로 이용하여 반도체 저장 장치(1) 또는 셀(2)에 방사선을 조사하면서, 홀드, 읽기 및 쓰기 실패 횟수를 4시간마다 기록한 것이다. 바이어스된 방사선 조사가 수행되는 동안, 스트레스 전압은 기술 명목상의 전압인 1V로 유지시킨 상태에서 획득된 것이다(즉, V_{dd, 스트레스}=1V). 또한, 실패 횟수가 보다 명확하게 계수될 수 있도록, 홀드 동작에 대한 테스트 전압은 0.35V로 설정되고, 읽기 동작에 대한 테스트 전압 및 쓰기 동작에 대한 테스트 전압은 동일하게 0.5V로 설정되었다(즉, V_{dd, 홀드}=0.35V, V_{dd, 읽기}=0.5V 및 V_{dd, 쓰기}=0.5V). 홀드 안정

성(hold stability) 또한, 주파수는 모두 동일하게 100 KHz로 설정되었다. 분석은 2 msec동안 $V_{dd, 홀드}$ 의 전압으로 정지된 후에 수행되었다. 또한, 조사 바이어스 의존성(irradiation bias dependency)은, 방사선 조사가 수행되는 동안 제1 및 제3 전계 효과 트랜지스터(10, 30)는 로우(low) 상태($Q=0$)로 유지시키고, 제2 및 제4 전계 효과 트랜지스터(20, 40)는 하이(high) 상태($Q=1$)로 유지시킨 후, 분석되었다. 여기서, 로우 상태는 제1 전계 효과 트랜지스터(10)가 오프 상태(Poff)이고, 이에 대응하는 제3 전계 효과 트랜지스터(30)가 온 상태(Non)인 경우를 포함한다. 하이 상태의 전계 효과 트랜지스터(20, 40)는, 상호 반대로 바이어스 된다. 예를 들어, 제2 전계 효과 트랜지스터(20)가 온 상태이면 제4 전계 효과 트랜지스터(40)는 오프 상태로 바이어스 된다. 한편, 분석 과정에 있어서, 스트레스 모드로 동작하는 동안 우발적으로 발생하는 비트 플립은, 20분마다 주기적으로 소정의 스트레스 패턴으로 데이터를 스크러빙(scrubbing)함으로써 보상될 수 있다. 스크러빙 및 계수 실패 비트를 위해 이용된 총 시간은 10분을 초과하지 않도록 설계되었다. 이에 따라, 스크러빙이나 계수 실패 비트에 소요된 시간은, 20시간의 스트레스 시간과 비교하여 무시할 수 있게 된다. 물론 설계자나 실험자의 이와 같은 실험 조건은 상황에 따라 변경 가능하다.

[0053] 도 3 내지 도 5를 참조하면, 두 가지 데이터 패턴(즉, 스트레스 패턴과 반대 패턴)에서의 총 이온화 선량에 대한 바이어스 의존성 판단이 가능하다. 모든 동작(홀드 동작, 읽기 동작 및 쓰기 동작)에서의 실패 개수는 총 이온화 선량에 따라 증가하는 경향을 보인다. 도 3 내지 도 5에 도시된 실선 및 점선을 참조하면, 모든 동작에서의 실패의 개수는 데이터 패턴에 의존한다. 그러나, 읽기 동작의 경우에는, 쓰기 동작이나 홀드 동작과는 상이하게, 반대 패턴 하에서 수행된 경우에서의 실패는 스트레스 패턴과 유사하게 측정되고, 스트레스 패턴 하에서 수행된 경우에서의 실패는 반대 패턴과 유사하게 측정되었다. 이런 점에서, 홀드 실패 시나 읽기 실패 시에는 임프린트 효과(imprint effect)가 나타나는 반면에, 도 5를 참조하면 쓰기 실패에서는 역 임프린트 효과(inverse imprint effect)가 나타난다는 것을 알 수 있다. 다시 말해서, 홀드 및 읽기 안정성에 대해서는 임프린트 효과가 관찰되는 반면에, 쓰기 안정성에 대해서는 역 임프린트 효과가 관찰된다.

[0054] 이 경우, T-카드 시뮬레이션을 수행하면, 상술한 측정 결과의 해석이 가능해진다.

[0055] 도 6 내지 도 9는, 실리콘 온 인슐레이터 공정을 이용한 정적 메모리 셀의 반도체 저장 장치(1)가 1의 값을 저장한 상태인 경우에서의 각각의 전계 효과 트랜지스터(10 내지 40)의 T-카드 시뮬레이션 결과를 도시한 것으로, 구체적으로 오프 상태의 제1 전계 효과 트랜지스터(10), 온 상태의 제2 전계 효과 트랜지스터(20), 온 상태의 제3 전계 효과 트랜지스터(30) 및 오프 상태의 제4 전계 효과 트랜지스터(40)의 전기장에 대한 T-카드 시뮬레이션 결과의 일례를 각각 순차적으로 도시한 도면이다. 각각의 색상은 전기장의 크기를 나타낸 것으로, 적색에 가까울수록 전기장의 세기가 상대적으로 강함을 의미하고, 청색에 가까울수록 전기장의 세기가 상대적으로 약함을 의미한다.

[0056] 도 6에 도시된 바에 의하면, 제1 전계 효과 트랜지스터(10, p 전계 효과 트랜지스터)가 오프 상태인 경우, 제1 전계 효과 트랜지스터(10)의 n형 기판(11), 소스(13) 및 게이트(15) 각각에 1V의 전압이 인가되고, 드레인(14)에 0V의 전압이 형성될 수 있다. 이 경우, 전기장은 매립 산화물(12) 내에서 n형 기판(11) 및 소스(13)에 인접한 구역이나 그 주변에서 상대적으로 강하게 형성되며, 드레인(14)에 인접한 구역이나 그 주변에서는 상대적으로 약하게 형성된다. 다시 말해서, 드레인(14)에 가까울수록 전기장의 세기가 약해진다.

[0057] 온 상태의 제2 전계 효과 트랜지스터(20, p 전계 효과 트랜지스터)의 경우(예를 들어, n형 기판(21), 소스(23) 및 드레인(24)에 1V의 전압이 인가되고, 게이트(25)에는 0V의 인가된 경우), 도 7에 도시된 바와 같이, 전기장은 매립 산화물(22) 내에서 특정한 방향을 나타내지 않고 전체적으로 균일하게 분포하게 된다.

[0058] 오프 상태의 제3 전계 효과 트랜지스터(30, n 전계 효과 트랜지스터)의 경우에는, 도 8에 도시된 바와 같이, 전기장은 매립 산화물(32) 내에서 방향성 없이 대체적으로 균일한 분포를 나타낸다. 오프 상태에서는, 제3 전계 효과 트랜지스터(30)의 p형 기판(31), 소스(33) 및 드레인(34) 각각에는 0V의 전압이 인가되고, 게이트(35)에만 1V의 전압이 인가되었을 수 있다.

[0059] 한편, 도 9에 도시된 바와 같이, 온 상태로 설정된 제4 전계 효과 트랜지스터(40, n 전계 효과 트랜지스터)의 매립 산화물(42) 내의 전기장은 p형 기판(41) 및 드레인(44)이 위치한 구역이나 그 주변에서는 상대적으로 강하게 형성되고, 반대로 소스(43)가 위치한 구역이나 그 주변에서는 상대적으로 약하게 형성된다. 다시 말해서, 소스(43)에 가까울수록 전기장의 세기가 약해진다. 이 경우, 제4 전계 효과 트랜지스터(40)의 p형 기판(41), 소스(43) 및 게이트(45)에는 0V의 전압이, 드레인(44)에는 1V의 전압이 인가되었을 수 있다.

[0060] 다시 말해서, 온 상태의 제2 전계 효과 트랜지스터(20, 즉, 온 상태의 p 전계 효과 트랜지스터)와 온 상태의 제

3 단계 효과 트랜지스터(30, 즉, 온 상태의 n 단계 효과 트랜지스터) 각각에 있어서 매립 산화물의 전기장의 방향은 서로 반대로 형성되게 된다.

[0061] 산화물 내(12, 22, 32, 42)에 전자 정공 쌍이 방사선에 의해 생성되는 경우, 정공은 고정된 산화물 전하(fixed oxide charge, Not)로 유지되는 경향이 있다. 반면에 전자는 가벼운 유효 질량으로 인해 소멸된다. 그러므로, 상술한 바를 고려하면, 전기장은 백 채널의 인터페이스 근처에서 홀들을 유인하게 되고, 이에 따라 총 이온화 선량의 효과가 가속화됨을 알 수 있다.

[0062] 총 이온화 선량에 영향을 주는 전기장의 방향은, 채널의 중간에서 수직 방향으로 절단하여 획득된 일 면에 대한 에너지 밴드 다이어그램에 의해 보다 명확하게 설명될 수 있다.

[0063] 도 10은 방사선 조사에 의해 바이어스된 조건 하에서 온 상태 및 오프 상태 각각의 n 단계 효과 트랜지스터 및 p 단계 효과 트랜지스터에 대한 에너지 밴드 다이어그램의 일례이다. 도 10에서, x축은 높이(nm)를, y축은 에너지 밴드(eV)를 의미한다. 또한, 적색선은 p 단계 효과 트랜지스터(일례로 제1 단계 효과 트랜지스터(10) 및 제2 단계 효과 트랜지스터(20))에서의 에너지 밴드를 의미하고, 청색선은 n 단계 효과 트랜지스터(일례로 제3 단계 효과 트랜지스터(30) 및 제4 단계 효과 트랜지스터(40))에서의 에너지 밴드를 의미한다. 실선은 온 상태를, 점선은 오프 상태를 의미한다.

[0064] 도 10에 도시된 바를 참조하면, p 단계 효과 트랜지스터(일례로 제2 단계 효과 트랜지스터(20))의 에너지 밴드는 양전하가 매립 산화물(12, 22)의 인터페이스 주변에 요구하는 정도로 축적되도록 형성된다. 구체적으로 예를 들어, n 단계 효과 트랜지스터(일례로 제3 단계 효과 트랜지스터(30) 및 제4 단계 효과 트랜지스터(40))의 전위 그래디언트는 온-상태나 오프-상태 여부에 무관하게 홀을 인터페이스로부터 멀리 밀어내도록 형성되는 반면에, 제2 단계 효과 트랜지스터(20)의 매립 산화물(22)의 전위 그래디언트는 홀을 백 채널 계면에 가깝게 끌어 당기도록 형성된다. 그러므로, 온-상태 및 오프-상태 양자에 대해서 제1 및 제2 단계 효과 트랜지스터(10, 20)는 제3 및 제4 단계 효과 트랜지스터(30, 40)의 온-상태 및 오프-상태보다 더욱 열화 된다. 이런 점을 고려하면, 실리콘 온 인슐레이터 내의 제1 및 제2 단계 효과 트랜지스터(10, 20)는, 제3 및 제4 단계 효과 트랜지스터(30, 40)보다 구동 전류의 저하가 중요한 인자로 작용하게 된다.

[0065] 도 11은 온 상태의 p 단계 효과 트랜지스터 및 오프 상태의 p 단계 효과 트랜지스터에 대해 매립 산화물 인터페이스 주변의 전기장의 수직 성분의 일례를 도시한 그래프 도면이다. 구체적으로 도 11은 소스, 채널 및 드레인 방향(다시 말해서, 채널의 길이 방향)으로 절단한 매립 산화물 인터페이스의 절단면 주변의 전기장(F_y)의 수직 성분을 도시한 것이다. 도 11에서 x축은 폭(nm)을, y축은 에너지 밴드($\times 10^6$ V/cm)를 의미한다. 또한, 실선은 온 상태의 p 단계 효과 트랜지스터(일례로 제2 단계 효과 트랜지스터(20))에 대한 전기장의 수직 성분을 의미하고, 점선은 오프 상태의 p 단계 효과 트랜지스터(일례로 제1 단계 효과 트랜지스터(10))에 대한 전기장의 수직 성분을 의미한다.

[0066] 도 11에 도시된 바에 의하면, 오프 상태의 p 단계 효과 트랜지스터(10)에 대한 전기장의 수직 성분은, 온 상태의 p 단계 효과 트랜지스터(20)에 대한 전기장의 수직 성분보다, 소스(13, 23) 근처에서는 상대적으로 강하나, 드레인(14, 24) 근처에서는 상대적으로 더 약하게 형성된다. 이 경우, 도 3 및 도 4의 임프린트 효과를 고려하면, 온 상태의 p 단계 효과 트랜지스터(20)기 오프 상태의 p 단계 효과 트랜지스터(10)보다 스트레스 조건이 상대적으로 나빠지게 된다. 또한, 온 상태의 p 단계 효과 트랜지스터(20)의 풀업(pull-up) 강도는, p 단계 효과 트랜지스터(10)의 풀업 강도보다 상대적으로 약화된다.

[0067] 도 12는 방사선 조사 및 방사선 비조사 사이의 전압 전달 곡선(VTC, Voltage Transfer Curve)의 혼합 모드 시뮬레이션 결과에 대한 일례를 도시한 그래프 도면이다. 도 12에서 흑색은 방사선 조사가 없는 경우에서의 반도체 저장 장치(1) 또는 셀(2) 내의 단계 효과 트랜지스터(10 내지 40)에 대한 전압 전달 곡선의 일례이고, 적색은 방사선이 조사된 상황에서의 전압 전달 곡선의 일례이다. 또한, 전압 전달 곡선 $H(VTC_H)$ 및 전압 전달 곡선 $L(VTC_L)$ 은 각각 온 상태의 p 단계 효과 트랜지스터(20)에 연결된 하이 출력에서의 전압 전달 곡선 및 오프 상태의 p 단계 효과 트랜지스터(10)에 연결된 로우 출력에서의 전압 전달 곡선을 의미한다.

[0068] 홀드 안정성 및 읽기 안정성은, 총 이온화 선량에 의해 왜곡되는 홀드 정적 잡음 마진(SNM, Static Noise Margin) 및 읽기 정적 잡음 마진과 상관 관계를 갖고 있다. 이와 같은 정적 잡음 마진의 왜곡은 벌크 에스램(bulk SRAM)에서도 발견되나, 그 동작 메커니즘은 완전 공핍형 실리콘 온 인슐레이터 에스램과는 상이하다. 벌크 에스램의 경우, 총 이온화 선량은 n 단계 효과 트랜지스터의 구동 및 누설 전류를 증가시켜 풀 다운(pull-down)을 강화시키는 경향이 있다.

- [0069] 도 12에 도시된 바와 같이, 전압 전달 곡선에 대해 혼합 모드 시뮬레이션을 수행하면, 이와 같은 정적 잡음 마진의 왜곡을 시각화할 수 있으며, 이에 따라 왜곡의 직관적이고 구체적인 파악이 가능해진다. 생성된 양전하 밀도는 총 이온화 선량에 비례한다. 이런 이유로, 매립 산화물(12, 22)의 영역 내에 더 높은 양전하가 추가되면, 성능이 더욱 저하되게 된다. 따라서, 도 12에 도시된 것처럼, 온 상태의 p 전계 효과 트랜지스터(20)에 의해 기인한 전압 전달 곡선 H의 좌측 편이는, 오프 상태의 p 전계 효과 트랜지스터(10)에 의해 기인한 전압 전달 곡선 L의 하측 편이보다 더 크게 되며, 이는 정적 잡음 마진 L보다 더 작은 정적 잡음 마진 H의 원인이 된다. 이와 같은 점 때문에, 도 3 및 도 4에 도시된 바와 같이, 홀드 및 읽기 비트 실패는 총 이온화 경향에 따라 증가하게 된다.
- [0070] 도 13은 고정 산화물 밀도 전압을 갖는 셀에 있어서 1 및 0의 쓰기에 대한 과도 출력 곡선(Transient output curve)의 일례를 도시한 그래프 도면이다. 도 13에서 흑색 선은 온 상태 및 오프 상태의 전계 효과 트랜지스터의 매립 산화물 내에서 동일한 고정된 산화물 전하를 갖는 셀에 대해 1 및 0을 쓰는 경우에서의 과도 출력 곡선이고, 적색 선은 온 상태 및 오프 상태의 전계 효과 트랜지스터의 매립 산화물 내에서 더 큰 고정된 산화물 전하를 갖는 셀에 대해 1 및 0을 쓰는 경우에서의 과도 출력 곡선이다.
- [0071] 쓰기 실패는 도 13와 도시된 바와 같이 타이밍 시뮬레이션을 통해 분석할 수 있다. 상술한 바와 동일하게, p 전계 효과 트랜지스터(10, 20)는 완전 공핍형 실리콘 온 인슐레이터 내에서 총 이온화 선량으로 인해 약화되는 경향이 있다. 홀드 안정성 및 읽기 안정성과는 상이하게, 약화된 p 전계 효과 트랜지스터(10, 20)는 기록 안정성을 향상시키는 것으로 예상되었다. 이는 6 트랜지스터 에스램의 쓰기 안정성은, 풀업 p 전계 효과 트랜지스터와 액세스 n 전계 효과 트랜지스터 사이의 경쟁에 의해 결정된다고 보기 때문이었다. 그러나 상술한 타이밍 시뮬레이션 결과에 의하면, 약화된 p 전계 효과 트랜지스터(10, 20)는 0에서 1로 기록된 값을 변경하는 메모리 노드의 상승 시간을 저하하게 되므로, 이와 같은 예상과 달리 쓰기 안정성이 저하되는 것으로 나타나게 된다. 또한, 온 상태의 p 전계 효과 트랜지스터(20)의 풀업 강도는 오프 상태의 p 전계 효과 트랜지스터(10)의 풀업 강도보다 더 약해지게 된다. 결과적으로, 온 상태의 p 전계 효과 트랜지스터(20)의 드레인 노드를 하이 상태로 만드는 데 요구되는 상승 시간이, 오프 상태의 p 전계 효과 트랜지스터(10)의 드레인 노드를 하이 상태로 만드는 데 요구되는 상승 시간보다 더 느려지게 되고, 이에 따라서 도 5에 도시된 바와 같이, 쓰기 과정에서의 역 임프린트 효과가 발생하게 된다.
- [0072] 총 이온화 선량은 에스램의 안정도를 저하시킨다. 특히 28nm 완전 공핍형 실리콘 온 인슐레이터를 이용하는 에스램에 대한 총 이온화 선량 효과는, 벌크 시모스에 대한 총 이온화 선량 효과와 비교해서 더욱 중요한 의미를 갖는다. 왜냐하면 완전 공핍형 실리콘 온 인슐레이터는, 상당한 홀을 수용 가능한 수십 나노미터의 두께를 갖는 매립 산화물을 이용하나, 벌크 시모스(bulk CMOS)의 게이트 산화물은 서브 마이크론 기술을 이용하면 매우 얇게 형성되기 때문이다.
- [0073] 종래에는 이와 같은 에스램의 안정도 저하는, 총 이온화 선량이 n 전계 효과 트랜지스터에 주로 영향에 기인한 것으로 믿겨졌었다. 그러나, 상술한 분석 결과에 따르면, 종래의 믿음과는 다르게, 총 이온화 선량에 의해 p 전계 효과 트랜지스터(10, 20)가 현저하게 약화된다. 다시 말해서, 완전 공핍형 실리콘 온 인슐레이터의 p 전계 효과 트랜지스터에 대한 총 이온화 선량 효과는 n 전계 효과 트랜지스터에 대한 총 이온화 선량 효과보다 더 강하게 나타난다. 또한, 약화된 p 전계 효과 트랜지스터는 홀드 및 읽기의 정적 잡음 마진을 감소시켜 홀드 및 읽기의 안정성을 감소시키며, 또한, 쓰기 작업의 지연을 증가시켜 쓰기 안정성도 마찬가지로 약화시킬 수 있다.
- [0074] 상술한 바와 같이, 반도체 기억 장치(1)는 두 개의 p 전계 효과 트랜지스터(10, 20)와, 두 개의 n 전계 효과 트랜지스터(30, 40)를 포함할 수 있으며, 적어도 하나의 p 전계 효과 트랜지스터(10, 20)가 총 이온화 선량에 의해 전반적으로 영향을 받는다. 이에 따라 홀드, 읽기 및 쓰기 안정성은 상대적으로 저하된다. 이와 같은 점을 고려하면, 총 이온화 선량에 대해 강인하여 내방사선 성능이 우수한 반도체 기억 장치(1)를 설계 및 제작할 수 있게 된다. 또한, 이와 같은 반도체 기억 장치(1)를 기반으로 총 이온화 선량에 의한 영향력이 상대적으로 적은 전자 회로의 구축 역시 가능하다.
- [0075] 이하 도 14를 참조하여 반도체 기억 장치의 총 이온화 선량 효과를 측정하는 방법의 일 실시예에 대해서 설명한다.
- [0076] 도 14는 반도체 기억 장치의 총 이온화 선량 효과를 측정하는 방법의 일 실시예에 대한 흐름도이다.
- [0077] 도 14에 도시된 바에 의하면 반도체 기억 장치의 총 이온화 선량 효과를 측정하기 위하여, 먼저 방사선을 셀 또는 셀을 포함하는 반도체 저장 장치에 조사할 수 있다(101).

- [0078] 이 경우, 셀은 도 1에 도시된 바와 같이 네 개의 전계 효과 트랜지스터를 포함할 수 있으며, 보다 구체적으로는 두 개의 p 전계 효과 트랜지스터 및 두 개의 n 전계 효과 트랜지스터와 각각 연결되는 두 개의 n 전계 효과 트랜지스터를 포함할 수 있다. 상술한 바와 같이, 두 개의 p 전계 효과 트랜지스터는 제1 전계 효과 트랜지스터 및 제2 전계 효과 트랜지스터를 포함할 수 있으며, 두 개의 n 전계 효과 트랜지스터는 제1 전계 효과 트랜지스터에 대응하는 제3 전계 효과 트랜지스터 및 제2 전계 효과 트랜지스터에 대응하는 제4 전계 효과 트랜지스터를 포함할 수 있다. 또한, 일 실시예에 의하면, 제1 전계 효과 트랜지스터 및 제4 전계 효과 트랜지스터는 오프 상태로 설정되고, 제2 전계 효과 트랜지스터 및 제3 전계 효과 트랜지스터는 온 상태로 설정될 수 있다. 전계 효과 트랜지스터(들)은 완전 공핍형 실리콘 온 인슐레이터를 이용하여 구현된 것일 수 있다.
- [0079] 순차적으로 방사선의 조사에 따라 상기 두 개의 p 전계 효과 트랜지스터 및 상기 두 개의 n 전계 효과 트랜지스터에서 발생한 실패를 주기적으로 또는 비주기적으로 계수한다. 이 경우, 실패는 홀드 동작, 읽기 동작 및 쓰기 동작 중 적어도 하나의 동작 과정에서 측정된다(102).
- [0080] 또한, 실패의 측정은, 상술한 스트레스 패턴을 기반으로 방사선 조사에 의해 p 전계 효과 트랜지스터 및 n 전계 효과 트랜지스터에서 발생한 실패를 계수하거나 및/또는 상술한 반대 패턴을 기반으로 방사선의 조사에 따라 p 전계 효과 트랜지스터 및 n 전계 효과 트랜지스터에서 발생한 실패를 계수하여 수행될 수 있다.
- [0081] 이와 같은 측정에 따라서, 각각의 동작은 총 이온화 선량에 의존하면서도, 홀드 실패 시나 읽기 실패 시에는 임프린트 효과가 발생하고, 반대로 쓰기 실패에서는 역 임프린트 효과(inverse imprint effect)가 나타남을 알 수 있게 된다.
- [0082] 또한, 총 이온화 선량 효과의 측정 방법은, 네 개의 전계 효과 트랜지스터 각각에 대해서 T-카드 시뮬레이션을 수행하는 단계를 더 포함할 수도 있다(103). 이와 같은 T-카드 시뮬레이션 결과에 따라서 온 상태의 전계 효과 트랜지스터(일례로 도 1의 제2 전계 효과 트랜지스터)와 온 상태의 n 전계 효과 트랜지스터(일례로 도 1의 제3 전계 효과 트랜지스터) 각각의 매립 산화물 내에 형성된 전기장은 서로 반대 방향으로 형성됨을 알 수 있게 된다.
- [0083] 또한, 총 이온화 선량 효과의 측정 방법은, 네 개의 전계 효과 트랜지스터 중 적어도 하나에 대해서 에너지 밴드 다이어그램을 획득하는 단계를 더 포함할 수도 있다(104). 이 경우, 에너지 밴드 다이어그램은, 적어도 하나의 전계 효과 트랜지스터에 대해 채널의 중간에서 수직 방향으로 절단한 일 면에 대한 에너지 밴드를 나타내는 것일 수 있다. 에너지 밴드 다이어그램은, 상술한 네 개의 전계 효과 트랜지스터 중 적어도 하나를 온 상태 및 오프 상태 중 적어도 하나의 상태로 설정한 후에 수행될 수도 있다.
- [0084] 또한, 방사선 조사의 경우 및 방사선 비조사의 경우에 대하여 전압 전달 곡선에 대해 혼합 모드 시뮬레이션이 수행될 수도 있다(105). 혼합 모드 시뮬레이션에 의하면, 총 이온화 선량에 의해 왜곡되는 정적 잡음 마진의 왜곡을 시각적으로 파악할 수 있게 된다. 여기서 정적 잡음 마진은 홀드 정적 잡음 마진 및 읽기 정적 잡음 마진 중 적어도 하나를 포함할 수 있다.
- [0085] 뿐만 아니라, 상기 셀이 고정 산화물 밀도 전압을 갖는 경우에 대해서, 타이밍 시뮬레이션을 통한 1 및 0의 쓰기에 대한 과도 출력 곡선을 더 획득할 수도 있다(106). 타이밍 시뮬레이션 및 과도 출력 곡선에 의하면, 온 상태의 p 전계 효과 트랜지스터의 드레인 노드를 하이 상태로 만들기 위해 필요한 상승 시간이 지연되어 쓰기 과정에서 역 임프린트 효과가 발생됨을 알 수 있게 된다.
- [0086] 도 14에는 홀드, 읽기, 쓰기 동작에 따른 실패 측정 단계(102), T-카드 시뮬레이션 수행 단계(103), 에너지밴드의 획득 및 분석 단계(104), 혼합 모드 시뮬레이션의 수행 단계(105) 및 타이밍 시뮬레이션에 따른 과도 출력 곡선의 획득 단계(106)가 순차적으로 수행되는 것으로 기재되어 있으나, 이들 각 단계(102 내지 106)의 처리 순서는 반드시 이에 한정되는 것은 아니다. 각각의 단계(102 내지 106)는 도시된 것과는 상이하게 다른 단계(102 내지 106)에 대해 선행하여 수행되거나 및/또는 동시에 수행되는 것도 가능하다. 예를 들어, T-카드 시뮬레이션 수행 단계 내지 타이밍 시뮬레이션에 따른 과도 출력 곡선의 획득 단계(106) 중 적어도 하나는, 상술한 각 동작에서의 실패의 계수 단계(102)와 동시에 수행될 수도 있고, 및/또는 이에 선행하여 수행될 수도 있다.
- [0087] 상술한 총 이온화 선량 효과의 측정 방법은 컴퓨터 프로그램의 형태로 구현될 수도 있다. 또한, 총 이온화 선량 효과의 측정 방법을 구현한 프로그램은 프로그램을 기록 가능하고, 컴퓨터 장치에 의해 호출 및 실행될 수 있는 기록 매체에 저장되어 있을 수도 있다.
- [0088] 이상 반도체 기억 장치, 상기 반도체 기억 장치를 이용한 전자 회로 장치 및 상기 장치에 대한 총 이온화 선량

효과의 측정 방법의 여러 실시예에 대해 설명하였으나, 반도체 기억 장치, 상기 반도체 기억 장치를 이용한 전자 회로 장치 및 상기 장치에 대한 총 이온화 선량 효과의 측정 방법은 오직 상술한 실시예에 한정되는 것은 아니다. 해당 기술 분야에서 통상의 지식을 가진 자가 상술한 실시예를 기초로 수정 및 변형하여 구현 가능한 다양한 장치나 방법 역시 상술한 장치 및 방법의 일례가 될 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성 요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나 다른 구성 요소 또는 균등물에 의하여 대치되거나 또는 치환되더라도 상술한 반도체 기억 장치, 상기 반도체 기억 장치를 이용한 전자 회로 장치 및 상기 장치에 대한 총 이온화 선량 효과의 측정 방법의 일 실시예가 될 수 있다.

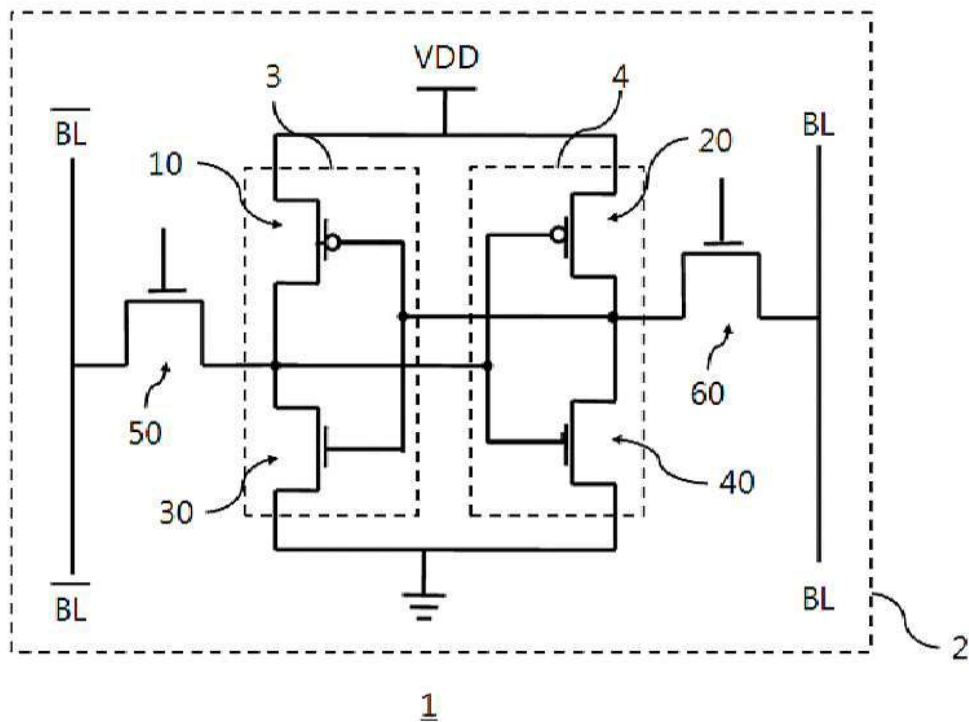
부호의 설명

[0089]

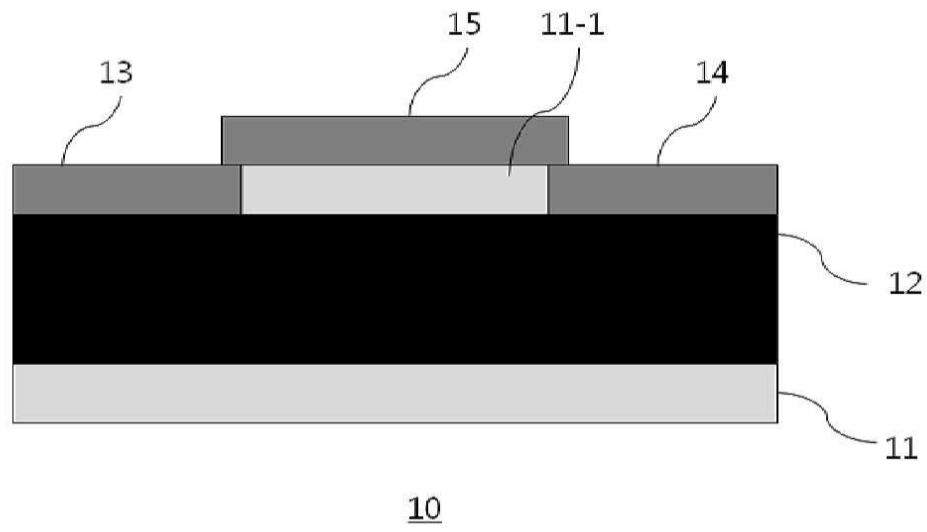
- | | |
|--------------------|--------------------|
| 1: 반도체 저장 장치 | 2: 셀 |
| 10: 제1 전계 효과 트랜지스터 | 20: 제2 전계 효과 트랜지스터 |
| 30: 제3 전계 효과 트랜지스터 | 40: 제4 전계 효과 트랜지스터 |
| 50: 제5 전계 효과 트랜지스터 | 60: 제6 전계 효과 트랜지스터 |

도면

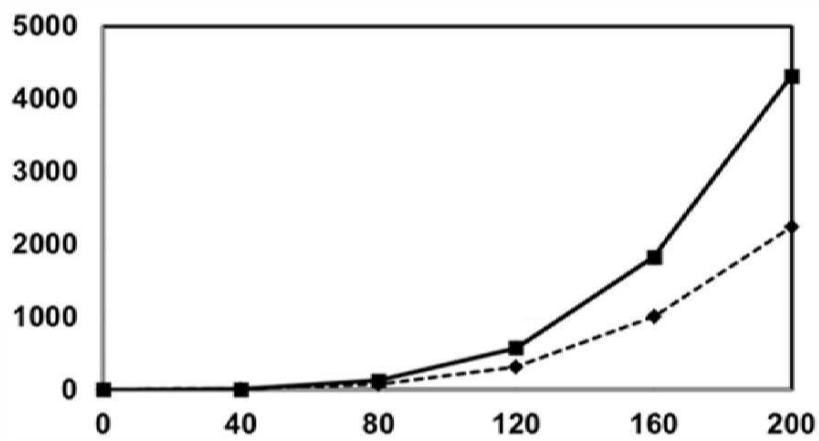
도면1



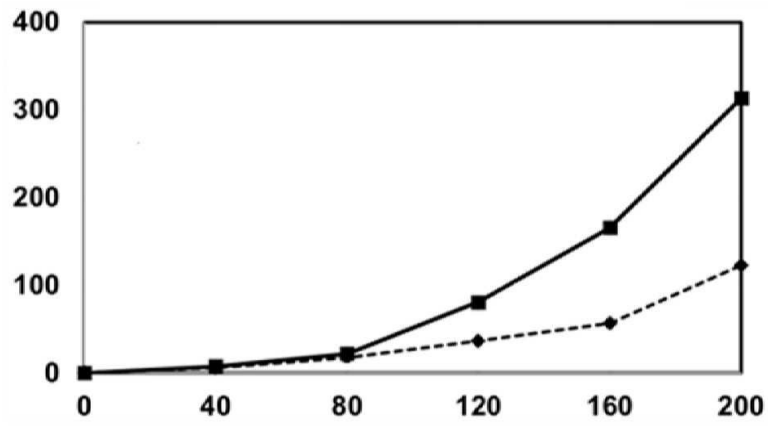
도면2



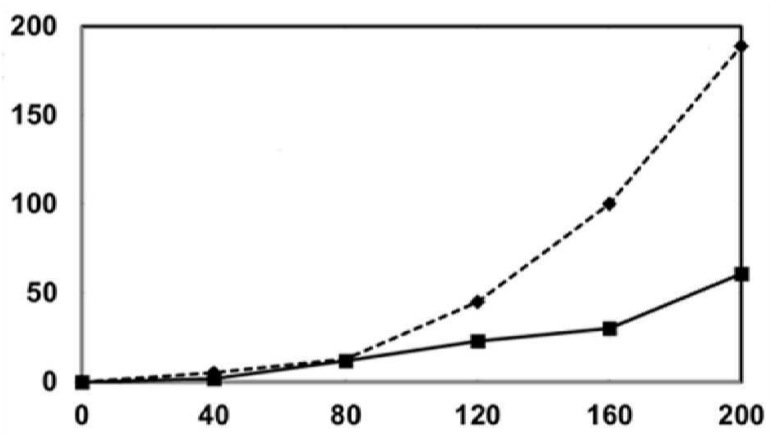
도면3



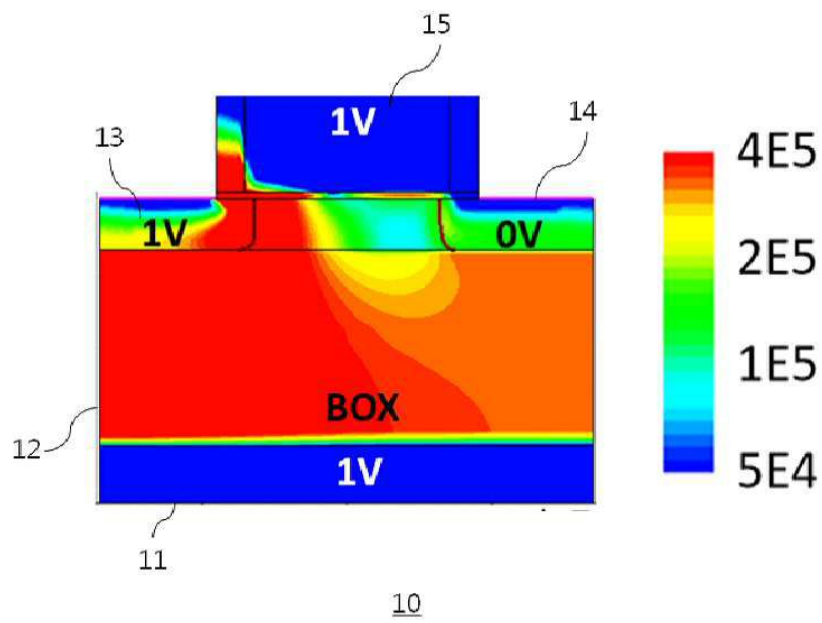
도면4



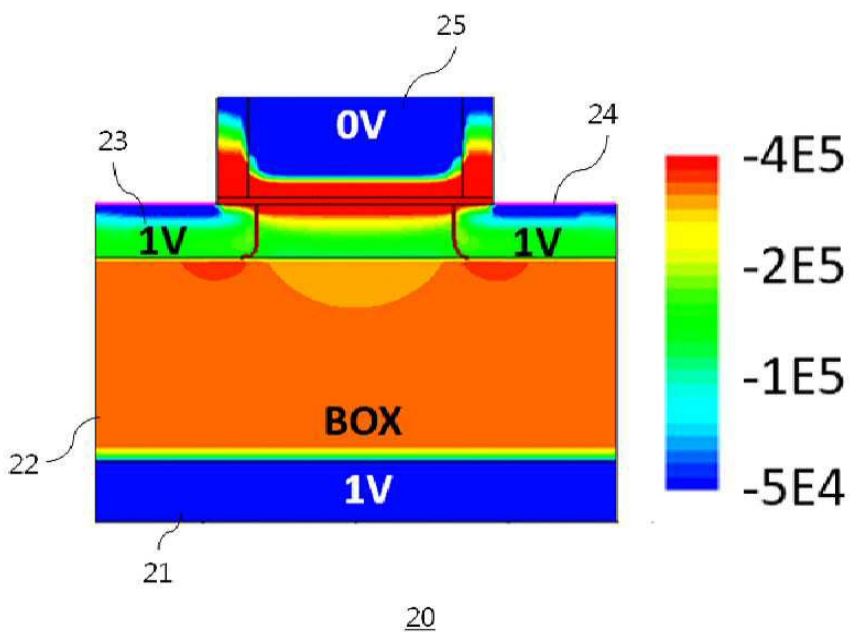
도면5



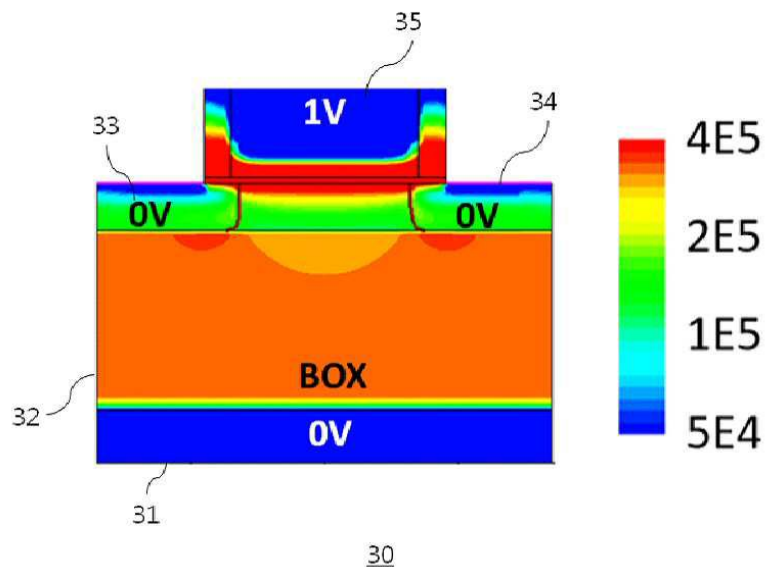
도면6



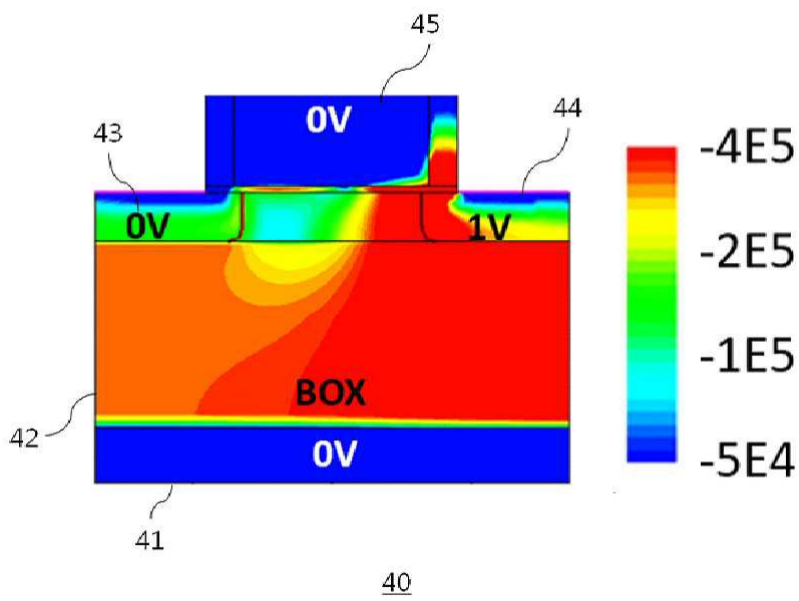
도면7



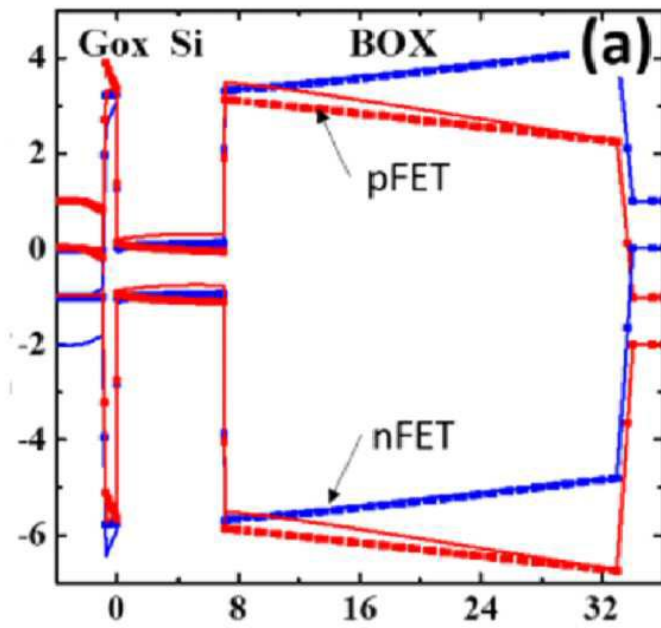
도면8



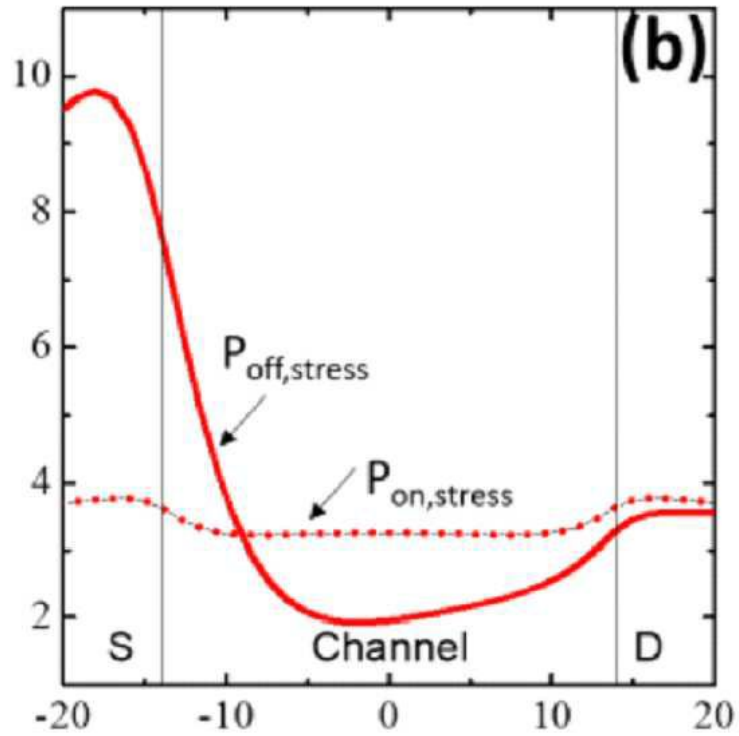
도면9



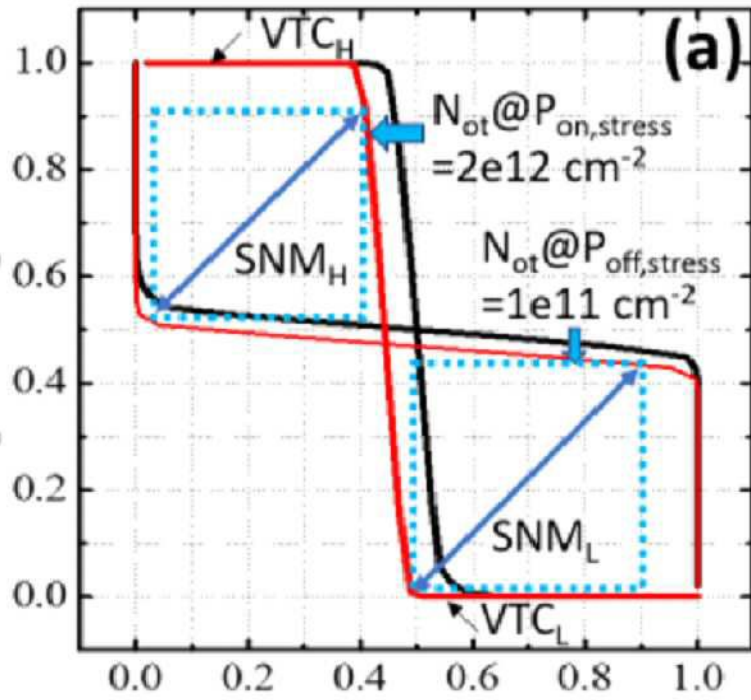
도면10



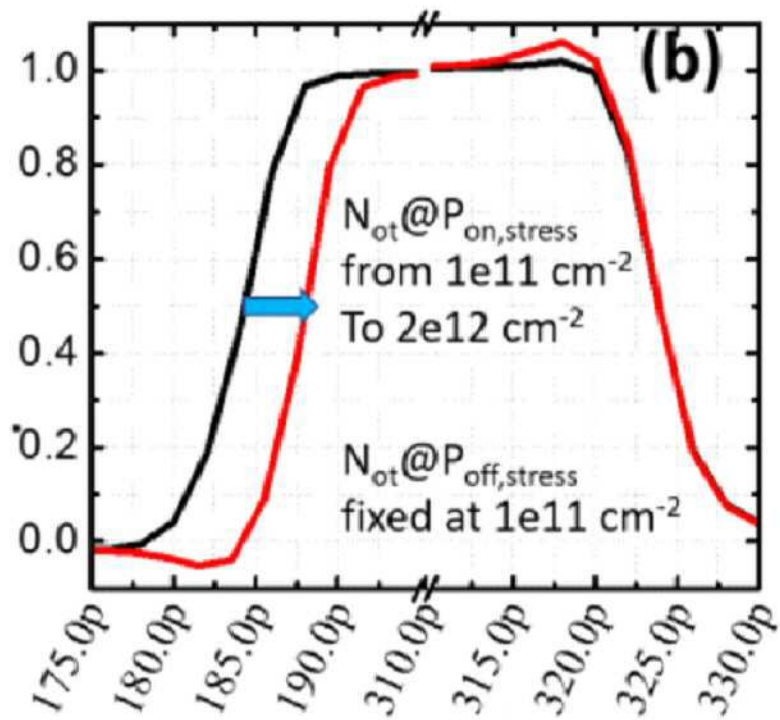
도면11



도면12



도면13



도면14

