



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202335185 A

(43)公開日：中華民國 112 (2023) 年 09 月 01 日

(21)申請案號：112103680

(22)申請日：中華民國 112 (2023) 年 02 月 02 日

(51)Int. Cl. : H01L21/822 (2006.01)

H01L21/8234(2006.01)

H01L27/115 (2017.01)

(30)優先權：2022/02/10 日本

2022-019463

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；大貫達也 ONUKI, TATSUYA (JP)；加藤清 KATO, KIYOSHI (JP)；國武寬司 KUNITAKE, HITOSHI (JP)；方堂涼太 HODO, RYOTA (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：15 項 圖式數：54 共 277 頁

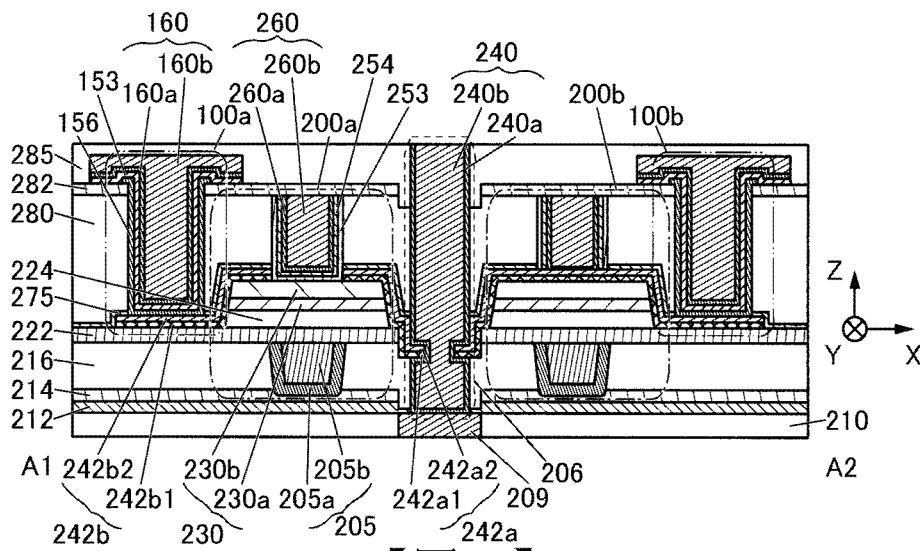
(54)名稱

記憶體裝置

(57)摘要

提供一種能夠實現微型化或高積體化的記憶體裝置。該記憶體裝置包括：包括電晶體及電容器的記憶單元；第一絕緣體；第一絕緣體上的第二絕緣體；以及第二絕緣體上的第三絕緣體，其中，電晶體包括：第一絕緣體上的氧化物；氧化物上的第一導電體及第二導電體；氧化物上的第四絕緣體；以及第四絕緣體上的第三導電體，第二絕緣體具有第一開口，第四絕緣體及第三導電體配置在第一開口內，第二絕緣體及第三絕緣體具有第二開口，電容器在第二開口內包括接觸於第二導電體的頂面的第四導電體、第四導電體上的第五絕緣體以及第五絕緣體上的第五導電體，第二絕緣體具有第三開口，第一絕緣體具有第四開口，第三絕緣體具有第五開口，從平面看時第三開口與第四開口的至少一部分及第五開口的至少一部分重疊，在第三開口內配置第六導電體及第一導電體的一部分，並且，第六導電體具有接觸於第一導電體的頂面的一部分及側面的一部分的區域。

指定代表圖：



【圖1B】

符號簡單說明：

- 100a:電容器
- 100b:電容器
- 153:絕緣體
- 156:導電體
- 158:開口
- 160:導電體
- 160a:導電體
- 160b:導電體
- 200a:電晶體
- 200b:電晶體
- 205:導電體
- 205a:導電體
- 205b:導電體
- 206:開口
- 209:導電體
- 210:絕緣體
- 212:絕緣體
- 214:絕緣體
- 216:絕緣體
- 222:絕緣體
- 224:絕緣體
- 230:氧化物
- 230a:氧化物
- 230b:氧化物
- 240:導電體
- 240a:導電體
- 240b:導電體
- 242a:導電體
- 242a1:導電體
- 242a2:導電體
- 242b:導電體
- 242b1:導電體
- 242b2:導電體
- 253:絕緣體
- 254:絕緣體
- 258:開口

260:導電體

260a:導電體

260b:導電體

275:絕緣體

280:絕緣體

282:絕緣體

285:絕緣體

【發明摘要】

【中文發明名稱】

記憶體裝置

【中文】

提供一種能夠實現微型化或高積體化的記憶體裝置。該記憶體裝置包括：包括電晶體及電容器的記憶單元；第一絕緣體；第一絕緣體上的第二絕緣體；以及第二絕緣體上的第三絕緣體，其中，電晶體包括：第一絕緣體上的氧化物；氧化物上的第一導電體及第二導電體；氧化物上的第四絕緣體；以及第四絕緣體上的第三導電體，第二絕緣體具有第一開口，第四絕緣體及第三導電體配置在第一開口內，第二絕緣體及第三絕緣體具有第二開口，電容器在第二開口內包括接觸於第二導電體的頂面的第四導電體、第四導電體上的第五絕緣體以及第五絕緣體上的第五導電體，第二絕緣體具有第三開口，第一絕緣體具有第四開口，第三絕緣體具有第五開口，從平面看時第三開口與第四開口的至少一部分及第五開口的至少一部分重疊，在第三開口內配置第六導電體及第一導電體的一部分，並且，第六導電體具有接觸於第一導電體的頂面的一部分及側面的一部分的區域。

【指定代表圖】圖 1B
【代表圖之符號簡單說明】

- 100a:電容器
- 100b:電容器
- 153:絕緣體
- 156:導電體
- 158:開口
- 160:導電體
- 160a:導電體
- 160b:導電體
- 200a:電晶體
- 200b:電晶體
- 205:導電體
- 205a:導電體
- 205b:導電體
- 206:開口
- 209:導電體
- 210:絕緣體
- 212:絕緣體
- 214:絕緣體
- 216:絕緣體
- 222:絕緣體
- 224:絕緣體
- 230:氧化物
- 230a:氧化物

230b:氧化物

240:導電體

240a:導電體

240b:導電體

242a:導電體

242a1:導電體

242a2:導電體

242b:導電體

242b1:導電體

242b2:導電體

253:絕緣體

254:絕緣體

258:開口

260:導電體

260a:導電體

260b:導電體

275:絕緣體

280:絕緣體

282:絕緣體

285:絕緣體

【特徵化學式】無

【發明說明書】

【中文發明名稱】

記憶體裝置

【技術領域】

【0001】本發明的一個實施方式係關於一種電晶體、半導體裝置、記憶體裝置以及電子裝置。此外，本發明的一個實施方式係關於一種半導體裝置的製造方法。此外，本發明的一個實施方式係關於一種半導體晶圓及模組。

【0002】注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。除了電晶體等的半導體元件之外，半導體電路、運算裝置、記憶體裝置也是半導體裝置的一個實施方式。顯示裝置(液晶顯示裝置、發光顯示裝置等)、投影裝置、照明設備、電光裝置、蓄電裝置、記憶體裝置、半導體電路、攝像裝置、電子裝置等有時包括半導體裝置。

【0003】注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程(process)、機器(machine)、產品(manufacture)或者組合物(composition of matter)。

【先前技術】

【0004】近年來，已對半導體裝置進行開發，LSI、

CPU、記憶體等主要用於半導體裝置。CPU是包括將半導體晶圓加工來形成晶片而成的半導體積體電路(至少包括電晶體及記憶體)且形成有作為連接端子的電極的半導體元件的集合體。

【0005】LSI、CPU、記憶體等的半導體電路(IC晶片)被安裝在電路板上，例如安裝在印刷線路板上，並被用作各種電子裝置的構件之一。

【0006】此外，藉由使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到注目。該電晶體被廣泛地應用於積體電路(IC)、影像顯示裝置(簡單地記載為顯示裝置)等電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。作為其他材料，氧化物半導體受到關注。

【0007】另外，已知使用氧化物半導體的電晶體的洩漏電流在非導通狀態下極小。例如，專利文獻1公開了應用使用氧化物半導體的電晶體的洩漏電流小的特性的低功耗CPU等。另外，例如，專利文獻2公開了利用使用氧化物半導體的電晶體的洩漏電流小的特性實現存儲內容的長期保持的記憶體裝置等。

【0008】近年來，隨著電子裝置的小型化和輕量化，對積體電路的進一步高密度化的要求提高。此外，有提高包括積體電路的半導體裝置的生產率的需求。例如，專利文獻3及非專利文獻1公開了一種技術，其中藉由層疊使用氧化物半導體膜的第一電晶體和使用氧化物半導體膜的第

二電晶體，重疊地設置多個記憶單元，由此提高積體電路的密度。

【0009】

[專利文獻1]日本專利申請公開第2012-257187號公報

[專利文獻2]日本專利申請公開第2011-151383號公報

[專利文獻3]國際公開第2021/053473號

【0010】

[非專利文獻1]M.Oota et.al, “3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”, IEDM Tech. Dig., 2019, pp.50-53

【發明內容】

【0011】本發明的一個實施方式的目的是提供一種可以實現微型化或高積體化的半導體裝置。另外，本發明的一個實施方式的目的是提供一種工作速度快的半導體裝置。另外，本發明的一個實施方式的目的是提供一種具有良好的電特性的半導體裝置。另外，本發明的一個實施方式的目的是提供一種電晶體的電特性不均勻小的半導體裝置。另外，本發明的一個實施方式的目的是提供一種可靠性高的半導體裝置。另外，本發明的一個實施方式的目的是提供一種通態電流大的半導體裝置。另外，本發明的一個實施方式的目的是提供一種功耗低的半導體裝置。另外，本發明的一個實施方式的目的是提供一種新穎半導體裝置。另外，本發明的一

個實施方式的目的之一是提供一種減少製程數的半導體裝置的製造方法。另外，本發明的一個實施方式的目的之一是提供一種包括新穎半導體裝置的記憶體裝置。

【0012】 注意，這些目的的記載並不妨礙其他目的的存在。注意，本發明的一個實施方式並不需要實現所有上述目的。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的目的。

【0013】 本發明的一個實施方式是一種記憶體裝置，包括：包括電晶體及電容器的記憶單元；第一絕緣體；第一絕緣體上的第二絕緣體；以及第二絕緣體上的第三絕緣體，其中，電晶體包括：第一絕緣體上的氧化物；氧化物上的第一導電體及第二導電體；氧化物上的第四絕緣體；以及第四絕緣體上的第三導電體，第二絕緣體配置在第一導電體及第二導電體上，第三絕緣體配置在第三導電體及第二絕緣體上，第二絕緣體包括具有與氧化物重疊的區域的第一開口，第四絕緣體及第三導電體配置在第一開口內，第二絕緣體及第三絕緣體包括具有與第二導電體重疊的區域的第二開口，電容器包括接觸於第二導電體的頂面的第四導電體、第四導電體上的第五絕緣體以及第五絕緣體上的第五導電體，第四導電體、第五絕緣體及第五導電體配置在第二開口內，第二絕緣體具有第三開口，第一絕緣體具有第四開口，第三絕緣體具有第五開口，從平面看時第三開口與第四開口的至少一部分及第五開口的至少一部分重疊，在第三開口內配置第六導電體及第一導電體的

一部分，並且，第六導電體具有接觸於第一導電體的頂面的一部分及側面的一部分的區域。

【0014】本發明的另一個實施方式是一種包括多個層的記憶體裝置，該多個層各自包括：包括電晶體及電容器的記憶單元；第一絕緣體；第一絕緣體上的第二絕緣體；以及第二絕緣體上的第三絕緣體，其中，多個層被層疊，電晶體包括：第一絕緣體上的氧化物；氧化物上的第一導電體及第二導電體；氧化物上的第四絕緣體；以及第四絕緣體上的第三導電體，第二絕緣體配置在第一導電體及第二導電體上，第三絕緣體配置在第三導電體及第二絕緣體上，第二絕緣體包括具有與氧化物重疊的區域的第一開口，第四絕緣體及第三導電體配置在第一開口內，第二絕緣體及第三絕緣體包括具有與第二導電體重疊的區域的第二開口，電容器包括接觸於第二導電體的頂面的第四導電體、第四導電體上的第五絕緣體以及第五絕緣體上的第五導電體，第四導電體、第五絕緣體及第五導電體配置在第二開口內，第二絕緣體具有第三開口，第一絕緣體具有第四開口，第三絕緣體具有第五開口，從平面看時第三開口與第四開口的至少一部分及第五開口的至少一部分重疊，在第三開口內配置第六導電體及第一導電體的一部分，並且，第六導電體具有接觸於第一導電體的頂面的一部分及側面的一部分的區域。

【0015】較佳的是，上述記憶體裝置還包括驅動電路，多個層重疊於驅動電路上。另外，較佳的是，上述記

憶體裝置還包括：包括功能電路的功能層；以及佈線，其中功能層設置在設置有驅動電路的基板與多個層之間，佈線具有使驅動電路與功能電路電連接的功能，並且功能電路包括其閘極電連接於與記憶單元電連接的第六導電體的第二電晶體且具有將對應於第六導電體的電位的信號傳送到佈線的功能。

【0016】另外，在上述記憶體裝置中，較佳的是，在第一絕緣體下配置第六絕緣體，第六絕緣體具有第六開口，並且從平面看時第三開口重疊於第六開口的至少一部分。

【0017】另外，在上述記憶體裝置中，較佳的是，從平面看時第三開口配置在第四開口的內側、第五開口的內側及第六開口的內側。

【0018】另外，上述記憶體裝置也可以具有如下結構：從平面看時第四開口、第五開口及第六開口配置在第三開口的內側。

【0019】另外，在上述記憶體裝置中，第一絕緣體較佳為包含氧化鉛。另外，在上述記憶體裝置中，第三絕緣體及第六絕緣體較佳為包含氧化鋁。

【0020】另外，在上述記憶體裝置中，第四絕緣體較佳為具有接觸於氧化物的頂面及側面以及第二絕緣體所具有的第一開口的側壁的区域。

【0021】另外，在上述記憶體裝置中，第一導電體及第二導電體較佳為都接觸於氧化物的頂面及側面。

【0022】另外，在上述記憶體裝置中，第四導電體的一部分、第五絕緣體的一部分及第五導電體的一部分較佳為位於第三導電體的頂面的上方。

【0023】另外，在上述記憶體裝置中，第四導電體較佳為具有接觸於第二絕緣體所具有的第二開口的側壁的區域。

【0024】另外，在上述記憶體裝置中，在第三開口中第一導電體的側面較佳為比第二絕緣體的側面凸出。

【0025】另外，在上述記憶體裝置中，較佳的是，第三絕緣體以與第二絕緣體的頂面及第三導電體的頂面接觸的方式配置，並且第四導電體的一部分及第五絕緣體的一部分接觸於第三絕緣體的頂面。

【0026】根據本發明的一個實施方式可以提供一種可以實現微型化或高積體化的半導體裝置。另外，可以提供一種工作速度快的半導體裝置。另外，可以提供一種可靠性高的半導體裝置。另外，可以提供一種電晶體的電特性不均勻小的半導體裝置。另外，可以提供一種具有良好的電特性的半導體裝置。另外，可以提供一種通態電流大的半導體裝置。另外，可以提供一種功耗低的半導體裝置。另外，可以提供一種新穎半導體裝置。另外，可以提供一種減少製程數的半導體裝置的製造方法。另外，可以提供一種包括新穎半導體裝置的記憶體裝置。

【0027】注意，這些效果的記載並不妨礙其他效果的存在。注意，本發明的一個實施方式並不需要具有所有上

述效果。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的效果。

【圖式簡單說明】

【0028】

[圖 1A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖 1B]至[圖 1D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 2]是說明根據本發明的一個實施方式的記憶體裝置的結構的電路圖。

[圖 3A]至[圖 3C]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 4A]及[圖 4B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 5A]及[圖 5B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 6A]至[圖 6C]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 7A]是本發明的一個實施方式的半導體裝置的剖面圖。[圖 7B]是本發明的一個實施方式的半導體裝置的俯視圖。

[圖 8A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 8B]至[圖 8D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 9A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 9B]至[圖 9D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 10A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 10B]至[圖 10D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 11A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 11B]至[圖 11D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 12A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 12B]至[圖 12D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 13A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 13B]至[圖 13D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 14A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 14B]至[圖 14D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 15A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 15B]至[圖 15D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 16A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 16B]至[圖 16D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 17A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 17B]至[圖 17D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 18A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 18B]至[圖 18D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 19A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 19B]至[圖 19D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 20A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 20B]至[圖 20D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 21A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 21B]至[圖 21D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 22A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 22B]至[圖 22D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 23A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 23B]至[圖 23D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 24A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 24B]至[圖 24D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 25A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 25B]至[圖 25D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 26A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 26B]至[圖 26D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 27A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 27B]至[圖 27D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 28A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 28B]至[圖 28D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 29]是說明根據本發明的一個實施方式的微波處理裝置的俯視圖。

[圖 30]是說明根據本發明的一個實施方式的微波處理裝置的剖面圖。

[圖 31]是說明根據本發明的一個實施方式的微波處理裝置的剖面圖。

[圖 32]是說明根據本發明的一個實施方式的微波處理裝置的剖面圖。

[圖 33A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖 33B]至[圖 33D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 34A]是本發明的一個實施方式的半導體裝置的俯

視圖。[圖 34B]至[圖 34D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 35A]是本發明的一個實施方式的半導體裝置的剖面圖。[圖 35B]是本發明的一個實施方式的半導體裝置的俯視圖。

[圖 36A]及[圖 36B]是根據本發明的一個實施方式的半導體裝置的剖面圖。

[圖 37]是根據本發明的一個實施方式的半導體裝置的剖面圖。

[圖 38]是根據本發明的一個實施方式的半導體裝置的剖面圖。

[圖 39]是說明記憶體裝置的結構例子的方塊圖。

[圖 40A]及[圖 40B]是說明記憶體裝置的結構例子的示意圖及電路圖。

[圖 41A]及[圖 41B]是說明記憶體裝置的結構例子的示意圖。

[圖 42]是說明記憶體裝置的結構例子的電路圖。

[圖 43]是說明記憶體裝置的結構例子的時序圖。

[圖 44A]及[圖 44B]是說明記憶體裝置的結構例子的電路圖。

[圖 45A]及[圖 45B]是說明記憶體裝置的結構例子的電路圖。

[圖 46A]及[圖 46B]是說明根據本發明的一個實施方式的記憶體裝置的結構的佈局圖。

[圖 47]是示出根據本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 48]是示出根據本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 49]是說明根據本發明的一個實施方式的記憶體裝置的結構的佈局圖。

[圖 50A]及[圖 50B]是根據本發明的一個實施方式的半導體裝置的示意圖。

[圖 51A]及[圖 51B]是說明電子構件的一個例子的圖。

[圖 52A]至[圖 52E]是根據本發明的一個實施方式的記憶體裝置的示意圖。

[圖 53A]至[圖 53H]是示出根據本發明的一個實施方式的電子裝置的圖。

[圖 54]是示出太空設備的一個例子的圖。

【實施方式】

【0029】下面，參照圖式對實施方式進行說明。注意，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面所示的實施方式所記載的內容中。

【0030】在圖式中，為顯而易見，有時誇大表示大小、層的厚度或區域。因此，本發明並不侷限於圖式中的

尺寸。此外，在圖式中，示意性地示出理想的例子，因此本發明不侷限於圖式所示的形狀或數值等。例如，在實際的製程中，有時由於蝕刻等處理而層或光阻遮罩等被非意圖性地減薄，但是為了便於理解有時不反映於圖式中。另外，在圖式中，有時在不同的圖式之間共同使用相同的符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加符號。

【0031】 另外，尤其在俯視圖(也稱為平面圖)或立體圖等中，為了便於對發明的理解，有時省略部分組件的記載。另外，有時省略部分隱藏線的記載。

【0032】 此外，在本說明書等中，為了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，本說明書等所記載的序數詞與用於指定本發明的一個實施方式的序數詞有時不一致。

【0033】 在本說明書等中，為方便起見，使用了“上”、“下”等表示配置的詞句，以參照圖式說明組件的位置關係。此外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於說明書中所說明的詞句，根據情況可以適當地換詞句。

【0034】 例如，在本說明書等中，X與Y連接是指X與Y電連接。在此，X與Y電連接是指在X和Y之間存在對象物(開關、電晶體元件或二極體等的元件或者包含該元件

及佈線的電路等)時可以在X和Y之間傳送電信號的連接。注意，X與Y電連接的情況包括X與Y直接連接的情況。在此，X與Y直接連接是指X和Y能夠不經過上述對象物而在其間透過佈線(或者電極)等傳送電信號的連接。換言之，直接連接是指在使用等效電路表示時可以看作相同的電路圖的連接。

【0035】 在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極(汲極端子、汲極區域或汲極電極)與源極(源極端子、源極區域或源極電極)之間具有形成通道的區域(以下也稱為通道形成區域)，並且透過通道形成區域電流能夠流過源極和汲極之間。注意，在本說明書等中，通道形成區域是指電流主要流過的區域。

【0036】 另外，在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下，源極或汲極的功能有時互相調換。因此，在本說明書等中，有時源極或汲極可以相互調換。

【0037】 注意，通道長度例如是指電晶體的俯視圖中的半導體(或在電晶體處於開啟狀態時，在半導體中電流流過的部分)和閘極電極互相重疊的區域或者通道形成區域中的源極(源極區域或源極電極)和汲極(汲極區域或汲極電極)之間的距離。另外，在一個電晶體中，通道長度不一定在所有的區域中成為相同的值。也就是說，一個電晶體的通道長度有時不限定於一個值。因此，在本說明書

中，通道長度是通道形成區域中的任一個值、最大值、最小值或平均值。

【0038】 通道寬度例如是指是在電晶體的俯視圖中半導體(或在電晶體處於開啟狀態時，在半導體中電流流過的部分)和閘極電極互相重疊的區域或者通道形成區域中的垂直於通道長度方向上的通道形成區域的長度。另外，在一個電晶體中，通道寬度不一定在所有的區域中成為相同的值。也就是說，一個電晶體的通道寬度有時不限定於一個值。因此，在本說明書中，通道寬度是通道形成區域中的任一個值、最大值、最小值或平均值。

【0039】 在本說明書等中，根據電晶體的結構，有時形成通道的區域中的實際上的通道寬度(以下，也稱為“有效通道寬度”)和電晶體的俯視圖所示的通道寬度(以下，也稱為“外觀上的通道寬度”)不同。例如，在閘極電極覆蓋半導體的側面時，有時因為有效通道寬度大於外觀上的通道寬度，所以不能忽略其影響。例如，在微型且閘極電極覆蓋半導體的側面的電晶體中，有時形成在半導體的側面上的通道形成區域的比率增高。在此情況下，有效通道寬度大於外觀上的通道寬度。

【0040】 在上述情況下，有時難以藉由實測估計有效通道寬度。例如，為了根據設計值估計有效通道寬度，需要預先知道半導體的形狀的假定。因此，當不確定半導體的形狀時，難以準確地測量有效通道寬度。

【0041】 在本說明書中，在簡單地描述為“通道寬度”

時，有時是指外觀上的通道寬度。或者，在本說明書中，在簡單地描述為“通道寬度”時，有時是指有效通道寬度。注意，例如藉由對剖面TEM影像進行分析，可以決定通道長度、通道寬度、有效通道寬度或外觀上的通道寬度等的值。

【0042】 注意，半導體的雜質例如是指構成半導體的主要成分之外的元素。例如，濃度低於0.1原子%的元素可以說是雜質。在包含雜質時，例如有時發生半導體的缺陷態密度的增高、結晶性的降低等。當半導體是氧化物半導體時，作為改變半導體的特性的雜質，例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素以及除氧化物半導體的主要成分外的過渡金屬等。例如，有氫、鋰、鈉、矽、硼、磷、碳、氮等。此外，有時水也作為雜質起作用。此外，例如有時雜質的混入導致氧化物半導體中的氧空位(也稱為 V_O : oxygen vacancy)的形成。

【0043】 注意，在本說明書等中，氧氮化矽是指在組成中氧含量大於氮含量的物質。此外，氮氧化矽是指在組成中氮含量大於氧含量的物質。另外，氧氮化鋁是指在組成中氧含量大於氮含量的物質。另外，氮氧化鋁是指在組成中氮含量大於氧含量的物質。另外，氧氮化鉛是指在組成中氮含量大於氧含量的物質。另外，氮氧化鉛是指在組成中氮含量大於氧含量的物質。

【0044】 注意，在本說明書等中，可以將“絕緣體”換稱為“絕緣膜”或“絕緣層”。另外，可以將“導電體”換稱為

“導電膜”或“導電層”。另外，可以將“半導體”換稱為“半導體膜”或“半導體層”。

【0045】在本說明書等中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。“大致平行”是指兩條直線形成的角度為 -30° 以上且 30° 以下的狀態。另外，“垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。“大致垂直”是指兩條直線形成的角度為 60° 以上且 120° 以下的狀態。

【0046】在本說明書等中，金屬氧化物(metal oxide)是指廣義上的金屬的氧化物。金屬氧化物被分為氧化物絕緣體、氧化物導電體(包括透明氧化物導電體)和氧化物半導體(Oxide Semiconductor，也可以簡稱為OS)等。例如，在將金屬氧化物用於電晶體的半導體層的情況下，有時將該金屬氧化物稱為氧化物半導體。換言之，可以將OS電晶體換稱為包括金屬氧化物或氧化物半導體的電晶體。

【0047】注意，在本說明書等中，常關閉是指：在不對閘極施加電位或者對閘極施加接地電位時流過電晶體的每通道寬度 $1\mu\text{m}$ 的汲極電流在室溫下為 $1\times 10^{-20}\text{A}$ 以下，在 85°C 下為 $1\times 10^{-18}\text{A}$ 以下，或在 125°C 下為 $1\times 10^{-16}\text{A}$ 以下。

【0048】此外，在本說明書等中，可以適當地調換“電壓”和“電位”。“電壓”是指與參考電位之間的電位差，例如在參考電位為地電位(接地電位)時，也可以將“電壓”

稱為“電位”。地電位不一定意味著0V。此外，電位是相對性的，根據參考電位的變化而供應到佈線的電位、施加到電路等的電位、從電路等輸出的電位等也產生變化。

【0049】 在本說明書等中，在多個組件使用同一符號並且需要區分它們時，有時對符號附加“_1”、“[n]”或“[m,n]”等用於識別的符號。

【0050】 注意，在本說明書等中，“高度一致或大致一致”是指在剖面中距作為基準的面(例如，基板表面等平坦的面)的高度相等的結構。例如，在半導體裝置的製造程序中，有時進行平坦化處理(典型的是CMP處理)使單層或多個層的表面露出。在這種情況下，CMP處理的被處理面距作為基準的面的高度相等。注意，根據進行CMP處理時的處理裝置、處理方法或被處理面的材料，有時多個層的高度不同。在本說明書等中，“高度一致或大致一致”也包括上述情況。例如，在出現對基準面具有兩個高度的層(在此稱為第一層和第二層)的情況下，當第一層的頂面的高度與第二層的頂面的高度之差為20nm以下時，也將其稱為“高度一致或大致一致”。

【0051】 注意，在本說明書等中，“端部對齊或大致對齊”是指從平面看時層疊的層與層之間輪廓的至少一部分重疊。例如，包括上層及下層藉由同一的遮罩圖案或其一部分同一的遮罩圖案被加工的情況。但是，嚴格地說，有時輪廓不重疊且上層的輪廓位於下層的輪廓的內側或者上層的輪廓位於下層的輪廓的外側，這些情況也包括在

“端部對齊或大致對齊”。

【0052】

實施方式1

在本實施方式中，參照圖1A至圖38說明本發明的一個實施方式的半導體裝置的一個例子及其製造方法。本發明的一個實施方式的半導體裝置包括電晶體及電容器。

【0053】

<半導體裝置的結構例子>

參照圖1說明包括電晶體及電容器的半導體裝置的結構。圖1A至圖1D是包括電晶體200a、電晶體200b、電容器100a及電容器100b的半導體裝置的俯視圖及剖面圖。圖1A是該半導體裝置的俯視圖。圖1B至圖1D是該半導體裝置的剖面圖。在此，圖1B是沿著圖1A中的點劃線A1-A2的部分的剖面圖，也是電晶體200a、電晶體200b、電容器100a及電容器100b的通道長度方向的剖面圖。此外，圖1C是沿著圖1A中的點劃線A3-A4的部分的剖面圖，也是電晶體200a的通道寬度方向的剖面圖。另外，圖1D是沿著圖1A中的點劃線A5-A6的部分的剖面圖。注意，在圖1A的俯視圖中，為了明確起見，省略一部分組件。

【0054】另外，圖1A所示的X方向與電晶體200a的通道長度方向及電晶體200b的通道長度方向平行，Y方向與X方向垂直，Z方向與X方向及Y方向垂直。在圖1B至圖1D中也示出圖1A所示的X方向、Y方向及Z方向。

【0055】本發明的一個實施方式的半導體裝置包括基

板(未圖示)上的絕緣體 214、絕緣體 214 上的電晶體 200a、電晶體 200b、電容器 100a 及電容器 100b、設置在電晶體 200a 及電晶體 200b 中的絕緣體 275 上的絕緣體 280、絕緣體 280 上的絕緣體 282、電容器 100a 上、電容器 100b 上及絕緣體 282 上的絕緣體 285 以及導電體 240(導電體 240a 及導電體 240b)。絕緣體 214、絕緣體 280、絕緣體 282 及絕緣體 285 被用作層間膜。如圖 1B 所示，電晶體 200a、電晶體 200b、電容器 100a 及電容器 100b 以其至少一部分嵌入絕緣體 280 中的方式配置。

【0056】 在此，電晶體 200a 及電晶體 200b 都包括用作半導體層的氧化物 230、用作第一閘極(也稱為頂閘極)電極的導電體 260、用作第二閘極(也稱為背閘極)電極的導電體 205、用作源極電極和汲極電極中的一個的導電體 242a 以及用作源極電極和汲極電極中的另一個的導電體 242b。另外，包括用作第一閘極絕緣體的絕緣體 253 及絕緣體 254。另外，包括用作第二閘極絕緣體的絕緣體 222 及絕緣體 224。此外，有時將閘極絕緣體稱為閘極絕緣層或閘極絕緣膜。

【0057】 注意，電晶體 200a 和電晶體 200b 具有相同結構，因此以下在說明電晶體 200a 和電晶體 200b 之間共同的内容時省略附上符號而記為電晶體 200 進行說明。

【0058】 第一閘極電極及第一閘極絕緣膜配置在形成於絕緣體 280 及絕緣體 275 中的開口 258 中。換言之，導電體 260、絕緣體 254 及絕緣體 253 配置在開口 258 中。

【0059】電容器100a及電容器100b都包括用作下部電極的導電體156、用作電介質的絕緣體153以及用作上部電極的導電體160。換言之，電容器100a及電容器100b都構成MIM(Metal-Insulator-Metal：金屬-絕緣體-金屬)電容器。

【0060】注意，電容器100a和電容器100b具有相同結構，因此以下在說明電容器100a和電容器100b之間共同的内容時省略附上符號而記為電容器100進行說明。

【0061】電容器100的上部電極、電介質及下部電極的一部分配置在形成於絕緣體282、絕緣體280及絕緣體275中的開口158中。換言之，導電體160、絕緣體153及導電體156配置在開口158中。

【0062】本發明的一個實施方式的半導體裝置包括與電晶體200電連接的用作插頭(也可以稱為連接電極)的導電體240(導電體240a及導電體240b)。導電體240配置在形成於絕緣體280等中的開口206中。導電體240具有與導電體242a的頂面的一部分及側面的一部分接觸的區域。

【0063】另外，本發明的一個實施方式的半導體裝置包括基板(未圖示)和絕緣體214之間的絕緣體210及導電體209。導電體209以嵌入絕緣體210中的方式配置。導電體209具有與導電體240接觸的區域。

【0064】另外，本發明的一個實施方式的半導體裝置也可以包括絕緣體210及導電體209與絕緣體214之間的絕緣體212。

【0065】可以將本實施方式所示的包括電晶體 200 及電容器 100 的半導體裝置用作記憶體裝置的記憶單元。此時，導電體 240 有時電連接到感測放大器，導電體 240 被用作位元線。在此，如圖 1A 所示，電容器 100 以其至少一部分與電晶體 200 中的導電體 242b 重疊的方式設置。因此，在從平面看時，可以在沒有大幅增加佔有面積的情況下設置電容器 100，因此可以實現根據本實施方式的半導體裝置的微型化或高積體化。

【0066】本實施方式所示的半導體裝置具有以圖 1A 所示的點劃線 A7-A8 為對稱軸的軸對稱的結構。也就是說，可以說電晶體 200b 配置在以導電體 240 為對稱軸與電晶體 200a 軸對稱的位置上。此外，可以說電容器 100b 配置在以導電體 240 為對稱軸與電容器 100a 軸對稱的位置上。這裡，導電體 242a 兼作電晶體 200a 的源極電極和汲極電極中的一個以及電晶體 200b 的源極電極和汲極電極中的一個。在電晶體 200a 及電晶體 200b 的每一個中，導電體 240 被用作插頭。如此，藉由作為兩個電晶體、兩個電容器以及插頭的連接關係採用上述結構，可以提供一種可以實現微型化或高積體化的半導體裝置。

【0067】圖 2 示出將本實施方式所示的半導體裝置用作記憶體裝置時的電路圖。可以將包括電晶體 200a 及電容器 100a 的半導體裝置用作記憶體裝置的記憶單元。另外，可以將包括電晶體 200b 及電容器 100b 的半導體裝置用作記憶體裝置的記憶單元。

【0068】如圖2所示，可以將圖1A至圖1D所示的半導體裝置換稱為由兩個記憶單元構成的記憶體裝置。一個記憶單元包括電晶體Tra及電容器Ca。另外，另一個記憶單元包括電晶體Trb及電容器Cb。

【0069】在此，電晶體Tra、電晶體Trb、電容器Ca及電容器Cb分別對應於電晶體200a、電晶體200b、電容器100a及電容器100b。

【0070】在一個記憶單元中，電晶體Tra的源極和汲極中的一個與佈線BL連接。電晶體Tra的源極和汲極中的另一個與電容器Ca的一個電極連接。電晶體Tra的閘極與佈線WL連接。電容器Ca的另一個電極與佈線PL連接。

【0071】在另一個記憶單元中，電晶體Trb的源極和汲極中的一個與佈線BL連接。電晶體Trb的源極和汲極中的另一個與電容器Cb的一個電極連接。電晶體Trb的閘極與佈線WL連接。電容器Cb的另一個電極與佈線PL連接。

【0072】注意，將在後面的實施方式中詳細地說明記憶單元。

【0073】

[電晶體200]

如圖1A至圖1D所示，電晶體200包括絕緣體214上的絕緣體216、以嵌入絕緣體216中的方式配置的導電體205(導電體205a及導電體205b)、絕緣體216上及導電體205上的絕緣體222、絕緣體222上的絕緣體224、絕緣體224上的氧化物230a、氧化物230a上的氧化物230b、氧化物230b

上的導電體 242a(導電體 242a1及導電體 242a2)及導電體 242b(導電體 242b1及導電體 242b2)、氧化物 230b上的絕緣體 253、絕緣體 253上的絕緣體 254、位於絕緣體 254上並與氧化物 230b的一部分重疊的導電體 260(導電體 260a及導電體 260b)、以及配置在絕緣體 222上、絕緣體 224上、氧化物 230a上、氧化物 230b上、導電體 242a上及導電體 242b上的絕緣體 275。

【0074】注意，在本說明書等中，有時將氧化物 230a和氧化物 230b統稱為氧化物 230。另外，有時將導電體 242a和導電體 242b統稱為導電體 242。

【0075】絕緣體 280及絕緣體 275中設置有到達氧化物 230b的開口 258。也就是說，開口 258可以說具有與氧化物 230b重疊的區域。此外，絕緣體 275可以說具有與絕緣體 280所包括的開口重疊的開口。就是說，開口 258具有絕緣體 280中的開口以及絕緣體 275中的開口。此外，開口 258中設置有絕緣體 253、絕緣體 254及導電體 260。也就是說，導電體 260具有隔著絕緣體 253及絕緣體 254與氧化物 230b重疊的區域。此外，在電晶體 200的通道長度方向上，導電體 242a與導電體 242b之間設置有導電體 260、絕緣體 253及絕緣體 254。絕緣體 254具有與導電體 260的側面接觸的區域及與導電體 260的底面接觸的區域。注意，如圖 1C所示，開口 258在不與氧化物 230重疊的區域中到達絕緣體 222。

【0076】氧化物 230較佳為包括絕緣體 224上的氧化物

230a及氧化物230a上的氧化物230b。當在氧化物230b之下設置有氧化物230a時，可以抑制雜質從形成在氧化物230a下方的結構物擴散到氧化物230b。

【0077】注意，在電晶體200中氧化物230具有氧化物230a及氧化物230b的兩層疊層結構，但是本發明不侷限於此。例如，氧化物230可以具有氧化物230b的單層結構或三層以上的疊層結構，也可以具有氧化物230a及氧化物230b分別具有疊層的結構。

【0078】導電體260被用作第一閘極電極，導電體205被用作第二閘極電極。此外，絕緣體253及絕緣體254被用作第一閘極絕緣體，絕緣體222及絕緣體224被用作第二閘極絕緣體。此外，導電體242a被用作源極電極和汲極電極中的一個，導電體242b被用作源極電極和汲極電極中的另一個。此外，氧化物230的與導電體260重疊的區域的至少一部分被用作通道形成區域。

【0079】在此，圖3A示出圖1B中的通道形成區域附近的放大圖。如圖3A及圖1C所示，可以將開口258視為具有如下形狀：在以絕緣體222為底面且以絕緣體280及絕緣體275為側面的開口中，由絕緣體224及氧化物230構成的結構體的一部分凸出的形狀。

【0080】如圖3A及圖1C所示，以與開口258的底面及內壁(也稱為側壁)接觸的方式設置有絕緣體253。因此，絕緣體253與絕緣體222的頂面、絕緣體224的側面、氧化物230a的側面、氧化物230b的頂面及側面、導電體242a及

導電體 242b 的側面、絕緣體 275 的側面、絕緣體 280 的側面以及絕緣體 254 的底面各自的至少一部分接觸。

【0081】如圖 3A 所示，開口 258 的通道長度方向的寬度與導電體 242a 和導電體 242b 之間的距離大致一致。因此，在氧化物 230b 的與開口 258 的通道長度方向的寬度重疊的區域形成通道形成區域。這裡，導電體 242a 與導電體 242b 之間的距離例如較佳為 60nm 以下、50nm 以下、40nm 以下、30nm 以下、20nm 以下或 10nm 以下且 1nm 以上或 5nm 以上。如此，藉由電晶體 200 的通道形成區域採用非常微小的結構，電晶體 200 的通態電流增大，因此可以提高頻率特性。另外，在設置多個電晶體 200 時，可以實現小面積化及高密度化。注意，不侷限於上述距離，導電體 242a 與導電體 242b 之間的距離也可以為 60nm 以上。

【0082】此外，藉由使電晶體 200 微型化可以提高高頻特性。明確而言，可以提高截止頻率。當閘極長度在於上述範圍內時，例如在室溫環境下，電晶體的截止頻率可以為 50GHz 以上或 100GHz 以上。

【0083】注意，圖 3A 示出開口 258 的側壁大致垂直於絕緣體 222 的頂面的結構，但是本發明不侷限於此。如圖 3B 所示，開口 258 的側壁也可以呈錐形形狀。當開口 258 的側壁呈錐形形狀時，後面的製程中的絕緣體 253 等的覆蓋性得到提高，可以減少空洞等缺陷。

【0084】在本說明書等中，錐形形狀是指組件的側面的至少一部分相對於基板面傾斜地設置的形狀。例如，較

佳為具有傾斜的側面和基板面所形成的角度(以下，有時被稱為錐角)小於 90° 的區域。注意，組件的側面及基板面不一定必須完全平坦，也可以是具有微小曲率的近似平面狀或具有微細凹凸的近似平面狀。

【0085】如圖3C所示，在電晶體200的通道長度方向的剖面中，導電體242a和導電體242b之間的距離L2也可以比開口258的寬度小。在此，開口258的寬度對應於圖3C所示的絕緣體280和絕緣體253的導電體242a一側的介面與絕緣體280和絕緣體253的導電體242b一側的介面之間的距離L1。藉由採用這種結構，可以實現導電體242a和導電體242b之間的距離L2非常微小的結構(例如為60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下，且為1nm以上或5nm以上)。另外，因為導電體260具有距離L1大於距離L2的區域，所以可以抑制位於距離L1的區域的導電體260的電阻增大，而可以將導電體260用作佈線。

【0086】另外，如圖3C所示，在電晶體200的通道長度方向的剖面中，開口258中的絕緣體280所具有的開口的寬度等於距離L1，開口258中的絕緣體275所具有的開口的寬度等於距離L2。

【0087】如圖3C及圖1C所示，可以將開口258視為具有如下形狀：在以絕緣體222為底面且以絕緣體280為側面的開口中，由絕緣體224、氧化物230、導電體242及絕緣體275構成的結構體的一部分凸出的形狀。並且，可以視

為在由絕緣體 224、氧化物 230、導電體 242 及絕緣體 275 構成的結構體中，夾在導電體 242a 和導電體 242b 之間的氧化物 230 的區域露出。

【0088】如圖 3C 及圖 1C 所示，以與開口 258 的底面及內壁(也稱為側壁)接觸的方式設置有絕緣體 253。因此，絕緣體 253 與絕緣體 222 的頂面、絕緣體 224 的側面、氧化物 230a 的側面、氧化物 230b 的頂面及側面、導電體 242a 及導電體 242b 的側面、絕緣體 275 的側面、絕緣體 280 的側面以及絕緣體 254 的底面各自的至少一部分接觸。另外，絕緣體 253 上層疊有絕緣體 254 及導電體 260。因此，以覆蓋其一部分凸出在開口 258 中的導電體 242 及絕緣體 275 的方式設置有絕緣體 253、絕緣體 254 及導電體 260。

【0089】通道形成區域形成在氧化物 230b 的距離 L2 的區域中。因此，電晶體 200 的通道形成區域具有非常微小的結構。由此，電晶體 200 的通態電流增大，可以提高頻率特性。

【0090】如圖 3A 所示，氧化物 230b 具有用作電晶體 200 的通道形成區域的區域 230bc 及以夾著區域 230bc 的方式設置並用作源極區域或汲極區域的區域 230ba 及區域 230bb。區域 230bc 的至少一部分與導電體 260 重疊。換言之，區域 230bc 設置在導電體 242a 與導電體 242b 間的區域中。區域 230ba 與導電體 242a 重疊，區域 230bb 與導電體 242b 重疊。

【0091】與區域 230ba 及區域 230bb 相比，其氧空位少

或雜質濃度低，所以用作通道形成區域的區域230bc是載子濃度低的高電阻區域。因此，區域230bc可以說是i型(本質)或實質上i型。

【0092】此外，用作源極區域或汲極區域的區域230ba及區域230bb是如下區域：由於氧空位多或者氫、氮、金屬元素等雜質的濃度高，因此載子濃度提高，所以被低電阻化。就是說，區域230ba及區域230bb是與區域230bc相比載子濃度更高且電阻更低的n型區域。

【0093】在此，如圖3A所示，導電體242a和導電體242b的彼此相對的側面較佳為大致垂直於氧化物230b的頂面。藉由採用這種結構，可以抑制形成在導電體242a下的區域230ba的區域230bc一側的側端部比導電體242a的區域230bc一側的側端部過度後退。同樣地，可以抑制形成在導電體242b之下的區域230bb的區域230bc一側的側端部比導電體242b的區域230bc一側的側端部過度後退。由此，可以抑制在區域230ba和區域230bc之間以及區域230bb和區域230bc之間形成所謂的Loff區域。在此，區域230ba的區域230bc一側的側端部後退是指區域230ba的側端部比導電體242a的區域230bc一側的側面更靠近導電體240一側。另外，區域230bb的區域230bc一側的側端部後退是指區域230bb的側端部比導電體242b的區域230bc一側的側面更靠近導電體160一側。

【0094】由此，可以提高電晶體200的頻率特性來提高根據本發明的一個實施方式的半導體裝置的工作速度。

例如，當將根據本發明的一個實施方式的半導體裝置用作記憶體裝置的記憶單元時，可以提高寫入速度及讀出速度。

【0095】用作通道形成區域的區域230bc的載子濃度較佳為 $1 \times 10^{18} \text{cm}^{-3}$ 以下，更佳為低於 $1 \times 10^{17} \text{cm}^{-3}$ ，進一步較佳為低於 $1 \times 10^{16} \text{cm}^{-3}$ ，更進一步較佳為低於 $1 \times 10^{13} \text{cm}^{-3}$ ，還進一步較佳為低於 $1 \times 10^{12} \text{cm}^{-3}$ 。對用作通道形成區域的區域230bc的載子濃度的下限值沒有特別的限定，例如，可以將其設定為 $1 \times 10^{-9} \text{cm}^{-3}$ 。

【0096】此外，也可以在區域230bc與區域230ba或區域230bb之間形成載子濃度等於或低於區域230ba及區域230bb的載子濃度且等於或高於區域230bc的載子濃度的區域。換言之，該區域被用作區域230bc與區域230ba或區域230bb的接合區域。該接合區域的氫濃度有時等於或低於區域230ba及區域230bb的氫濃度且等於或高於區域230bc的氫濃度。此外，該接合區域中的氧空位有時等於或少於區域230ba及區域230bb中的氧空位且等於或多於區域230bc中的氧空位。

【0097】注意，圖3A示出區域230ba、區域230bb及區域230bc形成在氧化物230b中的例子，但是本發明不侷限於此。例如，上述各區域也可以形成在氧化物230b和氧化物230a中。

【0098】在氧化物230中，有時難以明確地檢測出各區域的邊界。在各區域中檢測出的金屬元素和氫及氮等雜

質元素的濃度並不需要按每區域分階段地變化，也可以在各區域中逐漸地變化。就是說，越接近通道形成區域，金屬元素和氫及氮等雜質元素的濃度越低即可。

【0099】較佳為在電晶體 200 中將用作半導體的金屬氧化物(以下，也稱為氧化物半導體)用於具有通道形成區域的氧化物 230(氧化物 230a 及氧化物 230b)。

【0100】用作半導體的金屬氧化物的能帶間隙較佳為 2eV 以上，更佳為 2.5eV 以上。藉由使用能帶間隙較寬的金屬氧化物，可以減少電晶體的關態電流。

【0101】作為氧化物 230，例如較佳為使用銦氧化物、鎵氧化物及鋅氧化物等金屬氧化物。另外，作為氧化物 230，例如較佳為使用包含選自銦、元素 M 和鋅中的兩個或三個的金屬氧化物。元素 M 是選自鎵、鋁、矽、硼、鈮、錫、銅、釩、鈹、鈦、鐵、鎳、鍺、鋳、鋁、鐳、鈾、鈾、鎢和鎂中的一種或多種。尤其是，元素 M 較佳為選自鋁、鎵、鈮和錫中的一種或多種。注意，有時將包含銦、元素 M 及鋅的金屬氧化物記載為 In-M-Zn 氧化物。

【0102】氧化物 230 較佳為具有化學組成互不相同的多個氧化物層的疊層結構。例如，較佳的是，用於氧化物 230a 的金屬氧化物中的相對於主要成分的金屬元素的元素 M 的原子個數比大於用於氧化物 230b 的金屬氧化物中的相對於主要成分的金屬元素的元素 M 的原子個數比。另外，較佳的是，用於氧化物 230a 的金屬氧化物中的相對於 In 的

元素M的原子個數比大於用於氧化物230b的金屬氧化物中的相對於In的元素M的原子個數比。藉由採用這樣的結構，可以抑制雜質及氧從形成在氧化物230a的下方的結構物擴散到氧化物230b。

【0103】在此，較佳的是，用於氧化物230b的金屬氧化物中的相對於元素M的In的原子個數比大於用於氧化物230a的金屬氧化物中的相對於元素M的In的原子個數比。藉由採用該結構，電晶體200可以得到大通態電流以及高頻率特性。

【0104】此外，當氧化物230a及氧化物230b除了氧以外還包含共同元素作為主要成分時，可以降低氧化物230a與氧化物230b的介面的缺陷態密度。因此，介面散射對載子傳導帶來的影響減少，從而電晶體200可以得到大通態電流及高頻率特性。

【0105】明確而言，作為氧化物230a，使用In：M：Zn=1：3：4[原子個數比]或其附近的組成、In：M：Zn=1：3：2[原子個數比]或其附近的組成或者In：M：Zn=1：1：0.5[原子個數比]或其附近的組成的金屬氧化物，即可。此外，作為氧化物230b，使用In：M：Zn=1：1：1[原子個數比]或其附近的組成、In：M：Zn=1：1：1.2[原子個數比]或其附近的組成、In：M：Zn=1：1：2[原子個數比]或其附近的組成或者In：M：Zn=4：2：3[原子個數比]或其附近的組成的金屬氧化物，即可。注意，附近的組成包括所希望的原子個數比的±30%的範

圍。此外，作為元素M較佳為使用鎵。此外，當作為氧化物230設置氧化物230b的單層時，作為氧化物230b也可以使用可用於氧化物230a的金屬氧化物。

【0106】此外，在藉由濺射法沉積金屬氧化物時，上述原子個數比不侷限於所沉積的金屬氧化物的原子個數比，也可以是用於金屬氧化物的沉積的濺射靶材的原子個數比。

【0107】氧化物230b較佳為具有結晶性。尤其是，較佳為使用CAAC-OS(c-axis aligned crystalline oxide semiconductor：c軸配向結晶氧化物半導體)作為氧化物230b。

【0108】CAAC-OS具有結晶性高的緻密結構且是雜質及缺陷(例如，氧空位等)少的金屬氧化物。尤其是，藉由在形成金屬氧化物後以金屬氧化物不被多晶化的溫度(例如，400℃以上且600℃以下)進行熱處理，可以使CAAC-OS具有結晶性更高的緻密結構。如此，藉由進一步提高CAAC-OS的密度，可以進一步降低該CAAC-OS中的雜質或氧的擴散。

【0109】此外，在CAAC-OS中不容易觀察明確的晶界，因此不容易發生起因於晶界的電子移動率的下降。因此，包含CAAC-OS的金屬氧化物的物理性質穩定。因此，具有CAAC-OS的金屬氧化物具有耐熱性且可靠性高。

【0110】此外，當作為氧化物230b使用CAAC-OS等具有結晶性的氧化物時，可以抑制源極電極或汲極電極從氧

化物 230b 抽出氧。因此，即使進行熱處理也可以抑制氧從氧化物 230b 抽出，所以電晶體 200 對製程中的高溫度(所謂熱積存：thermal budget)也很穩定。

【0111】在使用氧化物半導體的電晶體中，當氧化物半導體的通道形成區域中存在雜質及氧空位時，電特性容易變動而可能使可靠性下降。此外，氧空位附近的氫形成氫進入氧空位中的缺陷(下面有時稱為 $V_{O}H$)而可能會產生成為載子的電子。因此，當在氧化物半導體的通道形成區域中包含氧空位時，電晶體會具有常開啟特性(即使不對閘極電極施加電壓也存在通道而在電晶體中電流流過的特性)。由此，在氧化物半導體的通道形成區域中，較佳為儘量減少雜質、氧空位及 $V_{O}H$ 。換言之，較佳的是，氧化物半導體中的形成通道的區域的載子濃度降低且被 i 型化(本質化)或實質上被 i 型化。

【0112】相對於此，藉由在氧化物半導體附近設置包含藉由加熱脫離的氧(以下，有時稱為過量氧)的絕緣體而進行熱處理，可以從該絕緣體向氧化物半導體供應氧而減少氧空位及 $V_{O}H$ 。注意，在對源極區域或汲極區域供應過多的氧時，有可能引起電晶體 200 的通態電流下降或者場效移動率的下降。並且，在供應到源極區域或汲極區域的氧量在基板面內有不均勻時，包括電晶體的半導體裝置特性發生不均勻。此外，在從該絕緣體供應給氧化物半導體的氧擴散到閘極電極、源極電極及汲極電極等導電體時，有時該導電體被氧化，這導致導電性的損失，因此對電晶

體的電特性及可靠性帶來負面影響。

【0113】因此，較佳的是，在氧化物半導體中，被用作通道形成區域的區域230bc的載子濃度得到降低且被i型化或實質上被i型化。另一方面，較佳的是，用作源極區域或汲極區域的區域230ba及區域230bb的載子濃度高且被n型化。就是說，較佳為降低氧化物半導體的區域230bc中的氧空位及 V_{oH} 。另外，較佳的是，防止區域230ba及區域230bb被供應過多的氧以及防止區域230ba及區域230bb的 V_{oH} 之量被過度降低。另外，較佳為採用抑制導電體260、導電體242a及導電體242b等的導電率下降的結構。例如，較佳為採用抑制導電體260、導電體242a及導電體242b等的氧化的結構。注意，氧化物半導體中的氫有可能形成 V_{oH} ，所以為了降低 V_{oH} 之量需要降低氫濃度。

【0114】於是，在本實施方式中，半導體裝置具有如下結構：降低區域230bc的氫濃度，抑制導電體242a、導電體242b及導電體260的氧化，並且抑制區域230ba及區域230bb中的氫濃度降低。

【0115】為了降低區域230bc的氫濃度，絕緣體253較佳為具有俘獲氫並固定氫的功能。如圖3A等所示，絕緣體253具有與氧化物230b的區域230bc接觸的區域。藉由採用該結構，可以降低氧化物230b的區域230bc中的氫濃度。因此，可以降低區域230bc中的 V_{oH} 而區域230bc被i型化或實質上的i型化。

【0116】作為具有俘獲氫並固定氫的功能的絕緣體，

可以舉出具有非晶結構的金屬氧化物。例如，較佳為使用氧化鎂或者包含鋁和鉛中的一者或兩者的氧化物等金屬氧化物。上述具有非晶結構的金屬氧化物有時具有如下性質：氧原子具有懸空鍵而由該懸空鍵俘獲或固定氫。就是說，可以說具有非晶結構的金屬氧化物的俘獲或固定氫的能力高。

【0117】尤其是，作為絕緣體 253，較佳為使用包含鋁和鉛中的一者或兩者的氧化物，更佳為使用具有非晶結構並包含鋁和鉛中的一者或兩者的氧化物，進一步較佳為使用具有非晶結構的氧化鉛。在本實施方式中，作為絕緣體 253，使用氧化鉛。此時，絕緣體 253 成為至少包含氧及鉛的絕緣體。另外，該氧化鉛具有非晶結構。此時，絕緣體 253 具有非晶結構。

【0118】注意，可用於絕緣體 253 的絕緣體不侷限於上述氫阻擋絕緣體。該絕緣體也可以使用氧化矽或氧氮化矽等的對熱具有穩定性的絕緣體。例如，作為絕緣體 253 也可以使用包括氧化鋁膜和氧化鋁膜上的氧化矽膜或氧氮化矽膜的疊層膜。此外，例如，作為絕緣體 253 也可以使用包括氧化鋁膜、氧化鋁膜上的氧化矽膜或氧氮化矽膜以及氧化矽膜或氧氮化矽膜上的氧化鉛膜的疊層膜。

【0119】再者，為了抑制導電體 242a、導電體 242b 及導電體 260 的氧化，較佳為在導電體 242a、導電體 242b 及導電體 260 的每一個附近設置氧阻擋絕緣體。在本實施方式所說明的半導體裝置中，該絕緣體例如為絕緣體 253、

絕緣體 254 及絕緣體 275。

【0120】此外，在本說明書等中，阻擋絕緣體是指具有阻擋性的絕緣體。在本說明書等中，阻擋性是指抑制所對應的物質的擴散的功能(也可以說透過性低)。或者，是指俘獲並固定所對應的物質(也稱為吸雜)的功能。

【0121】作為氧阻擋絕緣體，可以舉出包含鋁和鉛中的一者或兩者的氧化物、氧化鎂、氧化鎵、銦鎵鋅氧化物、氮化矽及氮氧化矽等。另外，作為包含鋁和鉛中的一者或兩者的氧化物，可以舉出氧化鋁、氧化鉛、包含鋁及鉛的氧化物(鋁酸鉛)、包含鉛及矽的氧化物(矽酸鉛)等。例如，作為絕緣體 253、絕緣體 254 及絕緣體 275 採用上述氧阻擋絕緣體的單層或疊層即可。

【0122】絕緣體 253 較佳為具有氧阻擋性。注意，絕緣體 253 至少比絕緣體 280 不容易使氧透過即可。絕緣體 253 具有與導電體 242a 的側面及導電體 242b 的側面接觸的區域。當絕緣體 253 具有氧阻擋性時，可以抑制導電體 242a 及導電體 242b 的側面被氧化而在該側面上形成氧化膜。因此，可以抑制導致電晶體 200 的通態電流的下降或場效移動率的下降。

【0123】絕緣體 253 以與氧化物 230b 的頂面及側面、氧化物 230a 的側面、絕緣體 224 的側面及絕緣體 222 的頂面接觸的方式設置。當絕緣體 253 具有氧阻擋性時，可以抑制在進行熱處理等時氧從氧化物 230b 的區域 230bc 脫離。因此，可以抑制在氧化物 230a 及氧化物 230b 中形成氧空

位。

【0124】另外，即使絕緣體280包含過多的氧，也可以抑制該氧過度供應到氧化物230a及氧化物230b。因此，可以抑制區域230ba及區域230bb被過度氧化而導致電晶體200的通態電流的下降或場效移動率的下降。

【0125】因為包含鋁和鉛中的一者或兩者的氧化物具有氧阻擋性，所以可以適當地用作絕緣體253。

【0126】絕緣體254較佳為具有氧阻擋性。絕緣體254設置在氧化物230b的區域230bc和導電體260之間以及絕緣體280和導電體260之間。藉由採用該結構，可以抑制氧化物230b的區域230bc中的氧擴散到導電體260而在氧化物230b的區域230bc中形成氧空位。另外，可以抑制氧化物230b中的氧及絕緣體280中的氧擴散到導電體260而導致導電體260的氧化。注意，絕緣體254至少比絕緣體280不容易使氧透過即可。例如，作為絕緣體254較佳為使用氮化矽。此時，絕緣體254成為至少包含氮及矽的絕緣體。

【0127】絕緣體275較佳為具有氧阻擋性。絕緣體275設置於絕緣體280與導電體242a及導電體242b之間。藉由採用該結構，可以抑制包含在絕緣體280中的氧擴散到導電體242a及導電體242b。因此，可以抑制包含在絕緣體280中的氧導致導電體242a及導電體242b被氧化使得電阻率增大而電晶體200的通態電流減少。注意，絕緣體275至少比絕緣體280不容易使氧透過即可。例如，作為絕緣體275較佳為使用氮化矽。此時，絕緣體275成為至少包含氮

及矽的絕緣體。

【0128】為了抑制區域230ba及區域230bb中的氫濃度降低，較佳為在區域230ba的附近及區域230bb的附近設置氫阻擋絕緣體。在本實施方式所說明的半導體裝置中，該氫阻擋絕緣體例如是絕緣體275。

【0129】作為氫阻擋絕緣體，可以舉出氧化鋁、氧化鉛、氧化鉭等氧化物以及氮化矽等氮化物。例如，作為絕緣體275採用上述氫阻擋絕緣體的單層或疊層即可。

【0130】絕緣體275較佳為具有氫阻擋性。絕緣體275以與氧化物230b的區域230ba的側面及氧化物230b的區域230bb的側面接觸的方式配置。藉由設置這種絕緣體275，可以降低區域230ba及區域230bb的氫擴散到外部，因此可以抑制區域230ba及區域230bb的氫濃度降低。因此，區域230ba及區域230bb可以被n型化。

【0131】藉由採用上述結構，用作通道形成區域的區域230bc可以被i型化或實質上被i型化且用作源極區域或汲極區域的區域230ba及區域230bb可以被n型化，可以提供一種具有良好的電特性的半導體裝置。藉由採用上述結構，即便使半導體裝置微型化或高積體化也可以使其具有良好的電特性。

【0132】絕緣體253被用作閘極絕緣體的一部分。如圖1B所示，絕緣體253以與絕緣體275的側面以及絕緣體280的側面接觸的方式設置。

【0133】絕緣體253需要與絕緣體254及導電體260一

起設置在形成於絕緣體280等中的開口中。為了實現電晶體200的微型化，絕緣體253的厚度較佳為小。絕緣體253的厚度為0.1nm以上且5.0nm以下，較佳為0.5nm以上且5.0nm以下，更佳為1.0nm以上且小於5.0nm，進一步較佳為1.0nm以上且3.0nm以下。此時，絕緣體253的至少一部分是上述厚度的區域即可。

【0134】為了如上所述地減小絕緣體253的厚度，較佳為利用原子層沉積(ALD:Atomic Layer Deposition)法進行沉積。ALD法有只利用熱能使前驅物及反應物起反應的熱ALD(Thermal ALD)法、使用收到電漿激發的反應物的PEALD(Plasma Enhanced ALD)法等。在PEALD法中，藉由利用電漿可以在更低溫下進行沉積，所以有時是較佳的。

【0135】ALD法可以按層沉積原子，從而有能夠沉積極薄的膜、能夠對縱橫比高的結構進行沉積、能夠以針孔等的缺陷少的方式進行沉積、能夠進行覆蓋性優良的沉積及能夠在低溫下進行沉積等效果。因此，可以在形成於絕緣體280等中的開口的側面以及導電體242的側端部等以上述較小的厚度且高覆蓋性沉積絕緣體253。

【0136】ALD法中使用的前驅物有時包含碳等。因此，利用ALD法形成的膜有時與利用其它的沉積方法形成的膜相比包含更多的碳等雜質。此外，雜質的定量可以利用二次離子質譜分析(SIMS:Secondary Ion Mass Spectrometry)、X射線光電子能譜(XPS:X-ray Photoelectron Spectroscopy)或俄歇電子能譜(AES:Auger

Electron Spectroscopy)進行。

【0137】注意，絕緣體253的厚度不侷限於上述厚度。例如，在包括絕緣體253具有氧化鋁膜、氧化鋁膜上的氧化矽膜以及氧化矽膜上的氧化鉛膜的疊層結構的情況等時，絕緣體253的厚度也可以在0.1nm以上且30nm以下左右的範圍內適當地設定。

【0138】絕緣體254被用作閘極絕緣體的一部分。絕緣體254較佳為具有氫阻擋性。由此，可以防止包含在導電體260中的氫等雜質擴散到氧化物230b。

【0139】絕緣體254需要與絕緣體253及導電體260一起設置在形成於絕緣體280等中的開口中。為了實現電晶體200的微型化，絕緣體254的厚度較佳為小。絕緣體254的厚度為0.1nm以上且5.0nm以下，較佳為0.5nm以上且3.0nm以下，更佳為1.0nm以上且3.0nm以下。此時，絕緣體254的至少一部分是上述厚度的區域即可。

【0140】例如，作為絕緣體254使用利用PEALD法沉積的氮化矽即可。

【0141】此外，藉由作為絕緣體253使用氧化鉛等具有抑制氫等雜質及氧的透過的功能的絕緣體，絕緣體253可以兼具絕緣體254所具有的功能。在此情況下，藉由採用不設置絕緣體254的結構，可以使半導體裝置的製程簡化，可以實現生產率的提高。

【0142】絕緣體275以覆蓋絕緣體222、絕緣體224、氧化物230a、氧化物230b、導電體242的方式設置。絕緣

體 275 可以具有與絕緣體 222 的頂面、絕緣體 224 的側面、氧化物 230a 的側面、氧化物 230b 的側面、導電體 242a 的頂面及側面、導電體 242b 的頂面及側面接觸的區域。

【0143】作為導電體 242a、導電體 242b 及導電體 260，較佳為使用不容易氧化的導電材料或者具有抑制氧擴散的功能的導電材料等。作為該導電材料例如可以舉出包含氮的導電材料及包含氧的導電材料等。由此，可以抑制導電體 242a、導電體 242b 及導電體 260 的導電率降低。在作為導電體 242a、導電體 242b 及導電體 260 使用包含金屬及氮的導電材料時，導電體 242a、導電體 242b 及導電體 260 成為至少包含金屬及氮的導電體。

【0144】導電體 242 和導電體 260 中的一者或兩者也可以具有疊層結構。例如，如圖 1B 所示，導電體 242a 和導電體 242b 也可以都採用兩層的疊層結構。此時，作為與氧化物 230b 接觸的層(導電體 242a1 及導電體 242b1)，較佳為使用不容易氧化的導電材料或具有抑制氧擴散的功能的導電材料等。此外，例如，如圖 1B 所示，在導電體 260 具有導電體 260a 和導電體 260b 的疊層結構時，作為導電體 260a，較佳為使用不容易氧化的導電材料或具有抑制氧擴散的功能的導電材料等。

【0145】此外，為了抑制導電體 242 的導電率下降，作為氧化物 230b 較佳為使用 CAAC-OS 等具有結晶性的氧化物。作為該氧化物，較佳為使用上述能夠用於氧化物 230 的金屬氧化物。尤其較佳為使用包含鈦、鋅及選自鎵、鋁

和錫中的一個或多個的金屬氧化物。此外，CAAC-OS為具有結晶的氧化物，該結晶的c軸大致垂直於該氧化物的表面或被形成面。由此，可以抑制導電體242a或導電體242b從氧化物230b抽出氧。此外，可以抑制導電體242a及導電體242b的導電率降低。

【0146】此外，本實施方式以在氧化物230b上設置導電體242a及導電體242b的狀態在含氧氛圍下進行微波處理來減少區域230bc中的氧空位及 V_{OH} 。在此，微波處理例如是指使用包括利用微波產生高密度電漿的電源的裝置的處理。

【0147】藉由在含氧氛圍下進行微波處理，可以使用微波或RF(Radio Frequency：射頻)等高頻使氧氣體電漿化而使該氧電漿作用。此時，也可以將微波或RF等高頻照射到區域230bc。藉由電漿、微波等的作用，可以使區域230bc的 V_{OH} 分開為氧空位及氫，可以從區域230bc去除該氫且由氧填補該氧空位。由此，可以降低區域230bc中的氫濃度、氧空位及 V_{OH} 而降低載子濃度。

【0148】當在含氧氛圍下進行微波處理時，微波或RF等高頻、氧電漿等的作用被導電體242a及導電體242b遮蔽並沒有涉及到區域230ba及區域230bb。再者，可以藉由覆蓋氧化物230b及導電體242的絕緣體275及絕緣體280降低氧電漿的作用。由此，在進行微波處理時在區域230ba及區域230bb中不發生 V_{OH} 的減少以及過多的氧的供應，因此可以防止載子濃度的降低。

【0149】較佳為在沉積將成為絕緣體253的絕緣膜之後在含氧氛圍下進行微波處理。此外，在絕緣體253具有疊層結構時，也可以在沉積絕緣體253的一部分的狀態下進行該微波處理。例如，在絕緣體253包含氧化矽膜或氧氮化矽膜時，也可以在沉積氧化矽膜或氧氮化矽膜的階段中進行該微波處理。

【0150】如此，藉由經由絕緣體253在含氧氛圍下進行微波處理，可以對區域230bc高效地注入氧。另外，藉由以與導電體242的側面及區域230bc的表面接觸的方式配置絕緣體253，可以抑制區域230bc被注入不必要的氧，因此可以抑制導電體242的側面的氧化。

【0151】另外，作為注入到區域230bc中的氧，有氧原子、氧分子、氧離子及氧自由基(也稱為O自由基，包含不成對電子的原子、分子或者離子)等各種形態。注入到區域230bc中的氧可以為上述形態中的任一個或多個，尤其較佳為氧自由基。另外，由於可以提高絕緣體253的膜質量，電晶體200的可靠性得到提高。

【0152】如上所述，可以在氧化物半導體的區域230bc中選擇性地去除氧空位及 V_{oH} 而使區域230bc成為i型或實質上i型。並且，可以抑制對用作源極區域或汲極區域的區域230ba及區域230bb供應過多的氧而保持進行微波處理之前的n型區域的狀態。由此，可以抑制電晶體200的電特性的變動且可以抑制在基板面內電晶體200的電特性不均勻。

【0153】藉由採用上述結構，可以提供一種電晶體特性不均勻小的半導體裝置。此外，可以提供一種頻率特性良好的半導體裝置。此外，可以提供一種工作速度快的半導體裝置。此外，可以提供一種可靠性高的半導體裝置。此外，可以提供一種具有良好的電特性的半導體裝置。另外，可以提供一種能夠實現微型化或高積體化的半導體裝置。

【0154】如圖1C所示，在電晶體200的通道寬度方向的剖面中，也可以在氧化物230b的側面與氧化物230b的頂面之間具有彎曲面。就是說，該側面的端部和該頂面的端部也可以彎曲(以下，也稱為圓形)。

【0155】上述彎曲面的曲率半徑較佳為大於0nm且小於與導電體242重疊的區域的氧化物230b的厚度或者小於不具有上述彎曲面的區域的一半長度。明確而言，上述彎曲面的曲率半徑大於0nm且為20nm以下，較佳為1nm以上且15nm以下，更佳為2nm以上且10nm以下。藉由採用上述形狀，可以提高絕緣體253、絕緣體254及導電體260的向氧化物230b的覆蓋性。

【0156】此外，在電晶體200的製程中，較佳為在氧化物230的表面露出的狀態下進行熱處理。該熱處理例如可以以100°C以上且600°C以下，更佳為以350°C以上且550°C以下進行。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，熱處理較佳為在氧氛圍下進行。由此，對氧化

物 230 供應氧，從而可以減少氧空位。熱處理也可以在減壓狀態下進行。此外，也可以在氮氣體或惰性氣體的氛圍下進行熱處理，然後為了填補脫離的氧而在包含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體的氛圍下進行熱處理。此外，也可以在包含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體的氛圍下進行熱處理，然後連續地在氮氣體或惰性氣體的氛圍下進行熱處理。

【0157】藉由對氧化物 230 進行加氧化處理，可以由所供應的氧填補氧化物 230 中的氧空位。再者，氧化物 230 中殘留的氫與被供給的氧發生反應而可以將該氫以 H_2O 的形態去除(脫水化)。由此，可以抑制殘留在氧化物 230 中的氫與氧空位再結合而形成 V_OH 。

【0158】另外，如圖 1C 等所示，由於以與氧化物 230 的頂面及側面接觸的方式設置絕緣體 253，氧化物 230 所包含的銮有時集中地分佈在氧化物 230 和絕緣體 253 的介面及其附近。因此，氧化物 230 的表面附近具有接近銮氧化物的原子個數比或者接近 In-Zn 氧化物的原子個數比。在如此氧化物 230，尤其是氧化物 230b 的表面附近的銮的原子個數比較大時，可以提高電晶體 200 的場效移動率。

【0159】在本實施方式中，較佳的是，半導體裝置除了上述結構以外還具有抑制氫混入電晶體 200 的結構。例如，較佳的是，以覆蓋電晶體 200 的方式設置具有抑制氫擴散的功能的絕緣體。在本實施方式中說明的半導體裝置中，該絕緣體例如為絕緣體 212。

【0160】作為絕緣體212，較佳為使用具有抑制氫擴散的功能的絕緣體。由此，可以抑制氫從絕緣體212的下方擴散到電晶體200。作為絕緣體212使用上述可用作絕緣體275的絕緣體即可。

【0161】絕緣體212、絕緣體214和絕緣體282中的至少一個較佳為被用作抑制水、氫等雜質從基板一側或電晶體200的上方擴散到電晶體200的阻擋絕緣膜。因此，絕緣體212、絕緣體214和絕緣體282中的至少一個較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、銅原子等雜質的擴散的功能(不容易使上述雜質透過)的絕緣材料。此外，較佳為使用具有抑制氧(例如，氧原子和氧分子等中的至少一個)的擴散的功能(不容易使上述氧透過)的絕緣材料。

【0162】作為絕緣體212、絕緣體214及絕緣體282，較佳為使用具有抑制水、氫等雜質及氧的擴散的功能的絕緣體，例如可以使用氧化鋁、氧化鎂、氧化鉛、氧化鎵、銦鎵鋅氧化物、氮化矽或氮氧化矽等。例如，作為絕緣體212，較佳為使用氫阻擋性更高的氮化矽等。此外，例如，作為絕緣體214及絕緣體282，較佳為使用俘獲氫並固定氫的性能高的氧化鋁或氧化鎂等。由此，可以抑制水、氫等雜質經過絕緣體212及絕緣體214從基板一側擴散到電晶體200一側。或者，可以抑制水、氫等雜質從配置在絕緣體282的外方的層間絕緣膜等擴散到電晶體200一側。或者，可以抑制包含在絕緣體224等中的氧經過絕緣體212及

絕緣體 214 擴散到基板一側。或者，可以抑制含在絕緣體 280 等中的氧經過絕緣體 282 等向電晶體 200 的上方擴散。如此，較佳為採用由具有抑制水、氫等雜質及氧的擴散的功能的絕緣體 212、絕緣體 214 及絕緣體 282 圍繞電晶體 200 的結構。

【0163】在此，作為絕緣體 212、絕緣體 214 及絕緣體 282，較佳為使用具有非晶結構的氧化物。例如，較佳為使用 AlO_x (x 是大於 0 的任意數) 或 MgO_y (y 是大於 0 的任意數) 等金屬氧化物。上述具有非晶結構的金屬氧化物有時具有如下性質：氧原子具有懸空鍵而由該懸空鍵俘獲或固定氫。藉由將上述具有非晶結構的金屬氧化物作為電晶體 200 的組件使用或者設置在電晶體 200 的周圍，可以俘獲或固定含在電晶體 200 中的氫或存在於電晶體 200 的周圍的氫。尤其是，較佳為俘獲或固定含在電晶體 200 的通道形成區域中的氫。藉由將具有非晶結構的金屬氧化物作為電晶體 200 的組件使用或者設置在電晶體 200 的周圍，可以製造具有良好特性且可靠性高的電晶體 200 及半導體裝置。

【0164】此外，絕緣體 212、絕緣體 214 及絕緣體 282 較佳為具有非晶結構，但是也可以在其一部分形成多晶結構的區域。此外，絕緣體 212、絕緣體 214 及絕緣體 282 也可以具有層疊有非晶結構的層與多晶結構的層的多層結構。例如，也可以具有非晶結構的層上形成有多晶結構的層的疊層結構。

【0165】絕緣體 212、絕緣體 214 及絕緣體 282 的沉積

例如可以利用濺射法進行。濺射法不需要作為沉積氣體使用包含氫的分子，所以可以降低絕緣體 212、絕緣體 214 及絕緣體 282 的氫濃度。作為沉積方法，除了濺射法以外還可以適當地使用化學氣相沉積 (CVD：Chemical Vapor Deposition) 法、分子束磊晶 (MBE：Molecular Beam Epitaxy) 法、脈衝雷射沉積 (PLD：Pulsed Laser Deposition) 法、ALD 法等。

【0166】此外，有時較佳為降低絕緣體 212 的電阻率。例如，藉由使絕緣體 212 的電阻率約為 $1 \times 10^{13} \Omega \text{cm}$ ，在半導體裝置的製程的利用電漿等的處理中，有時絕緣體 212 可以緩和導電體 205、導電體 242、導電體 260 或導電體 240 的電荷積聚 (charge up)。絕緣體 212 的電阻率較佳為 $1 \times 10^{10} \Omega \text{cm}$ 以上且 $1 \times 10^{15} \Omega \text{cm}$ 以下。

【0167】此外，絕緣體 216、絕緣體 280 及絕緣體 285 的介電常數較佳為比絕緣體 214 低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。例如，作為絕緣體 216、絕緣體 280 及絕緣體 285，適當地使用氧化矽、氧氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽等即可。

【0168】導電體 205 以與氧化物 230 及導電體 260 重疊的方式配置。在此，導電體 205 較佳為以嵌入形成在絕緣體 216 的開口中的方式設置。此外，導電體 205 的一部分有時嵌入絕緣體 214 中。

【0169】導電體205包括導電體205a及導電體205b。導電體205a以與該開口的底面及側壁接觸的方式設置。導電體205b以嵌入形成在導電體205a的凹部中的方式設置。在此，導電體205b的頂面的高度與導電體205a的頂面的高度及絕緣體216的頂面的高度一致或大致一致。

【0170】在此，作為導電體205a較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、銅原子等雜質的擴散的功能的導電材料。或者，較佳為使用具有抑制氧(例如，氧原子和氧分子等中的至少一個)的擴散的功能的導電材料。

【0171】藉由作為導電體205a使用具有降低氫的擴散的功能的導電材料，可以防止含在導電體205b中的氫等雜質透過絕緣體216及絕緣體224等擴散到氧化物230。此外，藉由作為導電體205a使用具有抑制氧的擴散的功能的導電材料，可以抑制導電體205b被氧化而導電率下降。作為具有抑制氧擴散的功能的導電材料，例如較佳為使用鈦、氮化鈦、鉍、氮化鉍、鈮、氧化鈮等。因此，作為導電體205a使用單層或疊層的上述導電材料即可。例如，作為導電體205a使用氮化鈦即可。

【0172】此外，導電體205b較佳為使用以鎢、銅或鋁為主要成分的導電材料。例如，導電體205b可以使用鎢。

【0173】導電體205有時被用作第二閘極電極。在此情況下，藉由獨立地改變施加到導電體205的電位而不使其與施加到導電體260的電位聯動，可以控制電晶體200的

臨界電壓 (V_{th})。尤其是，藉由對導電體 205 施加負電位，可以進一步增大電晶體 200 的 V_{th} 而減少關態電流。由此，與不對導電體 205 施加負電位的情況相比，在對導電體 205 施加負電位的情況下，可以減少對導電體 260 施加的電位為 0V 時的汲極電流。

【0174】此外，導電體 205 的電阻率考慮上述施加到導電體 205 的電位設計，導電體 205 的厚度根據該電阻率設定。此外，絕緣體 216 的厚度與導電體 205 的厚度大致相同。在此，較佳為在導電體 205 的設計允許的範圍內減少導電體 205 及絕緣體 216 的厚度。藉由減少絕緣體 216 的厚度，可以降低含在絕緣體 216 中的氫等雜質的絕對量，所以可以減少該雜質擴散到氧化物 230。

【0175】此外，如圖 1A 所示，導電體 205 較佳為比氧化物 230 中不與導電體 242a 及導電體 242b 重疊的區域大。尤其是，如圖 1C 所示，導電體 205 較佳為延伸到氧化物 230a 及氧化物 230b 的通道寬度方向的端部的外側的區域。就是說，較佳為在氧化物 230 的通道寬度方向的側面的外側，導電體 205 和導電體 260 隔著絕緣體重疊。藉由具有該結構，可以由用作第一閘極電極的導電體 260 的電場和用作第二閘極電極的導電體 205 的電場電圍繞氧化物 230 的通道形成區域。

【0176】在本說明書等中，將至少由第一閘極電極的電場電圍繞通道形成區域的電晶體的結構稱為 surrounded channel (S-channel) 結構。此外，本說明書等中公開的 S-

channel結構與Fin型結構及平面型結構不同。另一方面，可以將在本說明書等中公開的S-channel結構視為Fin型結構的一種。另外，在本說明書等中，Fin型結構是指以至少包圍通道的兩個面以上(明確而言，兩個面、三個面或四個面等)的方式配置閘極電極的結構。藉由採用Fin型結構及S-channel結構，可以提高對短通道效應的耐性，換言之可以實現不容易發生短通道效應的電晶體。

【0177】藉由作為電晶體200採用上述S-channel結構，可以電圍繞通道形成區域。S-channel結構是電圍繞通道形成區域的結構，所以也可以說該結構在實質上與GAA(Gate All Around：環繞式閘極)結構或LGAA(Lateral Gate All Around：橫向環繞式閘極)結構相同。藉由使電晶體200具有S-channel結構、GAA結構或LGAA結構，可以將形成在氧化物230與閘極絕緣體的介面或其附近的通道形成區域設置在氧化物230的整個塊體。因此，可以提高流過電晶體的電流密度，所以可以期待電晶體的通態電流或電晶體的場效移動率的提高。

【0178】注意，作為圖1B所示的電晶體200示出S-channel結構的電晶體，但是本發明的一個實施方式的半導體裝置不侷限於此。例如，作為可用於本發明的一個實施方式的電晶體的結構，也可以採用選自平面型結構、Fin型結構和GAA結構中的任一個或多個。

【0179】此外，如圖1C所示，將導電體205延伸來用作佈線。但是，本發明不侷限於此，也可以在導電體205

下設置用作佈線的導電體。此外，不一定需要在每一個電晶體中設置一個導電體 205。例如，多個電晶體可以共同使用導電體 205。

【0180】注意，示出在電晶體 200 中作為導電體 205 層疊有導電體 205a 及導電體 205b 的結構，但是本發明不侷限於此。例如，導電體 205 可以具有單層結構，也可以具有三層以上的疊層結構。

【0181】絕緣體 222 及絕緣體 224 被用作第二閘極絕緣體。

【0182】絕緣體 222 較佳為具有抑制氫(例如，氫原子和氫分子等中的至少一個)的擴散的功能。此外，絕緣體 222 較佳為具有抑制氧(例如，氧原子和氧分子等中的至少一個)的擴散的功能。例如，絕緣體 222 較佳為具有與絕緣體 224 相比進一步抑制氫和氧中的一者或兩者的擴散的功能。

【0183】絕緣體 222 較佳為使用包含作為絕緣材料的鋁和鉛中的一者或兩者的氧化物的絕緣體。作為該絕緣體，較佳為使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物(鋁酸鉛)等。或者，較佳為使用包含鉛及鋇的氧化物，例如使用鉛鋇氧化物。當使用這種材料形成絕緣體 222 時，絕緣體 222 被用作抑制氧從氧化物 230 釋放到基板一側及氫等雜質從電晶體 200 的周圍部擴散到氧化物 230 的層。因此，藉由設置絕緣體 222，可以抑制氫等雜質擴散到電晶體 200 的內側，而可以抑制在氧化物 230 中生成氧空位。此

外，可以抑制導電體 205 與絕緣體 224 及氧化物 230 所包含的氧起反應。

【0184】或者，例如也可以對上述絕緣體添加氧化鋁、氧化鈹、氧化鋳、氧化鋳、氧化矽、氧化鈦、氧化鎢、氧化釷或氧化銻。或者，也可以對上述絕緣體進行氮化處理。另外，絕緣體 222 可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽。

【0185】此外，作為絕緣體 222，例如也可以以單層或疊層使用包含氧化鋁、氧化鉛、氧化鉍、氧化銻、鉛銻氧化物等所謂的 high-k 材料的絕緣體。當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用 high-k 材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。此外，作為絕緣體 222 有時可以使用銻鈦酸鉛 (PZT)、鈦酸鋇 (SrTiO₃)、(Ba, Sr)TiO₃ (BST) 等介電常數高的物質。

【0186】作為與氧化物 230 接觸的絕緣體 224，例如適當地使用氧化矽、氧氮化矽等即可。

【0187】此外，絕緣體 222 及絕緣體 224 也可以具有兩層以上的疊層結構。此時，不侷限於使用相同材料構成的疊層結構，也可以是使用不同材料構成的疊層結構。此外，如圖 1B 等所示，絕緣體 224 也可以形成為島狀且與氧化物 230a 重疊。在此情況下，絕緣體 275 與絕緣體 224 的側面及絕緣體 222 的頂面接觸。注意，在本說明書等中，島

狀是指以同一製程形成並使用同一材料的兩個以上的層物理分離的狀態。

【0188】 導電體 242a 及導電體 242b 以與氧化物 230b 的頂面及側面、氧化物 230a 的側面及絕緣體 224 的側面接觸的方式設置。這裡，導電體 242a 及導電體 242b 也可以具有與絕緣體 224、氧化物 230a、氧化物 230b 的通道長度方向的側面接觸且不與絕緣體 224、氧化物 230a、氧化物 230b 的通道寬度方向的側面接觸的結構。另外，導電體 242a 的一部分及導電體 242b 的一部分接觸於絕緣體 222 的頂面。此外，導電體 242a 的一部分以與絕緣體 222 的側面及絕緣體 216 的一部分接觸的方式設置。導電體 242a 及導電體 242b 都被用作電晶體 200 的源極電極或汲極電極。

【0189】 作為導電體 242 (導電體 242a 及導電體 242b) 例如較佳為使用包含鉍的氮化物、包含鈦的氮化物、包含鉬的氮化物、包含鎢的氮化物、包含鉍及鋁的氮化物、包含鈦及鋁的氮化物等。在本發明的一個實施方式中，尤其較佳為採用包含鉍的氮化物。此外，例如也可以使用氧化鈦、氮化鈦、包含鋁和鈦的氧化物、包含釩和鎳的氧化物等。這些材料是不容易氧化的導電材料或者即使吸收氧也維持導電性的材料，所以是較佳的。

【0190】 注意，有時包含在氧化物 230b 等中的氫擴散到導電體 242a 或導電體 242b。尤其是，當作為導電體 242a 及導電體 242b 使用包含鉍的氮化物時，有時包含在氧化物 230b 等中的氫容易擴散到導電體 242a 或導電體 242b，該擴

散的氫與導電體 242a 或導電體 242b 所包含的氮鍵合。也就是說，有時包含在氧化物 230b 等中的氫被導電體 242a 或導電體 242b 吸取。

【0191】此外，較佳為在導電體 242 的側面與導電體 242 的頂面之間不形成彎曲面。藉由使導電體 242 不具有該彎曲面，如圖 1D 等所示，可以增大通道寬度方向的剖面上的導電體 242 的剖面積。藉由增大導電體 242 的剖面積，降低導電體 242 的電阻，由此可以增大電晶體 200 的通態電流。

【0192】另外，如圖 1A 所示，導電體 242a 在電晶體 200a 和電晶體 200b 之間的區域中具有開口。另外，以與該開口重疊的方式設置有導電體 240。在從平面看電晶體 200 時，該開口的大小較佳為小於導電體 240 的大小。藉由採用該結構，可以形成導電體 242a 和導電體 240 接觸的區域。由此，使導電體 242a 和導電體 240 電連接。

【0193】注意，在圖 1A 所示的記憶單元中示出電晶體 200a 和電晶體 200b 的導電體 242a 成為一體的結構，但本發明不侷限於此。例如，也可以採用使電晶體 200a 的導電體 242a 和電晶體 200b 的導電體 242a 分離的結構。藉由採用這種結構，可以將導電體 242 的 Y 方向的寬度設定為最小線寬度，由此可以實現半導體裝置的高積體化。此時，電晶體 200a 的導電體 242a 的頂面的一部分及側面的一部分與導電體 240 接觸且電晶體 200b 的導電體 242a 的頂面的一部分及側面的一部分與導電體 240 接觸。藉由採用這種結構，用

作插頭的導電體 240、電晶體 200a及電晶體 200b電連接。

【0194】另外，當在導電體 242a(導電體 242b)與氧化物 230b接觸的狀態下進行熱處理時，與導電體 242a(導電體 242b)重疊的區域的氧化物 230b的片電阻有時降低。另外，有時載子濃度增加。因此，可以使與導電體 242a(導電體 242b)重疊的區域的氧化物 230b自對準地低電阻化。

【0195】導電體 242a及導電體 242b較佳為使用具有壓縮應力的導電膜來形成。由此，可以在區域 230ba及區域 230bb形成向拉伸方向擴展的應變(以下有時稱為拉伸應變)。藉由由拉伸應變穩定地形成 V_{OH} ，可以使區域 230ba及區域 230bb成為穩定的n型區域。注意，導電體 242a所具有的壓縮應力是緩和導電體 242a的壓縮形狀的應力，並且是具有從導電體 242a的中央部向端部的方向的向量的應力。導電體 242b所具有的壓縮應力也是同樣的。

【0196】導電體 242a所具有的壓縮應力的大小例如可以為 500MPa以上，較佳為 1000MPa以上，更佳為 1500MPa以上，進一步較佳為 2000MPa以上。注意，也可以製造在基板上沉積用於導電體 242a的導電膜的樣本，並根據該樣本的應力測量值規定導電體 242a所具有的應力的大小。導電體 242b所具有的壓縮應力的大小也是同樣的。作為具有上述壓縮應力的大小的導電體，可以舉出包含鈇的氮化物。

【0197】由於導電體 242a及導電體 242b所具有的壓縮應力的作用，在區域 230ba及區域 230bb分別形成應變。該

應變是因導電體 242a 及導電體 242b 所具有的壓縮應力的作用而各自向拉伸方向擴展的應變(拉伸應變)。在區域 230ba 及區域 230bb 具有 CAAC 結構時，該應變相當於向垂直於 CAAC 結構的 c 軸的方向的延伸。在 CAAC 結構向垂直於該 CAAC 結構的 c 軸的方向延伸時，該應變中易於形成氧空位。另外，該應變易於吸收氫，所以易於形成 V_oH 。因此，在該應變中易於形成氧空位及 V_oH 且容易得到氧空位及 V_oH 穩定的結構。由此，區域 230ba 及區域 230bb 成為載子濃度高的穩定的 n 型區域。

【0198】注意，以上對氧化物 230b 中形成的應變進行了說明，但本發明不限於此。有時在氧化物 230a 中也形成同樣的應變。

【0199】在圖 1A 至圖 1D 所示的半導體裝置中，導電體 242 具有兩層的疊層結構。明確而言，導電體 242a 包括導電體 242a1 以及導電體 242a1 上的導電體 242a2。同樣地，導電體 242b 包括導電體 242b1 以及導電體 242b1 上的導電體 242b2。此時，將導電體 242a1 及導電體 242b1 配置在與氧化物 230b 接觸一側。

【0200】導電體 242a1 和導電體 242a2 分別可以使用與導電體 242b1 和導電體 242b2 相同的材料及製程形成，後面對此進行詳細的說明。因此，導電體 242a1 較佳為包含與導電體 242b1 相同的導電材料。另外，導電體 242a2 較佳為包含與導電體 242b2 相同的導電材料。

【0201】注意，下面有時將導電體 242a1 和導電體

242b1統稱為導電體242的下層。另外，有時將導電體242a2和導電體242b2統稱為導電體242的上層。

【0202】導電體242的下層(導電體242a1及導電體242b1)較佳為由具有不易氧化的特性的導電材料構成。由此，可以抑制導電體242的下層氧化而導致導電體242的導電率下降。此外，導電體242的下層也可以具有容易吸取(提取)氫的特性。由此，氧化物230的氫擴散到導電體242的下層，可以減少氧化物230的氫濃度。因此，可以使電晶體200具有穩定的電特性。另外，如上所述，導電體242的下層較佳為具有大壓縮應力，較佳為具有比導電體242的上層大的壓縮應力。由此，如上所述，可以使與導電體242的下層接觸的區域230ba及區域230bb為載子濃度高的穩定n型區域。

【0203】另外，導電體242的上層(導電體242a2及導電體242b2)的導電性較佳為比導電體242的下層(導電體242a1及導電體242b1)高。例如，使導電體242的上層的厚度大於導電體242的下層的厚度即可。導電體242的上層的至少一部分具有導電性高於導電體242的下層的區域即可。或者，導電體242的上層較佳為由電阻率比導電體242的下層低的導電材料構成。由此，可以製造佈線延遲得到抑制的半導體裝置。

【0204】另外，導電體242的上層也可以具有容易吸取氫的特性。由此，被導電體242的下層吸取的氫還擴散到導電體242的上層，而可以進一步降低氧化物230中的氫

濃度。因此，可以使電晶體 200 具有穩定的電特性。

【0205】當導電體 242 具有兩層的疊層結構時，也可以使導電體 242 的下層及導電體 242 的上層的構成元素、化學組成和沉積條件中的一個或多個不同。

【0206】例如，作為導電體 242 的下層(導電體 242a1 及導電體 242b1)可以使用氮化鋁或氮化鈦，作為導電體 242 的上層(導電體 242a2 及導電體 242b2)可以使用鎢。此時，導電體 242a1 及導電體 242b1 為包含鋁或鈦以及氮的導電體。藉由採用該結構，可以抑制導電體 242 的下層氧化而導致導電體 242 的導電率下降。另外，藉由採用該結構，可以由具有氧阻擋性的絕緣體 275 以及具有不易氧化的特性的導電體 242a1 圍繞導電體 242a2，且可以由具有氧阻擋性的絕緣體 275 以及具有不易氧化的特性的導電體 242b1 圍繞導電體 242b2。因此，可以抑制導電體 242a2 及導電體 242b2 的氧化，而可以製造抑制佈線延遲的半導體裝置。另外，藉由作為導電體 242 的上層使用鎢，可以將導電體 242 用作佈線。

【0207】或者，例如，作為導電體 242 的下層也可以使用包含鋁的氮化物(例如，氮化鋁)，作為導電體 242 的上層也可以使用包含鈦的氮化物(例如，氮化鈦)。氮化鈦的導電性可以比氮化鋁高，因此可以使導電體 242 的上層的導電性比導電體 242 的下層高。因此，可以降低與以接觸於導電體 242 的頂面的方式設置的導電體 240 的接觸電阻，因此可以製造抑制佈線延遲的半導體裝置。

【0208】另外，示出了作為導電體242的下層及導電體242的上層使用互不相同的導電材料的例子，但本發明不侷限於此。

【0209】導電體242的下層及導電體242的上層也可以使用構成元素相同且化學組成不同的導電材料。此時，可以在不暴露於大氣環境的情況下連續沉積導電體242的下層和導電體242的上層。藉由以不暴露於大氣環境的方式進行沉積，可以防止來自大氣環境的雜質或水分附著於導電體242的下層表面，由此可以保持導電體242的下層與導電體242的上層的介面附近的清潔。

【0210】此外，較佳的是，作為導電體242的下層使用相對於鉍的氮的原子個數比高的含鉍的氮化物，作為導電體242的上層使用相對於鉍的氮的原子個數比低的含鉍的氮化物。例如，作為導電體242的下層，使用如下含鉍的氮化物：相對於鉍的氮的原子個數比為1.0以上且2.0以下，較佳為1.1以上且1.8以下，更佳為1.2以上且1.5以下。例如，作為導電體242的上層，使用如下含鉍的氮化物：相對於鉍的氮的原子個數比為0.3以上且1.5以下，較佳為0.5以上且1.3以下，更佳為0.6以上且1.0以下。

【0211】藉由在含鉍的氮化物中提高相對於鉍的氮的原子個數比，可以抑制含鉍的氮化物的氧化。另外，可以提高含鉍的氮化物的耐氧化性。另外，可以抑制氧擴散到含鉍的氮化物中。因此，作為導電體242的下層，較佳為使用相對於鉍的氮的原子個數比高的含鉍的氮化物。由

此，可以防止氧化層形成在導電體 242 的下層與氧化物 230 之間，或者可以減小氧化層的厚度。

【0212】此外，藉由在含鈹的氮化物中降低相對於鈹的氮的原子個數比，可以降低該氮化物的電阻率。因此，作為導電體 242 的上層，較佳為使用相對於鈹的氮的原子個數比低的含鈹的氮化物。由此，可以製造佈線延遲得到抑制的半導體裝置。

【0213】注意，在導電體 242 中，有時難以明確地檢測出上層與下層的邊界。在將含鈹的氮化物用於導電體 242 的情況下，在各層中檢測出的鈹和氮的濃度並不需要按每層分階段地變化，也可以在上層與下層之間的區域逐漸地變化(也稱為漸變(gradation))。也就是說，在導電體 242 中的更接近氧化物 230 的區域中，相對於鈹的氮的原子個數比更高，即可。因此，位於導電體 242 的下方的區域的相對於鈹的氮的原子個數比較佳為高於位於導電體 242 的上方的區域的相對於鈹的氮的原子個數比。

【0214】注意，示出在電晶體 200 中導電體 242 具有兩層的疊層結構，但是本發明不侷限於此。例如，導電體 242 可以具有單層結構，也可以具有三層以上的疊層結構。在結構體具有疊層結構的情況下，有時按形成順序賦予序數以進行區別。

【0215】另外，導電體 260 以其頂面的高度與絕緣體 254 的最上部、絕緣體 253 的最上部及絕緣體 280 的頂面的高度一致或大致一致的方式配置。

【0216】導電體260被用作電晶體200的第一閘極電極。導電體260較佳為包括導電體260a以及配置在導電體260a上的導電體260b。例如，較佳為以包圍導電體260b的底面及側面的方式配置導電體260a。雖然在圖1B及圖1C中導電體260具有導電體260a和導電體260b的兩層結構，但是也可以具有單層結構或三層以上的疊層結構。

【0217】作為導電體260a較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子、銅原子等雜質的擴散的功能的導電材料。或者，較佳為使用具有抑制氧(例如，氧原子和氧分子等中的至少一個)的擴散的功能的導電材料。

【0218】此外，當導電體260a具有抑制氧擴散的功能時，可以抑制絕緣體280等所包含的氧使導電體260b氧化而導致導電率的下降。作為具有抑制氧擴散的功能的導電材料，例如可以使用鈦、氮化鈦、鉭、氮化鉭、鈮、氧化鈮等。

【0219】另外，導電體260以嵌入延伸在通道寬度方向上的開口258中的方式形成，導電體260也在通道寬度方向上延伸地設置。由此，當設置多個電晶體200時，也可以將導電體260用作佈線。另外，此時，絕緣體253及絕緣體254也與導電體260一起延伸地設置。

【0220】此外，由於導電體260還被用作佈線，所以較佳為使用導電性高的導電體。例如，導電體260b可以使用鎢、銅或鋁為主要成分的導電材料。此外，導電體260b

可以具有疊層結構，例如可以具有鈦或氮化鈦與上述導電材料的疊層結構。

【0221】此外，在電晶體200中，以嵌入形成於絕緣體280等中的開口258中的方式自對準地形成導電體260。藉由如此形成導電體260，可以在導電體242a和導電體242b之間的區域中無需對準並確實地配置導電體260。

【0222】此外，如圖1C所示，在電晶體200的通道寬度方向上，以絕緣體222的底面為基準時的不與氧化物230b重疊的區域的導電體260的底面的高度較佳為比氧化物230b的底面的高度低。藉由採用用作閘極電極的導電體260隔著絕緣體253等覆蓋氧化物230b的通道形成區域的側面及頂面的結構，使導電體260的電場容易作用於氧化物230b的通道形成區域整體。由此，可以提高電晶體200的通態電流及頻率特性。以絕緣體222的底面為基準時的不與氧化物230a及氧化物230b重疊的區域的導電體260的底面的高度與氧化物230b的底面的高度之差為0nm以上且100nm以下，較佳為3nm以上且50nm以下，更佳為5nm以上且20nm以下。

【0223】絕緣體280設置在絕緣體275上，設置有絕緣體253、絕緣體254及導電體260的區域中形成有開口258。此外，絕緣體280的頂面也可以被平坦化。

【0224】較佳的是，用作層間膜的絕緣體280的介電常數低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。絕緣體280例如較佳為使用

與絕緣體 216 同樣的材料形成。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。特別是，因為氧化矽、氧氮化矽、具有空孔的氧化矽等材料容易形成包含藉由加熱脫離的氧的區域，所以是特別較佳的。

【0225】絕緣體 280 中的水、氫等雜質濃度較佳為得到降低。例如，作為絕緣體 280 適當地使用氧化矽、氧氮化矽等包含矽的氧化物即可。

【0226】絕緣體 282 以接觸於導體 260、絕緣體 253、絕緣體 254 及絕緣體 280 的各頂面的至少一部分的方式配置。

【0227】絕緣體 282 較佳為被用作抑制水、氫等雜質從上方向絕緣體 280 擴散的阻擋絕緣膜且具有俘獲氫等雜質的功能。此外，絕緣體 282 較佳為被用作抑制氧透過的阻擋絕緣膜。作為絕緣體 282，使用具有非晶結構的金屬氧化物，例如氧化鋁等絕緣體即可。此時的絕緣體 282 為至少包含氧及鋁的絕緣體。藉由設置與絕緣體 280 接觸且具有俘獲氫等雜質的功能的絕緣體 282，可以俘獲包含在絕緣體 280 等中的氫等雜質。尤其是，絕緣體 282 較佳為使用具有非晶結構的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體 200 及半導體裝置。

【0228】作為絕緣體 282，較佳為藉由濺射法沉積氧化鋁，更佳為在含氧氣體氛圍下使用鋁靶材藉由脈衝 DC 濺射法沉積氧化鋁。藉由使用脈衝 DC 濺射法，可以使膜

厚分佈更均勻而提高濺射速率及膜質量。在此，也可以對基板施加 RF 功率。可以根據對基板施加的 RF 功率的大小控制注入到絕緣體 282 的下層中的氧量。例如，RF 功率越小注入到絕緣體 282 的下層中的氧量就越少，即使絕緣體 282 較薄該氧量也容易飽和。另外，RF 功率越大注入到絕緣體 282 的下層中的氧量就越多。

【0229】作為 RF 功率，例如設定為 $0\text{W}/\text{cm}^2$ 以上且 $1.86\text{W}/\text{cm}^2$ 以下。換言之，可以根據形成絕緣體 282 時的 RF 功率而使氧量改變為適合於電晶體的特性的量並注入。因此，可以注入適合於提高電晶體的可靠性的量的氧。注意，RF 功率為 $0\text{W}/\text{cm}^2$ 是指不對基板施加 RF 功率。

【0230】另外，RF 的頻率較佳為 10MHz 以上。典型的是 13.56MHz 。RF 的頻率越高，越可以減少對基板造成的損傷。

【0231】在圖 1A 至圖 1D 等中，示出絕緣體 282 具有單層的結構，但是本發明不侷限於此，也可以採用兩層以上的疊層結構。例如，絕緣體 282 也可以採用兩層疊層結構。

【0232】較佳的是，使用相同的材料以不同的方法形成絕緣體 282 的上層及下層。例如，在作為絕緣體 282 在含氧氣體的氛圍下使用鋁靶材藉由脈衝 DC 濺射法沉積氧化鋁的情況下，較佳的是，在沉積絕緣體 282 的下層時對基板施加的 RF 功率不同於在沉積絕緣體 282 的上層時對基板施加的 RF 功率，更佳的是，在沉積絕緣體 282 的下層時對

基板施加的 RF 功率低於在沉積絕緣體 282 的上層時對基板施加的 RF 功率。明確而言，將對基板施加的 RF 功率設為 $0\text{W}/\text{cm}^2$ 以上且 $0.62\text{W}/\text{cm}^2$ 以下沉積絕緣體 282 的下層，將對基板施加的 RF 功率設為 $1.86\text{W}/\text{cm}^2$ 以下沉積絕緣體 282 的上層。更明確而言，將對基板施加的 RF 功率設為 $0\text{W}/\text{cm}^2$ 沉積絕緣體 282 的下層，將對基板施加的 RF 功率設為 $0.31\text{W}/\text{cm}^2$ 沉積絕緣體 282 的上層。藉由採用該結構，可以使絕緣體 282 具有非晶結構並且可以調整對絕緣體 280 供應的氧量。

【0233】注意，在沉積絕緣體 282 的下層時對基板施加的 RF 功率也可以高於在沉積絕緣體 282 的上層時對基板施加的 RF 功率。明確而言，將對基板施加的 RF 功率設為 $1.86\text{W}/\text{cm}^2$ 以下沉積絕緣體 282 的下層，將對基板施加的 RF 功率設為 $0\text{W}/\text{cm}^2$ 以上且 $0.62\text{W}/\text{cm}^2$ 以下沉積絕緣體 282 的上層。更明確而言，將對基板施加的 RF 功率設為 $1.86\text{W}/\text{cm}^2$ 沉積絕緣體 282 的下層，將對基板施加的 RF 功率設為 $0.62\text{W}/\text{cm}^2$ 沉積絕緣體 282 的上層。藉由採用該結構，可以增加對絕緣體 280 供應的氧量。

【0234】另外，絕緣體 282 的下層的厚度為 1nm 以上且 20nm 以下，較佳為 1.5nm 以上且 15nm 以下，更佳為 2nm 以上且 10nm 以下，進一步較佳為 3nm 以上且 8nm 以下。藉由採用該結構，無論 RF 功率的大小，都可以使絕緣體 282 的下層具有非晶結構。另外，藉由使絕緣體 282 的下層具有非晶結構，可以使絕緣體 282 的上層容易具有非晶結構

並使絕緣體 282 具有非晶結構。

【0235】上述絕緣體 282 的下層及絕緣體 282 的上層具有由相同材料構成的疊層結構，但本發明不侷限於此。絕緣體 282 的下層及絕緣體 282 的上層也可以具有由不同材料構成的疊層結構。

【0236】以上是電晶體 200 的說明。

【0237】

[電容器 100]

圖 4A 是圖 1B 所示的電容器 100 及其附近的放大圖，圖 4B 是圖 1D 所示的電容器 100 及其附近的放大圖。

【0238】電容器 100 包括導電體 156、絕緣體 153 以及導電體 160 (導電體 160a 及導電體 160b)。導電體 156 被用作電容器 100 的一對電極中的一個 (也稱為下部電極)，導電體 160 被用作電容器 100 的一對電極中的另一個 (也稱為上部電極)，絕緣體 153 被用作電容器 100 的電介質。

【0239】導電體 156、絕緣體 153、導電體 160a 及導電體 160b 的至少一部分配置在設置於絕緣體 275、絕緣體 280 及絕緣體 282 中的開口 158 中。導電體 156 設置在導電體 242b 上，絕緣體 153 設置在導電體 156 上，導電體 160a 設置在絕緣體 153 上，導電體 160b 設置在導電體 160a 上。

【0240】導電體 156 沿著形成於絕緣體 275、絕緣體 280 及絕緣體 282 中的開口 158 配置。導電體 156 的頂面的一部分的高度較佳為比絕緣體 282 的頂面的高度高。此外，導電體 156 的底面與導電體 242b 的頂面接觸。導電體 156 較

佳為利用ALD法或CVD法等覆蓋性良好的沉積法沉積，使用可用於導電體205、導電體260或導電體242的導電體即可。例如，藉由作為導電體156使用與導電體242b相同的導電材料，可以降低導電體156和導電體242b的接觸電阻。例如，作為導電體156可以使用利用ALD法沉積的氮化鈦或氮化鈮。

【0241】絕緣體153以覆蓋導電體156及絕緣體282的一部分的方式配置。絕緣體153較佳為使用高介電常數(high-k)材料(相對介電常數較高的材料)。絕緣體153較佳為藉由ALD法或CVD法等覆蓋性高的沉積方法沉積。

【0242】作為高介電常數(high-k)材料的絕緣體，可以使用包含選自鋁、鉛、銻和鎵等金屬元素中的一種以上的氧化物、氧氮化物、氮氧化物或氮化物。此外，上述氧化物、氧氮化物、氮氧化物或氮化物也可以包含矽。此外，也可以層疊使用由上述材料形成的絕緣層。

【0243】例如，作為高介電常數(high-k)材料的絕緣體，可以使用氧化鋁、氧化鉛、氧化銻、包含鋁及鉛的氧化物、包含鋁及鉛的氧氮化物、包含矽及鉛的氧化物、包含矽及鉛的氧氮化物、包含矽及銻的氧化物、包含矽及銻的氧氮化物、包含鉛及銻的氧化物、包含鉛及銻的氧氮化物等。藉由使用這種high-k材料，可以使絕緣體153增厚至能夠抑制洩漏電流的程度且充分確保電容器100的靜電電容。

【0244】此外，較佳為層疊使用由上述材料形成的絕

緣層，較佳為使用高介電常數 (high-k) 材料及其介電強度比該高介電常數 (high-k) 材料大的材料的疊層結構。例如，作為絕緣體 153 可以使用依次層疊氧化鋅、氧化鋁、氧化鋅的絕緣膜。此外，例如，可以使用依次層疊氧化鋅、氧化鋁、氧化鋅、氧化鋁的絕緣膜。另外，例如，可以使用依次層疊鉛鋅氧化物、氧化鋁、鉛鋅氧化物、氧化鋁的絕緣膜。藉由使用如氧化鋁那樣的介電強度較大的絕緣體的疊層，介電強度得到提高，因此可以抑制電容器 100 的靜電破壞。

【0245】導電體 160 以嵌入形成於絕緣體 275、絕緣體 280 及絕緣體 282 中的開口 158 中的方式配置。導電體 160 較佳為使用 ALD 法或 CVD 法等沉積，也可以使用可用於導電體 205 或導電體 260 的導電體。例如，作為導電體 160a，可以使用利用 ALD 法沉積的氮化鈦，作為導電體 160b 可以使用利用 CVD 法沉積的鎢。此外，當鎢的相對於絕緣體 153 的密接性充分高時，作為導電體 160 也可以使用利用 CVD 法沉積的鎢的單層膜。

【0246】開口 158 以到達導電體 242b 的方式設置。也就是說，可以說開口 158 具有與導電體 242b 重疊的區域。導電體 242b 為電晶體 200 的源極電極和汲極電極中的另一個，藉由與設置於開口 158 中的導電體 156 的底面接觸，可以使電晶體 200 與電容器 100 電連接。

【0247】較佳的是，在從平面看時開口 158 與氧化物 230 的距離近。藉由採用這種結構，可以縮減包括電容器

100及電晶體200的記憶單元的佔有面積。此外，在從平面看時開口158的形狀可以為四角形、四角形以外的多角形狀、其角部呈彎曲的多角形狀或包括橢圓的圓形形狀。

【0248】如圖4A及圖4B所示，以與開口158的底面及內壁接觸的方式設置有導電體156。因此，導電體156與絕緣體275、絕緣體280及絕緣體282的側面、導電體242b1的側面、導電體242b2的側面及頂面以及絕緣體222的頂面接觸。此外，以與導電體156的頂面接觸的方式設置有絕緣體153，以與絕緣體153的頂面接觸的方式設置有導電體160a，以與導電體160a的頂面接觸的方式設置有導電體160b。

【0249】藉由使電容器100具有上述結構，如圖4A及圖4B所示，可以形成在開口158的底面及側面以隔著絕緣體153使導電體156與導電體160對置的方式配置的電容器100。因此，藉由使開口158的深度(也可以說絕緣體280的厚度)變深，可以增大電容器100的靜電電容。如此，藉由增大單位面積的電容器100的靜電電容，可以使記憶體裝置的讀出工作穩定。

【0250】如圖4A所示，導電體156的一部分、絕緣體153的一部分及導電體160的一部分以從開口158露出的方式設置。換言之，導電體156的一部分、絕緣體153的一部分及導電體160的一部分形成於導電體260的頂面的上方或絕緣體282的頂面的上方。

【0251】導電體156的一部分及絕緣體153的一部分與

絕緣體 282 的頂面接觸。也就是說，導電體 156 的側端部被絕緣體 153 覆蓋。再者，導電體 160 較佳為具有隔著絕緣體 153 與絕緣體 282 重疊的區域。在此，如圖 4A 所示，導電體 160 的側端部與絕緣體 153 的側端部大致對齊。藉由採用這種結構，可以由絕緣體 153 使導電體 160 與導電體 156 分離，因此可以抑制導電體 160 與導電體 156 的短路。

【0252】 此外，也可以將導電體 160 的絕緣體 282 的上方的部分引繞成佈線狀。例如，如圖 1D 所示，可以將導電體 160 延伸設置在電晶體 200 的通道寬度方向上。由此，當設置多個電晶體 200 及電容器 100 時，也可以將導電體 160 用作佈線。另外，此時，絕緣體 153 也可以與導電體 160 一起延伸設置。

【0253】 電容器 100 也可以具有如圖 5A 及圖 5B 所示那樣的結構。這裡，圖 5A 是對應圖 1B 中的電容器 100 的放大圖，圖 5B 是對應圖 1D 中的電容器 100 的放大圖。

【0254】 電容器 100 也可以具有如圖 5A 及圖 5B 所示那樣導電體 156 的最上部與絕緣體 282 的頂面大致對齊的結構。

【0255】 電容器 100 也可以具有如圖 5A 及圖 5B 所示那樣絕緣體 153 的一部分從導電體 160 露出的結構。

【0256】 電容器 100 也可以具有如圖 5B 所示那樣在通道寬度方向的剖面中導電體 242b 的一部分從導電體 156 露出的結構。

【0257】 電容器 100 也可以具有如圖 6A 及圖 6B 所示那

樣的結構。這裡，圖 6A 是對應圖 1B 中的電容器 100 的放大圖，圖 6B 是對應圖 1D 中的電容器 100 的放大圖。

【0258】電容器 100 如圖 6A 所示那樣也可以在開口 158 中在導電體 242b 下形成有絕緣體 224、氧化物 230a 及氧化物 230b。此時，如圖 6B 所示，導電體 156 較佳為以與絕緣體 224 的側面、氧化物 230a 的側面、氧化物 230b 的側面及導電體 242 的側面接觸的方式設置。由此，由於電容器 100 沿著絕緣體 224 的側面、氧化物 230a 的側面、氧化物 230b 的側面及導電體 242 的側面形成，所以可以增大電容器 100 的靜電電容。

【0259】或者，電容器 100 例如也可以具有圖 6C 所示的形狀。明確而言，與圖 5A 所示的結構同樣地，開口 158 的一部分只與導電體 242b 重疊，與圖 6A 所示的結構同樣地，開口 158 的其他部分與導電體 242b、氧化物 230b、氧化物 230a 及絕緣體 224 重疊。

【0260】圖 4A 至圖 6C 示出開口 158 的側壁大致垂直於絕緣體 222 的頂面的結構，但是本發明不侷限於此。開口 158 的側壁也可以呈錐形形狀。當開口 158 的側壁呈錐形形狀時，後面製程中的絕緣體 153 等的覆蓋性得到提高，可以減少空洞等缺陷。

【0261】以上是電容器 100 的說明。

【0262】導電體 240 以與形成在絕緣體 285、絕緣體 280、絕緣體 275、導電體 242a、絕緣體 216 及絕緣體 212 中的開口 206 的內壁接觸的方式設置。另外，導電體 240 具有

與導電體 209 的頂面接觸的區域。另外，也可以說導電體 242a 的一部分凸出到開口 206 內。

【0263】導電體 240 被用作電連接開關、電晶體、電容器、電感器、電阻器及二極體等電路元件、佈線、電極或端子與電晶體 200 的插頭或佈線。

【0264】導電體 240 較佳為具有導電體 240a 和導電體 240b 的疊層結構。例如，如圖 1B 所示，作為導電體 240 可以採用如下結構：以與上述開口的內壁接觸的方式設置有導電體 240a，並且其內側設置有導電體 240b。就是說，導電體 240a 配置在絕緣體 285、絕緣體 280、絕緣體 275、導電體 242a、絕緣體 216 及絕緣體 212 附近。

【0265】這裡，導電體 240a 較佳為利用 ALD 法等覆蓋性良好的沉積法沉積。藉由如此沉積，導電體 240a 的大概形狀與開口 206 的內壁所形成的形狀大致一致。注意，在圖 1B 等中，導電體 240a 的厚度均勻，但是有時被導電體 242a 遮蔽的部分等具有厚度較薄的部分或沒有沉積的部分。

【0266】作為導電體 240a 較佳為使用具有抑制水、氫等雜質的透過的功能的導電材料。例如，較佳為使用鈿、氮化鈿、鈦、氮化鈦、鈮、氧化鈮等。可以以單層或疊層使用具有抑制水、氫等雜質的透過的功能的導電材料。此外，可以抑制包含在絕緣體 282 的上方的層中的水、氫等雜質透過導電體 240 混入到氧化物 230。

【0267】此外，由於導電體 240 還被用作佈線，所以

較佳為使用導電性高的導電體。例如，導電體 240b 可以使用鎢、銅或鋁為主要成分的導電材料。

【0268】例如，較佳的是，作為導電體 240a 使用氮化鈦，作為導電體 240b 使用鎢。此時，導電體 240a 為包含鈦及氮的導電體，導電體 240b 為包含鎢的導電體。

【0269】注意，在電晶體 200 中，作為導電體 240 層疊導電體 240a 和導電體 240b，但是本發明不侷限於此。例如，導電體 240 也可以具有單層結構或三層以上的疊層結構。在結構體具有疊層結構的情況下，有時按形成順序賦予序數以進行區別。另外，雖然在圖 1B 中未圖示，但是導電體 240 的頂面的高度有時比絕緣體 285 的頂面的高度高。

【0270】圖 7A 是示出導電體 240 接觸的區域及其附近的放大圖。如圖 7A 所示，導電體 240 配置在絕緣體 285、絕緣體 280、絕緣體 275、導電體 242a、絕緣體 216 及絕緣體 212 中的開口 206 內。另外，設置在絕緣體 212 與絕緣體 216 間的絕緣體 214 具有開口 206a。另外，設置在絕緣體 216 與絕緣體 275 間的絕緣體 222 具有開口 206b。另外，設置在絕緣體 280 與絕緣體 285 間的絕緣體 282 具有開口 206c。另外，在圖 7A 所示的剖面圖中，將開口 206 的寬度記作寬度 $W1$ ，將開口 206a 的寬度記作寬度 $W3a$ ，將開口 206b 的寬度記作寬度 $W3b$ ，並且將開口 206c 的寬度記作寬度 $W3c$ 。

【0271】在此，圖 7B 是對應於圖 7A 的平面圖。如圖 7B 所示，較佳的是，從平面看時開口 206 與開口 206a 的至少一部分、開口 206b 的至少一部分及開口 206c 的至少一部

分重疊。另外，如圖7B所示，較佳的是，從平面看時開口206配置在開口206a的內側、開口206b的內側及開口206c的內側。在此情況下，如圖7A所示，寬度W1小於寬度W3a、寬度W3b及寬度W3c。由此，與絕緣體214、絕緣體222及絕緣體282的側面相比，絕緣體212、絕緣體216、絕緣體275、絕緣體280及絕緣體285的側面向導電體240一側凸出。

【0272】藉由使開口206具有上述結構，可以以不蝕刻絕緣體214、絕緣體222及絕緣體282的方式形成開口206。如上所述，絕緣體214、絕緣體222及絕緣體282例如為由氧化鋁或氧化鉛等所謂的難蝕刻材料構成的絕緣層。在上述由難蝕刻材料構成的絕緣層夾在形成開口206的區域時，由難蝕刻材料構成的絕緣層的蝕刻速率與其他絕緣層的蝕刻速率之差變大，因此開口206有可能具有異常形狀。

【0273】在本實施方式中，以與形成開口206的區域重疊的方式在絕緣體214、絕緣體222及絕緣體282中分別形成開口206a、開口206b及開口206c。由此，在形成開口206時不需要蝕刻由難蝕刻材料構成的絕緣層，所以可以以高良率製造開口206而提高記憶體裝置的生產率。另外，較佳的是，開口206的側壁可以大致垂直於基板面或導電體209的頂面等。由此，可以減小開口206的佔有面積而減少每一個記憶單元的佔有面積，所以可以增大記憶體裝置的單位面積的記憶容量。

【0274】另外，如圖7A所示，有時以與絕緣體282的開口206c重疊的方式在絕緣體280的頂面形成凹部。另外，有時以嵌入開口206c及該凹部中的方式形成絕緣體285。在此情況下，在絕緣體282與導電體240間形成絕緣體285。

【0275】另外，同樣地，有時以與絕緣體222的開口206b重疊的方式在絕緣體216的頂面形成凹部。另外，有時以嵌入開口206b及該凹部中的方式形成導電體242a1及導電體242a2。在此情況下，在絕緣體222與導電體240間形成導電體242a1及導電體242a2。

【0276】另外，同樣地，有時以與絕緣體214的開口206a重疊的方式在絕緣體212的頂面形成凹部。另外，有時以嵌入開口206a及該凹部中的方式形成絕緣體216。在此情況下，在絕緣體214與導電體240間形成絕緣體216。在絕緣體212的厚度較薄時，有時在絕緣體212中形成與開口206a重疊的開口。在此情況下，絕緣體216的一部分接觸於導電體209的一部分。

【0277】另外，在圖7B中，從平面看時，開口206、206a、206b、206c的形狀為四角形，但是不侷限於此。例如，從平面看時，開口206、206a、206b、206c的形狀也可以為圓形、橢圓形等大致圓形、四角形等多角形、四角形等多角形的角部帶弧形的形狀。另外，圖7B示出從平面看時開口206a、開口206b及開口206c的端部大致對齊的形狀，但是本發明不侷限於此。另外，也可以採用開口

206a、開口206b及開口206c的大小互不相同且從平面看時各端部不大致對齊的結構。另外，圖7A示出開口206的側壁大致垂直於導電體209的頂面的形狀，但是本發明不侷限於此，開口206的側壁也可以呈錐形形狀。

【0278】另外，如圖7A所示，在A1-A2方向上導電體240包括具有寬度W1的區域及具有寬度W2的區域。寬度W1對應於與開口206的側壁接觸的導電體240的寬度。此外，寬度W2對應於導電體242a中的開口的寬度。此外，如上所述，在將導電體242a分開地設置在電晶體200a一側和電晶體200b一側時，寬度W2對應於電晶體200a一側的導電體242a和電晶體200b一側的導電體242a的距離。

【0279】如圖7A所示，寬度W1較佳為比寬度W2大。在該結構中，導電體240至少與導電體242a的頂面的一部分及側面的一部分接觸。因此，可以增大導電體240和導電體242a的接觸區域的面積。在此，如圖7A所示，在開口206中導電體242a的側面比絕緣體280及絕緣體275的側面凸出。在本說明書等中，有時將導電體240和導電體242a的接觸稱為頂側接觸(Top Side Contact)。

【0280】如圖7A所示，導電體240也可以與導電體242a的底面的一部分接觸。藉由採用該結構，可以進一步增大導電體240和導電體242a的接觸區域的面積。在此，如圖7A所示，在開口206中，導電體242a的側面比絕緣體216的側面凸出。

【0281】如上所述，藉由增大導電體240與導電體

242a的接觸面積，可以降低接觸電阻。由此，可以實現根據本發明的記憶體裝置的工作速度的提高、功耗的降低。

【0282】另外，如上所述，當在絕緣體216的頂面形成重疊於開口206b的凹部時，以嵌入該凹部中的方式形成導電體242a1及導電體242a2。此時，導電體242a1接觸於氧化物230b的頂面及側面、氧化物230a的側面、絕緣體224的側面、絕緣體222的側面以及絕緣體216的凹部的頂面及側面。

【0283】導電體209被用作開關、電晶體、電容器、電感器、電阻器及二極體等電路元件的一部分、佈線、電極或端子。

【0284】另外，絕緣體210被用作層間膜。作為絕緣體210，使用上述可用於絕緣體214、絕緣體216等的絕緣體即可。

【0285】

<半導體裝置的構成材料>

以下，說明可用於半導體裝置的構成材料。

【0286】

<<基板>>

作為形成電晶體200的基板例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板(釷安定氧化鋯基板等)、樹脂基板等。此外，作為半導體基板，例如可以舉出以矽、鍺為材料的半導體基板、或

者由碳化矽、矽鍺、砷化鎵、磷化銮、氧化鋅或氧化鎵構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如SOI(Silicon On Insulator：絕緣層上覆矽)基板等。作為導體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，可以舉出包括金屬氮化物的基板、包括金屬氧化物的基板等。此外，還可以舉出設置有導體或半導體的絕緣體基板、設置有導體或絕緣體的半導體基板、設置有半導體或絕緣體的導體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為設置在基板上的元件，可以舉出電容器、電阻器、切換元件、發光元件、記憶元件等。

【0287】

<<絕緣體>>

作為絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0288】例如，當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為用作閘極絕緣體的絕緣體使用high-k材料，可以在保持物理厚度的同時實現電晶體工作時的低電壓化。另一方面，藉由將相對介電常數較低的材料用於用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0289】作為相對介電常數較高的絕緣體，可以舉出氧化鎵、氧化鉛、氧化鋯、含有鋁及鉛的氧化物、含有鋁及鉛的氧氮化物、含有矽及鉛的氧化物、含有矽及鉛的氧氮化物或者含有矽及鉛的氮化物等。

【0290】作為相對介電常數較低的絕緣體，可以舉出氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。

【0291】此外，藉由使用具有抑制氫等雜質及氧的透過的功能的絕緣體圍繞使用金屬氧化物的電晶體，可以使電晶體的電特性穩定。作為具有抑制氫等雜質及氧的透過的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、鎵、銻、鉍、銻、鐳、鈹、鋳、釷、鈾或錒的絕緣體的單層或疊層。明確而言，作為具有抑制氫等雜質及氧的透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化鎵、氧化銻、氧化鉍、氧化鋳、氧化鐳、氧化釷、氧化鈾等金屬氧化物、氮化鋁、氮氧化矽、氮化矽等金屬氮化物。

【0292】此外，被用作閘極絕緣體的絕緣體較佳為具有包含藉由加熱脫離的氧的區域的絕緣體。例如，藉由採用具有包含藉由加熱脫離的氧的區域的氧化矽或者氧氮化矽接觸於氧化物230的結構，可以填補氧化物230所包含的氧空位。

【0293】

<<導電體>>

作為導電體，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉛、釩、鈮、錳、鎂、銨、銻、銻和鐳等中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。例如，較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化鈦、氮化鈦、包含銻和鈦的氧化物、包含鐳和鎳的氧化物等。此外，氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化鈦、氮化鈦、包含銻和鈦的氧化物、包含鐳和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0294】此外，也可以層疊多個由上述材料形成的導電層。例如，也可以採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料和包含氮的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料的疊層結構。

【0295】此外，在將氧化物用於電晶體的通道形成區域的情況下，作為被用作閘極電極的導電體較佳為採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。在此情況下，較佳為將包含氧的導電材料設置在通道形成區域一側。藉由將包含氧的導電材料設置在通道形成

區域一側，從該導電材料脫離的氧容易被供應到通道形成區域。

【0296】 尤其是，作為被用作閘極電極的導電體，較佳為使用包含含在被形成通道的金屬氧化物中的金屬元素及氧的導電材料。此外，也可以使用包含上述金屬元素及氮的導電材料。例如，可以使用氮化鈦、氮化鉭等包含氮的導電材料。此外，也可以使用銮錫氧化物、包含氧化鎢的銮氧化物、包含氧化鎢的銮鋅氧化物、包含氧化鈦的銮氧化物、包含氧化鈦的銮錫氧化物、銮鋅氧化物、添加有矽的銮錫氧化物。此外，也可以使用包含氮的銮鎵鋅氧化物。藉由使用上述材料，有時可以俘獲被形成通道的金屬氧化物所包含的氮。或者，有時可以俘獲從外方的絕緣體等混入的氮。

【0297】

<<金屬氧化物>>

作為氧化物230，較佳為使用被用作半導體的金屬氧化物(氧化物半導體)。下面，對可用於根據本發明的氧化物230的金屬氧化物進行說明。

【0298】 金屬氧化物較佳為至少包含銮或鋅。尤其較佳為包含銮及鋅。此外，除此之外，較佳為還包含鋁、鎵、鉍、錫等。此外，也可以包含選自硼、鈦、鐵、鎳、鍺、銦、鉬、釩、鈾、鈿、鎢、鎂和鈷等中的一種或多種。

【0299】 在此考慮金屬氧化物為包含銮、元素M及鋅

的 In-M-Zn 氧化物的情況。注意，元素 M 為鋁、鎵、銦或錫。作為可以應用於元素 M 的其他元素，有硼、鈦、鐵、鎳、銻、銨、鋁、鏷、銻、釷、釷、鎢、鎂、鈷等。注意，作為元素 M 有時也可以組合多個上述元素。尤其是，元素 M 較佳為選自鎵、鋁、銦和錫中的一種或多種。

【0300】尤其是，作為電晶體的半導體層，較佳為使用包含銦 (In)、鎵 (Ga) 及鋅 (Zn) 的氧化物 (也記載為 IGZO)。或者，作為電晶體的半導體層，也可以使用包含銦 (In)、鋁 (Al) 及鋅 (Zn) 的氧化物 (也記載為 IAZO)。或者，作為半導體層，也可以使用包含銦 (In)、鋁 (Al)、鎵 (Ga) 及鋅 (Zn) 的氧化物 (IAGZO 或 IGAZO)。

【0301】此外，在本說明書等中，有時將包含氮的金屬氧化物也稱為金屬氧化物 (metal oxide)。此外，也可以將包含氮的金屬氧化物稱為金屬氧氮化物 (metal oxynitride)。

【0302】以下，作為金屬氧化物的一個例子說明包含銦 (In)、鎵 (Ga) 及鋅 (Zn) 的氧化物。注意，有時將包含銦 (In)、鎵 (Ga) 及鋅 (Zn) 的氧化物稱為 In-Ga-Zn 氧化物。

【0303】

<結晶結構的分類>

作為氧化物半導體的結晶結構，可以舉出非晶 (包括 completely amorphous)、CAAC (c-axis-aligned crystalline)、nc (nanocrystalline)、CAC (cloud-aligned composite)、單晶 (single crystal) 及多晶 (poly crystal) 等。

【 0304 】 可以使用 X 射線繞射 (XRD : X-Ray Diffraction) 譜對膜或基板的結晶結構進行評價。例如，可以使用 GIXD (Grazing-Incidence XRD) 測量測得的 XRD 譜進行評價。此外，將 GIXD 法也稱為薄膜法或 Seemann-Bohlin 法。以下，有時將使用 GIXD 測量測得的 XRD 譜簡單地記作 XRD 譜。

【 0305 】 例如，石英玻璃基板的 XRD 譜的峰形狀大致為左右對稱。另一方面，具有結晶結構的 In-Ga-Zn 氧化物膜的 XRD 譜的峰形狀不是左右對稱。XRD 譜的峰的形狀是左右不對稱說明膜中或基板中存在結晶。換言之，除非 XRD 譜峰形狀為左右對稱，否則不能說膜或基板處於非晶態。

【 0306 】 此外，可以使用藉由奈米束電子繞射法 (NBED : Nano Beam Electron Diffraction) 觀察的繞射圖案 (也稱為奈米束電子繞射圖案) 對膜或基板的結晶結構進行評價。例如，在石英玻璃基板的繞射圖案中觀察到光暈圖案，可以確認石英玻璃處於非晶態。此外，以室溫沉積的 In-Ga-Zn 氧化物膜的繞射圖案中觀察到斑點狀的圖案而沒有觀察到光暈圖案。因此可以推測，以室溫沉積的 In-Ga-Zn 氧化物處於既不是單晶或多晶也不是非晶態的中間態，不能得出該 In-Ga-Zn 氧化物是非晶態的結論。

【 0307 】

<<氧化物半導體的結構>>

此外，在著眼於氧化物半導體的結構的情況下，有時

氧化物半導體的分類與上述不同。例如，氧化物半導體可以分為單晶氧化物半導體和除此之外的非單晶氧化物半導體。作為非單晶氧化物半導體，例如可以舉出上述CAAC-OS及nc-OS。此外，在非單晶氧化物半導體中包含多晶氧化物半導體、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半導體等。

【0308】在此，對上述CAAC-OS、nc-OS及a-like OS的詳細內容進行說明。

【0309】

[CAAC-OS]

CAAC-OS是具有多個結晶區域的氧化物半導體，該多個結晶區域的c軸配向於特定的方向。此外，特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法線方向、或者CAAC-OS膜的表面的法線方向。此外，結晶區域是具有原子排列的週期性的區域。注意，在將原子排列看作晶格排列時結晶區域也是晶格排列一致的區域。再者，CAAC-OS具有在a-b面方向上多個結晶區域連接的區域，有時該區域具有畸變。此外，畸變是指在多個結晶區域連接的區域中，晶格排列一致的區域和其他晶格排列一致的區域之間的晶格排列的方向變化的部分。換言之，CAAC-OS是指c軸配向並在a-b面方向上沒有明顯的配向的氧化物半導體。

【0310】此外，上述多個結晶區域的每一個由一個或多個微小結晶(最大徑小於10nm的結晶)構成。在結晶區域

由一個微小結晶構成的情況下，該結晶區域的最大徑小於10nm。此外，在結晶區域由多個微小結晶構成的情況下，有時該結晶區域的最大徑為幾十nm左右。

【0311】此外，在In-Ga-Zn氧化物中，有CAAC-OS具有層疊有含有銦(In)及氧的層(以下，In層)和含有鎵(Ga)、鋅(Zn)及氧的層(以下，(Ga, Zn)層)的層狀結晶結構(也稱為層狀結構)的趨勢。此外，銦和鎵可以彼此置換。因此，有時(Ga, Zn)層包含銦。此外，有時In層包含鎵。注意，有時In層包含鋅。該層狀結構例如在高解析度TEM(Transmission Electron Microscope)影像中被觀察作為晶格影像。

【0312】例如，當對CAAC-OS膜使用XRD裝置進行結構分析時，在使用 $\theta/2\theta$ 掃描的Out-of-plane XRD測量中，在 $2\theta=31^\circ$ 或其附近檢測出表示c軸配向的峰。注意，表示c軸配向的峰的位置(2θ 值)有時根據構成CAAC-OS的金屬元素的種類、組成等變動。

【0313】此外，例如，在CAAC-OS膜的電子繞射圖案中觀察到多個亮點(斑點)。此外，在以透過樣本的人射電子束的斑點(也稱為直接斑點(direct spot))為對稱中心時，某一個斑點和其他斑點被觀察在點對稱的位置。

【0314】在從上述特定的方向觀察結晶區域的情況下，雖然該結晶區域中的晶格排列基本上是六方晶格，但是單位晶格並不侷限於正六角形，有是非正六角形的情況。此外，在上述畸變中，有時具有五角形、七角形等晶

格排列。此外，在CAAC-OS的畸變附近觀察不到明確的晶界(grain boundary)。也就是說，晶格排列的畸變抑制晶界的形成。這可能是由於CAAC-OS因為a-b面方向上的氧原子的排列的低密度或因金屬原子被取代而使原子間的鍵合距離產生變化等而能夠包容畸變。

【0315】此外，確認到明確的晶界的結晶結構被稱為所謂的多晶。晶界成為再結合中心而載子被俘獲，因而有可能導致電晶體的通態電流的降低、場效移動率的降低等。因此，確認不到明確的晶界的CAAC-OS是使電晶體的半導體層具有優異的結晶結構的結晶性氧化物之一。注意，為了構成CAAC-OS，較佳為包含Zn的結構。例如，與In氧化物相比，In-Zn氧化物及In-Ga-Zn氧化物能夠進一步地抑制晶界的發生，所以是較佳的。

【0316】CAAC-OS是結晶性高且確認不到明確的晶界的氧化物半導體。因此，可以說在CAAC-OS中，不容易發生起因於晶界的電子移動率的降低。此外，氧化物半導體的結晶性有時因雜質的混入、缺陷的生成等而降低，因此可以說CAAC-OS是雜質及缺陷(氧空位等)少的氧化物半導體。因此，包含CAAC-OS的氧化物半導體的物理性質穩定。因此，包含CAAC-OS的氧化物半導體具有高耐熱性及高可靠性。此外，CAAC-OS對製程中的高溫度(所謂熱積存)也很穩定。由此，藉由將CAAC-OS用於在通道形成區域中包括金屬氧化物的電晶體(有時將其稱為OS電晶體)，可以擴大製程的彈性。

【0317】

[nc-OS]

在 nc-OS 中，微小的區域(例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域)中的原子排列具有週期性。換言之，nc-OS 具有微小的結晶。此外，例如，該微小的結晶的尺寸為 1nm 以上且 10nm 以下，尤其為 1nm 以上且 3nm 以下，將該微小的結晶也稱為奈米晶。此外，nc-OS 在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。例如，在對 nc-OS 膜使用 XRD 裝置進行結構分析時，在使用 $\theta/2\theta$ 掃描的 Out-of-plane XRD 測量中，檢測不出表示結晶性的峰。此外，在對 nc-OS 膜進行使用其束徑比奈米晶大(例如，50nm 以上)的電子束的電子繞射(也稱為選區電子繞射)時，觀察到類似光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於或小於奈米晶的尺寸(例如 1nm 以上且 30nm 以下)的電子束的電子繞射(也稱為奈米束電子繞射)的情況下，有時得到在以直接斑點為中心的環狀區域內觀察到多個斑點的電子繞射圖案。

【0318】

[a-like OS]

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。a-like OS 包含空洞或低密度區域。也就是說，a-like OS 的結晶性比 nc-OS 及 CAAC-OS 的

結晶性低。此外，a-like OS的膜中的氫濃度比nc-OS及CAAC-OS的膜中的氫濃度高。

【0319】

<<氧化物半導體的構成>>

接著，說明上述的CAC-OS的詳細內容。此外，CAC-OS與材料構成有關。

【0320】

[CAC-OS]

CAC-OS例如是指包含在金屬氧化物中的元素不均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且3nm以下或近似的尺寸。注意，在下面也將在金屬氧化物中一個或多個金屬元素不均勻地分佈且包含該金屬元素的區域混合的狀態稱為馬賽克狀或補丁(patch)狀，該區域的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且3nm以下或近似的尺寸。

【0321】再者，CAC-OS是指其材料分開為第一區域與第二區域而成為馬賽克狀且該第一區域分佈於膜中的結構(下面也稱為雲狀)。就是說，CAC-OS是指具有該第一區域和該第二區域混合的結構的複合金屬氧化物。

【0322】在此，將相對於構成In-Ga-Zn氧化物的CAC-OS的金屬元素的In、Ga及Zn的原子個數比的每一個記為[In]、[Ga]及[Zn]。例如，在In-Ga-Zn氧化物的CAC-OS中，第一區域是其[In]大於CAC-OS膜的組成中的[In]的區

域。此外，第二區域是其[Ga]大於CAC-OS膜的組成中的[Ga]的區域。此外，例如，第一區域是其[In]大於第二區域中的[In]且其[Ga]小於第二區域中的[Ga]的區域。此外，第二區域是其[Ga]大於第一區域中的[Ga]且其[In]小於第一區域中的[In]的區域。

【0323】明確而言，上述第一區域是以銦氧化物或銦鋅氧化物等為主要成分的區域。此外，上述第二區域是以鎵氧化物或鎵鋅氧化物等為主要成分的區域。換言之，可以將上述第一區域稱為以In為主要成分的區域。此外，可以將上述第二區域稱為以Ga為主要成分的區域。

【0324】注意，有時觀察不到上述第一區域和上述第二區域的明確的邊界。

【0325】此外，In-Ga-Zn氧化物中的CAC-OS是指如下構成：在包含In、Ga、Zn及O的材料構成中，部分主要成分為Ga的區域與部分主要成分為In的區域無規律地以馬賽克狀存在。因此，可推測，CAC-OS具有金屬元素不均勻地分佈的結構。

【0326】CAC-OS例如可以藉由在對基板不進行加熱的條件下利用濺射法來形成。在利用濺射法形成CAC-OS的情況下，作為沉積氣體，可以使用選自惰性氣體(典型的是氬)、氧氣體和氮氣體中的任一種或多種。此外，沉積時的沉積氣體的總流量中的氧氣體的流量比越低越好。例如，使沉積時的沉積氣體的總流量中的氧氣體的流量比為0%以上且低於30%，較佳為0%以上且10%以下。

【0327】例如，在In-Ga-Zn氧化物的CAC-OS中，根據藉由能量色散型X射線分析法(EDX：Energy Dispersive X-ray spectroscopy)取得的EDX面分析(mapping)影像，可確認到具有以In為主要成分的區域(第一區域)及以Ga為主要成分的區域(第二區域)不均勻地分佈而混合的結構。

【0328】在此，第一區域是具有比第二區域高的導電性的區域。就是說，當載子流過第一區域時，呈現作為金屬氧化物的導電性。因此，當第一區域以雲狀分佈在金屬氧化物中時，可以實現高場效移動率(μ)。

【0329】另一方面，第二區域是具有比第一區域高的絕緣性的區域。就是說，當第二區域分佈在金屬氧化物中時，可以抑制洩漏電流。

【0330】因此，在將CAC-OS用於電晶體的情況下，藉由起因於第一區域的導電性和起因於第二區域的絕緣性的互補作用，可以使CAC-OS具有開關功能(控制開啟/關閉的功能)。換言之，在CAC-OS的材料的一部分中具有導電性的功能且在另一部分中具有絕緣性的功能，在材料的整體中具有半導體的功能。藉由使導電性的功能和絕緣性的功能分離，可以最大限度地提高各功能。因此，藉由將CAC-OS用於電晶體，可以實現高通態電流(I_{on})、高場效移動率(μ)及良好的切換工作。

【0331】此外，使用CAC-OS的電晶體具有高可靠性。因此，CAC-OS最適合於顯示裝置等各種半導體裝置。

【0332】氧化物半導體具有各種結構及各種特性。本發明的一個實施方式的氧化物半導體也可以包括非晶氧化物半導體、多晶氧化物半導體、a-like OS、CAC-OS、nc-OS、CAAC-OS中的兩種以上。

【0333】

<包括氧化物半導體的電晶體>

接著，說明將上述氧化物半導體用於電晶體的情況。

【0334】藉由將上述氧化物半導體用於電晶體，可以實現場效移動率高的電晶體。此外，可以實現可靠性高的電晶體。

【0335】較佳為將載子濃度低的氧化物半導體用於電晶體。例如，氧化物半導體的載子濃度可以為 $1 \times 10^{17} \text{cm}^{-3}$ 以下，較佳為 $1 \times 10^{15} \text{cm}^{-3}$ 以下，更佳為 $1 \times 10^{13} \text{cm}^{-3}$ 以下，進一步較佳為 $1 \times 10^{11} \text{cm}^{-3}$ 以下，更進一步較佳為低於 $1 \times 10^{10} \text{cm}^{-3}$ ，且為 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。在以降低氧化物半導體膜的載子濃度為目的的情況下，降低氧化物半導體膜中的雜質濃度以降低缺陷態密度即可。在本說明書等中，將雜質濃度低且缺陷態密度低的狀態稱為高純度本質或實質上高純度本質。此外，有時將載子濃度低的氧化物半導體稱為高純度本質的氧化物半導體或實質上高純度本質的氧化物半導體。

【0336】因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。

【0337】此外，被氧化物半導體的陷阱態俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成通道形成區域的電晶體的電特性不穩定。

【0338】因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。為了降低氧化物半導體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。注意，氧化物半導體中的雜質例如是指構成氧化物半導體的主要成分之外的元素。例如，濃度低於0.1原子%的元素可以說是雜質。

【0339】

<雜質>

在此，說明氧化物半導體中的各雜質的影響。

【0340】在氧化物半導體包含第14族元素之一的矽或碳時，在氧化物半導體中形成缺陷態。因此，將氧化物半導體中的矽或碳的濃度(藉由二次離子質譜分析法測得的濃度)設定為 $2 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $2 \times 10^{17} \text{atoms/cm}^3$ 以下。

【0341】此外，當氧化物半導體包含鹼金屬或鹼土金屬時，有時形成缺陷態而形成載子。因此，使用包含鹼金屬或鹼土金屬的氧化物半導體的電晶體容易具有常開啟特性。由此，將利用SIMS測得的氧化物半導體中的鹼金屬或鹼土金屬的濃度設定為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為

$2 \times 10^{16} \text{atoms/cm}^3$ 以下。

【0342】當氧化物半導體包含氫時，產生作為載子的電子，使載子濃度增高，而容易被n型化。其結果是，將含有氫的氧化物半導體用於半導體的電晶體容易具有常開啟特性。或者，在氧化物半導體包含氫時，有時形成陷阱態。其結果是，有時電晶體的電特性不穩定。因此，將利用SIMS測得的氧化物半導體中的氫濃度設定為低於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

【0343】包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生成水，因此有時形成氧空位。當氫進入該氧空位時，有時產生作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用含有氫的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為儘可能減少氧化物半導體中的氫。明確而言，將利用SIMS測得的氧化物半導體中的氫濃度設定為低於 $1 \times 10^{20} \text{atoms/cm}^3$ ，較佳為低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，更佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，進一步較佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 。

【0344】藉由將雜質被充分降低的氧化物半導體用於電晶體的通道形成區域，可以使電晶體具有穩定的電特性。

【0345】

<<其他半導體材料>>

能夠用於氧化物 230 的半導體材料不侷限於上述金屬氧化物。作為氧化物 230，也可以使用具有能帶間隙的半導體材料(不是零能帶間隙半導體的半導體材料)。例如，較佳為將矽等單個元素的半導體、砷化鎵等化合物半導體、被用作半導體的層狀物質(也稱為原子層物質、二維材料等)等用於半導體材料。特別是，較佳為將用作半導體的層狀物質用於半導體材料。

【0346】 在此，在本說明書等中，層狀物質是具有層狀結晶結構的材料群的總稱。層狀結晶結構是由共價鍵或離子鍵形成的層藉由如凡得瓦力那樣的比共價鍵及離子鍵弱的鍵合層疊的結構。層狀物質在單位層中具有高導電性，亦即，具有高二維導電性。藉由將用作半導體並具有高二維導電性的材料用於通道形成區域，可以提供通態電流大的電晶體。

【0347】 作為層狀物質，有石墨烯、矽烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外，氧族元素是屬於第 16 族的元素的總稱，其中包括氧、硫、硒、碲、鉬、鉍。此外，作為硫族化物，可以舉出過渡金屬硫族化物、第 13 族硫族化物等。

【0348】 作為氧化物 230，例如較佳為使用用作半導體的過渡金屬硫族化物。作為能夠用作氧化物 230 的過渡金屬硫族化物，具體地可以舉出硫化鉬(典型的是 MoS_2)、硒化鉬(典型的是 MoSe_2)、碲化鉬(典型的是 MoTe_2)、硫化

鎢(典型的是 WS_2)、硒化鎢(典型的是 WSe_2)、碲化鎢(典型的是 WTe_2)、硫化鈦(典型的是 HfS_2)、硒化鈦(典型的是 $HfSe_2$)、硫化鋯(典型的是 ZrS_2)、硒化鋯(典型的是 $ZrSe_2$)等。藉由將上述過渡金屬硫族化物用於氧化物 230，可以提供一種通態電流大的半導體裝置。

【0349】

<半導體裝置的製造方法的例子>

接著，使用圖 8A 至圖 28D 說明圖 1A 至圖 1D 所示的本發明的一個實施方式的半導體裝置的製造方法。

【0350】 各圖式中的 A 是俯視圖。另外，各圖式中的 B 是沿著 A 中的點劃線 A1-A2 的部分的剖面圖，也是電晶體 200 的通道長度方向的剖面圖。各圖式中的 C 是沿著 A 中的點劃線 A3-A4 的部分的剖面圖，也是電晶體 200 的通道寬度方向的剖面圖。此外，各圖式中的 D 是沿著 A 中的點劃線 A5-A6 的部分的剖面圖。為了明確起見，在各圖式中的 A 的俯視圖中省略部分組件。

【0351】 以下，用來形成絕緣體的絕緣材料、用來形成導電體的導電材料或用來形成半導體的半導體材料可以適當地使用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等沉積。

【0352】 作為濺射法，可以舉出將高頻電源用於濺射用電源的 RF 濺射法、利用直流電源的 DC 濺射法、以脈衝方式改變施加到電極的電壓的脈衝 DC 濺射法。RF 濺射法主要在沉積絕緣膜時使用，DC 濺射法主要在沉積金屬導

電膜時使用。此外，脈衝DC濺射法主要在利用反應性濺射法沉積氧化物、氮化物、碳化物等化合物時使用。

【0353】注意，CVD法可以分為利用電漿的電漿CVD(PECVD)法、利用熱的熱CVD(TCVD：Thermal CVD)法、利用光的光CVD(Photo CVD)法等。再者，可以根據使用的源氣體分為金屬CVD(MCVD：Metal CVD)法、有機金屬CVD(MOCVD：Metal Organic CVD)法。

【0354】藉由利用電漿CVD法，可以以較低的溫度得到高質量的膜。此外，因為在熱CVD法中不使用電漿，所以能夠減少對被處理物造成的電漿損傷。例如，包括在半導體裝置中的佈線、電極、元件(電晶體、電容器等)等有時因從電漿接收電荷而會產生電荷積聚。此時，有時由於所累積的電荷而使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，因為在利用不使用電漿的熱CVD法的情況下不產生上述電漿損傷，所以能夠提高半導體裝置的良率。此外，在利用熱CVD法的情況下不產生沉積時的電漿損傷，因此能夠得到缺陷較少的膜。

【0355】作為ALD法，可以採用只利用熱能使前驅物及反應物起反應的熱ALD法、使用收到電漿激發的反應物的PEALD法等。

【0356】CVD法及ALD法不同於從靶材等中被釋放的粒子沉積的濺射法。因此，藉由CVD法及ALD法沉積的膜不易受被處理物的形狀的影響而具有良好的步階覆蓋性。尤其是，藉由ALD法沉積的膜具有良好的步階覆蓋性和厚

度均勻性，所以ALD法適合用於沉積覆蓋縱橫比高的開口部的表面的膜等。但是，ALD法的沉積速率比較慢，所以有時較佳為與沉積速率快的CVD法等其他沉積方法組合而使用。

【0357】此外，當使用CVD法時，可以藉由調整源氣體的流量比沉積任意組成的膜。例如，當使用CVD法時，可以藉由在進行沉積的同時改變源氣體的流量比來沉積其組成連續變化的膜。當在改變源氣體的流量比的同時進行沉積時，因為不需要傳送或調整壓力所需的時間，所以與使用多個沉積室進行沉積的情況相比可以縮短沉積時間。因此，有時可以提高半導體裝置的生產率。

【0358】當使用ALD法時，藉由同時導入不同的多種前驅物，可以沉積任意組成的膜。或者，在導入不同的多種前驅物時，藉由控制各前驅物的循環次數可以沉積任意組成的膜。

【0359】首先，準備基板(未圖示)，在該基板上沉積絕緣體210及導電體209(參照圖8A至圖8D)。

【0360】接著，在絕緣體210及導電體209上沉積絕緣體212(參照圖8A至圖8D)。絕緣體212較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體212中的氫濃度。注意，絕緣體212的沉積不侷限於濺射法，也可以適當地使用CVD法、MBE法、PLD法、ALD法等。

【0361】在本實施方式中，作為絕緣體212在含氮氣

體氛圍下使用矽靶材藉由脈衝DC濺射法沉積氮化矽。藉由使用脈衝DC濺射法，可以抑制因靶材表面的電弧(arcing)而發生的微粒，所以可以使膜厚分佈更均勻。此外，藉由使用脈衝電壓，與高頻電壓相比可以使放電時的上升或下降急劇。由此，可以更高效地對電極供應電力而提高濺射速率及膜質量。

【0362】此外，藉由使用如氮化矽等不容易使水、氫等雜質透過的絕緣體，可以抑制絕緣體212的下方的層所包含的水、氫等雜質擴散。此外，藉由作為絕緣體212使用氮化矽等不容易使銅透過的絕緣體，即使作為絕緣體212的下方的層的導電體(未圖示)使用銅等容易擴散的金屬，也可以抑制該金屬透過絕緣體212向上方擴散。

【0363】接著，在絕緣體212上沉積絕緣體214(參照圖8A至圖8D)。絕緣體214較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體214中的氫濃度。注意，絕緣體214的沉積不侷限於濺射法，也可以適當地使用CVD法、MBE法、PLD法、ALD法等。

【0364】在本實施方式中，作為絕緣體214在含氧氣體氛圍下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁。藉由使用脈衝DC濺射法，可以使膜厚分佈更均勻而提高濺射速率及膜質量。在此，也可以對基板施加RF功率。可以根據對基板施加的RF功率的大小控制注入到絕緣體214的下層中的氧量。作為RF功率，設定為 $0\text{W}/\text{cm}^2$ 以上且

1.86W/cm²以下。換言之，可以使用形成絕緣體214時的RF功率使氧量改變為適合於電晶體的特性的量而注入。因此，可以注入適合於提高電晶體的可靠性的量的氧。另外，RF的頻率較佳為10MHz以上。典型的是13.56MHz。RF的頻率越高，越可以減少對基板造成的損傷。

【0365】作為絕緣體214，較佳為使用俘獲氫並固定氫的性能高的具有非晶結構的金屬氧化物，例如氧化鋁。由此，可以俘獲或固定包含在絕緣體216等中的氫以防止該氫擴散到氧化物230。尤其是，絕緣體214特別較佳為使用具有非晶結構的氧化鋁或非晶結構的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體200及半導體裝置。

【0366】接著，在絕緣體214中形成開口206a(參照圖8A至圖8D)。在形成開口206a時，可以使用光微影法。開口206a以與在後面製程中形成開口206的區域的至少一部分重疊的方式形成。較佳的是，以在後面製程中具有形成開口206的區域的方式形成開口206a。藉由如此那樣形成開口206a，在形成開口206時不需要蝕刻由難蝕刻材料構成的絕緣層，所以可以以高良率製造開口206。

【0367】在形成開口206a時，可以使用乾蝕刻法或濕蝕刻法。因為利用乾蝕刻法的加工適合於微型加工，所以較佳為利用乾蝕刻法。作為蝕刻氣體，可以使用含有包含氟、氯和溴中的一個或多個的鹵素的蝕刻氣體。作為蝕刻氣體，例如可以使用C₄F₆氣體、C₅F₆氣體、C₄F₈氣體、

CF₄氣體、SF₆氣體、CHF₃氣體、Cl₂氣體、BCl₃氣體、SiCl₄氣體和BBr₃氣體等中的一種或兩種以上的混合氣體。另外，可以對上述蝕刻氣體適當地添加氧氣體、碳酸氣、氮氣體、氦氣體、氬氣體、氫氣體或烴氣體等。例如，在作為絕緣體214使用氧化鋁時，作為蝕刻氣體可以使用CHF₃和Ar的混合氣體。另外，作為乾蝕刻裝置可以使用上述乾蝕刻裝置。另外，蝕刻條件可以根據蝕刻對象適當地設定。

【0368】另外，如圖8B所示，有時在形成開口206a的同時絕緣體212的頂面的與開口206a重疊的區域形成凹部。另外，在絕緣體212的厚度較薄時，有時絕緣體212中形成與開口206a重疊的開口。

【0369】注意，在圖8A中，從平面看時開口206a的形狀為四角形，但是不侷限於此。例如，從平面看時開口206a也可以具有圓形、橢圓形等大致圓形、四角形等多角形、四角形等多角形的角部帶弧形的形狀。

【0370】接著，在絕緣體214上沉積絕緣體216(參照圖9A至圖9D)。此時，絕緣體216的一部分以嵌入形成在開口206a及絕緣體212的頂面的凹部中的方式沉積。絕緣體216較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體216中的氫濃度。注意，絕緣體216的沉積不侷限於濺射法，也可以適當地使用CVD法、MBE法、PLD法、ALD法等。

【0371】在本實施方式中，作為絕緣體216在含氧氣

體氛圍下使用矽靶材藉由脈衝DC濺射法沉積氧化矽。藉由使用脈衝DC濺射法，可以使膜厚分佈更均勻而提高濺射速率及膜質量。

【0372】絕緣體212、絕緣體214及絕緣體216較佳為以不暴露於大氣的方式連續沉積。例如，使用多室方式沉積裝置即可。由此，可以以降低膜中的氫的方式沉積絕緣體212、絕緣體214及絕緣體216，並且可以抑制在各沉積製程之間氫混入膜中。

【0373】接著，在絕緣體216中形成到達絕緣體214的開口。開口例如包括槽、狹縫等。有時將形成有開口的區域稱為開口部。在形成開口時，可以使用濕蝕刻，但是對微型加工來說乾蝕刻是較佳的。作為絕緣體214，較佳為選擇在對絕緣體216進行蝕刻以形成槽時被用作蝕刻停止膜的絕緣體。例如，當作為形成槽的絕緣體216使用氧化矽或氧氮化矽時，絕緣體214較佳為使用氮化矽、氧化鋁或氧化鉛。

【0374】作為乾蝕刻裝置，可以使用包括平行平板型電極的電容耦合型電漿 (CCP : Capacitively Coupled Plasma) 蝕刻裝置。包括平行平板型電極的電容耦合型電漿蝕刻裝置也可以採用對平行平板型電極中的一方施加高頻電壓的結構。或者，也可以採用對平行平板型電極中的一方施加不同的多個高頻電壓的結構。或者，也可以採用對平行平板型電極的各個施加頻率相同的高頻電壓的結構。或者，也可以採用對平行平板型電極的各個施加頻率

不同的高頻電壓的結構。或者，也可以利用具有高密度電漿源的乾蝕刻裝置。例如，作為具有高密度電漿源的乾蝕刻裝置，可以使用電感耦合電漿 (ICP：Inductively Coupled Plasma) 蝕刻裝置等。

【0375】在形成開口之後，沉積將成為導電體 205a 的導電膜。將成為導電體 205a 的導電膜較佳為包括具有抑制氧的透過的功能的導電體。例如，可以使用氮化鈮、氮化鎢、氮化鈦等。或者，可以使用具有抑制氧透過的功能的導電體與鈮、鎢、鈦、鉬、鋁、銅或鉬鎢合金的疊層膜。可以利用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等沉積將成為導電體 205a 的導電膜。

【0376】在本實施方式中，作為成為導電體 205a 的導電膜沉積氮化鈦。藉由作為導電體 205b 的下層使用上述金屬氮化物，可以抑制由於絕緣體 216 等導電體 205b 被氧化。此外，即使作為導電體 205b 使用銅等容易擴散的金屬，也可以防止該金屬從導電體 205a 向外方擴散。

【0377】接著，沉積將成為導電體 205b 的導電膜。作為將成為導電體 205b 的導電膜，可以使用鈮、鎢、鈦、鉬、鋁、銅、鉬鎢合金等。該導電膜的沉積可以使用電鍍法、濺射法、CVD 法、MBE 法、PLD 法、ALD 法等進行。在本實施方式中，作為將成為導電體 205b 的導電膜沉積鎢。

【0378】接著，藉由 CMP 處理去除將成為導電體 205a 的導電膜的一部分及將成為導電體 205b 的導電膜的一部分

而使絕緣體 216 露出(參照圖 9A 至圖 9D)。其結果是，只在開口部中殘留導電體 205a 及導電體 205b。此外，有時藉由該 CMP 處理絕緣體 216 的一部分被去除。

【0379】接著，在絕緣體 216 上及導電體 205 上沉積絕緣體 222(參照圖 9A 至圖 9D)。作為絕緣體 222 較佳為沉積包含鋁和鉛中的一者或兩者的氧化物的絕緣體。作為包含鋁和鉛中的一者或兩者的氧化物的絕緣體，較佳為使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物(鋁酸鉛)等。或者，較佳為使用鉛銻氧化物。包含鋁和鉛中的一者或兩者的氧化物的絕緣體對氧、氫及水具有阻擋性。當絕緣體 222 對氫及水具有阻擋性時，可以抑制電晶體 200 的周圍的結構體所包含的氫及水透過絕緣體 222 擴散到電晶體 200 的內側，從而可以抑制氧化物 230 中的氧空位的生成。

【0380】可以利用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等沉積絕緣體 222。在本實施方式中，作為絕緣體 222 藉由 ALD 法沉積氧化鉛。尤其是，較佳為使用本發明的一個實施方式的氫濃度得到降低的氧化鉛的形成方法。

【0381】接著，較佳為進行熱處理。熱處理以 250°C 以上且 650°C 以下，較佳為以 300°C 以上且 500°C 以下，更佳為以 320°C 以上且 450°C 以下進行即可。熱處理在氮氣體或惰性氣體氛圍或者包含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體的氛圍下進行。例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，將氧氣體的比率設為 20% 左

右即可。熱處理也可以在減壓狀態下進行。或者，也可以在氮氣體或惰性氣體氛圍下進行熱處理，然後為了填補脫離了的氧在包含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體的氛圍下進行熱處理。

【0382】此外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量為 1ppb 以下，較佳為 0.1ppb 以下，更佳為 0.05ppb 以下即可。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被絕緣體 222 等吸收。

【0383】在本實施方式中，作為熱處理在沉積絕緣體 222 後以氮氣體與氧氣體的流量比為 4：1 且 400℃ 的溫度進行 1 小時的處理。藉由進行該熱處理，可以去除絕緣體 222 所包含的水、氫等雜質。此外，在作為絕緣體 222 使用含鉛氧化物時，有時藉由進行該熱處理絕緣體 222 的一部分被晶化。此外，也可以在沉積絕緣體 224 之後等的時機進行熱處理。

【0384】接著，在絕緣體 222 上沉積絕緣膜 224Af (參照圖 9A 至圖 9D)。可以利用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等沉積絕緣膜 224Af。在本實施方式中，作為絕緣膜 224Af 利用濺射法沉積氧化矽。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣膜 224Af 中的氫濃度。絕緣膜 224Af 在後面製程中與氧化物 230a 接觸，所以如此那樣氫濃度得到降低是較佳的。

【0385】接著，在絕緣膜 224Af 上依次沉積氧化膜

230Af以及氧化膜230Bf(參照圖9A至圖9D)。較佳為在不暴露於大氣環境的情況下連續地沉積氧化膜230Af及氧化膜230Bf。藉由不暴露於大氣而進行沉積，由於可以防止來自大氣環境的雜質或水分附著於氧化膜230Af上及氧化膜230Bf上，所以可以保持氧化膜230Af與氧化膜230Bf的介面附近的清潔。

【0386】氧化膜230Af及氧化膜230Bf可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。在本實施方式中，在氧化膜230Af及氧化膜230Bf的沉積中利用濺射法。

【0387】例如，在利用濺射法沉積氧化膜230Af以及氧化膜230Bf的情況下，作為濺射氣體使用氧或者氧和高貴氣體的混合氣體。藉由提高濺射氣體所包含的氧的比率，可以增加沉積的氧化膜中的過量氧。此外，在利用濺射法沉積上述氧化膜的情況下，可以使用上述In-M-Zn氧化物靶材等。

【0388】尤其是，在沉積氧化膜230Af時，有時濺射氣體所包含的氧的一部分供應給絕緣體224。因此，該濺射氣體所包含的氧的比率可以為70%以上，較佳為80%以上，更佳為100%。

【0389】在使用濺射法形成氧化膜230Bf的情況下，藉由在包含在濺射氣體中的氧的比率超過30%且為100%以下，較佳為70%以上且100%以下的條件下進行沉積，可以形成氧過剩型氧化物半導體。將氧過剩型氧化物半導體用

於通道形成區域的電晶體可以得到比較高的可靠性。注意，本發明的一個實施方式不侷限於此。在利用濺射法形成氧化膜 230Bf 的情況下，當在濺射氣體所包含的氧的比率設定為 1% 以上且 30% 以下，較佳為 5% 以上且 20% 以下的情況下進行沉積時，形成氧缺乏型氧化物半導體。將氧缺乏型氧化物半導體用於通道形成區域的電晶體可以具有較高的場效移動率。此外，藉由在加熱基板的同時進行沉積，可以提高該氧化膜的結晶性。

【0390】 在本實施方式中，利用濺射法使用 In : Ga : Zn=1 : 3 : 4 [原子個數比] 的氧化物靶材沉積氧化膜 230Af。此外，利用濺射法使用 In : Ga : Zn=4 : 2 : 4.1 [原子個數比] 的氧化物靶材、In : Ga : Zn=1 : 1 : 1 [原子個數比] 的氧化物靶材、In : Ga : Zn=1 : 1 : 1.2 [原子個數比] 的氧化物靶材或者 In : Ga : Zn=1 : 1 : 2 [原子個數比] 的氧化物靶材沉積氧化膜 230Bf。各氧化膜可以根據氧化物 230a 及氧化物 230b 所需的特性適當地選擇沉積條件及原子個數比來形成。

【0391】 注意，較佳為藉由濺射法以不暴露於大氣的方式沉積絕緣膜 224Af、氧化膜 230Af 及氧化膜 230Bf。例如，使用多室方式沉積裝置即可。由此，可以抑制各沉積製程之間氫混入絕緣膜 224Af、氧化膜 230Af 及氧化膜 230Bf。

【0392】 氧化膜 230Af 及氧化膜 230Bf 也可以利用 ALD 等沉積。藉由利用 ALD 法沉積氧化膜 230Af 及氧化膜

230Bf，對縱橫比高的槽或開口部也可以形成厚度均勻的膜。此外，藉由利用PEALD法，與熱ALD法相比可以以更低的溫度形成氧化膜230Af及氧化膜230Bf。

【0393】接著，較佳為進行熱處理。熱處理在氧化膜230Af及氧化膜230Bf不發生多晶化的溫度範圍內進行即可，以250℃以上且650℃以下，較佳為以400℃以上且600℃以下進行即可。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，將氧氣體的比率設為20%左右即可。熱處理也可以在減壓狀態下進行。或者，也可以在氮氣體或惰性氣體氛圍下進行熱處理，然後為了填補脫離了的氧在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。

【0394】此外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下即可。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被氧化膜230Af、氧化膜230Bf等吸收。

【0395】在本實施方式中，作為熱處理，在氮氣體與氧氣體的流量比為4：1且400℃的溫度的條件下進行1小時的處理。藉由這樣的包含氧氣體的熱處理，可以減少氧化膜230Af及氧化膜230Bf中的碳、水、氫等雜質。藉由如此減少膜中的雜質，氧化膜230Bf的結晶性得到提高，可以

實現密度更高的緻密結構。因此，可以增大氧化膜 230Af 及氧化膜 230Bf 中的結晶區域，可以降低氧化膜 230Af 及氧化膜 230Bf 中的結晶區域的面內不均勻。因此，可以降低電晶體 200 的電特性的面內不均勻。

【0396】另外，藉由進行熱處理，絕緣體 216、絕緣膜 224Af、氧化膜 230Af 和氧化膜 230Bf 中的氫轉移到絕緣體 222 而被絕緣體 222 吸取。換言之，絕緣體 216、絕緣膜 224Af、氧化膜 230Af 和氧化膜 230Bf 中的氫擴散到絕緣體 222。因此，雖然絕緣體 222 的氫濃度增高，但絕緣體 216、絕緣膜 224Af、氧化膜 230Af 和氧化膜 230Bf 中的氫濃度都降低。

【0397】尤其是，絕緣膜 224Af 被用作電晶體 200 的第二閘極絕緣體，氧化膜 230Af 及氧化膜 230Bf 被用作電晶體 200 的通道形成區域。因此，包括氫濃度降低了的絕緣膜 224Af、氧化膜 230Af 及氧化膜 230Bf 的電晶體 200 具有高可靠性，所以是較佳的。

【0398】接著，利用光微影法將絕緣膜 224Af、氧化膜 230Af 及氧化膜 230Bf 加工為帶狀，來形成絕緣層 224A、氧化物層 230A 及氧化物層 230B (參照圖 10A 至圖 10D)。在此，絕緣層 224A、氧化物層 230A 及氧化物層 230B 以在平行於點劃線 A3-A4 的方向 (電晶體 200 的通道寬度方向或圖 1A 所示的 Y 方向) 上延伸的方式形成。另外，絕緣層 224A、氧化物層 230A 及氧化物層 230B 以其至少一部分與導電體 205 重疊的方式形成。在上述加工中可以利

用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微型加工。另外，絕緣膜 224Af、氧化膜 230Af及氧化膜 230Bf 的加工也可以在互不相同的條件下進行。

【0399】 注意，在光微影法中，首先透過遮罩對光阻劑進行曝光。接著，使用顯影液去除或留下所曝光的區域而形成光阻遮罩。接著，可以藉由該光阻遮罩進行蝕刻處理來將導體、半導體或絕緣體等加工為所希望的形狀。例如，使用 KrF 準分子雷射、ArF 準分子雷射、EUV(Extreme Ultraviolet：極紫外)光等對光阻劑進行曝光來形成光阻遮罩，即可。此外，也可以利用在基板和投影透鏡之間填滿液體(例如，水)的狀態下進行曝光的液浸技術。此外，也可以使用電子束或離子束代替上述光。注意，當使用電子束或離子束時，不需要遮罩。此外，藉由進行灰化處理等乾蝕刻處理、進行濕蝕刻處理、在進行乾蝕刻處理之後進行濕蝕刻處理或者在進行濕蝕刻處理之後進行乾蝕刻處理，可以去除光阻遮罩。

【0400】 再者，也可以在光阻遮罩下使用由絕緣體或導體構成的硬遮罩。當使用硬遮罩時，在氧化膜 230Bf 上形成將成為硬遮罩材料的絕緣膜或導電膜且在其上形成光阻遮罩，然後對硬遮罩材料進行蝕刻，由此可以形成所希望的形狀的硬遮罩。對氧化膜 230Bf 等進行的蝕刻既可以在去除光阻遮罩後進行，又可以不去除光阻遮罩進行。在採用後者的情況下，進行蝕刻時有時光阻遮罩消失。可以在氧化膜 230Bf 等的蝕刻之後，藉由蝕刻去除硬遮罩。

另一方面，在硬遮罩材料沒有影響到後製程或者可以在後製程中使用的情況下，不一定需要去除硬遮罩。

【0401】 接著，在絕緣體222中形成開口206b(參照圖11A至圖11D)。在形成開口206b時，可以使用光微影法。開口206b以與在後面製程中形成開口206的區域的至少一部分重疊的方式形成。較佳的是，以在後面製程中具有形成開口206的區域的方式形成開口206b。藉由如此那樣形成開口206b，在形成開口206時不需要蝕刻由難蝕刻材料構成的絕緣層，所以可以以高良率製造開口206。

【0402】 在形成開口206b時，可以使用乾蝕刻法或濕蝕刻法。因為利用乾蝕刻法的加工適合於微型加工，所以較佳為利用乾蝕刻法。作為蝕刻氣體，可以使用含有包含氟、氯及溴中的一個或多個的鹵素的蝕刻氣體。作為蝕刻氣體，例如可以使用C₄F₆氣體、C₅F₆氣體、C₄F₈氣體、CF₄氣體、SF₆氣體、CHF₃氣體、Cl₂氣體、BCl₃氣體、SiCl₄氣體和BBr₃氣體等中的一種或兩種以上的混合氣體。另外，可以對上述蝕刻氣體適當地添加氧氣體、碳酸氣、氮氣體、氫氣體、氫氣體或烴氣體等。例如，在作為絕緣體222使用氧化鈣時，作為蝕刻氣體可以使用C₄F₈、H₂和Ar的混合氣體。另外，作為乾蝕刻裝置可以使用上述乾蝕刻裝置。另外，蝕刻條件可以根據蝕刻對象適當地設定。

【0403】 另外，如圖11B所示，有時在形成開口206b的同時絕緣體216的頂面的與開口206b重疊的區域形成凹

部。

【0404】注意，在圖11A中，從平面看時開口206b的形狀為四角形，但是不侷限於此。例如，從平面看時開口206b的形狀也可以為圓形、橢圓形等大致圓形、四角形等多角形、四角形等多角形的角部帶弧形的形狀。

【0405】接著，在絕緣體222上及氧化物層230B上依次沉積導電膜242Af及導電膜242Bf(參照圖12A至圖12D)。此時，導電膜242Af及導電膜242Bf的一部分以嵌入形成在開口206b及絕緣體216的頂面的凹部中的方式沉積。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積導電膜242Af及導電膜242Bf。例如，作為導電膜242Af利用濺射法沉積氮化鋁，作為導電膜242Bf沉積鎢，即可。此外，在沉積導電膜242Af之前也可以進行熱處理。該熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地沉積導電膜242Af。藉由進行這種處理，可以去除吸附於氧化物層230B的表面的水分及氫，而且減少氧化物層230A及氧化物層230B中的水分濃度及氫濃度。熱處理的溫度較佳為100℃以上且400℃以下。在本實施方式中，將熱處理的溫度設定為200℃。

【0406】接著，利用光微影法對絕緣層224A、氧化物層230A、氧化物層230B、導電膜242Af及導電膜242Bf進行加工，來形成島狀的絕緣體224、氧化物230a及氧化物230b以及具有開口的島狀的導電層242A及導電層242B(參照圖13A至圖13D)。例如，對絕緣層224A、氧化物層

230A、氧化物層 230B、導電膜 242Af及導電膜 242Bf進行加工來形成島狀的絕緣體 224、氧化物 230a及氧化物 230b、以及在平行於點劃線 A1-A2的方向(電晶體 200的通道長度方向或圖 1A所示的 X方向)上延伸的導電層 242A及導電層 242B，然後對導電層 242A及導電層 242B進行加工來形成具有開口的島狀的導電層 242A及導電層 242B。或者，例如，也可以將絕緣層 224A、氧化物層 230A、氧化物層 230B、導電膜 242Af及導電膜 242Bf加工為島狀來形成絕緣體 224、氧化物 230a、氧化物 230b、導電層 242A及導電層 242B，然後在導電層 242A及導電層 242B中形成開口。

【0407】在此，以其至少一部分與導電體 205重疊的方式形成絕緣體 224、氧化物 230a、氧化物 230b、導電層 242A及導電層 242B。此外，設置在導電層 242A及導電層 242B中的開口形成在不與氧化物 230b重疊的位置上。此外，作為上述加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微型加工。另外，也可以在各自不同的條件下進行絕緣層 224A、氧化物層 230A、氧化物層 230B、導電膜 242Af及導電膜 242Bf的加工。

【0408】另外，如圖 13B至圖 13D所示，絕緣體 224、氧化物 230a及氧化物 230b的側面形狀也可以為錐形形狀。絕緣體 224、氧化物 230a及氧化物 230b的側面例如以錐角為 60° 以上且小於 90° 的方式形成即可。在側面具有這樣的錐形形狀時，以後的製程中的絕緣體 275等的覆蓋性得到

提高，可以減少空洞等缺陷。

【0409】但是，不侷限於此，也可以採用絕緣體224、氧化物230a及氧化物230b的側面大致垂直於絕緣體222的頂面的結構。藉由採用這樣的結構，在設置多個電晶體200時可以實現小面積化及高密度化。

【0410】此外，有時在上述蝕刻製程中產生的副產物以層狀形成在絕緣體224、氧化物230a、氧化物230b、導電層242A及導電層242B的側面。在此情況下，該層狀的副產物形成在絕緣體224、氧化物230a、氧化物230b、導電層242A及導電層242B與絕緣體275間。因此，較佳為去除接觸於絕緣體222的頂面的該層狀的副產物。

【0411】此外，示出在上述蝕刻製程中在導電層242A及導電層242B的中央設置開口的結構，但本發明不侷限於此。例如，也可以將導電層242A及導電層242B分開地設置在電晶體200a一側和電晶體200b一側。

【0412】接著，以覆蓋絕緣體224、氧化物230a、氧化物230b、導電層242A及導電層242B的方式沉積絕緣體275(參照圖14A至圖14D)。在此，絕緣體275較佳為與絕緣體222的頂面及絕緣體224的側面接觸。絕緣體275可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣體275較佳為使用抑制氧透過的功能的絕緣膜。例如，作為絕緣體275可以利用ALD法沉積氮化矽。或者，作為絕緣體275可以利用濺射法沉積氧化鋁且在其上利用PEALD法沉積氮化矽。在絕緣體275具有這種疊層結構

時，抑制水、氫等雜質及氧的擴散的功能有時得到提高。

【0413】如此，可以由具有抑制氧擴散的功能的絕緣體 275 覆蓋氧化物 230a、氧化物 230b、導電層 242A 及導電層 242B。由此，可以抑制在後面製程中氧從絕緣體 280 等直接擴散到絕緣體 224、氧化物 230a、氧化物 230b、導電層 242A 及導電層 242B 中。

【0414】接著，在絕緣體 275 上沉積將成為絕緣體 280 的絕緣膜。可以利用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等沉積該絕緣膜。例如，作為該絕緣膜藉由濺射法沉積氧化矽膜即可。藉由在含氧氛圍下使用濺射法沉積該絕緣膜，可以形成包含過量氧的絕緣體 280。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體 280 中的氫濃度。此外，在沉積該絕緣膜之前也可以進行熱處理。該熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地沉積該絕緣膜。藉由進行這種處理，可以去除吸附於絕緣體 275 的表面等的水分及氫，而且可以減少氧化物 230a、氧化物 230b 及絕緣體 224 中的水分濃度及氫濃度。該熱處理可以採用上述熱處理的條件。

【0415】接著，藉由對將成為絕緣體 280 的絕緣膜進行 CMP 處理，形成其頂面平坦的絕緣體 280 (參照圖 14A 至圖 14D)。此外，也可以在絕緣體 280 上例如藉由濺射法沉積氮化矽，直到該氮化矽到達絕緣體 280 為止進行 CMP 處理。

【0416】接著，對絕緣體280的一部分、絕緣體275的一部分、導電層242A的一部分、導電層242B的一部分進行加工來形成到達氧化物230b的開口258。藉由形成開口258，可以由導電層242A形成導電體242a1及導電體242b1且由導電層242B形成導電體242a2及導電體242b2(參照圖15A至圖15D)。

【0417】此外，可以對絕緣體280的一部分、絕緣體275的一部分、導電層242A的一部分及導電層242B的一部分藉由乾蝕刻法或濕蝕刻法進行加工。利用乾蝕刻法的加工適合於微型加工。此外，該加工也可以以互不相同的條件進行。例如，也可以藉由乾蝕刻法對絕緣體280的一部分進行加工，藉由濕蝕刻法對絕緣體275的一部分進行加工，藉由乾蝕刻法對導電層242A的一部分及導電層242B的一部分進行加工。

【0418】如圖15A所示，開口258較佳為在平行於點劃線A3-A4的方向(電晶體的通道寬度方向或圖1A所示的Y方向)上延伸而形成。如此，藉由形成開口258，可以將後面形成的導電體260在上述方向上延伸地設置並用作佈線。另外，開口258較佳為以與導電體205重疊的方式形成。

【0419】開口258的X方向的寬度會被反映到電晶體200的通道長度上，因此較佳為微小。例如，開口258的X方向的寬度較佳為60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下且1nm以上或5nm以上。如此，為了對開口258進行微型加工，較佳為使用利用

EUV光等波長短的光或電子束的光微影法。

【0420】在對開口258進行微型加工時，較佳為對絕緣體280的一部分、絕緣體275的一部分、導電層242B的一部分及導電層242A的一部分利用各向異性蝕刻進行加工。尤其是，利用乾蝕刻法的加工適合於微型加工，所以是較佳的。此外，該加工也可以以互不相同的條件進行。

【0421】藉由利用各向異性蝕刻對絕緣體280、絕緣體275、導電層242B及導電層242A進行加工，可以大致垂直於氧化物230b的頂面的方式形成導電體242a和導電體242b的相對的側面。藉由採用這種結構，可以抑制在區域230ba和區域230bc之間以及區域230bb和區域230bc之間形成所謂的Loff區域。由此，可以提高電晶體200的頻率特性來提高根據本發明的一個實施方式的半導體裝置的工作速度。

【0422】注意，不侷限於上述結構，如圖3B所示，絕緣體280、絕緣體275及導電體242的側面形狀有時為錐形形狀。另外，絕緣體280的錐角有時大於導電體242的錐角。此外，在形成開口258時，有時氧化物230b的頂部被去除。

【0423】由於上述蝕刻處理，有時雜質附著於氧化物230a的側面、氧化物230b的頂面及側面、導電體242的側面以及絕緣體280的側面等或者該雜質擴散到它們的內部。此外，也可以進行去除這些雜質的製程。另外，有時因上述乾蝕刻而在氧化物230b的表面上形成損傷區域。此

外，也可以去除這樣的損傷區域。作為該雜質，可以舉出起因於如下成分等的雜質：絕緣體280、絕緣體275、導電層242B及導電層242A所包含的成分；包含於形成上述開口時使用的裝置所使用的構件中的成分；用於蝕刻的氣體或液體所包含的成分等。作為該雜質，例如有鉛、鋁、矽、鉍、氟、氯等。

【0424】 尤其是，鋁、矽等雜質有時導致氧化物230b的結晶性下降。因此，在氧化物230b的表面及其附近較佳為去除鋁、矽等雜質。此外，該雜質的濃度較佳為得到降低。例如，氧化物230b的表面及其附近的鋁原子的濃度可以為5.0原子%以下，較佳為2.0原子%以下，更佳為1.5原子%以下，進一步較佳為1.0原子%以下，更進一步較佳為小於0.3原子%。

【0425】 由於鋁、矽等雜質，在氧化物230b的結晶性低的區域中結晶結構的緻密度降低，所以產生大量 V_{oH} 而電晶體容易被常開啟化。由此，較佳為減少或去除氧化物230b的結晶性低的區域。

【0426】 相對於此，氧化物230b較佳為具有層狀的CAAC結構。尤其較佳的是，氧化物230b的汲極的下端部也具有CAAC結構。在此，在電晶體200中，導電體242a或導電體242b及其附近被用作汲極。換言之，導電體242a(導電體242b)的下端部附近的氧化物230b較佳為具有CAAC結構。如此，藉由去除對汲極耐壓帶來顯著影響的汲極端部中的氧化物230b的結晶性低的區域而使其具有

CAAC結構，可以進一步抑制電晶體200的電特性的變動。此外，可以進一步提高電晶體200的可靠性。

【0427】為了去除在上述蝕刻製程中附著於氧化物230b表面的雜質等，進行洗滌處理。作為洗滌方法，有使用洗滌液等的濕式洗滌(也可以稱為濕蝕刻處理)、使用電漿的電漿處理、利用熱處理的洗滌等，也可以適當地組合上述洗滌。注意，藉由進行該洗滌處理有時上述槽部變深。

【0428】作為濕式洗滌，可以使用用碳酸水或純水稀釋氨水、草酸、磷酸或氫氟酸等而成的水溶液、純水或碳酸水等進行。或者，可以使用上述水溶液、純水或碳酸水進行超聲波洗滌。或者，也可以適當地組合上述洗滌。

【0429】注意，在本說明書等中，有時將用純水稀釋氫氟酸的水溶液稱為稀氫氟酸且將用純水稀釋氨水的水溶液稱為稀氨水。此外，該水溶液的濃度、溫度等根據要去除的雜質、被洗滌的半導體裝置的結構等適當地調整即可。稀氨水的氨濃度設定為0.01%以上且5%以下，較佳為設定為0.1%以上且0.5%以下即可。此外，稀氫氟酸的氟化氫濃度設定為0.01ppm以上且100ppm以下，較佳為設定為0.1ppm以上且10ppm以下即可。

【0430】此外，作為超聲波洗滌較佳為使用200kHz以上的頻率，更佳為使用900kHz以上的頻率。藉由使用該頻率，可以降低對氧化物230b等造成的損傷。

【0431】此外，可以多次進行上述洗滌處理，也可以

按每個洗滌處理改變洗滌液。例如，也可以作為第一洗滌處理進行使用稀氫氟酸或稀氨水的處理，作為第二洗滌處理進行使用純水或碳酸水的處理。

【0432】作為上述洗滌處理，在本實施方式中，使用稀氨水進行濕式洗滌。藉由進行該洗滌處理，可以去除附著於氧化物230a、氧化物230b等的表面或者擴散到其內部的雜質。並且，可以提高氧化物230b的結晶性。

【0433】在上述蝕刻或上述洗滌後也可以進行熱處理。熱處理以100°C以上且450°C以下，較佳為以350°C以上且400°C以下進行即可。熱處理在氮氣體、惰性氣體或包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，熱處理較佳為在氧氛圍下進行。由此，對氧化物230a及氧化物230b供應氧，從而可以減少氧空位。此外，藉由進行上述熱處理，可以提高氧化物230b的結晶性。熱處理也可以在減壓狀態下進行。或者，也可以在氧氛圍下進行熱處理，然後以不暴露於大氣的方式在氮氛圍下連續地進行熱處理。

【0434】接著，沉積絕緣膜253A(參照圖16A至圖16D)。絕緣膜253A是將在後面的製程中成為絕緣體253的絕緣膜。絕緣膜253A可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣膜253A較佳為利用ALD法沉積。如上所述，絕緣膜253A較佳為沉積得薄，需要將厚度不均勻性抑制為小。對此，ALD法是交替地導入前驅物及反應物(例如，氧化劑等)進行的沉積方法，由於厚度可以

根據反復該循環的次數進行調整，所以可以精密地調整厚度。另外，如圖 16B 及圖 16C 所示，絕緣膜 253A 需要以高覆蓋性沉積在開口 258 的底面及側面。在開口 258 中絕緣膜 253A 較佳為以高覆蓋性沉積在氧化物 230 的頂面及側面。藉由利用 ALD 法，由於可以在上述開口 258 的底面及側面上沉積每一層的原子層，所以可以在該開口中以高覆蓋性沉積絕緣膜 253A。

【0435】另外，當利用 ALD 法沉積絕緣膜 253A 時，作為氧化劑可以使用臭氧 (O_3)、氧 (O_2)、水 (H_2O) 等。藉由使用不包含氫的臭氧 (O_3)、氧 (O_2) 等作為氧化劑，可以減少擴散到氧化物 230b 的氫。

【0436】在本實施方式中，作為絕緣膜 253A 藉由熱 ALD 法沉積氧化鈣。

【0437】接著，較佳為在含氧氛圍下進行微波處理 (參照圖 16A 至圖 16D)。在此，微波處理例如是指使用包括利用微波生成高密度電漿的電源的裝置的處理。此外，在本說明書等中，微波是指具有 300MHz 以上且 300GHz 以下的頻率的電磁波。注意，在絕緣膜 253A 具有疊層結構時，也可以在沉積絕緣膜 253A 的一部分的階段進行微波處理。例如，在絕緣膜 253A 包括氧化矽膜或氧氮化矽膜時，也可以在沉積氧化矽膜或氧氮化矽膜的階段進行該微波處理。

【0438】圖 16B 至圖 16D 中的虛線的箭頭表示微波、RF 等高頻、氧電漿或氧自由基等。微波處理例如較佳為使用包括用微波產生高密度電漿的電源的微波處理裝置。在

此，將微波處理裝置的頻率設定為300MHz以上且300GHz以下，較佳為2.4GHz以上且2.5GHz以下，例如為2.45GHz即可。藉由使用高密度電漿，可以生成高密度的氧自由基。另外，微波處理裝置的施加微波的電源的功率為1000W以上且10000W以下，較佳為2000W以上且5000W以下即可。此外，微波處理裝置也可以包括對基板一側施加RF的電源。此外，藉由對基板一側施加RF，可以將由高密度電漿生成的氧離子高效地導入到氧化物230b中。

【0439】此外，上述微波處理較佳為在減壓下進行，壓力為10Pa以上且1000Pa以下，較佳為300Pa以上且700Pa以下即可。此外，處理溫度為750°C以下，較佳為500°C以下，例如為250°C左右即可。此外，也可以在進行氧電漿處理之後以不暴露於大氣的方式連續進行熱處理。例如，處理溫度為100°C以上且750°C以下，較佳為300°C以上且500°C以下即可。

【0440】另外，例如，上述微波處理使用氧氣體及氬氣體進行即可。在此，氧流量比($O_2/(O_2+Ar)$)大於0%且為100%以下即可。氧流量比($O_2/(O_2+Ar)$)較佳為大於0%且為50%以下即可。氧流量比($O_2/(O_2+Ar)$)更佳為10%以上且40%以下即可。氧流量比($O_2/(O_2+Ar)$)進一步較佳為10%以上且30%以下即可。如此，藉由在含氧氛圍下進行微波處理，可以降低區域230bc中的載子濃度。另外，藉由在微波處理中防止對處理室導入過多的氧，可以防止在區域230ba及區域230bb中載子濃度過度地降低。

【0441】如圖 16B 至圖 16D 所示，藉由在含氧氛圍下進行微波處理，可以使用微波或 RF 等高頻使氧氣體電漿化而使該氧電漿作用於氧化物 230b 的導電體 242a 與導電體 242b 間的區域。此時，也可以將微波或 RF 等高頻照射到區域 230bc。換言之，可以使該微波或 RF 等高頻、氧電漿等在圖 3A 所示的區域 230bc 中作用。藉由電漿、微波等的作用，可以分開區域 230bc 的 V_{oH} 來去除區域 230bc 中的氫。換言之，可以減少包含在區域 230bc 中的 V_{oH} 。由此，可以降低區域 230bc 中的氧空位及 V_{oH} 而降低載子濃度。此外，藉由對形成在區域 230bc 中的氧空位供應在上述氧電漿中產生的氧自由基，可以進一步降低區域 230bc 中的氧空位，由此可以降低載子濃度。

【0442】另一方面，圖 3A 所示的區域 230ba 及區域 230bb 上設置有導電體 242a 及導電體 242b。在此，導電體 242 較佳為被用作在含氧氛圍下進行微波處理時保護免受微波、RF 等高頻或氧電漿等的作用的遮蔽膜。由此，導電體 242 較佳為具有遮蔽 300MHz 以上且 300GHz 以下，例如 2.4GHz 以上且 2.5GHz 以下的電磁波的功能。

【0443】如圖 16B 至圖 16D 所示，導電體 242a 及導電體 242b 遮蔽微波或 RF 等高頻、氧電漿等的作用，所以這些作用沒有涉及到區域 230ba 及區域 230bb。由此，藉由微波處理在區域 230ba 及區域 230bb 中不發生 V_{oH} 的下降及過多的氧的供應，所以可以防止載子濃度的降低。

【0444】另外，以與導電體 242a 及導電體 242b 的側面

接觸的方式設置有具有氧阻擋性的絕緣膜253A。因此，可以抑制因微波處理而在導電體242a及導電體242b的側面形成氧化膜。

【0445】由於可以提高絕緣膜253A的膜質量，電晶體200的可靠性得到提高。

【0446】如上所述，可以在氧化物半導體的區域230bc中選擇性地去除氧空位及 V_oH 而使區域230bc成為i型或實質上i型。並且，可以抑制對用作源極區域或汲極區域的區域230ba及區域230bb供應過多的氧而保持導電性。由此，可以抑制電晶體200的電特性的變動，可以抑制在基板面內電晶體200的電特性不均勻。

【0447】另外，在微波處理中，有時由於微波與氧化物230b中的分子的電磁相互作用而對氧化物230b直接傳遞熱能。有時因該熱能而氧化物230b被加熱。有時將該熱處理稱為微波退火。藉由在含氧氛圍下進行微波處理，有時可以得到與氧退火相等的效果。另外，可認為：在氧化物230b包含氫時，上述熱能傳遞到氧化物230b中的氫而被活性的氫從氧化物230b釋放。

【0448】此外，也可以在沉積絕緣膜253A之前進行微波處理而不進行沉積絕緣膜253A之後的微波處理。

【0449】另外，也可以在進行沉積絕緣膜253A後的微波處理之後保持減壓狀態下進行熱處理。藉由進行這種處理，可以高效地去除絕緣膜253A中、氧化物230b中及氧化物230a中的氫。此外，氫的一部分有時被導電體242(導電

體 242a 及導電體 242b) 吸雜。此外，也可以反復在進行微波處理之後保持減壓狀態下進行熱處理的步驟。藉由反復進行熱處理，可以進一步高效地去除絕緣膜 253A 中、氧化物 230b 中及氧化物 230a 中的氫。注意，熱處理溫度較佳為 300°C 以上且 500°C 以下。上述微波處理，即微波退火也可以兼作該熱處理。在藉由微波退火氧化物 230b 等充分地被加熱時，也可以不進行該熱處理。

【0450】此外，藉由進行微波處理而對絕緣膜 253A 的膜質量進行改質，可以抑制氫、水、雜質等的擴散。由此，可以抑制因將成為導電體 260 的導電膜的沉積等後製程或熱處理等後處理而氫、水、雜質等經過絕緣體 253 擴散到氧化物 230b、氧化物 230a 等。

【0451】接著，依次沉積將成為絕緣體 254 的絕緣膜。該絕緣膜可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等沉積。該絕緣膜較佳為與絕緣膜 253A 同樣地利用 ALD 法沉積。藉由利用 ALD 法，可以以高覆蓋性且以較小的厚度沉積該絕緣膜。在本實施方式中，作為該絕緣膜利用 PEALD 法沉積氮化矽。

【0452】接著，依次沉積將成為導電體 260a 的導電膜及將成為導電體 260b 的導電膜。將成為導電體 260a 的導電膜及將成為導電體 260b 的導電膜可以藉由濺射法、CVD 法、MBE 法、PLD 法、ALD 法等沉積。在本實施方式中，利用 ALD 法作為將成為導電體 260a 的導電膜沉積氮化鈦，利用 CVD 法作為將成為導電體 260b 的導電膜沉積鎢。

【0453】接著，利用CMP處理直到使絕緣體280露出為止對絕緣膜253A、將成為絕緣體254的絕緣膜、將成為導電體260a的導電膜及將成為導電體260b的導電膜進行拋光。也就是說，從絕緣膜253A、將成為絕緣體254的絕緣膜、將成為導電體260a的導電膜及將成為導電體260b的導電膜中去除從開口258露出的部分。由此，在開口258中形成絕緣體253、絕緣體254及導電體260(導電體260a及導電體260b)(參照圖17A至圖17D)。

【0454】由此，絕緣體253以與重疊於氧化物230b的開口258的內壁及側面接觸的方式設置。另外，導電體260以隔著絕緣體253及絕緣體254嵌入開口258中的方式配置。由此形成電晶體200。

【0455】接著，也可以在與上述熱處理同樣的條件下進行熱處理。在本實施方式中，在氮氛圍下以400℃的溫度進行1小時的處理。藉由該熱處理，可以減少絕緣體280中的水分濃度及氫濃度。此外，在上述熱處理之後，以不暴露於大氣的方式連續地進行絕緣體282的沉積。

【0456】接著，在絕緣體253上、絕緣體254上、導電體260上及絕緣體280上形成絕緣體282(參照圖18A至圖18D)。絕緣體282可以藉由濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣體282較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體282中的氫濃度。

【0457】在本實施方式中，作為絕緣體282在含氧氣

體氛圍下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁。藉由使用脈衝DC濺射法，可以使膜厚分佈更均勻而提高濺射速率及膜質量。另外，將對基板施加的RF功率設定為 $1.86\text{W}/\text{cm}^2$ 以下。較佳為 $0\text{W}/\text{cm}^2$ 以上且 $0.62\text{W}/\text{cm}^2$ 以下。藉由降低RF功率，可以抑制注入到絕緣體280中的氧量。或者，也可以形成具有兩層的疊層結構的絕緣體282。此時，將對基板施加的RF功率設定為 $0\text{W}/\text{cm}^2$ 來沉積絕緣體282的下層，將對基板施加的RF功率設定為 $0.62\text{W}/\text{cm}^2$ 來沉積絕緣體282的上層。

【0458】另外，藉由使用濺射法在含氧氛圍下沉積絕緣體282，可以在進行沉積的同時對絕緣體280添加氧。由此，可以使絕緣體280包含過量氧。此時，較佳為在加熱基板的同時沉積絕緣體282。

【0459】接著，加工絕緣體282的一部分、絕緣體280的一部分、絕緣體275的一部分形成到達導電體242b的開口158(參照圖19A至圖19D)。開口158利用光微影法形成即可。注意，在圖19A中，從平面看時開口158的形狀為四角形狀，但不侷限於此。例如，從平面看時，該開口也可以具有圓形、橢圓等大致圓形形狀、四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。

【0460】開口158的X方向的寬度較佳為微小。例如，開口158的X方向的寬度較佳為60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下且1nm以上或5nm以上。如此，為了對開口158進行微型加工，較佳

為利用使用 EUV 光等短波長的光或電子束的光微影法。

【0461】由於開口 158 的縱橫比高，所以較佳為利用各向異性蝕刻對絕緣體 282 的一部分、絕緣體 280 的一部分、絕緣體 275 的一部分進行加工。尤其是，利用乾蝕刻法的加工適合於微型加工，所以是較佳的。此外，該加工也可以以互不相同的條件進行。

【0462】接著，以覆蓋開口 158 及絕緣體 282 的方式沉積導電膜 156A (參照圖 20A 至圖 20D)。導電膜 156A 是將在後面製程中成為導電體 156 的導電膜。導電膜 156A 較佳為以與縱橫比高的開口 158 的側面及底面接觸的方式形成。因此，導電膜 156A 較佳為利用 ALD 法或 CVD 法等覆蓋性高的沉積方法沉積。例如，利用 ALD 法沉積氮化鈦或氮化鉭即可。

【0463】接著，利用光微影法加工導電膜 156A 來形成導電體 156 (參照圖 21A 至圖 21D)。由此，導電體 156 的一部分形成在開口 158 上並與絕緣體 282 的頂面的一部分接觸。

【0464】此外，也可以利用 CMP 法加工導電膜 156A。此時，由填料嵌入開口 158，對該填料及導電膜 156A 直到絕緣體 282 露出為止進行 CMP 處理即可。由此，與圖 5A 及圖 5B 同樣地，導電體 156 的最上部可以與絕緣體 282 的頂面大致對齊。填料在形成導電體 156 之後去除即可。

【0465】接著，在導電體 156 上沉積絕緣膜 153A (參照圖 22A 至圖 22D)。絕緣膜 153A 是將在後面製程中成為絕緣體 153 的絕緣膜。絕緣膜 153A 較佳為以與設置在縱橫比高

的開口158的內側的導電體156接觸的方式形成。因此，絕緣膜153A較佳為利用ALD法或CVD法等覆蓋性高的沉積方法沉積。絕緣膜153A可以使用上述High-k材料。

【0466】接著，依次沉積將成為導電體160a的導電膜160A、將成為導電體160b的導電膜160B(參照圖22A至圖22D)。導電膜160A是將在後面製程中成為導電體160a的導電膜，導電膜160B是將在後面製程中成為導電體160b的導電膜。導電膜160A較佳為以與設置在縱橫比高的開口158的內側的絕緣膜153A接觸的方式形成，導電膜160B較佳為以嵌入開口158中的方式形成。因此，導電膜160A及導電膜160B較佳為利用ALD法或CVD法等覆蓋性高的沉積方法沉積。例如，利用ALD法作為導電膜160A沉積氮化鈦且利用CVD法作為導電膜160B沉積鎢即可。

【0467】在利用CVD法沉積導電膜160B時，如圖22B至圖22D所示，有時導電膜160B的頂面的平均表面粗糙度變大。此時，較佳為利用CMP法使導電膜160B平坦化(參照圖23A至圖23D)。此時，也可以在進行CMP處理之前在導電膜160B上沉積氧化矽膜或氧氮化矽膜且直到去除該氧化矽膜或氧氮化矽膜為止進行CMP處理。

【0468】接著，利用光微影法加工絕緣膜153A、導電膜160A及導電膜160B來形成絕緣體153、導電體160a及導電體160b(參照圖24A至圖24D)。此時，絕緣體153、導電體160a及導電體160b較佳為以覆蓋導電體156的側端部的方式形成。藉由採用這種結構，可以由絕緣體153使導電

體 160 和 導電體 156 分離，因此可以抑制導電體 160 與導電體 156 的短路。

【0469】如圖 24A 及圖 24D 所示，導電體 160 較佳為在 A5-A6 方向上延伸設置。此外，此時，絕緣體 153 也可以與導電體 160 一起延伸設置。

【0470】注意，在上述中示出絕緣膜 153A 也被加工為絕緣體 153 的例子，但本發明不侷限於此，也可以只加工導電膜 160A 及導電膜 160B 而殘留絕緣膜 153A。此時，如圖 5A 及圖 5B 所示，絕緣體 153 的一部分以從導電體 160 露出的方式設置。由此，由於可以不進行絕緣體 153 的加工，所以可以減少記憶體裝置的製程而提高生產率。

【0471】如此，可以由導電體 156、絕緣體 153 和導電體 160 中的至少一部分形成開口 158 中的電容器 100。

【0472】接著，在絕緣體 282 中形成開口 206c (參照圖 25A 至圖 25D)。在形成開口 206c 時，可以使用光微影法。開口 206c 以與在後面製程中形成開口 206 的區域的至少一部分重疊的方式形成。較佳的是，以在後面製程中具有形成開口 206 的區域的方式形成開口 206c。藉由如此那樣形成開口 206c，在形成開口 206 時不需要蝕刻由難蝕刻材料構成的絕緣層，所以可以以高良率製造開口 206。

【0473】在形成開口 206c 時，可以使用乾蝕刻法或濕蝕刻法。因為利用乾蝕刻法的加工適合於微型加工，所以較佳為利用乾蝕刻法。作為蝕刻氣體，可以使用含有包含氟、氯及溴中的一個或多個的鹵素的蝕刻氣體。作為蝕刻

氣體，例如可以使用 C_4F_6 氣體、 C_5F_6 氣體、 C_4F_8 氣體、 CF_4 氣體、 SF_6 氣體、 CHF_3 氣體、 Cl_2 氣體、 BCl_3 氣體、 $SiCl_4$ 氣體和 BBr_3 氣體等中的一種或兩種以上的混合氣體。另外，可以對上述蝕刻氣體適當地添加氧氣體、碳酸氣、氮氣體、氬氣體、氫氣體或烴氣體等。例如，在作為絕緣體 282 使用氧化鋁時，作為蝕刻氣體可以使用 CHF_3 和 Ar 的混合氣體。另外，作為乾蝕刻裝置可以使用上述乾蝕刻裝置。另外，蝕刻條件可以根據蝕刻對象適當地設定。

【0474】另外，如圖 25B 所示，有時在形成開口 206c 的同時在絕緣體 280 的頂面的與開口 206c 重疊的區域形成凹部。

【0475】注意，在圖 25A 中，從平面看時開口 206c 的形狀為四角形，但是不侷限於此。例如，從平面看時開口 206c 的形狀也可以為圓形、橢圓形等大致圓形、四角形等多角形、四角形等多角形的角部帶弧形的形狀。

【0476】接著，在絕緣體 282 及導電體 160 上形成絕緣體 285 (參照圖 26A 至圖 26D)。此時，絕緣體 285 的一部分以嵌入形成在開口 206c 及絕緣體 280 的頂面的凹部中的方式沉積。絕緣體 285 可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等沉積。絕緣體 285 較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體 285 中的氫濃度。

【0477】在本實施方式中，作為絕緣體 285 藉由濺射

法沉積氧化矽。

【0478】接著，在絕緣體212、絕緣體216、絕緣體275、絕緣體280及絕緣體285中形成到達導電體209的開口206(參照圖26A及圖26B)。在此，形成導電體242a的一部分凸出到其內部的開口206。因此，在開口206中，導電體242a的側面比絕緣體280、絕緣體216等的側面凸出。在形成開口206時，可以利用光微影法。注意，在圖26A中，從平面看時該開口206的形狀為四角形，但是不侷限於此。例如，從平面看時，該開口也可以具有圓形、橢圓等大致圓形形狀或四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。

【0479】開口206例如藉由各向異性蝕刻使導電體209的頂面露出，然後藉由各向同性蝕刻使絕緣體212、絕緣體216、絕緣體275、絕緣體280及絕緣體285的側面比導電體242a的側面後退即可。這裡，在各向同性蝕刻中使用不容易蝕刻導電體242的條件。

【0480】各向異性蝕刻和各向同性蝕刻較佳為在同一蝕刻裝置中在不同條件下以不暴露於大氣的方式連續地進行。例如，在作為各向異性蝕刻和各向同性蝕刻的兩者使用乾蝕刻法的情況下，藉由改變電源功率、偏壓功率、蝕刻氣體的流量、蝕刻氣體種類和壓力等條件中的一個以上，可以從各向異性蝕刻切換為各向同性蝕刻。

【0481】或者，也可以作為各向異性蝕刻和各向同性蝕刻使用不同的蝕刻方法。例如，可以作為各向異性蝕刻

使用乾蝕刻法且作為各向同性蝕刻使用濕蝕刻法。

【0482】另外，從平面看時開口206重疊於開口206a的至少一部分、開口206b的至少一部分及開口206c的至少一部分。較佳的是，從平面看時開口206配置在開口206a的內側、開口206b的內側及開口206c的內側。由此，與絕緣體214、絕緣體222及絕緣體282的側面相比，絕緣體212、絕緣體216、絕緣體275、絕緣體280及絕緣體285的側面向開口206的中心凸出。

【0483】藉由如此那樣形成開口206，在形成開口206時不需要蝕刻由難蝕刻材料構成的絕緣層，所以可以以高良率製造開口206而提高記憶體裝置的生產率。另外，不需要蝕刻由難蝕刻材料構成的絕緣層，所以可以防止在開口206的形成中蝕刻速率大幅度地降低而開口206中形成異常形狀。因此，開口206的側壁可以大致垂直於基板面或導電體209的頂面等。由此，可以減小開口206的佔有面積而減少每一個記憶單元的佔有面積，所以可以增大記憶體裝置的單位面積的記憶容量。

【0484】接著，依次沉積將成為導電體240a的導電膜及將成為導電體240b的導電膜。可以利用濺射法、CVD法、MBE法、PLD法或ALD法等沉積這些導電膜。由於以與開口206的底面及側壁接觸的方式設置，所以導電體240a以與凸出到開口206內的導電體242a的一部分接觸的方式設置。

【0485】將成為導電體240a的導電膜較佳為具有抑制

水、氫等雜質的透過的功能。將成為導電體 240a 的導電膜的沉積例如較佳為利用 ALD 法等覆蓋性高的沉積方法。作為將成為導電體 240a 的導電膜，例如可以使用氮化鋁、氮化鈦等。

【0486】將成為導電體 240b 的導電膜例如較佳為利用 CVD 法等嵌入性高的沉積方法沉積。作為將成為導電體 240b 的導電膜，例如可以使用鎢、鈳、銅等。

【0487】接著，藉由進行 CMP 處理，去除將成為導電體 240a 的導電膜的一部分及將成為導電體 240b 的導電膜的一部分，使絕緣體 285 的頂面露出。其結果是，這些導電膜只殘留在開口 206 中，由此可以形成其頂面平坦的導電體 240 (導電體 240a 及導電體 240b) (參照圖 1A 至圖 1D)。注意，有時由於該 CMP 處理而絕緣體 285 的頂面的一部分被去除。

【0488】藉由上述製程，可以製造包括圖 1A 至圖 1D 所示的電晶體 200 及電容器 100 的半導體裝置。如圖 8A 至圖 26D 所示，藉由使用本實施方式所示的半導體裝置的製造方法，可以減少包括電容器 100 和電晶體 200 的半導體裝置的製程。

【0489】注意，絕緣體 224、氧化物 230a、氧化物 230b、導電層 242A 及導電層 242B 的形成方法不侷限於上述方法。以下說明絕緣體 224、氧化物 230a、氧化物 230b、導電層 242A 及導電層 242B 的其他形成方法。

【0490】到沉積絕緣膜 224Af、氧化膜 230Af 及氧化膜

230Bf的製程與上述同樣。

【0491】接著，利用光微影法將絕緣膜224Af、氧化膜230Af、氧化膜230Bf加工為島狀，形成絕緣體224、氧化物230a、氧化物230b(參照圖27A至圖27D)。在此，以其至少一部分與導電體205重疊的方式形成絕緣體224、氧化物230a、氧化物230b。作為上述加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微型加工。另外，也可以在各自不同的條件下進行絕緣膜224Af、氧化膜230Af、氧化膜230Bf的加工。

【0492】接著，藉由與有關圖11A至圖11D的製程同樣的方法在絕緣體222中形成開口206b。

【0493】接著，在絕緣體222上及氧化物230b上依次沉積導電膜242Af、導電膜242Bf(參照圖28A至圖28D)。導電膜242Af及導電膜242Bf的沉積方法可以參照圖12A至圖12D的記載。

【0494】接著，利用光微影法對導電膜242Af及導電膜242Bf進行加工來形成島狀的導電層242A及導電層242B(參照圖13A至圖13D)。此外，也可以在將導電膜242Af及導電膜242Bf加工為島狀時形成開口。

【0495】藉由使用上述方法，可以獨立地進行絕緣體224、氧化物230a及氧化物230b的加工與導電層242A及導電層242B的加工。

【0496】以上是絕緣體224、氧化物230a、氧化物230b、導電層242A及導電層242B的其他形成方法的說

明。

【0497】

<微波處理裝置>

以下，說明可以在上述半導體裝置的製造方法中使用的微波處理裝置。

【0498】 首先，參照圖29至圖32對製造半導體裝置等時雜質混入較少的製造裝置的結構進行說明。

【0499】 圖29示意性地示出單片式(single wafer)多室製造裝置2700的俯視圖。製造裝置2700包括：具備收納基板的盒式介面(cassette port)2761和進行基板對準的對準介面(alignment port)2762的大氣側基板供應室2701；從大氣側基板供應室2701傳送基板的大氣側基板傳送室2702；進行基板的搬入且將室內的壓力從大氣壓切換為減壓或從減壓切換為大氣壓的負載鎖定室2703a；進行基板的搬出且將室內的壓力從減壓切換為大氣壓或從大氣壓切換為減壓的卸載閉鎖室2703b；在真空中進行基板傳送的傳送室2704；處理室2706a；處理室2706b；處理室2706c；以及處理室2706d。

【0500】 此外，大氣側基板傳送室2702與負載鎖定室2703a以及卸載閉鎖室2703b連接，負載鎖定室2703a以及卸載閉鎖室2703b與傳送室2704連接，傳送室2704與處理室2706a、處理室2706b、處理室2706c以及處理室2706d連接。

【0501】 在各室之間的連接部設置有閘閥GV，由此

除了大氣側基板供應室 2701 及大氣側基板傳送室 2702 以外，各室可以獨立地保持為真空狀態。在大氣側基板傳送室 2702 中設置有傳送機器人 2763a，並且傳送室 2704 中設置有傳送機器人 2763b。藉由利用傳送機器人 2763a 及傳送機器人 2763b 可以在製造裝置 2700 中傳送基板。

【0502】 傳送室 2704 及各處理室的背壓(全壓)例如為 1×10^{-4} Pa 以下，較佳為 3×10^{-5} Pa 以下，更佳為 1×10^{-5} Pa 以下。傳送室 2704 及各處理室的質荷比(m/z)是 18 的氣體分子(原子)的分壓例如為 3×10^{-5} Pa 以下，較佳為 1×10^{-5} Pa 以下，更佳為 3×10^{-6} Pa 以下。此外，傳送室 2704 及各處理室的 m/z 是 28 的氣體分子(原子)的分壓例如為 3×10^{-5} Pa 以下，較佳為 1×10^{-5} Pa 以下，更佳為 3×10^{-6} Pa 以下。傳送室 2704 及各處理室的 m/z 是 44 的氣體分子(原子)的分壓例如為 3×10^{-5} Pa 以下，較佳為 1×10^{-5} Pa 以下，更佳為 3×10^{-6} Pa 以下。

【0503】 傳送室 2704 及各處理室內的全壓及分壓可以使用電離真空計、質量分析器等測量。

【0504】 另外，傳送室 2704 及各處理室較佳為具有外部洩漏或內部洩漏少的結構。例如，傳送室 2704 的洩漏率為 1×10^0 Pa/min 以下，較佳為 5×10^{-1} Pa/min 以下。另外，各處理室的洩漏率為 1×10^{-1} Pa/min 以下，較佳為 5×10^{-2} Pa/min 以下。

【0505】 洩漏率從利用電離真空計、質量分析器等測量的全壓及分壓導出即可。例如，從利用渦輪分子泵等真

空泵開始抽空後經過10分鐘時的全壓以及閥關閉後經過10分鐘時的全壓導出即可。注意，上述開始抽空後經過10分鐘時的全壓較佳為多次測量該全壓時的平均值。

【0506】洩漏率取決於外部洩漏及內部洩漏。外部洩漏是指由於微小的孔或密封不良等，氣體從真空系統的外部流入的現象。內部洩漏起因於來自真空系統中的閥等隔板的洩漏或來自內部構件的釋放氣體。為了將洩漏率設定為上述數值以下，需要從外部洩漏及內部洩漏的兩個方面採取措施。

【0507】例如，較佳為使用金屬墊片對傳送室2704及各處理室的開閉部分進行密封。金屬墊片較佳為使用由氟化鐵、氧化鋁或氧化鉻覆蓋的金屬。金屬墊片的緊密性比O形圈高，因此可以降低外部洩漏。藉由利用由氟化鐵、氧化鋁、氧化鉻等覆蓋的金屬的鈍態，可以抑制從金屬墊片釋放的包含雜質的釋放氣體，由此可以降低內部洩漏。

【0508】作為構成製造裝置2700的構件，使用包含雜質的釋放氣體少的鋁、鉻、鈦、銦、鎳或鈇。另外，也可以由上述包含雜質的釋放氣體少的金屬覆蓋含有鐵、鉻及鎳等的合金而使用。含有鐵、鉻及鎳等的合金具有剛性和耐熱性且適於加工。在此，藉由進行拋光等減少構件表面上的凹凸以縮小表面積，可以減少釋放氣體。

【0509】或者，也可以使用氟化鐵、氧化鋁、氧化鉻等覆蓋上述製造裝置2700的構件。

【0510】製造裝置2700的構件較佳為儘量只由金屬構

成，例如當設置由石英等構成的觀察窗(viewing window)等時，為了抑制釋放氣體，較佳為由其厚度小的氟化鐵、氧化鋁或氧化鉻等覆蓋觀察窗的表面。

【0511】雖然存在於傳送室2704及各處理室內的吸附物附著於內壁等而不影響到傳送室2704及各處理室的壓力，但是該吸附物成為對傳送室2704及各處理室進行排氣時產生的氣體釋放的原因。因此，雖然洩漏率與排氣速度不相關，但是使用排氣能力高的泵儘量地使存在於傳送室2704及各處理室內的吸附物脫離並預先進行排氣是十分重要的。為了促進吸附物的脫離，也可以對傳送室2704及各處理室進行烘烤。藉由進行烘烤，可以將吸附物的脫離速度提高到10倍左右。烘烤以100℃以上且450℃以下進行即可。此時，藉由在將惰性氣體導入傳送室2704及各處理室的同時去除吸附物，可以進一步提高僅藉由排氣不容易脫離的水等的脫離速度。此外，藉由將導入的惰性氣體加熱到與烘烤溫度相同程度的溫度，可以進一步提高吸附物的脫離速度。這裡，作為惰性氣體較佳為使用高貴氣體。

【0512】此外，較佳為藉由導入被加熱的高貴氣體等惰性氣體或氧等提高傳送室2704及各處理室內的壓力，並在經過一定時間之後再次對傳送室2704及各處理室進行排氣處理。可以由於被加熱的氣體的導入可以使傳送室2704及各處理室內的吸附物脫離，由此可以減少存在於傳送室2704及各處理室內的雜質。有效的是將該處理反復進行2次以上且30次以下，較佳為5次以上且15次以下。明確地

說，藉由導入 40°C 以上且 400°C 以下，較佳為 50°C 以上且 200°C 以下的惰性氣體或氧等來將傳送室2704及各處理室內的壓力設定為 0.1Pa 以上且 10kPa 以下，較佳為 1Pa 以上且 1kPa 以下，更佳為 5Pa 以上且 100Pa 以下，並將保持壓力的期間設定為1分鐘以上且300分鐘以下，較佳為5分鐘以上且120分鐘以下，即可。然後，對傳送室2704及各處理室進行排氣5分鐘以上且300分鐘以下，較佳為10分鐘以上且120分鐘以下。

【0513】 接著，使用圖30所示的剖面示意圖說明處理室2706b及處理室2706c。

【0514】 處理室2706b及處理室2706c例如是能夠對被處理物進行微波處理的處理室。注意，處理室2706b與處理室2706c的不同之處僅在於進行微波處理時的氛圍。因為處理室2706b和處理室2706c的其他結構相同，所以下面一併說明。

【0515】 處理室2706b及處理室2706c包括縫隙天線板2808、電介質板2809、基板支架2812以及排氣口2819。此外，在處理室2706b及處理室2706c的外部等設置有氣體供應源2801、閥2802、高頻產生器2803、波導管2804、模式轉換器2805、氣體管2806、波導管2807、匹配器(matching box)2815、高頻電源2816、真空泵2817以及閥2818。

【0516】 高頻產生器2803藉由波導管2804與模式轉換器2805連接。模式轉換器2805藉由波導管2807與縫隙天線板2808連接。縫隙天線板2808與電介質板2809接觸地配

置。此外，氣體供應源 2801 藉由閥 2802 與模式轉換器 2805 連接。並且，由經過模式轉換器 2805、波導管 2807 及電介質板 2809 的氣體管 2806 對處理室 2706b 及處理室 2706c 導入氣體。此外，真空泵 2817 具有藉由閥 2818 及排氣口 2819 從處理室 2706b 及處理室 2706c 排出氣體等的功能。此外，高頻電源 2816 藉由匹配器 2815 與基板支架 2812 連接。

【0517】基板支架 2812 具有保持基板 2811 的功能。例如，基板支架 2812 具有對基板 2811 進行靜電卡盤或機械卡盤的功能。此外，基板支架 2812 具有由高頻電源 2816 供應電力的電極的功能。此外，基板支架 2812 在其內部包括加熱機構 2813 並具有對基板 2811 進行加熱的功能。

【0518】作為真空泵 2817，可以使用例如乾燥泵、機械增壓泵、離子泵、鈦昇華泵、低溫泵或渦輪分子泵等。此外，除了真空泵 2817 以外，還可以使用低溫冷阱 (cryotrap)。當使用低溫泵及低溫冷阱時可以高效地排出水，這是特別較佳的。

【0519】作為加熱機構 2813，例如使用利用電阻發熱體等進行加熱的加熱機構即可。或者，還可以使用利用被加熱的氣體等介質的熱傳導或熱輻射來進行加熱的加熱機構。例如，可以使用 GRTA (Gas Rapid Thermal Annealing：氣體快速熱退火) 或 LRTA (Lamp Rapid Thermal Annealing：燈快速熱退火) 等的 RTA (Rapid Thermal Annealing：快速熱退火)。GRTA 利用高溫氣體進行熱處理。作為氣體使用惰性氣體。

【0520】此外，氣體供應源2801也可以藉由質量流量控制器與精製器連接。作為氣體，較佳為使用露點為-80℃以下，較佳為-100℃以下的氣體。例如，可以使用氧氣體、氮氣體及高貴氣體(氬氣體等)。

【0521】作為電介質板2809例如使用氧化矽(石英)、氧化鋁(alumina)或氧化鈮(yttria)等即可。此外，也可以在電介質板2809的表面進一步形成有其他保護層。作為保護層可以使用氧化鎂、氧化鈦、氧化鉻、氧化鋯、氧化鉛、氧化鋇、氧化矽、氧化鋁或氧化鈮等。因為電介質板2809暴露於後述的高密度電漿2810的特別高密度區域中，所以藉由設置保護層可以減輕損傷。其結果是，可以抑制進行處理時的微粒的增加等。

【0522】高頻產生器2803具有例如產生0.3GHz以上且3.0GHz以下、0.7GHz以上且1.1GHz以下或者2.2GHz以上且2.8GHz以下的微波的功能。高頻產生器2803所產生的微波藉由波導管2804傳送到模式轉換器2805。在模式轉換器2805中，將被傳送的TE模式的微波轉換為TEM模式的微波。然後，該微波藉由波導管2807傳送到縫隙天線板2808。在縫隙天線板2808中設置有多個縫隙，微波透過該縫隙及電介質板2809。然後，在電介質板2809的下方產生電場而可以生成高密度電漿2810。高密度電漿2810包括根據從氣體供應源2801供應的氣體種類的離子及自由基。例如，高密度電漿2810包括氧自由基等。

【0523】此時，藉由利用在高密度電漿2810中生成的

離子及自由基可以對基板 2811 上的膜等進行改質。此外，有時較佳為使用高頻電源 2816 對基板 2811 一側施加偏壓。作為高頻電源 2816，例如可以使用 13.56MHz、27.12MHz 等頻率的 RF 電源。藉由對基板一側施加偏壓，可以高效地使高密度電漿 2810 中的離子到達基板 2811 上的膜等的開口部的深部。

【0524】例如，藉由從氣體供應源 2801 導入氧，可以在處理室 2706b 或處理室 2706c 內進行使用高密度電漿 2810 的氧自由基處理。

【0525】接著，使用圖 31 所示的剖面示意圖說明處理室 2706a 及處理室 2706d。

【0526】處理室 2706a 及處理室 2706d 例如是能夠對被處理物照射電磁波的處理室。注意，處理室 2706a 與處理室 2706d 的不同之處僅在於電磁波的種類。因為處理室 2706a 和處理室 2706d 的其他結構大多是相同的，所以下面一併說明。

【0527】處理室 2706a 及處理室 2706d 包括一個或多個燈 2820、基板支架 2825、氣體導入口 2823 以及排氣口 2830。此外，在處理室 2706a 及處理室 2706d 的外部等設置有氣體供應源 2821、閥 2822、真空泵 2828 以及閥 2829。

【0528】氣體供應源 2821 藉由閥 2822 與氣體導入口 2823 連接。真空泵 2828 藉由閥 2829 與排氣口 2830 連接。燈 2820 與基板支架 2825 相對地配置。基板支架 2825 具有保持基板 2824 的功能。此外，基板支架 2825 在其內部包括加熱

機構 2826 並具有對基板 2824 進行加熱的功能。

【0529】作為燈 2820，例如可以使用具有放射可見光或紫外光等的電磁波的功能的光源。例如，可以使用具有放射在 10nm 以上且 2500nm 以下、500nm 以上且 2000nm 以下或者 40nm 以上且 340nm 以下的波長區域中具有峰的電磁波的功能的光源。

【0530】例如，作為燈 2820，可以使用鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等光源。

【0531】例如，從燈 2820 放射的電磁波的一部分或全部被基板 2824 吸收，由此可以對基板 2824 上的膜等進行改質。例如，可以生成或減少缺陷、或者可以去除雜質等。此外，在對基板 2824 進行加熱的同時生成或減少缺陷、或者去除雜質等的情況下，可以高效地生成或減少缺陷、或者可以去除雜質等。

【0532】或者，例如，也可以利用從燈 2820 放射的電磁波使基板支架 2825 發熱，由此對基板 2824 進行加熱。在此情況下，也可以在基板支架 2825 的內部不包括加熱機構 2826。

【0533】真空泵 2828 可參照關於真空泵 2817 的記載。此外，加熱機構 2826 可參照關於加熱機構 2813 的記載。此外，氣體供應源 2821 可參照關於氣體供應源 2801 的記載。

【0534】可用於本實施方式的微波處理裝置不侷限於上述微波處理裝置。可以使用圖 32 所示的微波處理裝置

2900。微波處理裝置2900包括石英管2901、排氣口2819、氣體供應源2801、閥2802、高頻產生器2803、波導管2804、氣體管2806、真空泵2817及閥2818。另外，微波處理裝置2900在石英管2901內包括支撐多個基板2811(2811_1至2811_n，n是2以上的整數)的基板支架2902。另外，微波處理裝置2900也可以在石英管2901的外側包括加熱單元2903。

【0535】 由高頻產生器2803產生的微波藉由波導管2804照射到設置在石英管2901內的基板。真空泵2817藉由閥2818與排氣口2819連接，可以調整石英管2901內部的壓力。另外，氣體供應源2801藉由閥2802與氣體管2806連接，可以對石英管2901內導入所希望的氣體。另外，藉由加熱單元2903可以將石英管2901內的基板2811加熱到所希望的溫度。或者，也可以藉由加熱單元2903加熱從氣體供應源2801供應的氣體。藉由微波處理裝置2900，可以對基板2811同時進行熱處理和微波處理。另外，可以在加熱基板2811之後進行微波處理。另外，可以在對基板2811進行微波處理之後進行熱處理。

【0536】 可以將基板2811_1至基板2811_n都設為形成半導體裝置或記憶體裝置的處理基板，也可以將基板2811_1至基板2811_n的一部分基板設為虛擬基板。例如，也可以將基板2811_1及基板2811_n設為虛擬基板且將基板2811_2至基板2811_n-1設為處理基板。另外，也可以將基板2811_1、基板2811_2、基板2811_n-1及基板2811_n設為

虛擬基板且將基板 2811_3 至基板 2811_n-2 設為處理基板。藉由使用虛擬基板，可以在微波處理或熱處理時多個處理基板均勻地被處理而可以降低處理基板間的不均勻，所以是較佳的。例如，藉由將虛擬基板配置在最接近於高頻產生器 2803 及波導管 2804 的處理基板上，可以抑制該處理基板直接暴露於微波，所以是較佳的。

【0537】藉由使用上述製造裝置，可以抑制雜質混入到被處理物並可以進行膜的改質。

【0538】

<半導體裝置的變形例子>

以下，使用圖 33A 至圖 35B 說明本發明的一個實施方式的半導體裝置的一個例子。

【0539】圖 33 及圖 34 中的各圖式中的 A 是半導體裝置的俯視圖。各圖式中的 B 是沿著 A 中的點劃線 A1-A2 的部分的剖面圖。各圖式中的 C 是沿著 A 中的點劃線 A3-A4 的部分的剖面圖。各圖式中的 D 是沿著 A 中的點劃線 A5-A6 的部分的剖面圖。為了明確起見，在各圖式中的 A 的俯視圖中省略部分組件。

【0540】注意，在圖 33A 至圖 35B 所示的半導體裝置中，對具有與構成<半導體裝置的結構例子>所示的半導體裝置的組件相同的功能的組件附加相同符號。注意，本節中的構成半導體裝置的材料可以使用在<半導體裝置的結構例子>中詳細說明的材料。

【0541】圖 33A 至圖 33D 所示的半導體裝置是圖 1A 至

圖 1D 所示的半導體裝置的變形例子。圖 33A 至圖 33D 所示的半導體裝置的與圖 1A 至圖 1D 所示的半導體裝置的不同之處在於包括絕緣體 283 及絕緣體 221。

【0542】絕緣體 283 設置在絕緣體 282 和絕緣體 285 之間。此時，導電體 156 的一部分及絕緣體 153 的一部分與絕緣體 283 的頂面接觸。作為絕緣體 283，較佳為使用具有抑制氫擴散功能的絕緣體。由此，可以抑制氫從絕緣體 283 的上方擴散到電晶體 200。作為絕緣體 283，使用上述可用於絕緣體 275 的絕緣體即可。例如，作為絕緣體 283 使用藉由濺射法沉積的氮化矽即可。藉由使用濺射法沉積絕緣體 283，可以形成密度高的氮化矽膜。此外，作為絕緣體 283，也可以在藉由濺射法沉積的氮化矽上還層疊藉由 PEALD 法或 CVD 法沉積的氮化矽。

【0543】藉由在夾在絕緣體 212 與絕緣體 283 的區域內設置與絕緣體 280 接觸且具有俘獲氫等雜質的功能的絕緣體 282，可以俘獲包含在絕緣體 280 等中的氫等雜質而將該區域內的氫量為一定的值。尤其是，絕緣體 282 較佳為使用具有非晶結構的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體 200 及半導體裝置。

【0544】在此，較佳的是，除了絕緣體 282 以外，還在絕緣體 283 中形成開口 206c。換言之，較佳的是，在絕緣體 282 上形成絕緣體 283，然後進行圖 25 所示的形成開口 206c 的製程。

【0545】注意，圖33A至圖33D示出在電晶體200中設置單層的絕緣體283的結構，但是本發明不侷限於此。例如，絕緣體283也可以具有兩層以上的疊層結構。

【0546】例如，當作為絕緣體283採用兩層的疊層結構時，也可以作為絕緣體283的下層利用濺射法沉積氮化矽且作為絕緣體283的上層利用ALD法沉積氮化矽。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體283的下層中的氫濃度。再者，在利用濺射法沉積的膜中形成針孔或斷開等的情況下，可以使用藉由覆蓋性優異的ALD法沉積的膜填充重疊於針孔或斷開等的部分。

【0547】注意，當作為絕緣體283採用兩層的疊層結構時，有時絕緣體283的上層的頂面的一部分被去除。此外，有時難以明確檢測絕緣體283的上層和下層的邊界。

【0548】絕緣體221設置在絕緣體216及導電體205與絕緣體222之間。作為絕緣體221，較佳為具有抑制氫擴散的功能。由此，可以抑制氫從絕緣體221的下方擴散到電晶體200。此外，絕緣體221可以兼有絕緣體212的功能。在此情況下，藉由採用不設置絕緣體212的結構，可以簡化半導體裝置的製程來提高生產率。

【0549】作為絕緣體221，使用上述可用於絕緣體275的絕緣體即可。例如，作為絕緣體221，較佳為使用利用ALD法(尤其是，PEALD法)沉積的氮化矽。藉由利用ALD法沉積絕緣體221，即使在絕緣體216和導電體205之間形

成凹凸，可以以高覆蓋性沉積絕緣體 221。因此，可以抑制沉積在絕緣體 221 上的絕緣體 222 中形成針孔或斷開等。

【0550】在此，有時在絕緣體 221 中形成與形成在絕緣體 222 中的開口 206b 重疊的開口。另外，在絕緣體 221 的厚度較厚時，有時形成與形成在絕緣體 222 中的開口 206b 重疊的凹部。

【0551】另外，也可以在絕緣體 222 和絕緣體 224 之間設置具有抑制氫擴散的功能的絕緣體。由此，可以抑制氫從該絕緣體的下方擴散到電晶體 200。

【0552】另外，如圖 33B 及圖 33C 所示，導電體 205 也可以具有導電體 205a、導電體 205b 及導電體 205c 的三層的疊層結構。導電體 205c 以與導電體 205b 的頂面接觸的方式設置。導電體 205c 的側面也可以與導電體 205a 接觸。另外，導電體 205c 的頂面、導電體 205a 的最上部也可以對齊或大致對齊。

【0553】與導電體 205a 同樣，導電體 205c 較佳為使用具有降低氫擴散的功能的導電材料。由此，可以由導電體 205a 及導電體 205c 包圍導電體 205b，可以防止含在導電體 205b 中的氫等雜質透過絕緣體 216 及絕緣體 224 等擴散到氧化物 230。此外，藉由作為導電體 205a 及導電體 205c 使用具有抑制氧擴散的功能的導電材料，可以抑制導電體 205b 被氧化而導電率下降。

【0554】圖 34A 至圖 34D 所示的半導體裝置是圖 1A 至圖 1D 所示的半導體裝置的變形例子。另外，圖 35A 是放大

圖 34B 所示的導電體 240 附近的剖面圖，圖 35B 是對應於圖 35A 的平面圖。圖 34 及圖 35 所示的半導體裝置與圖 1A 至圖 1D 所示的半導體裝置不同之處在於：前者在絕緣體 214 中具有開口 206d；前者在絕緣體 222 中具有開口 206e；以及前者在絕緣體 282 中具有開口 206f。另外，在圖 35A 所示的剖面圖中，將開口 206d 的寬度記作寬度 $W3d$ ，將開口 206e 的寬度記作寬度 $W3e$ ，並且將開口 206f 的寬度記作寬度 $W3f$ 。

【0555】如圖 35B 所示，較佳的是，從平面看時開口 206d、開口 206e 及開口 206f 配置在開口 206 的內側。在此情況下，如圖 35A 所示，寬度 $W3d$ 、寬度 $W3e$ 及寬度 $W3f$ 小於寬度 $W1$ 。因此，與絕緣體 212、絕緣體 216、絕緣體 275、絕緣體 280 及絕緣體 285 的側面相比，絕緣體 214、絕緣體 222 及絕緣體 282 的側面向導電體 240 一側凸出。

【0556】在圖 34 及圖 35 所示的結構中，絕緣體 214 的一部分、絕緣體 222 的一部分及絕緣體 282 的一部分與形成開口 206 的區域重疊且凸出到形成開口 206 的區域。換言之，以與形成開口 206 的區域重疊的方式反復設置由難蝕刻材料構成的凸部。藉由採用上述結構，可以防止在圖 26 所示的製程中一次性地形成開口 206 時開口 206 的寬度 $W1$ 過大。由此，可以減小開口 206 的佔有面積而減小每一個記憶單元的佔有面積，所以可以增大記憶體裝置的單位面積的記憶容量。

【0557】另外，如圖 35A 所示，導電體 242a1 及導電體

242a2的端部有時與絕緣體222的端部大致對齊。

【0558】另外，在圖35B中，從平面看時，開口206、206d、206e、206f的形狀為四角形，但是不侷限於此。例如，從平面看時，開口206、206d、206e、206f的形狀也可以為圓形、橢圓形等大致圓形、四角形等多角形、四角形等多角形的角部帶弧形的形狀。另外，圖35B示出從平面看時開口206d、開口206e及開口206f的端部大致對齊的形狀，但是本發明不侷限於此。另外，也可以採用開口206d、開口206e及開口206f的大小互不相同且從平面看時各端部不大致對齊的結構。另外，圖35A示出開口206的側壁大致垂直於導電體209的頂面的形狀，但是本發明不侷限於此，開口206的側壁也可以呈錐形形狀。

【0559】另外，在上面示出預先在絕緣體214、絕緣體222及絕緣體282中形成開口的結構例子，但是實現圖34及圖35所示的結構的方法不侷限於此。例如，在絕緣體214、絕緣體222及絕緣體282的蝕刻速率和絕緣體212、絕緣體216、絕緣體275、絕緣體280及絕緣體285的蝕刻速率不同時，在不預先在絕緣體214、絕緣體222及絕緣體282中形成開口的情況下，也有時如圖34及圖35所示那樣在剖面中絕緣體214、絕緣體222及絕緣體282的端部和絕緣體212、絕緣體216、絕緣體275、絕緣體280及絕緣體285的端部不對齊。藉由上述方法製造的半導體裝置也包括在本發明的一個實施方式中。

【0560】電晶體200等OS電晶體的因被照射輻射線而

引起的電特性變動小，即對於輻射線的耐性高，因此可以在有可能入射輻射線的環境下也適當地使用。例如，可以在宇宙空間中使用的情況下適當地使用OS電晶體。明確而言，可以將OS電晶體用作構成設置在太空梭、人造衛星或太空探測器等中的半導體裝置的電晶體。作為輻射線，例如可以舉出X射線及中子射線等。另外，宇宙空間例如是指高度100km以上的地方，但是本說明書中記載的宇宙空間也可以包括熱層、中間層及平流層。

【0561】或者，例如，可以將OS電晶體用作構成設置在核電站以及放射性廢物的處理場或處置場的工作機器人中的半導體裝置的電晶體。尤其是，可以適當地用作構成如下半導體裝置的電晶體：該半導體裝置設置在反應堆設施的排除、核燃料或燃料碎片的取出、放射性物質較多的空間處的實地考察等時遠端操作的遠端操作機器人中。

【0562】根據本發明的一個實施方式可以提供一種新穎電晶體。另外，可以提供一種可以實現微型化或高積體化的半導體裝置。此外，可以提供一種頻率特性良好的半導體裝置。另外，可以提供一種工作速度快的半導體裝置。另外，可以提供一種電晶體特性的不均勻小的半導體裝置。另外，可以提供一種具有良好的電特性的半導體裝置。另外，可以提供一種可靠性高的半導體裝置。另外，可以提供一種通態電流大的半導體裝置。另外，可以提供一種場效移動率高的半導體裝置。另外，可以提供一種功耗低的半導體裝置。

【0563】可以將本實施方式所示的包括電晶體200及電容器100的半導體裝置用作記憶體裝置的記憶單元。電晶體200是OS電晶體。因為電晶體200的關態電流小，所以藉由將其用於記憶體裝置，可以長期保持存儲內容。換言之，由於不需要更新工作或更新工作的頻率極低，所以可以充分降低記憶體裝置的功耗。另外，由於電晶體200的頻率特性高，所以可以進行高速的記憶體裝置的讀出及寫入。

【0564】另外，藉由將可用作記憶單元的包括電晶體200及電容器100的半導體裝置配置為矩陣狀，可以構成記憶單元陣列。作為記憶單元陣列的一個例子，圖36A示出在A1-A2方向上排列多個上述記憶單元的例子。

【0565】圖36A示出相鄰的電容器100a的導電體160與電容器100b的導電體160分離的結構，但本發明不侷限於此。例如，如圖36B所示，也可以使相鄰的電容器100a的導電體160與電容器100b的導電體160形成為一體。此時，也可以使相鄰的電容器100a的絕緣體153與電容器100b的絕緣體153形成為一體。

【0566】另外，作為上述記憶單元，除了平面結構以外，還可以採用疊層結構。圖37示出層疊多個包括上述記憶單元的層的結構的剖面圖。此時，可以說記憶體裝置具有如下結構：包括多個包括記憶單元的層，該記憶單元包括電晶體200及電容器100，多個該層被層疊。或者，可以說記憶體裝置具有如下結構：包括多個至少包括兩個記憶

單元的層，多個該層被層疊。在此，有時將含有電晶體 200a 及電容器 100a 的記憶單元稱為第一記憶單元，將含有電晶體 200b 及電容器 100b 的記憶單元稱為第二記憶單元。

【0567】另外，在圖 37 中，接觸於絕緣體 210 及導體 209 的包括記憶單元的層設置有絕緣體 212，但是該層上的層不設置有絕緣體 212。注意，不侷限於此，包括記憶單元的所有層也可以都設置有絕緣體 212。

【0568】注意，在圖 37 中層疊多個包括記憶單元的層，但是不侷限於此。例如，也可以層疊多個包括圖 36A 或圖 36B 所示的記憶單元陣列的層。此時，可以說記憶體裝置包括多個包括記憶單元陣列的層，該記憶單元陣列設置有包括電晶體 200 及電容器 100 的記憶單元，多個該層被層疊。

【0569】如圖 37 所示，記憶體裝置所包括的多個層都具有開口 206。明確而言，記憶體裝置所包括的多個層都具有第一記憶單元和第二記憶單元之間的開口 206。更明確而言，記憶體裝置所包括的多個層都具有電晶體 200a 和電晶體 200b 之間的開口 206。另外，多個層所具有的各開口 206 具有重疊的區域。因為多個層所具有的各開口 206 具有重疊的區域，所以可以同時形成多個層所具有的各開口 206。因此，可以簡化記憶體裝置的製程來提高生產率。

【0570】在一次性地形成開口 206 時，以層疊次數反復進行圖 8 至圖 25 所示的製程，然後進行圖 26 所示的製程，來在記憶體裝置所包括的多個層中一次性地形成開口

206即可。因此，在形成開口206時，在包括記憶單元的所有層中，在絕緣體214中形成開口206a，在絕緣體222中形成開口206b，並且在絕緣體282中形成開口206c。

【0571】藉由如此那樣形成開口206，可以以防止異常形狀的形成的方式形成縱橫比高的開口206。較佳的是，開口206的側壁可以大致垂直於基板面或導電體209的頂面等。由此，可以減小開口206的佔有面積而減少每一個記憶單元的佔有面積，所以可以增大記憶體裝置的單位面積的記憶容量。

【0572】另外，多個層的各開口206中配置有導電體240。此時，導電體240與多個層的每個層中的電晶體200a及電晶體200b電連接。在本實施方式中，電晶體200a和電晶體200b共同使用導電體242a。因此，可以說導電體240與多個層的每個層中的導電體242a電連接。如上所述，藉由在多個層的每個層中增大導電體240與導電體242的接觸面積，可以降低接觸電阻。因此，可以實現根據本發明的記憶體裝置的工作速度的提高、功耗的降低。

【0573】注意，雖然未圖示，但在上述多個層的最上層中較佳為在導電體240上設置絕緣體。作為該絕緣體，例如設置可用於絕緣體285、絕緣體282等的絕緣體即可。

【0574】另外，在圖37所示的記憶體裝置中，下側的包括記憶單元的層中的絕緣體285和上側的包括記憶單元的層中的絕緣體216間設置絕緣體214，但是本發明不侷限於此。例如，如圖38所示，也可以採用如下結構：在下側

的包括記憶單元的層中的絕緣體 285 和上側的包括記憶單元的層中的絕緣體 216 間不設置絕緣體 214，並且下側的包括記憶單元的層中的絕緣體 285 與上側的包括記憶單元的層中的絕緣體 216 接觸。藉由採用上述結構，在包括記憶單元的層的每一個的製程中，不需要進行絕緣體 214 的沉積及開口 206a 的形成。因此，可以簡化記憶體裝置的製程而提高生產率。

【0575】注意，在圖 38 所示的記憶體裝置中，下側的包括記憶單元的層中的絕緣體 285 及上側的包括記憶單元的層中的絕緣體 216 分別使用不同絕緣體，但是本發明不侷限於此。例如，也可以採用如下結構：下側的包括記憶單元的層中的絕緣體 285 和上側的包括記憶單元的層中的絕緣體 216 為一體。

【0576】另外，在圖 38 所示的記憶體裝置中，接觸於絕緣體 210 及導電體 209 的包括記憶單元的層也不設置有絕緣體 214 及絕緣體 212，但是本發明不侷限於此。例如，圖 38 所示的記憶體裝置也可以採用如下結構：只在接觸於絕緣體 210 及導電體 209 的包括記憶單元的層中與圖 37 同樣地設置絕緣體 214 及絕緣體 212。藉由採用上述結構，可以抑制雜質等從包括絕緣體 210 及導電體 209 的層的下方向包括記憶單元的層擴散。

【0577】如圖 37 及圖 38 所示，藉由層疊多個記憶單元，可以集成地配置單元而無需增大記憶單元陣列的佔有面積。就是說，可以構成 3D 記憶單元陣列。

【0578】將在後面的實施方式中詳細地說明包括記憶單元陣列的記憶體裝置。

【0579】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【0580】

實施方式2

在本實施方式中，說明將上述實施方式中說明的半導體裝置用作記憶單元的記憶體裝置的結構例子。在本實施方式中說明記憶體裝置的結構例子，其中包括層疊的記憶單元的層之間設置有包括具有放大保持在記憶單元中的資料電位並將其輸出的功能的功能電路的層。

【0581】

[記憶體裝置的結構例子]

圖39是示出根據本發明的一個實施方式的記憶體裝置300的結構例子的方塊圖。圖39所示的記憶體裝置300包括驅動電路21及記憶體陣列20。記憶體陣列20包括具有多個記憶單元10及多個功能電路51的功能層50。

【0582】圖39示出記憶體陣列20包括配置為 m 行 n 列(m 及 n 為2以上的整數)的矩陣狀的多個記憶單元10的例子。此外，作為一個例子按每個用作位元線的佈線BL設置功能電路51。圖39示出包括對應 n 個佈線BL設置的多個功能電路51的例子。

【0583】在圖39中，將第1行第1列記憶單元10表示為

記憶單元 $10[1,1]$ ，將第 m 行第 n 列記憶單元 10 表示為記憶單元 $10[m,n]$ 。另外，在本實施方式等中，有時記作“ i 行”來表示任意行。另外，有時記作“ j 列”來表示任意列。因此， i 為 1 以上且 m 以下的整數， j 為 1 以上且 n 以下的整數。另外，在本實施方式等中，將第 i 行第 j 列記憶單元 10 表示為記憶單元 $10[i,j]$ 。在本實施方式等中，當表示為“ $i+\alpha$ ”(α 為正整數或負整數)時，“ $i+\alpha$ ”不小於 1 且不大於 m 。同樣，當表示為“ $j+\alpha$ ”時，“ $j+\alpha$ ”不小於 1 且不大於 n 。

【0584】 另外，記憶體陣列 20 包括延伸在行方向上的 m 個佈線 WL 、延伸在行方向上的 m 個佈線 PL 以及延伸在列方向上的 n 個佈線 BL 。在本實施方式等中，將第一個(第 1 行)設置的佈線 WL 表示為佈線 $WL[1]$ ，將第 m 個(第 m 行)設置的佈線 WL 表示為佈線 $WL[m]$ 。同樣地，將第一個(第 1 行)設置的佈線 PL 表示為佈線 $PL[1]$ ，將第 m 個(第 m 行)設置的佈線 PL 表示為佈線 $PL[m]$ 。同樣地，將第一個(第 1 列)設置的佈線 BL 表示為佈線 $BL[1]$ ，將第 n 個(第 n 列)設置的佈線 BL 表示為佈線 $BL[n]$ 。

【0585】 設置在第 i 行的多個記憶單元 10 與第 i 行佈線 WL (佈線 $WL[i]$)和第 i 行佈線 PL (佈線 $PL[i]$)電連接。設置在第 j 列的多個記憶單元 10 與第 j 列佈線 BL (佈線 $BL[j]$)電連接。

【0586】 記憶體陣列 20 可以使用 $DOSRAM$ (註冊商標)(Dynamic Oxide Semiconductor Random Access Memory)。 $DOSRAM$ 是包括 $1T$ (電晶體) $1C$ (電容器)型記憶

單元的RAM，且是存取電晶體為OS電晶體的記憶體。OS電晶體在關閉狀態下流過源極和汲極之間的電流，即洩漏電流極小。在DOSRAM中，藉由關閉存取電晶體(使其處於非導通狀態)，可以長時間保持根據保持在電容器中的資料的電荷。因此，與使用在通道形成區域中包含矽的電晶體(以下，也被稱為“Si電晶體”)構成的DRAM相比，DOSRAM的更新工作的頻率可以更低。其結果是，可以實現低功耗化。

【0587】記憶單元10如實施方式1等所說明那樣藉由層疊配置OS電晶體，可以層疊設置記憶單元10。例如在圖39所示的記憶體陣列20中可以層疊設置多個記憶體陣列20[1]至20[m]。藉由將記憶體陣列20所包括的記憶體陣列20[1]至20[m]配置在垂直於設置有驅動電路21的基板表面的方向上，可以提高記憶單元10的記憶體密度。此外，記憶體陣列20可以在垂直方向上反復使用相同的製程製造。記憶體裝置300可以降低記憶體陣列20的製造成本。

【0588】佈線BL被用作進行資料的寫入及讀出的位元線。佈線WL被用作控制用作開關的存取電晶體的開啟或關閉(導通狀態或非導通狀態)的字線。佈線PL除了作為連接到電容器的恆電位線的功能以外還具有向作為存取電晶體的OS電晶體的背閘極傳輸背閘極電位的功能。作為傳輸背閘極電位的佈線，可以另行設置佈線CL(未圖示)。

【0589】記憶體陣列20[1]至20[m]分別包括的記憶單元10透過佈線BL與功能電路51連接。佈線BL可以配置在

垂直於設置有驅動電路 21 的基板表面的方向上。藉由將從記憶體陣列 20[1]至 20[m]所包括的記憶單元 10 延伸設置的佈線 BL 設置在垂直於基板表面的方向上，可以縮短記憶體陣列 20 與功能電路 51 之間的佈線的長度。因此，由於可以縮短連接於位元線的兩個電路之間的信號傳輸距離且可以大幅度降低位元線的電阻及寄生電容，所以可以降低功耗及信號延遲。此外，即使降低記憶單元 10 所包括的電容器的電容也可以進行工作。

【0590】功能電路 51 具有放大保持在記憶單元 10 中的資料電位並將其藉由後述的佈線 GBL(未圖示)輸出到驅動電路 21 所包括的感測放大器 46 的功能。藉由採用該結構，可以在讀出資料時將佈線 BL 的微小的電位差放大。佈線 GBL 與佈線 BL 同樣地可以配置在垂直於設置有驅動電路 21 的基板表面的方向上。藉由將從記憶體陣列 20[1]至 20[m]所包括的記憶單元 10 延伸設置的佈線 BL 及佈線 GBL 設置在垂直於基板表面的方向上，可以縮短功能電路 51 與感測放大器 46 之間的佈線的長度。因此，由於可以縮短連接於佈線 GBL 的兩個電路之間的信號傳輸距離且大幅度降低佈線 GBL 的電阻及寄生電容，所以可以降低功耗及信號延遲。

【0591】佈線 BL 以與記憶單元 10 所包括的電晶體的半導體層接觸的方式設置。或者佈線 BL 以與記憶單元 10 所包括的電晶體的半導體層的用作源極或汲極的區域接觸的方式設置。或者佈線 BL 以與接觸於記憶單元 10 所包括的電晶體的半導體層的用作源極或汲極的區域的導電體接

觸的方式設置。也就是說，佈線BL可以說是使記憶體陣列20的各層中的記憶單元10所包括的電晶體的源極和汲極中的一個與功能電路51在垂直方向上電連接的佈線。

【0592】記憶體陣列20可以重疊設置在驅動電路21上。藉由重疊設置驅動電路21和記憶體陣列20，可以縮短驅動電路21和記憶體陣列20之間的信號傳輸距離。因此，驅動電路21和記憶體陣列20之間的電阻及寄生電容得到降低，可以實現功耗及信號延遲的降低。另外，可以實現記憶體裝置300的小型化。

【0593】藉由與DOSRAM的記憶單元10所包括的電晶體同樣地由OS電晶體構成功能電路51，可以與記憶體陣列20[1]至20[m]同樣地將功能電路51自由地配置在使用Si電晶體的電路上等，由此可以容易地進行集成化。藉由採用由功能電路51放大信號的結構可以使後級的電路的感測放大器46等的電路小型化，從而可以實現記憶體裝置300的小型化。

【0594】驅動電路21包括PSW22(功率開關)、PSW23及週邊電路31。週邊電路31包括週邊電路41、控制電路32(Control Circuit)及電壓生成電路33。

【0595】在記憶體裝置300中，根據需要可以適當地取捨上述各電路、各信號及各電壓。或者，也可以增加其它電路或其它信號。信號BW、信號CE、信號GW、信號CLK、信號WAKE、信號ADDR、信號WDA、信號PON1、信號PON2為從外部輸入的信號，信號RDA為輸出到外部

的信號。信號 CLK 為時脈信號。

【0596】此外，信號 BW、信號 CE 及信號 GW 為控制信號。信號 CE 為晶片賦能信號，信號 GW 為全局寫入賦能信號，信號 BW 為位元組寫入賦能信號。信號 ADDR 為位址信號。信號 WDA 為寫入資料，信號 RDA 為讀出資料。信號 PON1、PON2 為電源閘控控制用信號。此外，信號 PON1、信號 PON2 也可以在控制電路 32 中生成。

【0597】控制電路 32 為具有控制記憶體裝置 300 的整體工作的功能的邏輯電路。例如，控制電路對信號 CE、信號 GW 及信號 BW 進行邏輯運算來決定記憶體裝置 300 的工作模式(例如，寫入工作、讀出工作)。或者，控制電路 32 生成週邊電路 41 的控制信號，以執行上述工作模式。

【0598】電壓生成電路 33 具有生成負電壓的功能。信號 WAKE 具有控制對電壓生成電路 33 輸入信號 CLK 的功能。例如，當信號 WAKE 被施加 H 位準的信號時，信號 CLK 被輸入到電壓生成電路 33，電壓生成電路 33 生成負電壓。

【0599】週邊電路 41 是用來對記憶單元 10 進行資料的寫入及讀出的電路。此外，週邊電路 41 是輸出用來控制功能電路 51 的各種信號的電路。週邊電路 41 包括行解碼器 42(Row Decoder)、列解碼器 44(Column Decoder)、行驅動器 43(Row Driver)、列驅動器 45(Column Driver)、輸入電路 47(Input Cir.)、輸出電路 48(Output Cir.) 及感測放大器 46(Sense Amplifier)。

【0600】行解碼器42及列解碼器44具有對信號ADDR進行解碼的功能。行解碼器42是用來指定要訪問行的電路，列解碼器44是用來指定要訪問列的電路。行驅動器43具有選擇由行解碼器42指定的佈線WL的功能。列驅動器45具有如下功能：將資料寫入到記憶單元10的功能；從記憶單元10讀出資料的功能；保持所讀出的資料的功能等。

【0601】輸入電路47具有保持信號WDA的功能。輸入電路47中保持的資料輸出到列驅動器45。輸入電路47的輸出資料是寫入到記憶單元10的資料(Din)。由列驅動器45從記憶單元10讀出的資料(Dout)被輸出至輸出電路48。輸出電路48具有保持Dout的功能。此外，輸出電路48具有將Dout輸出到記憶體裝置300的外部的功能。從輸出電路48輸出的資料為信號RDA。

【0602】PSW22具有控制向週邊電路31供給VDD的功能。PSW23具有控制向行驅動器43供給VHM的功能。在此，記憶體裝置300的高電源電壓為VDD，低電源電壓為GND(接地電位)。此外，VHM是用來使字線成為高位準的高電源電壓，其高於VDD。利用信號PON1控制PSW22的開啟/關閉，利用信號PON2控制PSW23的開啟/關閉。在圖39中，週邊電路31中被供應VDD的電源域的個數為1，但是也可以為多個。此時，可以對各電源域設置功率開關。

【0603】記憶體陣列20包括記憶體陣列20[1]至20[m](m為2以上的整數)及功能層50，可以在驅動電路21上重疊設置多個層的記憶體陣列20。藉由重疊設置多個層

的記憶體陣列 20，可以提高記憶單元 10 的記憶體密度。圖 40A 是示出在驅動電路 21 上重疊設置 5 層 ($m=5$) 的記憶體陣列 20[1] 至 20[5] 及功能層 50 的情況的記憶體裝置 300 的立體圖。

【0604】在圖 40A 中，將設置在第一層中的記憶體陣列 20 記作記憶體陣列 20[1]，將設置在第二層中的記憶體陣列 20 記作記憶體陣列 20[2]，將設置在第五層中的記憶體陣列 20 記作記憶體陣列 20[5]。圖 40A 示出延伸設置在 X 方向上的佈線 WL、佈線 PL 及佈線 CL 以及延伸設置在 Z 方向(垂直於設置有驅動電路的基板表面的方向)上的佈線 BL。注意，為了使圖式更易懂，省略記憶體陣列 20 的每一個所包括的佈線 WL 及佈線 PL 的一部分的記載。

【0605】圖 40B 示出說明圖 40A 所示的連接於佈線 BL 的功能電路 51 及連接於佈線 BL 的記憶體陣列 20[1] 至 20[5] 所包括的記憶單元 10 的結構例子的示意圖。此外，圖 40B 示出設置在功能電路 51 與驅動電路 21 之間的佈線 GBL。另外，將一個佈線 BL 與多個記憶單元(記憶單元 10)電連接的結構也稱為“記憶體串(memory string)”。注意，在圖式中，為了提高易見度，有時用粗線示出佈線 GBL。

【0606】圖 40B 示出連接於佈線 BL 的記憶單元 10 的電路結構的一個例子。記憶單元 10 包括電晶體 11 及電容器 12。關於電晶體 11、電容器 12 及各佈線(BL 及 WL 等)，例如有時將佈線 BL[1] 及佈線 WL[1] 稱為佈線 BL 及佈線 WL 等。

【0607】在記憶單元10中，電晶體11的源極和汲極中的一個與佈線BL連接。電晶體11的源極和汲極中的另一個與電容器12的一個電極連接。電容器12的另一個電極與佈線PL連接。電晶體11的閘極與佈線WL連接。電晶體11的背閘極與佈線CL連接。

【0608】佈線PL是供應用來儲存電容器12的電位的恆電位的佈線。佈線CL是用來控制電晶體11的臨界電壓的恆電位。佈線PL與佈線CL的電位也可以相等。此時，藉由連接兩個佈線，可以減少連接於記憶單元10的佈線數。

【0609】圖40B所示的佈線GBL以電連接驅動電路21與功能層50之間的方式設置。圖41A示出以功能電路51以及記憶體陣列20[1]至20[m]為重複單位70的記憶體裝置300的示意圖。雖然圖41A中示出一個佈線GBL，但也可以根據功能層50中的功能電路51的數量適當地設置佈線GBL。

【0610】佈線GBL以與功能電路51所包括的電晶體的半導體層接觸的方式設置。或者，佈線GBL以與功能電路51所包括的電晶體的半導體層的用作源極或汲極的區域接觸的方式設置。或者，佈線GBL以與接觸於功能電路51所包括的電晶體的半導體層的用作源極或汲極的區域的導體接觸的方式設置。也就是說，佈線GBL可以說是使功能層50的功能電路51所包括的電晶體的源極和汲極中的一個與驅動電路21在垂直方向上電連接的佈線。

【0611】此外，也可以具有層疊包括功能電路51及記憶體陣列20[1]至20[m]的重複單位70的結構。本發明的一

個實施方式的記憶體裝置300A如圖41B所示可以包括重複單位70[1]至70[p](p為2以上的整數)。佈線GBL與重複單位70所包括的功能層50連接。根據功能電路51的個數適當地設置佈線GBL即可。

【0612】 在本發明的一個實施方式中，在層疊設置OS電晶體的同時將用作位元線的佈線配置在垂直於設置有驅動電路21的基板表面的方向上。藉由在垂直於基板表面的方向上設置從記憶體陣列20延伸設置的用作位元線的佈線，可以縮短記憶體陣列20與驅動電路21之間的佈線的長度。因此，可以大幅度降低位元線的寄生電容。

【0613】 本發明的一個實施方式在設置有記憶體陣列20的層中包括功能層50，該功能層50包括具有放大保持在記憶單元10中的資料電位並將其輸出的功能的功能電路51。藉由採用該結構，可以將讀出資料時用作位元線的佈線BL的微小的電位差放大而可以驅動驅動電路21所包括的感測放大器46。由於可以使感測放大器等的電路小型化，所以可以實現記憶體裝置300的小型化。此外，即使降低記憶單元10所包括的電容器12的電容也可以進行工作。

【0614】

[記憶體陣列20及功能電路51的結構例子]

參照圖42說明圖39至圖41所說明的功能電路51的結構例子以及記憶體陣列20及驅動電路21所包括的感測放大器46的結構例子。圖42示出驅動電路21，該驅動電路21連接

於佈線 GBL(GBL_A、GBL_B)，該佈線 GBL(GBL_A、GBL_B)連接於功能電路 51(51_A、51_B)，且該功能電路 51(51_A、51_B)連接於與不同的佈線 BL(BL_A、BL_B)連接的記憶單元 10(10_A、10_B)。作為圖 42 所示的驅動電路 21，除了感測放大器 46 以外還示出預充電電路 71_A、預充電電路 71_B、開關電路 72_A、開關電路 72_B 及寫入讀出電路 73。

【0615】作為功能電路 51_A、51_B 示出電晶體 52_a、52_b、53_a、53_b、54_a、54_b、55_a、55_b。圖 42 所示的電晶體 52_a、52_b、53_a、53_b、54_a、54_b、55_a、55_b 與記憶單元 10 所包括的電晶體 11 同樣地是 OS 電晶體。包括功能電路 51 的功能層 50 可以與記憶體陣列 20[1]至 20[m]同樣地層疊設置。

【0616】佈線 BL_A 及 BL_B 與電晶體 52_a、52_b 的閘極連接。佈線 GBL_A 及 GBL_B 與電晶體 53_a、53_b、54_a、54_b 的源極和汲極中的一個連接。與佈線 BL_A 及 BL_B 同樣地，佈線 GBL_A 及 GBL_B 設置在垂直方向上並與驅動電路 21 所包括的電晶體連接。如圖 42 所示，電晶體 53_a、53_b、54_a、54_b、55_a、55_b 的閘極被供應控制信號 WE、RE、MUX。

【0617】構成圖 42 所示的感測放大器 46、預充電電路 71_A 及預充電電路 71_B 的電晶體 81_1 至 81_6 及 82_1 至 82_4 由 Si 電晶體構成。構成開關電路 72_A 及開關電路 72_B 的開關 83_A 至 83_D 也可以由 Si 電晶體構成。電晶體 53_a、

53_b、54_a、54_b的源極和汲極中的一個與構成預充電電路71_A、預充電電路71_B、感測放大器46、開關電路72_A的電晶體或開關連接。

【0618】預充電電路71_A包括n通道型的電晶體81_1至81_3。預充電電路71_A是根據供應給預充電線PCL1的預充電信號將佈線BL_A及BL_B預充電至相當於VDD與VSS之間的電位VDD/2的中間電位VPC的電路。

【0619】預充電電路71_B包括n通道型的電晶體81_4至81_6。預充電電路71_B是根據供應給預充電線PCL2的預充電信號將佈線GBL_A及佈線GBL_B預充電至相當於VDD與VSS之間的電位VDD/2的中間電位VPC的電路。

【0620】感測放大器46包括連接於佈線VHH或佈線VLL的p通道型的電晶體82_1、82_2及n通道型的電晶體82_3、82_4。佈線VHH或佈線VLL是具有供應VDD或VSS的功能的佈線。電晶體82_1至82_4是構成反相器環路的電晶體。藉由選擇記憶單元10_A、10_B而佈線BL_A及佈線BL_B被預充電的電位變化，根據該變化將佈線GBL_A及佈線GBL_B的電位設定為高電源電位VDD或低電源電位VSS。佈線GBL_A及佈線GBL_B的電位可以經過開關83_C及開關83_D及寫入讀出電路73輸出到外部。佈線BL_A及佈線BL_B以及佈線GBL_A及佈線GBL_B相當於位元線對。寫入讀出電路73根據信號EN_data被控制資料信號的寫入。

【0621】開關電路72_A是控制感測放大器46與佈線

GBL_A及佈線 GBL_B之間的導通狀態的電路。開關電路 72_A藉由控制切換信號 CSEL1可以切換開啟或關閉。在開關 83_A及 83_B為 n通道電晶體的情況下，在切換信號 CSEL1為高位準時開啟，而在切換信號 CSEL1為低位準時關閉。開關電路 72_B是控制寫入讀出電路 73與連接於感測放大器 46的位元線對之間的導通狀態的電路。開關電路 72_B藉由控制切換信號 CSEL2可以切換開啟或關閉。開關 83_C及 83_D可以具有與開關 83_A及 83_B同樣的結構。

【0622】如圖 42所示，記憶體裝置 300可以具有藉由設置在最短距離的垂直方向上的佈線 BL及佈線 GBL使記憶單元 10、功能電路 51與感測放大器 46連接的結構。包括構成功能電路 51的電晶體的功能層 50增加，但藉由降低佈線 BL的負載，可以縮短寫入時間且可以易於讀出資料。

【0623】如圖 42所示，功能電路 51_A、51_B所包括的各電晶體根據控制信號 WE、RE及選擇信號 MUX控制。各電晶體可以根據控制信號及選擇信號將佈線 BL的電位經過佈線 GBL輸出到驅動電路 21。功能電路 51_A、51_B可以被用作由 OS電晶體構成的感測放大器。藉由採用該結構，可以在讀出時將佈線 BL的微小的電位差放大，可以驅動使用 Si電晶體的感測放大器 46。

【0624】

[記憶單元 20、功能電路 51及感測放大器 46的工作例子]

圖 43示出說明圖 42所示的電路圖的工作的時序圖。在圖 43所示的時序圖中，期間 T11對應於寫入工作的期間、

期間 T12 對應於佈線 BL 的預充電工作的期間、期間 T13 對應於佈線 GBL 的預充電工作的期間、期間 T14 對應於電荷共用 (charge sharing) 工作的期間、期間 T15 對應於讀出待機工作的期間、期間 T16 對應於讀出工作的期間。

【0625】在期間 T11 中，使連接於要寫入資料信號的記憶單元 10 所包括的電晶體 11 的閘極的佈線 WL 的電位成為高位準。此時，使控制信號 WE 及信號 EN_data 成為高位準，並且將資料信號經過佈線 GBL 及佈線 BL 寫入到記憶單元。

【0626】在期間 T12 中，為了對佈線 BL 進行預充電，在控制信號 WE 成為高位準的狀態下，使預充電線 PCL1 成為高位準。佈線 BL 預充電至預充電電位。在期間 T12 中，較佳為使對感測放大器 46 供應電源電壓的佈線 VHH 或佈線 VLL 都成為 VDD/2 而抑制起因於貫穿電流的功耗。

【0627】在期間 T13 中，為了對佈線 GBL 進行預充電，使預充電線 PCL2 成為高位準。佈線 GBL 預充電至預充電電位。在期間 T13 中，藉由使佈線 VHH 及佈線 VLL 的電位都成為 VDD，可以對負載大的佈線 GBL 短時間內進行預充電。

【0628】在期間 T14 中，為了進行使保持在記憶單元 10 中的電荷及對佈線 BL 預充電了的電荷平衡化的電荷共用，使佈線 WL 的電位成為高位準。在期間 T14 中，較佳為使對感測放大器 46 供應電源電壓的佈線 VHH 或佈線 VLL 的電位都成為 VDD/2 而抑制起因於貫穿電流的功耗。

【0629】在期間 T15 中，使控制信號 RE 及控制信號 MUX 成為高位準。根據佈線 BL 的電位，電流流過電晶體 52，並且根據該電流量，佈線 GBL 的電位變動。藉由使切換信號 CSEL1 成為低位準來防止佈線 GBL 的電位的變動不受到感測放大器 46 的影響。佈線 VHH 或佈線 VLL 與期間 T14 中的佈線 VHH 或佈線 VLL 同樣。

【0630】在期間 T16 中，藉由使切換信號 CSEL1 成為高位準，利用連接於感測放大器 46 的位元線對將佈線 GBL 的電位的變動放大，來讀出寫入到記憶單元的資料信號。

【0631】

[功能電路的結構例子]

接著，參照圖 44A、圖 44B、圖 45A 及圖 45B 說明由功能層 50 所包括的 OS 電晶體構成的用作感測放大器的功能電路 51 的具體結構例子。

【0632】圖 44A 示出相當於圖 42 所示的功能電路 51_A 或 51_B 的功能電路 51A。圖 44A 所示的功能電路 51A 包括電晶體 52 至 55。電晶體 52 至 55 可以分別由 OS 電晶體構成並為 n 通道型的電晶體。

【0633】電晶體 52 是在從記憶單元 10 讀出資料信號的期間將佈線 GBL 放大至對應於佈線 BL 的電位的構成源極隨耦的電晶體。電晶體 53 是選擇信號 MUX 輸入到閘極且根據該選擇信號 MUX 控制源極和汲極之間的開啟或關閉的用作開關的電晶體。電晶體 54 是該寫入控制信號 WE 輸入到閘極且根據寫入控制信號 WE 控制源極和汲極之間的開啟或

關閉的用作開關的電晶體。電晶體 55 是該讀出控制信號 RE 輸入到閘極且根據該讀出控制信號 RE 控制源極和汲極之間的開啟或關閉的用作開關的電晶體。另外，作為一個例子，對電晶體 55 的源極一側施加作為固定電位的接地電位 GND。

【0634】圖 44A 所示的功能電路 51A 的結構可以使用圖 44B 及圖 45A、圖 45B 所示的變形例子。圖 44B 的功能電路 51B 具有電晶體 54 的源極和汲極中的一個與電晶體 52 的源極和汲極中的一個連接而不與佈線 GBL 連接的結構。在圖 45A 的功能電路 51C 的結構中，驅動電路 21 具有電晶體 53 的功能，由此省略電晶體 53。在圖 45B 的功能電路 51D 的結構中省略電晶體 55。

【0635】在本發明的一個實施方式的半導體裝置中，作為設置在記憶體陣列 20 的電晶體使用關態電流極小的 OS 電晶體。OS 電晶體可以層疊地設置設有包括 Si 電晶體的驅動電路 21 的基板上。因此，可以向垂直方向上反復利用相同的製程而製造，從而能夠實現製造成本的降低。另外，在本發明的一個實施方式中，構成記憶單元 10 的電晶體也可以不向平面方向而向垂直方向上配置來提高記憶體密度，因此能夠實現記憶體裝置的小型化。

【0636】另外，本發明的一個實施方式具備包括功能電路 51 的功能層 50。在功能電路中，將佈線 BL 連接於電晶體 52 的閘極，因此電晶體 52 可以被用作放大器。藉由採用該結構，可以在讀出時將佈線 BL 的微小的電位差放

大，而驅動使用Si電晶體的感測放大器46。可以使使用Si電晶體的感測放大器46等的電路小型化，因而可以實現記憶體裝置的小型化。另外，即使降低記憶單元10所包括的電容器12的電容也可以進行工作。

【0637】

[記憶單元陣列的配置例子]

圖46A是說明以上說明的記憶單元10中的各佈線及半導體層的配置例子的佈局圖。圖46A示出在X方向上延伸設置的佈線WL及佈線PL、半導體層11a及半導體層11b、導電層13、導電層14a及導電層14b、導電層15a及導電層15b以及在Z方向上延伸設置的佈線BL。圖46A所示的半導體層11a及半導體層11b的每一個以與一個佈線WL交叉的方式設置，導電層14a及導電層14b的每一個以與一個佈線PL重疊的方式設置，半導體層11a及半導體層11b透過導電層13與一個佈線BL連接，由此配置兩個記憶單元10。此外，半導體層11a透過導電層15a與導電層14a電連接。此外，半導體層11b透過導電層15b與導電層14b電連接。

【0638】注意，為了容易理解發明，有時將包括半導體層11a的記憶單元10記載為記憶單元10a，將包括半導體層11b的記憶單元10記載為記憶單元10b以便區別兩個記憶單元10。

【0639】在記憶單元10a中，在半導體層11a上重疊設置佈線WL及導電層13，在與半導體層11a電連接的導電層14a上重疊設置佈線PL。在佈線WL與半導體層11a重疊的

區域設置電晶體 Tra。在佈線 PL 與導電層 14a 重疊的區域設置電容器 Ca。導電層 13 是連接電晶體 Tra 與佈線 BL 的導電層。同樣地，在記憶單元 10b 中，在半導體層 11b 上重疊設置佈線 WL 及導電層 13，在與半導體層 11b 電連接的導電層 14b 上重疊設置佈線 PL。在佈線 WL 與半導體層 11b 重疊的區域設置電晶體 Trb。在佈線 PL 與導電層 14b 重疊的區域設置電容器 Cb。導電層 13 是連接電晶體 Trb 與佈線 BL 的導電層。

【0640】電晶體 Tra、電晶體 Trb、電容器 Ca 及電容器 Cb 分別對應於實施方式 1 中說明的電晶體 200a、電晶體 200b、電容器 100a 及電容器 100b。此外，半導體層 11a 及半導體層 11b 對應於實施方式 1 中說明的氧化物 230。此外，導電層 13 對應於實施方式 1 中說明的導電體 242a。此外，導電層 15a 及導電層 15b 對應於實施方式 1 中說明的導電體 242b。另外，導電層 14a 及導電層 14b 對應於實施方式 1 中說明的導電體 156。此外，佈線 WL 及佈線 PL 分別對應於實施方式 1 中說明的導電體 260 及導電體 160。因此，在記憶單元 10 中，剖面圖的詳細說明與實施方式 1 中的說明同樣，因此援用上述說明。

【0641】當層疊包括圖 46A 所示的記憶單元 10 的記憶體陣列 20 時，較佳為採用上層的佈線 PL 和下層的佈線 PL 重疊設置的結構以及上層的佈線 WL 和下層的佈線 WL 重疊設置的結構。就是說，重疊設置的兩層的記憶體陣列 20 的佈局圖較佳為具有重疊的結構。藉由採用該結構，可以簡

化記憶體裝置的製程來提高生產率。

【0642】注意，在圖46A中，在Y方向上延伸設置的半導體層11a、半導體層11b、導電層13、導電層15a及導電層15b與佈線WL及佈線PL成直角交叉，但是不侷限於此。例如，如圖46B所示，也可以將在Y方向上延伸設置的半導體層11a的一個端部及半導體層11b的一個端部向X方向傾斜配置且半導體層11a、半導體層11b、導電層13、導電層15a及導電層15b與佈線WL及佈線PL交叉。藉由採用該結構，可以進一步提高記憶單元10的記憶體密度。

【0643】在此，圖47示出一種剖面圖，其中將包括圖46A所示的點劃線A1-A2的截斷面擴展到記憶體陣列20[1]至記憶體陣列20[5]，在各記憶單元陣列中設置以上實施方式所示的電晶體200及電容器100。

【0644】在圖47中，電晶體200a和電容器100a的組合對應於記憶單元10a，電晶體200b和電容器100b的組合對應於記憶單元10b。另外，導電體260對應於佈線WL，導電體160對應於佈線PL。另外，氧化物230對應於半導體層11a及半導體層11b。

【0645】如圖47所示，以與下層的電容器100a的導電體160上重疊的方式設置有上層的電容器100a的導電體160，以與下層的電晶體200a的導電體260上重疊的方式設置有上層的電晶體200a的導電體260。

【0646】另外，如圖48所示，也可以在設置於記憶體陣列20[1]下的驅動電路21中設置電晶體310。

【0647】電晶體310設置在基板311上，並包括用作閘極的導電體316、用作閘極絕緣體的絕緣體315、由基板311的一部分構成的半導體區域313、以及用作源極區域或汲極區域的低電阻區域314a及低電阻區域314b。電晶體310可以是p通道型或n通道型。

【0648】在此，在圖48所示的電晶體310中，形成通道的半導體區域313(基板311的一部分)具有凸形狀。此外，以隔著絕緣體315覆蓋半導體區域313的側面及頂面的方式設置導電體316。此外，導電體316也可以使用調整功函數的材料。因為利用半導體基板的凸部，所以這種電晶體310也被稱為FIN型電晶體。此外，也可以以與凸部的上表面接觸的方式設置有用來形成凸部的遮罩的絕緣體。此外，雖然在此示出對半導體基板的一部分進行加工來形成凸部的情況，但是也可以對SOI基板進行加工來形成具有凸形狀的半導體膜。

【0649】注意，圖48所示的電晶體310的結構只是一個例子，不侷限於上述結構，根據電路結構或驅動方法使用適當的電晶體即可。

【0650】在各結構體之間也可以設置有包括層間膜、佈線及插頭等的佈線層。此外，佈線層可以根據設計而設置為多個層。在此，在具有插頭或佈線的功能的導電體中，有時使用同一符號表示多個結構。此外，在本說明書等中，佈線、與佈線電連接的插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一

部分有時被用作插頭。

【0651】例如，在電晶體 310 上，作為層間膜依次層疊設置有絕緣體 320、絕緣體 322、絕緣體 324 及絕緣體 326。此外，與電容器 100、電晶體 200 或導電體 240 電連接的導電體 328 及導電體 330 等嵌入絕緣體 320、絕緣體 322、絕緣體 324 及絕緣體 326 中。此外，導電體 328 及導電體 330 被用作插頭或佈線。

【0652】此外，用作層間膜的絕緣體也可以被用作覆蓋其下方的凹凸形狀的平坦化膜。例如，為了提高絕緣體 322 的頂面的平坦性，也可以藉由利用化學機械拋光 (CMP) 法等的平坦化處理實現平坦化。

【0653】作為能夠用作層間膜的絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0654】例如，藉由將相對介電常數低的材料用於用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0655】例如，絕緣體 320、絕緣體 322 及絕緣體 326 等較佳為具有相對介電常數低的絕緣體。例如，該絕緣體較佳為含有添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽、樹脂等。或者，該絕緣體較佳為具有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽和樹脂的疊層結構。由於

氧化矽及氮化矽具有熱穩定性，因此藉由將其與樹脂組合，可以實現具有熱穩定性且相對介電常數低的疊層結構。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺(尼龍、芳香族聚醯胺等)、聚醯亞胺、聚碳酸酯或丙烯酸樹脂等。

【0656】此外，藉由使用具有抑制氫等雜質及氧透過的功能的絕緣體圍繞使用氧化物半導體的電晶體，可以使電晶體的電特性穩定。因此，作為絕緣體324、絕緣體212及絕緣體214等，使用具有抑制氫等雜質及氧的透過的功能的絕緣體，即可。

【0657】作為具有抑制氫等雜質及氧透過的功能的絕緣體，例如可以以單層或疊層使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、銻、鍺、釷、鈳、鏷、釷、鈳或鈾的絕緣體。明確而言，作為具有抑制氫等雜質及氧透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化銻、氧化鍺、氧化釷、氧化鈳、氧化釷、氧化鈳或氧化鈾等金屬氧化物、氮化矽、氮化矽等。

【0658】作為能夠用於佈線、插頭的導電體可以使用包含選自鋁、鉻、銅、銀、金、鉑、鈾、鎳、鈦、鈾、鎢、鉛、鈳、鈳、錳、鎂、鍺、鈹、鈳以及鈳等的金屬元素中的一種以上的材料。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0659】例如，作為導電體328、導電體330及導電體

209等，可以以單層或疊層使用由上述材料形成的金屬材料、合金材料、金屬氮化物材料或金屬氧化物材料等導電材料。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，較佳為使用鎢。或者，較佳為使用鋁、銅等低電阻導電材料形成。藉由使用低電阻導電材料可以降低佈線電阻。

【0660】如圖41A及圖41B等所示，多個記憶體陣列20下設置有功能層50。在圖48中記憶體陣列20[1]與驅動電路21之間設置有功能層50。

【0661】圖48示出設置在功能層50中的構成多個功能電路51的電晶體200c、200d、200e。在此，電晶體200c、200d、200e具有與上述實施方式所示的電晶體200同樣的結構。電晶體200c、200d、200e對應於圖44A等所示的電晶體52、53、55。電晶體200c、200d、200e與電晶體52、53、55同樣地源極及汲極串聯連接。注意，未圖示圖44A等所示的電晶體54。

【0662】功能層50的絕緣體280上設置有絕緣體208，形成於絕緣體208中的開口設置有導電體207。作為絕緣體208可以設置與絕緣體210同樣的絕緣體，作為導電體207可以設置與導電體209同樣的導電體。

【0663】導電體207的底面以與電晶體200c的導電體160的頂面接觸的方式設置。此外，導電體207的頂面以與導電體209的底面接觸的方式設置。藉由採用這種結構，可以使相當於用作位元線的佈線BL的導電體240與相當於

電晶體 52 的電晶體 200c 的閘極電連接。

【0664】圖 49 示出將記憶單元 10 排列為矩陣狀而形成記憶體陣列 20 的佈局的一個例子。圖 49 中的符號對應於圖 1B 等所示的符號。在最小特徵尺寸為 20nm 時，圖 49 中的記憶單元 10 的尺寸可以為 45nm×125nm。記憶單元 10 的佔有面積為 0.0054 μm^2 ，因此根據本實施方式的記憶體裝置的記憶單元 10 的密度可以為 185cell/ μm^2 。

【0665】如上所述，藉由層疊設置多個記憶單元陣列與驅動電路，可以實現記憶體裝置的高積體化及記憶容量的大容量化。

【0666】本實施方式可以與本說明書所示的其他實施方式等適當地組合。

【0667】

實施方式 3

在本實施方式中，參照圖 50A 和圖 50B 說明安裝有本發明的半導體裝置的晶片 1200 的一個例子。在晶片 1200 上安裝有多個電路(系統)。如此，在一個晶片上集成有多個電路(系統)的技術有時被稱為系統晶片(System on Chip: SoC)。

【0668】如圖 50A 所示，晶片 1200 包括 CPU1211、GPU1212、一個或多個類比運算部 1213、一個或多個記憶體控制器 1214、一個或多個介面 1215、一個或多個網路電路 1216 等。

【0669】在晶片 1200 上設置有凸塊(未圖示)，該凸塊

如圖 50B 所示那樣與封裝基板 1201 的第一面連接。此外，在封裝基板 1201 的第一面的背面設置有多個凸塊 1202，該凸塊 1202 與主機板 1203 連接。

【0670】此外，也可以在主機板 1203 上設置有 DRAM1221、快閃記憶體 1222 等的記憶體裝置。例如，可以將上述實施方式所示的 DOSRAM 應用於 DRAM1221。由此，可以實現 DRAM1221 的低功耗化、高速化及大容量化。

【0671】CPU1211 較佳為具有多個 CPU 核心。此外，GPU1212 較佳為具有多個 GPU 核心。此外，CPU1211 和 GPU1212 可以分別具有暫時儲存資料的記憶體。或者，也可以在晶片 1200 上設置有 CPU1211 和 GPU1212 共同使用的記憶體。可以將上述 DOSRAM 應用於該記憶體。此外，GPU1212 適合用於多個資料的平行計算，其可以用於影像處理或積和運算。藉由作為 GPU1212 設置使用本發明的氧化物半導體的影像處理電路或積和運算電路，可以以低功耗執行影像處理及積和運算。

【0672】此外，因為在同一晶片上設置有 CPU1211 和 GPU1212，所以可以縮短 CPU1211 和 GPU1212 之間的佈線，並可以以高速進行從 CPU1211 到 GPU1212 的資料傳送、CPU1211 及 GPU1212 所具有的記憶體之間的資料傳送以及 GPU1212 中的運算結束之後的從 GPU1212 到 CPU1211 的運算結果傳送。

【0673】類比運算部 1213 具有 A/D(類比/數位)轉換電

路和D/A(數位/類比)轉換電路中的一者或兩者。此外，也可以在類比運算部1213中設置上述積和運算電路。

【0674】記憶體控制器1214具有用作DRAM1221的控制器的電路及用作快閃記憶體1222的介面的電路。

【0675】介面1215具有與如顯示裝置、揚聲器、麥克風、影像拍攝裝置、控制器等外部連接設備之間的介面電路。控制器包括滑鼠、鍵盤、遊戲機用控制器等。作為上述介面，可以使用USB(Universal Serial Bus：通用序列匯流排)、HDMI(High-Definition Multimedia Interface：高清晰度多媒體介面)(註冊商標)等。

【0676】網路電路1216具有LAN(Local Area Network：區域網路)等網路電路。此外，還可以具有網路安全用電路。

【0677】上述電路(系統)可以經同一製造程序形成在晶片1200上。由此，即使晶片1200所需的電路個數增多，也不需要增加製造程序，可以以低成本製造晶片1200。

【0678】可以將包括設置有具有GPU1212的晶片1200的封裝基板1201、DRAM1221以及快閃記憶體1222的主機板1203稱為GPU模組1204。

【0679】GPU模組1204因具有使用SoC技術的晶片1200而可以減少其尺寸。此外，GPU模組1204因具有高影像處理能力而適合用於智慧手機、平板終端、膝上型個人電腦、可攜式(可攜帶)遊戲機等可攜式電子裝置。此外，藉由利用使用GPU1212的積和運算電路，可以執行深度神

經網路 (DNN)、卷積神經網路 (CNN)、遞迴神經網路 (RNN)、自編碼器、深度波茲曼機 (DBM)、深度置信網路 (DBN) 等方法，由此可以將晶片 1200 用作 AI 晶片，或者，可以將 GPU 模組 1204 用作 AI 系統模組。

【0680】 以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式等適當地組合而實施。

【0681】

實施方式 4

本實施方式示出組裝有上述實施方式所示的記憶體裝置等的電子構件及電子裝置的一個例子。藉由將上述實施方式所示的記憶體裝置用於以下電子構件及電子裝置，可以實現電子構件及電子裝置的低功耗化及高速化。

【0682】

<電子構件>

首先，參照圖 51A 和圖 51B 對組裝有記憶體裝置 720 的電子構件的例子進行說明。

【0683】 圖 51A 示出電子構件 700 及安裝有電子構件 700 的基板 (電路板 704) 的立體圖。圖 51A 所示的電子構件 700 在模子 711 內包括記憶體裝置 720。在圖 51A 中，省略電子構件 700 的一部分以表示其內部。電子構件 700 在模子 711 的外側包括連接盤 (land) 712。連接盤 712 電連接於電極焊盤 713，電極焊盤 713 藉由引線 714 電連接於記憶體裝置 720。電子構件 700 例如安裝於印刷電路板 702 上。藉由組

合多個該電子構件並使其分別在印刷電路板702上電連接，由此完成電路板704。

【0684】記憶體裝置720包括驅動電路層721及記憶體電路層722。

【0685】圖51B示出電子構件730的立體圖。電子構件730是SiP(System in Package：系統封裝)或MCM(Multi Chip Module：多晶片模組)的一個例子。在電子構件730中，封裝基板732(印刷電路板)上設置有插板(interposer)731，插板731上設置有半導體裝置735及多個記憶體裝置720。

【0686】電子構件730示出將記憶體裝置720用作高頻寬記憶體(HBM：High Bandwidth Memory)的例子。此外，半導體裝置735可以使用CPU、GPU、FPGA等積體電路(半導體裝置)。

【0687】封裝基板732可以使用陶瓷基板、塑膠基板、玻璃環氧基板等。插板731可以使用矽插板、樹脂插板等。

【0688】插板731具有多個佈線並具有電連接端子間距不同的多個積體電路的功能。多個佈線由單層或多層構成。此外，插板731具有使設置於插板731上的積體電路與設置於封裝基板732上的電極電連接的功能。因此，有時將插板也稱為“再分佈基板(redistribution substrate)”或“中間基板”。此外，有時在插板731中設置貫通電極且使用該貫通電極使積體電路與封裝基板732電連接。此外，

在使用矽插板的情況下，也可以使用TSV(Through Silicon Via：矽通孔)作為貫通電極。

【0689】作為插板731較佳為使用矽插板。由於矽插板不需要設置主動元件，所以可以以比積體電路更低的成本製造。另一方面，矽插板的佈線形成可以在半導體製程中進行，因此很容易形成在使用樹脂插板時很難形成的微細佈線。

【0690】在HBM中，為了實現寬記憶體頻寬需要連接許多佈線。為此，要求安裝HBM的插板上能夠高密度地形成微細的佈線。因此，作為安裝HBM的插板較佳為使用矽插板。

【0691】此外，在使用矽插板的SiP或MCM等中，不容易發生因積體電路與插板間的膨脹係數的不同而導致的可靠性下降。此外，由於矽插板的表面平坦性高，所以設置在矽插板上的積體電路與矽插板間不容易產生連接不良。尤其較佳為將矽插板用於2.5D封裝(2.5D安裝)，其中多個積體電路橫著排放並配置於插板上。

【0692】此外，也可以與電子構件730重疊地設置散熱器(散熱板)。在設置散熱器的情況下，較佳為使設置於插板731上的積體電路的高度一致。例如，在本實施方式所示的電子構件730中，較佳為使記憶體裝置720與半導體裝置735的高度一致。

【0693】為了將電子構件730安裝在其他基板上，也可以在封裝基板732的底部設置電極733。圖51B示出用焊

球形成電極733的例子。藉由在封裝基板732的底部以矩陣狀設置焊球，可以實現BGA(Ball Grid Array：球柵陣列)的安裝。此外，電極733也可以使用導電針形成。藉由在封裝基板732的底部以矩陣狀設置導電針，可以實現PGA(Pin Grid Array：針柵陣列)的安裝。

【0694】電子構件730可以藉由各種安裝方法安裝在其他基板上，而不侷限於BGA及PGA。例如，可以採用SPGA(Staggered Pin Grid Array：交錯針柵陣列)、LGA(Land Grid Array：地柵陣列)、QFP(Quad Flat Package：四面扁平封裝)、QFJ(Quad Flat J-leaded package：四側J形引腳扁平封裝)或QFN(Quad Flat Non-leaded package：四側無引腳扁平封裝)等安裝方法。

【0695】以上，本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法等適當地組合而實施。

【0696】

實施方式5

在本實施方式中，說明使用上述實施方式所示的記憶體裝置的記憶體裝置的應用例子。上述實施方式所示的記憶體裝置例如可以應用於各種電子裝置(例如，資訊終端、電腦、智慧手機、電子書閱讀器、數位相機(也包括攝影機)、錄影再現裝置、導航系統等)的記憶體裝置。藉由將上述實施方式所示的記憶體裝置用於上述電子裝置的記憶體裝置，可以實現電子裝置的低功耗化及高速化。注

意，在此，電腦包括平板電腦、筆記型電腦、桌上型電腦以及大型電腦諸如同伺服器系統。或者，上述實施方式所示的記憶體裝置應用於記憶卡(例如，SD卡)、USB記憶體、SSD(固態硬碟)等各種卸除式存放裝置。圖52A至圖52E示意性地示出卸除式存放裝置的幾個結構例子。例如，上述實施方式所示的記憶體裝置加工為被封裝的記憶體晶片並用於各種記憶體裝置或卸除式記憶體。

【0697】圖52A是USB記憶體的示意圖。USB記憶體1100包括外殼1101、蓋子1102、USB連接器1103及基板1104。基板1104被容納在外殼1101中。例如，基板1104上安裝有記憶體晶片1105及控制器晶片1106。可以將上述實施方式所示的記憶體裝置組裝於記憶體晶片1105等。

【0698】圖52B是SD卡的外觀示意圖，圖52C是SD卡的內部結構的示意圖。SD卡1110包括外殼1111、連接器1112及基板1113。基板1113被容納在外殼1111中。例如，基板1113上安裝有記憶體晶片1114及控制器晶片1115。藉由在基板1113的背面一側也設置記憶體晶片1114，可以增大SD卡1110的容量。此外，也可以將具有無線通訊功能的無線晶片設置於基板1113。由此，藉由主機裝置與SD卡1110之間的無線通訊，可以進行記憶體晶片1114的資料的讀出及寫入。可以將上述實施方式所示的記憶體裝置組裝於記憶體晶片1114等。

【0699】圖52D是SSD的外觀示意圖，圖52E是SSD的內部結構的示意圖。SSD1150包括外殼1151、連接器1152

及基板 1153。基板 1153 被容納在外殼 1151 中。例如，基板 1153 上安裝有記憶體晶片 1154、記憶體晶片 1155 及控制器晶片 1156。記憶體晶片 1155 為控制器晶片 1156 的工作記憶體，例如，可以使用 DOSRAM 晶片。藉由在基板 1153 的背面一側也設置記憶體晶片 1154，可以增大 SSD1150 的容量。可以將上述實施方式所示的記憶體裝置組裝於記憶體晶片 1154 等。

【0700】 以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式等適當地組合而實施。

【0701】

實施方式 6

根據本發明的一個實施方式的記憶體裝置可以用於 CPU、GPU 等處理器或晶片。藉由將這種 CPU、GPU 等處理器或晶片用於電子裝置，可以實現電子裝置的低功耗化及高速化。圖 53A 至圖 53H 示出具備使用該記憶體裝置的 CPU、GPU 等處理器或晶片的電子裝置的具體例子。

【0702】

<電子裝置及系統>

根據本發明的一個實施方式的 GPU 或晶片可以安裝在各種各樣的電子裝置。作為電子裝置的例子，例如除了電視機、用於桌上型或筆記本式資訊終端等的顯示器、數位看板(Digital Signage)、彈珠機等大型遊戲機等具有較大的螢幕的電子裝置以外，還可以舉出數位相機、數位攝影

機、數位相框、電子書閱讀器、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置等。此外，藉由將根據本發明的一個實施方式的GPU或晶片設置在電子裝置中，可以使電子裝置具備人工智慧。

【0703】 本發明的一個實施方式的電子裝置也可以包括天線。藉由使用天線接收信號，可以在顯示部上顯示影像或資訊等。此外，在電子裝置包括天線及二次電池時，可以將天線用於非接觸電力傳送。

【0704】 本發明的一個實施方式的電子裝置也可以包括感測器(該感測器具有測量如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)。

【0705】 本發明的一個實施方式的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊(靜態影像、動態圖片、文字影像等)顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體(程式)的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料的功能；等。圖53A至圖53H示出電子裝置的例子。

【0706】

[資訊終端]

圖53A示出資訊終端之一的行動電話機(智慧手機)。

資訊終端 5100 包括外殼 5101 及顯示部 5102，作為輸入介面在顯示部 5102 中具備觸控面板，並且在外殼 5101 上設置有按鈕。

【0707】藉由將本發明的一個實施方式的晶片應用於資訊終端 5100，可以執行利用人工智慧的應用程式。作為利用人工智慧的應用程式，例如，可以舉出識別會話來將該會話的內容顯示在顯示部 5102 上的應用程式、識別由使用者輸入到顯示部 5102 所具備的觸控面板的文字或圖形等來將該文字或該圖形等顯示在顯示部 5102 上的應用程式、執行指紋或聲紋等的生物識別的應用程式等。

【0708】圖 53B 示出筆記本式資訊終端 5200。筆記本式資訊終端 5200 包括資訊終端主體 5201、顯示部 5202 及鍵盤 5203。

【0709】與上述資訊終端 5100 同樣，藉由將本發明的一個實施方式的晶片應用於筆記本式資訊終端 5200，可以執行利用人工智慧的應用程式。作為利用人工智慧的應用程式，例如，可以舉出設計支援軟體、文章校對軟體、功能表自動生成軟體等。此外，藉由使用筆記本式資訊終端 5200，可以研發新穎人工智慧。

【0710】注意，在上述例子中，圖 53A 及圖 53B 分別示出智慧手機及筆記本式資訊終端作為電子裝置的例子，但是也可以應用智慧手機及筆記本式資訊終端以外的資訊終端。作為智慧手機及筆記本式資訊終端以外的資訊終端，例如可以舉出 PDA(Personal Digital Assistant：個人數

位助理)、桌上型資訊終端、工作站等。

【0711】

[遊戲機]

圖 53C 示出作為遊戲機的一個例子的可攜式遊戲機 5300。可攜式遊戲機 5300 包括外殼 5301、外殼 5302、外殼 5303、顯示部 5304、連接部 5305 及操作鍵 5306 等。可以將外殼 5302 及外殼 5303 從外殼 5301 拆卸。藉由將設在外殼 5301 中的連接部 5305 安裝到其他外殼(未圖示)，可以將輸出到顯示部 5304 的影像輸出到其他視頻顯示裝置(未圖示)。此時，外殼 5302 及外殼 5303 分別可以被用作操作部。由此，多個遊戲玩者可以同時玩遊戲。可以將上述實施方式所示的晶片嵌入到設置在外殼 5301、外殼 5302 及外殼 5303 的基板的晶片等。

【0712】 另外，圖 53D 示出遊戲機之一的固定式遊戲機 5400。固定式遊戲機 5400 以無線或有線連接有控制器 5402。

【0713】 藉由將本發明的一個實施方式的 GPU 或晶片應用於可攜式遊戲機 5300 及固定式遊戲機 5400 等遊戲機，可以實現低功耗的遊戲機。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

【0714】 再者，藉由將本發明的一個實施方式的 GPU 或晶片應用於可攜式遊戲機 5300，可以實現具備人工智慧的可攜式遊戲機 5300。

【0715】遊戲的進展、遊戲中出現的生物的言行、遊戲上發生的現象等的表現本來是由該遊戲所具有的程式規定的，但是藉由將人工智慧應用於可攜式遊戲機5300，可以實現不侷限於遊戲的程式的表現。例如，可以實現遊戲玩者提問的內容、遊戲的進展情況、時間、遊戲上出現的人物的言行變化等的表現。

【0716】此外，當使用可攜式遊戲機5300玩需要多個遊戲玩者的遊戲時，可以利用人工智慧構成擬人的遊戲玩者，由此可以將人工智慧的遊戲玩者當作對手，一個人也可以玩多個人玩的遊戲。

【0717】雖然圖53C及圖53D示出可攜式遊戲機及固定式遊戲機作為遊戲機的一個例子，但是應用本發明的一個實施方式的GPU或晶片的遊戲機不侷限於此。作為應用本發明的一個實施方式的GPU或晶片的遊戲機，例如可以舉出設置在娛樂設施(遊戲中心，遊樂園等)的街機遊戲機、設置在體育設施的擊球練習用投球機等。

【0718】

[大型電腦]

可以將本發明的一個實施方式的GPU或晶片應用於大型電腦。

【0719】圖53E示出作為大型電腦的一個例子的超級電腦5500。圖53F示出超級電腦5500所包括的機架(rack-mount)式電腦5502。

【0720】超級電腦5500包括機架5501及多個機架式電

腦 5502。注意，多個電腦 5502 容納在機架 5501 中。另外，電腦 5502 設有多個基板 5504，在該基板上可以安裝上述實施方式所說明的 GPU 或晶片。

【0721】 超級電腦 5500 主要是適合於科學計算的大型電腦。科學計算需要以高速進行龐大的運算，因此功耗大且晶片的發熱高。藉由將本發明的一個實施方式的 GPU 或晶片應用於超級電腦 5500，可以實現低功耗的超級電腦。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路及模組帶來的負面影響。

【0722】 在圖 53E 及圖 53F 中，作為大型電腦的一個例子示出超級電腦，然而應用本發明的一個實施方式的 GPU 或晶片的大型電腦不侷限於此。作為應用本發明的一個實施方式的 GPU 或晶片的大型電腦，例如可以舉出提供服務的電腦(伺服器)、大型通用電腦(主機)等。

【0723】

[移動體]

本發明的一個實施方式的 GPU 或晶片可以應用於作為移動體的汽車及汽車的駕駛席周邊。

【0724】 圖 53G 是示出移動體的一個例子的汽車內部的前擋風玻璃周邊的圖。圖 53G 示出安裝在儀表板的顯示面板 5701、顯示面板 5702、顯示面板 5703 以及安裝在支柱的顯示面板 5704。

【0725】 藉由顯示速度表、轉速計、行駛距離、燃料

表、排檔狀態、空調的設定等，顯示面板 5701 至顯示面板 5703 可以提供各種資訊。此外，使用者可以根據喜好適當地改變顯示面板所顯示的顯示內容及佈局等，可以提高設計性。顯示面板 5701 至顯示面板 5703 還可以用作照明設備。

【0726】 藉由將由設置在汽車的攝像裝置(未圖示)拍攝的影像顯示在顯示面板 5704 上，可以彌補被支柱遮擋的視野(死角)。也就是說，藉由顯示由設置在汽車外側的攝像裝置拍攝的影像，可以彌補死角，從而可以提高安全性。此外，藉由顯示彌補看不到的部分的影像，可以更自然、更舒適地確認安全。顯示面板 5704 還可以用作照明設備。

【0727】 因為可以將本發明的一個實施方式的 GPU 或晶片用作人工智慧的組件，例如可以將該晶片用於汽車的自動駕駛系統。該晶片可以用於進行導航、危險預測等的系統。此外，也可以在顯示面板 5701 至顯示面板 5704 上顯示導航、危險預測等資訊。

【0728】 雖然在上述例子中作為移動體的一個例子說明了汽車，但是移動體不侷限於汽車。例如，作為移動體，也可以舉出電車、單軌鐵路、船舶、飛行物(直升機、無人駕駛飛機(無人機)、飛機、火箭)等，可以對這些移動體應用本發明的一個實施方式的晶片，以提供利用人工智慧的系統。

【0729】

[電器產品]

圖 53H 示出電器產品的一個例子的電冷藏冷凍箱 5800。電冷藏冷凍箱 5800 包括外殼 5801、冷藏室門 5802 及冷凍室門 5803 等。

【0730】藉由將本發明的一個實施方式的晶片應用於電冷藏冷凍箱 5800，可以實現具備人工智慧的電冷藏冷凍箱 5800。藉由利用人工智慧，可以使電冷藏冷凍箱 5800 具有基於儲存在電冷藏冷凍箱 5800 中的食品或該食品的消費期限等自動生成功能表的功能、根據所儲存的食品自動調整電冷藏冷凍箱 5800 的溫度的功能。

【0731】作為電器產品的一個例子說明了電冷藏冷凍箱，但是作為其他電器產品，例如可以舉出吸塵器、微波爐、電烤箱、電鍋、熱水器、IH 炊具、飲水機、包括空氣調節器的冷暖空調機、洗衣機、乾衣機、視聽設備等。

【0732】在本實施方式中說明的電子裝置、該電子裝置的功能、人工智慧的應用例子以及其效果等可以與其他的電子裝置的記載適當地組合而實施。

【0733】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式等適當地組合而實施。

【0734】

實施方式 7

本發明的一個實施方式的半導體裝置包括 OS 電晶體。該 OS 電晶體的因被照射輻射線而導致的電特性變動

小。換言之，對於輻射線的耐性高，所以在有可能入射輻射線的環境下也可以適當地使用。例如，可以在宇宙空間中使用的情況下適當地使用 OS 電晶體。在本實施方式中，使用圖 54 說明將本發明的一個實施方式的半導體裝置應用於太空設備的情況的具體例子。

【0735】在圖 54 中，作為太空設備的一個例子示出人造衛星 6800。人造衛星 6800 包括主體 6801、太陽能電池板 6802、天線 6803、二次電池 6805 以及控制裝置 6807。另外，圖 54 示出在宇宙空間有行星 6804 的例子。注意，宇宙空間例如是指高度 100km 以上，但是本說明書所示的宇宙空間也可以包括熱層、中間層及平流層。

【0736】另外，宇宙空間是其輻射劑量為地面的 100 倍以上的環境。作為輻射線，例如可以舉出：以 X 射線及 γ 射線為代表的電磁波（電磁輻射線）；以及以 α 射線、 β 射線、中子射線、質子射線、重離子射線、介子射線等為代表的粒子輻射線。

【0737】在陽光照射到太陽能電池板 6802 時生成人造衛星 6800 進行工作所需的電力。然而，例如在陽光不照射到太陽能電池板的情況或者在照射到太陽能電池板的陽光量較少的情況下，所產生的電力量減少。因此，有可能不會產生人造衛星 6800 進行工作所需的電力。為了在所產生的電力較少的情況下也使人造衛星 6800 工作，較佳為在人造衛星 6800 中設置二次電池 6805。另外，有時將太陽能電池板稱為太陽能電池模組。

【0738】人造衛星6800可以生成信號。該信號藉由天線6803傳送，例如地面上的接收機或其他人造衛星可以接收該信號。藉由接收人造衛星6800所傳送的信號，可以測量接收該信號的接收機的位置。由此，人造衛星6800可以構成衛星定位系統。

【0739】另外，控制裝置6807具有控制人造衛星6800的功能。控制裝置6807例如使用選自CPU、GPU和記憶體裝置中的任一個或多個構成。另外，作為控制裝置6807較佳為使用包括本發明的一個實施方式的OS電晶體的半導體裝置。與Si電晶體相比，OS電晶體的因被照射輻射線而導致的電特性變動小。因此，OS電晶體在有可能入射輻射線的環境下也可靠性高且可以適當地使用。

【0740】另外，人造衛星6800可以包括感測器。例如，藉由包括可見光感測器，人造衛星6800可以具有檢測地面上的物體反射的陽光的功能。或者，藉由包括熱紅外線感測器，人造衛星6800可以具有檢測從地表釋放的熱紅外線的功能。由此，人造衛星6800例如可以被用作地球觀測衛星。

【0741】注意，在本實施方式中，作為太空設備的一個例子示出人造衛星，但是不侷限於此。例如，本發明的一個實施方式的半導體裝置可以適當地應用於太空船、太空艙、太空探測器等太空設備。

【符號說明】

【 0742 】

ADDR:信號

BL[1]:佈線

BL[j]:佈線

BL[n]:佈線

BL_A:佈線

BL_B:佈線

BL:佈線

BW:信號

Ca:電容器

Cb:電容器

CE:信號

CL:佈線

CLK:信號

EN_data:信號

GBL_A:佈線

GBL_B:佈線

GBL:佈線

GND:接地電位

GV:閘閥

GW:信號

MUX:選擇信號

PL[1]:佈線

PL[m]:佈線

PL:佈線

RDA:信號

RE:控制信號

T11:期間

T12:期間

T13:期間

T14:期間

T15:期間

T16:期間

Tra:電晶體

Trb:電晶體

VDD:高電源電位

VHH:佈線

VLL:佈線

VPC:中間電位

WAKE:信號

WDA:信號

WE:控制信號

WL[1]:佈線

WL[m]:佈線

WL:佈線

10[1,1]:記憶單元

10[i,j]:記憶單元

10[m,n]:記憶單元

10_A:記憶單元

10_B:記憶單元

10a:記憶單元

10b:記憶單元

10:記憶單元

11a:半導體層

11b:半導體層

11:電晶體

12:電容器

13:導電層

14a:導電層

14b:導電層

15a:導電層

15b:導電層

20[1]:記憶體陣列

20[2]:記憶體陣列

20[5]:記憶體陣列

20[m]:記憶體陣列

20:記憶體陣列

21:驅動電路

22:PSW

23:PSW

31:週邊電路

32:控制電路

33:電壓生成電路
41:週邊電路
42:行解碼器
43:行驅動器
44:列解碼器
45:列驅動器
46:感測放大器
47:輸入電路
48:輸出電路
50:功能層
51_A:功能電路
51_B:功能電路
51A:功能電路
51B:功能電路
51C:功能電路
51D:功能電路
51:功能電路
52_a:電晶體
52_b:電晶體
52:電晶體
53_a:電晶體
53_b:電晶體
53:電晶體
54_a:電晶體

54_b:電晶體

54:電晶體

55_a:電晶體

55_b:電晶體

55:電晶體

70[1]:重複單位

70:重複單位

71_A:預充電電路

71_B:預充電電路

72_A:開關電路

72_B:開關電路

73:寫入讀出電路

81_1:電晶體

81_3:電晶體

81_4:電晶體

81_6:電晶體

82_1:電晶體

82_2:電晶體

82_3:電晶體

82_4:電晶體

83_A:開關

83_B:開關

83_C:開關

83_D:開關

100a:電容器

100b:電容器

100:電容器

153A:絕緣膜

153:絕緣體

156A:導電膜

156:導電體

158:開口

160a:導電體

160A:導電膜

160b:導電體

160B:導電膜

160:導電體

200a:電晶體

200b:電晶體

200c:電晶體

200d:電晶體

200e:電晶體

200:電晶體

205a:導電體

205b:導電體

205c:導電體

205:導電體

206:開口

206a:開口

206b:開口

206c:開口

206d:開口

206e:開口

206f:開口

207:導電體

208:絕緣體

209:導電體

210:絕緣體

212:絕緣體

214:絕緣體

216:絕緣體

221:絕緣體

222:絕緣體

224A:絕緣層

224Af:絕緣膜

224:絕緣體

230a:氧化物

230A:氧化物層

230Af:氧化膜

230b:氧化物

230B:氧化物層

230ba:區域

230bb:區域
230bc:區域
230Bf:氧化膜
230:氧化物
240a:導電體
240b:導電體
240:導電體
242a:導電體
242A:導電層
242Af:導電膜
242b:導電體
242B:導電層
242Bf:導電膜
242:導電體
253A:絕緣膜
253:絕緣體
254:絕緣體
258:開口
260a:導電體
260b:導電體
260:導電體
275:絕緣體
280:絕緣體
282:絕緣體

283:絕緣體
285:絕緣體
300A:記憶體裝置
300:記憶體裝置
310:電晶體
311:基板
313:半導體區域
314a:低電阻區域
314b:低電阻區域
315:絕緣體
316:導電體
320:絕緣體
322:絕緣體
324:絕緣體
326:絕緣體
328:導電體
330:導電體
700:電子構件
702:印刷電路板
704:電路板
711:模子
712:連接盤
713:電極焊盤
714:引線

720:記憶體裝置
721:驅動電路層
722:記憶體電路層
730:電子構件
731:插板
732:封裝基板
733:電極
735:半導體裝置
1100:USB記憶體
1101:外殼
1102:蓋子
1103:USB連接器
1104:基板
1105:記憶體晶片
1106:控制器晶片
1110:SD卡
1111:外殼
1112:連接器
1113:基板
1114:記憶體晶片
1115:控制器晶片
1150:SSD
1151:外殼
1152:連接器

1153:基板
1154:記憶體晶片
1155:記憶體晶片
1156:控制器晶片
1200:晶片
1201:封裝基板
1202:凸塊
1203:主機板
1204:GPU模組
1211:CPU
1212:GPU
1213:類比運算部
1214:記憶體控制器
1215:介面
1216:網路電路
1221:DRAM
1222:快閃記憶體
2700:製造裝置
2701:大氣側基板供應室
2702:大氣側基板傳送室
2703a:負載鎖定室
2703b:卸載閉鎖室
2704:傳送室
2706a:處理室

2706b:處理室
2706c:處理室
2706d:處理室
2761:盒式介面
2762:對準介面
2763a:傳送機器人
2763b:傳送機器人
2801:氣體供應源
2802:閥
2803:高頻產生器
2804:波導管
2805:模式轉換器
2806:氣體管
2807:波導管
2808:縫隙天線板
2809:電介質板
2810:高密度電漿
2811_1:基板
2811_2:基板
2811_3:基板
2811_n:基板
2811:基板
2812:基板支架
2813:加熱機構

2815:匹配器
2816:高頻電源
2817:真空泵
2818:閥
2819:排氣口
2820:燈
2821:氣體供應源
2822:閥
2823:氣體導入口
2824:基板
2825:基板支架
2826:加熱機構
2828:真空泵
2829:閥
2830:排氣口
2900:微波處理裝置
2901:石英管
2902:基板支架
2903:加熱單元
5100:資訊終端
5101:外殼
5102:顯示部
5200:筆記本式資訊終端
5201:主體

5202:顯示部
5203:鍵盤
5300:可攜式遊戲機
5301:外殼
5302:外殼
5303:外殼
5304:顯示部
5305:連接部
5306:操作鍵
5400:固定式遊戲機
5402:控制器
5500:超級電腦
5501:機架
5502:電腦
5504:基板
5701:顯示面板
5702:顯示面板
5703:顯示面板
5704:顯示面板
5800:電冷藏冷凍箱
5801:外殼
5802:冷藏室門
5803:冷凍室門
6800:人造衛星

6801:主體

6802:太陽能電池板

6803:天線

6804:行星

6805:二次電池

6807:控制裝置

【發明申請專利範圍】

【請求項1】一種記憶體裝置，包括：

包括電晶體及電容器的記憶單元；

第一絕緣體；

該第一絕緣體上的第二絕緣體；以及

該第二絕緣體上的第三絕緣體，

其中，該電晶體包括：

該第一絕緣體上的氧化物；

該氧化物上的第一導電體及第二導電體；

該氧化物上的第四絕緣體；以及

該第四絕緣體上的第三導電體，

該第二絕緣體配置在該第一導電體及該第二導電體上，

該第三絕緣體配置在該第三導電體及該第二絕緣體上，

該第二絕緣體包括具有與該氧化物重疊的區域的第一開口，

該第四絕緣體及該第三導電體配置在該第一開口內，

該第二絕緣體及該第三絕緣體包括具有與該第二導電體重疊的區域的第二開口，

該電容器包括接觸於該第二導電體的頂面的第四導電體、該第四導電體上的第五絕緣體以及該第五絕緣體上的第五導電體，

該第四導電體、該第五絕緣體及該第五導電體配置在

該第二開口內，

該第二絕緣體具有第三開口，

該第一絕緣體具有第四開口，

該第三絕緣體具有第五開口，

從平面看時該第三開口與該第四開口的至少一部分及該第五開口的至少一部分重疊，

在該第三開口內配置第六導電體及該第一導電體的一部分，

並且，該第六導電體具有接觸於該第一導電體的頂面的一部分及側面的一部分的區域。

【請求項2】一種包括多個層的記憶體裝置，多個該層各自包括：

包括電晶體及電容器的記憶單元；

第一絕緣體；

該第一絕緣體上的第二絕緣體；以及

該第二絕緣體上的第三絕緣體，

其中，多個該層被層疊，

該電晶體包括：

該第一絕緣體上的氧化物；

該氧化物上的第一導電體及第二導電體；

該氧化物上的第四絕緣體；以及

該第四絕緣體上的第三導電體，

該第二絕緣體配置在該第一導電體及該第二導電體上，

該第三絕緣體配置在該第三導電體及該第二絕緣體上，

該第二絕緣體包括具有與該氧化物重疊的區域的第一開口，

該第四絕緣體及該第三導電體配置在該第一開口內，

該第二絕緣體及該第三絕緣體包括具有與該第二導電體重疊的區域的第二開口，

該電容器包括接觸於該第二導電體的頂面的第四導電體、該第四導電體上的第五絕緣體以及該第五絕緣體上的第五導電體，

該第四導電體、該第五絕緣體及該第五導電體配置在該第二開口內，

該第二絕緣體具有第三開口，

該第一絕緣體具有第四開口，

該第三絕緣體具有第五開口，

從平面看時該第三開口與該第四開口的至少一部分及該第五開口的至少一部分重疊，

在該第三開口內配置第六導電體及該第一導電體的一部分，

並且，該第六導電體具有接觸於該第一導電體的頂面的一部分及側面的一部分的區域。

【請求項3】如請求項2之記憶體裝置，還包括：

驅動電路，

其中多個該層重疊於該驅動電路上。

【請求項4】如請求項3之記憶體裝置，還包括：

包括功能電路的功能層；以及

佈線，

其中該功能層設置在設置有該驅動電路的基板與多個該層之間，

該佈線具有使該驅動電路與該功能電路電連接的功能，

並且該功能電路包括其閘極電連接於與該記憶單元電連接的該第六導電體的第二電晶體且具有將對應於該第六導電體的電位的信號傳送到該佈線的功能。

【請求項5】如請求項1至4中任一項之記憶體裝置，

其中在該第一絕緣體下配置第六絕緣體，

該第六絕緣體具有第六開口，

並且從平面看時該第三開口重疊於該第六開口的至少一部分。

【請求項6】如請求項5之記憶體裝置，

其中從平面看時該第三開口配置在該第四開口的內側、該第五開口的內側及該第六開口的內側。

【請求項7】如請求項5之記憶體裝置，

其中從平面看時該第四開口、該第五開口及該第六開口配置在該第三開口的內側。

【請求項8】如請求項5至7中任一項之記憶體裝置，

其中該第一絕緣體包含氧化鉛。

【請求項9】如請求項5至8中任一項之記憶體裝置，

其中該第三絕緣體及該第六絕緣體包含氧化鋁。

【請求項10】如請求項1至9中任一項之記憶體裝置，其中該第四絕緣體具有接觸於該氧化物的頂面及側面以及該第二絕緣體所具有的該第一開口的側壁的區域。

【請求項11】如請求項1至10中任一項之記憶體裝置，

其中該第一導體及該第二導體都接觸於該氧化物的頂面及側面。

【請求項12】如請求項1至11中任一項之記憶體裝置，

其中該第四導體的一部分、該第五絕緣體的一部分及該第五導體的一部分位於該第三導體的頂面的上方。

【請求項13】如請求項1至12中任一項之記憶體裝置，

其中該第四導體具有接觸於該第二絕緣體所具有的該第二開口的側壁的區域。

【請求項14】如請求項1至13中任一項之記憶體裝置，

其中在該第三開口中該第一導體的側面比該第二絕緣體的側面凸出。

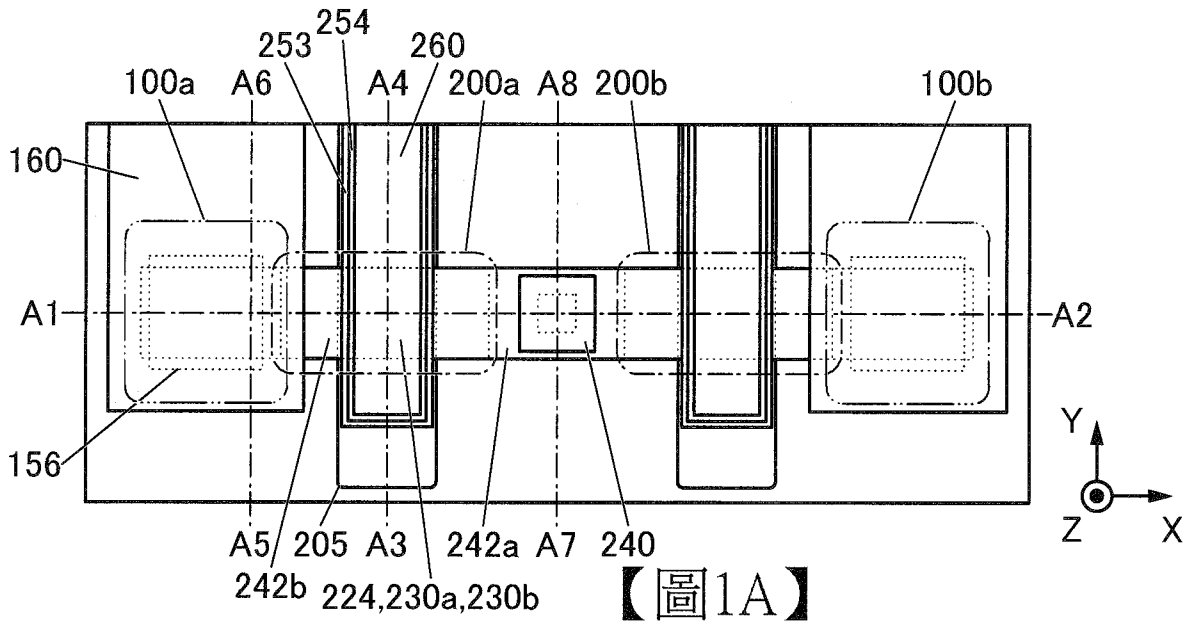
【請求項15】如請求項1至14中任一項之記憶體裝置，

其中該第三絕緣體以與該第二絕緣體的頂面及該第三

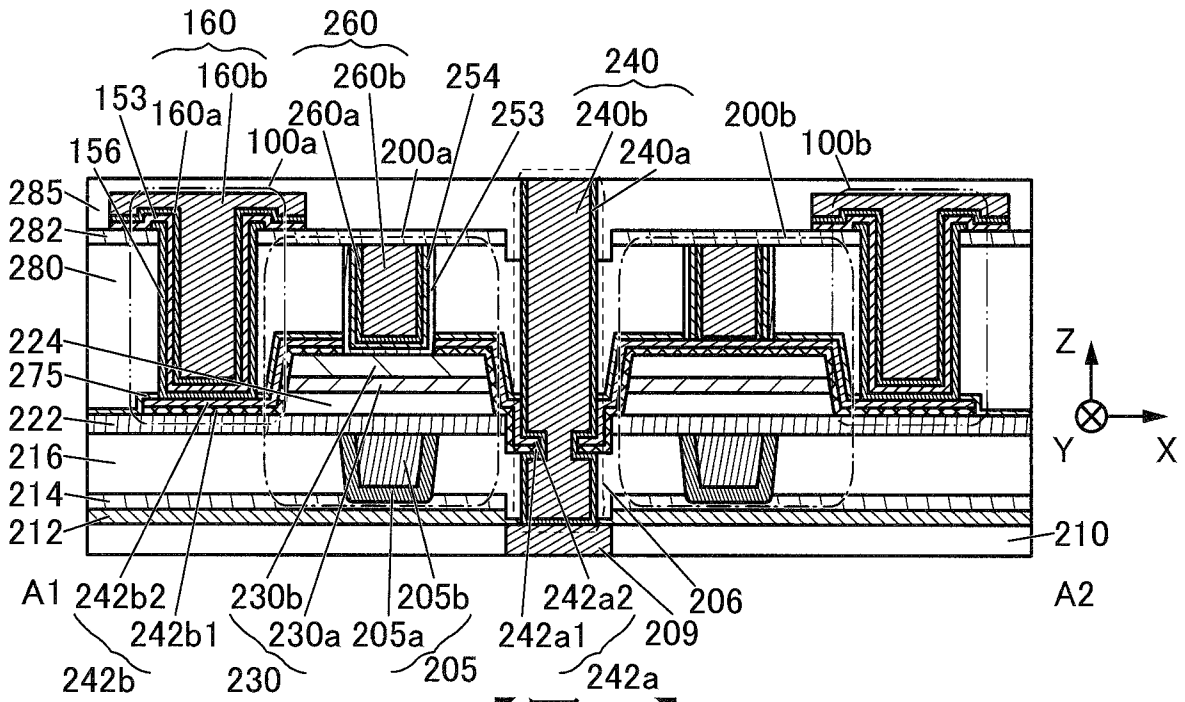
導電體的頂面接觸的方式配置，

並且該第四導電體的一部分及該第五絕緣體的一部分接觸於該第三絕緣體的頂面。

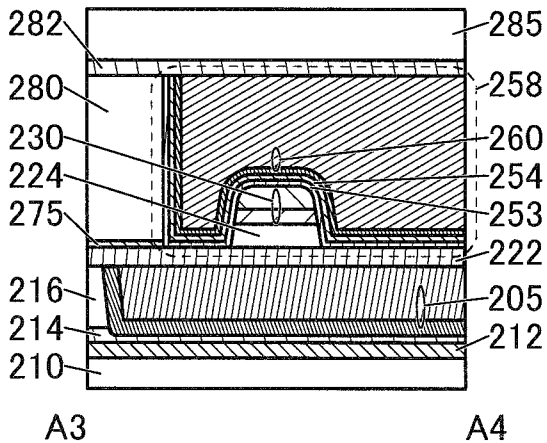
【發明圖式】



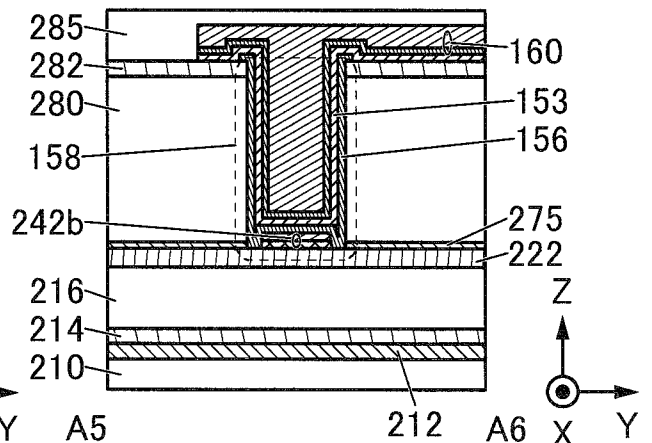
【圖1A】



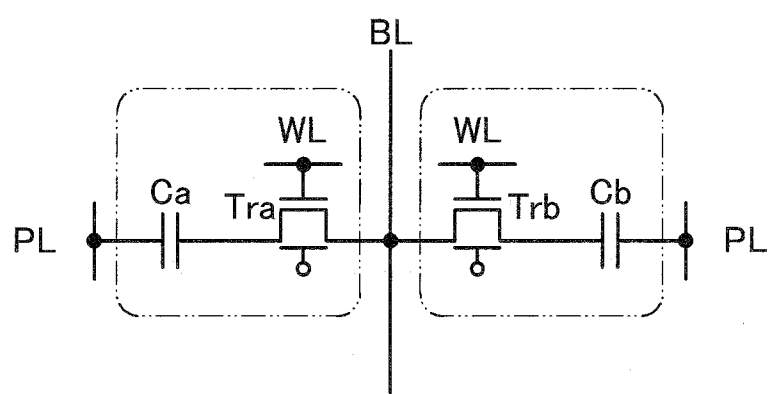
【圖1B】



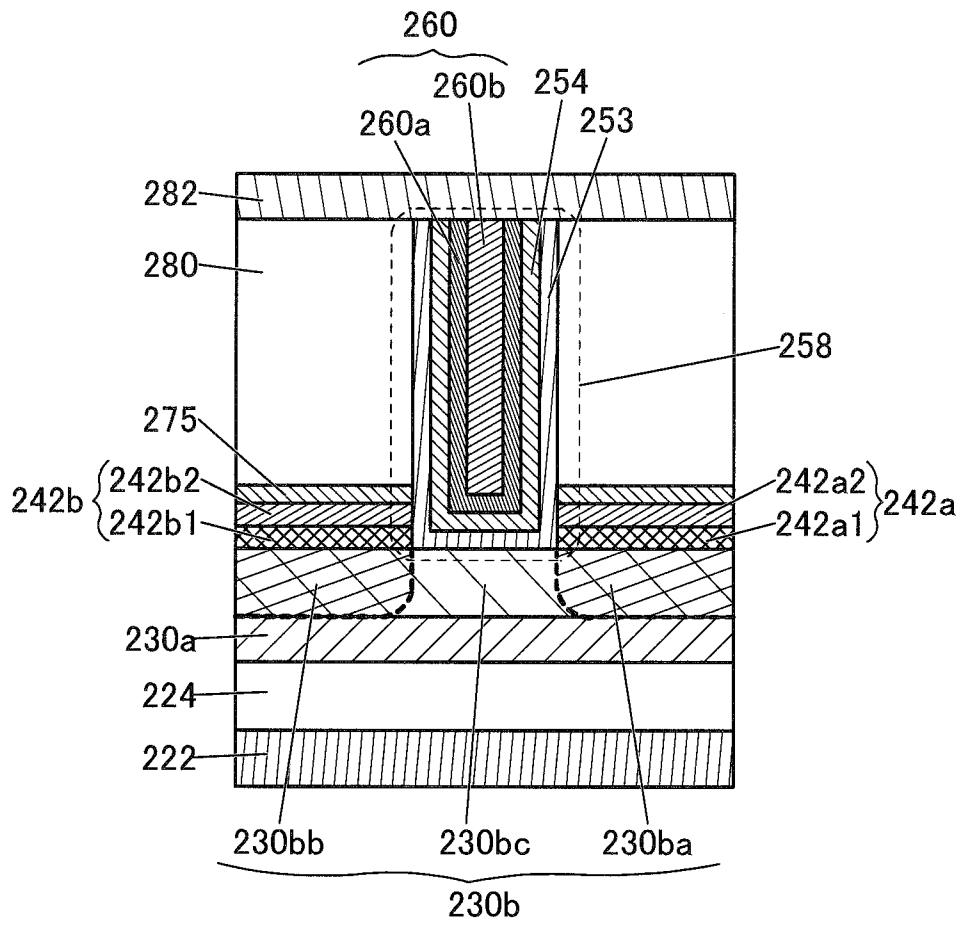
【圖1C】



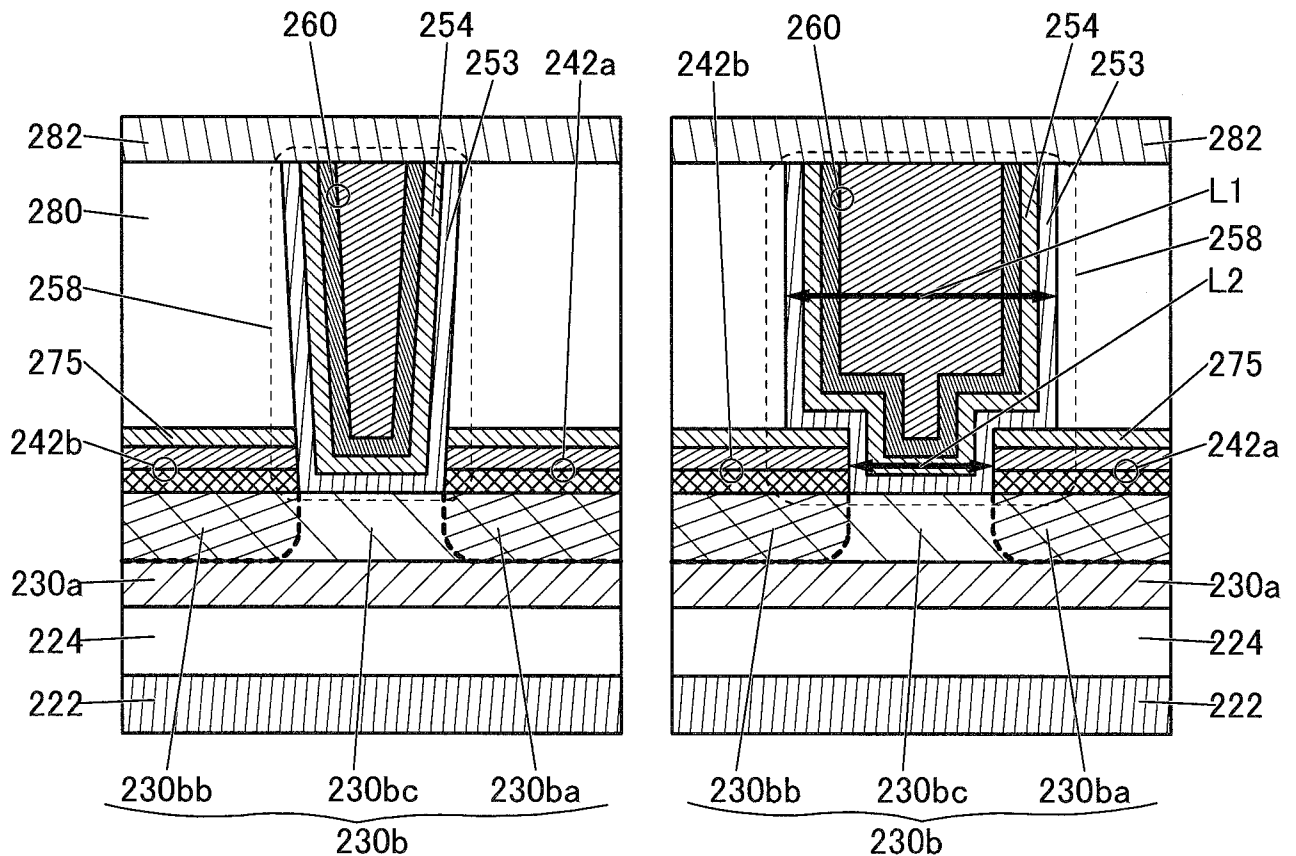
【圖1D】



【圖2】

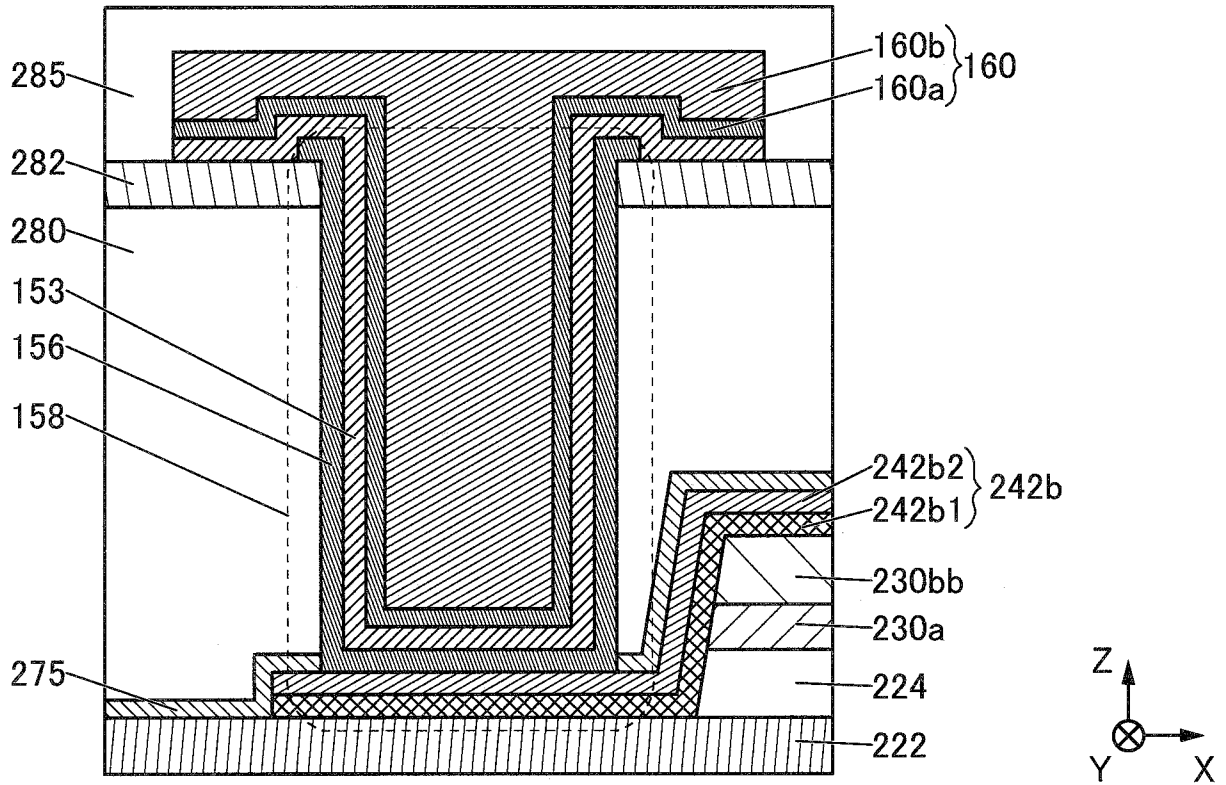


【圖3A】

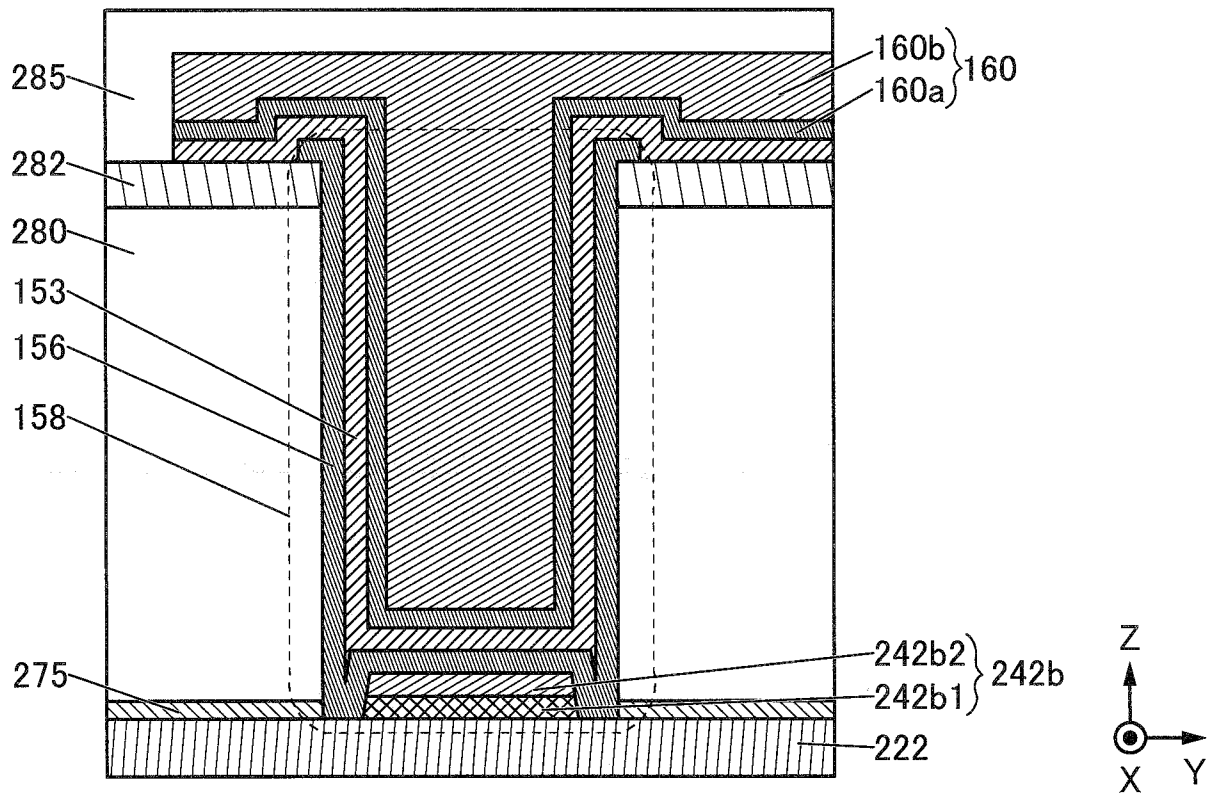


【圖3B】

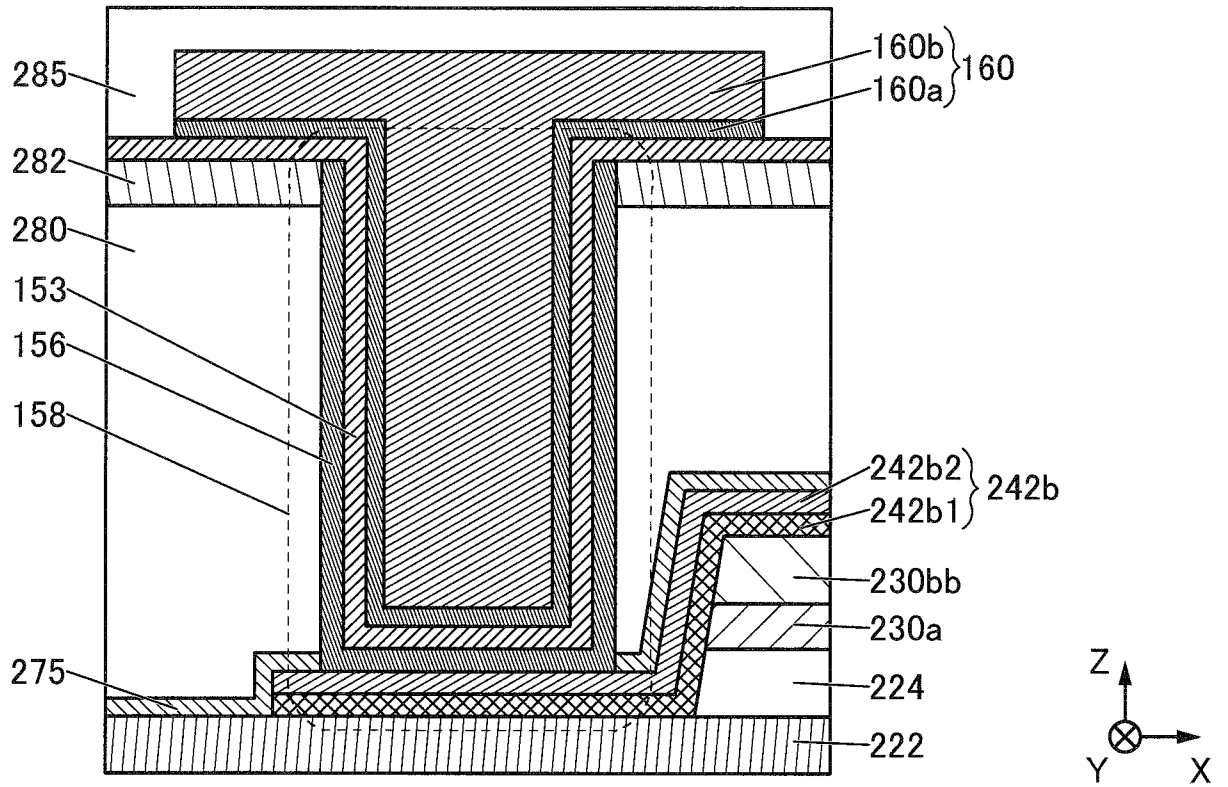
【圖3C】



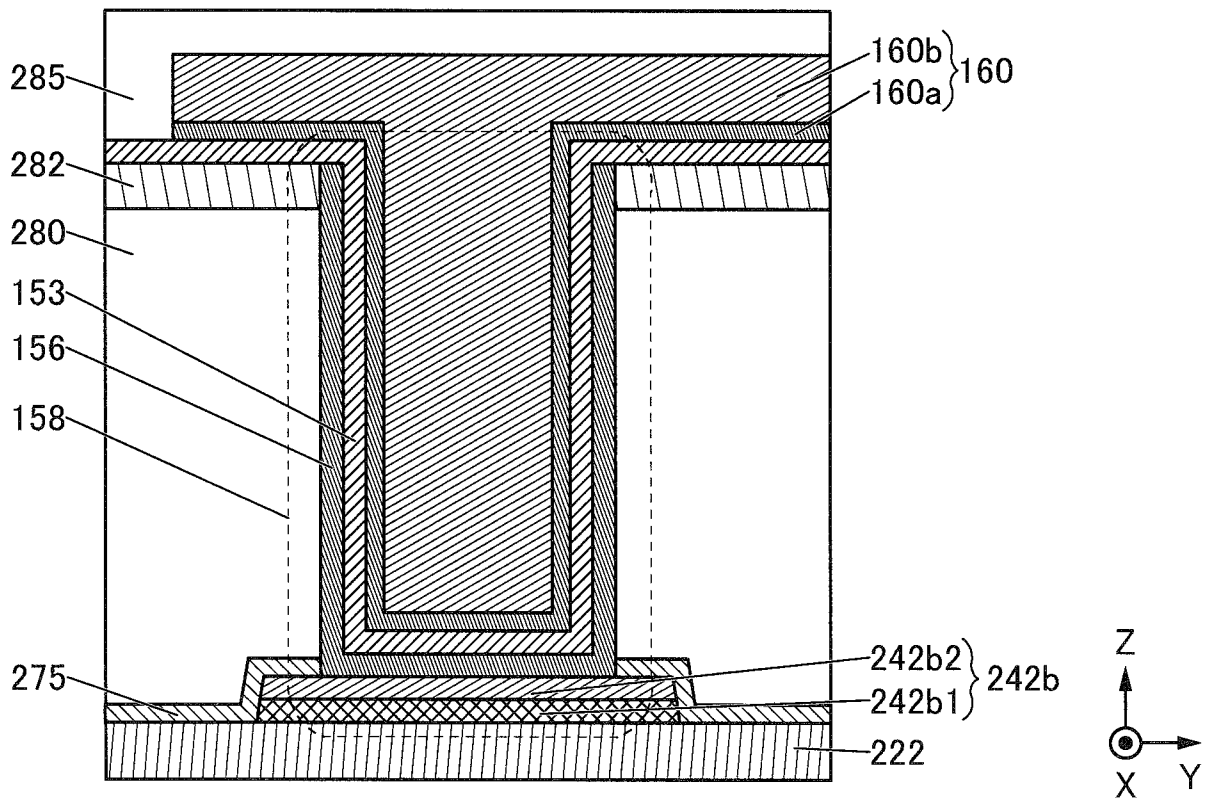
【圖4A】



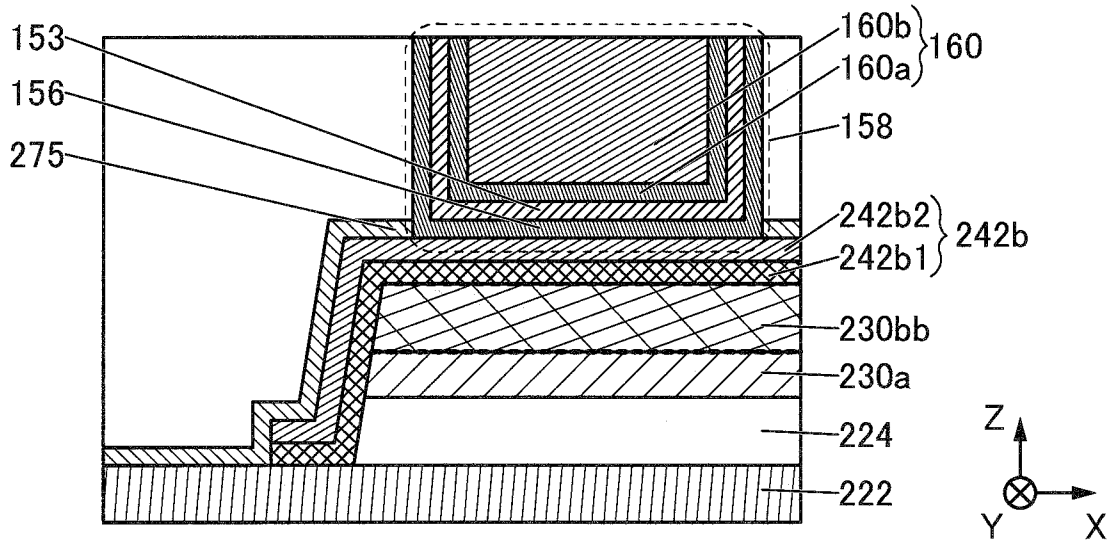
【圖4B】



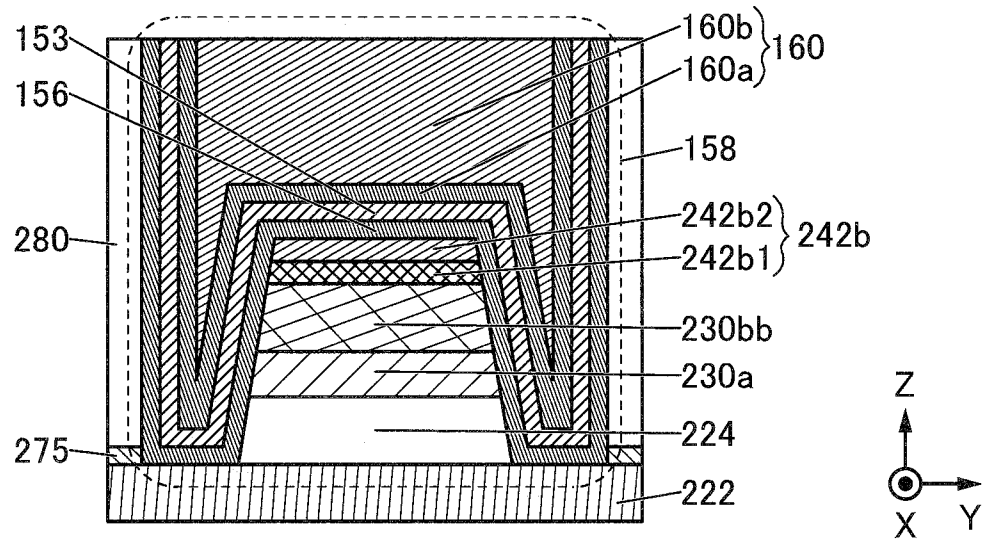
【圖5A】



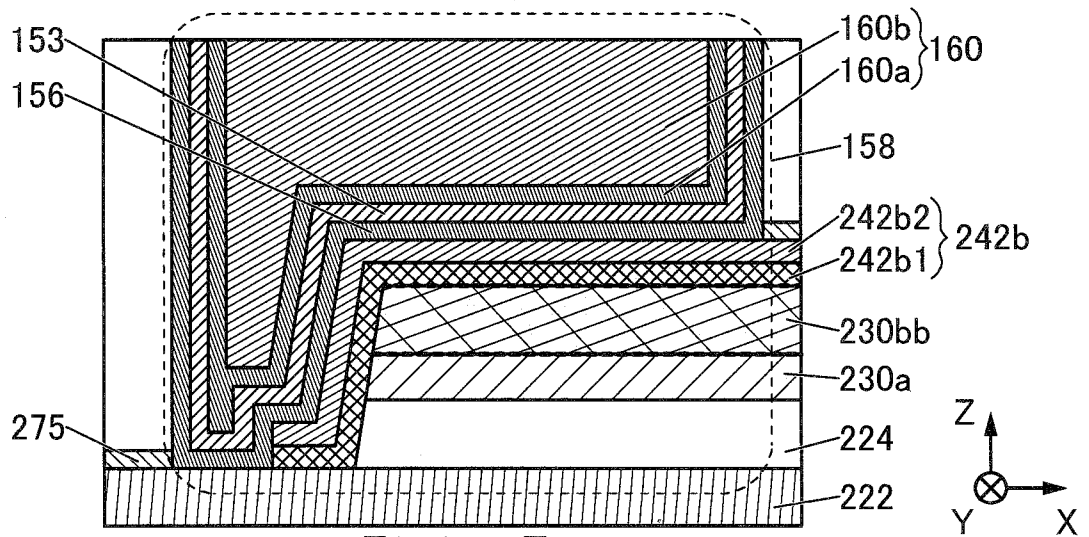
【圖5B】



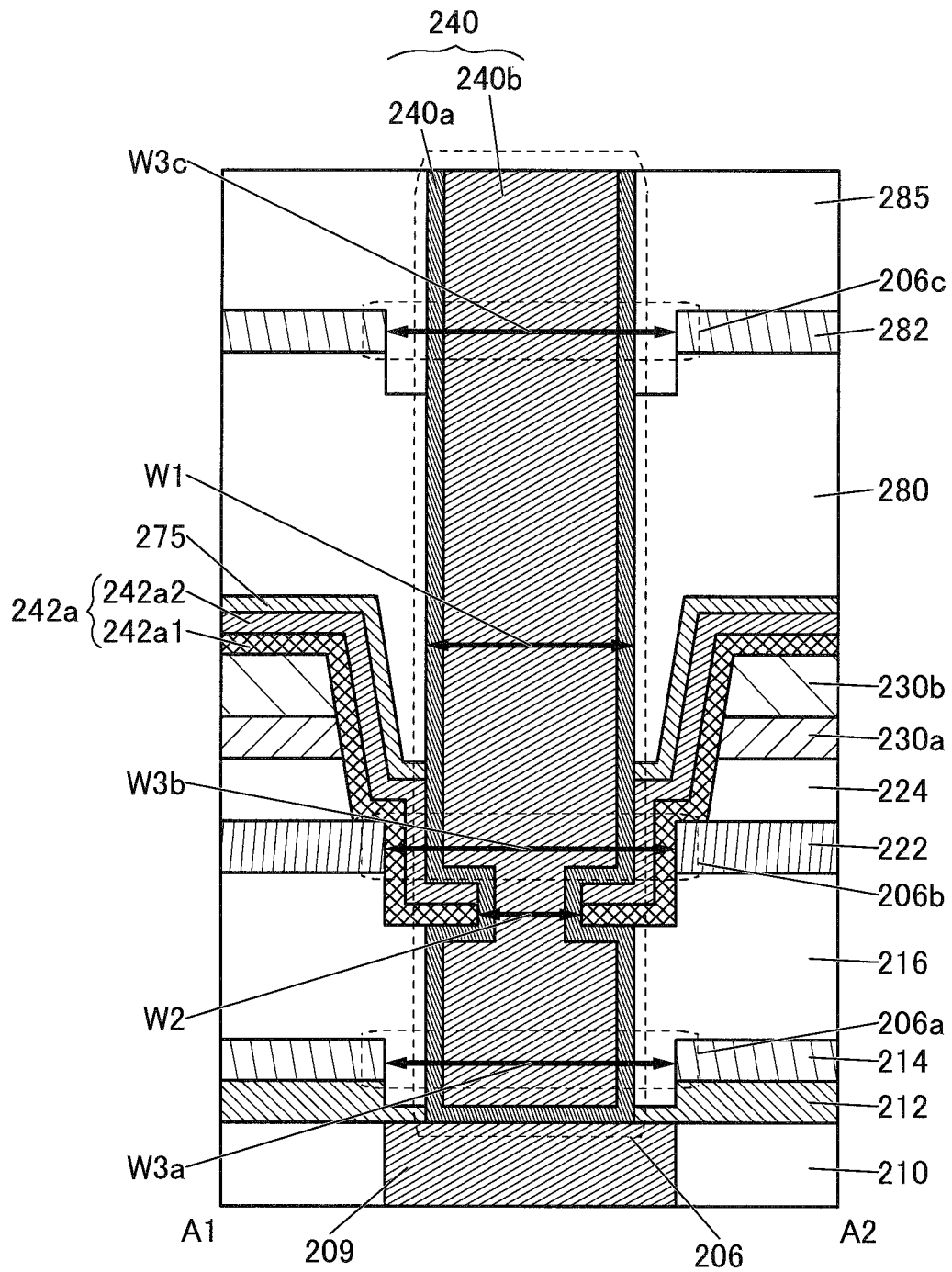
【圖6A】



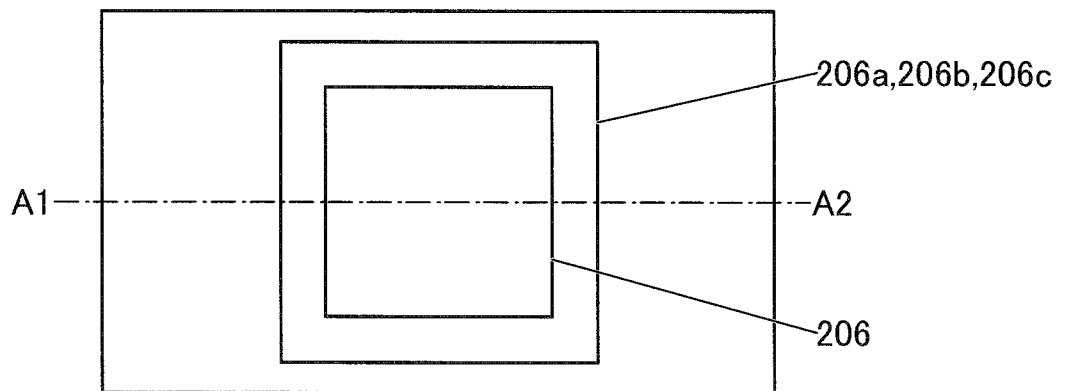
【圖6B】



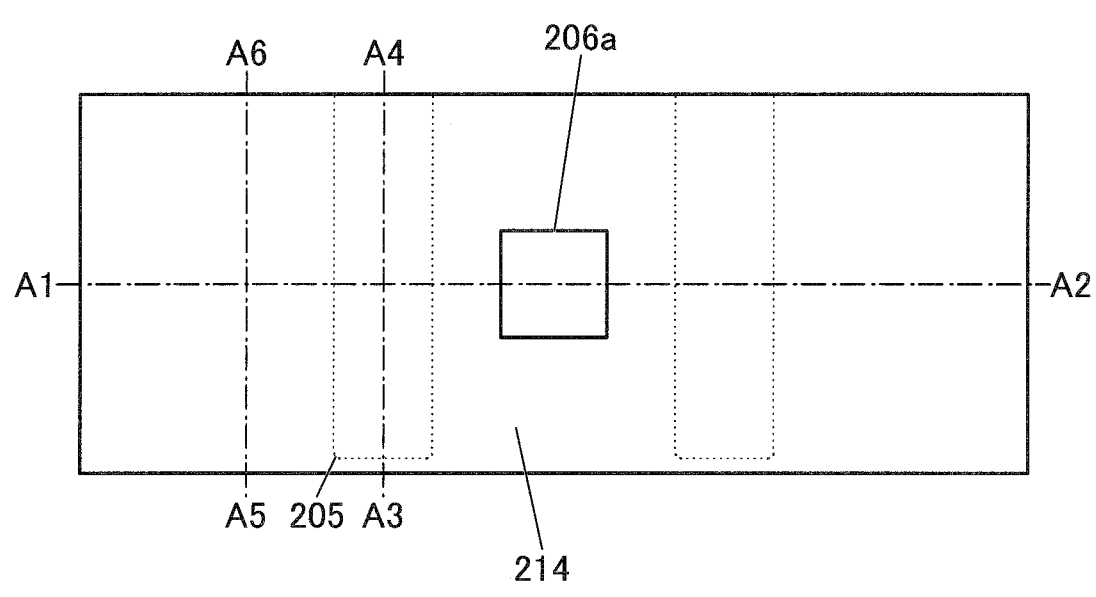
【圖6C】



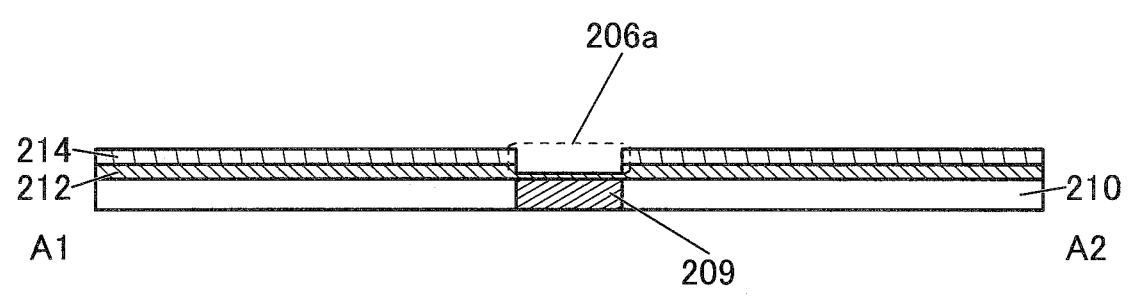
【圖7A】



【圖7B】



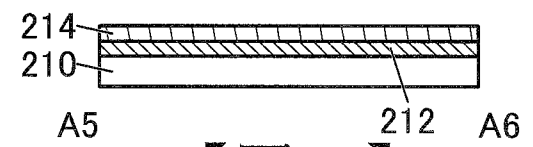
【圖8A】



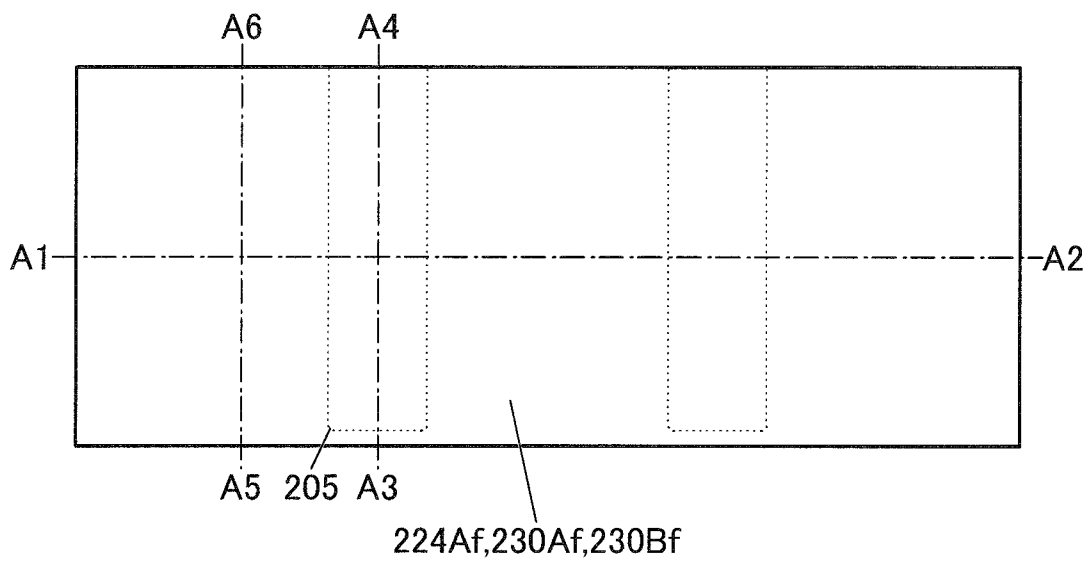
【圖8B】



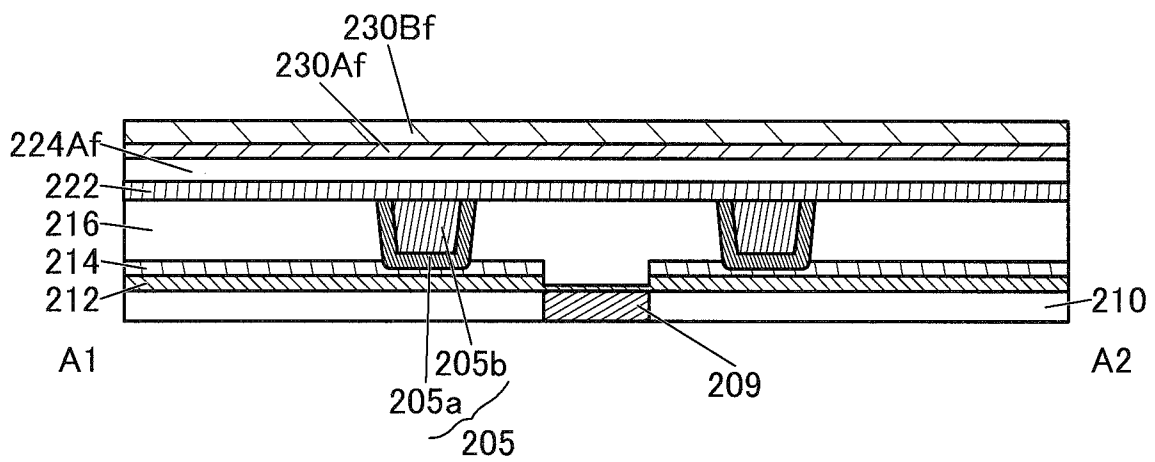
【圖8C】



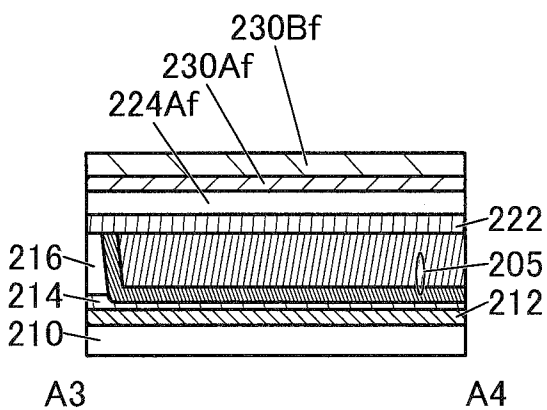
【圖8D】



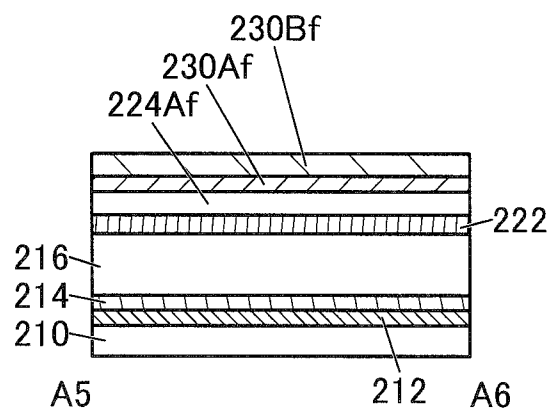
【圖9A】



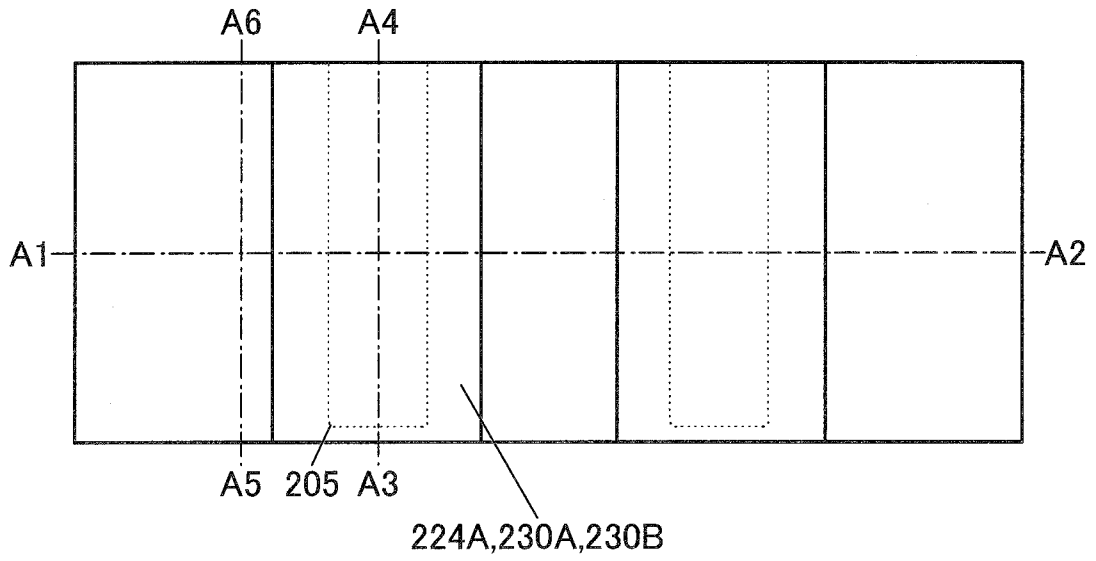
【圖9B】



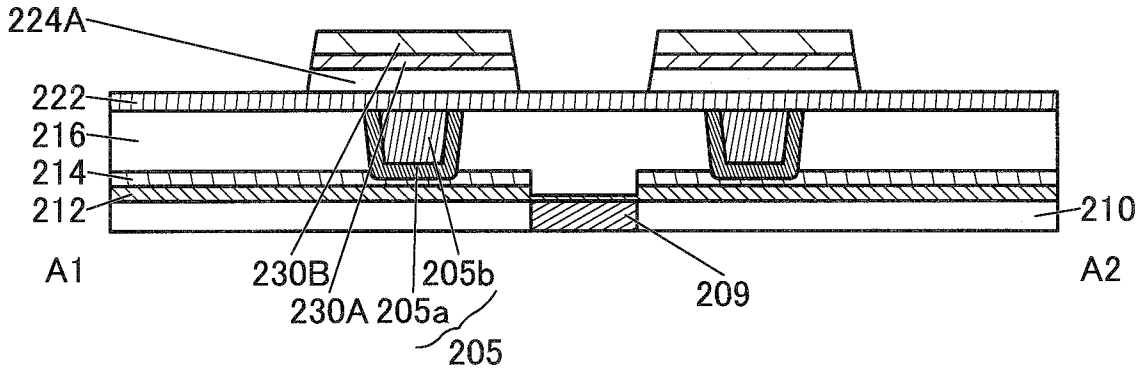
【圖9C】



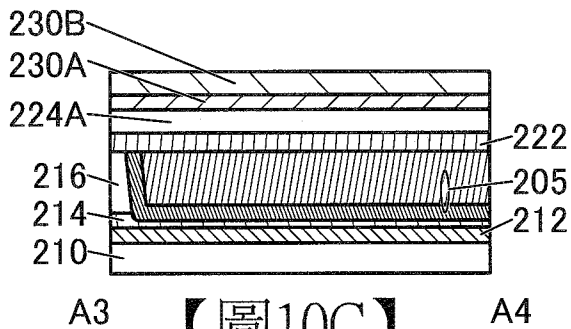
【圖9D】



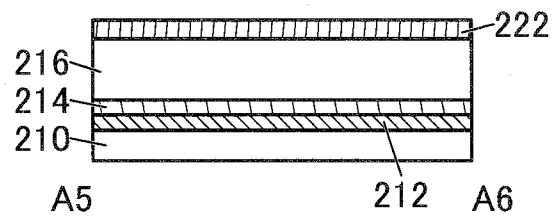
【圖10A】



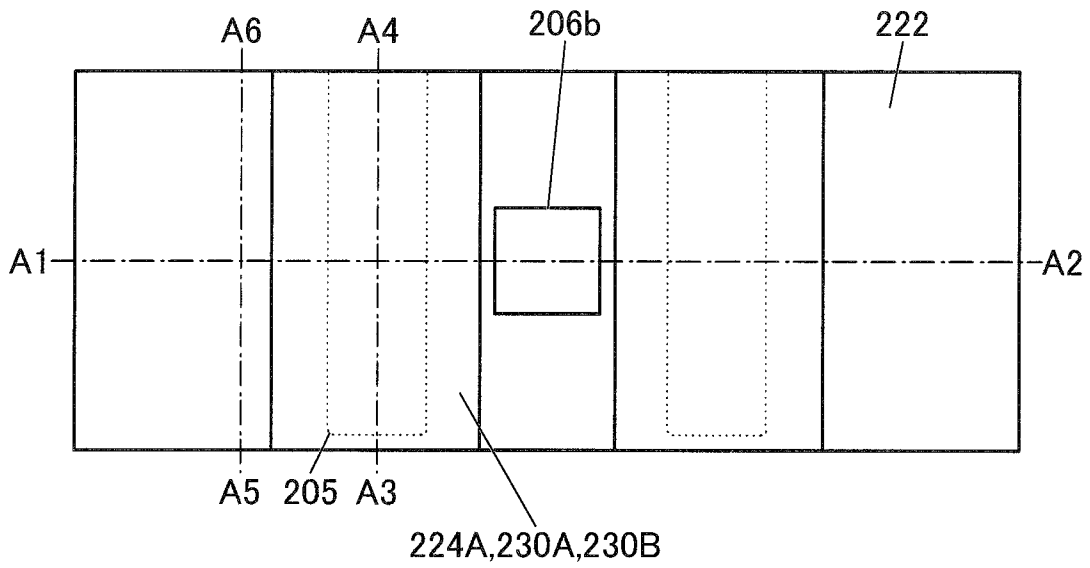
【圖10B】



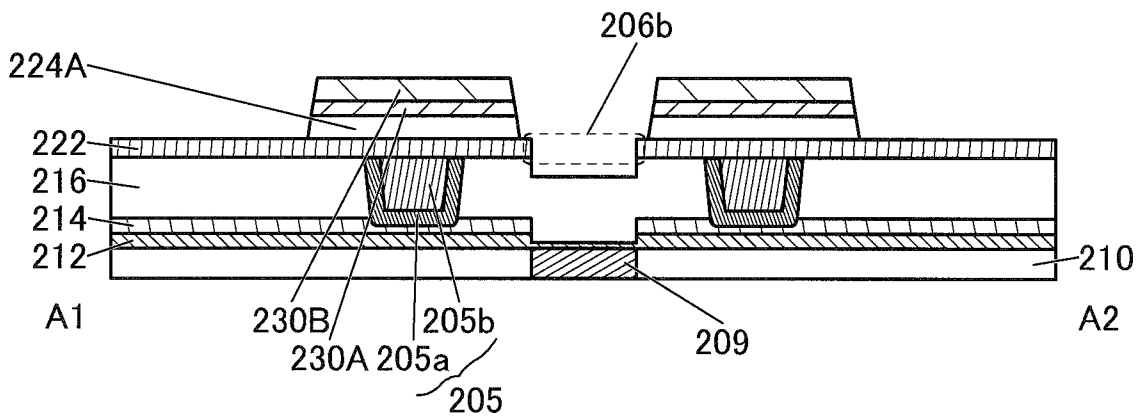
【圖10C】



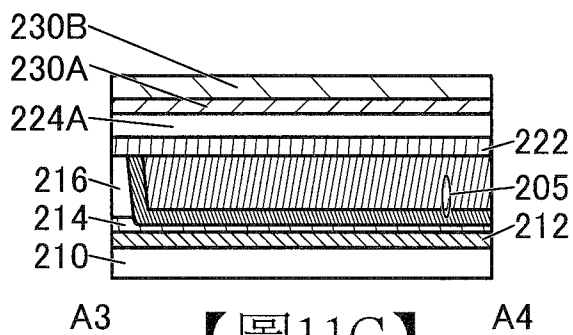
【圖10D】



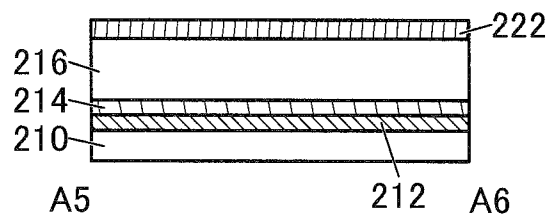
【圖11A】



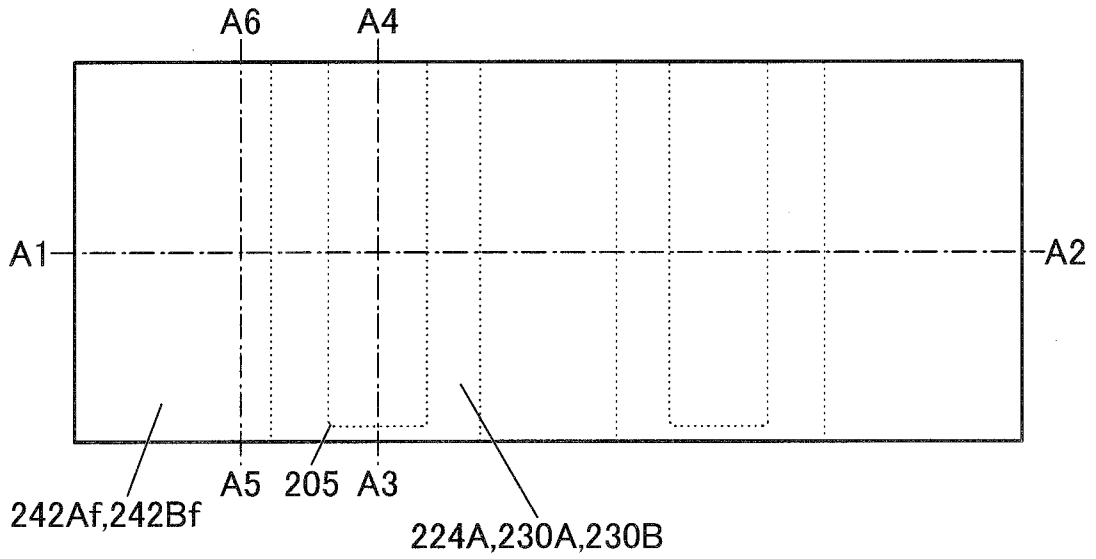
【圖11B】



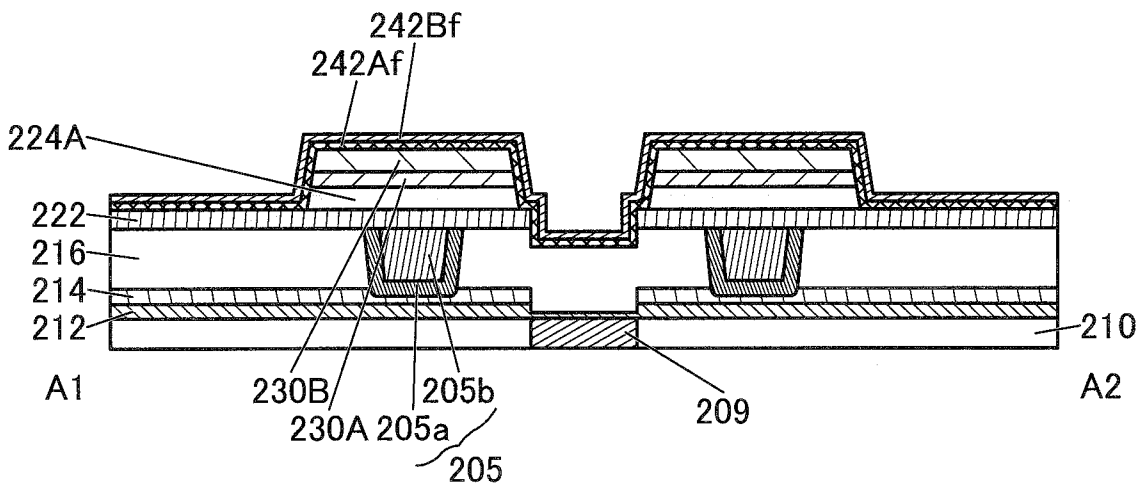
【圖11C】



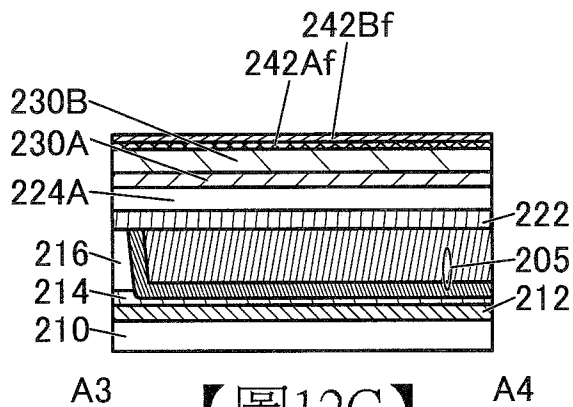
【圖11D】



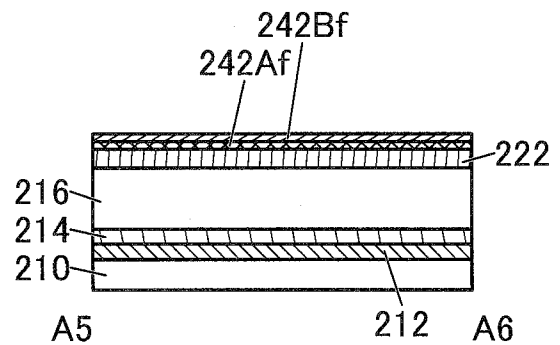
【圖12A】



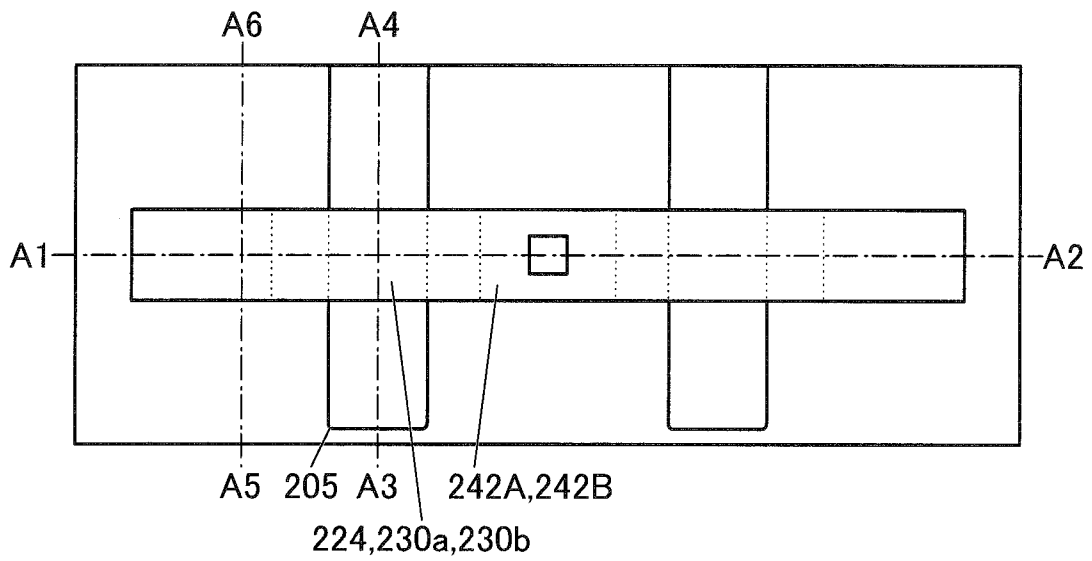
【圖12B】



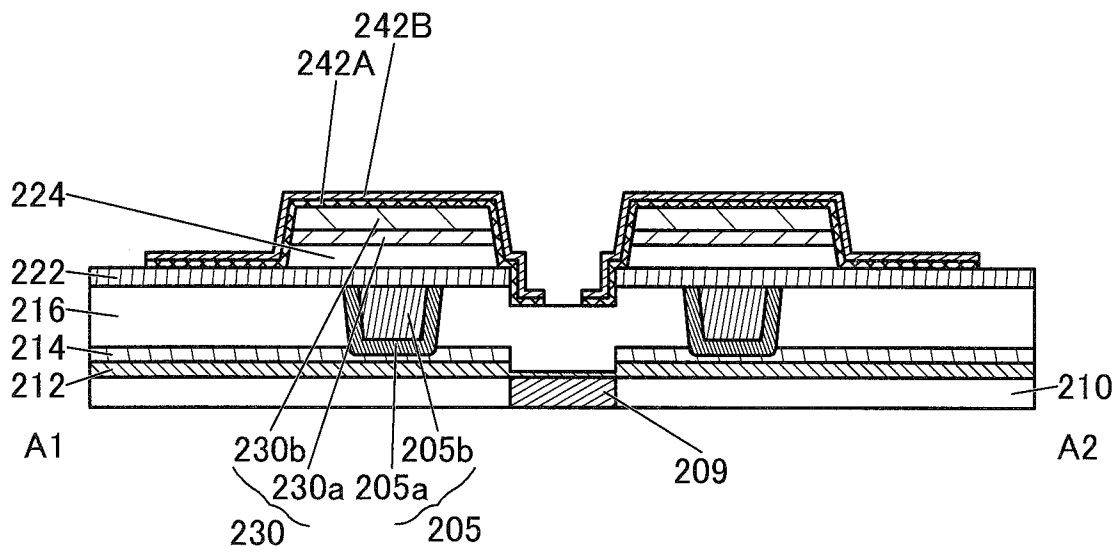
【圖12C】



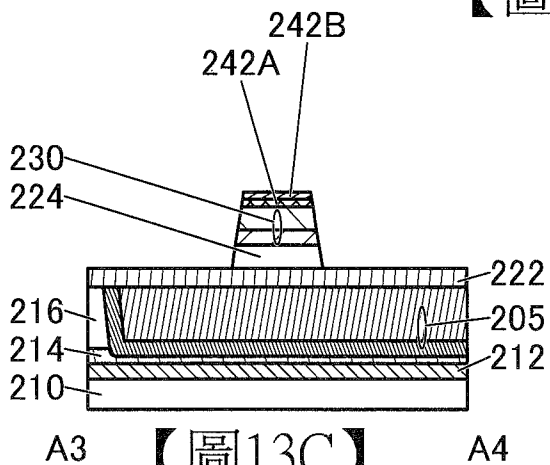
【圖12D】



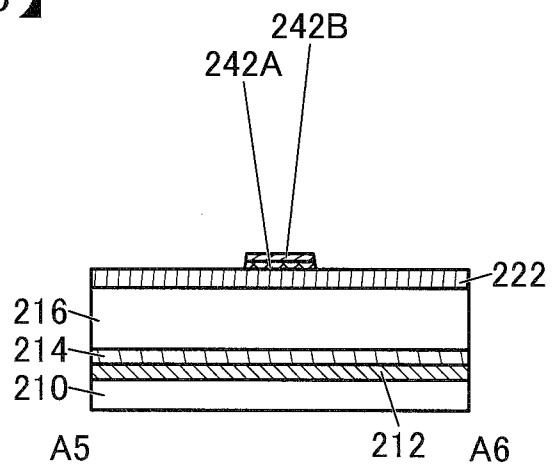
【圖13A】



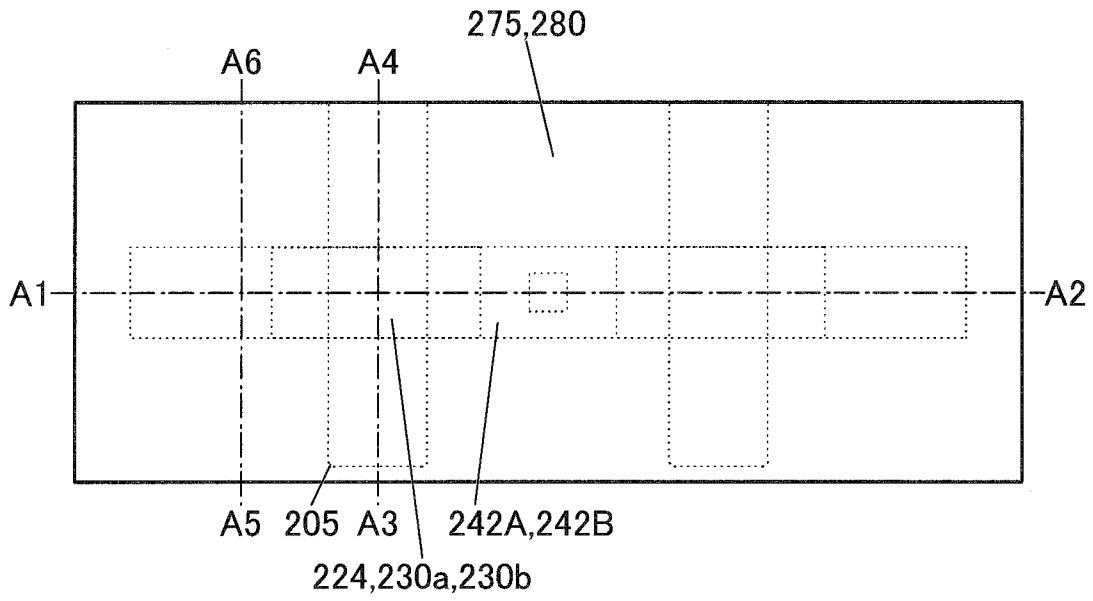
【圖13B】



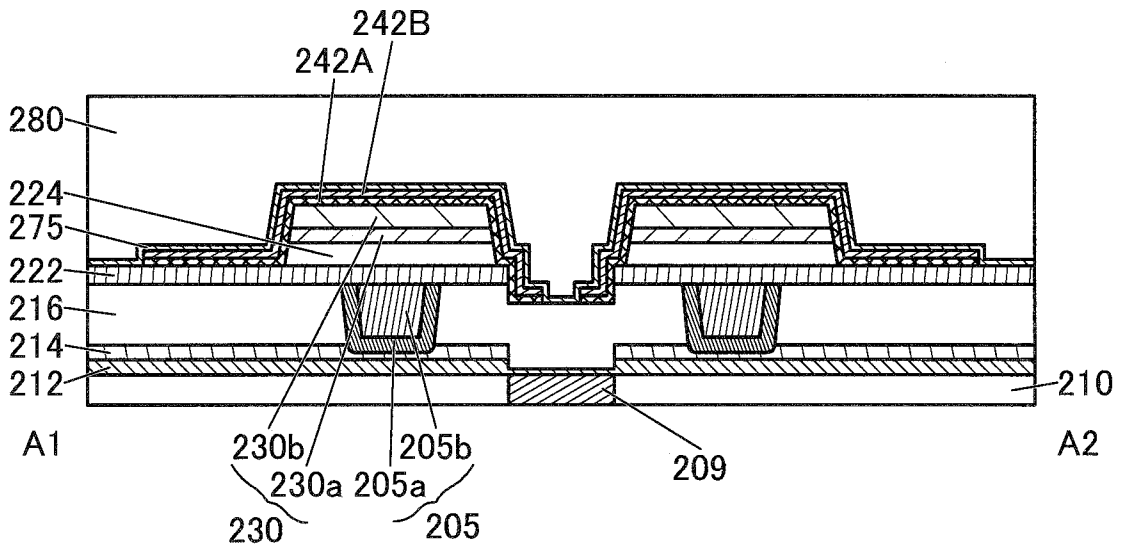
【圖13C】



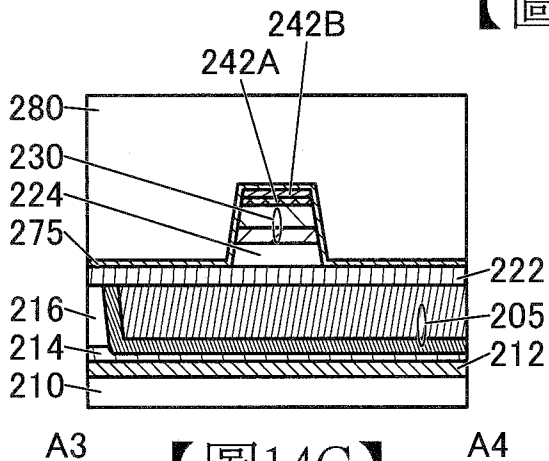
【圖13D】



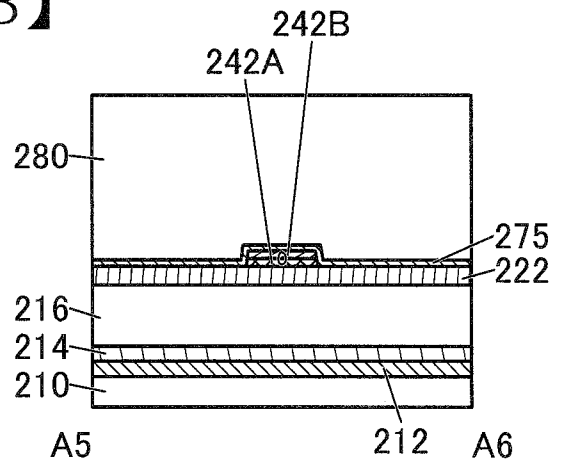
【圖14A】



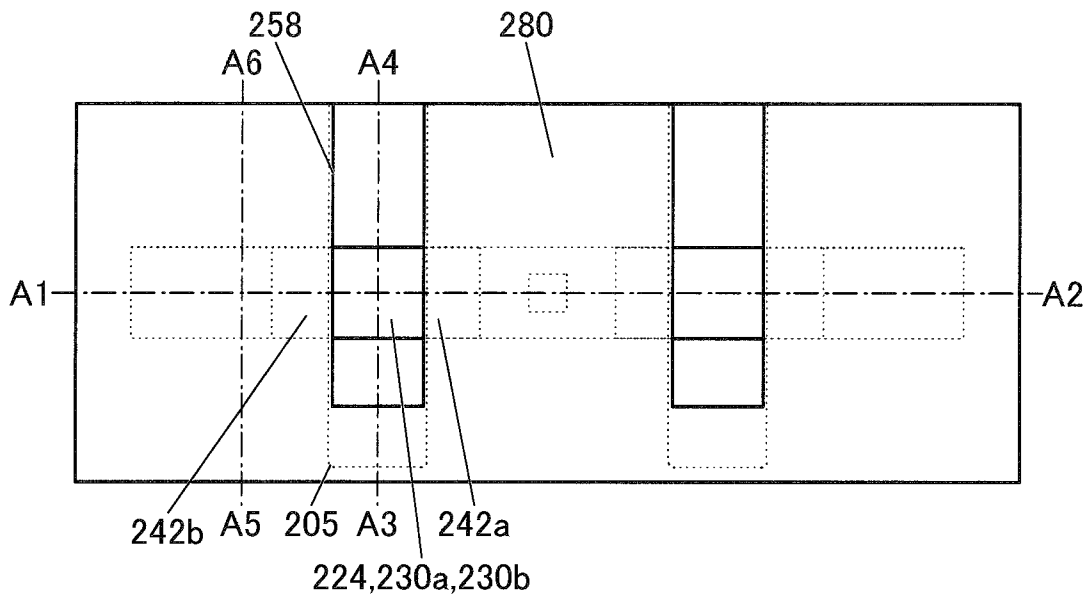
【圖14B】



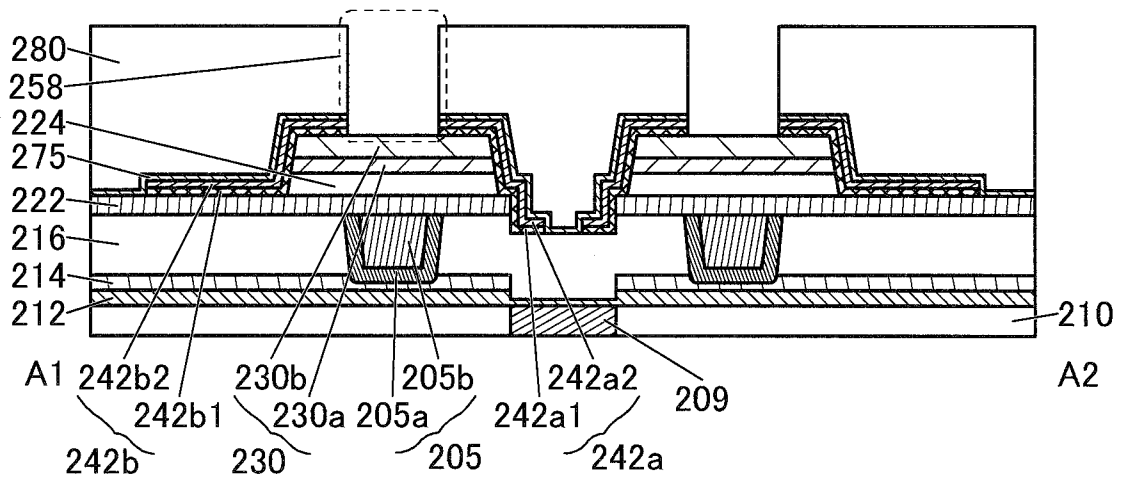
【圖14C】



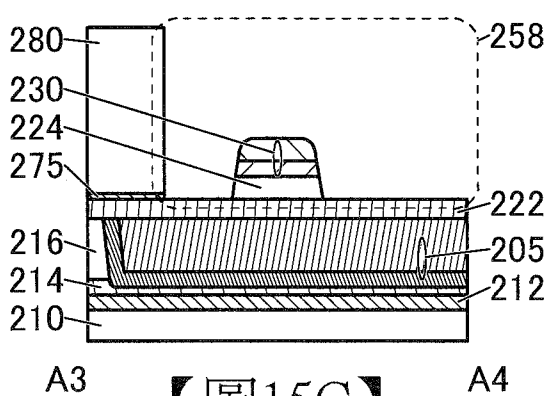
【圖14D】



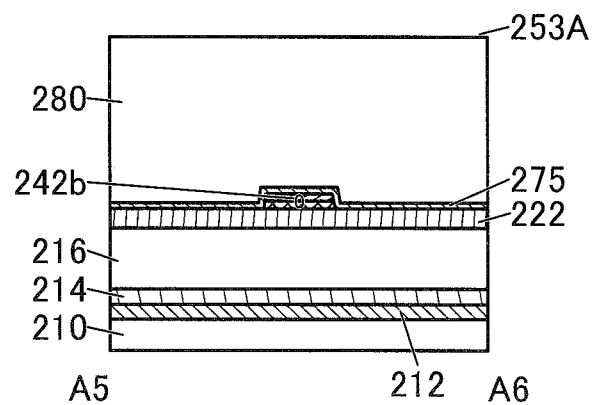
【圖15A】



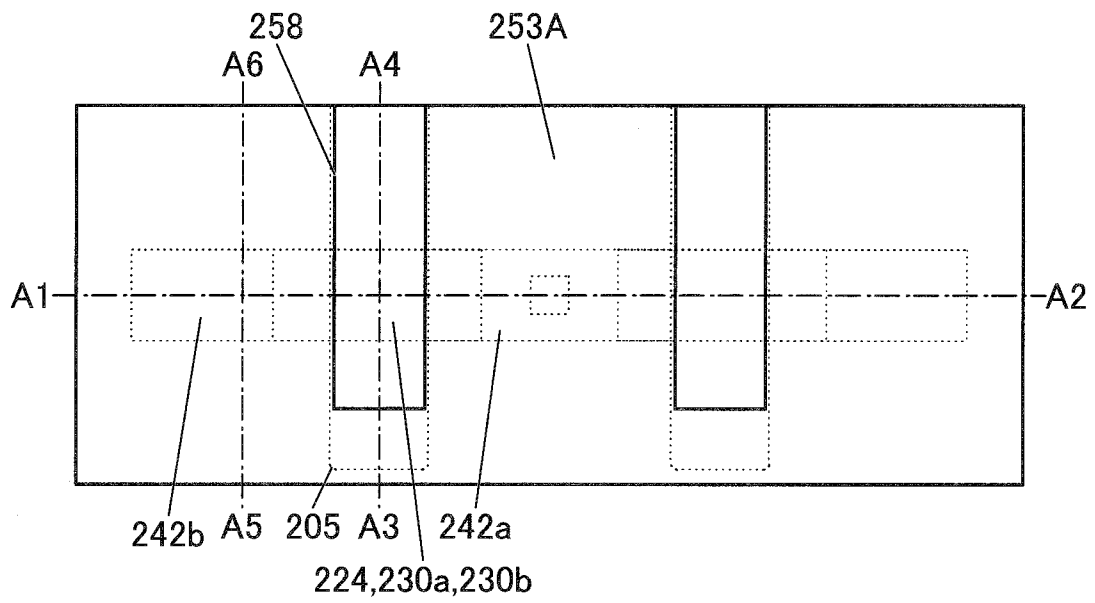
【圖15B】



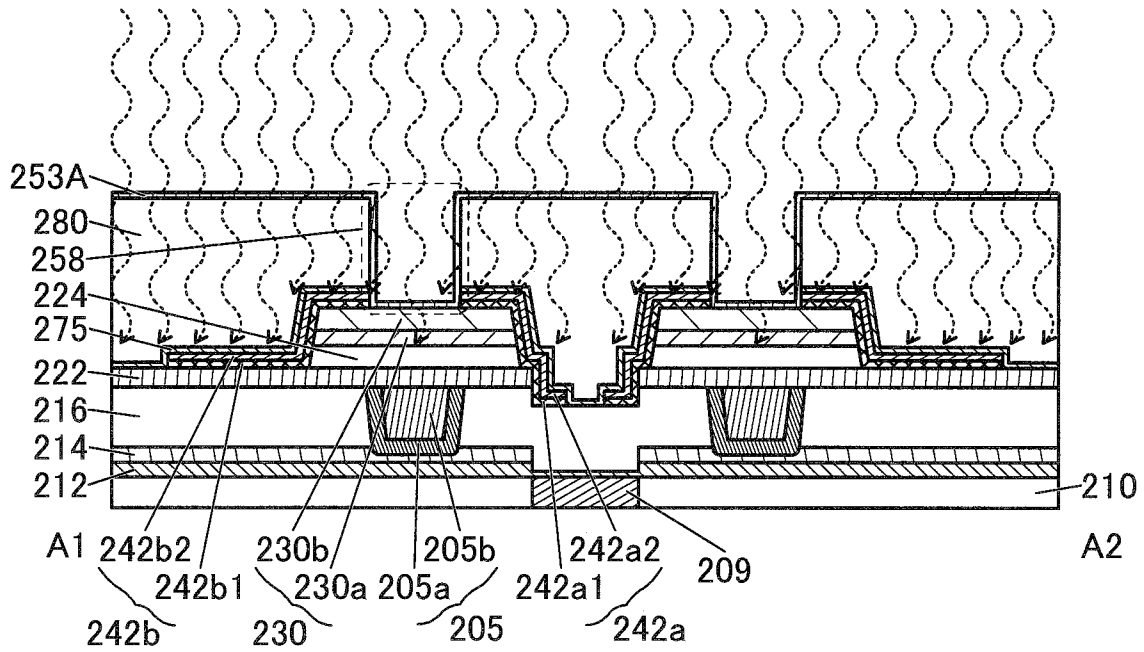
【圖15C】



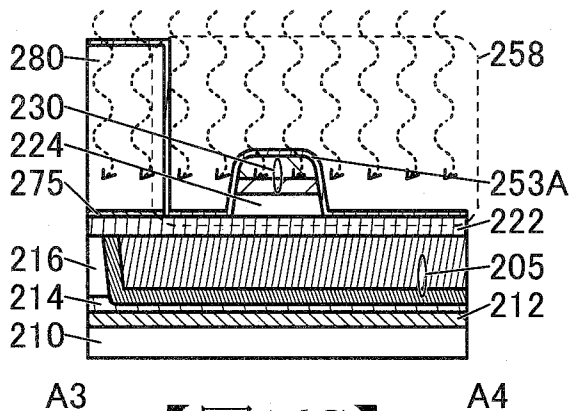
【圖15D】



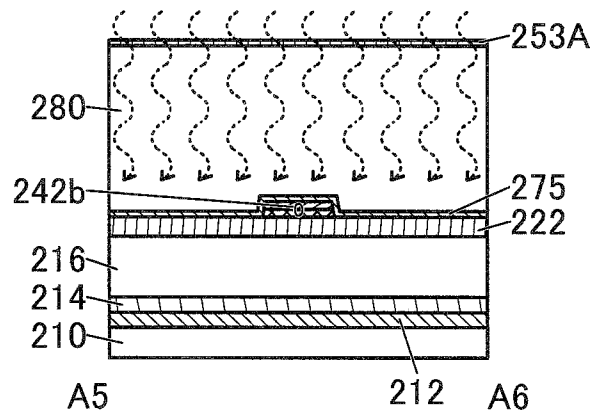
【圖16A】



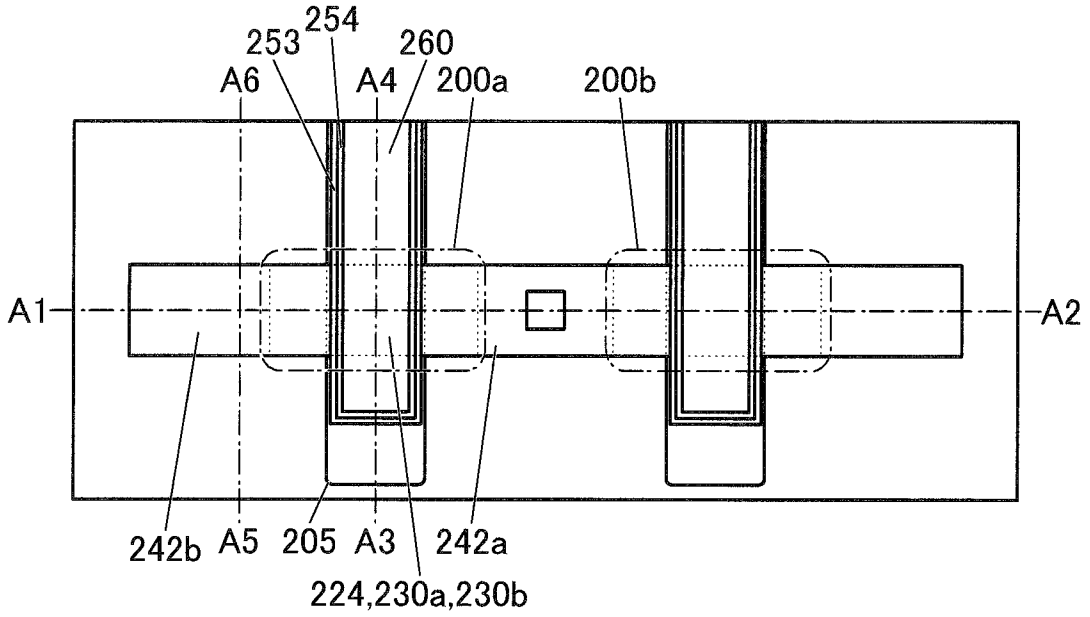
【圖16B】



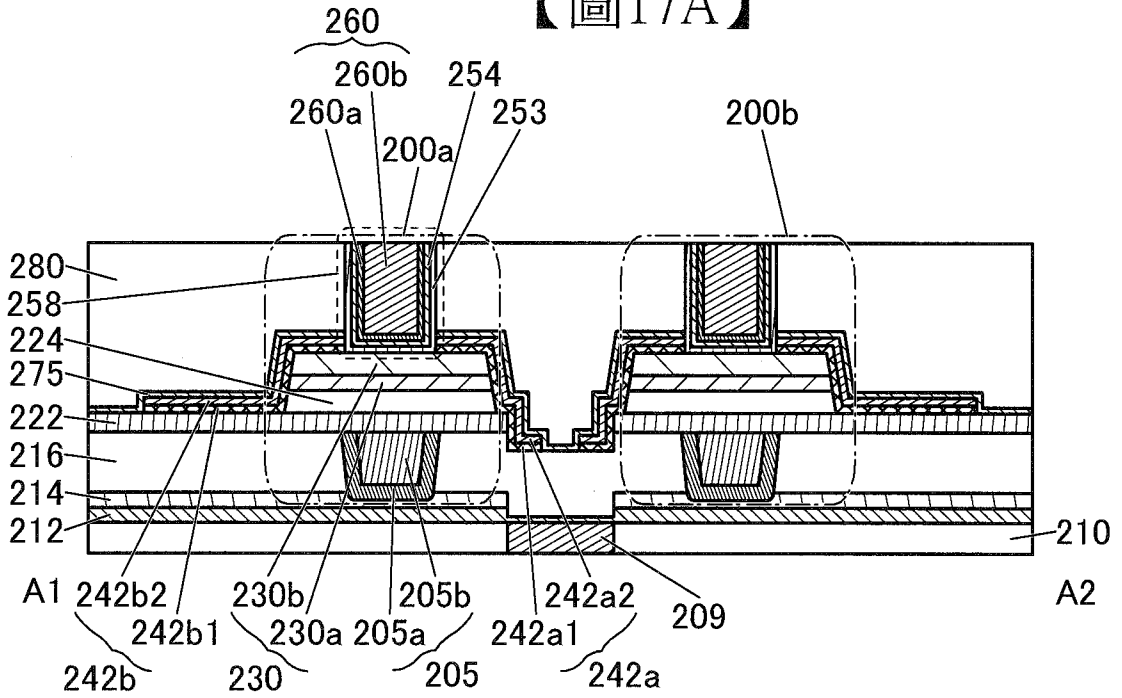
【圖16C】



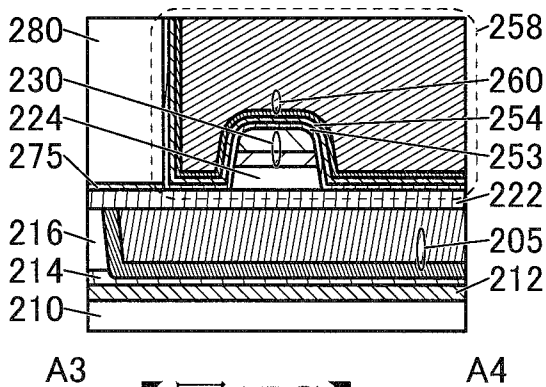
【圖16D】



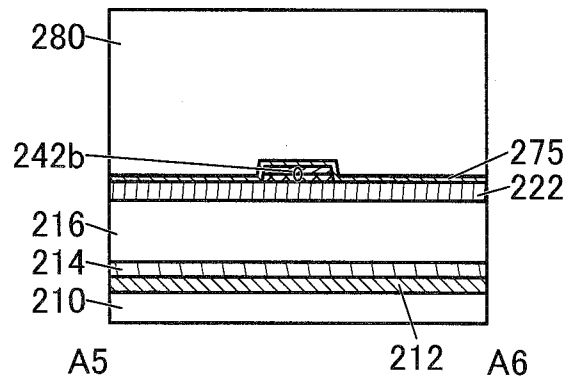
【圖17A】



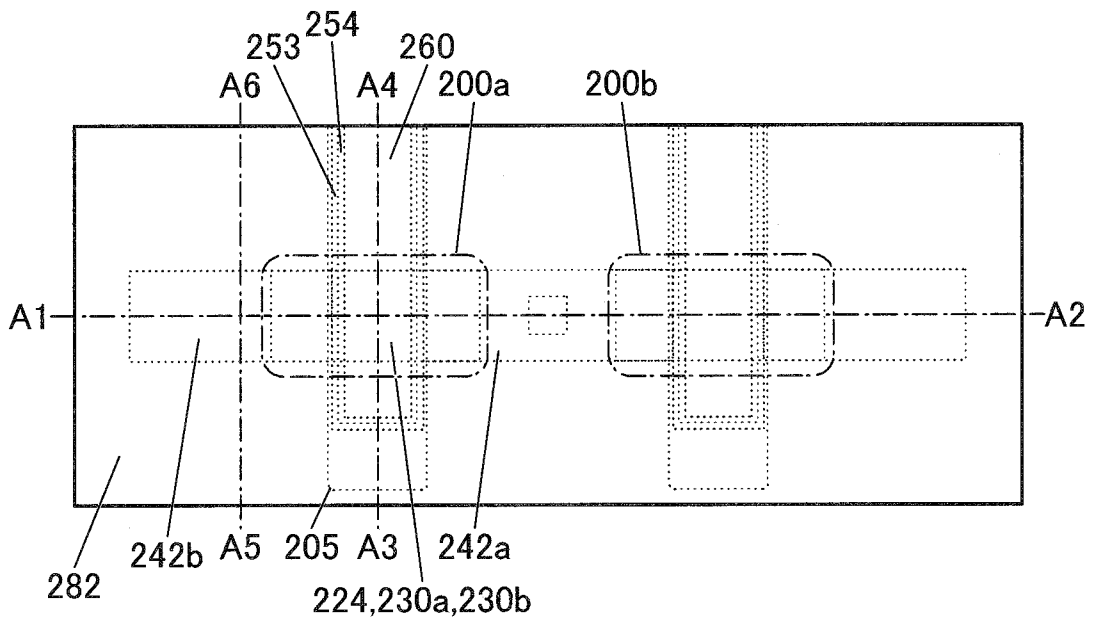
【圖17B】



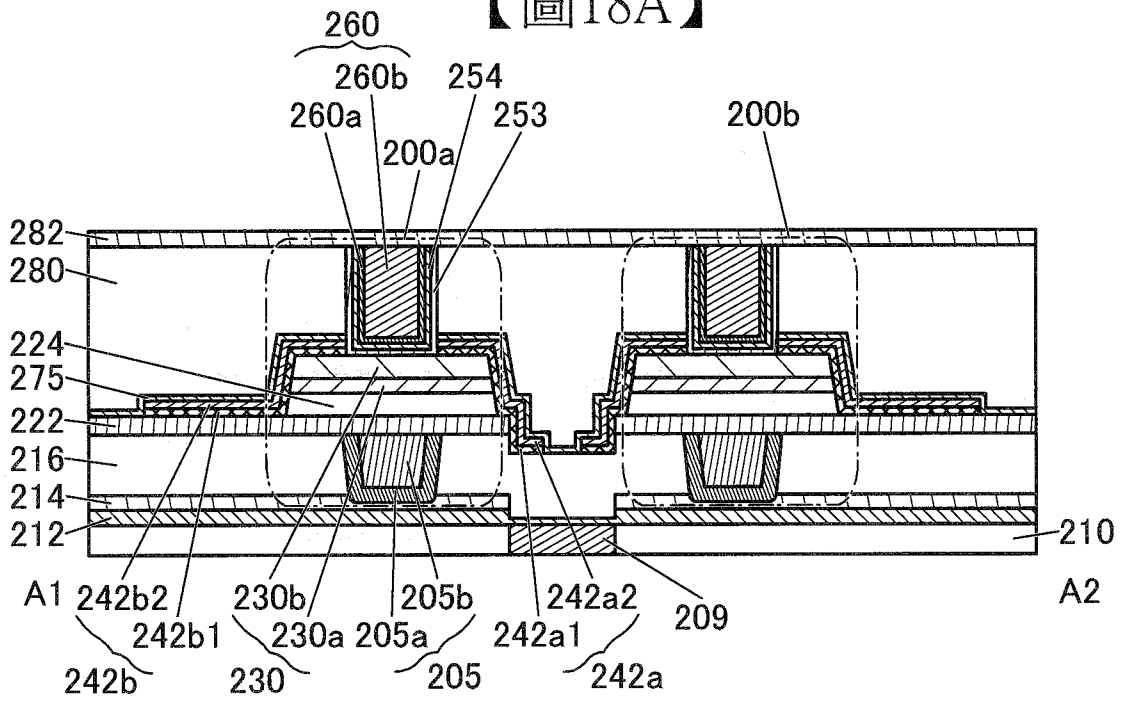
【圖17C】



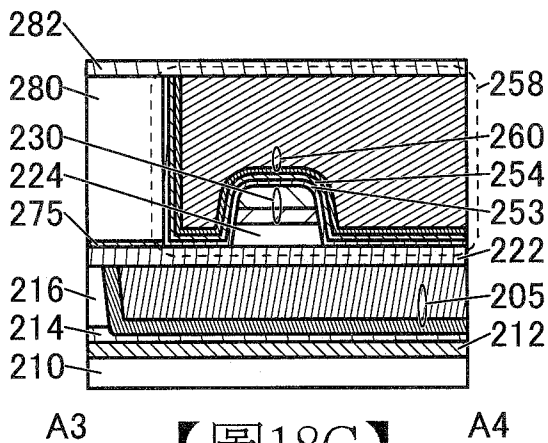
【圖17D】



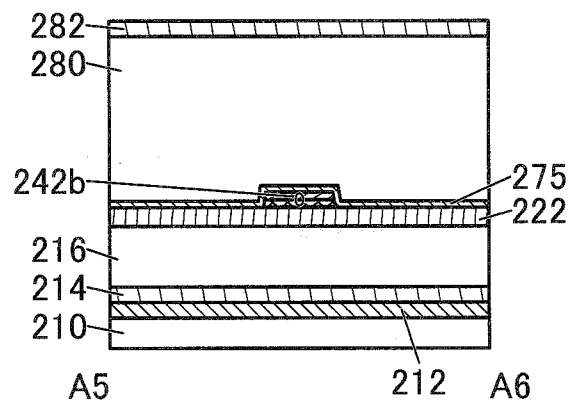
【圖18A】



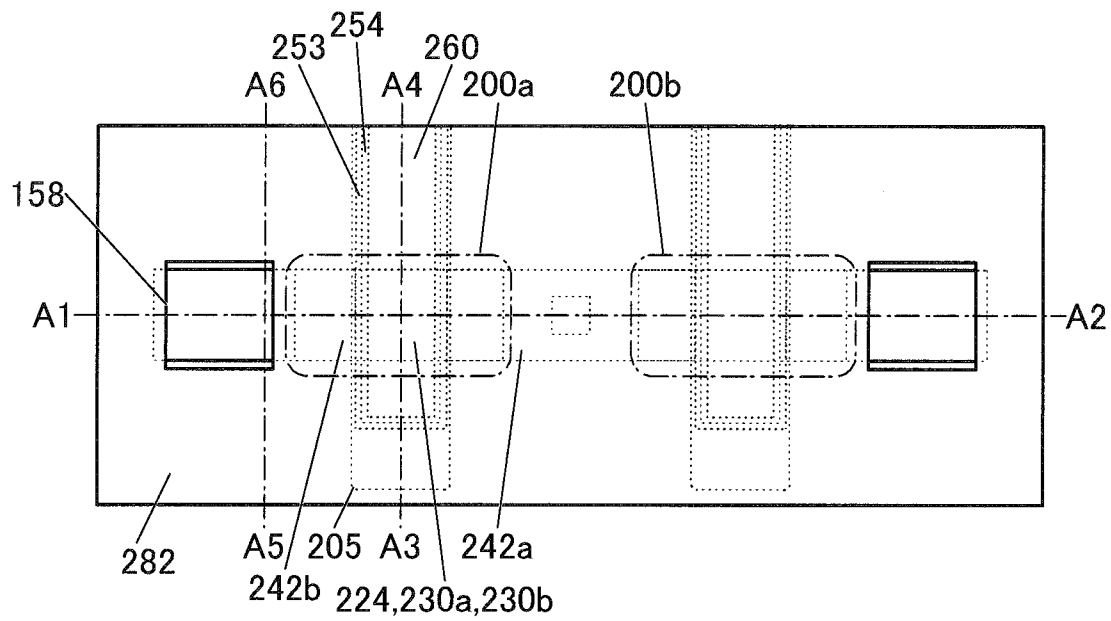
【圖18B】



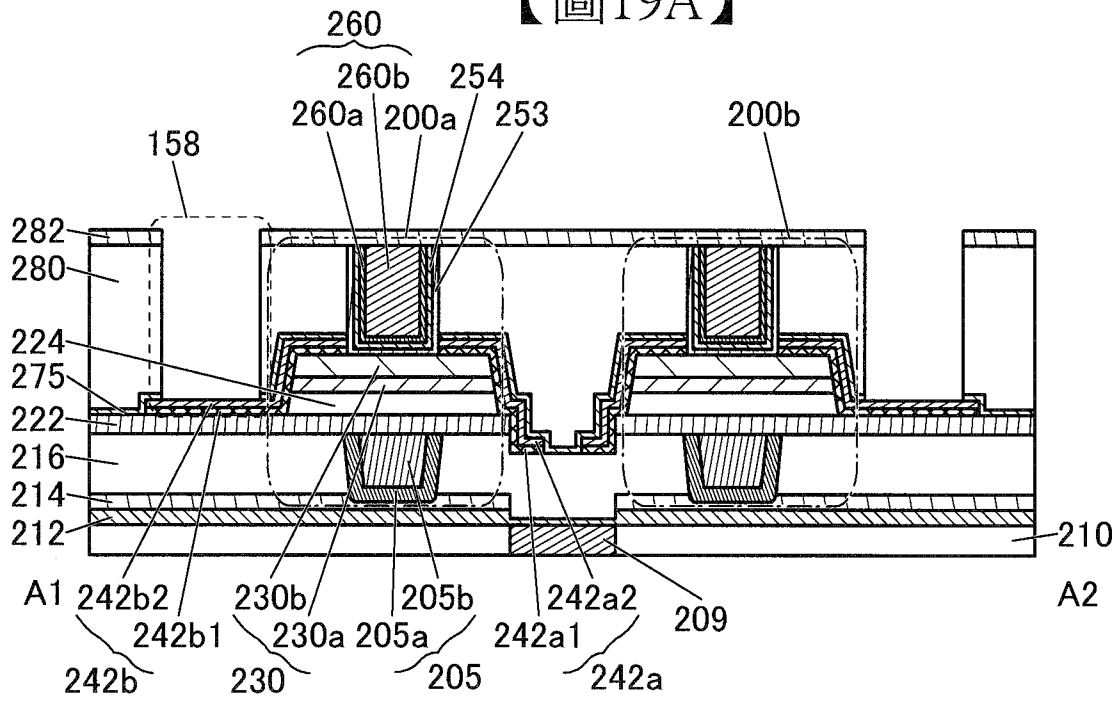
【圖18C】



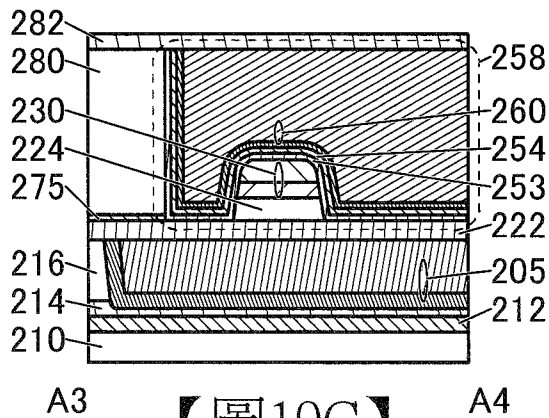
【圖18D】



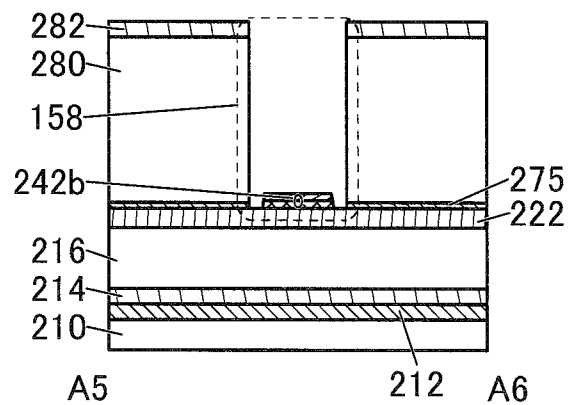
【圖19A】



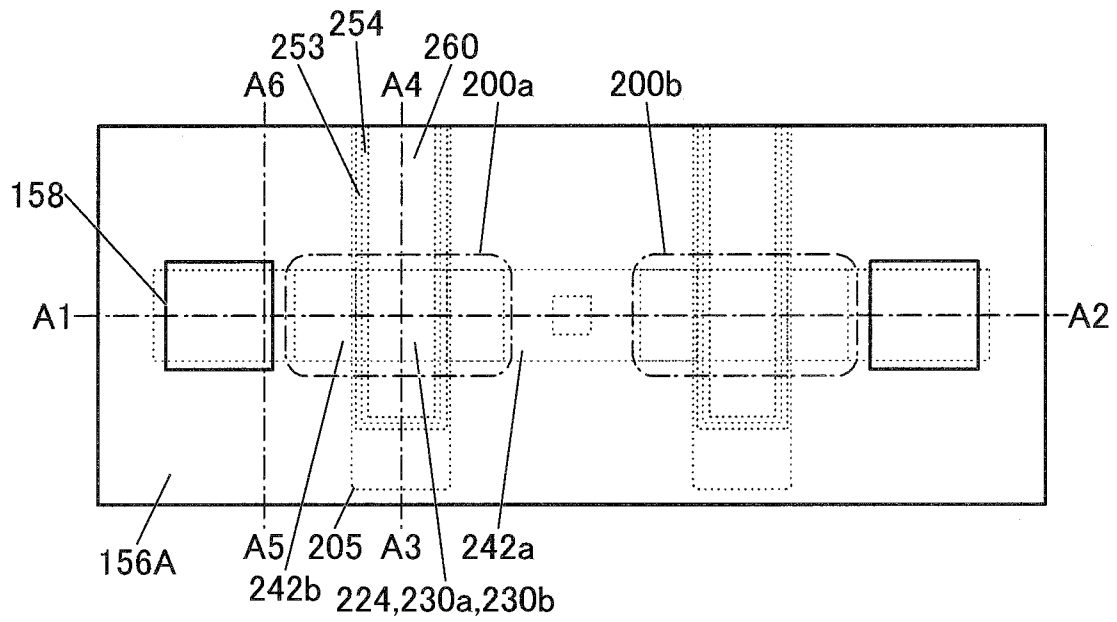
【圖19B】



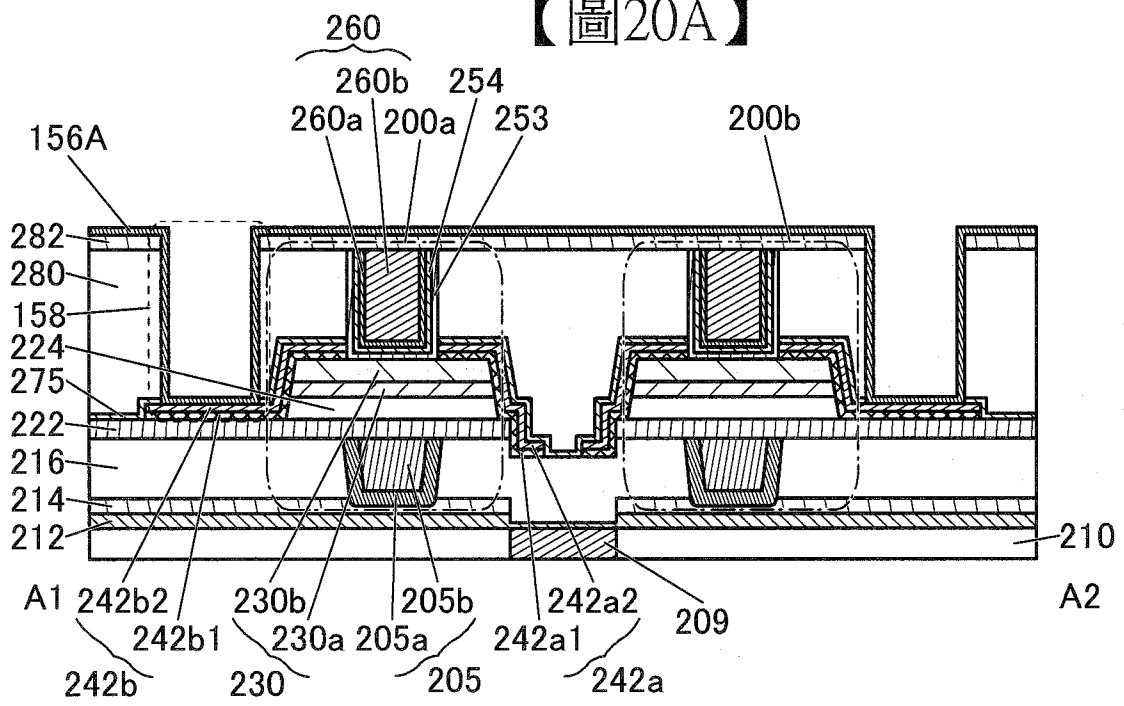
【圖19C】



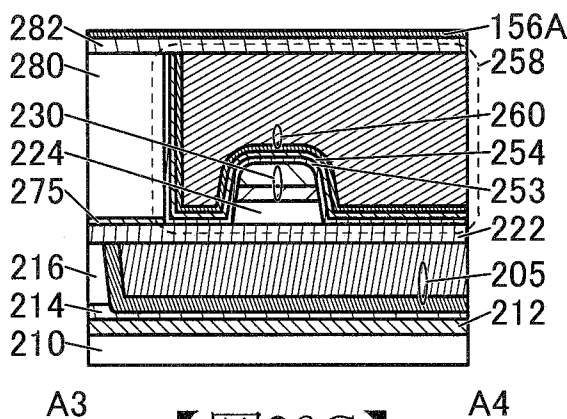
【圖19D】



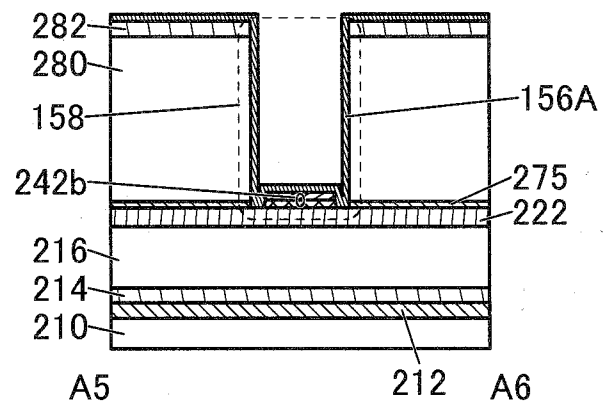
【圖20A】



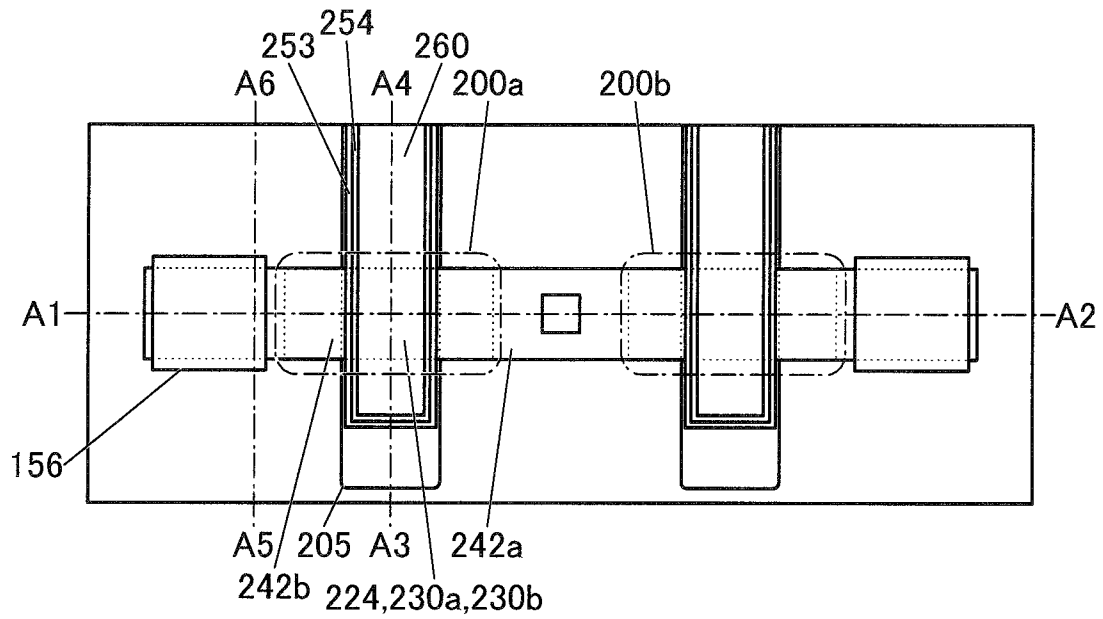
【圖20B】



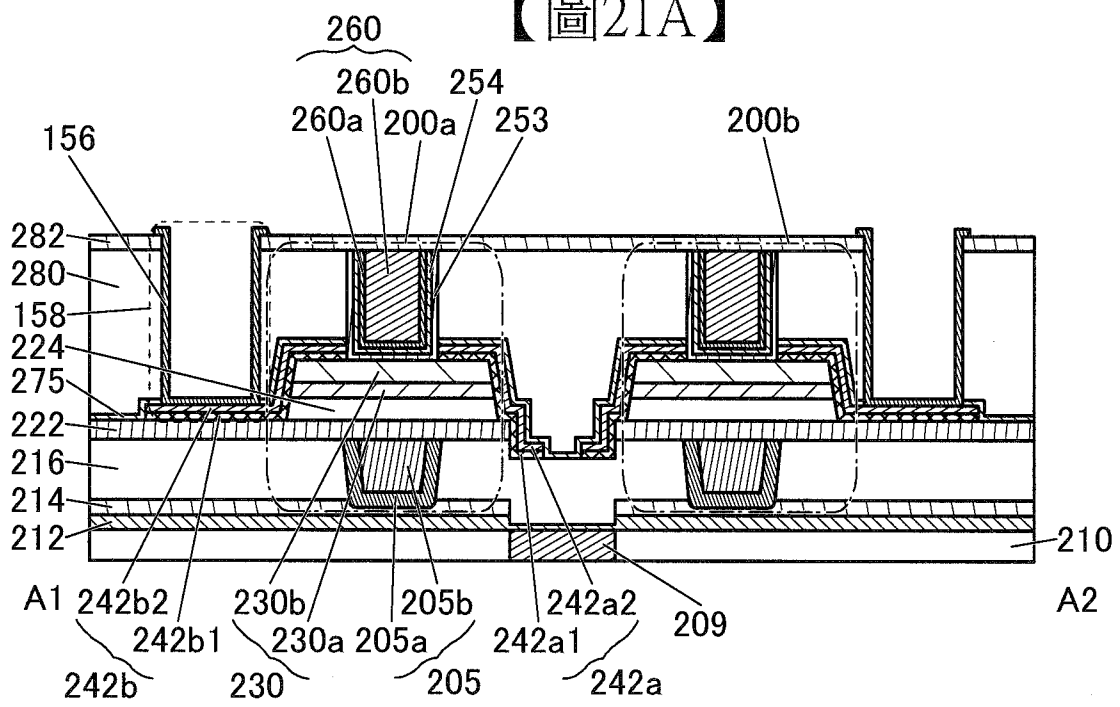
【圖20C】



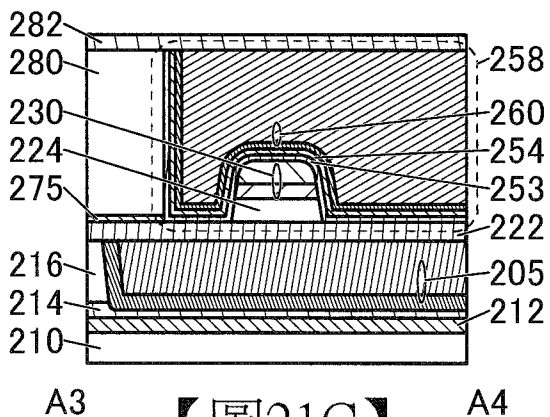
【圖20D】



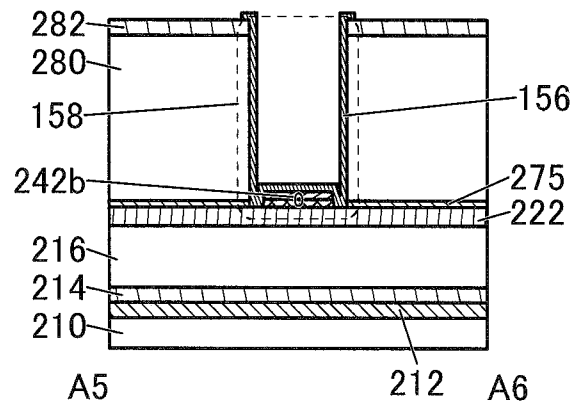
【圖21A】



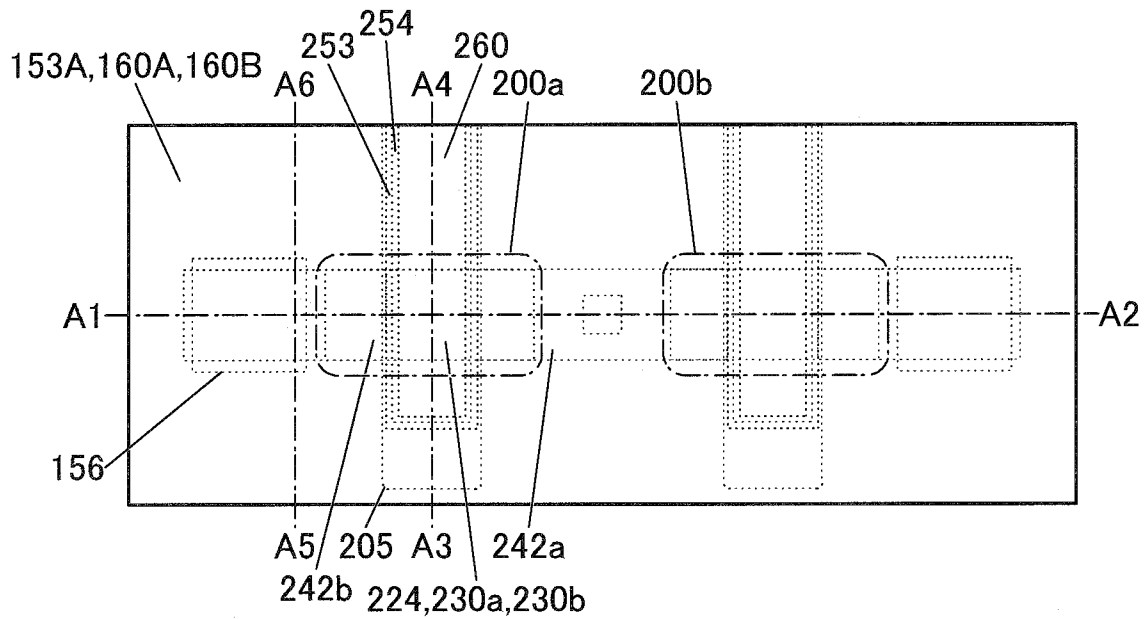
【圖21B】



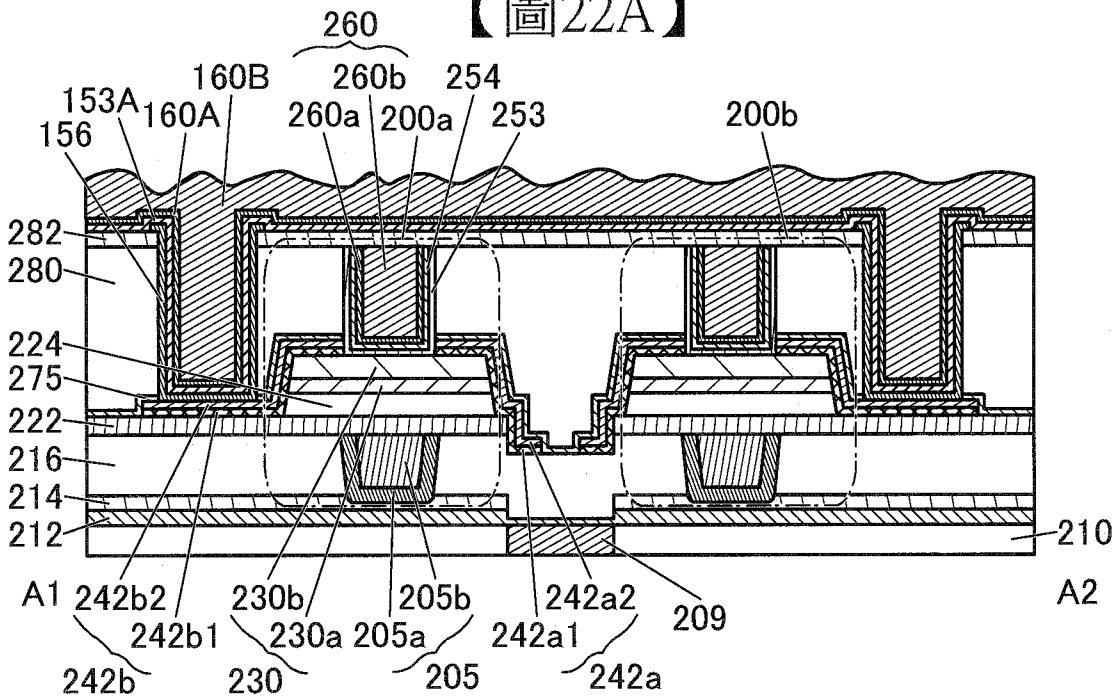
【圖21C】



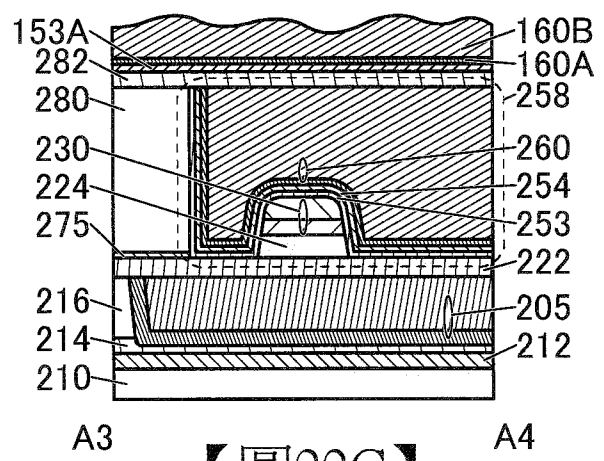
【圖21D】



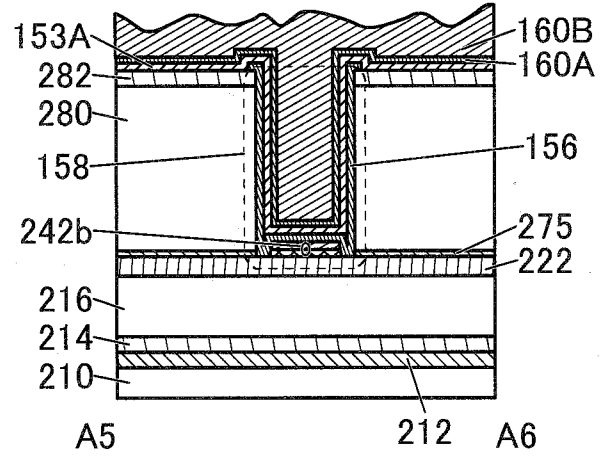
【圖22A】



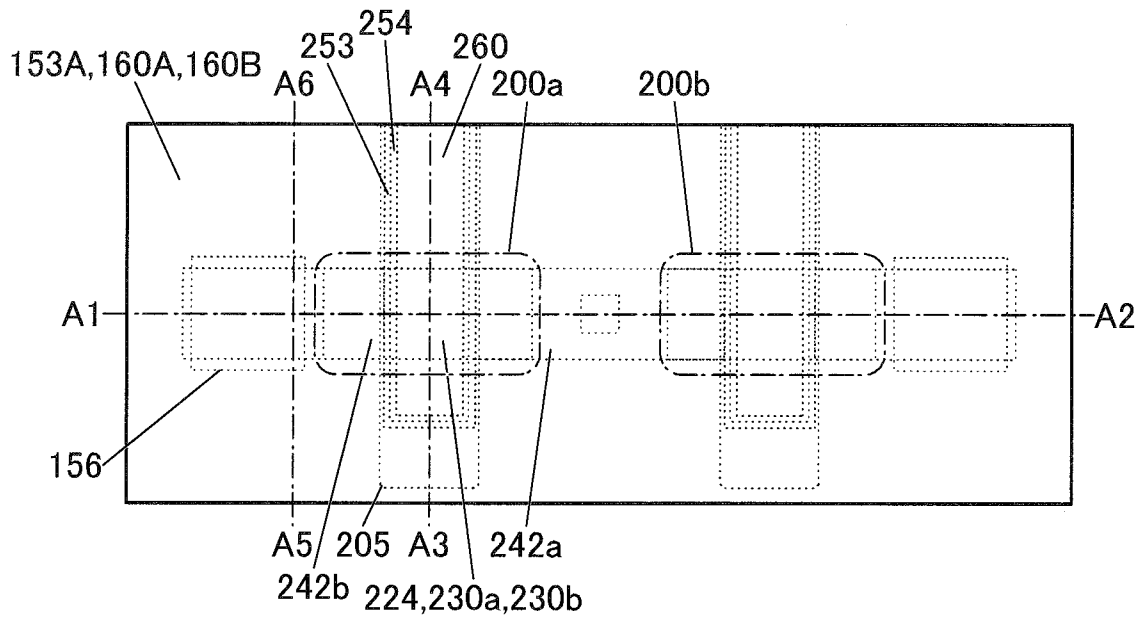
【圖22B】



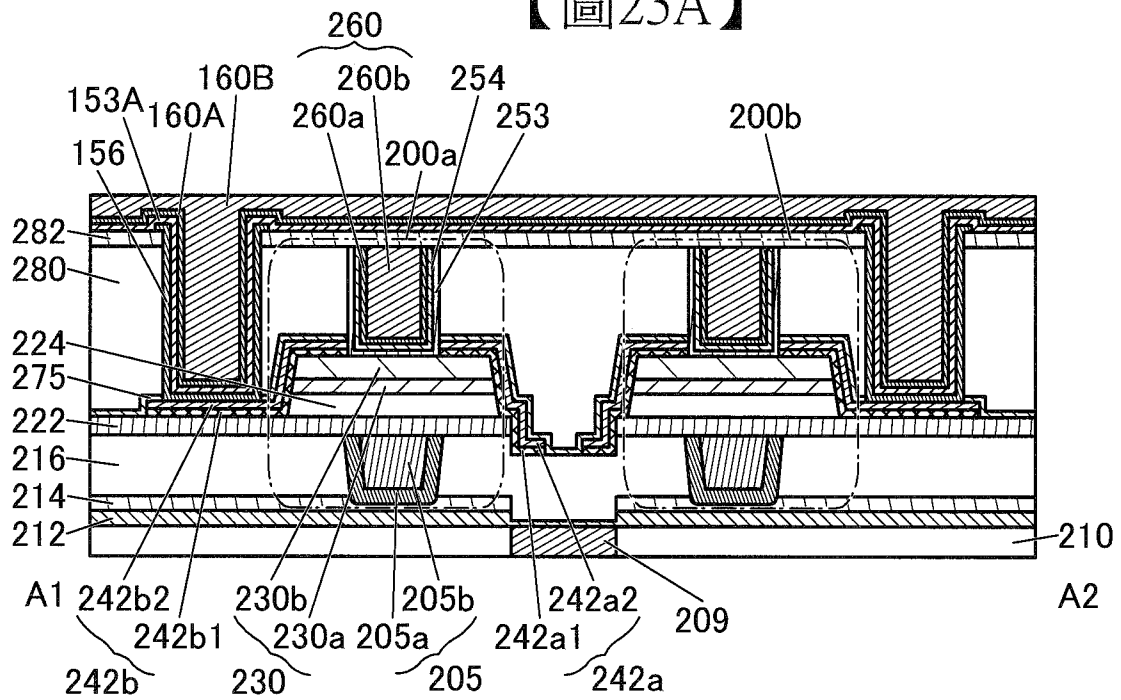
【圖22C】



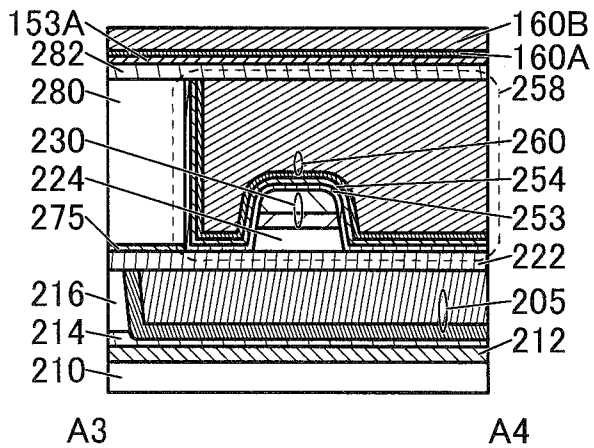
【圖22D】



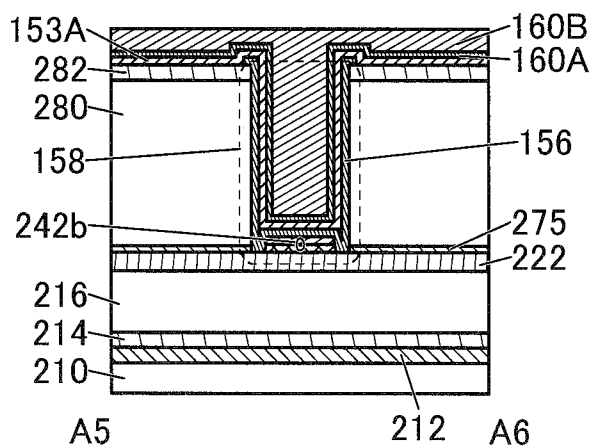
【圖23A】



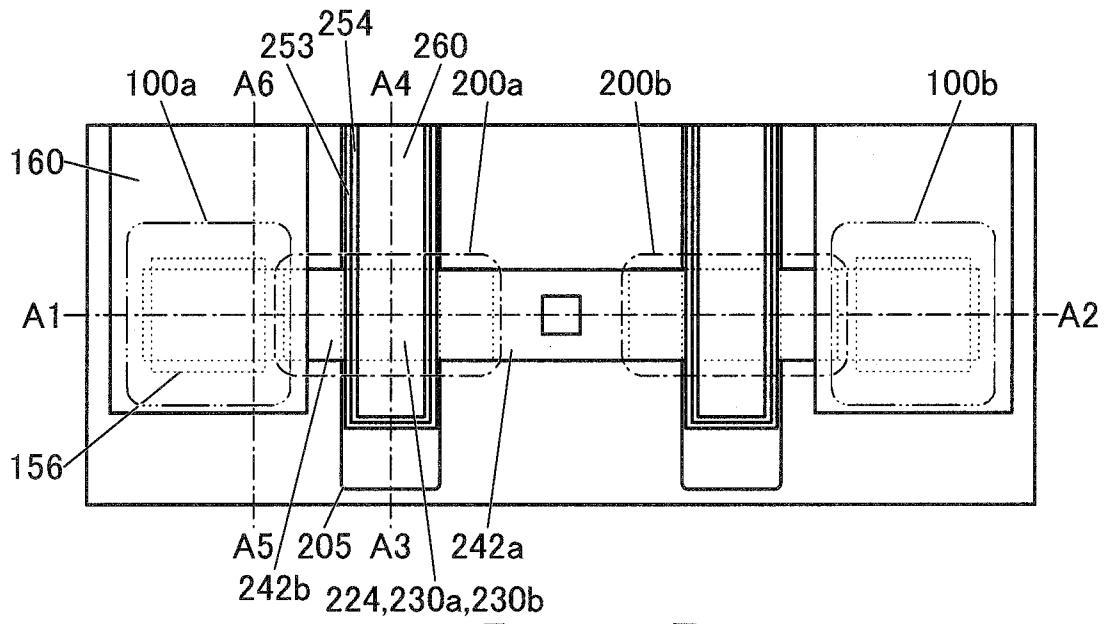
【圖23B】



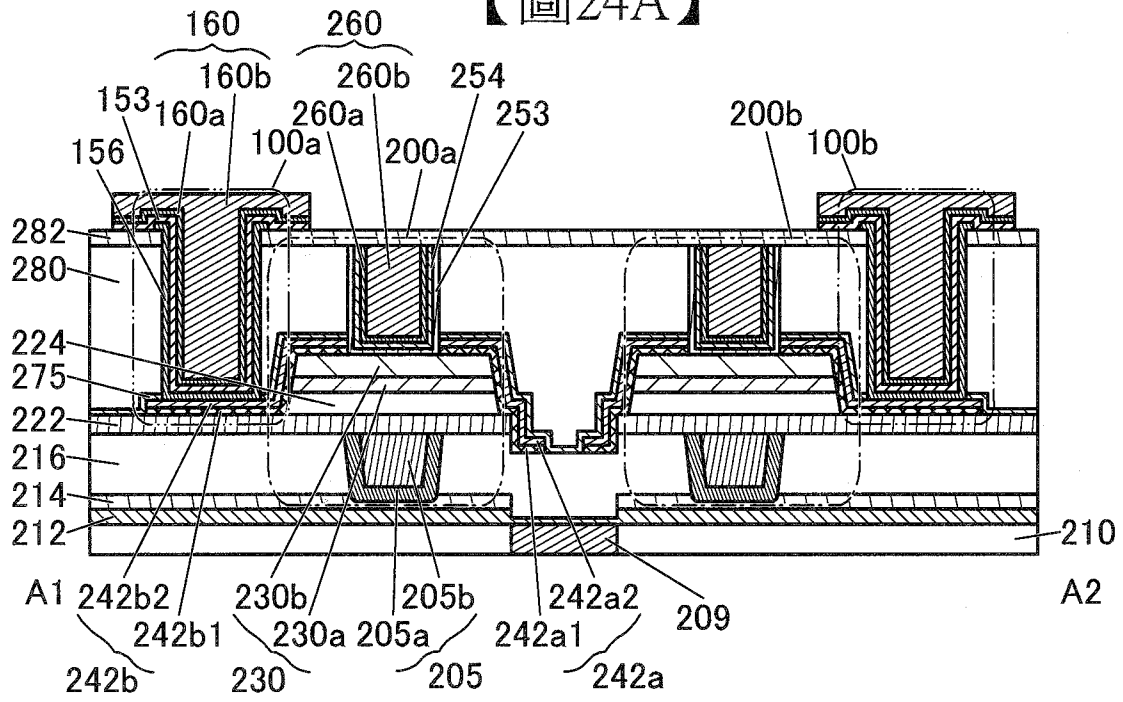
【圖23C】



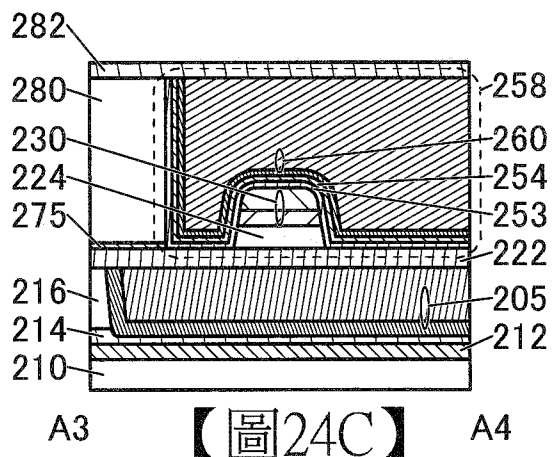
【圖23D】



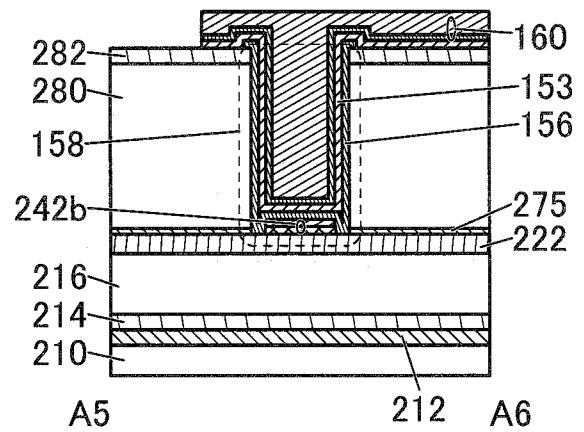
【圖24A】



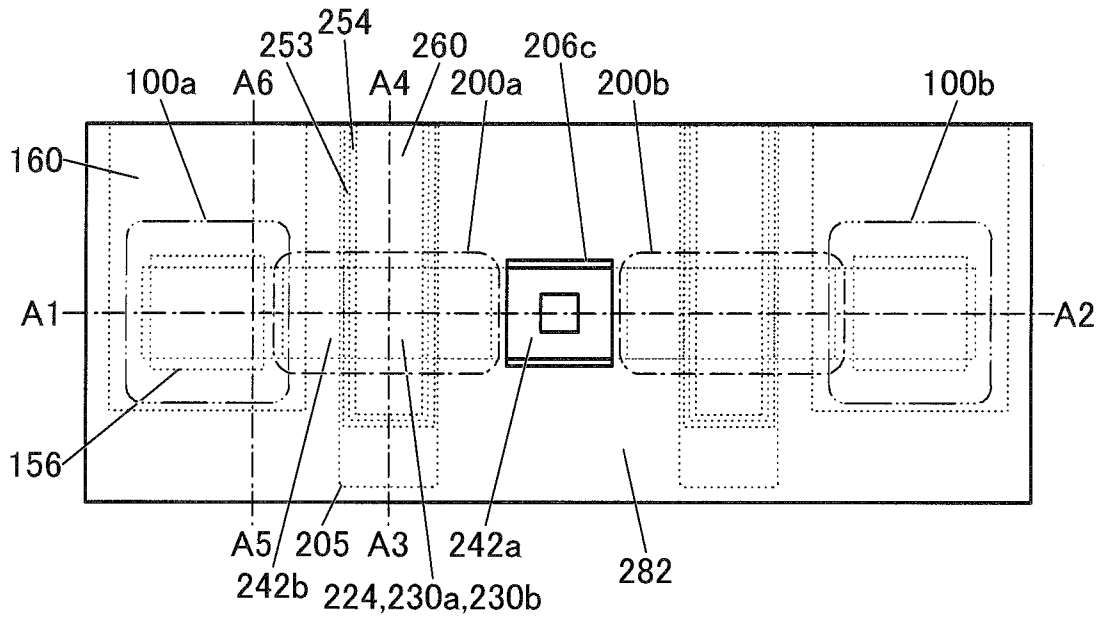
【圖24B】



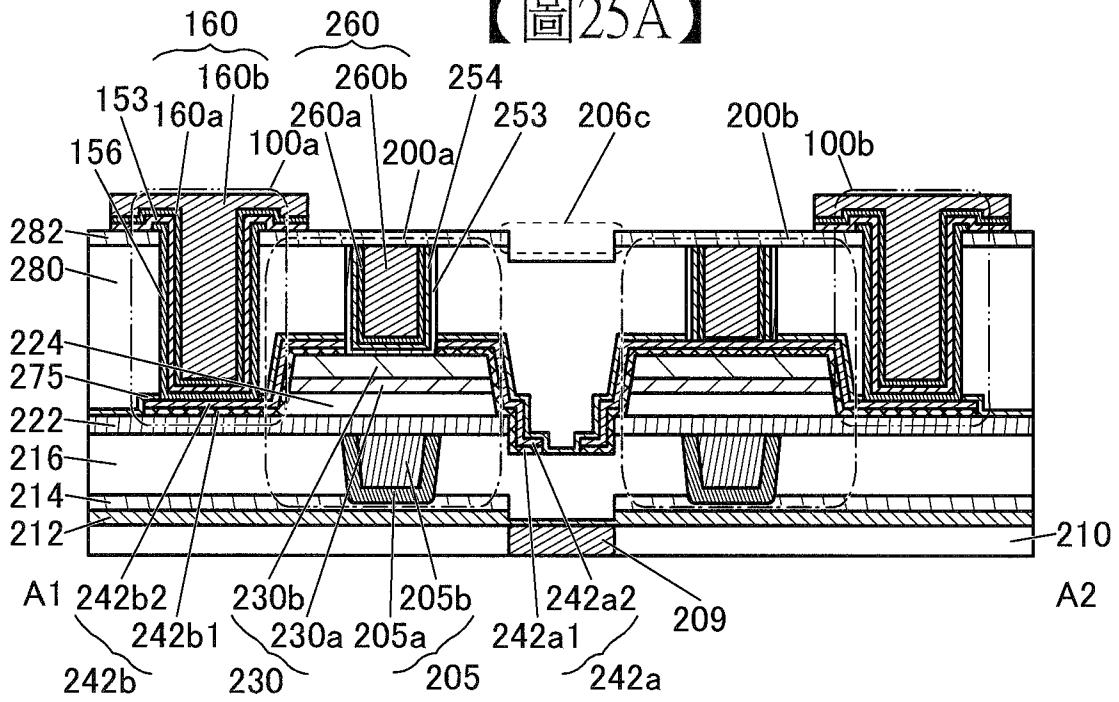
【圖24C】



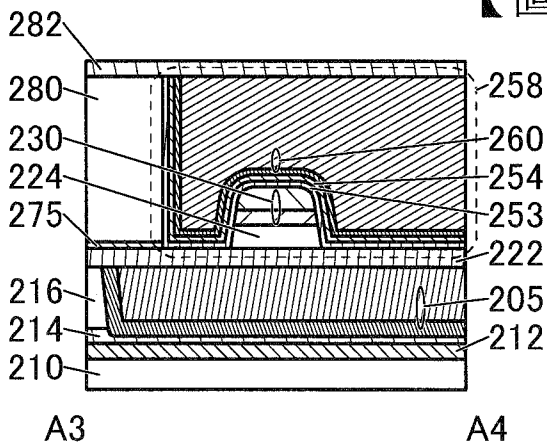
【圖24D】



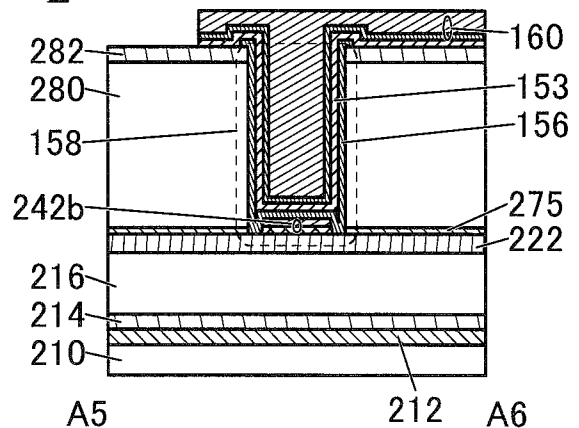
【圖25A】



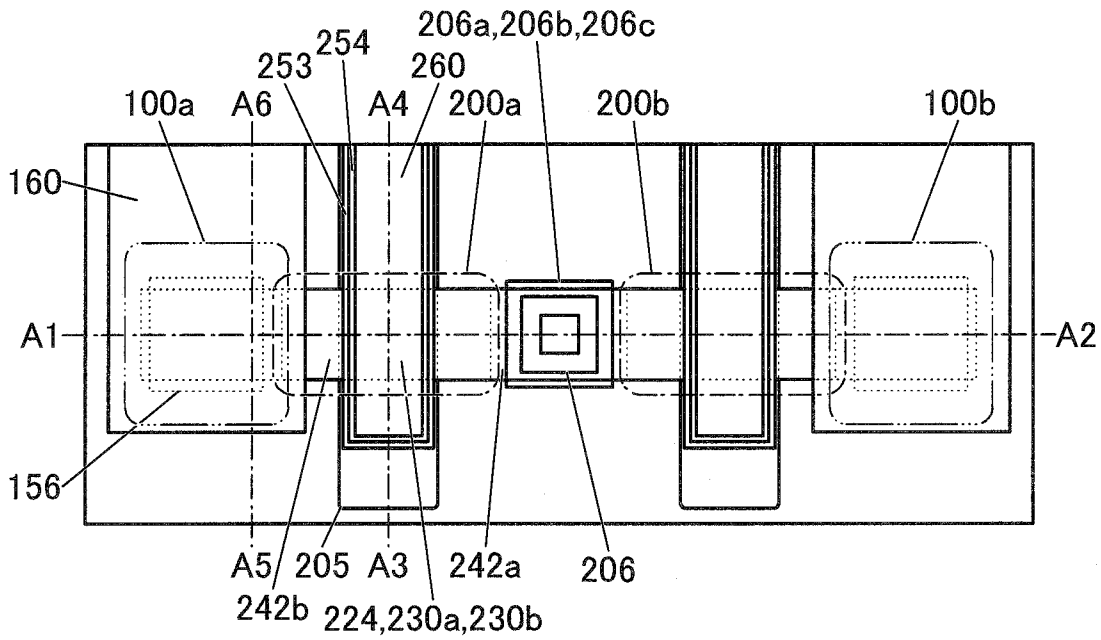
【圖25B】



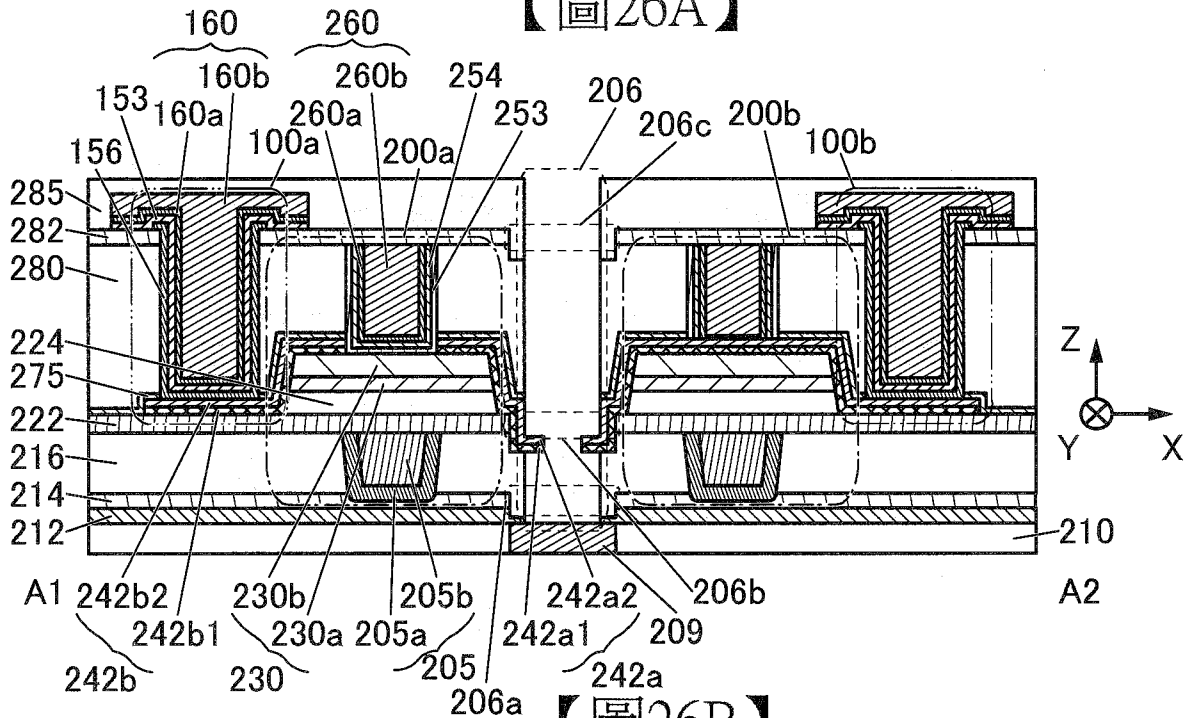
【圖25C】



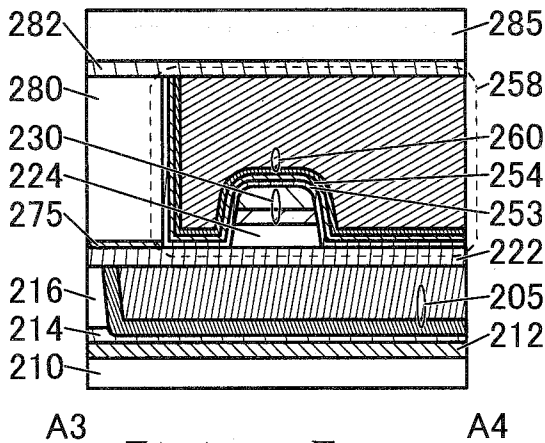
【圖25D】



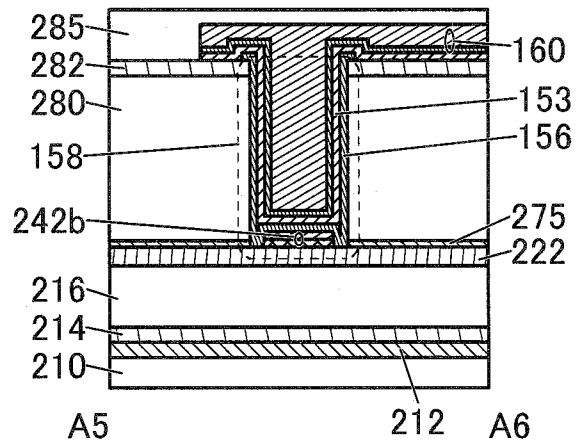
【圖26A】



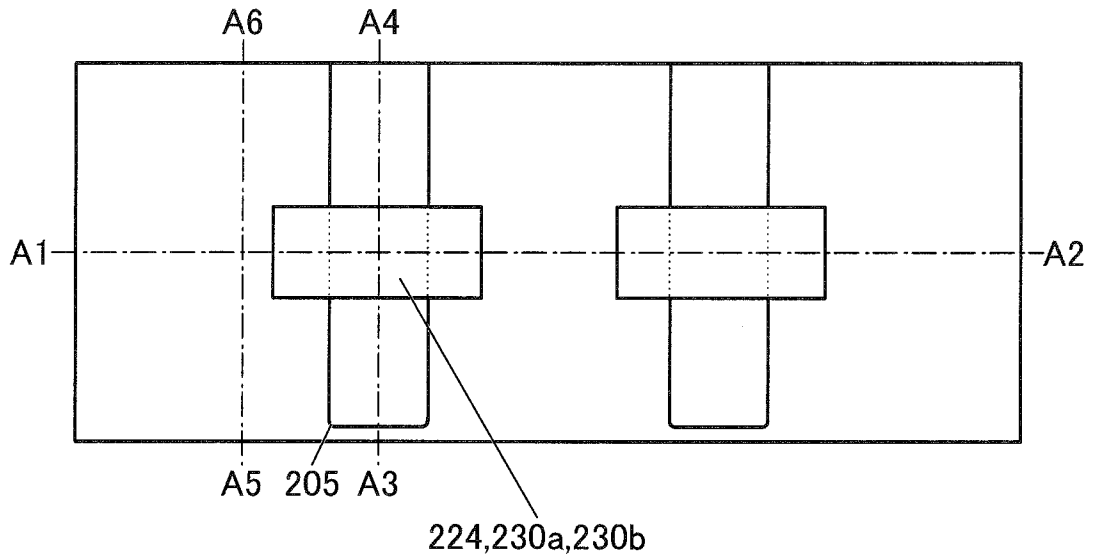
【圖26B】



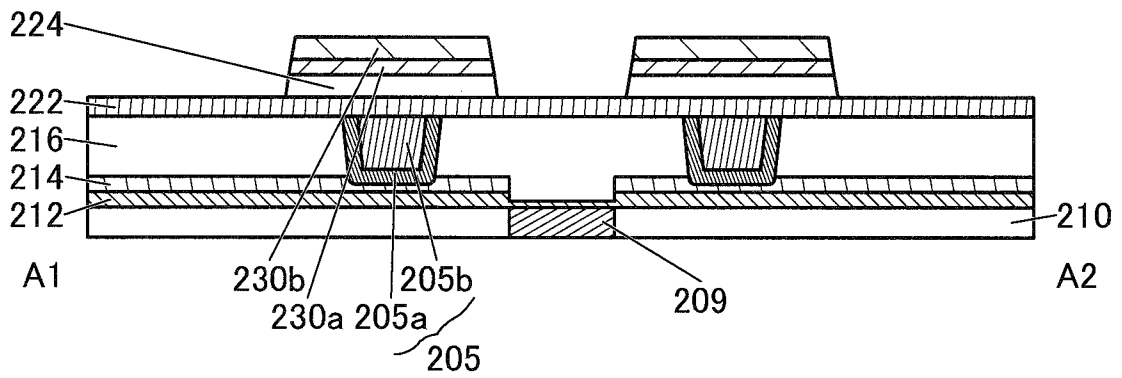
【圖26C】



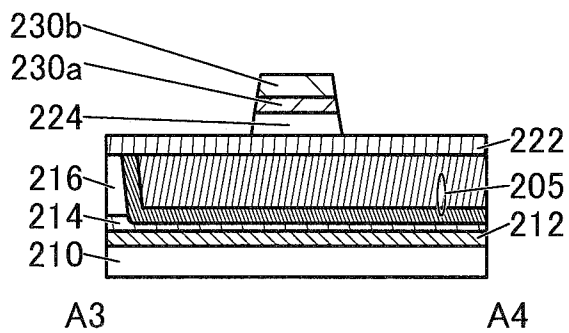
【圖26D】



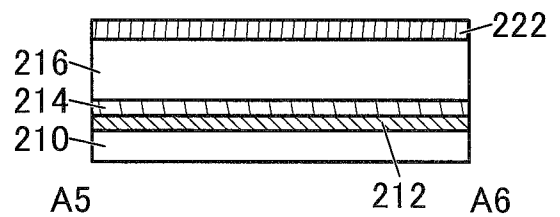
【圖27A】



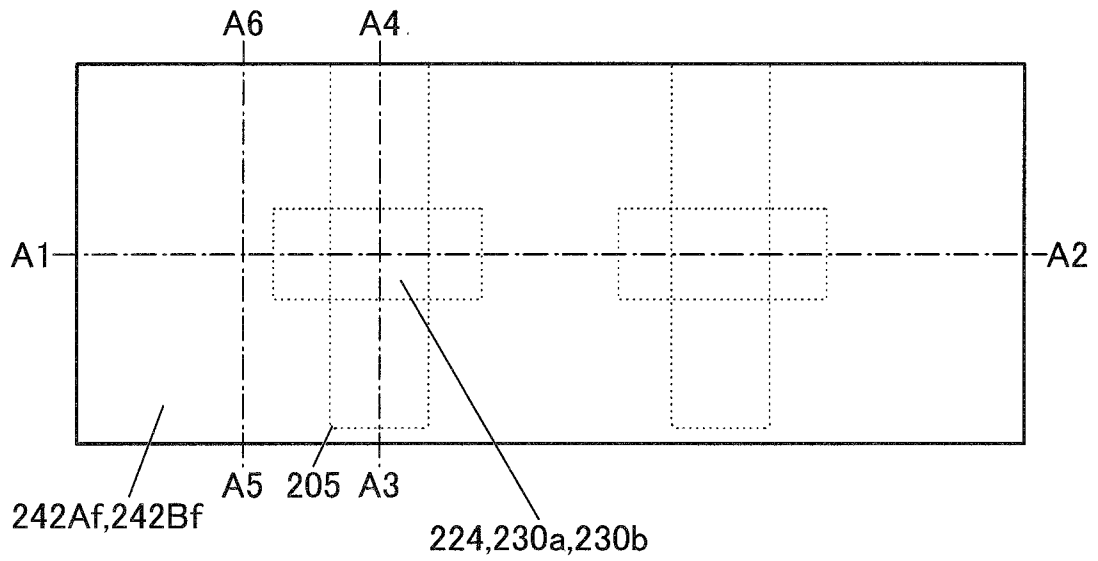
【圖27B】



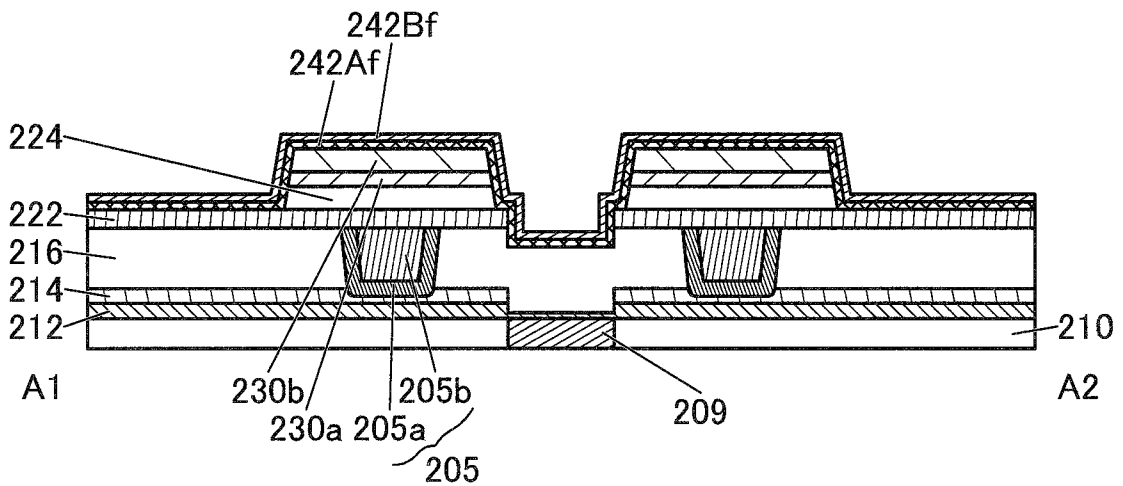
【圖27C】



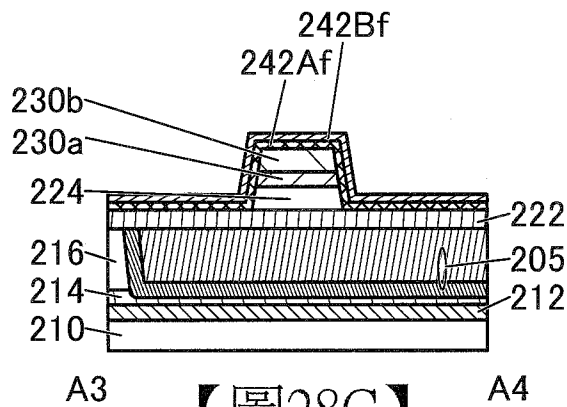
【圖27D】



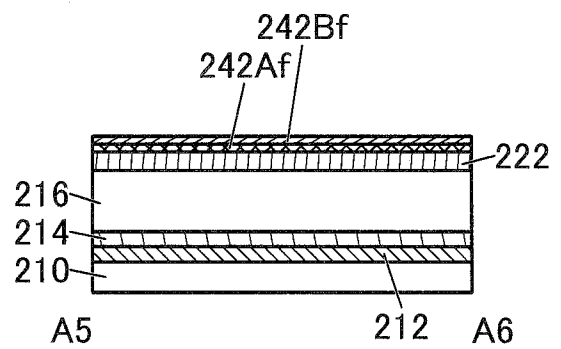
【圖28A】



【圖28B】

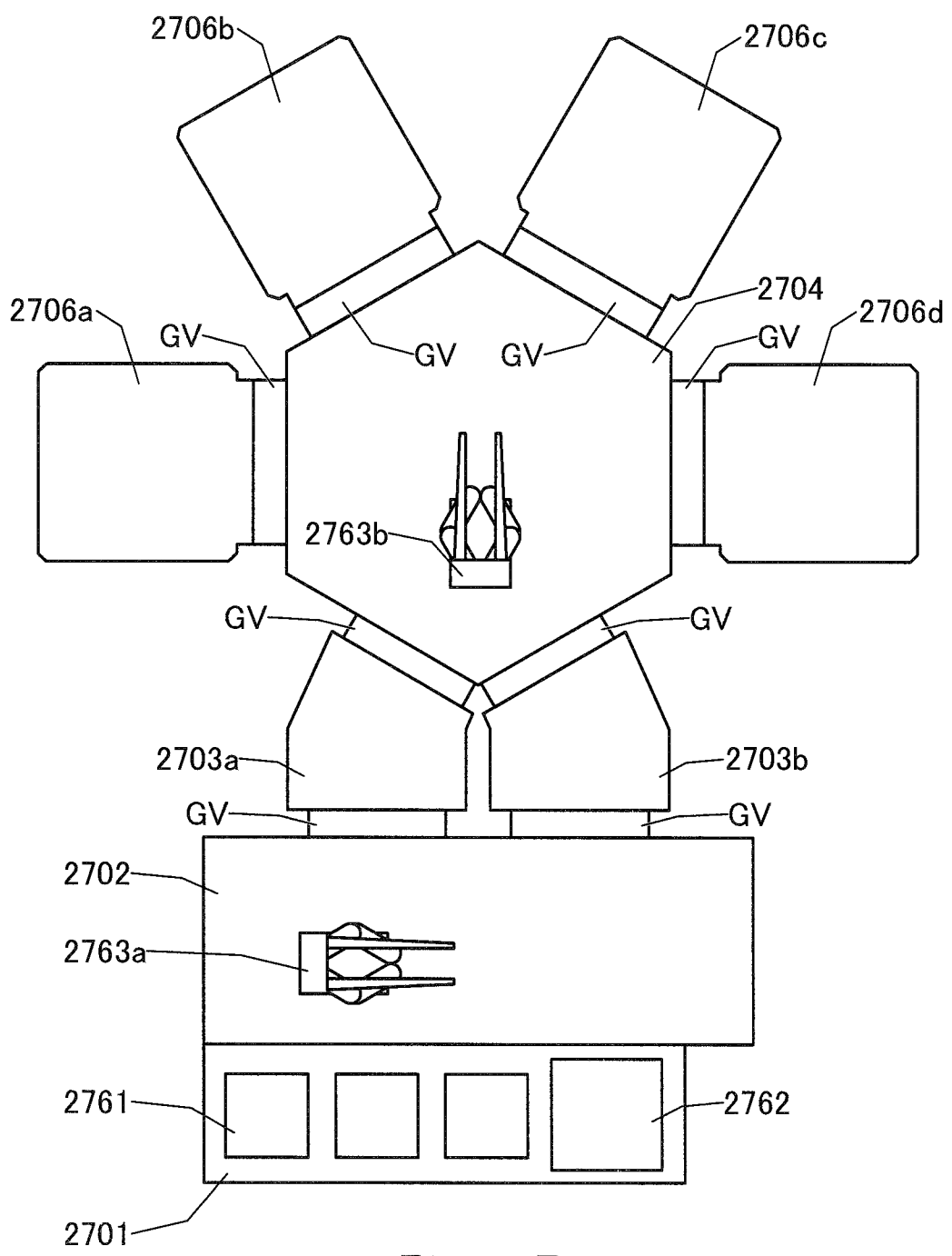


【圖28C】

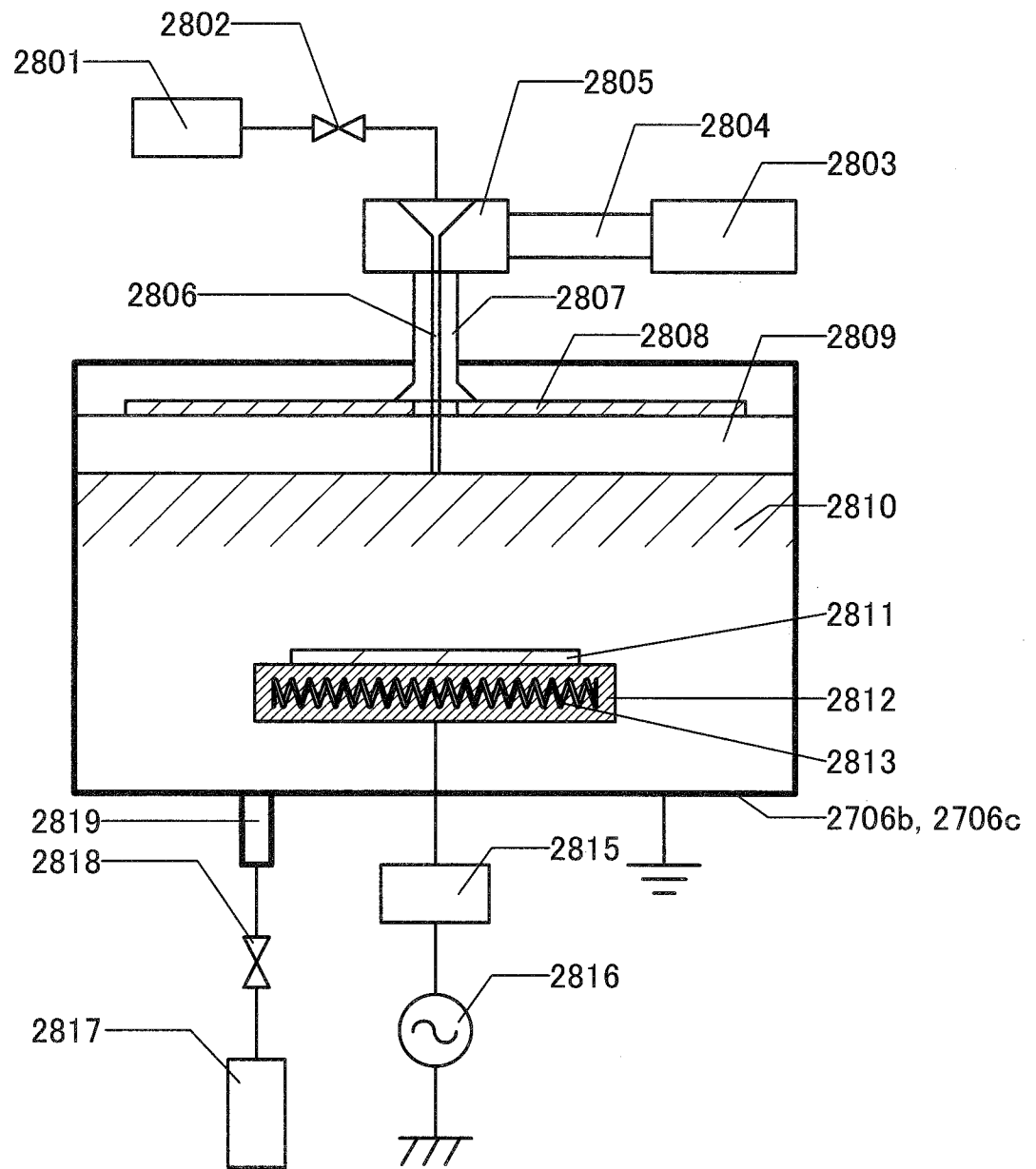


【圖28D】

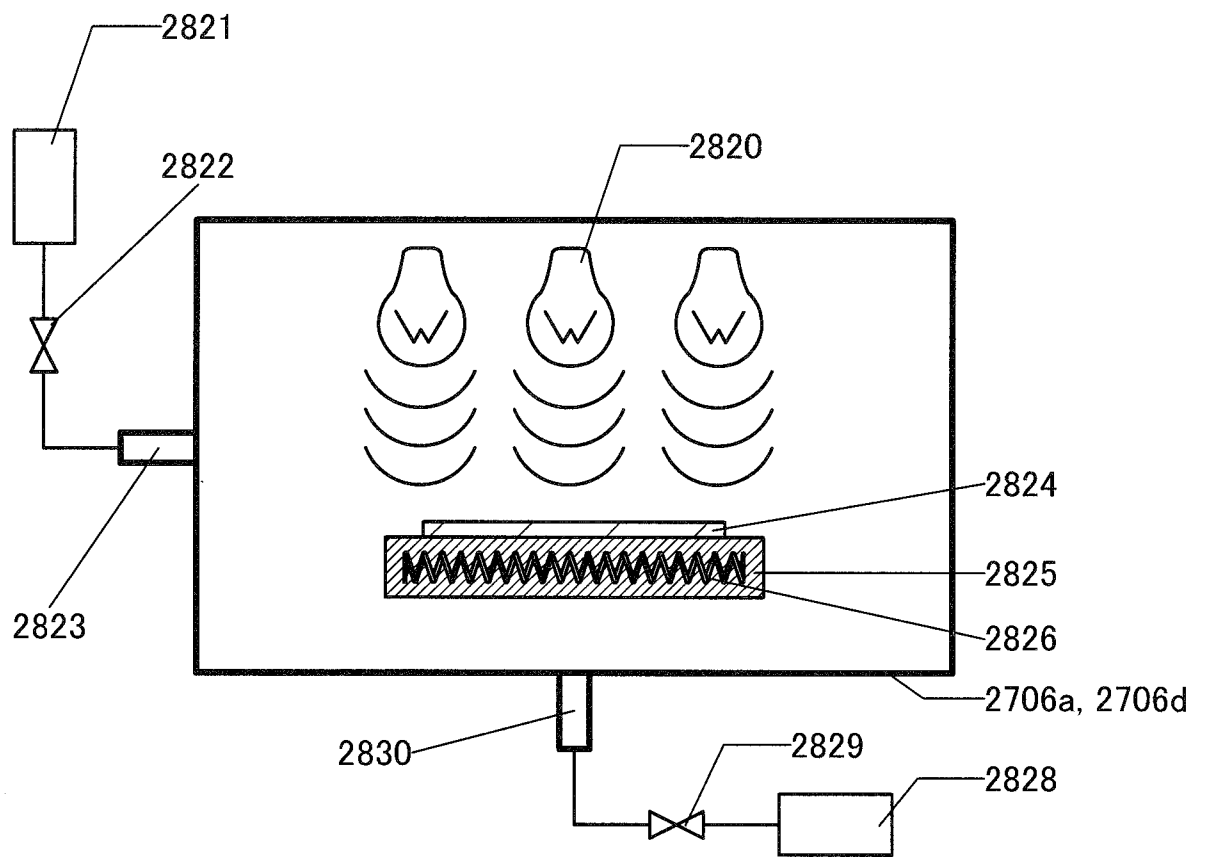
2700



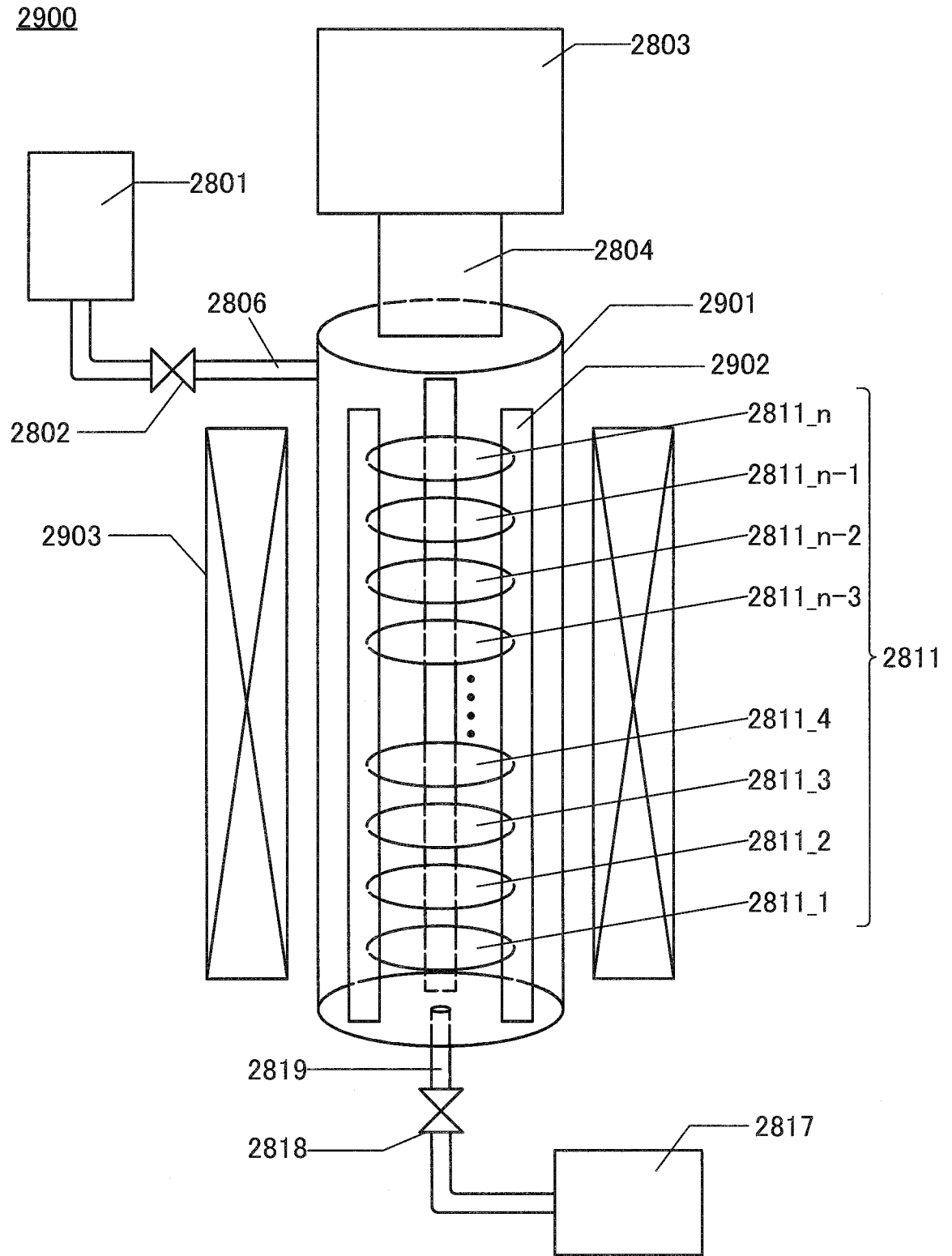
【圖29】



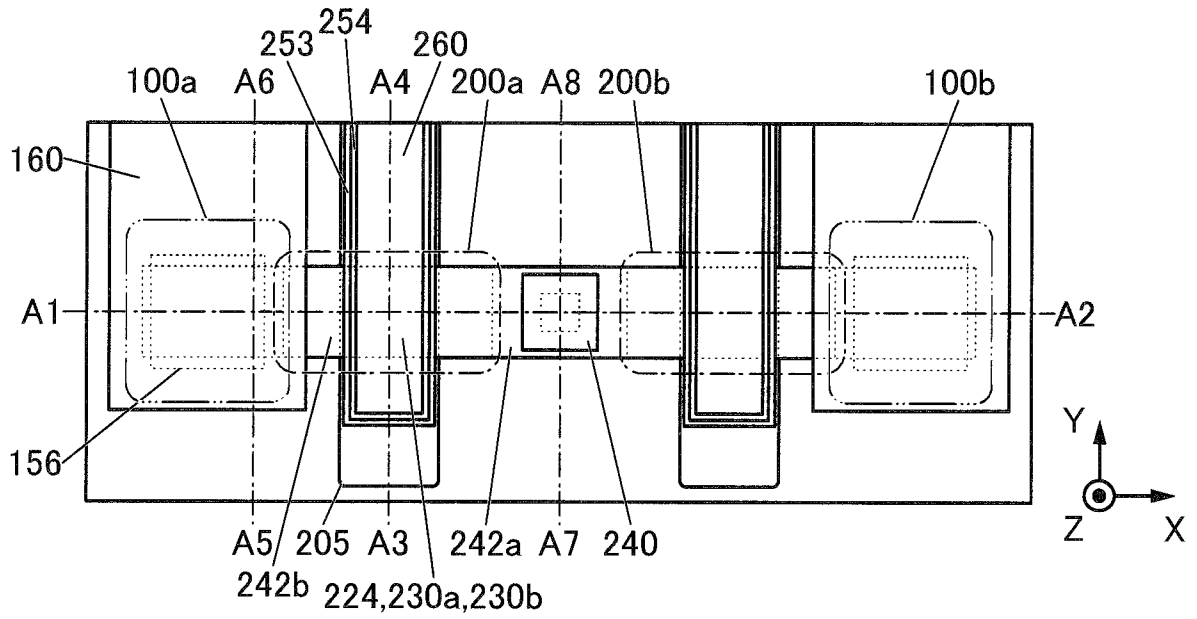
【圖30】



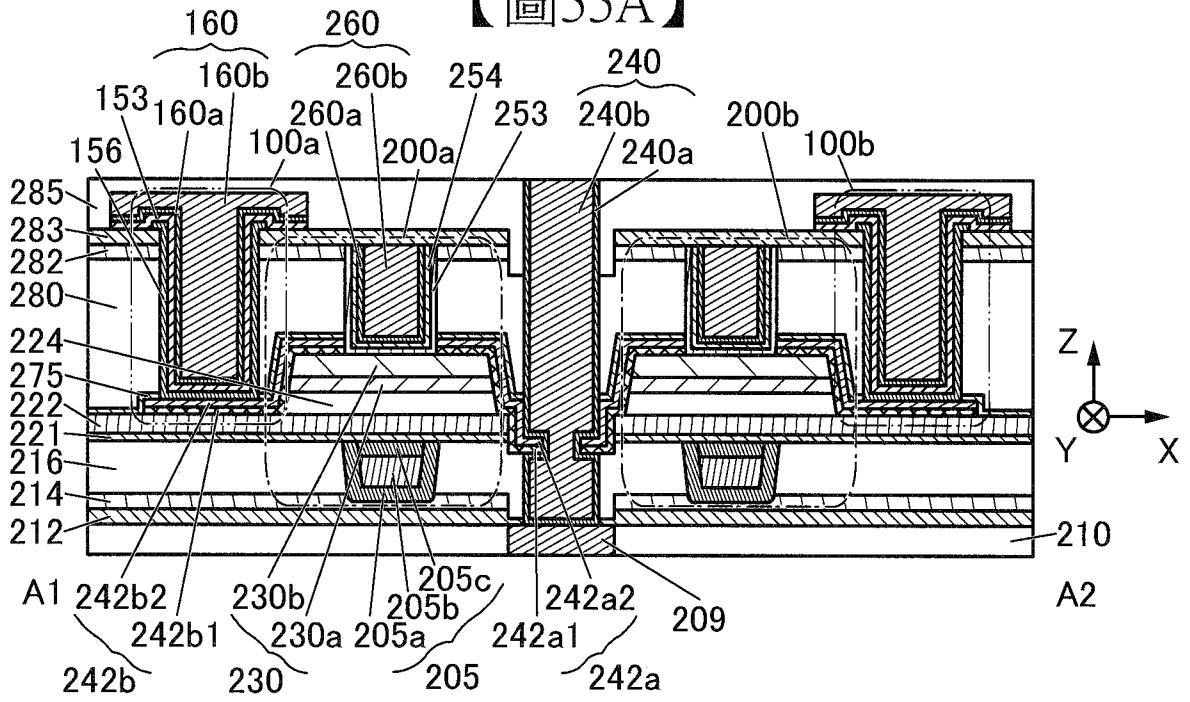
【圖31】



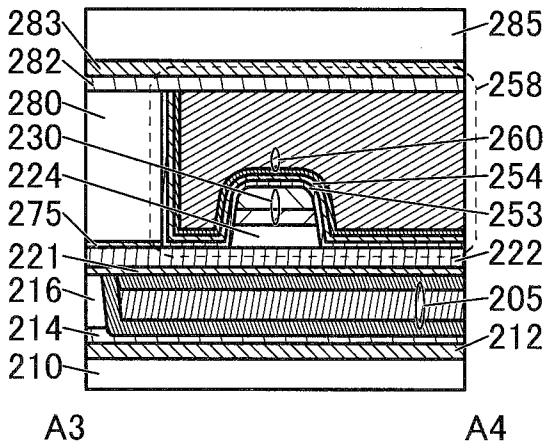
【圖32】



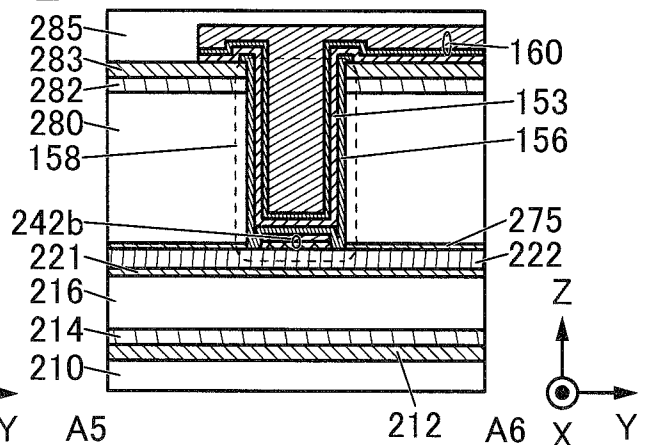
【圖33A】



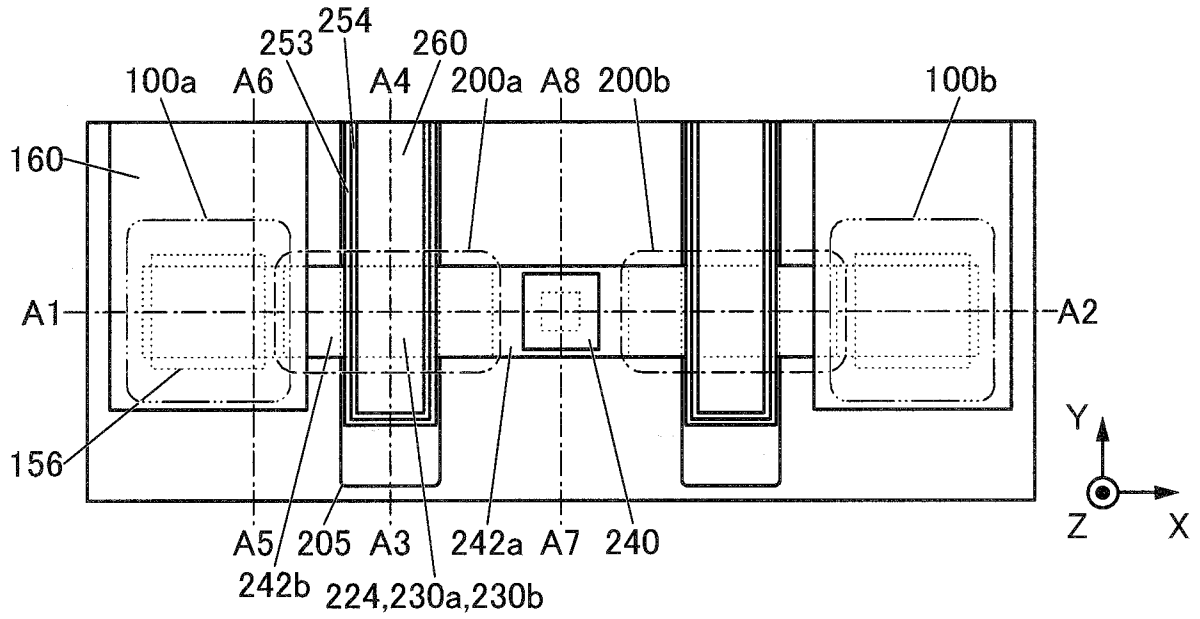
【圖33B】



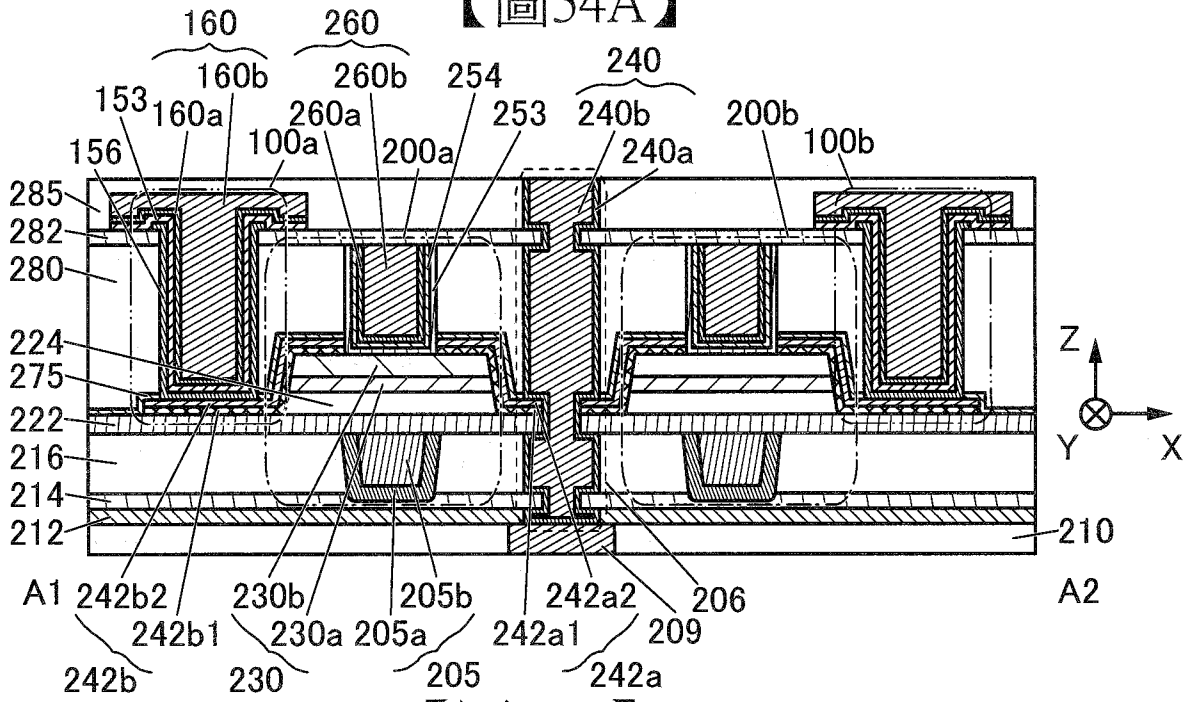
【圖33C】



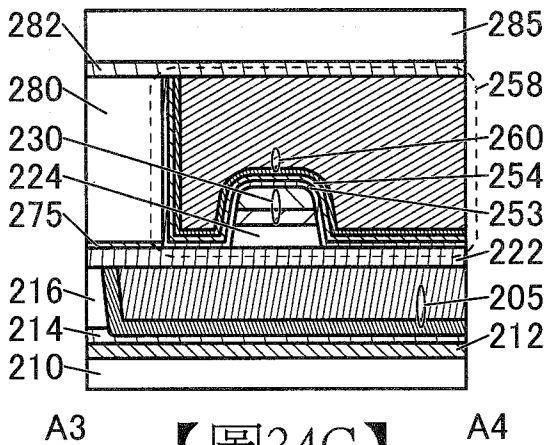
【圖33D】



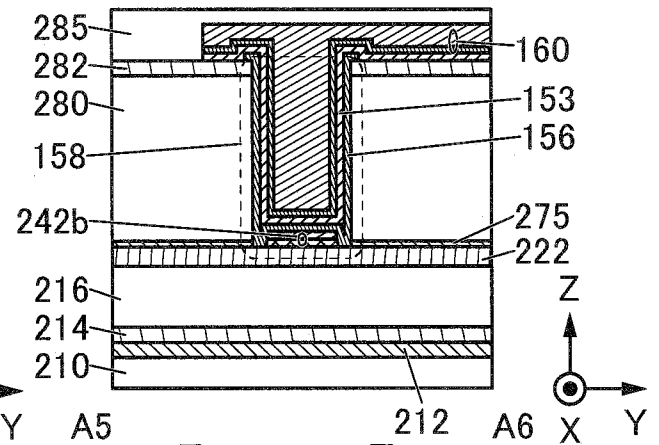
【圖34A】



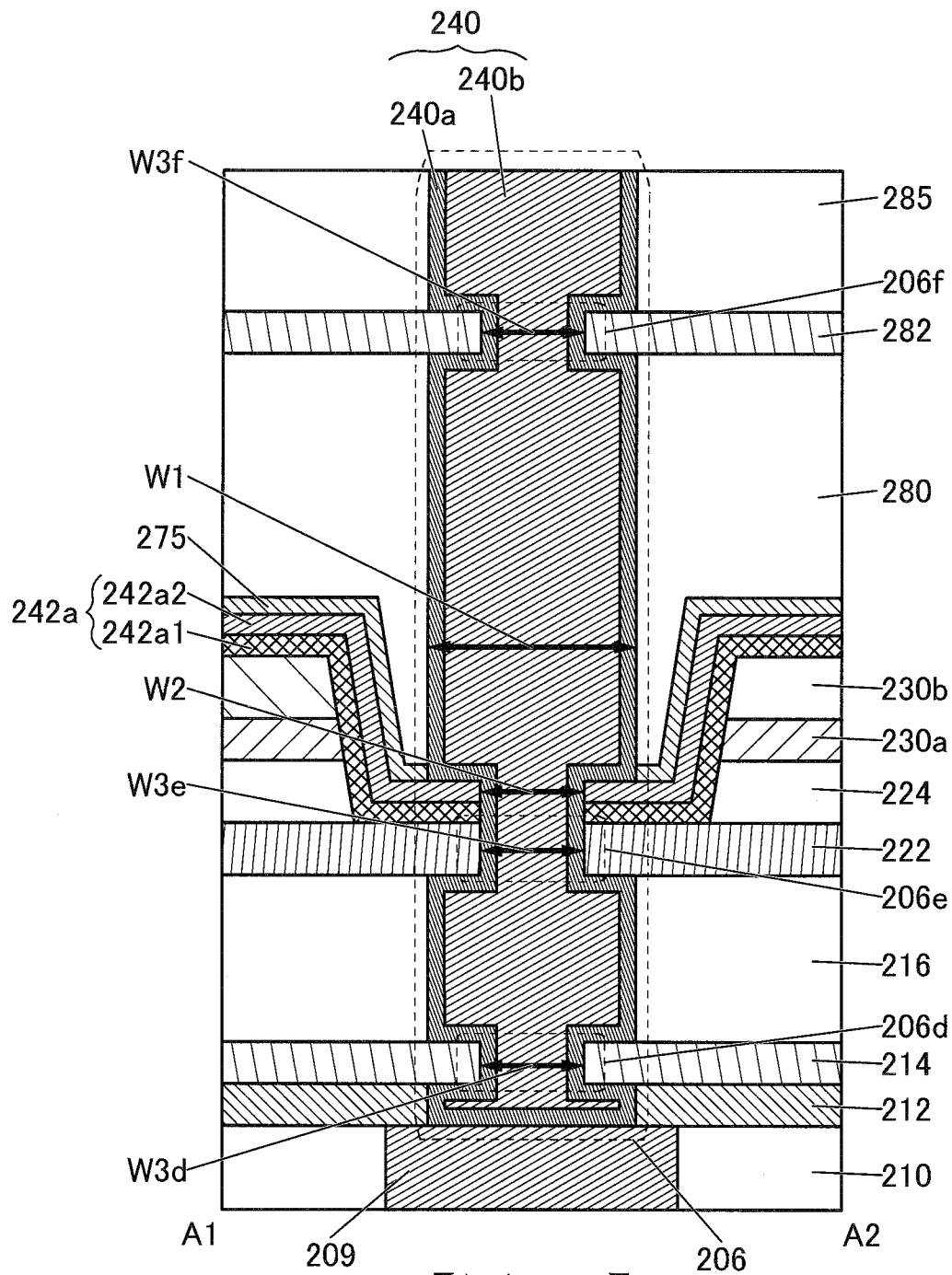
【圖34B】



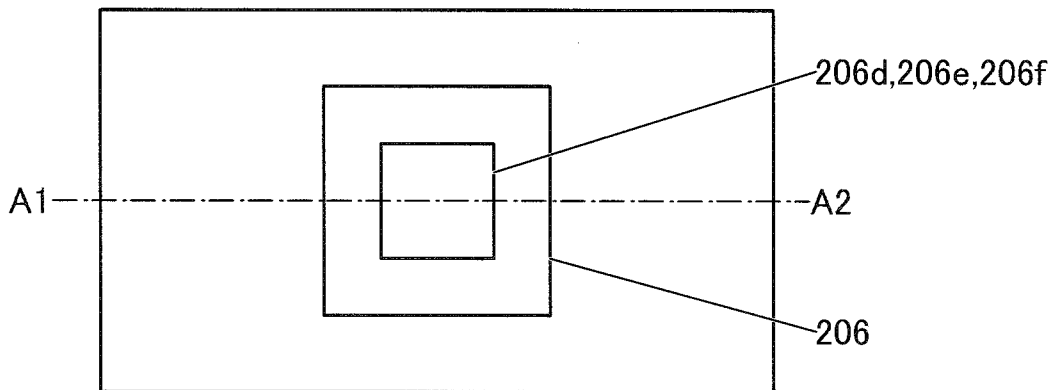
【圖34C】



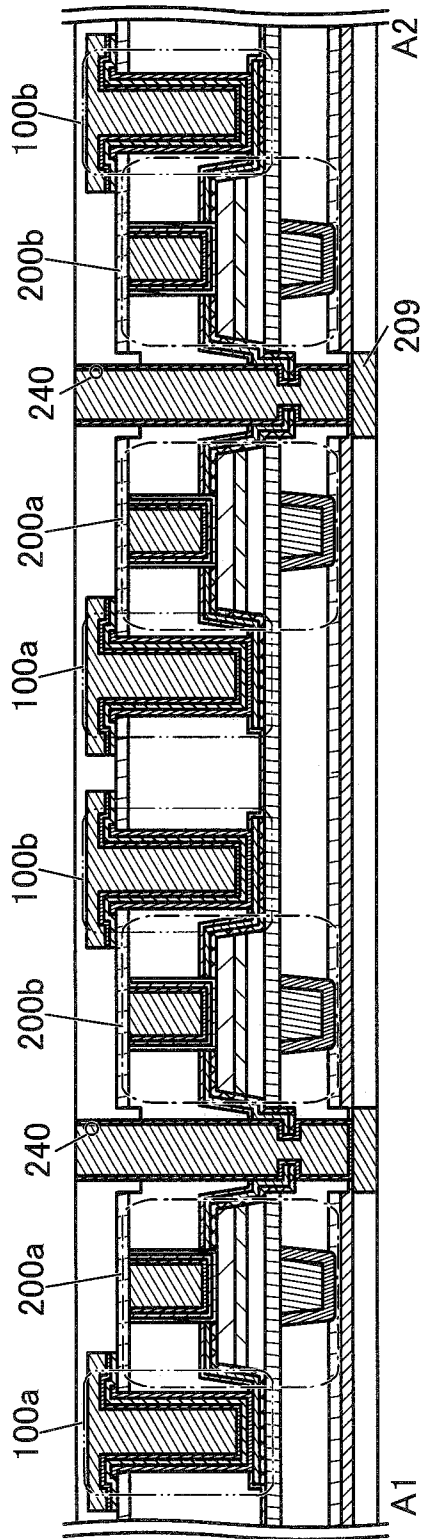
【圖34D】



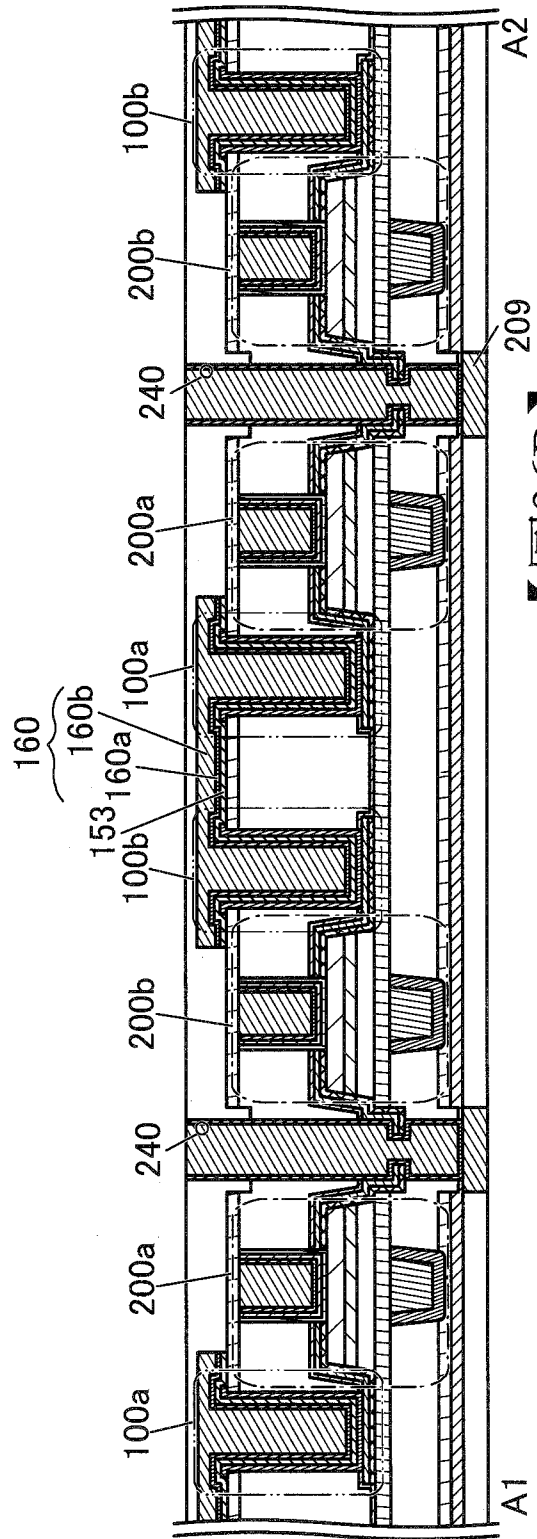
【圖35A】



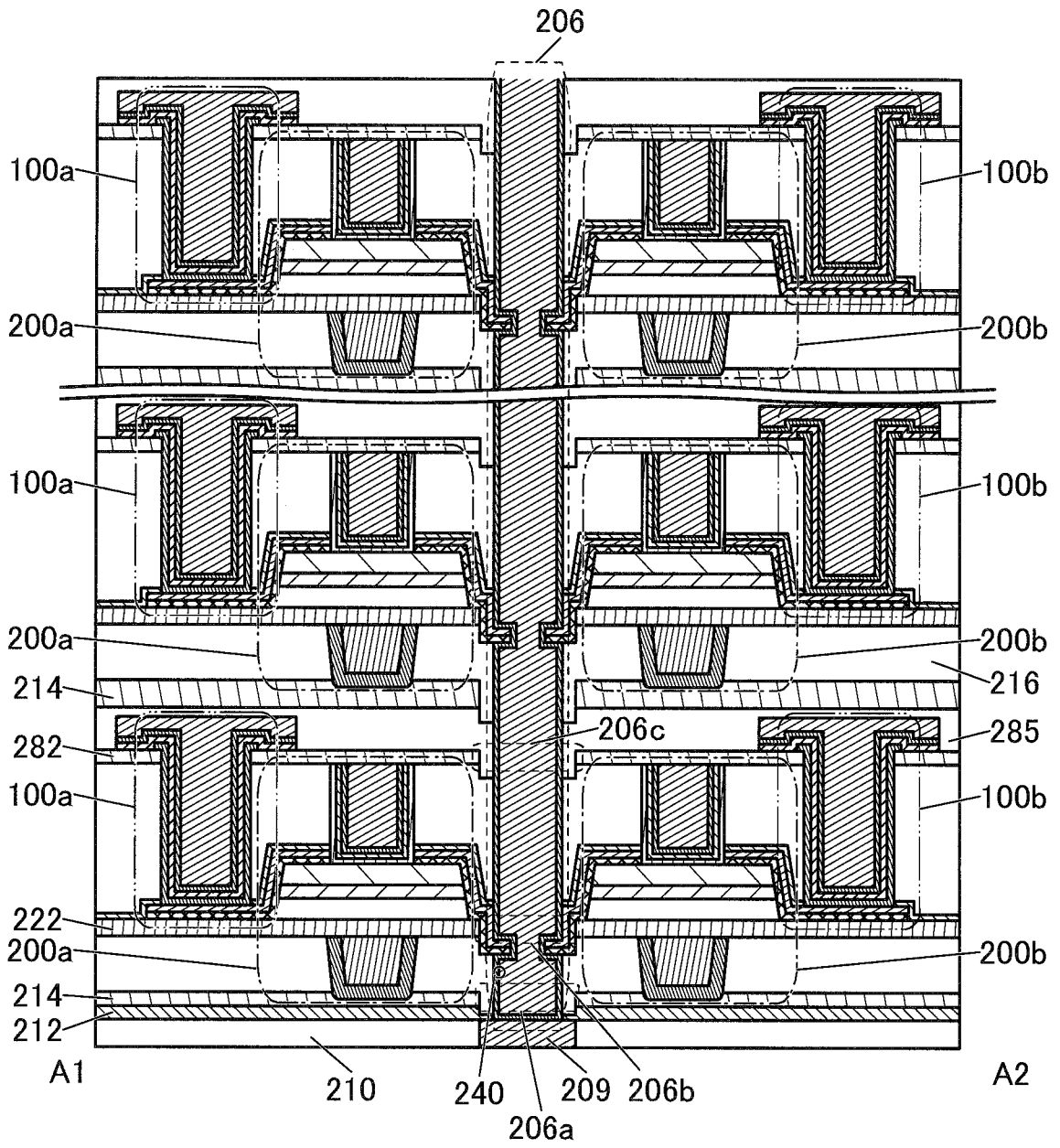
【圖35B】



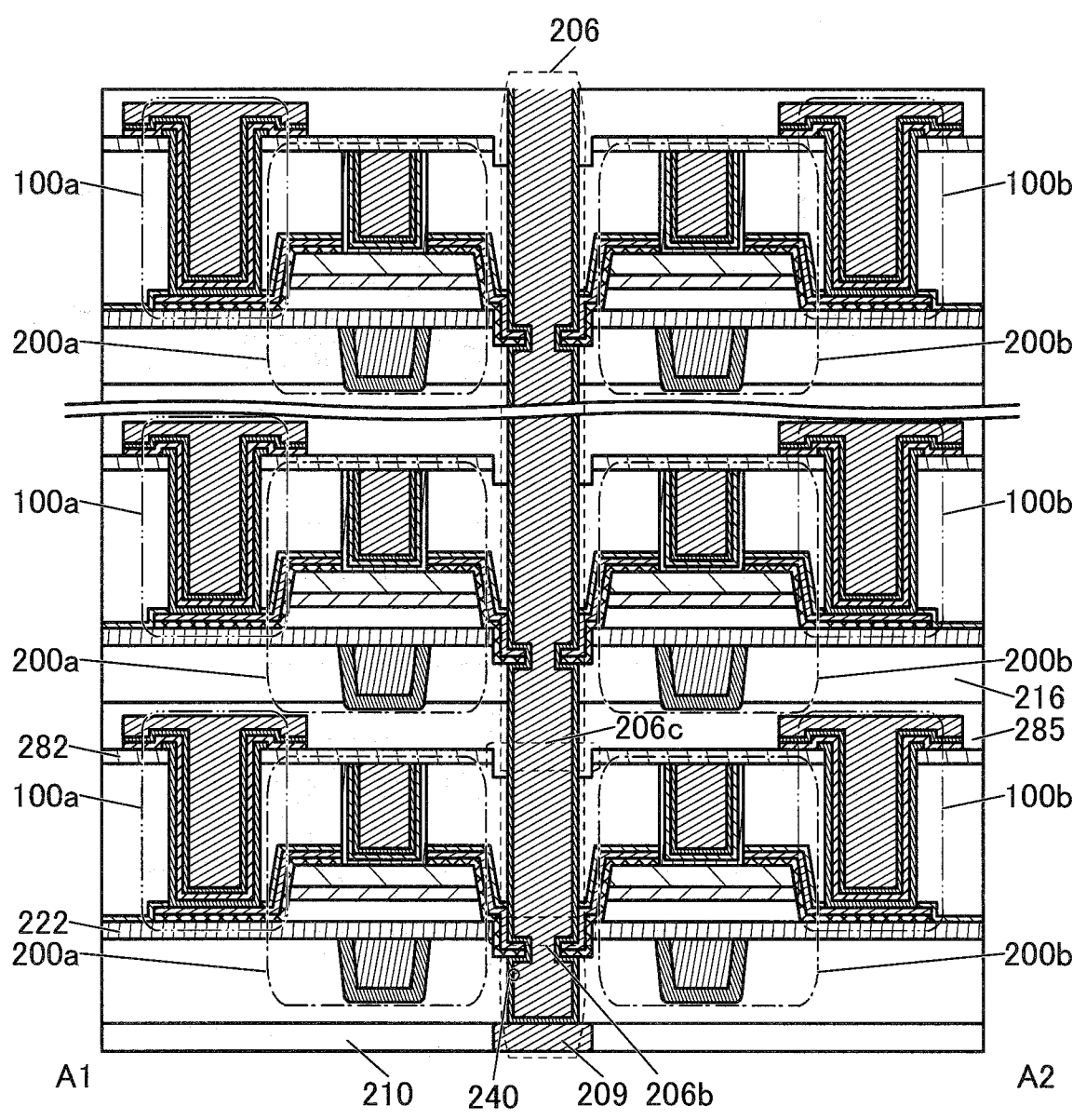
【圖36A】



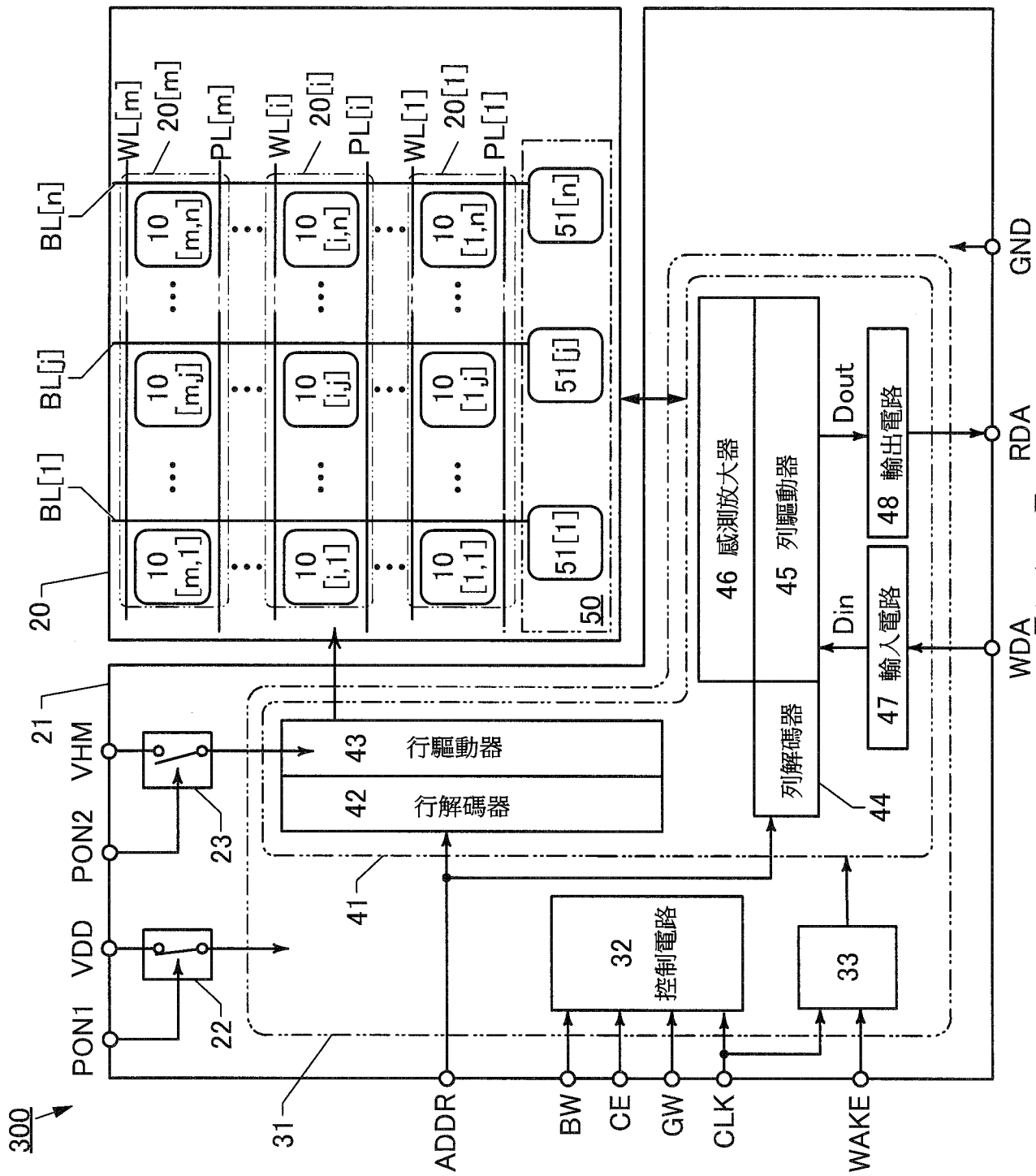
【圖36B】



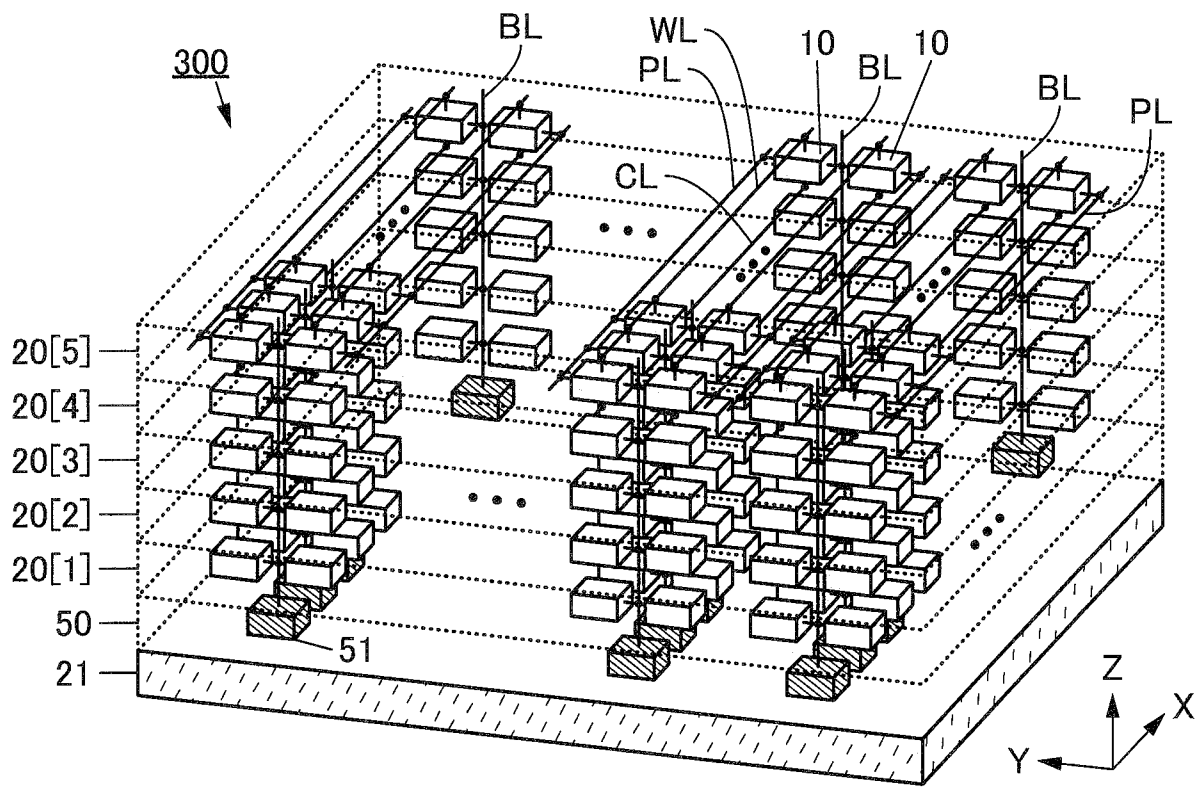
【圖37】



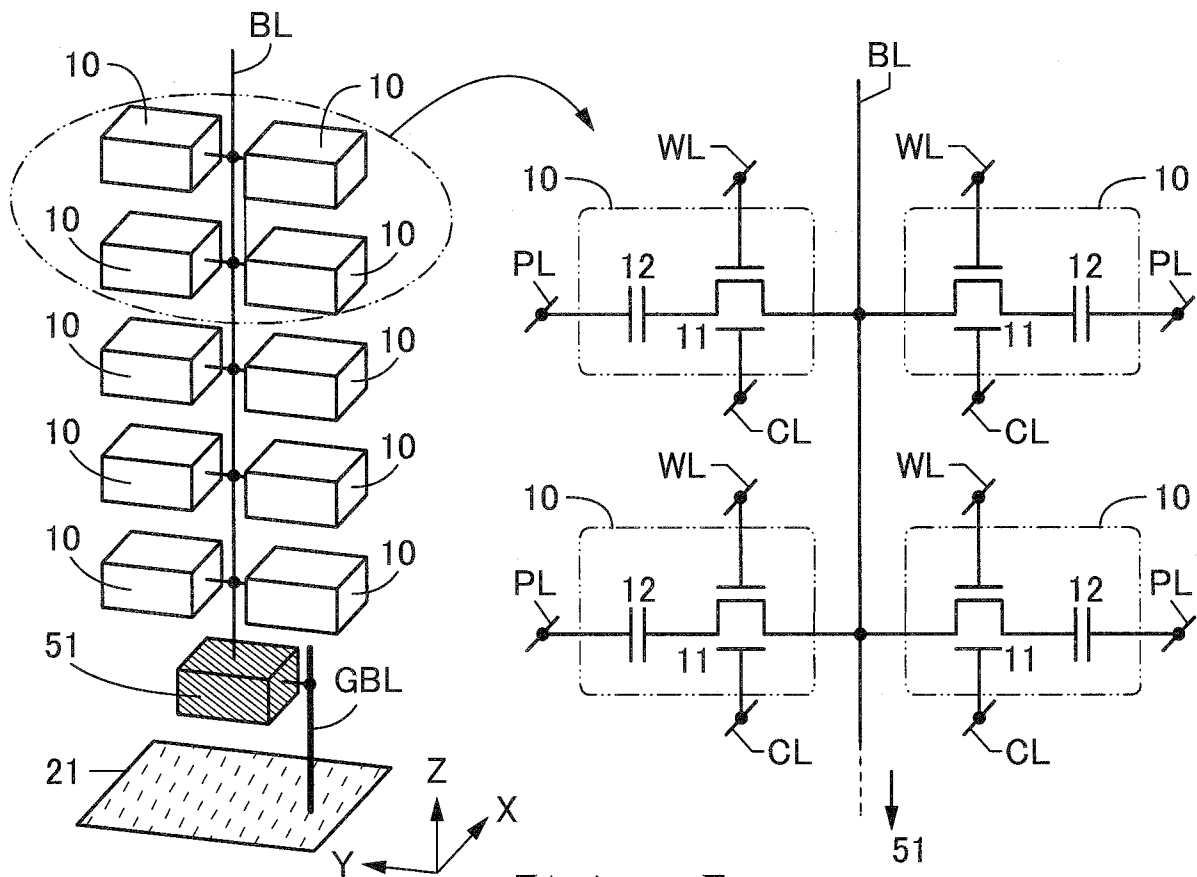
【圖38】



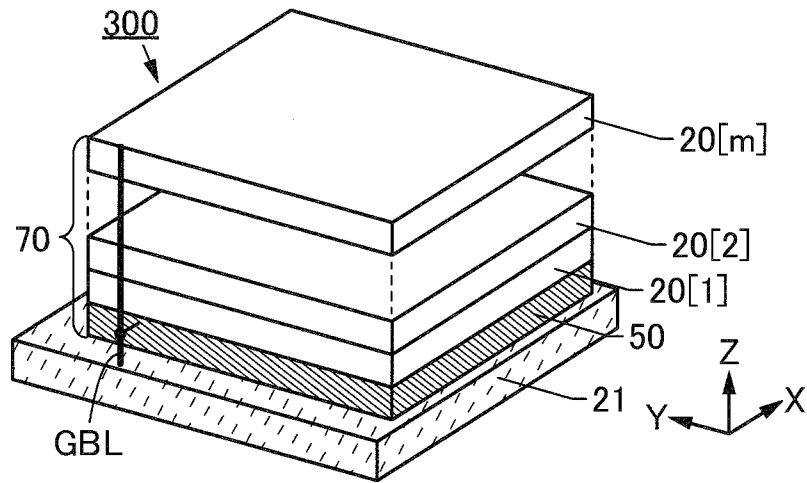
【圖39】



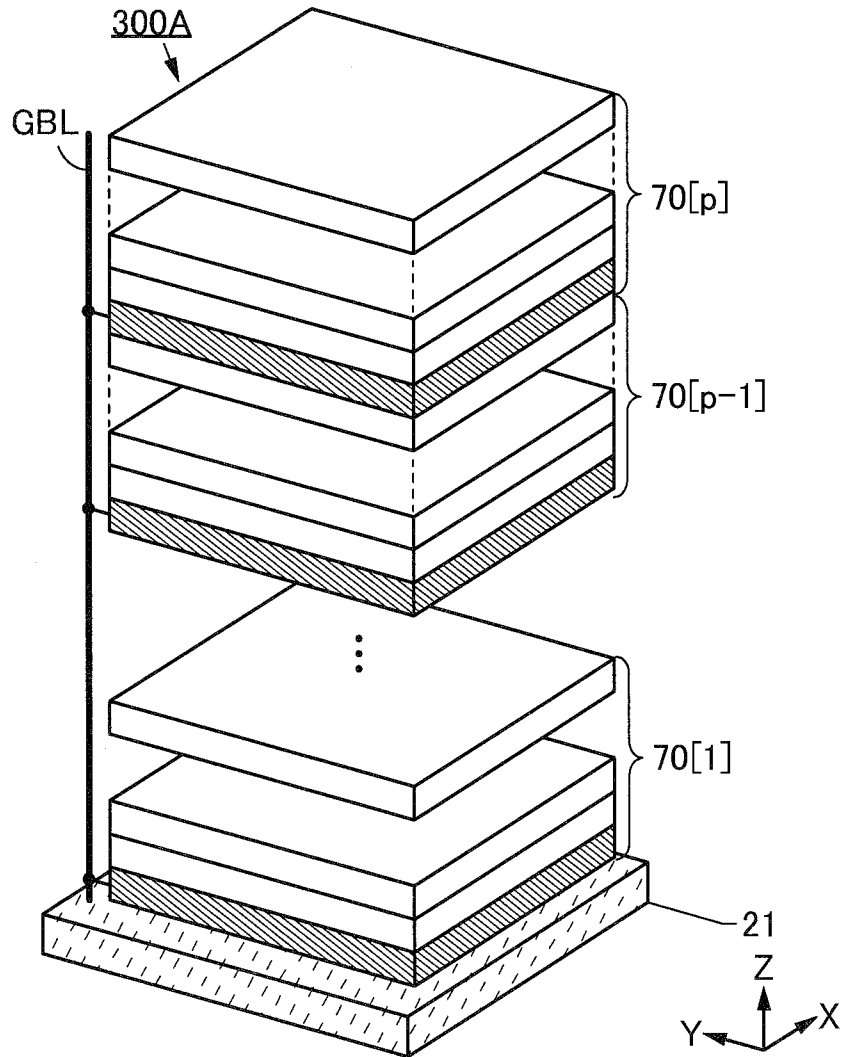
【圖40A】



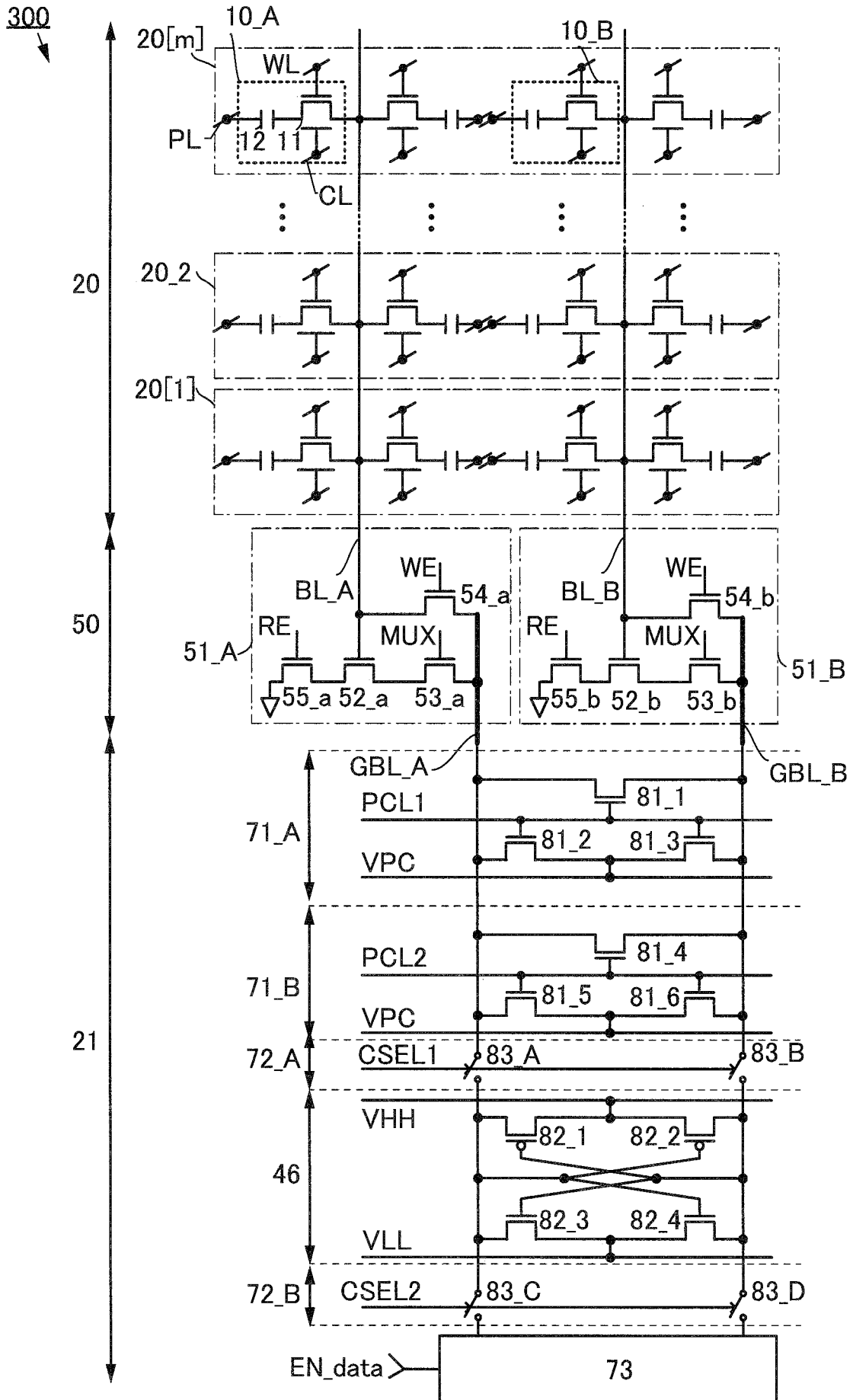
【圖40B】



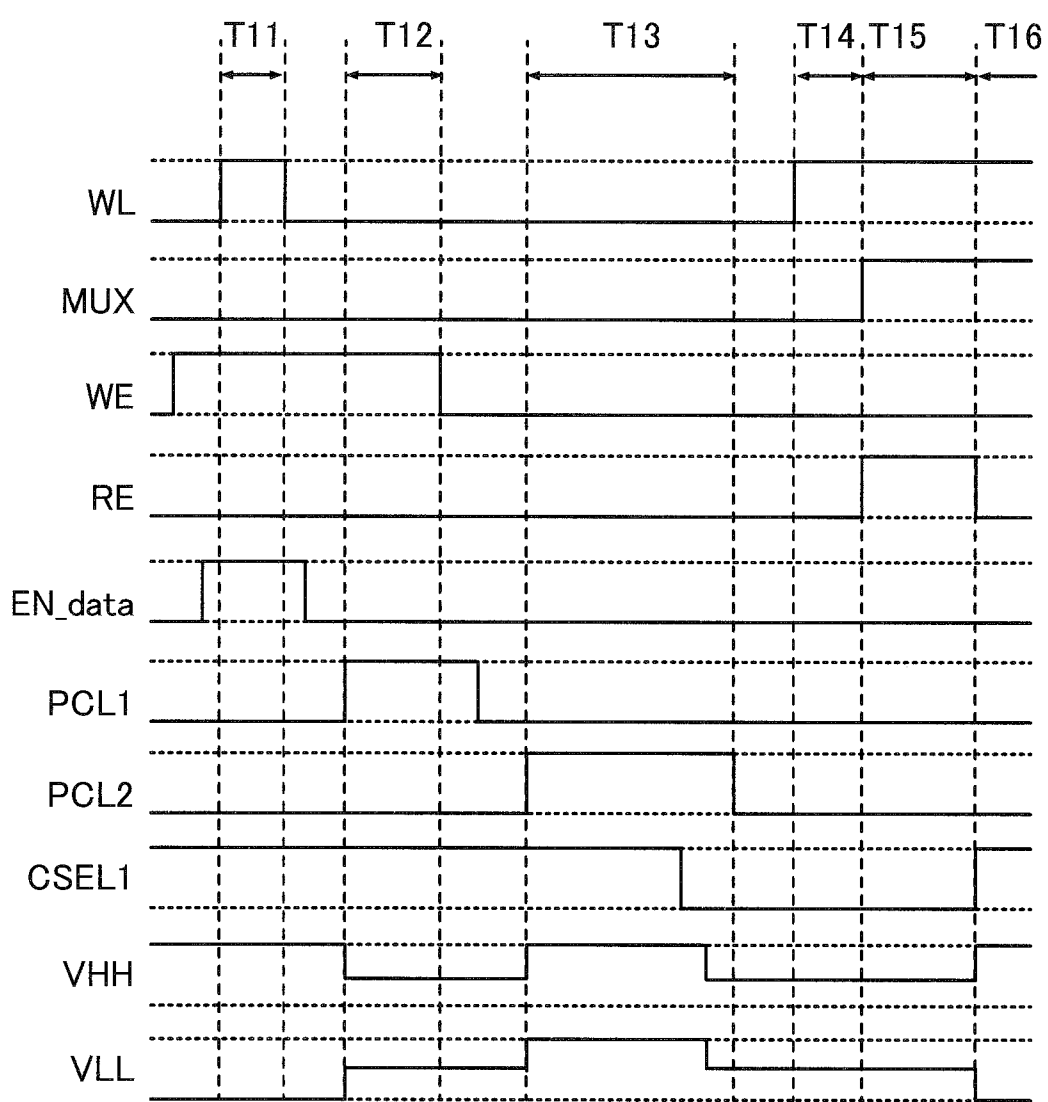
【圖41A】



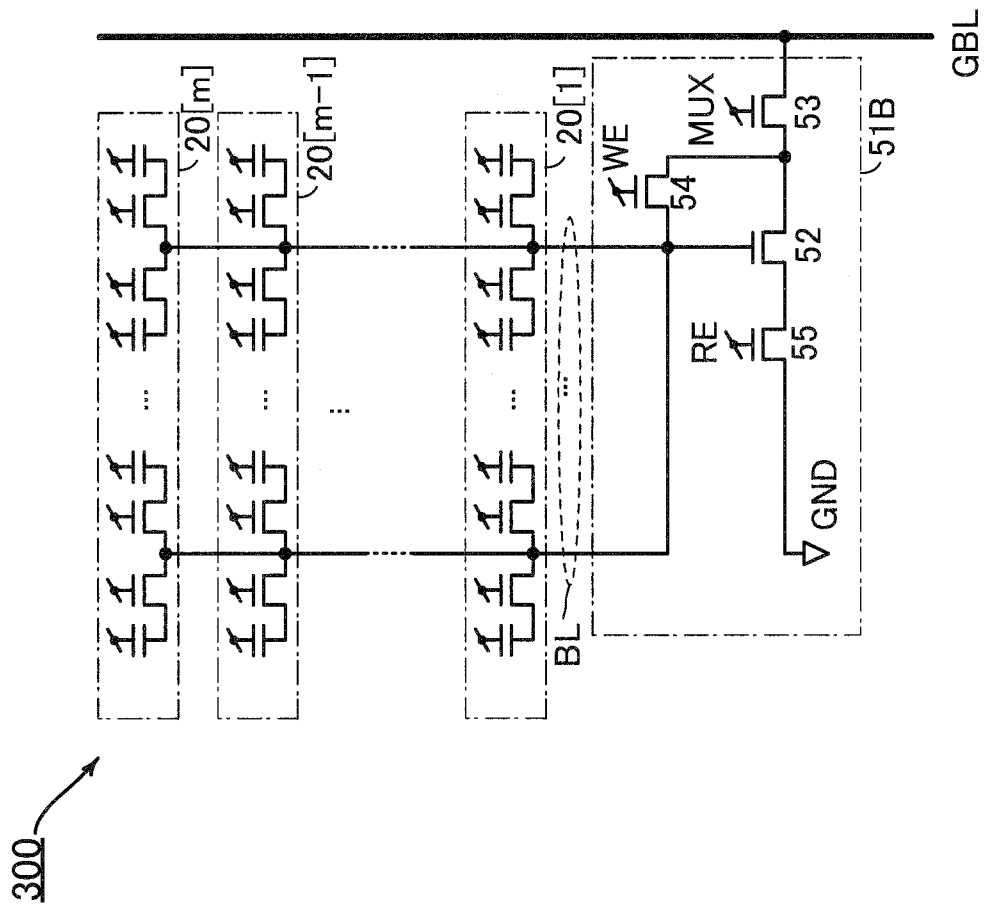
【圖41B】



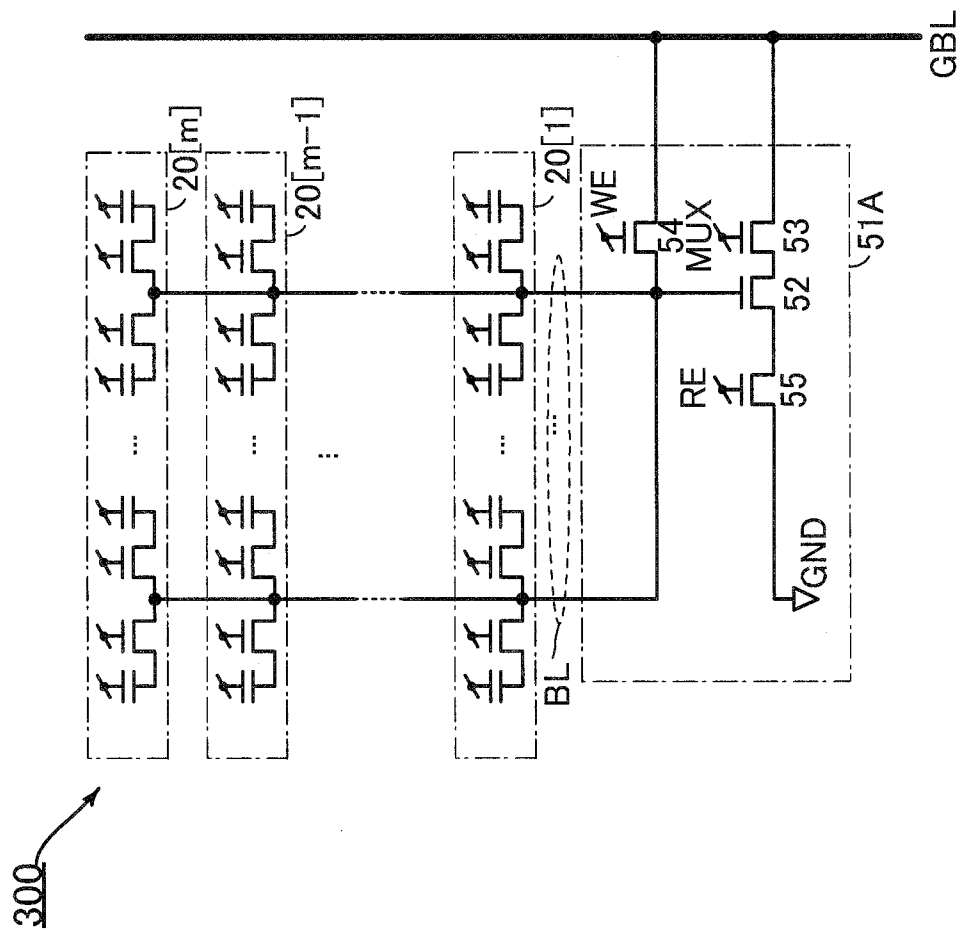
【圖42】



【圖43】

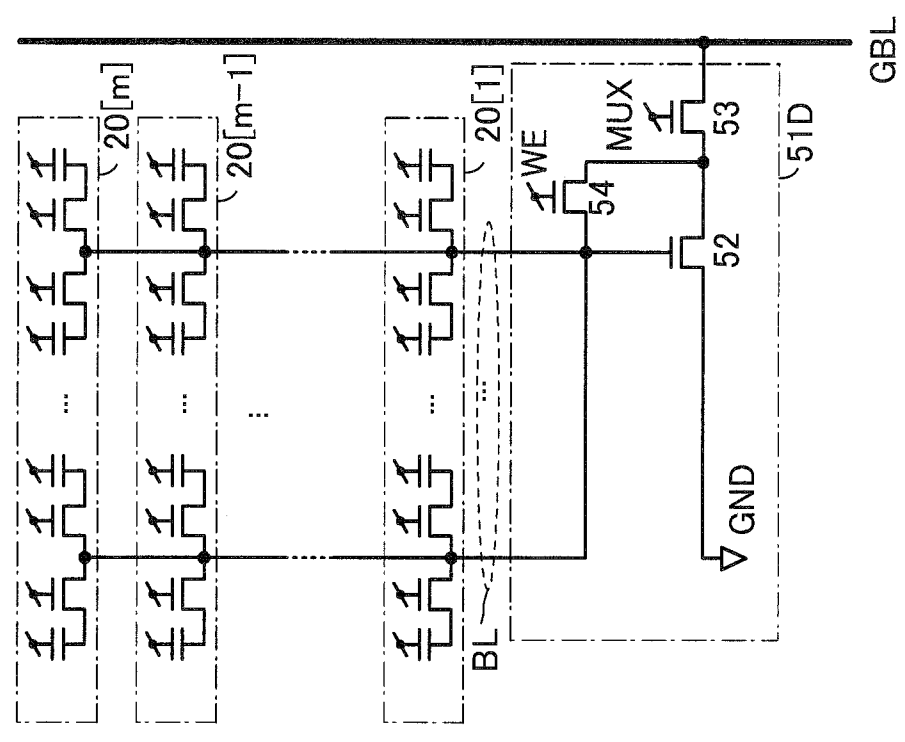


【圖44B】



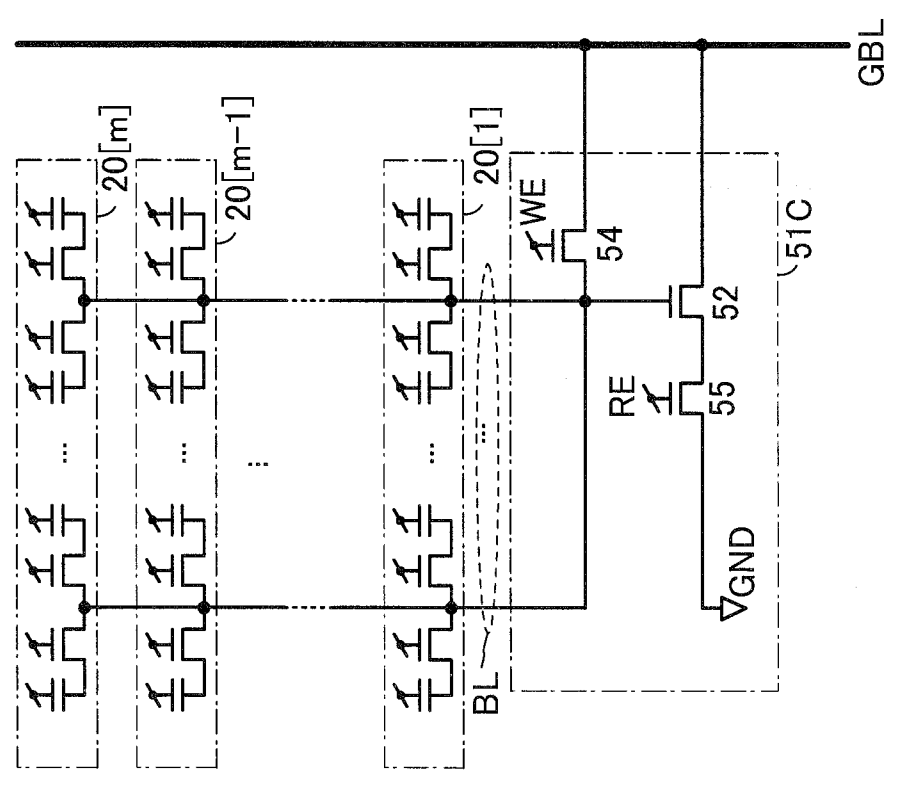
【圖44A】

300

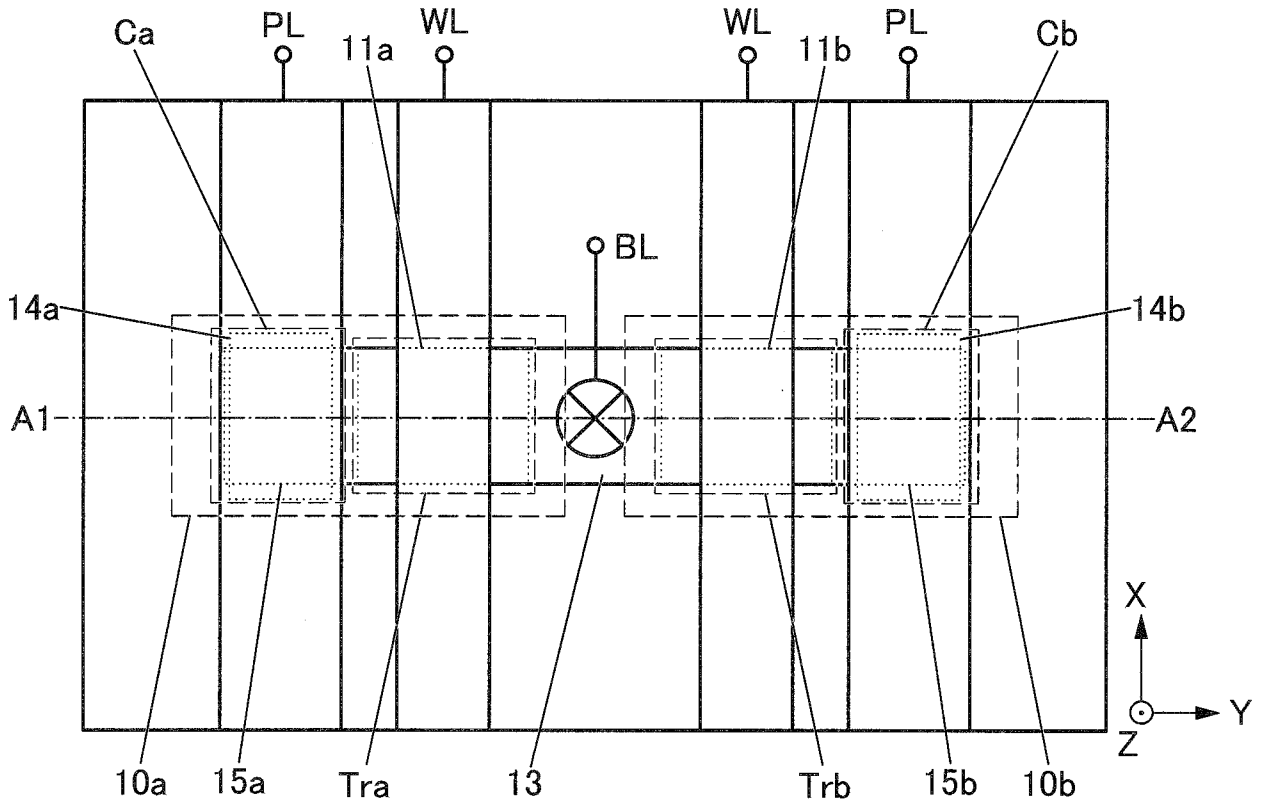


【圖45B】

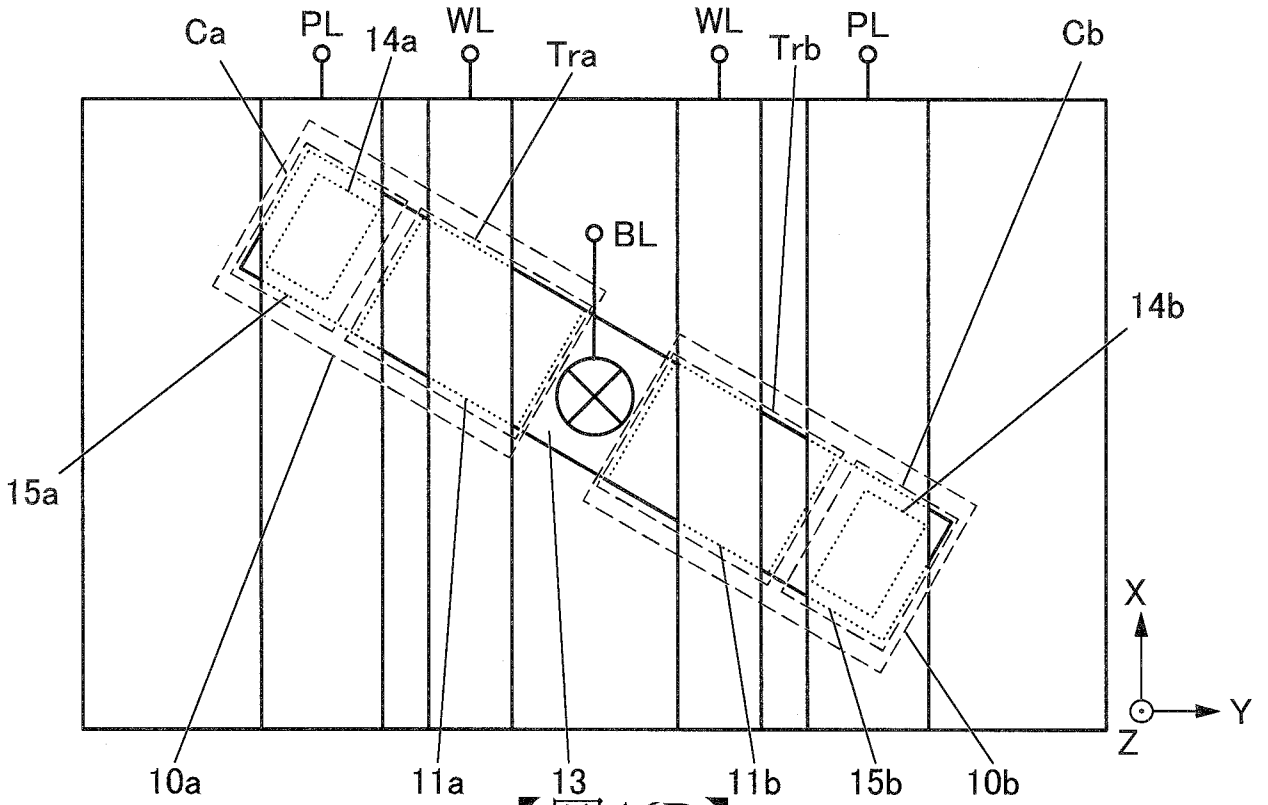
300



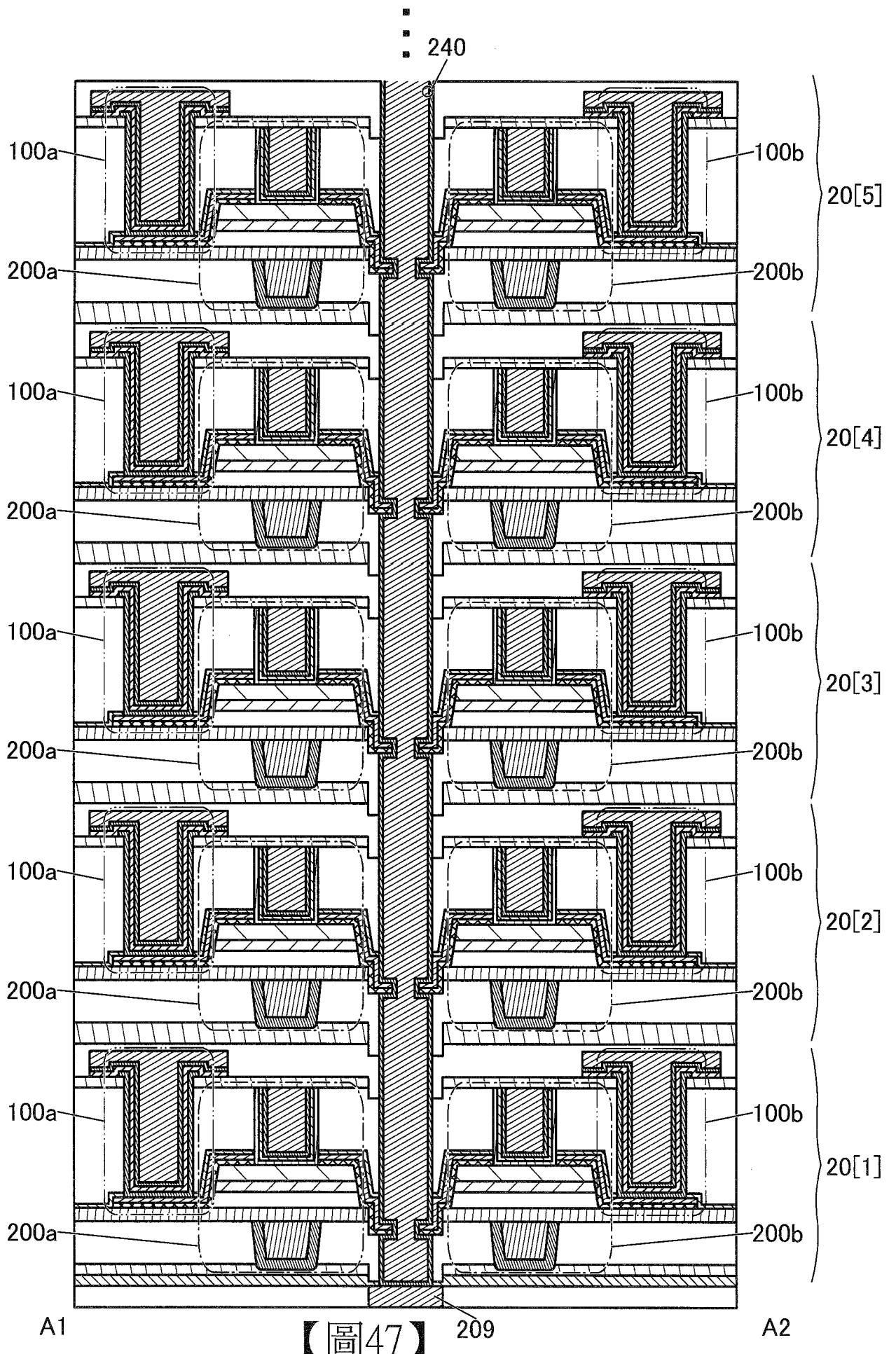
【圖45A】



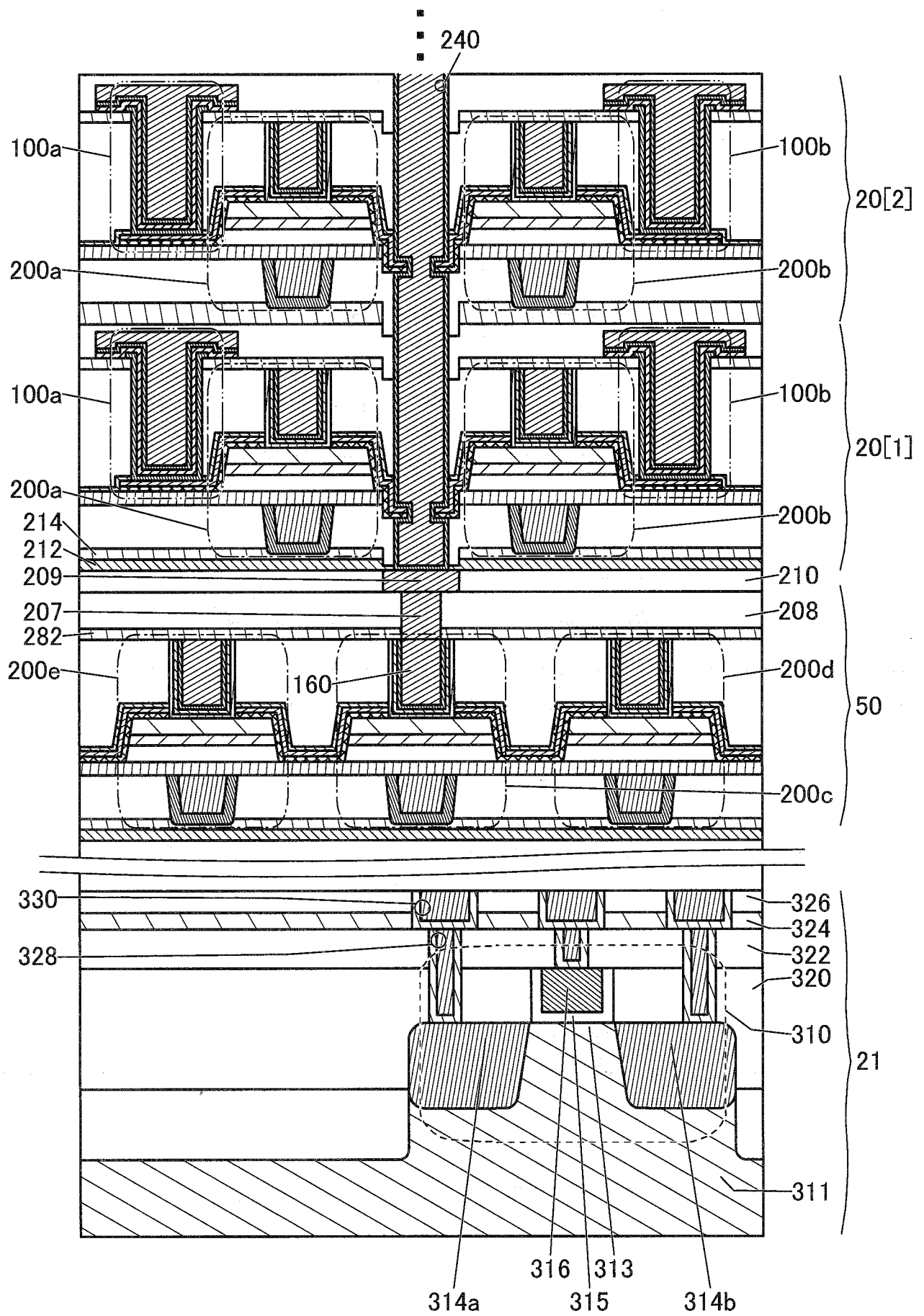
【圖46A】



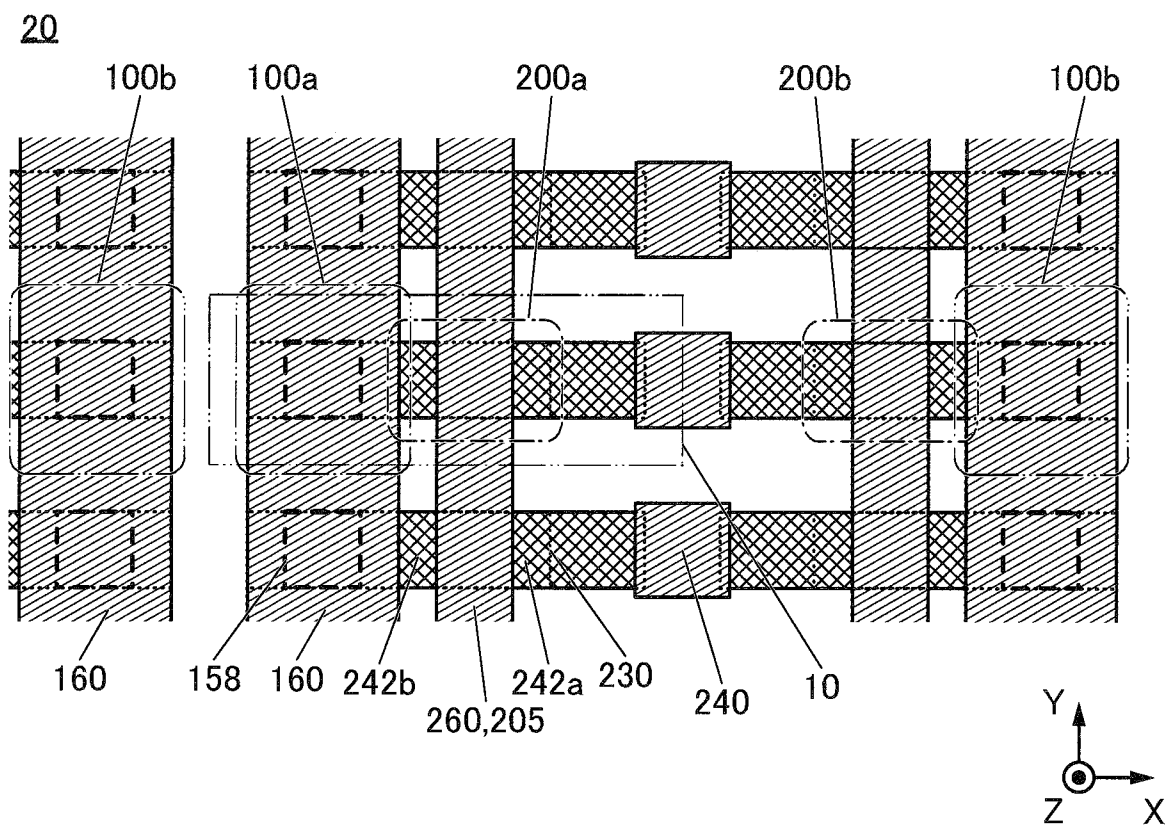
【圖46B】



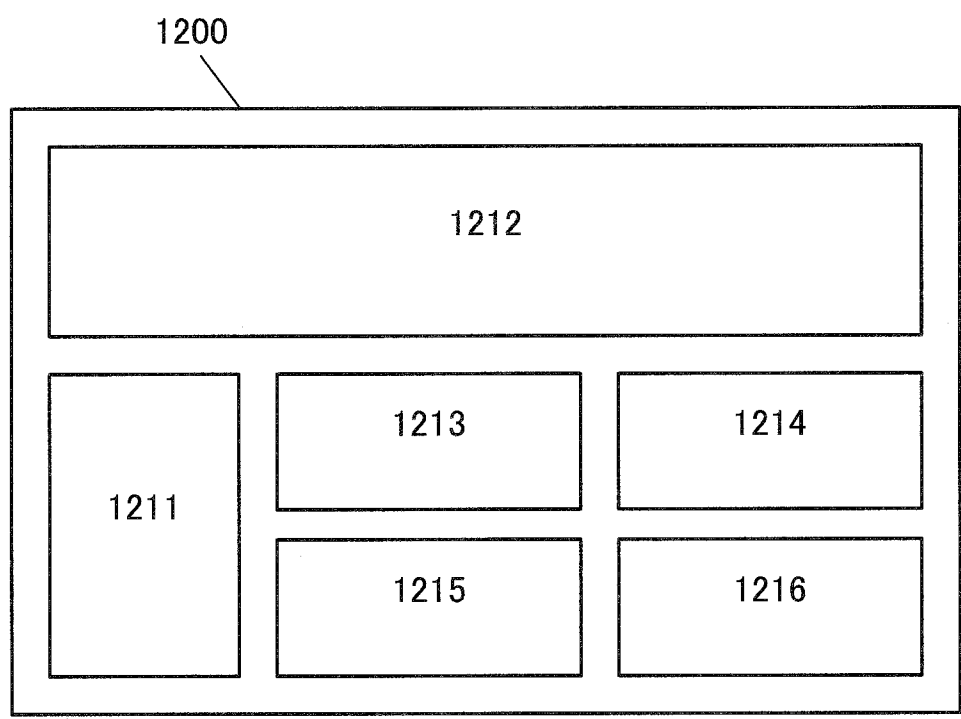
【圖47】



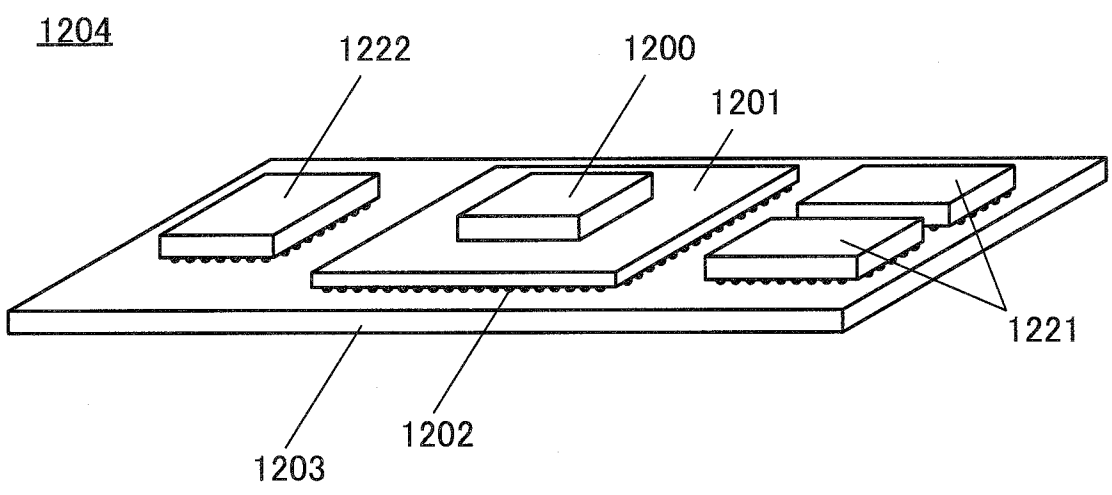
【圖48】



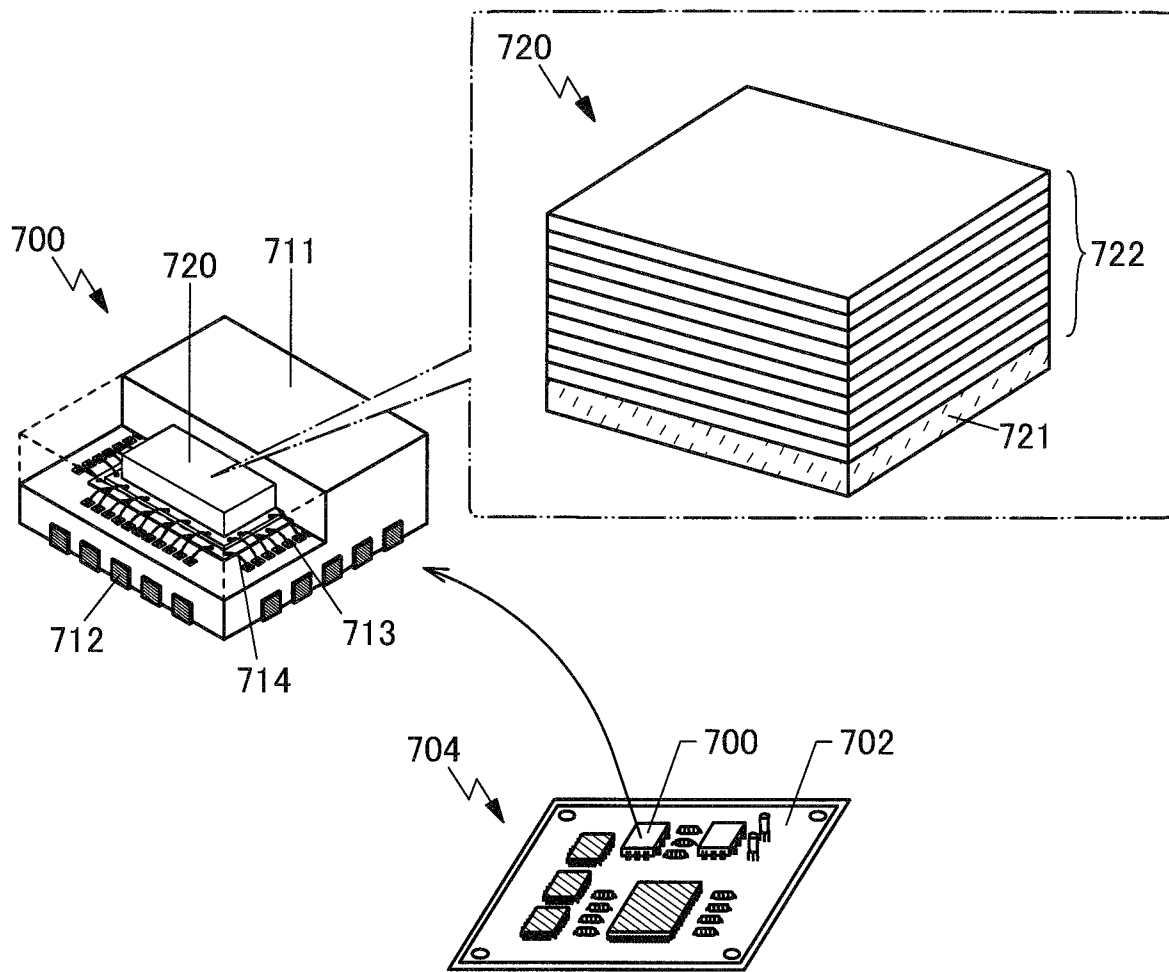
【圖49】



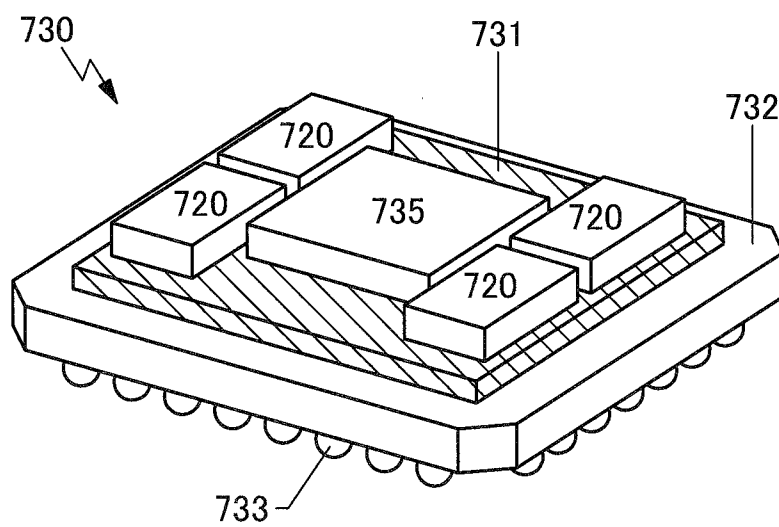
【圖50A】



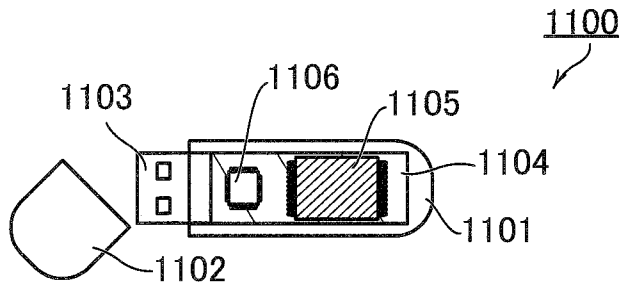
【圖50B】



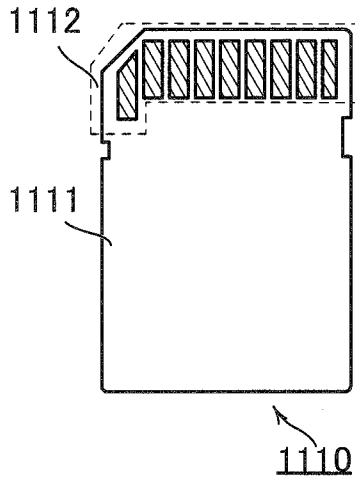
【圖51A】



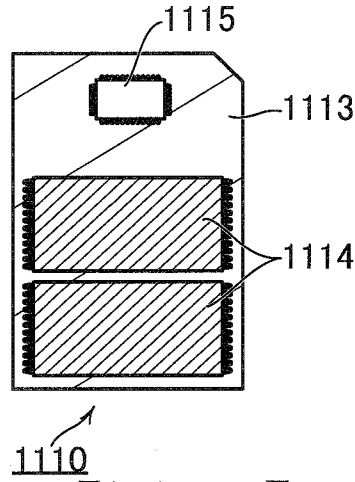
【圖51B】



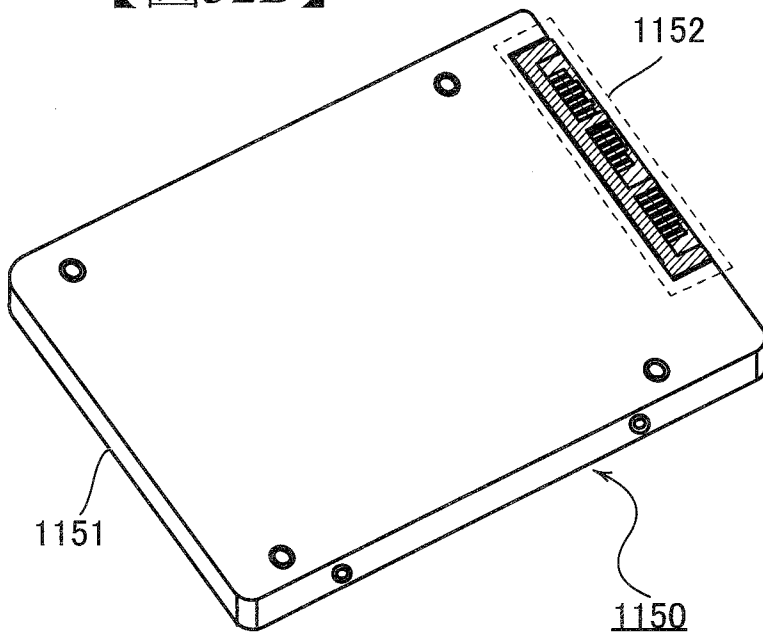
【圖52A】



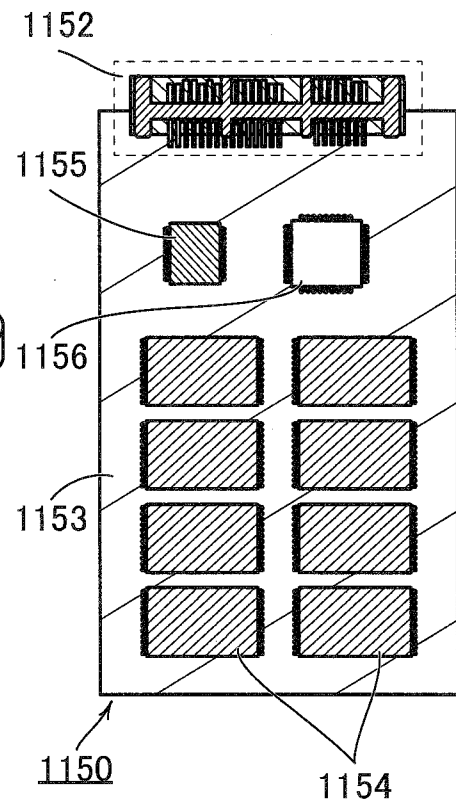
【圖52B】



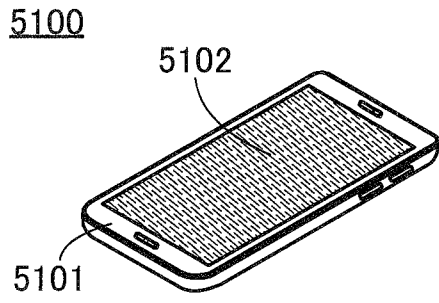
【圖52C】



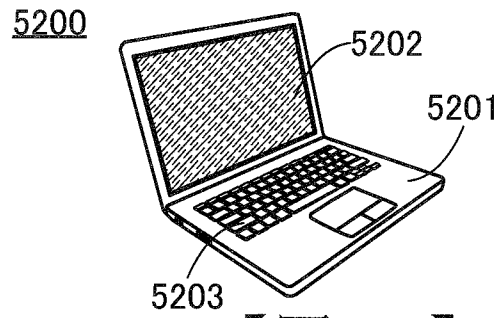
【圖52D】



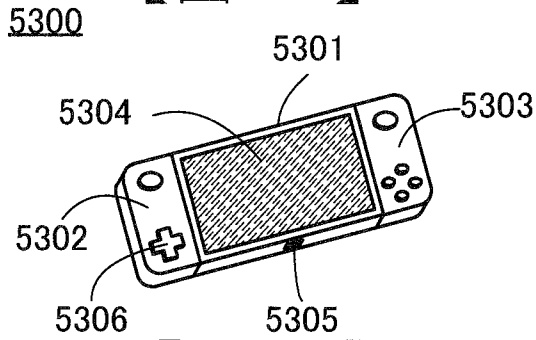
【圖52E】



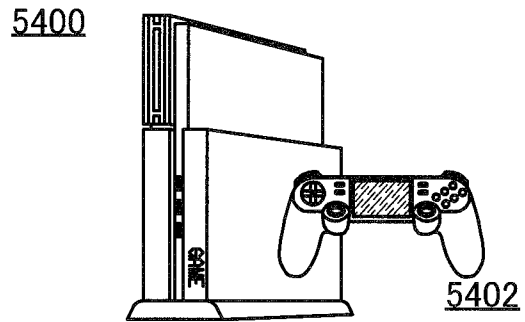
【圖53A】



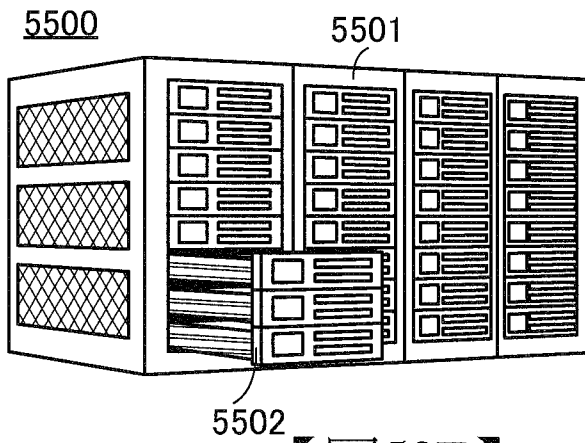
【圖53B】



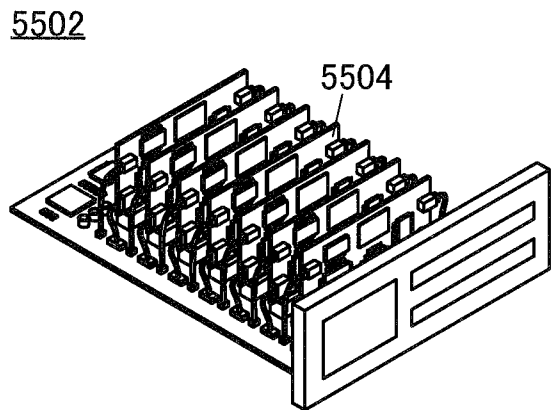
【圖53C】



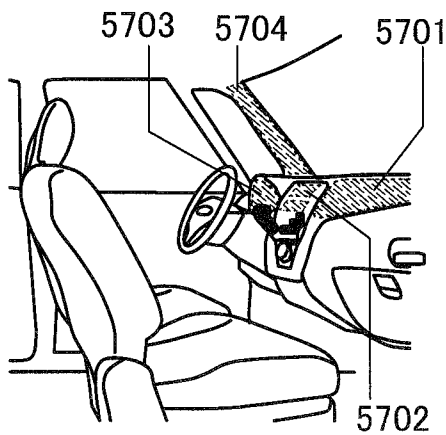
【圖53D】



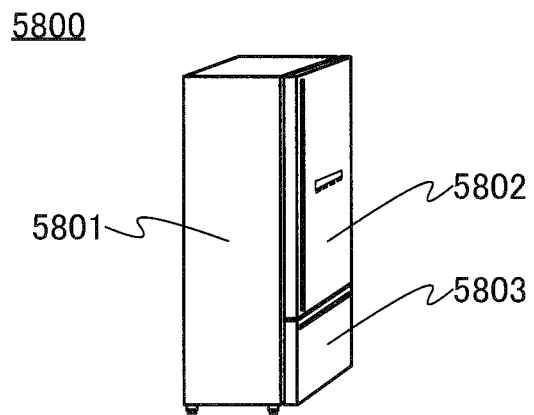
【圖53E】



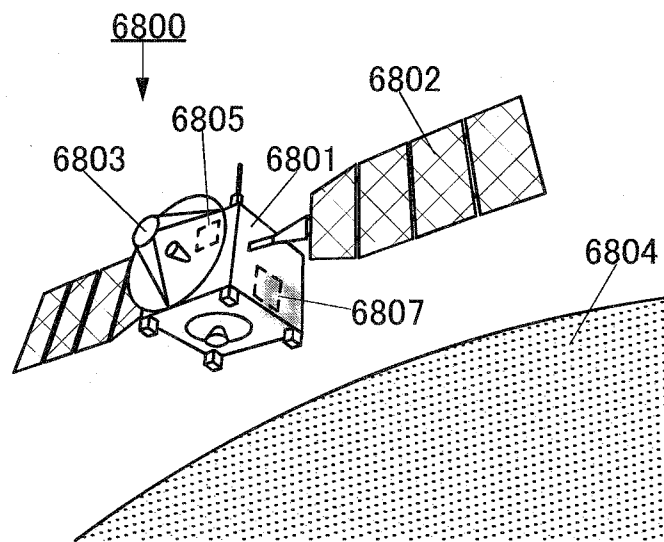
【圖53F】



【圖53G】



【圖53H】



【圖54】