

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-169860

(P2012-169860A)

(43) 公開日 平成24年9月6日(2012.9.6)

(51) Int.Cl.	F I	テーマコード (参考)
H03M 1/10 (2006.01)	H03M 1/10 B	5 J 0 2 2
H03M 1/68 (2006.01)	H03M 1/68	

審査請求 未請求 請求項の数 10 O L (全 13 頁)

(21) 出願番号	特願2011-29091 (P2011-29091)	(71) 出願人	501387839 株式会社日立ハイテクノロジーズ 東京都港区西新橋一丁目24番14号
(22) 出願日	平成23年2月14日(2011.2.14)	(74) 代理人	100077816 弁理士 春日 譲
		(74) 代理人	100156524 弁理士 猪野木 雄一
		(72) 発明者	磯崎 義弘 茨城県ひたちなか市大字市毛882番地 株式会社日立ハイテクノロジー那珂事業所内
		(72) 発明者	唐鎌 章 茨城県ひたちなか市大字市毛882番地 株式会社日立ハイテクノロジー那珂事業所内

最終頁に続く

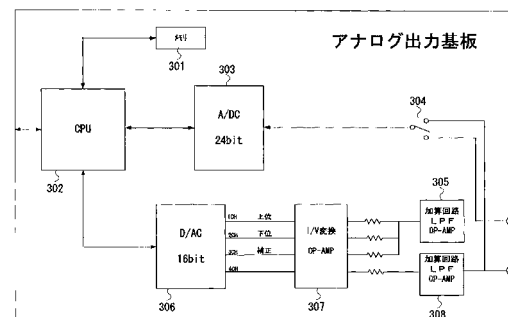
(54) 【発明の名称】 高分解能デジタル・アナログ変換装置及び方法

(57) 【要約】

【課題】安価でありながら、高分解能のアナログ信号を出力可能であるとともに、低精度変換処理と高精度変換処理との両変換処理が選択可能な高分解能デジタル・アナログ変換装置を実現する。

【解決手段】DAC 306は上位ビット用のDACと下位ビット用のDACとを有し、予め定めたデジタルデータが供給され、このデジタルデータから得られるアナログデータの理論値と、実際のDAC 306から出力されたアナログデータとが比較され、補正データが作成されてメモリ301に格納される。メモリ301に格納された補正データを用いてDAC 306からの出力データが補正される。補正方法は、高精度であるがキャリブレーションに長時間必要な全ビット方式と、全ビット方式より精度は劣るが短時間でキャリブレーションが可能な直線近似方式とがあり、必要に応じていずれかの補正方式が選択可能である。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

デジタル信号をアナログ信号に変換して出力するデジタル・アナログ変換装置において

、

入力デジタル信号の上位ビットをアナログ信号に変換する上位ビット用デジタル・アナログ変換器と、

入力デジタル信号の下位ビットをアナログ信号に変換する下位ビット用デジタル・アナログ変換器と、

上記上位ビット用デジタル・アナログ変換器からの出力されたアナログ信号と、上記下位ビット用デジタル・アナログ変換器からの出力されたアナログ信号とをデジタル信号に変換するアナログ・デジタル変換器と、

上記アナログ・デジタル変換器により変換されたデジタル信号の全ビットについて、上記入力デジタル信号との誤差に基づき、この誤差を補正する補正データを算出する全ビット補正部と、上記アナログ・デジタル変換器により変換されたデジタル信号に基づいて得られたデータの選択された範囲について直線近似し、近似した直線に基づいて、上記入力デジタル信号との誤差に基づき、この誤差を補正する補正データを算出する直線近似補正部とを有する補正演算部と、

上記補正演算部により算出された補正データを記憶するメモリと、

上記上位ビット用デジタル・アナログ変換器及び上記下位ビット用デジタル・アナログ変換器から出力されたアナログ信号と、上記メモリに記憶された補正データとを加算して補正し、外部に出力する加算部と、

を備えることを特徴とするデジタル・アナログ変換装置。

【請求項 2】

請求項 1 に記載のデジタル・アナログ変換装置において、

上記補正演算部に、全ビット補正部による補正演算を行うか、上記直線近似補正部による補正演算を行うかの指令信号を供給する指令信号発生手段を備え、上記補正演算部は、上記指令信号発生手段からの上記指令信号に従って、全ビット補正部による補正演算及び上記直線近似補正部による補正演算のうちのいずれかを行うことを特徴とするデジタル・アナログ変換装置。

【請求項 3】

請求項 2 に記載のデジタル・アナログ変換装置において、

上記メモリに記憶された補正データをデジタル・アナログ変換する補正データ用デジタル・アナログ変換器を備え、この補正データ用デジタル・アナログ変換器から出力された補正データのアナログ信号が、上記加算部により上記上位及び下位ビット用デジタル・アナログ変換器から出力されたアナログ信号と加算されることを特徴とするデジタル・アナログ変換装置。

【請求項 4】

請求項 2 に記載のデジタル・アナログ変換装置において、

上記直線近似補正部は、上記アナログ・デジタル変換器からの出力信号に基づいて、上位ビットが変化する間の 2 点の直線を算出し、入力デジタル信号を誤差無く変換した場合のアナログ信号と比較して得られる直線の傾きと、切片とを算出し、補正データとして上記メモリに格納することを特徴とするデジタル・アナログ変換装置。

【請求項 5】

液体試料から分析すべき成分を分離する分離カラムと、上記分離カラムに液体試料を供給するオートサンプラと、上記分離カラムにより分離された成分を分析する分析部と、上記オートサンプラ及び分析部に指令信号を供給する操作部とを有する液体クロマトグラフ装置において、

上記分析部により分析された結果を示すデジタルデータをアナログデータに変換して外部に出力するデジタル・アナログ変換部を備え、

上記デジタル・アナログ変換部は、

10

20

30

40

50

入力デジタル信号の上位ビットをアナログ信号に変換する上位ビット用デジタル・アナログ変換器と、

入力デジタル信号の下位ビットをアナログ信号に変換する下位ビット用デジタル・アナログ変換器と、

上記上位ビット用デジタル・アナログ変換器からの出力されたアナログ信号と、上記下位ビット用デジタル・アナログ変換器からの出力されたアナログ信号とをデジタル信号に変換するアナログ・デジタル変換器と、

上記アナログ・デジタル変換器により変換されたデジタル信号の全ビットについて、上記入力デジタル信号との誤差に基づき、この誤差を補正する補正データを算出する全ビット補正部と、上記アナログ・デジタル変換器により変換されたデジタル信号に基づいて得られたデータの選択された範囲について直線近似し、近似した直線に基づいて、上記入力デジタル信号との誤差に基づき、この誤差を補正する補正データを算出する直線近似補正部とを有する補正演算部と、

上記補正演算部により算出された補正データを記憶するメモリと、

上記上位ビット用デジタル・アナログ変換器及び上記下位ビット用デジタル・アナログ変換器から出力されたアナログ信号と、上記メモリに記憶された補正データとを加算して補正し、外部に出力する加算部と、

を備えることを特徴とする液体クロマトグラフ装置。

【請求項 6】

請求項 5 に記載の液体クロマトグラフ装置において、

上記デジタル・アナログ変換部は、上記補正演算部に、全ビット補正部による補正演算を行うか、上記直線近似補正部による補正演算を行うかの指令信号を供給する指令信号発生手段を備え、上記補正演算部は、上記指令信号発生手段からの上記指令信号に従って、全ビット補正部による補正演算及び上記直線近似補正部による補正演算のうちのいずれかを行うことを特徴とする液体クロマトグラフ装置。

【請求項 7】

デジタル信号をアナログ信号に変換して出力するデジタル・アナログ変換方法において、

入力デジタル信号の上位ビットを上位ビット用デジタル・アナログ変換器によりアナログ信号に変換し、

入力デジタル信号の下位ビットを下位ビット用デジタル・アナログ変換器によりアナログ信号に変換し、

上記上位及び下位ビット用デジタル・アナログ変換器により変換されたアナログ信号をアナログ・デジタル変換器によりデジタル信号に変換し、

上記アナログ・デジタル変換器により変換されたデジタル信号の全ビットについて、上記入力デジタル信号との誤差に基づき、この誤差を補正する補正データを算出し、メモリに記憶させるか、または、上記アナログ・デジタル変換器により変換されたデジタル信号に基づいて得られたデータの選択された範囲について直線近似し、近似した直線に基づいて、上記入力デジタル信号との誤差に基づき、この誤差を補正する補正データを算出し、上記メモリに記憶させ、

上記上位ビット用デジタル・アナログ変換器及び上記下位ビット用デジタル・アナログ変換器から出力されたアナログ信号と、上記メモリに記憶された補正データとを加算して補正し、外部に出力することを特徴とするデジタル・アナログ変換方法。

【請求項 8】

請求項 7 に記載のデジタル・アナログ変換方法において、

全ビット補正による補正演算を行うか、上記直線近似による補正演算を行うかの指令信号を指令信号発生手段から供給し、上記指令信号発生手段からの上記指令信号に従って、全ビット補正による補正演算及び上記直線近似補正による補正演算のうちのいずれかを行うことを特徴とするデジタル・アナログ変換方法。

【請求項 9】

請求項 8 に記載のデジタル・アナログ変換方法において、
上記メモリに記憶された補正データをデジタル・アナログ変換し、変換された補正データの
アナログ信号が、上記上位及び下位ビット用デジタル・アナログ変換器から出力された
アナログ信号と加算されることを特徴とするデジタル・アナログ変換方法。

【請求項 10】

請求項 8 に記載のデジタル・アナログ変換方法において、
上記直線近似補正は、上記アナログ・デジタル変換器からの出力信号に基づいて、上位ビ
ットが変化する間の 2 点の直線を算出し、入力デジタル信号を誤差無く変換した場合のア
ナログ信号と比較して得られる直線の傾きと、切片とを算出し、補正データとして上記メ
モリに格納することを特徴とするデジタル・アナログ変換方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液体クロマトグラフ装置等の分析装置に使用される高分解デジタル・アナロ
グ変換装置及び方法に関する。

【背景技術】

【0002】

例えば、液体クロマトグラフ装置等の分析装置において、得られた分析結果を、他の装
置へ転送する必要があるが、入力信号がアナログ信号とするレコーダ装置等への分析結
果転送にあっては、デジタル信号である分析結果データをアナログ信号に変換して出力す
るための、デジタル・アナログ変換装置が必要である。

20

【0003】

このデジタル・アナログ変換装置には、高速で、高分解能の性能が要求される。この性
能を満たすためには、汎用デジタル・アナログコンバータ（DAC）を用いることができ
る。

【0004】

従来技術においては、高分解能のデジタル・アナログ変換装置が必要な場合、市販の汎
用 DAC を 2 基使用し、多ビットのデジタル信号を高分解能でアナログ信号に変換させて
いる（例えば、特許文献 1 参照）。

【先行技術文献】

30

【特許文献】

【0005】

【特許文献 1】特開 2000-244319 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

液体クロマトグラフ装置等の分析装置において、およそ 10 μ s 以下のデータセット時
間で、20 ビット以上の高分解能のデジタル・アナログ変換を行う場合には、汎用 IC を
活用して回路を構成するとき、高速、高分解能のデジタル・アナログ変換（DAC）が必
要となる。

40

【0007】

しかし、現在、1 つの DAC 装置で、高速・高分解能の DAC を行うことは困難である
。このため、上記特許文献 1 のように、DAC 装置を 2 使用し、高分解能 DAC 装置を実
現させているが、2 基の DAC 装置を、上位ビット用と下位ビット用とする多ビット DAC
装置を実現した場合、各 DAC 装置間の出力誤差（出力精度）が、更なる問題として懸
念される。各 DAC 装置について、高精度のものを使用すれば、各 DAC 装置間の出力誤
差の問題は解消されるが、高精度の DAC 装置は、非常に高価であり、分析装置も高価格
となってしまう。

【0008】

また、液体クロマトグラフ装置等の分析装置においては、高精度は要求されないが、短

50

時間で分析結果の転送を必要とする場合と、長時間を要しても、分析結果について高精度での転送を必要とする場合とがあり、場合に応じて適切なD A Cを行うことが可能なデジタル・アナログ変換装置が望まれている。

【0009】

本発明の目的は、安価でありながら、高分解能のアナログ信号を出力可能であるとともに、低精度変換処理と高精度変換処理との両変換処理が選択可能な高分解能デジタル・アナログ変換装置及び方法を実現することである。

【課題を解決するための手段】

【0010】

本発明は、上記目的を達成するために、次のように構成される。
デジタル信号をアナログ信号に変換して出力するデジタル・アナログ変換装置及び方法において、入力デジタル信号の上位ビットを上位ビット用デジタル・アナログ変換器によりアナログ信号に変換し、入力デジタル信号の下位ビットを下位ビット用デジタル・アナログ変換器によりアナログ信号に変換し、上記上位及び下位ビット用デジタル・アナログ変換器により変換されたアナログ信号をアナログ・デジタル変換器によりデジタル信号に変換し、上記アナログ・デジタル変換器により変換されたデジタル信号の全ビットについて、上記入力デジタル信号との誤差に基づき、この誤差を補正する補正データを算出し、メモリに記憶させるか、または、上記アナログ・デジタル変換器により変換されたデジタル信号に基づいて得られたデータの選択された範囲について直線近似し、近似した直線に基づいて、上記入力デジタル信号との誤差に基づき、この誤差を補正する補正データを算出し、上記メモリに記憶させ、上記上位ビット用デジタル・アナログ変換器及び上記下位ビット用デジタル・アナログ変換器から出力されたアナログ信号と、上記メモリに記憶された補正データとを加算して補正し、外部に出力する。

【発明の効果】

【0011】

本発明によれば、安価でありながら、高分解能のアナログ信号を出力可能であるとともに、低精度変換処理と高精度変換処理との両変換処理が選択可能な高分解能デジタル・アナログ変換装置及び方法を実現することができる。

【図面の簡単な説明】

【0012】

【図1】本発明が適用される液体クロマトグラフの全体構成図である。

【図2】図1に示した液体クロマトグラフ装置のUV検査ユニットの内部構成図である。

【図3】図2に示したUV検査ユニットにおけるアナログ出力基板の内部構成図である。

【図4】図3に示したアナログ出力基板の詳細説明図である。

【図5】全ビット補正における実測値と理論値とを比較したグラフである。

【図6】全ビット補正における実測値の補正方法を示すグラフである。

【図7】全ビットキャリブレーション方法の動作フローチャートである。

【図8】全ビットキャリブレーション方法によるデータ補正の動作フローチャートである。

。

【図9】直線近似による実測値と理論値とを比較したグラフである。

【図10】直線近似による実測値の補正方法を示すグラフである。

【図11】直線近似キャリブレーション方法の動作フローチャートである。

【図12】直線近似キャリブレーション方法によるデータ補正の動作フローチャートである。

【発明を実施するための形態】

【0013】

以下、本発明の実施形態について、添付図面を参照して説明する。

【実施例】

【0014】

図1は、本発明が適用される液体クロマトグラフ装置の全体構成図である。

【0015】

図1において、球状のシリカゲルが充填された分離カラム（図示せず）をカラムオープン110により加熱し、高温状態とする等の条件を設定する。オートサンプラ109にセットした試薬にポンプ108により溶剤を送り込み、試薬を分離させ、複数の組成成分を含む検査対象の液体に注入し、分離カラムに供給することで、分離カラムに分析すべき液体成分をシリカゲルに吸着させ、試料から分離させる。

【0016】

分離カラムから、吸着度の違いにより遅れ時間を伴って排出されて出てくる物質を光学的性質（吸光度、屈折率、蛍光など）の違いを利用し、光ディテクタ102やUVディテクタ106、FLディテクタ103で検出し、組成分析を行う。

10

オペレータ等は、GUIタッチパネル101にて操作し、I/F制御部105を介して上位端末104にて処理を行う。なお、液体クロマトグラフ装置は、オーガナイザ107を備えている。

図2は、図1に示した液体クロマトグラフ装置におけるUVディテクタ（検査ユニット）106の内部構成図である。

図2において、UV検査部201で行われたUV検査データ結果を上位制御基板202、USB通信基板204、シリアル通信基板205により、液体クロマトグラフ装置を構成する他のユニットへ転送する。

この際、液体クロマトグラフ装置外の他の装置にもこれらの検出データを転送する必要がある。しかし、UV検査部201で行われたUV検査データ結果はデジタル信号であり、転送すべき他の装置は、アナログ信号でしか受信できない場合がある。

20

このため、アナログ出力基板203にて、上位制御基板202から出力されたデジタル信号をアナログ信号に変換し、他の装置に転送する必要がある。

図3は、図2に示したアナログ出力基板203の内部構成図である。図3において、上位制御基板202から供給されたデジタル信号は、CPU（補正演算部）302から、DAC306を経由し、電圧／電流変換器（I/V変換器）307に供給される。DAC306及びI/V変換器307は、データ出力系統とデバック系統との2系統の出力を有する。データ補正系統の出力は、フィルタ305、スイッチ304を介してアナログ・デジタルコンバータ（ADC）303に供給される。

デバック系統の出力は、フィルタ308、スイッチ304を介してアナログ・デジタルコンバータ（ADC）303に供給される。フィルタ305から出力されデータは、高分解能（20ビット以上）が要求される。なお、301は後述するメモリである。

30

図4は、図3に示したアナログ出力基板203のデータ出力系統に関する構成図であり、多ビットDACの構成を示す図である。

図4において、出力データは、高分解能なデジタル／アナログ変換が要求されるため、CPU（補正演算部）図3の302に対応）から出力されるデジタルデータは、2基のDAC（16ビット以下）に供給される。2基のDACは、上位ビット用DAC402と下位ビット用DAC406とから構成される。DAC402、406の出力信号の誤差を低減させるため、補正用DAC410が追加されている。

DAC402からの出力信号は、上位ビット用I/V変換アンプ403、上位ビット用抵抗404を介して加算用アンプ409に供給される。なお、この加算用アンプ409の入出力端は帰還抵抗405が接続されている。

40

また、DAC406からの出力信号は、下位ビット用I/V変換アンプ407、下位ビット用抵抗408を介して加算用アンプ409に供給される。さらに、DAC410からの出力信号は、補正用I/V変換アンプ411、補正用抵抗412を介して加算用アンプ409に供給される。

加算用アンプ409の出力信号は、ADC414によりデジタル信号に変換され、CPU401に帰還される。

なお、図4のDAC402、406、410は、図3のDAC306に対応し、図4のアンプ403、407、411は、図3のI/V変換回路307に対応する。また、図4の

50

加算用アンプ 409 及び帰還抵抗 405 は、図 3 の加算回路 305 に対応し、図 4 の ADC 414 は、図 3 の A/D C 303 に対応する。図 4 のメモリ 413 は、図 3 のメモリ 301 に対応する。

アナログ出力基板 203 においては、アナログ信号の外部装置への出力動作前に、加算用アンプ 409 からの出力を ADC 414 にて CPU 401 にフィードバックし、実測した補正前の出力電圧値と、CPU 401 から DAC 402、406 に出力したデジタルデータに対応するアナログデータを示す電圧値（理論値）とを比較し、CPU 401 が、高精度のデジタル・アナログ変換処理を行うための補正演算処理を行う。

そして、補正に必要なパラメータをメモリ 413 に格納する。そして、デジタル・アナログ変換処理によるアナログ信号の外部装置への出力に際しては、CPU 401 は、メモリ 413 からパラメータを呼出し、演算処理し、理論値に近似の設定値を DAC 410、アンプ 411、抵抗 412 を介してアンプ 409 に供給する。

図 5 は、全ビット補正における実測値と理論値とを比較したグラフ 501 である。そして、図 6 は、全ビット補正における補正方法を示すグラフ 502 である。

図 5 において、直線で示す理論直線に対する実測値（点で表示されている）のグラフ 501 に示すように、補正処理を行わないと、理論直線に対し、実際の出力データに誤差が生じてしまう。

このため、図 6 に示す補正方法を実行する。つまり、図 6 において、補正前のデータ A、B、C、D を直線上の点に補正するための補正データを演算し、メモリ 413 に格納する。このようにして、最小分解能の最下位ビットごとに、全てのデータについて、上下の電圧値を理論直線上に合わせ込み、補正データを演算しておき、出力データを補正することにより、出力精度の向上が図れる。

図 7 は、分解能に応じた全ての位置（全ビット）に対しキャリブレーション（較正）を行うフローチャートである。図 7 のステップ 601 によりキャリブレーションが開始され、ステップ 601 A において、DAC 402、406、410 の出力をスタートビット（ $N = 0$ ）に設定する。

次に、ステップ 602 において、一定のデータを DAC 402、406、410 で変換し、ステップ 603 にて、ADC 414 により、出力データをアナログ・デジタル変換して、CPU 401 に供給する。

そして、ステップ 604 において、CPU 401 は、ADC 414 からの出力データが、設定された理論値と一致するか否かを判定し、一致しなければ、補正値を算出し、ステップ 602 に戻る。ステップ 604 において、ADC 414 からの出力データが、設定された理論値と一致すると、ステップ 605 に進み、そのときの補正値をメモリ 413 に格納する。そして、CPU 401 は、ステップ 606 において、 $N + 1 \rightarrow N$ として、次の設定ポイントとする。

続いて、ステップ 607 において、CPU 401 は、 N が最終設定ポイントか否かを判定し、最終設定ポイントでなければ、ステップ 602 に戻る。

ステップ 607 において、 N が最終設定ポイントであれば、ステップ 608 に進み、キャリブレーション処理は終了する。

このようにして、理論値と ADC 414 による実測値とが一致するまで DAC の設定を繰り返し、理論値と実測値が合致した DAC の設定値をメモリ 413 に格納する。メモリ 413 に格納される補正データは、入力デジタル値の個々に対して補正デジタル値が設定されている。

図 8 は、図 7 に示したキャリブレーション処理により得られた補正データを用いて DAC のデータを補正し、出力する処理動作フローチャートである。

【0017】

図 8 のステップ 701 において、アナログ出力処理が開始され、ステップ 702 において、上位制御基板 202 からデジタルデータをアナログ出力基板 203 が受け取る。次にステップ 703 において、CPU 401 は、受け取ったデジタルデータに対応する補正デジタルデータのメモリ 413 における格納場所を求め、ステップ 704 において、メモリ

10

20

30

40

50

4 1 3 の求めた格納場所から補正データを読み出す。

【0018】

そして、ステップ705において、CPU401は、補正データを出力し、ステップ706において、補正されたアナログ信号を出力する。

【0019】

上記補正動作により、誤差の少ない、高分解能のデジタル／アナログ変換が可能になる。

【0020】

デジタル・アナログ変換処理における上述した補正方法は、高分解能であり、誤差は小さくなるが、高分解能になればなるほど、補正するポイントが増え、出力前の補正データの基準となる目盛りを決める（キャリブレーション）に時間が多く必要となる。

10

【0021】

このため、上述した補正方法より、分解能は低下するが、キャリブレーションを短時間で行うことが可能な補正方法を説明する。

【0022】

この補正方法は、上述した図6に示した補正方法のように、分解能に応じた全てのビットに対して補正を行う方法ではなく、変換したアナログ信号をある程度の範囲で、直線近似を行い、その近似した直線を補正する補正方法である。

図9、図10は、直線近似を行う補正方法を説明するためのグラフ801、802である。図9においては、実線が理論値であり、点線が実測値である。

20

図9、図10において、上位ビットが変化するときの一定範囲（例えば、上位ビット：0から128へ変化する部分）に対し、実測値の2点を測定し、実測値と理論値との関係を求める。つまり、図10に示すように、上記実測値2点と理論値との関係により、それぞれの傾き（ b/a ）と、理論直線からの距離である切片（ c ）とを算出し、一次直線化する。

図9は、図10に示した方法により、一次直線化したデータ（点線）と理論直線（実線）とを示す図であるが、2点の実測による一次直線（点線）の関係801は、理論直線である実線と合致するまでには至らず、補正が必要となる。

上記近似一次直線と理論直線との理想的な関係は、傾き：1、理論直線に対する切片：0となることで、誤差の少ない出力が可能となる。このため、2点で求めた直線に対して、傾き：1、切片：0と成るように補正する必要がある。

30

具体的には、一定の範囲毎の実測値2点の直線の傾きと切片とを求め、メモリ413に格納しておき、CPU302に入力されたデータに対して、メモリ413に格納された補正データを抽出し、実際のDAC402、406からの設定値に傾きの逆数（ a/b ）を掛け、切片を差引くことで、補正され、理論直線に対する直線近似を実行する。

この直線近似方法は、全ビット補正方法に比べ、精度的には若干劣るが、ADC303により実測値を算出する数が低減されるため、キャリブレーション時間を大幅に短縮することができる。

全ビット補正方法と直線近似方法による補正との切り替えは、GUIパネル101からの指示信号により、CPU302が補正方法のロジックを切り替えることにより行われる。つまり、CPU302の内部機能として、全ビット補正部と、直線近似補正部とが備えられており、GUIパネル101からの指令により、全ビット補正部と直線近似補正部とのいずれかが選択される。

40

図11は、直線近似によるキャリブレーション方法の動作フローチャートである。図11のステップ901において、キャリブレーションが開始され、ステップ901Aにおいて、CPU302はLを0に設定する。これより、DAC402、406の出力をスタートビット（ $L=0$ ）に設定する。そして、ステップ902において、CPU302は、理論値を設定しDAC402、406の出力を行う。一次直線を得るため、ADC303により2点を実測し、傾きと切片とを求める。その値を測定範囲に応じ、傾きと切片とをメモリ413に格納する。この工程を1直線の補正とし、求める一次直線の数に応じ処理を行

50

う（ステップ904～908）。CPU302は、ステップ908でLが最終設定ラインと等しいと判定すると、キャリブレーション動作は終了する（ステップ909）。

【0023】

図12は、図11に示したキャリブレーション処理により得られた補正データを用いてDACの出力データを補正する処理動作フローチャートである。

【0024】

図12のステップ1001において、アナログ出力が開始され、ステップ1002において、上位制御基板202からデジタルデータをアナログ出力基板203が受け取る。次に、ステップ1003、1004において、受け取ったデジタルデータに対応する近似式をメモリ301から抽出する。

【0025】

そして、ステップ1005において、近似式により演算子設定値を求め、上述した傾きの逆数を掛け、切片を差引く演算を行う。次にステップ1006において、補正した設定値をDACへ設定し、アナログ出力し、終了（ステップ1007）となる。

【0026】

これより、誤差の少ない、高分解能のデジタル／アナログ変換が可能で、且つ、キャリブレーション時間が大幅に短縮される。

【0027】

実際の液体クロマトグラフ（LC）分析装置では、温度等の条件に応じ、DACのキャリブレーションを頻繁に行う必要がある。このため、キャリブレーション時間が短い、直線近似補正方法が望ましい。

【0028】

また、液体クロマトグラフ装置においては、キャリブレーション時間が長くなっても、高精度が必要な場合も存在する。この場合には、分解能に応じた全てのビットをそれぞれ補正する方法が望ましい。

【0029】

つまり、液体クロマトグラフの使用用途に応じ、両補正方法の使い分けが必要である。

【0030】

このため、本発明においては、オペレータ等が、操作部であるGUIパネル（指令信号発生手段）101から上記2つの補正方法のうちのいずれを選択するかを指定することができ、その選択を示す指令信号に従って、いずれかの補正方法が実行される。

【0031】

以上のように、本発明によれば、安価でありながら、高分解能のアナログ信号を出力可能であるとともに、低精度変換処理と高精度変換処理との両変換処理が選択可能な高分解能デジタル・アナログ変換装置及び方法を実現することができる。

【符号の説明】

【0032】

101・・・GUIタッチパネル、 102・・・ダイオードアレイ検出器ユニット（光ディテクタ）、 103・・・蛍光検出器ユニット（FLディテクタ）、 104・・・上位制御コンピュータ、 105・・・インタフェース制御基板、 106・・・紫外検出器ユニット（UVディテクタ）、 107・・・オーガナイザユニット（オーガナイザ）、 108・・・ポンプユニット、 109・・・オートサンブラユニット、 110・・・オープンユニット、 201・・・紫外検査機構、 202・・・上位制御基板、 203・・・アナログ出力基板、 204・・・USB通信制御基板、 205・・・シリアル通信制御基板、 301、413・・・メモリ、 302、401・・・CPU、 303、414・・・アナログ／デジタルコンバータ（ADC）、 304・・・スイッチ、 305、308・・・加算回路、 306・・・デジタル／アナログコンバータ（DAC）、 307・・・電流／電圧（I/V）変換回路、 402・・・上位ビット用DAC、 403・・・上位ビット用I/V変換アンプ、 404・・・上位ビット用抵抗、 405・・・帰還抵抗、 406・・・下位ビット用DAC、 407・・・

10

20

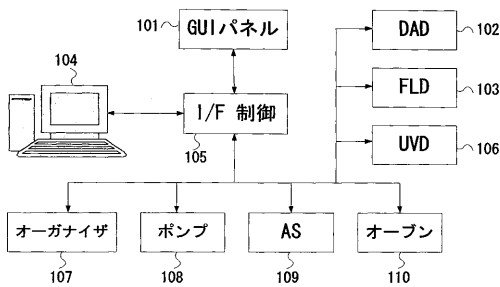
30

40

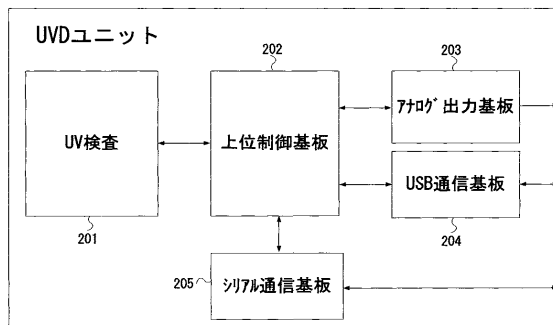
50

・下位ビット用 I/V 変換アンプ、 408・・・下位ビット用抵抗、 409・・・加算用アンプ、 410・・・補正用 DAC、 411・・・補正用アンプ、 412・・・補正用抵抗、 501・・・アナログ出力電圧の理論値と実測値の関係データ、 502・・・全ビット補正方法、 601～608・・・全ビットキャリブレーション方法のフローチャートにおける処理ステップ、 701～706・・・全ビット補正方法のフローチャートにおける処理ステップ、 801・・・アナログ出力電圧の理論値と直線近似の関係、 802・・・直線近似補正方法、 901～909・・・直線近似キャリブレーション方法のフローチャートにおける処理ステップ、 1001～1007・・・直線近似補正方法のフローチャートにおける処理ステップ

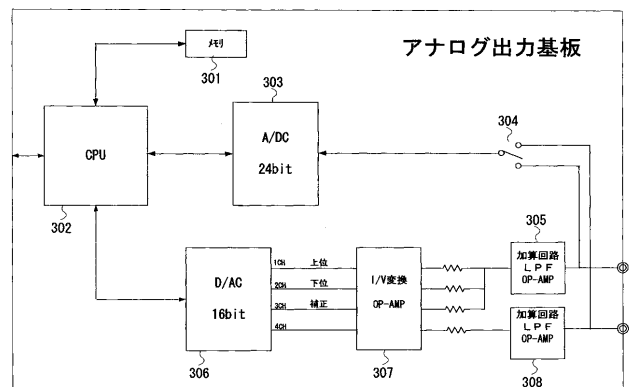
【図 1】



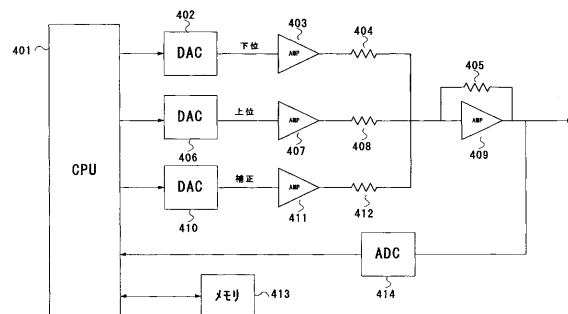
【図 2】



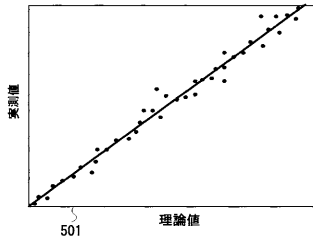
【図 3】



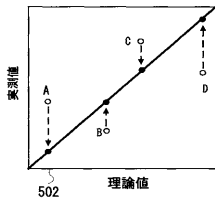
【図 4】



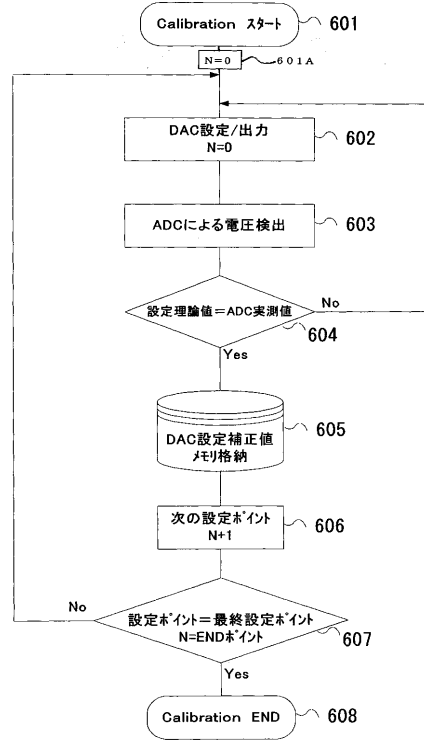
【図 5】



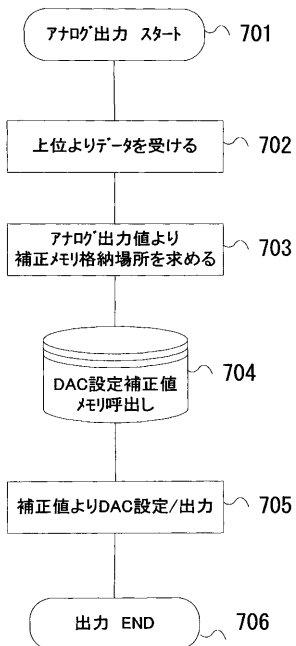
【図 6】



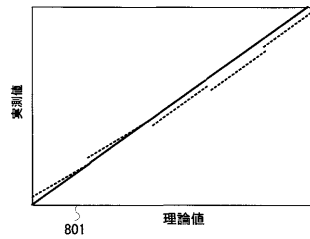
【図 7】



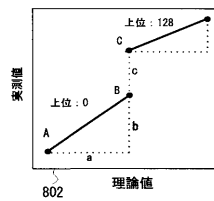
【図 8】



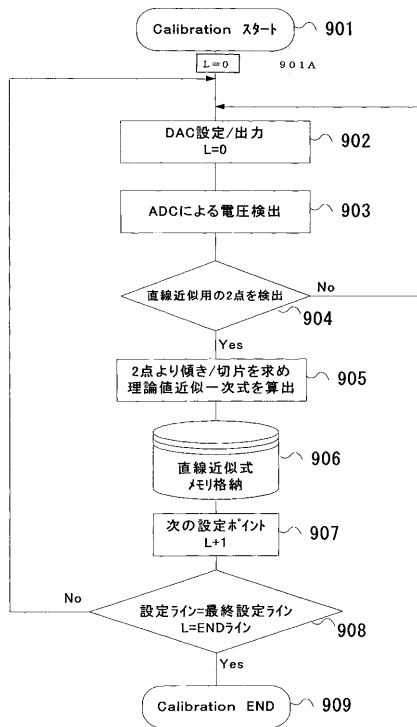
【図 9】



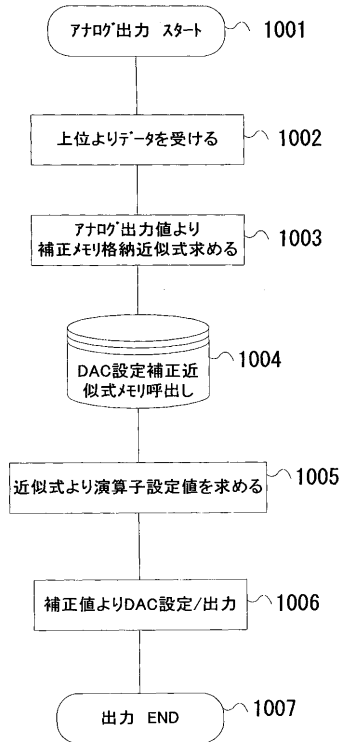
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

Fターム(参考) 5J022 AA01 AB01 AB09 AC05 BA03 BA04 BA05 BA07 CB06 CD02