



(21) 申請案號：098116655

(22) 申請日：中華民國 98 (2009) 年 05 月 20 日

(51) Int. Cl. : H01L25/16 (2006.01)

H01L25/18 (2006.01)

H01L23/60 (2006.01)

H01C7/105 (2006.01)

(30) 優先權：2008/05/21 德國

10 2008 024 479.1

(71) 申請人：E P C O S A G 集團股份公司 (德國) EPCOS AG (DE)

德國

(72) 發明人：恩葛爾 寬特 ENGEL, GUNTER (AT)；費奇丁葛爾 湯馬士 FEICHTINGER, THOMAS (AT)；潘西娜 艾克索爾 PECINA, AXEL (DE)

(74) 代理人：洪武雄；陳昭誠

(56) 參考文獻：

EP 0353166A2

US 2007/0075323A1

審查人員：張靖輝

申請專利範圍項數：14 項 圖式數：9 共 0 頁

(54) 名稱

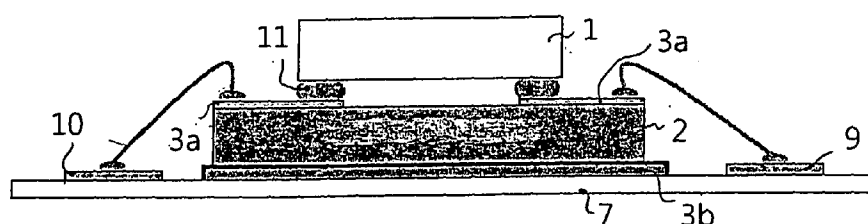
電子元件組裝架構

ELECTRONIC ELEMENT ASSEMBLY STRUCTURE

(57) 摘要

本發明提供一種電子元件組裝架構，其包含至少一半導體元件(1)，安裝於一壓敏電阻器單元(2)之上。該壓敏電阻器單元係與該半導體元件的靜電放電防護設施形成接觸，且其中，該壓敏電阻器單元內含有一複合材料，且該複合材料係利用一壓敏電阻陶瓷材料來形成母體和一與該壓敏電阻陶瓷材料不同之導熱性材料來形成填充材料。

An electronic element assembly structure includes at least a semiconductor element (1) installed on a varistor unit (2). The varistor unit contacts with an electrostatic protection equipment of the semiconductor element. The varistor unit contains a composite material that uses a varistor ceramic material to form a matrix and a thermal conductive material different from the varistor ceramic material to form a fill material.



第3圖

1 . . . 半導體元件

2 . . . 壓敏電阻器單元

3a、3b . . . 電性連接結構

7 . . . 容納具

9、10 . . . 電極連接點；電性連接點

11 . . . 覆晶式連接結構

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98116655

※申請日：98.5.20

※IPC 分類：H01L 25/16 (2006.01)

H01L 25/18 (2006.01)

H01L 23/60 (2006.01)

H01C 7/105 (2006.01)

一、發明名稱：(中文/英文)

電子元件組裝架構

ELECTRONIC ELEMENT ASSEMBLY STRUCTURE

二、中文發明摘要：

本發明提供一種電子元件組裝架構，其包含至少一半導體元件(1)，安裝於一壓敏電阻器單元(2)之上。該壓敏電阻器單元係與該半導體元件的靜電放電防護設施形成接觸，且其中，該壓敏電阻器單元內含有一複合材料，且該複合材料係利用一壓敏電阻陶瓷材料來形成母體和一與該壓敏電阻陶瓷材料不同之導熱性材料來形成填充材料。

三、英文發明摘要：

An electronic element assembly structure includes at least a semiconductor element (1) installed on a varistor unit (2). The varistor unit contacts with an electrostatic protection equipment of the semiconductor element. The varistor unit contains a composite material that uses a varistor ceramic material to form a matrix and a thermal conductive material different from the varistor ceramic material to form a fill material.

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

- | | | | |
|-------|-------------|---|---------|
| 1 | 半導體元件 | 2 | 壓敏電阻器單元 |
| 3a、3b | 電性連接結構 | 7 | 容納具 |
| 9、10 | 電極連接點；電性連接點 | | |
| 11 | 覆晶式連接結構 | | |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

六、發明說明：

【發明所屬之技術領域】

以下揭露說明一種電子元件的組裝架構，其特點在於具有可防護過壓(overvoltage)的設施。

【先前技術】

德國專利第 DE 10 2007 014 300 A1 號揭露了一種具有一壓敏電阻器(Varistor)和一發光元件的裝置。

然而上述之裝置有一項待解決的問題在於需要一種裝置或設施，可對其中之電子元件提供過壓防護功能。

【發明內容】

上述問題的一項解決方法為於電子元件組裝架構中將半導體元件安裝或承載於一壓敏電阻器單元上。此壓敏電阻器單元係電性連接至電子元件以對其提供防護作用。該半導體元件和該壓敏電阻器單元的較佳實施方式為將其以並聯方式相互連接。

上述之壓敏電阻器單元係建構為一獨立之機構單元，並作為半導體元件的載具。此壓敏電阻器單元可與半導體元件分開來個別製造，且其可設計為具有一半導體元件支撐平面或安裝平面。

上述之可作為半導體元件之載具的壓敏電阻器單元即可用來對半導體元件提供一簡易的過壓防護設施，且可特別用來防護靜電放電，使得半導體元件的本身不需要再針對此目的來另作改造或調適。此特點可使得壓敏電阻器單元可用來對其所連接之半導體元件提供最大可能之過壓

防護作用，但可完全不必考慮到該半導體元件本身的結構方式，因此二者可分開來個別製造或設計。壓敏電阻器單元所提供之過壓防護功能可因此被充分利用，而不必受限於半導體元件本身之結構的限制。

根據本發明的一種較佳實施方式，壓敏電阻器單元係包含一種複合材料，其係至少由一壓敏電阻陶瓷材料和一導熱性良好之材料所組成；其中，該導熱性良好之材料係不同於該壓敏電阻陶瓷材料（該壓敏電阻陶瓷材料主要係依據壓敏電阻器單元的非線性電阻特性來選用之）。

根據本發明的一種實施方式，該壓敏電阻陶瓷材料係用來作為主構件或複合材料母體(matrix)，並將該導熱性良好之材料用來作為該母體中的填充材料。導熱性良好之填充材料的一個實例為金屬，特別是導熱性大於 $100\text{W}/(\text{m}\cdot\text{K})$ 的金屬及週期表上第 2 列及第 3 列之過渡金屬或其合金。填充材料的較佳實施方式為利用導熱性良好之粉粒來散佈於壓敏電阻器單元之內部。

於上述之較佳實施例中，使用金屬作為壓敏電阻器單元之內部填充材料的一項優點在於其可對壓敏電阻器單元提供更高的導熱性，因此也可將半導體元件所產生的熱量透過壓敏電阻器單元來排散出去。因此可令壓敏電阻器單元提供二種功能：過壓防護功能和散熱功能。

本發明的一種較佳之實施例為令壓敏電阻器單元採用一導熱性良好之陶瓷材料，且其須為不同於上述之壓敏電阻陶瓷材料或具有較該壓敏電阻陶瓷材料更高之導熱

性。適當之陶瓷材料例如包括氮化鋁(Aluminium nitride)、碳化矽(Silicon carbide)、氧化鈦(Hafnium oxide)、和錳氧化物(Manganese oxide)；其理由為此些材料與適用之壓敏電阻陶瓷材料，例如鋅氧化物(Zinc oxide)，二者之間具有較良好之粘結性。若非如此，則會於壓敏電阻器單元之內部產生不必要之結晶斷層。此導熱性良好之陶瓷材料可與金屬同樣地適於用來作為陶瓷材料母體中的填充材料。

壓敏電阻器單元亦可具體實施為一多層型之壓敏電阻器，其具有一堆疊之壓敏電阻陶瓷材料結構層，且於其內部區域之鄰層之間至少配置有內部電極結構層。此多層型壓敏電阻器的較佳實施方式為採用一燒結之單石式之多層型元件。每一層的壓敏電阻陶瓷材料主要為採用高成分比例之鋅氧化物(Zinc oxide)，而其中之內部電極的材質則為選自銀、鈮、鉑、銅、鎳、或此些材料的合金。

本發明之一種實施方式為令多層型之壓敏電阻器具有一層或複數層之氧化鋯石(Zirconium dioxide)。此實施例的較佳方式為令該用來安裝半導體元件的多層型壓敏電阻器中的頂層至少含有氧化鋯石。藉由此方式即可降低該多層型壓敏電阻器的漏散電容對半導體元件所造成的影響。無論該多層型壓敏電阻器為整合至一容納具或是安置於印刷電路板上，其較佳的實施方式均為令其基底層含有氧化鋯石，使得其相對於容納具或印刷電路板可具有前述之相同的作用。

除了多層型壓敏電阻器之外，本發明亦可採用一塊體壓敏電阻器(Bulkvaristor)來作為半導體元件的載具。此塊體壓敏電阻器於其外部設置有相對極性之外部連接點，而其內部則不具有金屬層。

根據本發明的一種實施方式，壓敏電阻器單元具有複數個電性連接結構，其中至少包括一第一電性連接結構，用來連接至半導體元件。此些電性連接結構的較佳實施方式為採用金屬層。此金屬層可接觸至該壓敏電阻器單元的頂部表面中的至少一個區域，其製程例如可採用網印技術。此利用金屬層來實施電性連接結構的作法可讓電子元件組裝架構的製造特別更為輕薄短小化。此電性連接結構亦包括其它可行之實施方式，例如為連接線。

根據本發明之元件組裝架構的一種實施方式，上述之壓敏電阻器單元的複數個電性連接結構包括至少一組與該第一電性連接結構分離之第二電性連接結構，用以將該壓敏電阻器單元連接至外部設施；亦即，該壓敏電阻器單元可藉由此第二電性連接結構來連接至一與半導體元件分離之第二電壓。此即可讓該第二電性連接結構連接至一印刷電路板上的線路。此第二電性連接結構可例如作為接地用。

第一電性連接結構和第二電性連接結構二者均可採用金屬層來具體實施。壓敏電阻器單元的電性連接結構於具體實施為金屬層的情況下，可對其加入至少一種以下之金屬：金、鎳、鉻、鈮。

根據本發明之元件組裝架構的一種實施方式，上述之用來將該壓敏電阻器單元連接至外部的第二電性連接結構係安裝於壓敏電阻器單元的底部上，亦即，與該半導體元件之安裝表面形成垂直對立之表面上。此第二電性連接結構可例如採用鐸墊來具體實施。此第二電性連接結構亦可連接至一印刷電路板上的導電結構或連接至一容納具。此外，此第二電性連接結構可進而包括一連接線，用以將其例如連接至一相關之鐸墊。此外，再另一種實施方式為令該第二電性連接結構與該第一電性連接結構於該壓敏電阻器單元的頂部上以分離開之個別方式來設置。

本發明的一種較佳實施方式為將半導體元件安裝於其安裝表面或一覆晶連接結構之底部。此覆晶連接結構可為該半導體元件之底部之處所設置的一組裝體或一鐸球陣列。

本發明的一種實施方式為令壓敏電阻器單元上用來連接至半導體元件的第一電性連接結構同時形成有可將該壓敏電阻器單元連接至外部設施的連接設施，其於實際應用上可例如為一與該第一電性連接結構同時應用之連接線。

根據本發明的一種實施方式，該壓敏電阻器單元設置有至少一內部電極，可用來調節該壓敏電阻器單元的電容值。此內部電極可作為接地結構，以令過電壓或突發電壓可經由該壓敏電阻器單元來排放出去。此內部電極係與該壓敏電阻器單元上的至少一電性連接結構形成電性連接。

於具體實施上，此內部電極可例如藉由至少一連通結構或連通柱來連接至至少一電性連接結構。

根據本發明的一種實施方式，該壓敏電阻器單元係包括複數個內部電極，用以連接至該壓敏電阻器單元上的不同的電性連接結構。此複數個內部電極的較佳實施方式為利用一種壓敏電阻陶瓷材料或一種介電質材料來將其相互隔開，且係形成重疊平面，藉以提供所需之電容作用。根據本發明的一種實施方式，此些內部電極為於垂直方向延伸至半導體元件的安裝表面。

根據本發明之元件組裝架構的一種實施方式，該壓敏電阻器單元包括有至少一散熱通道，用以將半導體元件所產生的熱量散發出去。此散熱通道的較佳實施方式為將導熱性良好之材料填充至一鑽孔，或於壓敏電阻器單元的頂部和底部之間形成延伸之金屬製通道，亦即，形成栓狀之通道結構。此外，此散熱通道亦可採用具有高導熱性之陶瓷材料來製造，其中，所用之陶瓷材料須較其所在之壓敏電阻器單元內部的周圍材料具有更高的導熱性。

本發明之元件組裝架構的一種較佳實施方式為令其包括有一容納具，且該容納具上設置有至少一導電部或導電區域，用以連接至壓敏電阻器單元及/或半導體元件。此容納具係用以承載該壓敏電阻器單元，並將該半導體元件和該壓敏電阻器單元二者以並聯方式連接至該容納具的導電部。此容納具的導電部於具體實施上可為金屬層或例如為導電跡線。此容納具的導電部的較佳實施方式為加入鋁

或銅。

壓敏電阻器單元所採用之導熱性良好的實施方式可令其於半導體元件和容納具之間形成一熱機緩衝結構(thermomechanical buffer)。

根據本發明的一種實施方式，該容納具包括至少一導熱性區域與該壓敏電阻器單元之間形成熱耦合。此可令來自該壓敏電阻器單元的熱量經由該容納具來散發出去。此導熱性區域於具體實施上可採用導熱性良好之材料，例如導熱性良好之陶瓷材料或金屬。

根據本發明之元件組裝架構的一種較佳實施方式，其可進而包括一熱敏電阻器連接至半導體元件。此熱敏電阻器可利用其電阻對溫度之特性來對該半導體元件的控制電流提供一調整作用，以令其具有良好之操作性能。此熱敏電阻器的一種實施方式為將其安裝至壓敏電阻器單元；但亦可不為如此，而係將該熱敏電阻器例如配置於該壓敏電阻器單元的旁側，並將二者共同整合至同一容納具上。此熱敏電阻器可連接至一控制單元，其可依據該熱敏電阻器的量測值來調節該半導體元件的饋入電流。此對控制電流的調節可令發光二極體(LED)不會產生突發電流，或是可於較為恆定之交流電流下來操作。

上述之半導體元件可為各種不同類型之元件，包括光電元件，例如發光二極體、電容器或多層型電容器、熱敏電阻器或具有 PTC 或 NTC 特性的多層型熱敏電阻器、二極體、或放大器。於每一種情況下，該壓敏電阻器單元均可

對其搭載之半導體元件提供良好之過壓防護功能；並甚至如本說明書所述之一些實施例所揭露者，可進而排放該半導體元件所產生之熱量。半導體元件為發光二極體的情況下，其較佳實施方式為採用以下材料之其中一種或多種來製成：磷化鎵(GaP)、氮化鎵(GaN)、砷化鎵磷化物(GaAsP)、磷化銦鎵鋁(AlGaInP)、鋁磷化鎵(AlGaP)、鋁砷化鎵(AlGaAs)、銦鎵氮化物(InGaN)、氮化鋁(AlN)、氮化鋁鎵銦(AlGaInN)、硒化鋅(ZnSe)。

【實施方式】

第 1 圖(a)為一壓敏電阻器單元 2 的上視結構示意圖，其中，顯示該壓敏電阻器單元 2 係用以作為一半導體元件(例如為發光二極體 LED)的容納具，且其上表面設置有一電性連接層 3a，可用以將該壓敏電阻器單元 2 連接至該半導體元件。此電性連接層 3a 可為一陽性電極，且其較佳之實施方式為內含有高比例之黃金。此壓敏電阻器單元 2 的厚度可為 90 至 100 μm 之間。此壓敏電阻器單元 2 所用之陶瓷材料的較佳實施方式為採用鋅氧化物。

第 1 圖(b)顯示第 1 圖(a)所示之壓敏電阻器單元 2 於其底部表面設置有一第二電性連接結構 3b，其可例如作為陰性電極或接地點，且其較佳之實施方式為內含有高比例之鋁。此第二電性連接結構 3b 係用來將連接壓敏電阻器單元 2 連接至外部設施，例如連接至一容納具或其導電部分。

該壓敏電阻器單元的陶瓷結構體的較佳實施方式為由一高比例成份之複合材料所製成；且該複合材料係利用

一壓敏電阻陶瓷材料來形成母體和一金屬來作為填充材料。於利用壓敏電阻器陶瓷材料或母體方式實施時，可採用鋅氧化物或鋅氧化物-鉍(Bi)-銻(Sb)的化合物，或是鋅氧化物-鐳(Pr)的化合物；其中，相反於下列所述之金屬填充材料，即與鋅氧化物結合之金屬或類金屬之鉍、銻、或鉛，其不可作為與該母體分離之粉粒材料。此可用來作為填充材料的金屬的較佳實施方式為選自於以下之材料：銀(Ag)、鈀(Pd)、鉑(Pt)、鎢(W)、此些元素的合金、或此些材料的混合物。於考慮到合金與前述金屬的合金或其它元素結合時的稱法時，可例如將其寫為銀-鈀-合金。雖然填充材料的較佳實施方式為採用金屬粉粒並將其以隨機方式散佈至該壓敏電阻陶瓷材料之中，但其亦可為金屬化合物。較佳的實施方式為將粉粒以最均勻的方式來散佈。

第2圖為一光電元件組裝架構的剖面結構示意圖，其中，顯示一發光二極體之半導體元件1安裝於一壓敏電阻器單元2的上方。此元件組裝架構包括一容納具7(僅顯示其中一部分)。該壓敏電阻器單元2係安裝於該容納具7上或被其所承載。該壓敏電阻器單元2係透過一層化之電性連接結構3b(較佳實施方式為含有鋁)來連接至容納具7的導電部分。於頂部上，該壓敏電阻器單元2係藉由一層化之陽性電極之電性連接層3b或一第一電性連接層3a來連接至發光二極體1。該發光二極體的上方配置有一層化或以鐸墊方式實現之陰性電極連接點8。此陰性電極連接點8具有一與鐸墊連接之連接線，其係與該容納具7上之

對應的陰性電極連接點 9 形成電性連接。此容納具的陰性電極連接點 9 可利用印刷線路來具體實施。此外，此容納具亦進而包括一例如以印刷線路來具體實施的陽性電極連接點 10，其係透過一連接線來連接至該壓敏電阻器單元 2 與該發光二極體 1 之間的陽性電極連接點 3a。此第一電性連接點 3a 包含有一半導體元件容納空間，可讓其透過壓敏電阻器單元的上方表面來連接至外部設施。

第 3 圖為一光電元件組裝架構的剖面示意圖，其中，顯示一發光二極體之半導體元件 1 安裝於一壓敏電阻器單元 2 的上方，且其中，該發光二極體 1 係於其底部形成一覆晶式(Flipchip)連接結構 11。該壓敏電阻器單元 2 上形成有二組相互隔開之分別為正極和負極的電性連接點 3a、3b。該壓敏電阻器單元 2 係藉由此以金屬層來具體實施之電性連接點 3a、3b 來連接至發光二極體 1 的覆晶式連接結構 11。此元件組裝架構包括一容納具 7 (於圖式中僅顯示其中一部分)，其中，該壓敏電阻器單元 2 的電性連接點 3a 係連接至該容納具 7 上的對應之連接點 9、10。該壓敏電阻器單元 2 係將層化之鋁製之接地用之電性連接結構 3b 的上方部分用來作為第二電性連接結構，用以連接至容納具 7 的導電部分。

第 4 圖揭露一元件組裝架構的剖面示意圖，其中，顯示一發光二極體 1 安裝於一壓敏電阻器單元 2 的上方；且其中，該發光二極體 1 係藉由其底部上所設置之一組未顯示於圖式中的正極電性連接點和一組未顯示於圖式中的負

極電性連接點來連接至該壓敏電阻器單元 2。該壓敏電阻器單元於其本身方面係係安裝於一容納具 7 上，且該容納具 7 形成有一凹陷部 12(或井狀部)，可用來安裝該壓敏電阻器單元 2 及其所承載之發光二極體 1。發光二極體及壓敏電阻器單元二者即以此方式整合至該容納具。該發光二極體的頂部形成有二組電性連接點，分別連接至一條連接線。此些連接線係分別連接至容納具 7 上之對應的正極電性連接點 9 或負極電性連接點 10。該壓敏電阻器單元 2 上形成有一接地之電性連接結構 3b，其係連接至一與該容納具上之正極電性連接點 9 或負極電性連接點 10 形成絕緣隔離之接地部 13。此絕緣隔離作用係藉由一絕緣層 14 來提供，其中，該絕緣層 14 係具體實施為該容納具上的一項固定的構件。

於壓敏電阻器單元 2 所承載之半導體元件為發光二極體的情況下，較佳的實施方式為例如設置一反射層於該容納具 7 上用來轉折該發光二極體的上方表面上，特別是該凹陷部 12 的內側表面上，可藉此來增強該發光二極體所發射出之光線的外部光耦合效能。此外，亦可於壓敏電阻器單元的上方表面上的多餘不用的區域上同樣地配置一反射層來提供相同的功效。

第 5 圖(a)為一元件組裝架構的上視結構示意圖，其中，顯示該壓敏電阻器單元 2 的頂面上設置有二個相互分開之電性連接結構 3a、3b，其可分別以導電層來具體實施。該第一電性連接結構 3a 係以虛線框來表示，且其係用

以連接至該壓敏電阻器單元 2 上所安裝的半導體元件 1；且其中，該半導體元件於其本體上相對於該電性連接結構 3a 的對面上設置有一相對應之電性連接結構，例如係設置於其頂部表面上(請例如同時參閱第 6 圖)。此第一電性連接結構 3a 之附近亦同樣地在頂部表面上設置有一分開之第二電性連接結構 3b，用以將該壓敏電阻器單元 2 連接至外部設施，例如為容納具的電性連接部 9。此第二電性連接結構 3b 的較佳實施方式係例如於該壓敏電阻器單元上的金屬層上設置一連接線，用以將該壓敏電阻器單元電性連接至該容納具 7。

第 5 圖(b)顯示第 5 圖(a)所示之元件組裝架構的剖面結構示意圖，其中，特別顯示此元件組裝架構的底部進而設置有作為接地用之第二電性連接結構 3b。

第 6 圖顯示一光電元件組裝架構，其中，係將一壓敏電阻器單元 2 及其所承載之半導體元件 1(例如為發光二極體)以整合方式共同安裝至容納具 7 上的凹陷部 12 之中。該壓敏電阻器單元 2 的電性連接結構係根據第 5 圖(a)和第 5 圖(b)所示之方式來建構。此凹陷部 12 的較佳實施方式為於其曝露至該發光二極體所發出之光線的上方表面上塗佈上一反射層。藉此可整體性地增強該元件組裝架構的外部光耦合效能。該壓敏電阻器單元之接地用的電性連接結構 3b 係連接至該容納具 7 上之對應的接地部 13，其中，該接地部 13 係藉由絕緣層 14 來與正極電性連接點 9 及負極電性連接點 10 形成電性隔離。該容納具中設置凹陷部

12 的區域可為其接地部 13 所在的區域。此區域可例如採用金屬(例如為銅或鋁)來製成，特別是利用電阻很低及反射性很高的金屬來具體實施，以藉此提供一更高的外部光耦合效能。

壓敏電阻器單元 2 的較佳實施方式為將其實體接觸至容納具的導熱性區域，藉此於二者之間形成熱耦合，以令該容納具可將來自壓敏電阻器單元的熱量(即壓敏電阻器單元 2 及/或半導體元件 1 所產生的熱量)排散至外部環境。

第 7 圖為一元件組裝架構的剖面結構示意圖，其中，顯示該壓敏電阻器單元 2 具有一內部電極 4。此內部電極 4 係設置於該壓敏電阻器單元的內部，且其延伸方向為平行於半導體元件的支撐面，並進而連接至一連通柱結構 5。此內部電極 4 的二端係均位於壓敏電阻器單元 2 的內部而不超出其邊界之外。

除了連接至連通柱結構 5 之外，該內部電極 4 係以一浮空方式來設置。該連通柱結構 5 係用以將該內部電極 4 電性連接至壓敏電阻器單元之頂部上的第二電性連接結構 3b。此連通柱結構的具體實施方式可為於壓敏電阻器單元之內部設置一填上金屬的鑽孔。此鑽孔中的金屬的較佳實施方式為與第二電性連接結構 3b 以及內部電極 4 共同採用同一種金屬。該壓敏電阻器單元 2 的底部則配置有一接地用之第二電性連接結構 3b。

壓敏電阻器單元 2 具有一壓敏電阻陶瓷材料製之堆疊式結構層，其中，即將該內部電極配置於此堆疊式結構層

中之二個相鄰之結構層之間。

如第 8 圖所示之元件組裝架構，該壓敏電阻器單元 2 配置有複數個散熱通道 6，其中，此些散熱通道 6 亦可利用導熱性之連通柱結構來實現。此些散熱通道 6 係以垂直方式從壓敏電阻器單元 2 的頂部的半導體元件支撐面延伸至壓敏電阻器單元的底部或延伸至其接地面。此些散熱通道於具體實施上可為於壓敏電阻器單元的內部於垂直方向形成裝填高導熱性材料的鑽孔。此些散熱通道 6 所用之導熱性材料可為金屬。本發明的一種較佳實施方式為將散熱通道 6 中的導熱性材料以導熱性良好之陶瓷材料來實施，特別是導熱性較周圍之材料更高之陶瓷材料。此導熱性材料亦可採用金屬和導熱性良好之陶瓷材料二者混合而成的複合材料。本發明除了複數個散熱通道 6 的實施方式之外，亦可僅包括單一個散熱通道，其亦係從壓敏電阻器單元 2 的頂部延伸至底部。

以上圖式所揭露之各種不同的散熱通道均可適合應用於本說明書所描述之元件組裝架構之各種不同的實施方式中的壓敏電阻器單元。

第 8 圖進而顯示散熱通道 6 的橫向側邊(即半導體元件的支撐面上)配置有複數個疊置之內部電極 4 於壓敏電阻器單元 2 的內部，且此複數個內部電極 4 之每一個均係連接至一對應之連通柱結構 5。此複數個內部電極 4 包括一第一內部電極，其係透過一個連通柱結構 5 而電性連接至壓敏電阻器單元 2 之底部上的接地用之電性連接結構

3b；並進而包括一第二內部電極，其係透過另一個連通柱結構 5 而電性連接至壓敏電阻器單元 2 之用來連接至外部電路的電性連接結構 3b(此電性連接結構 3b 係例如配置於壓敏電阻器單元的頂部)。二個內部電極之間的空間即用來安置壓敏電阻材料。此些內部電極的延伸方向係平行於該壓敏電阻器單元上之半導體元件 1 的安裝表面；而該連通柱結構 5 的延伸方向則係垂直於該些內部電極。此處所示之壓敏電阻器單元 2 亦同樣地具有一堆疊式之陶瓷結構層，且該堆疊式結構中的二個相鄰之陶瓷結構層之間即至少配置一個內部電極。

第 9 圖顯示一沿著長邊方向設置之多層型壓敏電阻器單元 2，其中，係於此多層型結構中之二個相鄰之陶瓷結構層之間配置金屬結構。此多層型壓敏電阻器單元之長邊的上方處所安裝之半導體元件 1 的底部設置有延伸之薄金屬層，可將半導體元件所產生之熱量排散至容納具 7。該壓敏電阻器單元 2 的第二電性連接結構 3b 係用以連接至內部電極 4(第二電性連接結構 3b 其中有一組係作為接地用)，其連接方式為將內部電極中的第一單元連接至接地用之電性連接結構，並將另一第二單元連接至外接用之電性連接結構 3b。於堆疊方向上，每一個第一單元的內部電極 4 均係鄰接至一第二單元的內部電極 4。此些內部電極於此多層型壓敏電阻器單元的堆疊方向上係形成多個重疊之平面(於正交投影方向上)。此些內部電極重疊平面之間所容納之壓敏電阻陶瓷材料可作為介電質。該半導體元件之底

部的導熱性及金屬化之散熱通道 6 以及內部電極 4 均係於垂直方向延伸至半導體元件的支撐平面。

第 9 圖所示之實施例的一項特別的優點在於散熱通道 6 和內部電極 4 二者可共同以相同之製程於壓敏電阻陶瓷層上印製出來，藉此可顯著地降低此元件組裝架構的製造成本。

以上對於本說明書所描述之各個實施例所須了解的一點是，每一個壓敏電阻器單元的實施方式可為採用一壓敏電阻陶瓷材料所製成之複合材料來作為主構件或作成一母體架構，並採用一導熱性良好之材料來作為填充材料。對於多層型之壓敏電阻器單元而言，其中之壓敏電阻陶瓷材料層的實施方式可為單一層或複數層。

【圖式簡單說明】

以上實施例即配合下列所述之圖式來對本發明的目的作更進一步詳細的說明：

第 1 圖(a)為一上視結構示意圖，用以顯示一元件組裝架構中的電性連接結構的上視結構形態；

第 1 圖(b)為一剖面結構示意圖，用以顯示第 1 圖(a)所示之元件組裝架構的剖面結構形態；

第 2 圖為一剖面結構示意圖，用以顯示一具有容納具的元件組裝架構所應用的第一種電性連接方式；

第 3 為一剖面結構示意圖，用以顯示一具有容納具的元件組裝架構所應用的第二種電性連接方式；

第 4 圖為一剖面結構示意圖，用以顯示應用第一種電

性連接方式之具有容納具的元件組裝架構；

第 5 圖(a)為一上視結構示意圖，用以顯示一元件組裝架構於上方設置二個分離之電性連接設施；

第 5 圖(b)為一剖面結構示意圖，用以顯示第 5 圖(a)所示之元件組裝架構的剖面結構形態；

第 6 圖為一剖面結構示意圖，用以顯示一元件組裝架構於其所採用之容納具上設置有一凹陷部時的剖面結構形態；

第 7 圖為一剖面結構示意圖，用以顯示一元件組裝架構於採用第 5 圖(a)和第 5 圖(b)所示之上方表面組裝方式時的剖面結構形態，其中，特別顯示壓敏電阻器單元上所設置的內部電極和連通柱結構；

第 8 圖為一剖面結構示意圖，用以顯示一元件組裝架構於採用第 5 圖(a)和第 5 圖(b)所示之上方表面組裝方式及安裝上一壓敏電阻器單元時的剖面結構形態，其中，特別顯示一半導體元件和一壓敏電阻器單元及其所屬之多個散熱通道和內部電極；以及

第 9 圖顯示第 8 圖所示之元件組裝架構於採用交錯式之散熱通道和內部電極時的剖面結構示意圖。

【主要元件符號說明】

1	半導體元件	2	壓敏電阻器單元
3a、3b	電性連接結構	4	內部電極
5	連通柱結構	6	散熱通道
7	容納具	8	電極連接點

- 9、10 電極連接點；電性連接點
- 11 覆晶式連接結構
- 12 凹陷部 13 接地部
- 14 絕緣層

102年12月2日修正頁

七、申請專利範圍：

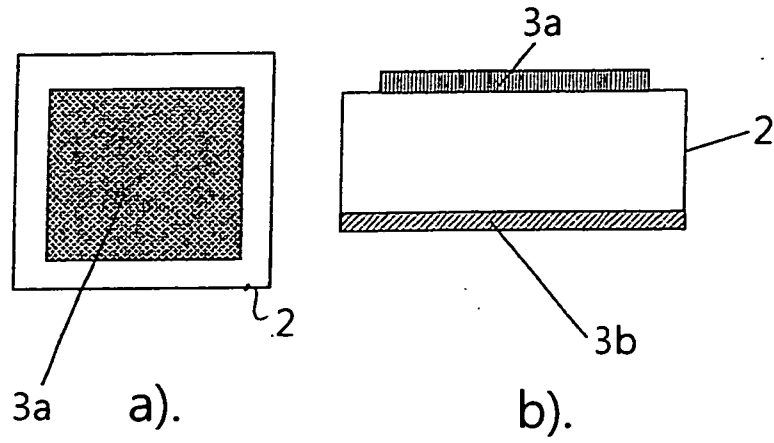
1. 一種電子元件組裝架構，其包含至少一半導體元件(1)，係安裝於一壓敏電阻器單元(2)之上；其中，該壓敏電阻器單元係與該半導體元件的靜電放電防護設施形成接觸；且其中，該壓敏電阻器單元內含有一複合材料，且該複合材料係利用一壓敏電阻陶瓷材料來形成母體和一與該壓敏電阻陶瓷材料不同之導熱性材料來形成填充材料，該填充材料為導熱性大於 $100\text{W}/(\text{m}\cdot\text{K})$ 的金屬及週期表上第 2 列及第 3 列之過渡金屬或其合金，而該壓敏電阻陶瓷材料為氮化鋁、碳化矽、氧化鈣、或錳氧化物。
2. 如申請專利範圍第 1 項之電子元件組裝架構，其中，該壓敏電阻器單元(2)復包括複數個電性連接結構(3a、3b)，且其中，至少包括一第一電性連接結構(3a)連接至該半導體元件(1)。
3. 如申請專利範圍第 2 項之電子元件組裝架構，其中，該壓敏電阻器單元(2)上的複數個電性連接結構(3a、3b)包括一與該第一電性連接結構分離之第二電性連接結構(3b)，其係用以將該壓敏電阻器單元連接至外部。
4. 如申請專利範圍第 3 項之電子元件組裝架構，其中，該第二電性連接結構(3b)係配置於該壓敏電阻器單元(2)的底部。
5. 如申請專利範圍第 1 項至第 4 項中任一項之電子元件組裝架構，其中，該半導體元件(1)與該壓敏電阻器單元

- (2)之間係以覆晶方式形成連接。
6. 如申請專利範圍第 2 項至第 4 項中任一項之電子元件組裝架構，其中，該壓敏電阻器單元(2)包括至少一內部電極(4)，係連接至該電性連接結構(3a、3b)。
 7. 如申請專利範圍第 6 項之電子元件組裝架構，其中，該內部電極(4)係採用至少一連通柱結構(5)來連接至該電性連接結構(3a、3b)。
 8. 如申請專利範圍第 7 項之電子元件組裝架構，其係包括複數個內部電極(4)，係與該壓敏電阻器單元(2)上的不同之電性連接結構(3a、3b)形成連接，且係配置於共同之重疊平面。
 9. 如申請專利範圍第 1 項至第 4 項中任一項之電子元件組裝架構，其中，該壓敏電阻器單元(2)包括至少一散熱通道(6)，可對該半導體元件(1)所產生之熱量提供散熱作用。
 10. 如申請專利範圍第 9 項之電子元件組裝架構，其中，該散熱通道(6)內含一材料，且該材料係選自於以下材料之其中至少一種：金屬和導熱性陶瓷材料。
 11. 如申請專利範圍第 1 項至第 4 項中任一項之電子元件組裝架構，其中，該壓敏電阻器單元(2)係與安裝於其上之半導體元件(1)共同整合至一容納具(7)，且該容納具係配置於一與該壓敏電阻器單元形成連接及熱耦合之散熱區域上。
 12. 如申請專利範圍第 1 項至第 4 項中任一項之電子元件組

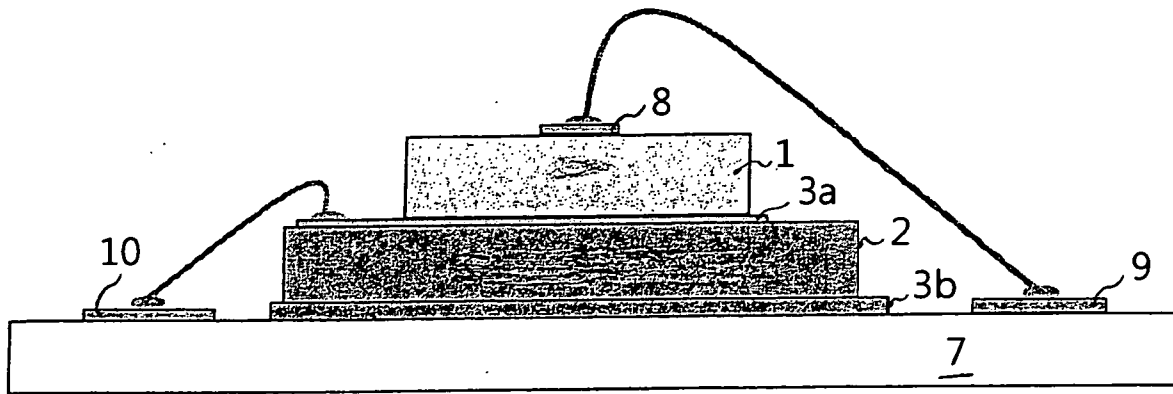
裝架構，其中，該壓敏電阻器單元(2)和該半導體元件(1)係以一平行方式相互連接。

13. 如申請專利範圍第 1 項至第 4 項中任一項之電子元件組裝架構，其中，該半導體元件(1)係選自於以下多種類型之元件：發光二極體、電容器、熱敏電阻器、二極體、放大器、和變壓器。
14. 如申請專利範圍第 1 項至第 4 項中任一項之電子元件組裝架構，其復包含一熱敏電阻器，可利用其電阻對溫度之特性來對該半導體元件的控制電流提供一調整作用。

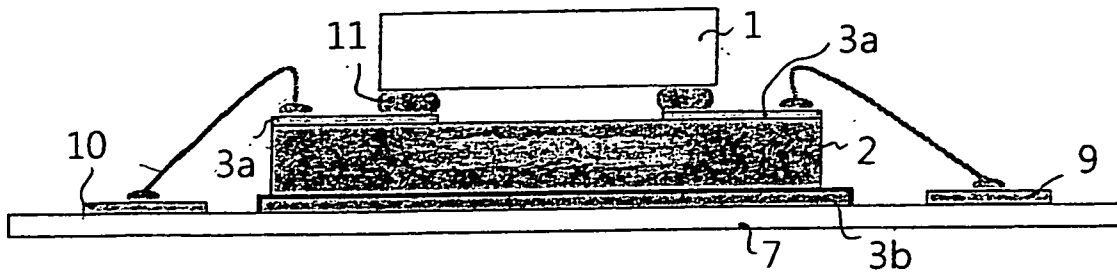
八、圖式：



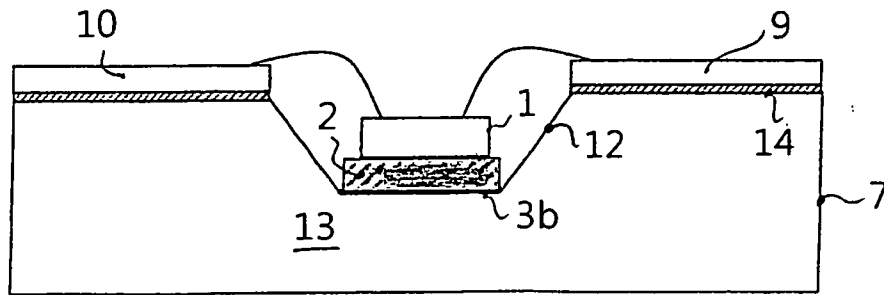
第1圖



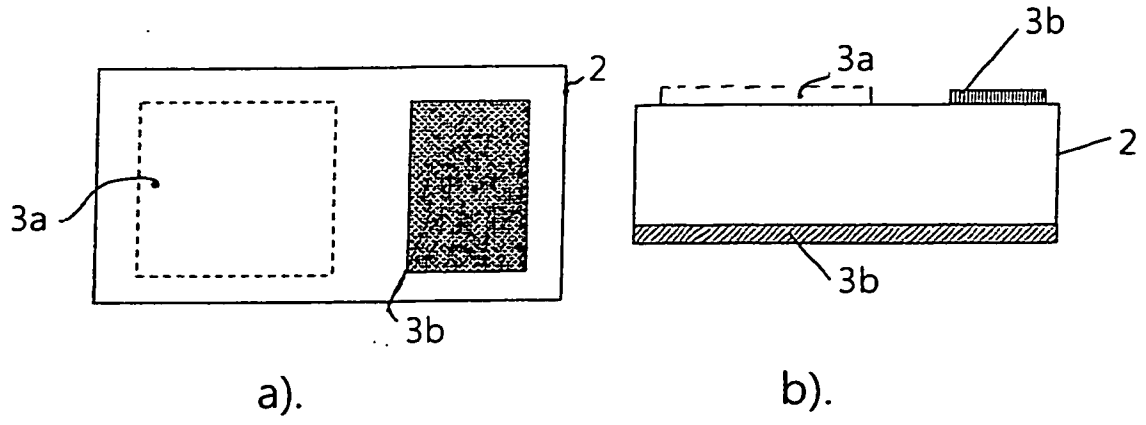
第2圖



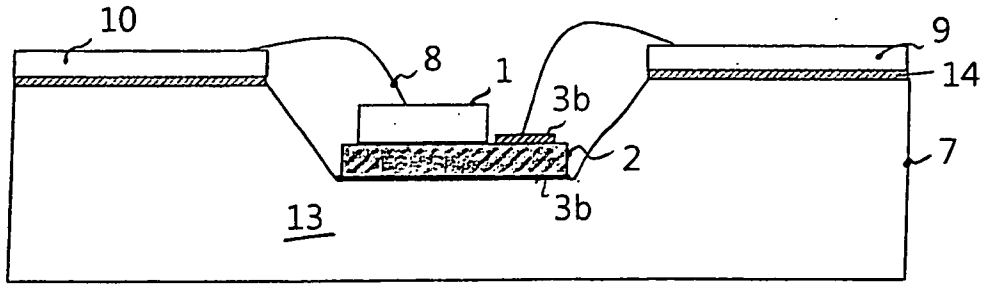
第3圖



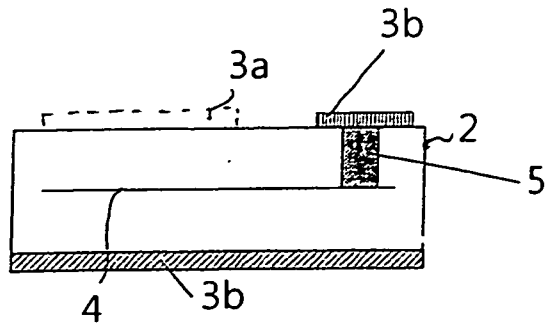
第4圖



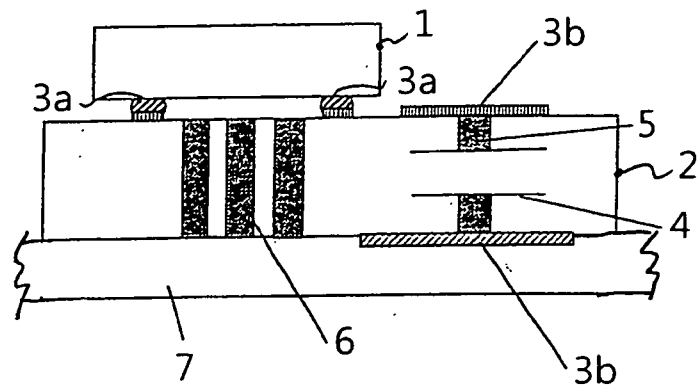
第5圖



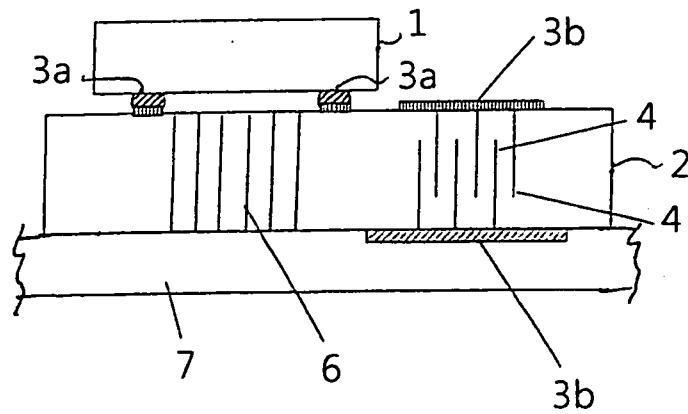
第6圖



第7圖



第8圖



第9圖