(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월04일
(11) 등록번호 10-0791635
(24) 등록일자 2007년12월27일

(51) Int. Cl.
H04B 7/005 (2006.01) *H04L 27/00* (2006.01)
(21) 출원번호 10-2006-0094498
(22) 출원일자 2006년09월28일
심사청구일자 2006년09월28일
(56) 선행기술조사문헌
US20040022303 A1
US20050135470 A1
US20050135471 A1
US20050271173 A1

(73) 특허권자
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
김규영
부산 남구 용호3동 388-10-21/1
김수원
서울 성북구 돈암동 636번지 브라운스톤 돈암아파트 104동 401호
(74) 대리인
현종철

전체 청구항 수 : 총 9 항 심사관 : 천대녕

(54) 고속 적응형 이퀄라이저

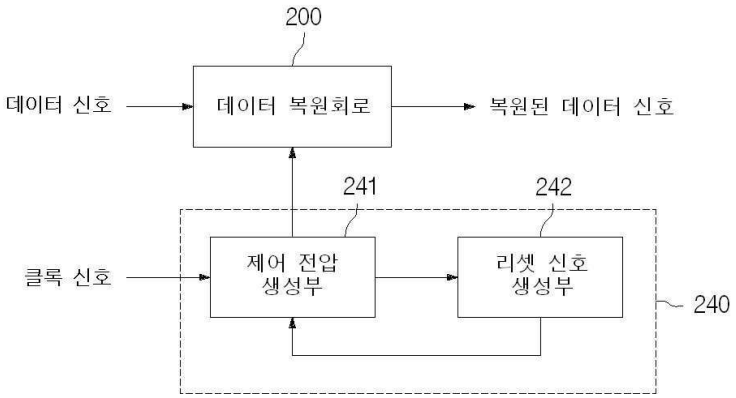
(57) 요 약

고속 적응형 이퀄라이저가 개시된다.

본 발명은 송신단에서 전송된 데이터 신호의 왜곡을 보상하는 데이터 복원회로 및 상기 송신단에서 전송된 클록 신호의 손실을 보상하는 클록 복원회로를 포함하고, 상기 클록 복원회로는 클록 채널을 통해 전송되는 클록신호의 진폭을 이용하여 상기 클록신호의 감쇄 정도에 따른 제어전압을 생성하고, 상기 제어전압을 상기 데이터 복원회로에 인가하여 상기 데이터 신호의 채널을 통한 손실분을 보상하는 제어 전압 생성부 및 상기 보상된 클록 신호를 이용하여 상기 제어전압을 위한 최저 전압값을 갱신하게 하는 리셋신호를 상기 제어 전압 생성부에 인가하는 리셋 신호 생성부를 포함하고, 상기 데이터 복원회로는 상기 제어전압에 따라 상기 데이터 신호의 고주파 성분을 선택적으로 증폭하는 가변 이득 증폭부를 포함한다.

본 발명에 의하면, 클록 채널을 통해 전송되는 클록을 시간에 대한 변화를 감시하고 이퀄라이저의 제어 전압을 추출함으로써, 적응형 이퀄라이저의 구현이 용이하며, 채널에 대한 감쇄를 정확하게 측정할 수 있고, 수신된 데이터의 패턴에 따라서 적응 루프의 동작이 쉽게 영향을 받지 않는다.

대표도 - 도2



특허청구의 범위

청구항 1

송신단에서 전송된 데이터 신호의 왜곡을 보상하는 데이터 복원회로; 및

상기 송신단에서 전송된 클록신호의 손실을 보상하는 클록 복원회로를 포함하고

상기 클록 복원회로는

클록 채널을 통해 전송되는 클록신호의 진폭을 이용하여 상기 클록신호의 감쇄 정도에 따른 제어전압을 생성하고, 상기 제어전압을 상기 데이터 복원회로에 인가하여 상기 데이터 신호의 채널을 통한 손실분을 보상하는 제어 전압 생성부; 및

상기 보상된 클록 신호를 이용하여 상기 제어전압을 위한 최저 전압값을 갱신하게 하는 리셋신호를 상기 제어전압 생성부에 인가하는 리셋 신호 생성부를 포함하고,

상기 데이터 복원회로는

상기 제어전압에 따라 상기 데이터 신호의 고주파 성분을 선택적으로 증폭하는 가변 이득 증폭부를 포함하는 고속 적응형 이퀄라이저.

청구항 2

제 1 항에 있어서,

상기 제어 전압 생성부는

상기 클록신호의 최저 전압값을 측정하는 바닥 검출부; 및

상기 최저 전압값의 범위를 상기 데이터 복원회로의 입력 범위 이내로 조정하여 생성한 제어전압을 출력하는 레벨 쉬프터를 포함하는 것을 특징으로 하는 고속 적응형 이퀄라이저.

청구항 3

제 1 항에 있어서,

상기 리셋 신호 생성부는

상기 클록신호를 분주하여 소정의 주기마다 상기 리셋신호를 생성하는 복수의 분주기를 포함하는 것을 특징으로 하는 고속 적응형 이퀄라이저.

청구항 4

제 3 항에 있어서,

상기 복수의 분주기는

트루 싱글 페이즈 클록 방식의 D 플립 플롭을 포함하는 것을 특징으로 하는 고속 적응형 이퀄라이저.

청구항 5

제 1 항에 있어서,

상기 클록신호에서 고주파 성분을 추출하는 고역 통과 필터; 및

상기 제어 전압의 크기에 따라 상기 데이터 신호의 고주파 성분을 증폭시키는 가변 이득 증폭부를 더 포함하는 것을 특징으로 하는 고속 적응형 이퀄라이저.

청구항 6

제 5 항에 있어서,

상기 증폭된 고주파 성분을 신호 왜곡없이 증폭시키는 풀스윙 증폭부를 더 포함하는 것을 특징으로 하는 고속 적응형 이퀄라이저.

청구항 7

제 6 항에 있어서,

상기 풀스윙 증폭부의 출력에서 차동 신호의 듀티 사이클 디스토션을 감소시키고 상기 풀스윙 증폭부의 출력을 상기 리셋 신호 생성부에 인가하는 버퍼부를 더 포함하는 것을 특징으로 하는 고속 적응형 이퀄라이저.

청구항 8

송신단에서 전송된 데이터 신호의 왜곡을 보상하는 데이터 복원회로; 및

상기 송신단에서 전송된 클록신호의 손실을 보상하는 클록 복원회로를 포함하고

상기 클록 복원회로는

클록 채널을 통해 전송되는 클록신호의 진폭을 이용하여 상기 클록신호의 감쇄 정도에 따른 제어전압을 생성하고, 상기 제어전압을 상기 데이터 복원회로에 인가하여 상기 데이터 신호의 채널을 통한 손실분을 보상하는 제어 전압 생성부를 포함하고,

상기 데이터 복원회로는

상기 제어전압에 따라 상기 데이터 신호의 고주파 성분을 선택적으로 증폭하는 가변 이득 증폭부를 포함하는 고속 적응형 이퀄라이저.

청구항 9

제 8 항에 있어서,

상기 제어 전압 생성부는

상기 클록신호의 최저 전압값을 측정하는 바닥 검출부; 및

상기 최저 전압값의 범위를 상기 데이터 복원회로의 입력 범위 이내로 조정하여 생성한 제어전압을 출력하는 레벨 쉬프터를 포함하는 것을 특징으로 하는 고속 적응형 이퀄라이저.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<17> 본 발명은 이퀄라이저에 관한 것으로, 특히, 고속 적응형 이퀄라이저에 관한 것이다.

<18> 멀티미디어 데이터 통신의 요구에 의해 네트워크 장비의 동작 속도는 수 Gb/s에 달하고 있다. 대용량의 정보를 처리하기 위해서 칩의 동작속도를 증가시키는 것만으로는 부족하게 되었으며, 종래의 병렬 전송 방식을 사용할 때 소자의 입출력(I/O) 수의 제한이나 채널간의 지연으로 인한 전송거리의 제한 등과 같은 많은 문제점들이 나타나고 있다. 이와 같은 문제점들을 해결하기 위해서는 종래의 병렬 전송 방식 대신 케이블을 사용한 고속의 직렬 전송 방식을 사용하는 것이 시스템의 성능이나 측면에서 유리하다.

<19> 버스를 통한 병렬 데이터 전송방식이 직렬전송방식으로 바뀜에 따라 데이터 전송 속도가 더욱더 급속히 증가한다. 데이터 전송에 사용되었던 도선의 주파수대역(bandwidth)는 이러한 요구를 만족시키지 못하게 되었으며, 채널에서는 주파수 의존 손실(frequency-dependant loss)와 크로스 토크 문제가 발생한다.

<20> NRZ타입의 데이터를 유선 채널을 통해 전송할 경우 신호를 손상시키는 많은 요인들이 존재한다. 그 중에서 채널의 주파수에 따른 감쇄는 ISI (Inter Symbolic Interference)를 일으키게 된다. 채널 특성을 극복하기 위해서 수신 단에 이퀄라이저를 구현하여 수신 신호의 성능을 개선하는 시도가 이루어지고 있다.

<21> 채널의 감쇄에 의해 발생하는 ISI를 제거하기 위해서 디지털 방식의 이퀄라이저와 아날로그 방식의 이퀄라이저에 관한 논문들이 발표되었다. 디지털 방식의 이퀄라이저는 고성능의 ADC를 사용하여 고성능을 나타내기도 하지만, 많은 전력 소모와 칩 면적을 차지한다는 단점이 있다. 또 수 Gb/s 대역의 고속의 데이터를 복구를 위해 사용된 ADC의 제한된 동작 속도가 전체 시스템 성능을 제한한다.

<22> 반면에 아날로그 방식은 Gm-C 필터나 OP-AMP를 이용한 필터로 구현된 이퀄라이저 구조의 클록 채널을 통해 전송되는 클록 신호의 전송 속도는 데이터 채널을 통해 전송되는 데이터 신호의 최대 데이터 전송 속도와 동일하므로, 클록 채널을 통해 전송되는 클록 신호의 분석을 통해 시간에 대한 채널의 특성 변화를 감시할 수 있다. 데이터 채널만을 이용하는 종래 방식의 경우, 채널의 특성 변화를 감시하기 위해서 수신되는 데이터 신호의 전력을 비교하였으나, 여러 주파수 성분이 존재하는 데이터 신호로부터 제어 정보를 추출해야하기 때문에, 구조가 매우 복잡하고, 구현이 쉽지 않다는 단점이 있다.

<23> 도 1은 종래의 적응형 이퀄라이저의 블럭도이다. 여러 논문에 따른 구조는 조금씩 차이는 있지만, 기본 블록 다이어그램은 도 1과 같다. 종래의 적응형 이퀄라이저에서는 수신되는 데이터를 슬라이서를 통과시켜 통과 전후의 신호들의 전력을 비교하여 제어 신호를 추출한다.

<24> 따라서, 종래의 적응형 이퀄라이저는 채널의 특성 변화를 감시하기 위해서 수신되는 데이터 신호의 전력을 비교하였으나, 여러 주파수 성분이 존재하는 데이터 신호로부터 제어 정보를 추출해야하기 때문에, 구조가 매우 복잡하고, 구현이 쉽지 않으며, 수신된 데이터의 패턴에 따라서 적응 루프의 동작이 쉽게 영향을 받는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<25> 따라서, 본 발명이 이루고자 하는 첫번째 기술적 과제는 적응형 이퀄라이저의 구현이 용이하며, 채널에 대한 감쇄를 정확하게 측정할 수 있고, 수신된 데이터의 패턴에 따라서 적응 루프의 동작이 쉽게 영향을 받지 않는 고속 적응형 이퀄라이저를 제공하는데 있다.

<26> 본 발명이 이루고자 하는 두번째 기술적 과제는 상기의 고속 적응형 이퀄라이저를 이용한 고화질 멀티미디어 인터페이스를 제공하는데 있다.

발명의 구성 및 작용

<27> 상기의 첫번째 기술적 과제를 이루기 위하여, 본 발명은 송신단에서 전송된 데이터 신호의 왜곡을 보상하는 데이터 복원회로 및 상기 송신단에서 전송된 클록신호의 손실을 보상하는 클록 복원회로를 포함하고, 상기 클록 복원회로는 클록 채널을 통해 전송되는 클록신호의 진폭을 이용하여 상기 클록신호의 감쇄 정도에 따른 제어전압을 생성하고, 상기 제어전압을 상기 데이터 복원회로에 인가하여 상기 데이터 신호의 채널을 통한 손실분을 보상하는 제어 전압 생성부 및 상기 보상된 클록 신호를 이용하여 상기 제어전압을 위한 최저 전압값을 갱신하게 하는 리셋신호를 상기 제어 전압 생성부에 인가하는 리셋 신호 생성부를 포함하고, 상기 데이터 복원회로는 상기 제어전압에 따라 상기 데이터 신호의 고주파 성분을 선택적으로 증폭하는 가변 이득 증폭부를 포함하는 고속 적응형 이퀄라이저를 제공한다.

<28> 또한, 상기의 첫번째 기술적 과제를 이루기 위하여, 본 발명은 송신단에서 전송된 데이터 신호의 왜곡을 보상하는 데이터 복원회로 및 상기 송신단에서 전송된 클록신호의 손실을 보상하는 클록 복원회로를 포함하고, 상기 클록 복원회로는 클록 채널을 통해 전송되는 클록신호의 진폭을 이용하여 상기 클록신호의 감쇄 정도에 따른 제어전압을 생성하고, 상기 제어전압을 상기 데이터 복원회로에 인가하여 상기 데이터 신호의 채널을 통한 손실분을 보상하는 제어 전압 생성부를 포함하고, 상기 데이터 복원회로는 상기 제어전압에 따라 상기 데이터 신호의 고주파 성분을 선택적으로 증폭하는 가변 이득 증폭부를 포함하는 고속 적응형 이퀄라이저를 제공한다.

<29> 상기의 두번째 기술적 과제를 이루기 위하여, 본 발명은 송신단에서 전송된 데이터 신호의 왜곡을 복수의 데이

터 채널에서 보상하여 상기 데이터 신호의 논리적 레벨을 출력하는 데이터 복원회로 및 상기 송신단에서 전송된 클록신호의 손실을 클록 채널에서 보상하는 클록 복원회로를 포함하고, 상기 클록 복원회로는 상기 클록 채널을 통해 전송되는 클록신호의 진폭을 이용하여 상기 클록신호의 감쇄 정도에 따른 제어전압을 생성하고, 상기 제어전압을 상기 데이터 복원회로에 인가하여 상기 데이터 신호의 상기 데이터 채널을 통한 손실분을 보상하는 제어전압 생성부 및 상기 보상된 클록 신호를 이용하여 상기 제어전압을 위한 최저 전압값을 갱신하게 하는 리셋신호를 상기 제어 전압 생성부에 인가하는 리셋 신호 생성부를 포함하는 고속 적응형 이퀄라이저를 이용한 고화질 멀티미디어 인터페이스를 제공한다.

<30> 본 발명은 고속 수신기에 사용되는 적응형 이퀄라이저의 제어정보 추출 방법에 대한 관한 것이다.

<31> HDMI용 수신단는 3개의 데이터 채널과 1개의 클록 채널로 구성된다. 1개의 클록 채널을 통해 전송되는 클록 신호의 전송 속도는 데이터 채널을 통해 전송되는 데이터 신호의 최대 데이터 전송 속도와 동일하므로, 클록 채널을 통해 전송되는 클록 신호의 분석을 통해 시간에 대한 채널의 특성 변화를 감시할 수 있다. 데이터 채널만을 이용하는 종래 방식의 경우, 채널의 특성 변화를 감시하기 위해서 수신되는 데이터 신호의 전력을 비교하였으나, 여러 주파수 성분이 존재하는 데이터 신호로부터 제어 정보를 추출해야하기 때문에, 구조가 매우 복잡하고, 구현이 쉽지 않다는 단점이 있다.

<32> 따라서 이하에서는 클록 채널을 통해 전송되는 클록을 시간에 대한 변화를 감시하고 이퀄라이저의 제어 전압을 추출하는 아날로그 방식의 이퀄라이저를 설계한다.

<33> 고속 시리얼 인터페이스(Serial Interface)에서 주로 사용되는 송수신기(transceiver)에서 시리얼 데이터의 속도는 점차 증가하여 수 Gb/s 대역 이상으로 빨라지고 있다. 이와 같이, 데이터의 전송속도가 증가함에 따라 수신기의 지터(jitter) 잡음이 주요한 요소로 작용한다. 긴 케이블 또는 PCB 라우팅을 주요 매체로 하는 경우, ISI(Inter-Symbol-Interference)를 줄이기 위해 수신기에 이퀄라이저(equalizer)를 추가한다.

<34> 유선 채널로 사용되는 케이블이나 PCB 패턴의 전달함수는 수학식 1과 같이 모델링 될 수 있다.

수학식 1

<35> $$H(s) = \exp(-La\sqrt{s})$$

<36> 여기서 L은 채널의 길이며, a는 채널의 특성 상수이다. 이러한 유선 채널은 저주파 성분만 통과(low-pass filter) 시키므로 고주파의 품질저하(frequency degradation)를 발생시킨다. 따라서 유선 채널을 통해 데이터를 수신하기 위한 이퀄라이저의 전달함수는 유선 채널의 역함수가 되어야 한다. 즉, 이퀄라이저는 고주파 신호를 선택적으로 증폭할 수 있는 전달함수를 가져야 하며, 채널의 특성과 길이에 따라 적응적인 동작이 가능해야 한다.

<37> 이하에서는 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다.

<38> 도 2는 본 발명에 따른 고속 적응형 이퀄라이저의 블럭도이다.

<39> 도 2의 적응형 이퀄라이저는 크게 데이터 복원 회로(200)와 클록 복원 회로(240)로 구성된다.

<40> 데이터 복원회로(200)는 송신단에서 전송된 데이터 신호의 왜곡을 보상한다.

<41> 클록 복원회로(240)는 송신단에서 전송된 클록신호의 손실을 보상한다.

<42> 클록 복원회로(240)는 제어 전압 생성부(241) 및 리셋 신호 생성부(242)를 포함한다.

<43> 제어 전압 생성부(241)는 클록 채널을 통해 전송되는 클록신호의 진폭을 이용하여 클록신호의 감쇄 정도에 따른 제어전압을 생성한다. 또한, 제어 전압 생성부(241)는 제어전압을 데이터 복원회로(200)에 인가하여 제어전압에 따라 데이터 신호의 채널을 통한 손실분을 보상하게 한다.

<44> 리셋 신호 생성부(242)는 클록 복원회로(240)에서 보상된 클록 신호를 이용하여 제어전압을 위한 최저 전압값을 갱신하게 하는 리셋신호를 생성한다. 또한, 리셋 신호 생성부(242)는 리셋신호를 제어 전압 생성부(241)에 인가하여 제어전압 생성을 위한 최저 전압값을 갱신시킨다.

<45> 도 3a는 도 2의 상세 블럭도이다.

<46> 도 3a의 적응형 이퀄라이저는 데이터 복원 회로(300)와 클록 복원 회로(340)로 구성된다.

<47> 데이터 복원회로(300)는 송신단에서 전송된 신호의 왜곡을 보상해 주는 역할을 하며 가변 이득 증폭부(Variable Gain Amplifier, VGA)(310), 풀스윙 증폭부(Full Swing Amplifier, FSA)(320), 버퍼(Buffer)(330)를 포함한다. 가변 이득 증폭부(310)는 클록 복원회로(340)의 제어전압에 따라 데이터 신호의 고주파 성분을 선택적으로 증폭한다.

<48> 클록 복원회로(340)는 송신단에서 전송된 클록의 손실을 보상해 주는 역할을 한다.

<49> 클록 복원회로(340)는 가변 이득 증폭부(350), 풀스윙 증폭부(360), 버퍼부(370)를 포함하고, 제어 전압 생성부(Control Voltage Generator, CVG)(380), 리셋 신호 생성부(Reset Signal Generator, RSG)(390)를 더 포함한다.

<50> 클록 복원회로는 클록을 보상해 주는 역할 뿐만 아니라 채널의 시간에 대한 특성 변화를 감시하는 역할을 한다. 즉, 제어 전압 생성부(380) 즉, CVG 회로가 클록 채널을 통해 전송되는 클록 신호의 진폭을 이용해 채널에서의 데이터 손실 정보를 추출할 뿐만 아니라, 시간에 대한 채널의 특성 변화에 대한 정보를 추출한다. CVG 회로는 채널에서의 클록 신호의 감쇄 정도에 따라 제어 전압(V_{ctrl})을 생성한 후, 데이터 채널의 이퀄라이저에 공급함으로써, 데이터신호의 채널을 통한 손실분을 보상한다.

<51> 가변 이득 증폭부(350)는 클록신호에서 고주파 성분을 추출하는 고역 통과 필터 및 제어 전압의 크기에 따라 상기 데이터 신호의 고주파 성분을 증폭시킨다.

<52> 풀스윙 증폭부(360)는 증폭된 고주파 성분을 신호 왜곡없이 증폭시킨다.

<53> 버퍼부(370)는 풀스윙 증폭부(360)의 출력에서 차동 신호의 듀티 사이클 디스토션을 감소시키고 풀스윙 증폭부(360)의 출력을 리셋 신호 생성부(390))에 전송한다.

<54> 바람직하게는, 제어 전압 생성부(380)는 클록신호의 최저 전압값을 측정하는 바닥 검출부(681) 및 최저 전압값의 범위를 데이터 복원회로의 입력 범위 이내로 조정하여 생성한 제어전압을 출력하는 레벨 쉬프터(682)로 구성될 수 있다.

<55> 바람직하게는, 리셋 신호 생성부(390)는 클록신호를 분주하여 소정의 주기마다 리셋신호를 생성하는 복수의 분주기를 포함할 수 있다. 이때, 복수의 분주기는 트루 싱글 페이즈 클록 방식(TSPC)의 D 플립 플롭(DFF)을 포함할 수 있다.

<56> 도 3b은 본 발명에 따른 적응형 이퀄라이저의 작동 원리를 나타내는 흐름도이다. 도 3b는 도 3a의 적응형 이퀄라이저의 작동 원리를 도식적으로 표현한다.

<57> 본 발명에 따른 적응형 이퀄라이저는 데이터 채널과 클록 채널로 구성된다. 데이터 클록은 가변 이득 증폭부(이하 "VGA"), 풀스윙 증폭부(이하 "FSA"), 버퍼부(BUFFER)로 구성된다.

<58> 먼저, VGA는 제어 전압(V_{ctr})에 따라 데이터의 고주파 성분을 선택적으로 증폭시킨다. 고속의 시리얼 인터페이스의 경우, 전송받는 데이터의 진폭이 제한을 받으므로 버퍼부(BUFFER)의 입력으로 인가하기 위해서는 진폭을 증가시켜야 한다.

<59> 클록 채널은 데이터의 채널의 구조와 유사하며 CVG, RSG이 더 포함한다.

<60> 제어 전압 생성부(이하 "CVG")는 바닥 검출부(Bottom detector)를 이용하여 클록의 최저 전압값을 측정하므로 채널의 감쇄 정도를 검출한다. 또한, 감쇄 정도에 비례하여 제어 전압을 발생시켜 데이터 채널의 VGA에 인가시켜 줌으로써 데이터의 고주파 성분을 보상한다. CVG에서 바닥 검출부(Bottom detector)를 사용하는 경우, 순간적인 잡음(노이즈)이 데이터에 발생하면 잘못된 최저 전압값(V_{tr})을 계속 가질 수 있는 문제점이 있다.

<61> 이 문제점을 보완하기 위해 리셋 신호 생성부(이하 "RSG")에서 복원된 클록을 사용하여 주기적으로 바닥 검출부(Bottom detector)에 리셋(Reset) 신호를 인가하여 새롭게 최저 전압값(V_{tr})을 찾게 한다.

<62> 다음, FSA는 VGA의 출력 전압(V_{ctr})의 진폭을 증가시킨다.

<63> 다음, 버퍼는 논리 레벨("0" 또는 "1")로 출력을 발생시킨다.

<64> 본 발명에 따른 적응형 이퀄라이저의 경우 데이터 채널외에 클록 채널이 필요하다. 고화질 멀티미디어 인터페이스(High Definition Multimedia Interface , HDMI)의 경우, 3개의 데이터 채널과 1개의 클록 채널을 가지게 되므로 본 발명에 따른 고속 적응형 이퀄라이저를 적용할 수 있다.

<65> 도 4a 및 도 4b는 도 3a에 적용되는 가변 이득 증폭부(310, 350)의 회로도이다.

<66> VGA의 회로는 크게 도 4a의 고역 통과 필터(High pass filter)와 도 4b의 VGA로 구성된다.

<67> 채널을 통해 전송되는 클록(CK_{in}+, CK_{in}-)은 고역 통과 필터(HPF)를 통과하면서 클록의 고주파 성분(V_h+, V_h-)만 추출된다. 이 두 쌍의 신호들은 각각 MN1, MN2와 MN3, MN4로 인가된다. MN5에 인가되는 제어 전압(V_{ctr})이 MN3, MN4에 흐르는 전류를 제어하게 되고 이것이 VGA에 전송된 클록의 고주파 성분만 선택적으로 증폭하게 한다. 따라서 채널의 의한 고주파 성분의 감쇄를 보상할 수 있다.

<68> 도 4c는 도 4a 및 도 4b의 VGA 회로에서 제어 전압 (V_{ctr})에 따른 주파수 응답 특성을 나타내는 모의 실험 결과이다.

<69> 도 4c는 도 4a에서, 예를 들어, C1, C2를 0.5 pF으로 정하고, R1, R2를 50 Ω으로, R3, R4를 500 Ω으로 정한 경우의 결과 그래프이다. 즉, 제어 전압에 따라 특정 주파수 대역에서의 전압이득이 변하게 되어 제어 전압에 따라 VGA가 고주파 성분만을 증폭시킴을 확인할 수 있다.

<70> 도 5a는 도 3a에 적용되는 풀스윙 증폭부(320, 360)의 회로도이다.

<71> 예를 들어, 송신단에서 전송되는 데이터 신호는 1.6V의 공통 전압과 400mV의 진폭을 가진다고 가정하면, VGA의 출력 또한 동일한 공통 전압과 진폭을 가진다. 그러나, 이퀄라이저의 최종 출력 신호는 TTL 레벨이 요구되므로, 데이터 신호의 왜곡 없이 VGA의 출력 신호를 증폭할 수 있는 풀스윙 증폭부(FSA)(320, 360)가 필요하다. VGA, FGA는 소모하는 전류의 양만 다를 뿐, 모두 송신단의 Line 드라이버와 동일한 구조를 가진다.

<72> 도 5b는 도 3a에 적용되는 버퍼부(330, 370)의 회로도이다.

<73> 버퍼부는 이퀄라이저의 가장 마지막 단에 위치한다. 이퀄라이저의 최종 출력은 데이터 복원 회로에 인가되므로 TTL레벨이면서 50% duty 비를 가져야 한다. 예를 들어, 차동 신호의 듀티 사이클 디스토션(Duty cycle distortion)을 줄이기 위해서 두 신호 사이에 2개의 래치(Latch) (단위 사이즈 즉, Nmos, Pmos = 1u/0.18u, 3.1u/0.18u)의 인버터)를 추가하고, 데이터 복원 회로에 데이터 신호를 전송하기 위해서 인버터의 사이즈를 ×3, ×9로 증가시켜 줄 수 있다.

<74> 도 6a는 도 3a에 적용되는 제어 전압 생성부(380)의 회로도이다.

<75> CVG의 회로는 크게 바닥 검출부 (Bottom detector)(681)와 레벨 쉬프터(level shifter)(682) 블록으로 구성된다.

<76> CVG는 클록 채널에 사용된 블록으로서 송신단에서 전송된 클록 신호를 통해 채널에서 데이터 신호의 손실 정도와 채널의 시간에 특성 변화를 감시한다.

<77> 클록 채널을 통해 전송된 클록 신호로부터 채널의 특성을 파악할 경우, 고정된 주파수를 갖는 클록 신호로부터 제어 정보를 추출하기 때문에, 비교적 쉽게 시스템을 구현할 수 있다.

<78> 바닥 검출부(681)는 클록 신호의 Bottom (V_{bottom}) level을 측정하기 위한 Bottom hold 회로이다. 레벨 쉬프터(682)는 VGA의 입력 범위 이내로 Bottom hold 회로의 출력 범위를 조정힌다.

<79> 바닥 검출부(681)에서, MN6으로 VGA의 출력($V_{o,VGA}$)이 인가되고 MN7로 기억되어 있는 최저 전압값(V_{bottom})이 인가되어 두 값이 비교된다. MN8은 다이오드 연결되어 있으므로 최저 전압값(V_{bottom})이 VGA의 출력($V_{o,VGA}$)보다 작을 때만 도통하게 되어 C_{Hold}에 새로운 최저 전압값을 가지게 된다. 따라서 이 블록은 VGA의 출력($V_{o,VGA}$)의 최저 전압값을 추출하고 이것을 통해서 전송되는 채널에서의 감쇄를 측정한다.

<80> 레벨 쉬프터(682)는 바닥 검출부(681)에서 추출된 최저 전압(Vbottom)을 VGA의 입력 범위에 맞추는 역할을 한다.

<81> 이 두 개의 블록으로 CVG회로는 데이터 복원회로의 VGA를 제어하는 제어 전압(V_r)을 발생시킨다.

<82> 도 6b는 도 6a의 각 노드에서 출력 파형을 나타낸 그래프이다.

<83> 도 6b는 본 발명에 따른 CVG의 모의 실험 결과이다. 도 6b에에서는 $V_{o,VGA}$, V_{bottom}, V_{ctr}의 파형을 볼 수 있다. V_{bottom}이 VGA의 최저 전압값을 측정함을 알 수 있으며 또한 V_{ctr}의 전압이 V_{bottom}보다 내려감을 확인할 수 있다.

<84> 도 7a는 도 3에 적용되는 리셋 신호 생성부(390)의 회로도이다.

<85> 도 7a는 RSG의 블록 다이어그램을 나타낸 것이다. CVG에 사용된 Bottom hold 회로는 클록 채널을 통해 전송된 클록 신호에 온도, 공정 등의 변화에 의한 노이즈 성분의 영향으로 잘못된 Bottom 값을 가질 수 있다는 단점이 있다. 따라서 노이즈 성분의 영향에 둔감하도록 하기 위해서 RSG를 이용해 주기적으로 Reset 신호를 발생시켜 준다. 예를 들어, 도 7a와 같이, RSG는 8단의 분주기로 구성될 수 있으며, $2^8/2=2^7$clock 주기마다, 1 clock 동안 V_{reset}을 발생시킨다.

<86> 도 7b는 도 7a의 분주기에 적용되는 트루 싱글 페이즈 클록 방식의 D 플립 플롭의 회로도이다.

<87> 도 7c는 도 7a의 출력 파형을 나타낸는 그래프이다.

<88> 이때, 고속의 분주기를 구현하기 위해서 도 7b와 같은 트루 싱글 페이즈 클록 방식(True Single Phase Clock, TSPC)의 D 플립 플롭(DFF)을 사용할 수 있다. 본 발명에 따른 고속 적응형 이퀄라이저의 모의실험을 위해서 도 8과 같이 채널을 저역 통과 필터(LPF)로 모델링 한 다음 R, C 값을 변화시키면서 이퀄라이저의 최종 출력을 확인한다. 도 8의 채널 모델링은 채널의 손실만을 고려하여 본 발명에 따른 고속 적응형 이퀄라이저의 성능 평가하기 위한 것으로, 고속 채널 모델링을 위해서는 L, G 성분을 추가로 고려할 수 있다.

<89> 도 9a 내지 도 9d는 R, C 값의 변화에 따른 도 8의 채널 특성 변화를 나타내는 그래프이다.

<90> 이때, 모의실험은 1.65Gbps 보다 고속인 2Gbps의 데이터를 이용해 진행한다.

<91> 도 10a 내지 도 10d는 본 발명에 따른 고속 적응형 이퀄라이저의 모의 실험 결과이다.

<92> 도 10a 내지 도 10d는 도 8의 채널 모델링을 이용하여 R, C 값을 변화시켜가면서 측정한 이퀄라이저의 최종 출력을 나타낸 것이다. 즉, 본 발명에 따른 고속 적응형 이퀄라이저의 D_{in}, D_{out}, C_{in}의 Eye diagram, V_{reset}를 측정한 것이다.

<93> 도 10a는 R=1KΩ, C=0.5pF인 경우, 도 10b는 R=1KΩ, C=1pF인 경우, 도 10c는 R=1.5KΩ, C=1pF인 경우, 도 10d는 R=2KΩ, C=1pF인 경우를 나타낸다.

<94> 도 10a 내지 도 10d에서 좌측 상단의 그래프는 채널의 길이에 따른 본 발명에 따른 고속 적응형 이퀄라이저의 아이 패턴(eye diagram)을 나타낸다. 채널의 길이에 따라 채널에서의 감쇄가 비례하므로 채널의 길이를 달리하여 이퀄라이저의 아이 패턴을 보는 것이 반드시 요구된다. 도 10a 내지 도 10d에서 보듯이 본 발명에 따른 이퀄라이저는 채널의 길이에 따라 적응적으로 작동함을 확인할 수 있다.

<95> 모의실험 결과 R=1.5KΩ, C=1.5pF(@freqeuncy=1GHz, Loss=-24dB)인 경우까지 데이터를 복원해 냄을 알 수 있다.

<96> 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 그러나, 이와 같은 변형은 본 발명의 기술적 보호범위내에 있다고 보아야 한다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해서 정해져야 할 것이다.

발명의 효과

<97> 상술한 바와 같이, 본 발명에 의하면, 클록 채널을 통해 전송되는 클록을 시간에 대한 변화를 감시하고 이퀄라이저의 제어 전압을 추출함으로써, 적응형 이퀄라이저의 구현이 용이하며, 채널에 대한 감쇄를 정확하게 측정할 수 있고, 수신된 데이터의 패턴에 따라서 적응 루프의 동작이 쉽게 영향을 받지 않는 효과가 있다.

도면의 간단한 설명

<1> 도 1은 종래의 적응형 이퀄라이저의 블럭도이다.

<2> 도 2는 본 발명에 따른 고속 적응형 이퀄라이저의 블럭도이다.

<3> 도 3a는 도 2의 상세 블럭도이다.

<4> 도 3b는 도 3a의 적응형 이퀄라이저의 작동 원리를 나타낸 것이다.

<5> 도 4a 및 도 4b는 도 3a에 적용되는 가변 이득 증폭부의 회로도이다.

<6> 도 4c는 도 4a 및 도 4b의 VGA 회로에서 제어 전압 (V_{ctr})에 따른 주파수 응답 특성을 나타내는 모의 실험 결과이다.

<7> 도 5a는 도 3a에 적용되는 풀스윙 증폭부의 회로도이다.

<8> 도 5b는 도 3a에 적용되는 버퍼부의 회로도이다.

<9> 도 6a는 도 3a에 적용되는 제어 전압 생성부의 회로도이다.

<10> 도 6b는 도 6a의 각 노드에서 출력 파형을 나타낸 그래프이다.

<11> 도 7a는 도 3에 적용되는 리셋 신호 생성부의 회로도이다.

<12> 도 7b는 도 7a의 분주기에 적용되는 트루 싱글 페이즈 클록 방식의 D 플립 플롭의 회로도이다.

<13> 도 7c는 도 7a의 출력 파형을 나타낸는 그래프이다.

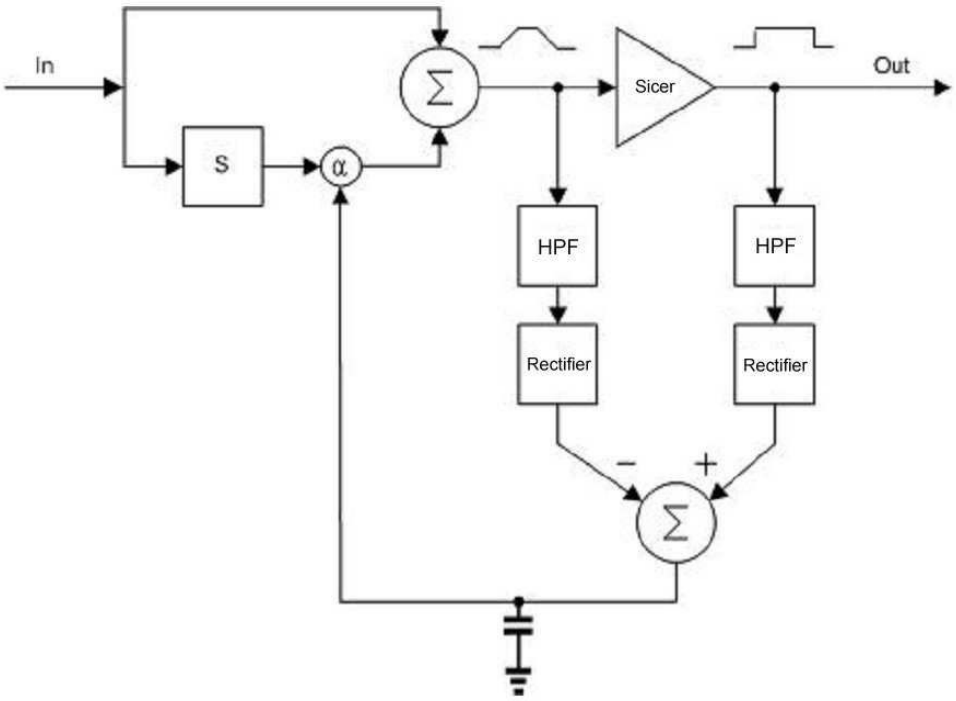
<14> 도 8은 본 발명에 따른 고속 적응형 이퀄라이저의 모의실험을 위해서 모델링된 채널의 회로도이다.

<15> 도 9a 내지 도 9d는 R, C 값의 변화에 따른 도 8의 채널 특성 변화를 나타내는 그래프이다.

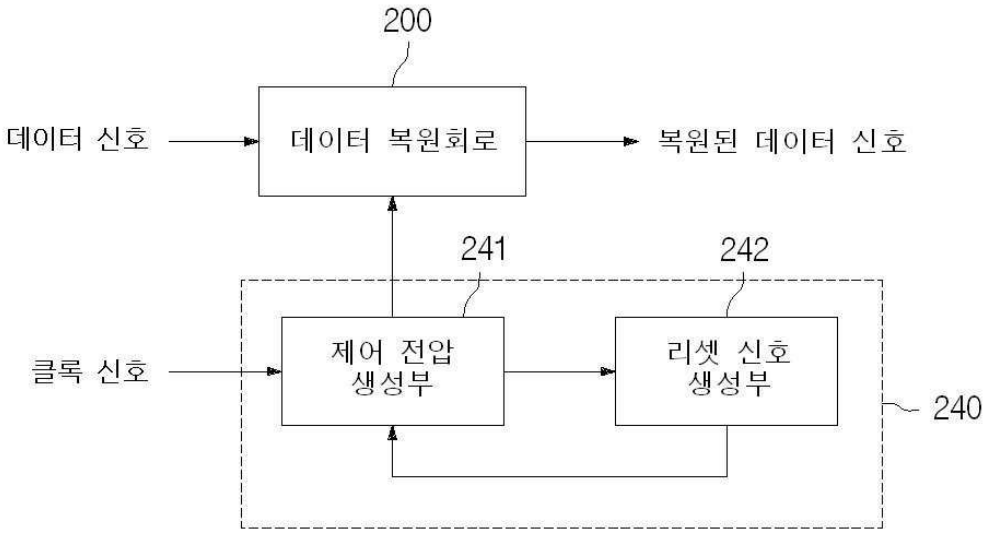
<16> 도 10a 내지 도 10d는 본 발명에 따른 고속 적응형 이퀄라이저의 모의 실험 결과이다.

도면

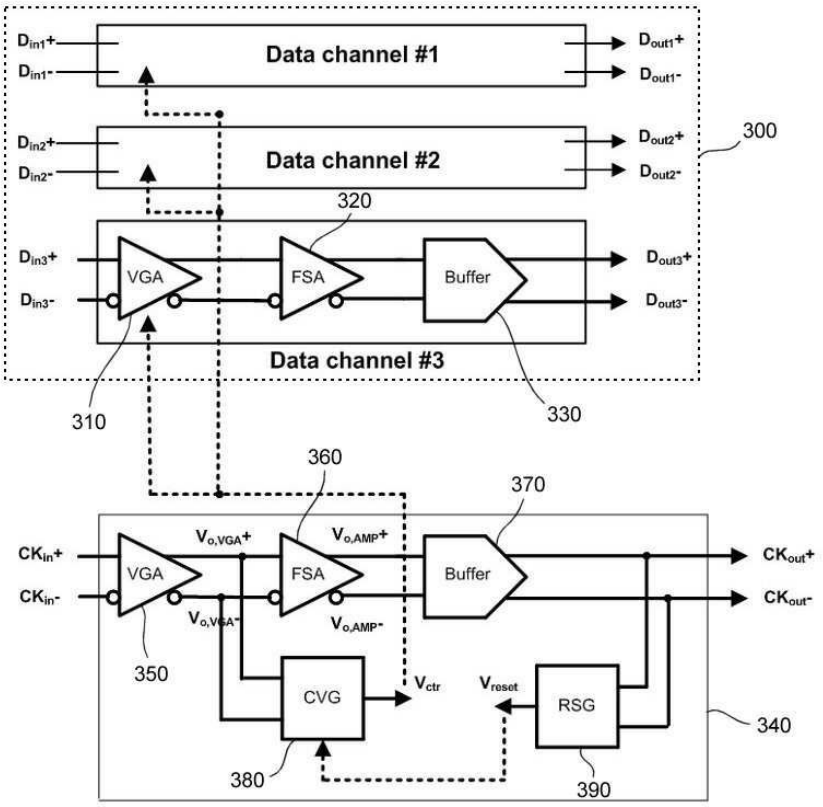
도면1



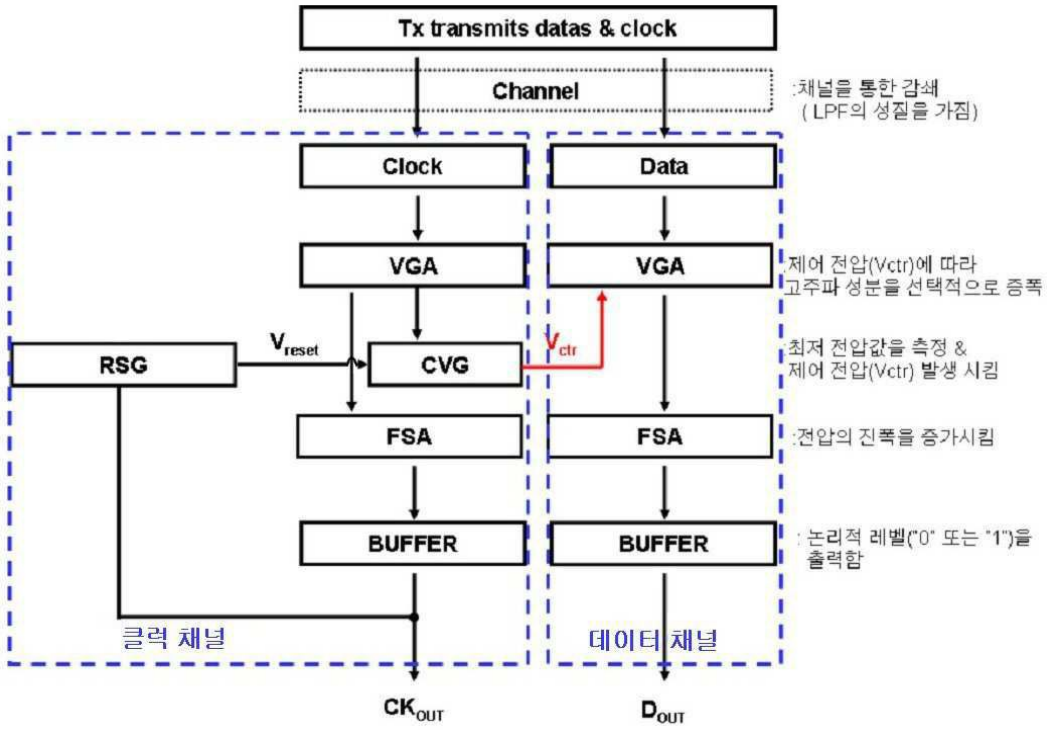
도면2


200
데이터 신호
데이터 복원회로
복원된 데이터 신호
241
242
클록 신호
제어 전압 생성부
리셋 신호 생성부
240

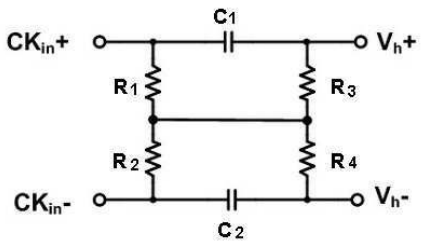
도면3a


Data channel #1
Data channel #2
Data channel #3
VGA
FSA
Buffer
CVG
RSG
300
310
320
330
340
350
360
370
380
390

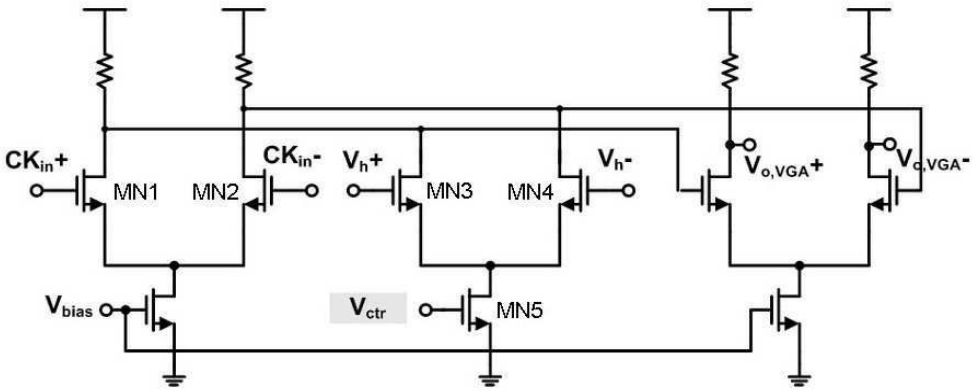
도면3b



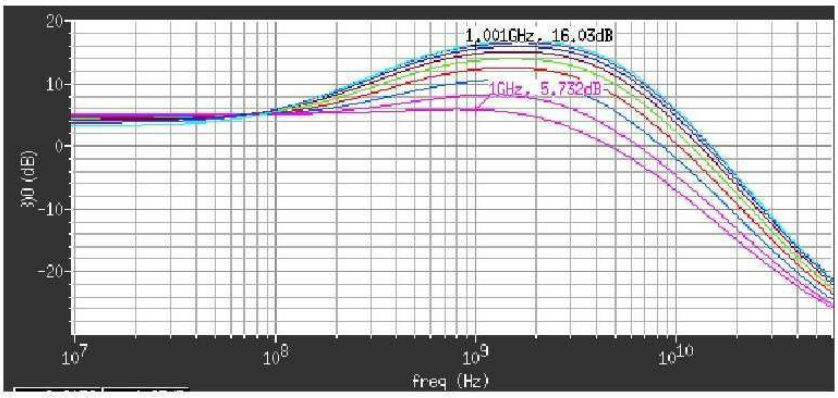
도면4a



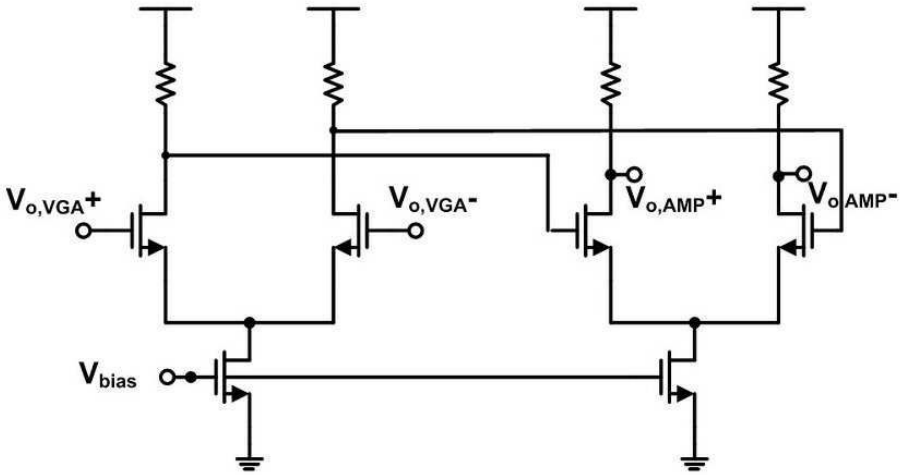
도면4b



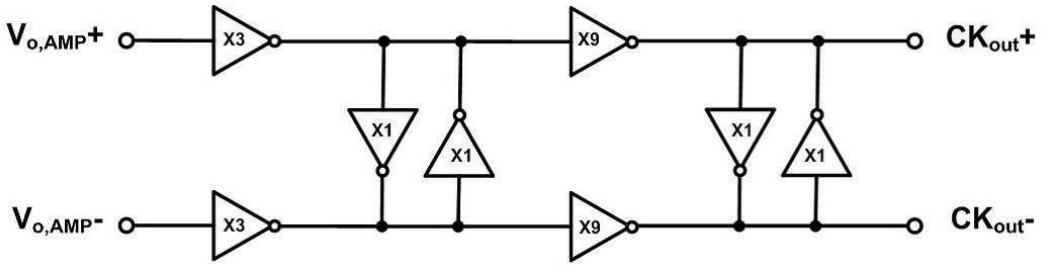
도면4c



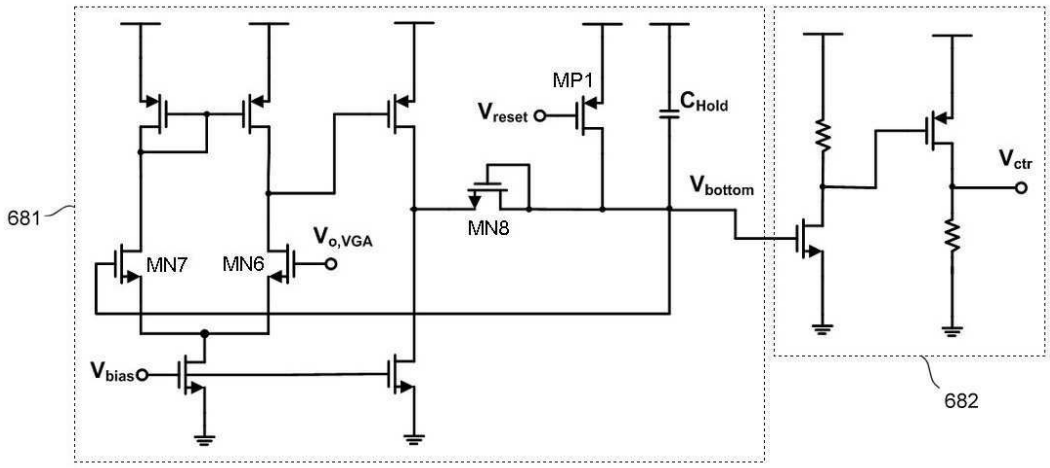
도면5a



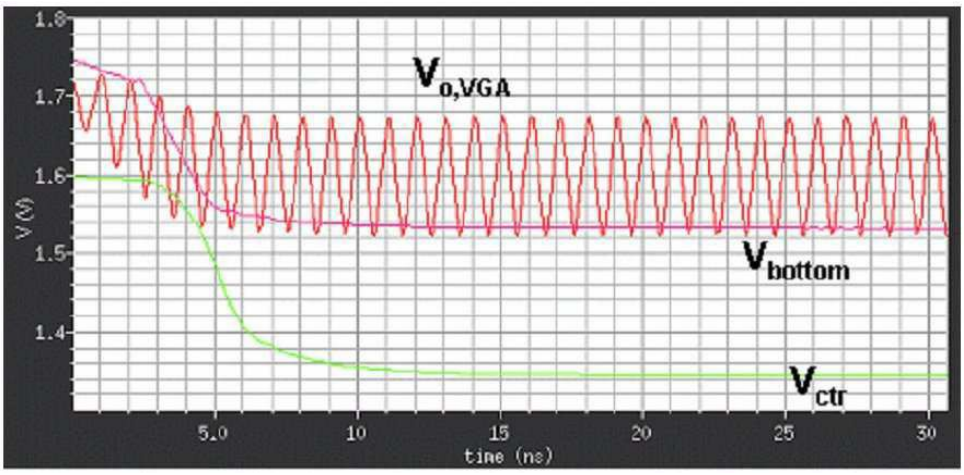
도면5b



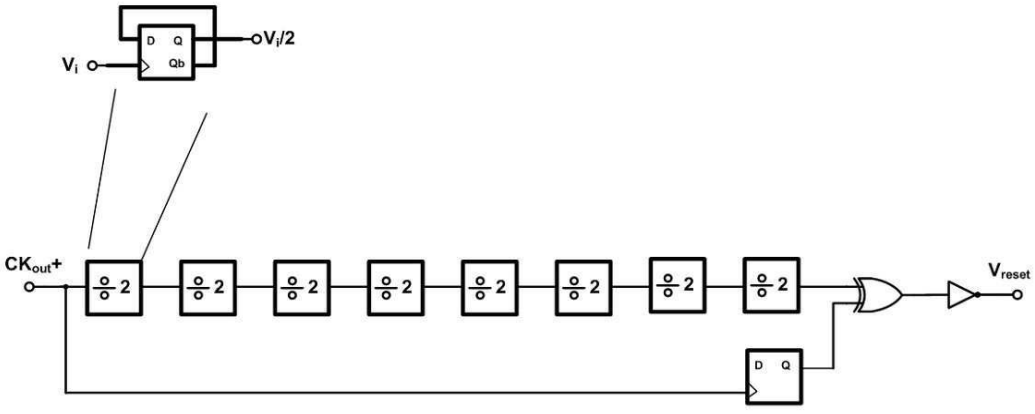
도면6a



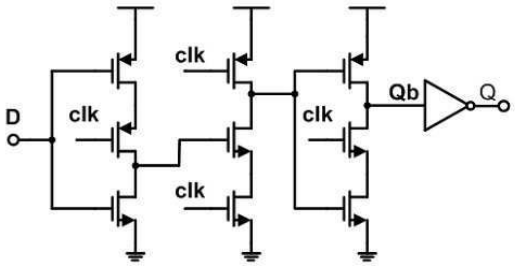
도면6b



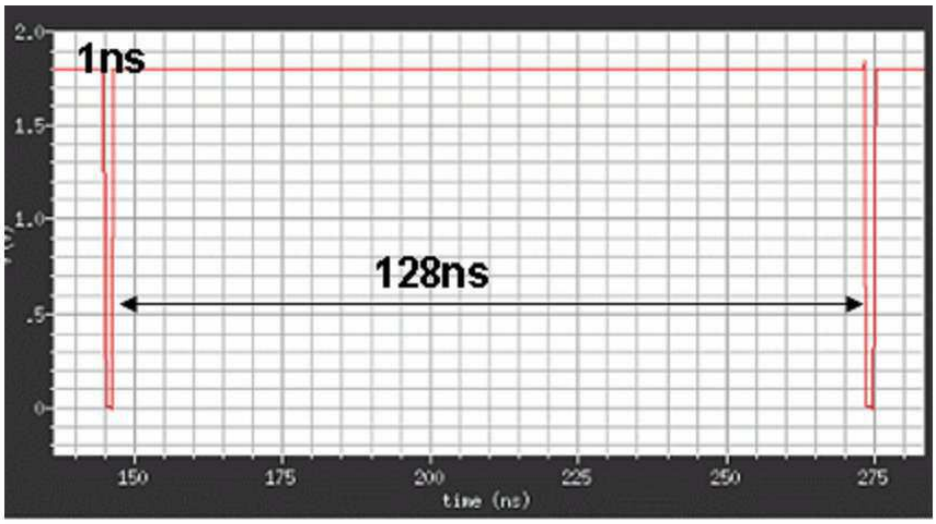
도면7a



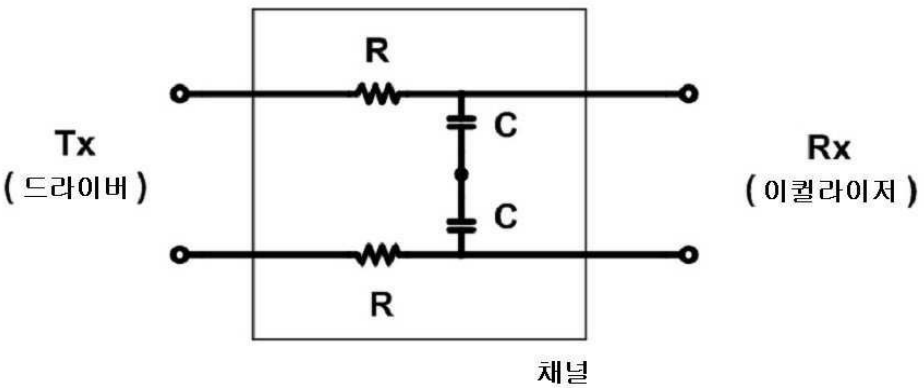
도면7b



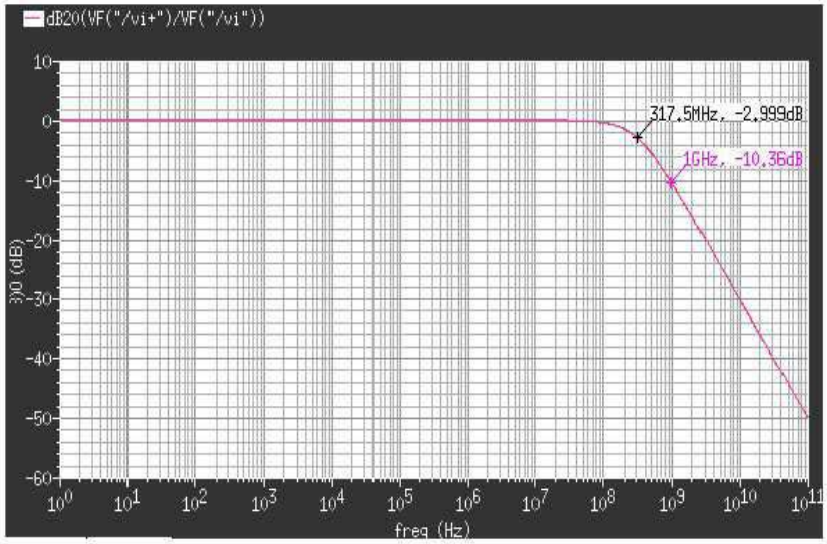
도면7c



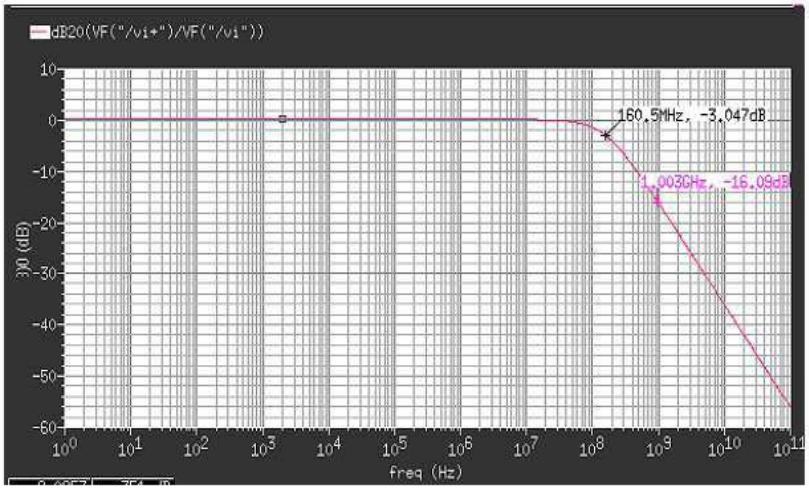
도면8



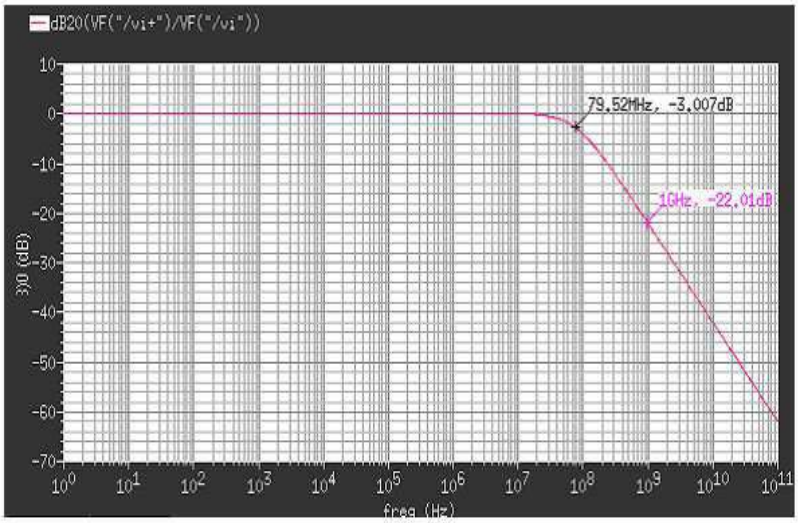
도면9a


dB20(VF("/vi+")/VF("/vi"))
317.5MHz, -2.999dB
1GHz, -10.36dB
freq (Hz)

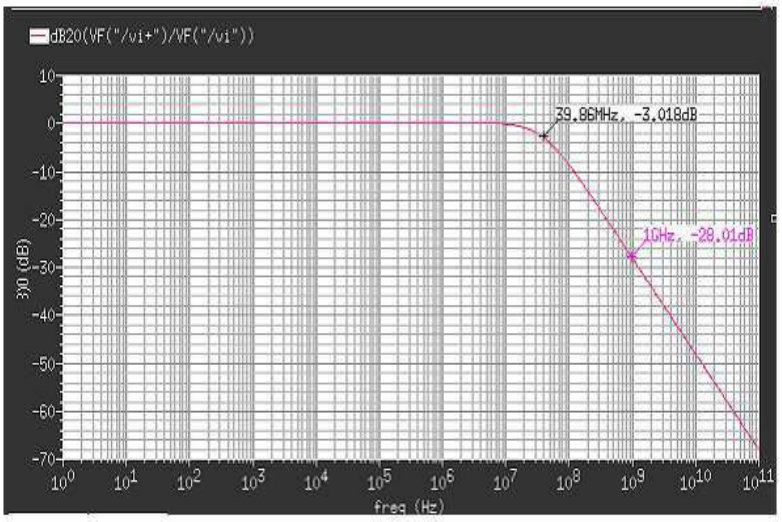
도면9b


dB20(VF("/vi+")/VF("/vi"))
160.5MHz, -3.047dB
freq (Hz)

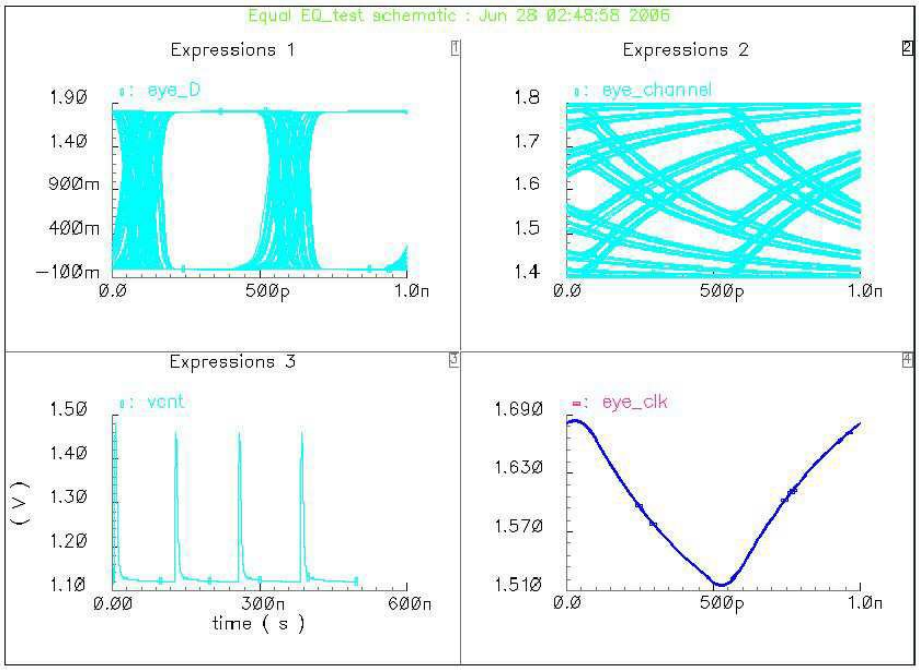
도면9c


dB20(VF("/vi+")/VF("/vi"))
79.52MHz, -3.007dB
1GHz, -22.01dB
30 (dB)
freq (Hz)

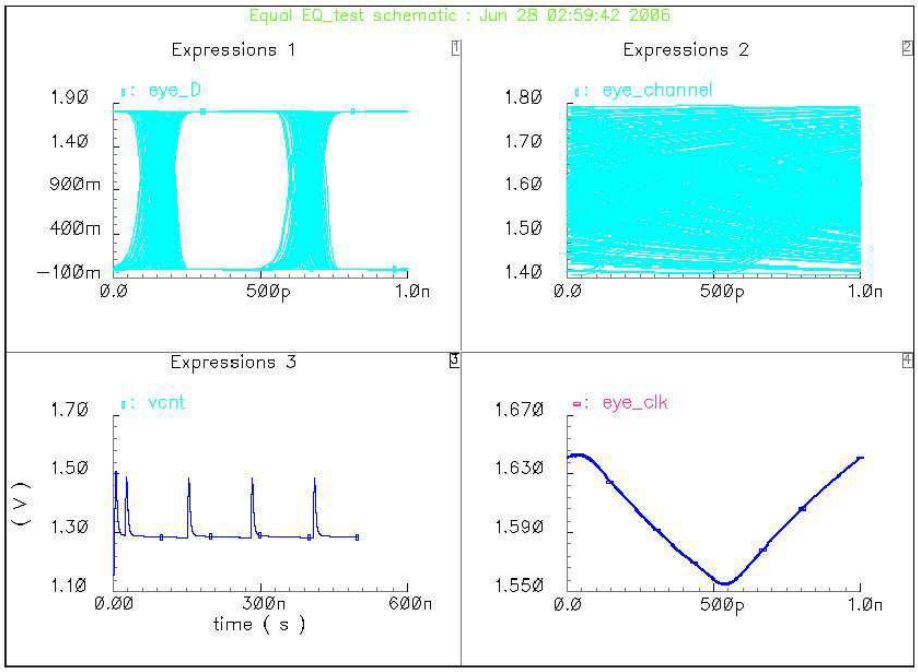
도면9d


dB20(VF("/vi+")/VF("/vi"))
39.86MHz, -3.018dB
1GHz, -28.01dB
30 (dB)
freq (Hz)

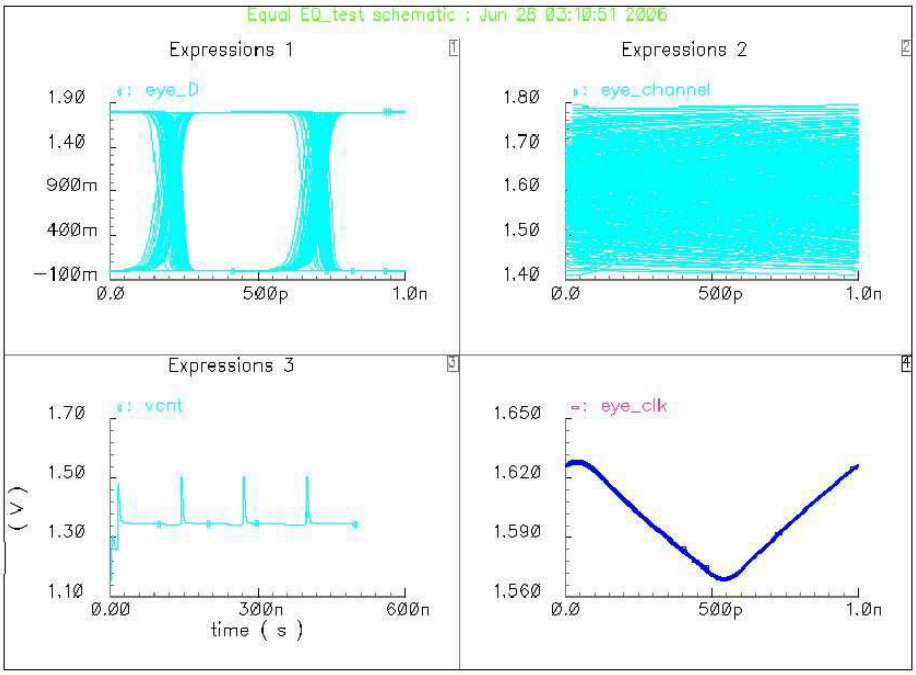
도면10a


Equal EQ_test schematic : Jun 28 02:48:58 2006
Expressions 1
eye_D
1.9Ø
1.4Ø
900m
400m
−100m
Ø.Ø
500p
1.Øn
Expressions 2
eye_channel
1.8
1.7
1.6
1.5
1.4
Ø.Ø
500p
1.Øn
Expressions 3
vcnt
1.5Ø
1.4Ø
1.3Ø
1.2Ø
1.1Ø
(V)
Ø.ØØ
300n
600n
time (s)
eye_clk
1.69Ø
1.63Ø
1.57Ø
1.51Ø
Ø.Ø
500p
1.Øn

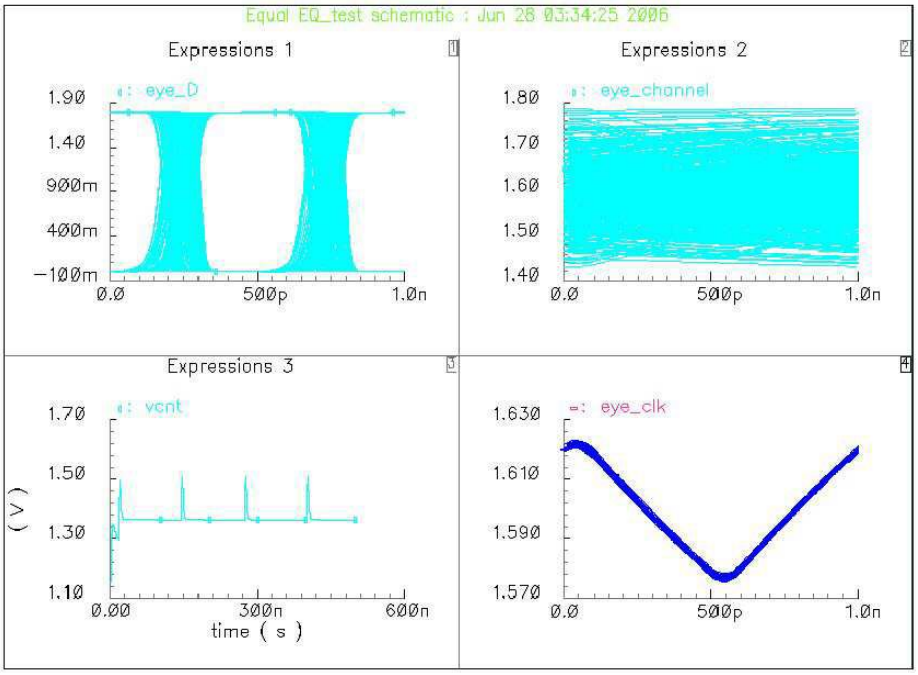
도면10b


Equal EQ_test schematic : Jun 28 02:59:42 2006
Expressions 1
eye_D
1.9Ø
1.4Ø
900m
400m
−100m
Ø.Ø
500p
1.Øn
Expressions 2
eye_channel
1.8Ø
1.7Ø
1.6Ø
1.5Ø
1.4Ø
Ø.Ø
500p
1.Øn
Expressions 3
vcnt
1.7Ø
1.5Ø
1.3Ø
1.1Ø
(V)
Ø.ØØ
300n
600n
time (s)
eye_clk
1.67Ø
1.63Ø
1.59Ø
1.55Ø
Ø.Ø
500p
1.Øn

도면10c


Equal EQ_test schematic : Jun 28 03:10:51 2006
Expressions 1
eye_D
1.90
1.40
900m
400m
−100m
0.0
500p
1.0n
Expressions 2
eye_channel
1.80
1.70
1.60
1.50
1.40
0.0
500p
1.0n
Expressions 3
vcnt
1.70
1.50
1.30
1.10
(V)
0.00
300n
600n
time (s)
eye_clk
1.650
1.620
1.590
1.560
0.0
500p
1.0n

도면10d


Equal EQ_test schematic : Jun 28 03:34:25 2006
Expressions 1
eye_D
1.90
1.40
900m
400m
−100m
0.0
500p
1.0n
Expressions 2
eye_channel
1.80
1.70
1.60
1.50
1.40
0.0
500p
1.0n
Expressions 3
vcnt
1.70
1.50
1.30
1.10
(V)
0.00
300n
600n
time (s)
eye_clk
1.630
1.610
1.590
1.570
0.0
500p
1.0n