

(12) 发明专利申请

(10) 申请公布号 CN 102339783 A

(43) 申请公布日 2012. 02. 01

(21) 申请号 201110208332. 5

(22) 申请日 2011. 07. 20

(30) 优先权数据

10-2010-0070198 2010. 07. 20 KR

(71) 申请人 美格纳半导体有限公司

地址 韩国忠清北道清州市

(72) 发明人 姜良范

(74) 专利代理机构 北京铭硕知识产权代理有限

公司 11286

代理人 刘灿强 韩明星

(51) Int. Cl.

H01L 21/762 (2006. 01)

H01L 29/06 (2006. 01)

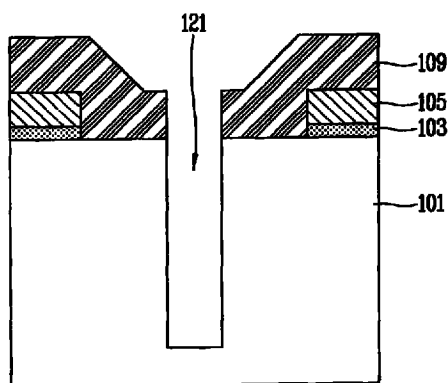
权利要求书 2 页 说明书 8 页 附图 17 页

(54) 发明名称

半导体装置的元件隔离结构及其形成方法

(57) 摘要

本发明公开了一种半导体装置的元件隔离结构及其形成方法,该方法包括:准备半导体基底,该半导体基底具有限定在半导体基底上的无源区和有源区;在半导体基底上形成第一硬掩模;通过将第一硬掩模图案化来暴露半导体基底的无源区;在包括第一硬掩模的半导体基底的整个表面上形成第二硬掩模;通过将第二硬掩模和半导体基底图案化,在半导体基底中形成深沟槽;去除被图案化的第二硬掩模;通过使用第一硬掩模作为掩模将半导体基底图案化,来形成与深沟槽叠置的浅沟槽;在包括浅沟槽和深沟槽的基底的整个表面上形成绝缘膜;通过在绝缘膜上形成元件隔离膜来填充浅沟槽和深沟槽;通过选择性地去除元件隔离膜,在深沟槽和浅沟槽中形成元件隔离膜图案。



1. 一种半导体装置的元件隔离结构,所述元件隔离结构包括:
深沟槽区,形成在半导体基底中;
浅沟槽区,形成在深沟槽区上方;
第一元件隔离膜图案,形成在深沟槽区中;以及
第二元件隔离膜图案,形成在浅沟槽区中,并能够与第一元件隔离膜图案接触,
其中,第一元件隔离膜图案包括多晶硅膜,第二元件隔离膜图案包括化学气相沉积氧化物。
2. 如权利要求 1 所述的半导体装置的元件隔离结构,其中,深沟槽区具有 $1\ \mu\text{m}$ 至 $20\ \mu\text{m}$ 的深度。
3. 一种用于形成半导体装置的元件隔离结构的方法,所述方法包括以下步骤:
在半导体基底上形成第一硬掩模;
通过将第一硬掩模图案化来暴露半导体基底;
在包括第一硬掩模的半导体基底的整个表面上形成第二硬掩模;
通过将第二硬掩模和半导体基底图案化,在半导体基底中形成深沟槽区;
去除被图案化的第二硬掩模;
通过使用第一硬掩模作为掩模将半导体基底图案化,来形成与深沟槽区叠置的浅沟槽区;
通过形成元件隔离膜来填充浅沟槽区和深沟槽区;以及
通过选择性地去除元件隔离膜,在深沟槽区和浅沟槽区中形成元件隔离膜图案。
4. 如权利要求 3 所述的方法,其中,元件隔离膜包括多晶硅膜。
5. 如权利要求 3 所述的方法,其中,元件隔离膜包括化学气相沉积氧化物膜。
6. 如权利要求 3 所述的方法,其中,第一硬掩模包括垫氧化物和垫氮化物。
7. 如权利要求 3 所述的方法,其中,第二硬掩模包括氧化物。
8. 如权利要求 7 所述的方法,其中,第二硬掩模具有 $0.5\ \mu\text{m}$ 至 $1.5\ \mu\text{m}$ 的厚度。
9. 如权利要求 3 所述的方法,其中,深沟槽区具有 $1\ \mu\text{m}$ 至 $20\ \mu\text{m}$ 的深度。
10. 如权利要求 3 所述的方法,其中,在深沟槽区和浅沟槽区中形成元件隔离膜图案的步骤包括将元件隔离膜平坦化。
11. 如权利要求 10 所述的方法,其中,在将元件隔离膜平坦化的步骤中,使用垫氮化物作为蚀刻停止层。
12. 如权利要求 3 所述的方法,其中,元件隔离膜图案包括第一元件隔离膜图案和第二元件隔离膜图案。
13. 如权利要求 12 所述的方法,其中,形成第二元件隔离膜图案的步骤包括:
在深沟槽区和浅沟槽区中形成侧壁膜;
去除浅沟槽区中的侧壁膜和元件隔离膜;
在浅沟槽区中形成氧化物;以及
在浅沟槽区中形成第二元件隔离膜图案。
14. 如权利要求 13 所述的方法,其中,形成第一元件隔离膜图案的步骤包括:
将多晶硅膜平坦化成第一元件隔离膜;以及
对平坦化的多晶硅膜执行回蚀工序,从而在深沟槽区中形成第一元件隔离膜图案。

15. 如权利要求 14 所述的方法,其中,对多晶硅膜执行回蚀工序的步骤使用 Cl_2/HBr 气体。

16. 如权利要求 15 所述的方法,其中,通过湿蚀刻去除在对多晶硅膜执行回蚀工序之后暴露的侧壁膜。

17. 如权利要求 14 所述的方法,其中,在多晶硅膜的平坦化和回蚀工序中,使用侧壁膜作为蚀刻停止层。

18. 如权利要求 3 所述的方法,其中,元件隔离膜包括形成在深沟槽区的侧壁和浅沟槽区的侧壁上的氮化物层。

半导体装置的元件隔离结构及其形成方法

技术领域

[0001] 本公开涉及半导体装置的元件隔离,具体地讲,涉及一种能够通过使用深沟槽和浅沟槽形成元件隔离结构而没有任何缺陷的半导体装置的元件隔离结构及其形成方法。

背景技术

[0002] 近来,用于半导体装置中的高压装置的元件隔离被分为结隔离法和深沟槽隔离法。近来,为了减小尺寸并改进隔离特性,通过深沟槽隔离来实现元件隔离。对于在 $0.25\mu\text{m}$ CMOS 设计规则之下使用隔离技术的装置而言,高压装置的沟槽和低压装置的沟槽具有不同的沟槽深度,所以应当形成具有深沟槽和浅沟槽的双重深度沟槽。

[0003] 将参照图 1A 至图 1I 描述形成半导体装置的元件隔离结构的方法,在该方法中,在形成深沟槽之后形成浅沟槽。

[0004] 图 1A 至图 1I 是示出根据相关技术的用于形成半导体装置的元件隔离结构的方法的顺序工序的剖视图。

[0005] 参照图 1A,使具有无源区和有源区的半导体基底 11 顺序地沉积有垫氧化物 13 和垫氮化物 15,然后将第一感光膜 17 涂覆在垫氮化物 15 上。

[0006] 参照图 1B,使用掩模(未示出)通过光刻工艺经曝光和显影工序将第一感光膜 17 图案化,从而形成第一感光膜图案 17a。

[0007] 参照图 1C,通过使用第一感光膜图案 17a 作为掩模将垫氮化物 15、垫氧化物 13 和半导体基底 11 顺序地蚀刻掉,从而将深沟槽 21 形成到半导体基底 11 中。

[0008] 参照图 1D,在去除第一感光膜图案 17a 之后,在垫氮化物 15 上以及在深沟槽 21 中,涂覆第二感光膜 23,从而填充深沟槽 21。

[0009] 参照图 1E,通过光刻工序,使用掩模 25 将紫外线 27 照射在第二感光膜 23 上,来使第二感光膜 23 曝光。这里,当第二感光膜 23 被曝光时,第二感光膜 23 的被曝光的部分发生变化。然而,深沟槽 21 的深度会妨碍存在于深沟槽 21 内的整个第二感光膜 23 的曝光,因此第二感光膜 23 的底部 23a 保持未被曝光的状态。

[0010] 参照图 1F,通过显影溶液将第二感光膜 23 的被曝光的部分 23b(参照图 1E)溶解,但第二感光膜 23 的未被曝光的部分 23a 没有因此而溶解。通过显影工序溶解掉第二感光膜 23 的被曝光的部分 23b,但是第二感光膜 23 的位于深沟槽 21 底部上的未被曝光的部分 23a 没有被去除而仍旧保留。

[0011] 参照图 1G,通过使用未被去除的剩余第二感光膜 23 作为阻挡层将垫氮化物 15、垫氧化物 13 和半导体基底 11 顺序地蚀刻掉,从而在半导体基底 11 中形成浅沟槽 31。这里,在蚀刻工序过程中,第二感光膜 23 的位于深沟槽 21 底部上的剩余部分 23a 会妨碍蚀刻,从而使第二感光膜的剩余部分 23a 的周边部分被蚀刻掉,导致凹口 33 的产生。

[0012] 然后,去除第二感光膜 23 的位于垫氮化物 15 上的部分和位于深沟槽 21 底部上的剩余部分 23a。

[0013] 参照图 1H,将深沟槽 21 的侧壁和浅沟槽 31 的侧壁氧化,从而在侧壁上形成氧化物

35。这里,生长的氧化物 35 能够克服半导体基底 11 的存在于沟槽侧壁上的缺陷。

[0014] 仍参照图 1H,在包括深沟槽 21 和浅沟槽 31 的基底的整个表面上形成填充氧化物 37,从而填充深沟槽 21 和浅沟槽 31 两者。

[0015] 参照图 1I,通过化学机械抛光 (CMP) 工序将填充氧化物 37 平坦化,即,通过 CMP 工序将填充氧化物 37 的存在于深沟槽 21 和浅沟槽 31 外部的部分去除,从而在深沟槽 21 和浅沟槽 31 内形成填充氧化物图案 37a。这里,填充氧化物图案 37a 构成元件隔离结构 10,元件隔离结构 10 包括深沟槽区 10b 和浅沟槽区 10a。

[0016] 虽然未示出,但是可以选择性地去除垫氮化物 15,以完成形成半导体装置的元件隔离结构 10 的工艺。

[0017] 然而,根据相关技术的形成半导体装置的元件隔离结构的方法具有以下若干问题。

[0018] 根据相关技术的形成元件隔离结构的方法,当首先形成深沟槽时,可以在浅沟槽蚀刻工序过程中去除底切部分。然而,在用于形成浅沟槽的光刻工序过程中,会导致具有缺陷的涂覆,从而在图案形成工序过程中出现问题。也就是说,当感光膜被曝光时,感光膜的被曝光的部分发生变化,但深沟槽的深度会妨碍深沟槽内的整个感光膜的曝光。因此,感光膜的底部会保持未被曝光的状态。结果是,通过显影溶液经显影工序将感光膜的被曝光的部分溶解掉,但是感光膜的存在于深沟槽底部的未被曝光的部分没有被去除而保留下来。

[0019] 感光膜的该剩余部分在后续的形成浅沟槽的蚀刻工序过程中会妨碍蚀刻,这导致感光膜的该剩余部分的周边部分被蚀刻掉,从而产生凹口。

[0020] 此外,根据相关技术的形成元件隔离结构的方法,当在形成深沟槽之后涂覆用于形成浅沟槽的感光膜时,因为通过旋涂来涂覆感光膜,所以未实现充分的填隙。因此,产生空隙,从而导致具有缺陷的涂覆。也就是说,因为深沟槽的深度非常深,所以导致诸如空隙之类的具有缺陷的涂覆,因此诸如感光膜 (PR) 之类的材料未均匀地填充到整个基底的顶部。

发明内容

[0021] 因此,为了解决相关技术的那些问题,本公开的目的在于提供一种半导体装置的元件隔离结构及其形成方法,其中,该元件隔离结构能够通过克服若干问题(将若干问题最小化)而确保稳定的装置特性,所述若干问题是当形成与深沟槽叠置的浅沟槽时导致的剩余感光膜,和/或由具有缺陷的填隙导致的具有缺陷的涂覆(例如,空隙)等。

[0022] 为了实现这些和其他优点并且根据本公开的目的,如在这里具体化的并且宽泛地描述的,提供了一种半导体装置的元件隔离结构,该元件隔离结构包括:半导体基底,具有限定在半导体基底上的无源区和有源区;深沟槽,形成在半导体基底的无源区中;浅沟槽,形成在半导体基底的无源区中并与深沟槽叠置;氧化物和第一元件隔离膜图案,均形成在深沟槽中;以及第二元件隔离膜图案,形成在浅沟槽区中,并能够与第一元件隔离膜图案接触。

[0023] 根据一个示例性实施例,提供了一种方法,该方法包括以下步骤:准备半导体基底,该半导体基底具有限定在半导体基底上的无源区和有源区;在半导体基底上形成第一硬掩模;通过将第一硬掩模图案化来暴露半导体基底的无源区;在包括第一硬掩模的半导

体基底的整个表面上形成第二硬掩模；通过将第二硬掩模和半导体基底图案化，在半导体基底中形成深沟槽；去除被图案化的第二硬掩模；通过使用第一硬掩模作为掩模将半导体基底图案化，来形成与深沟槽叠置的浅沟槽；在包括浅沟槽和深沟槽的基底的整个表面上形成绝缘膜；通过在绝缘膜上形成元件隔离膜来填充浅沟槽和深沟槽；以及通过选择性地去除元件隔离膜，在深沟槽和浅沟槽中形成元件隔离膜图案。

[0024] 半导体装置的元件隔离结构及其形成方法可提供下面的效果。

[0025] 根据该半导体装置的元件隔离结构及其形成方法，通过在浅沟槽内形成深沟槽，可将由单独形成浅沟槽和深沟槽而导致的多晶硅纵梁 (poly stringer) 最小化。

[0026] 此外，根据该半导体装置的元件隔离结构及其形成方法，可以在形成深沟槽之后形成浅沟槽，以将形成深沟槽时出现的深沟槽顶部的底切最小化，从而将沟槽侧壁的表面粗糙最小化。

[0027] 根据该半导体装置的元件隔离结构及其形成方法，首先限定浅沟槽形成区，然后执行用于深沟槽的蚀刻工序，从而消除感光膜的具有缺陷的涂覆；否则，在形成深沟槽之后形成浅沟槽时会导致感光膜的具有缺陷的涂覆。

[0028] 此外，根据该半导体装置的元件隔离结构及其形成方法，可以省略在形成深沟槽之后涂覆用于形成浅沟槽的感光膜的现有工序，从而解决诸如空隙之类的具有缺陷的涂覆的问题，所述具有缺陷的涂覆的问题是当通过现有的旋涂涂覆感光膜时，由深沟槽内不充分的填隙导致的。

[0029] 另外，根据该半导体装置的元件隔离结构及其形成方法，因为可以省略形成用于形成浅沟槽的感光膜的工序，所以可以形成具有深沟槽和与深沟槽叠置的浅沟槽的稳定的双重深度沟槽，从而确保稳定的隔离特性并确保高压装置的操作。

[0030] 由结合附图进行的本公开的以下详细描述，本公开的上述和其他目的、特征、方面和优点将变得更明显。

附图说明

[0031] 附图被包括以提供对本发明的进一步的理解，附图被包含在本说明书中并构成本说明书的一部分，且附图示出了本发明的实施例并与描述一起用来解释本发明的原理。

[0032] 在附图中：

[0033] 图 1A 至图 1I 是示出根据相关技术的用于形成半导体装置的元件隔离结构的方法的顺序工序的剖视图；

[0034] 图 2 是根据本公开的半导体装置的元件隔离结构的剖视图；

[0035] 图 3A 至图 3N 是示出根据一个示例性实施例的用于形成半导体装置的元件隔离结构的方法的顺序工序的剖视图；

[0036] 图 4A 至图 4L 是示出根据另一示例性实施例的用于形成半导体装置的元件隔离结构的方法的顺序工序的剖视图。

具体实施方式

[0037] 现在将参照附图详细描述根据本公开示例性实施例的半导体装置的元件隔离结构及用于形成该元件隔离结构的方法。为了参照附图做出简要的描述，相同或等同的部件

将提供有相同的标号,并且将不重复其描述。

[0038] 图 2 是根据本公开的半导体装置的元件隔离结构的剖视图。

[0039] 如图 2 中所示,半导体装置的元件隔离结构 100 可包括:半导体基底 101,具有限定在半导体基底 101 上的无源区和有源区;深沟槽 121,形成在半导体基底 101 中;浅沟槽 131,形成在半导体基底 101 中并与深沟槽 121 叠置;氧化物图案 133a 和多晶硅膜图案 135a,形成在深沟槽 121 内;化学气相沉积 (CVD) 氧化物图案 137a,形成在浅沟槽 131 内并能够与多晶硅膜图案 135a 接触。

[0040] 这里,元件隔离结构 100 可设置有深沟槽区 100a 和浅沟槽区 100b。深沟槽区 100a 可以设置有氧化物图案 133a 和多晶硅膜图案 135a,浅沟槽区 100b 可以设置有 CVD 氧化物图案 137a。

[0041] 在下文中,将参照图 3A 至图 3N 描述用于形成具有该构造的半导体装置的元件隔离结构的方法。

[0042] 图 3A 至图 3N 是示出根据一个示例性实施例的用于形成半导体装置的元件隔离结构的方法的顺序工序的剖视图。

[0043] 参照图 3A,在其上限定有无源区和有源区的半导体基底 101 上顺序地沉积垫氧化物 103 和垫氮化硅 105,并将第一感光膜 107 涂覆在垫氮化硅 105 上。这里,垫氧化物 103 和垫氮化硅 105 可以用作第一硬掩模物理层。此外,第一硬掩模物理层的厚度远浅于深沟槽的深度,由此可以理解,出现具有缺陷的涂覆的可能性低。

[0044] 参照图 3B,通过光刻工序,使用曝光掩模(未示出)对第一感光膜 107 进行曝光,并对第一感光膜 107 进行显影,以去除被显影的部分,从而形成第一感光膜图案 107a。

[0045] 参照图 3C,通过使用第一感光膜图案 107a 作为阻挡层将构成第一硬掩模的垫氮化硅 105 和垫氧化物 103 蚀刻掉,然后去除第一感光膜图案 107a。这里,向下执行蚀刻到构成第一硬掩模的垫氮化硅 105 和垫氧化物 103,从而克服在用于形成深沟槽的蚀刻工序之后执行用于形成浅沟槽的蚀刻工序时导致的具有缺陷的感光膜涂覆的问题。也就是说,通过第一硬掩模蚀刻工序限定浅沟槽形成区,然后使用构成第一硬掩模的垫氮化硅 105 和垫氧化物 103 执行形成浅沟槽的工序,而无需在用于形成深沟槽的蚀刻工序之后的光刻工序。

[0046] 参照图 3D,在去除第一感光膜图案 107a 之后,在半导体基底 101 的整个表面上,包括构成第一硬掩模的垫氮化硅 105 和垫氧化物 103 的被暴露的部分上,通过具有令人满意的填隙性能的化学气相沉积 (CVD) 以大约 $0.5\ \mu\text{m}$ 至 $1.5\ \mu\text{m}$ 的厚度沉积第二硬掩模氧化物 109。这里,可将第二硬掩模氧化物 109 沉积成覆盖构成第一硬掩模的垫氮化硅 105 和垫氧化物 103 的顶部,由此可以在形成深沟槽时保护第一硬掩模。

[0047] 然后,将第二感光膜 111 涂覆在第二硬掩模氧化物 109 上。

[0048] 参照图 3E,通过光刻工序,使用曝光掩模(未示出)对第二感光膜(未示出)进行曝光以用来形成深沟槽,并对第二感光膜(未示出)进行显影,从而通过去除被显影的部分来形成第二感光膜图案 111a。

[0049] 参照图 3F,通过使用第二感光膜图案 111a 作为掩模顺序地蚀刻掉第二硬掩模氧化物 109 和下面的半导体基底 101,从而在半导体基底 101 中形成深沟槽 121。这里,深沟槽 121 可具有大约 $1\ \mu\text{m}$ 至 $20\ \mu\text{m}$ 的深度。

[0050] 参照图 3G, 在去除第二感光膜图案 111a 之后, 通过湿蚀刻工序蚀刻掉第二硬掩模氧化物 109。这里, 仅有构成第一硬掩模的垫氮化硅 105 和垫氧化物 103 留在半导体基底 101 上。根据图 3G, 深沟槽 121 会从半导体基底 101 的顶表面至 4000\AA 的深度形成底切。该底切形成为圆形。这里, 该底切的上部具有负斜率, 而该底切的下部具有正斜率。

[0051] 参照图 3H, 通过使用构成第一硬掩模的垫氮化硅 105 和垫氧化物 103 作为蚀刻掩模选择性地去除半导体基底 101, 从而形成与深沟槽 121 叠置的浅沟槽 131。这里, 浅沟槽的深度 D 为 3000\AA 至 5000\AA 。如上所述, 深沟槽 121 从半导体基底 101 的顶表面至 4000\AA 的深度形成底切。如果浅沟槽深度 D 大于 4000\AA , 则浅沟槽 131 的形成可去除从深沟槽 121 的顶部向下至大约 4000\AA 的深度存在的底切, 从而可消除深沟槽 121 的侧壁的表面粗糙。

[0052] 也就是说, 即使在形成深沟槽 121 的同时在顶部侧壁上产生任何底切, 也可通过形成浅沟槽 131 的工序来完全去除该底切。

[0053] 如果浅沟槽深度 D 小于 4000\AA , 则去除具有负斜率的底切, 而仅保留具有正斜率的底切。这是因为从顶表面至 4000\AA 的深度形成底切, 且浅沟槽深度 D 形成为小于底切深度, 从而没有去除整个底切。因为去除了形成在靠近半导体基底 101 表面的区域处且具有负斜率的底切, 所以在用于填隙的沉积工序中不存在问题。因为具有正斜率的部分保留下来, 所以填隙总是会好一些。

[0054] 此外, 在形成浅沟槽 131 的同时, 还可将深沟槽 121 的底部蚀刻掉与浅沟槽 131 的深度一样的深度。

[0055] 此外, 因为省略了在形成深沟槽之后涂覆用于形成浅沟槽的感光膜的现有工序, 所以可以解决诸如空隙之类的具有缺陷的涂覆的问题, 所述具有缺陷的涂覆的问题是在相关技术中当通过旋涂涂覆感光膜时, 由深沟槽内不充分的填隙导致的。

[0056] 参照图 3I, 在沉积作为填隙材料的多晶硅之前, 通过 CVD 法以 1000\AA 至 5000\AA 的厚度沉积侧壁氧化物 133, 用于多晶硅的电浮置。这里, 代替该侧壁氧化物, 可以使用氮化物形成侧壁氮化物。这里, 在氮化物沉积之前, 可以形成侧壁氧化物, 用来减小半导体基底和氮化物材料之间的应力。可以通过热氧化使侧壁氧化物生长。

[0057] 参照图 3J, 在侧壁氧化物 133 上以大约 $1\ \mu\text{m}$ 至 $2\ \mu\text{m}$ 的厚度沉积作为填隙材料的多晶硅膜 135, 以填充深沟槽 121 和浅沟槽 131。这里, 可以选择性地使用不同于多晶硅膜的 CVD 氧化物作为填隙材料。

[0058] 参照图 3K, 执行化学机械抛光 (CMP) 工序, 以选择性地去除多晶硅膜 135。这里, 在多晶硅膜 135 的 CMP 工序中, 侧壁氧化物 133 可用作抗 CMP 层, 这是可行的, 因为多晶硅膜 135 和侧壁氧化物 133 具有不同的 CMP 去除速率。此外, 在另一实施例中, 当使用 CVD 氧化物作为填隙材料时, 可以代替侧壁氧化物沉积氮化物, 因为具有不同的 CMP 去除速率的氮化物在氧化物的 CMP 工序中可用作抗 CMP 层。

[0059] 参照图 3L, 在完成 CMP 工序之后, 执行回蚀工序, 以去除留在浅沟槽 131 的区域上的多晶硅膜 135, 从而形成多晶硅膜图案 135a。这里, 在回蚀工序中, 通过使用对氧化物具有优异的蚀刻选择比率的 Cl_2/HBr 气体, 使用侧壁氧化物 133 作为抗蚀刻层。

[0060] 在回蚀工序之后, 可通过湿蚀刻去除侧壁氧化物 133。这里, 去除侧壁氧化物 133 的存在于浅沟槽 131 的区域中的部分, 因此侧壁氧化物 133 的存在于深沟槽 121 中的部分保留下来, 即只有侧壁氧化物图案 133a 保留下来。

[0061] 参照图 3M, 为了浅沟槽 131 的隔离, 通过 CVD 法在包括浅沟槽 131 的基底的整个表面上沉积 CVD 氧化物 137, 从而执行填隙。CVD 法包括高密度等离子体化学气相沉积 (HDPCVD)、低压化学气相沉积 (LPCVD)、等离子体增强化学气相沉积 (PECVD) 和大气压化学气相沉积 (APCVD) 法中的一种。因此, 用 HDPCVD、LPCVD、PECVD 和 APCVD 氧化物的隔离层中的一种填充浅沟槽区。

[0062] 参照图 3N, 通过 CMP 工序将 CVD 氧化物 137 平坦化以形成 CVD 氧化物图案 137a, 从而完成形成元件隔离结构 100 的工艺。可选地, 还通过湿蚀刻去除留下的第一硬掩模—垫氮化硅 105 或者垫氮化硅 105 和垫氧化物 103 两者。这里, 侧壁氧化物图案 133a 和多晶硅膜图案 135a 填充在深沟槽区 100a 的侧壁处并填充深沟槽区 100a 的内部, 构成元件隔离结构 100。此外, CVD 氧化物图案 137a 填充在浅沟槽区 100b 中。CVD 氧化物图案 137a 处于与下面的多晶硅膜图案 135a 接触的状态。

[0063] 在下文中, 将参照图 4A 至图 4L 描述根据另一示例性实施例的用于形成半导体装置的元件隔离结构的方法。

[0064] 图 4A 至图 4L 是示出根据另一示例性实施例的用于形成半导体装置的元件隔离结构的顺序工序的剖视图。

[0065] 参照图 4A, 在其上限定有无源区和有源区的半导体基底 201 上顺序地沉积垫氧化物 203 和垫氮化硅 205, 并将第一感光膜 207 涂覆在垫氮化硅 205 上。这里, 垫氧化物 203 和垫氮化硅 205 将用作第一硬掩模物理层。此外, 第一硬掩模物理层的厚度远浅于深沟槽的深度, 由此可以理解, 出现具有缺陷的涂覆的可能性低。

[0066] 参照图 4B, 通过光刻工序, 使用曝光掩模 (未示出) 对第一感光膜 207 进行曝光, 并对第一感光膜 207 进行显影, 以去除被显影的部分, 从而形成第一感光膜图案 207a。

[0067] 参照图 4C, 通过使用第一感光膜图案 207a 作为阻挡层将构成第一硬掩模的垫氮化硅 205 和垫氧化物 203 蚀刻掉, 然后去除第一感光膜图案 207a。这里, 向下执行蚀刻到构成第一硬掩模的垫氮化硅 205 和垫氧化物 203, 从而克服在用于形成深沟槽的蚀刻工序之后执行用于形成浅沟槽的蚀刻工序时导致的具有缺陷的感光膜涂覆的问题。也就是说, 通过第一硬掩模蚀刻工序限定浅沟槽形成区, 然后使用构成第一硬掩模的垫氮化硅 205 和垫氧化物 203 执行形成浅沟槽的工序, 而无需在用于形成深沟槽的蚀刻工序之后的光刻工序。

[0068] 参照图 4D, 在去除第一感光膜图案 207a 之后, 在半导体基底 201 的整个表面上, 包括构成第一硬掩模的垫氮化硅 205 和垫氧化物 203 的被暴露的部分上, 通过具有令人满意的填隙性能的化学气相沉积 (CVD) 以大约 $0.5\ \mu\text{m}$ 至 $1.5\ \mu\text{m}$ 的厚度沉积第二硬掩模氧化物 209。这里, 可将第二硬掩模氧化物 209 沉积成覆盖构成第一硬掩模的垫氮化硅 205 和垫氧化物 203 的顶部, 由此可以在形成深沟槽时保护第一硬掩模。

[0069] 然后, 将第二感光膜 211 涂覆在第二硬掩模氧化物 209 上。

[0070] 参照图 4E, 通过光刻工序, 使用曝光掩模 (未示出) 对第二感光膜 (未示出) 进行曝光以用来形成深沟槽, 并对第二感光膜 (未示出) 进行显影, 从而通过去除被显影的部分来形成第二感光膜图案 211a。

[0071] 参照图 4F, 通过使用第二感光膜图案 211a 顺序地蚀刻掉第二硬掩模氧化物 209 和下面的半导体基底 201, 从而在半导体基底 201 中形成深沟槽 221。这里, 深沟槽 221 可具

有大约 $1\ \mu\text{m}$ 至 $20\ \mu\text{m}$ 的深度。如图 4F 中所示,在深沟槽中从半导体基底 201 的顶表面至 4000\AA 的深度会产生底切。这里,该底切形成为圆形。该底切的下部具有正斜率,而该底切的上部具有负斜率。

[0072] 参照图 4G,在去除第二感光膜图案 211a 之后,通过湿蚀刻工序蚀刻掉第二硬掩模氧化物 209。这里,仅有构成第一硬掩模的垫氮化硅 205 和垫氧化物 203 留在半导体基底 201 上。

[0073] 参照图 4H,通过使用构成第一硬掩模的垫氮化硅 205 和垫氧化物 203 作为蚀刻掩模选择性地去除半导体基底 201,从而形成与深沟槽 221 叠置的浅沟槽 231。浅沟槽的深度是 3000\AA 至 5000\AA 。

[0074] 如上所述,在形成深沟槽时,从半导体基底 201 的顶表面至 4000\AA 的深度产生底切。

[0075] 如果浅沟槽的深度大于 4000\AA ,则浅沟槽 231 的形成可去除从深沟槽 221 的顶部向下至大约 4000\AA 的深度存在的底切,从而可消除深沟槽 221 的侧壁的表面粗糙。也就是说,即使在形成深沟槽 221 的同时在顶部侧壁上产生任何底切,也可通过形成浅沟槽 231 的工序来完全去除该底切。

[0076] 如果浅沟槽深度 D 小于 4000\AA ,则去除具有负斜率的底切,而仅保留具有正斜率的底切。这是因为从顶表面至 4000\AA 的深度形成底切,且浅沟槽深度 D 小于底切深度,从而未去除整个底切。因为去除了形成在靠近半导体基底 201 表面的区域处且具有负斜率的底切,所以在用于填隙的沉积工序中不存在问题。因为具有正斜率的部分保留下来,所以填隙总是会好一些。

[0077] 此外,在形成浅沟槽 231 的同时,还可将深沟槽 221 的底部蚀刻掉与浅沟槽 231 的深度一样的深度。

[0078] 此外,因为省略了在形成深沟槽之后涂覆用于形成浅沟槽的感光膜的现有工序,所以可以解决诸如空隙之类的具有缺陷的涂覆的问题,所述具有缺陷的涂覆的问题是在相关技术中当通过旋涂涂覆感光膜时,由深沟槽内不充分的填隙导致的。

[0079] 参照图 4I,通过 CVD 法在包括深沟槽 221 和浅沟槽 231 的基底的整个表面上沉积氮化物 233。这里,在氮化物沉积之前,可以形成侧壁氧化物(未示出),用来减小半导体基底和氮化物材料之间的应力。可以通过热氧化使该侧壁氧化物生长。

[0080] 参照图 4J,通过具有令人满意的填隙性能的 CVD 法在氮化物 233 上沉积氧化物 235,从而填充深沟槽 221 和浅沟槽 231。用于填隙的 CVD 法包括高密度等离子体化学气相沉积(HDPCVD)、低压化学气相沉积(LPCVD)、等离子体增强化学气相沉积(PECVD)和大气压化学气相沉积(APCVD)法中的一种。因此,用 HDPCVD、LPCVD、PECVD 和 APCVD 氧化物的隔离层中的一种填充浅沟槽区和深沟槽区两者。

[0081] 参照图 4K 和图 4L,通过化学机械抛光(CMP)工序将氧化物 235 平坦化以形成氧化物图案 235a,并通过湿蚀刻去除存在于垫氮化硅 205 上的氮化物 233,从而完成形成元件隔离结构 200 的工艺。可选地,还通过湿蚀刻去除留下的第一硬掩模—垫氮化硅 205 或者垫氮化硅 205 和垫氧化物 203 两者。这里,在氧化物 235 的 CMP 工序中,因为氧化物和氮化物具有不同的 CMP 去除速率,所以氮化物 233 的 CMP 工序可被中止。这里,氮化物 233 可存在于构成元件隔离结构 200 的深沟槽区 200a 和浅沟槽区 200b 的侧壁上,且氧化物图案 235a

可填充在所述侧壁限定的空间中。

[0082] 如上所述,根据该半导体装置的元件隔离结构及其形成方法,通过在浅沟槽内形成深沟槽,可将由单独形成浅沟槽和深沟槽而导致的多晶硅纵梁最小化。在传统技术中,深沟槽和浅沟槽形成在不同的位置,即,分开地形成,不像在本发明中深沟槽和浅沟槽彼此叠置。在这种情况下,深沟槽区中形成的隔离表面比浅沟槽区中形成的隔离表面低,即深沟槽区的深度比浅沟槽区的深度深得多,因此在执行填隙之后,填隙材料稍微深陷于深沟槽中。在这种情况下,之后当沉积多晶硅并执行栅极图案化时,深陷部分中的多晶硅残留,成为残留物,这也被称作多晶硅纵梁。在本发明中,因为深沟槽和浅沟槽形成在同一位置而没有阶差(深度),所以不存在与多晶硅纵梁相关的问题。

[0083] 此外,根据该半导体装置的元件隔离结构及其形成方法,可以在形成深沟槽之后形成浅沟槽,以将形成深沟槽时出现的深沟槽顶部的底切最小化,从而将沟槽侧壁的所得表面粗糙最小化。

[0084] 根据该半导体装置的元件隔离结构及其形成方法,首先限定浅沟槽形成区,然后执行用于深沟槽的蚀刻工序,从而消除感光膜的具有缺陷的涂覆;否则,在形成深沟槽之后形成浅沟槽时会导致感光膜的具有缺陷的涂覆。

[0085] 此外,根据该半导体装置的元件隔离结构及其形成方法,可以省略在形成深沟槽之后涂覆用于形成浅沟槽的感光膜的现有工序,从而解决诸如空隙之类的具有缺陷的涂覆的问题,所述具有缺陷的涂覆的问题是当通过现有的旋涂涂覆该感光膜时,由深沟槽内不充分的填隙导致的。

[0086] 另外,根据该半导体装置的元件隔离结构及其形成方法,因为可以省略形成用于形成浅沟槽的感光膜的工序,所以可以形成具有深沟槽和与深沟槽叠置的浅沟槽的稳定的双重深度沟槽,从而确保稳定的隔离特性并确保高压装置的操作。

[0087] 上述的实施例和优点仅仅是示例性的,并且将不被解释成限制本公开。本发明的教导可以被容易地应用到其他类型的半导体结构。本描述意在是举例说明,并不意图限制权利要求的范围。许多替换性方案、修改和改变对本领域技术人员而言将是明显的。可以以各种方式组合这里描述的示例性实施例的特征、结构、方法和其他特性,以获得另外的和/或替换性的示例性实施例。

[0088] 因为在不脱离本发明的特征的特性的情况下,可以以若干种形式使本发明的特征具体化,所以还应当理解的是,除非另有说明,否则以上描述的任何细节不限制上面描述的实施例,而应当在权利要求限定的范围内宽泛地解释上面描述的实施例,因此,落入权利要求的边界和限定内的所有变化和修改或者这种边界和限定的等同物意图被包含在权利要求内。

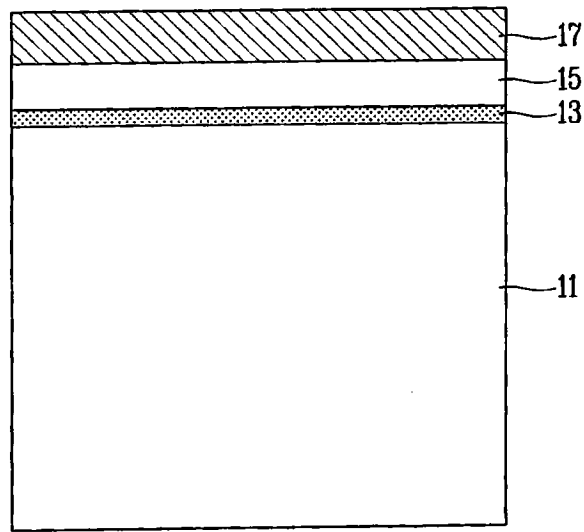


图 1A

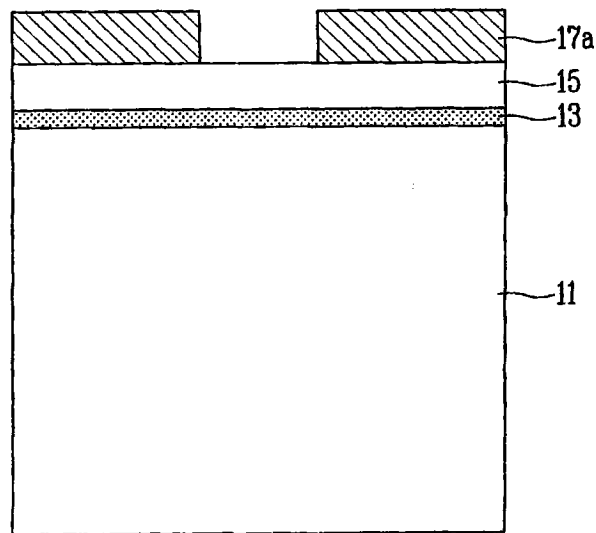


图 1B

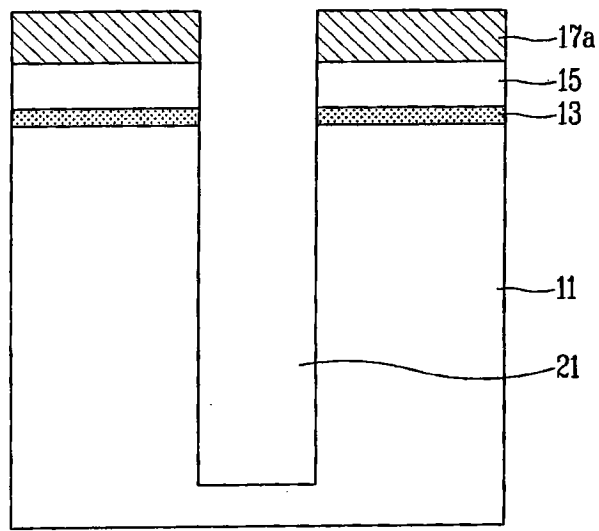


图 1C

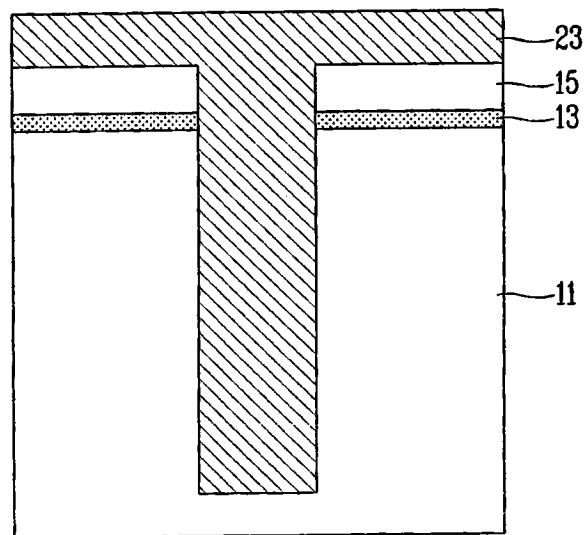


图 1D

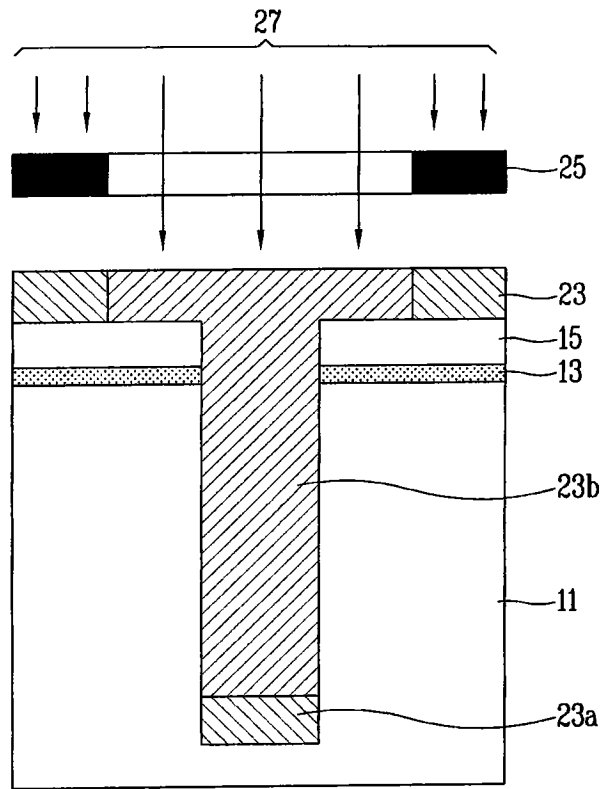


图 1E

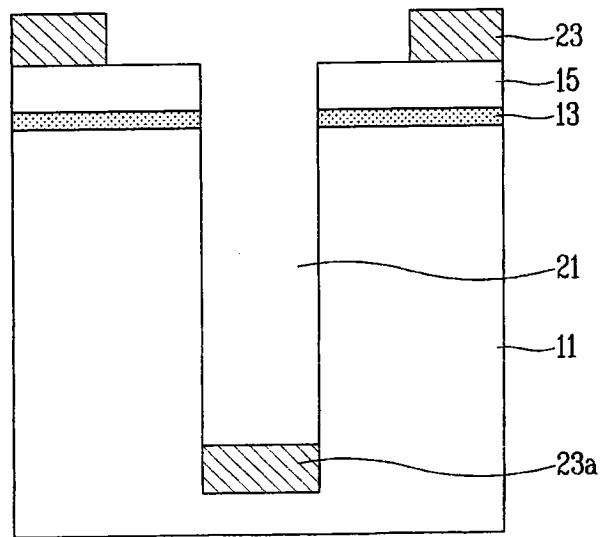


图 1F

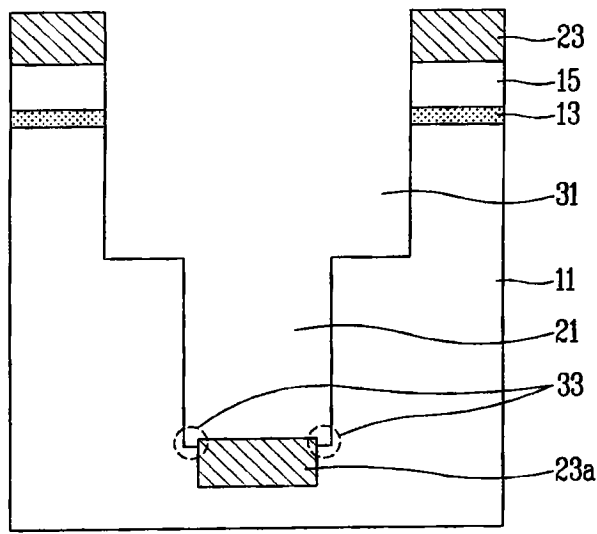


图 1G

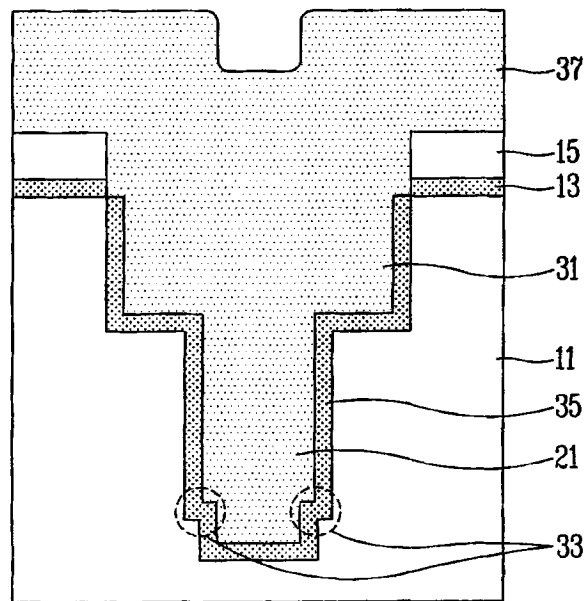


图 1H

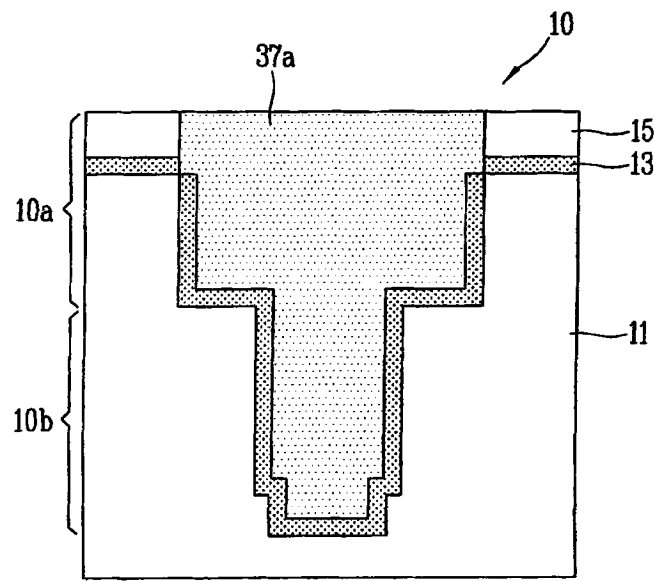


图 11

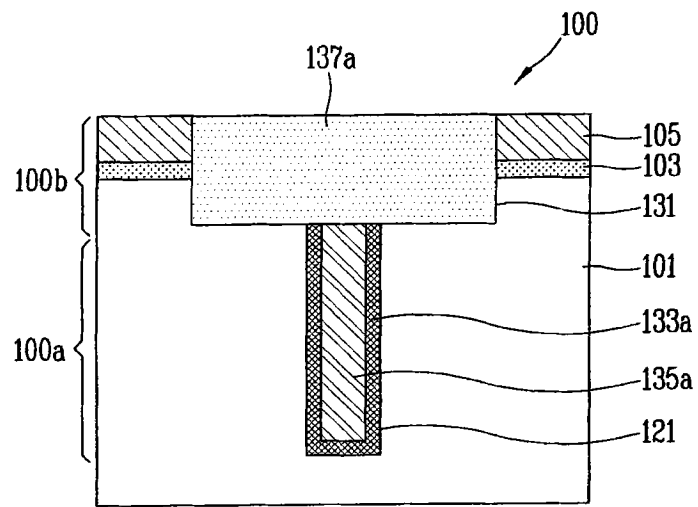


图 2

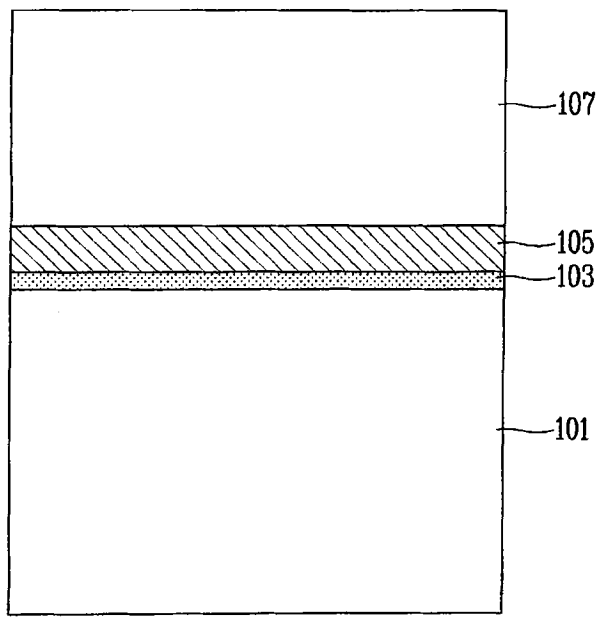


图 3A

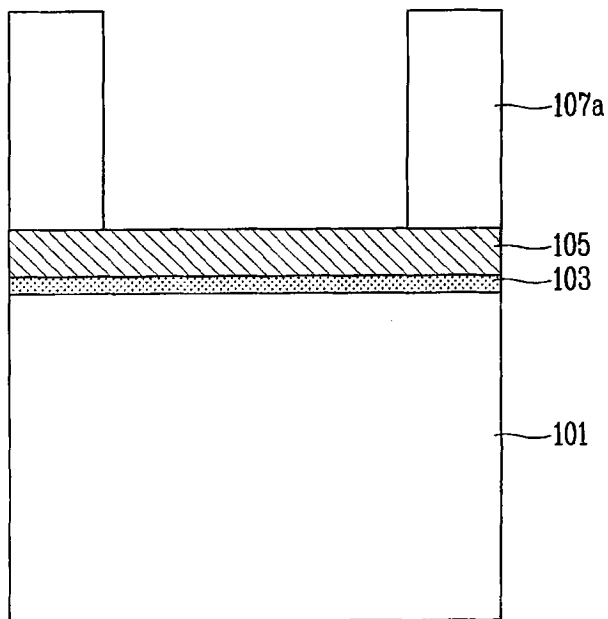


图 3B

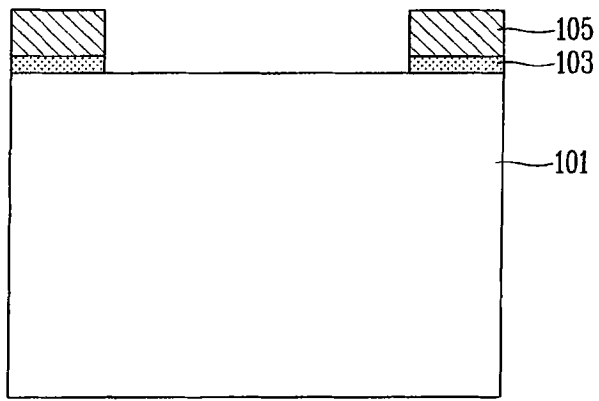


图 3C

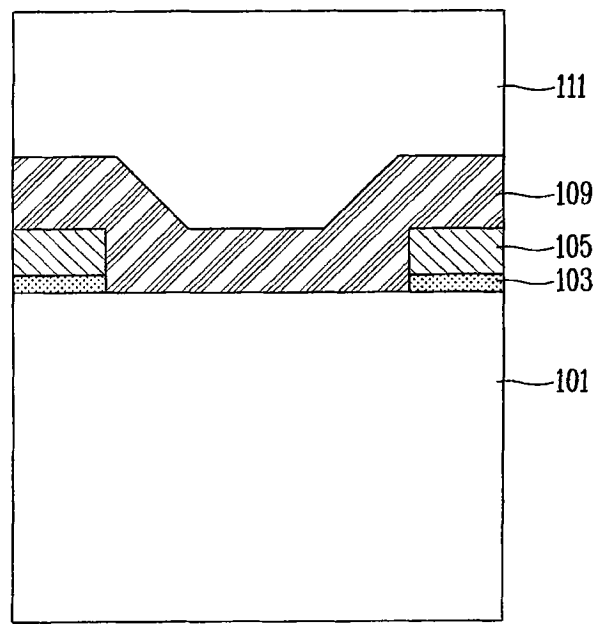


图 3D

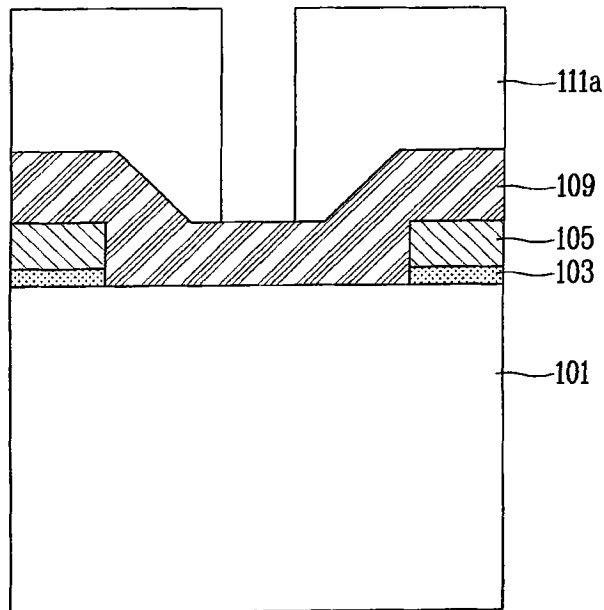


图 3E

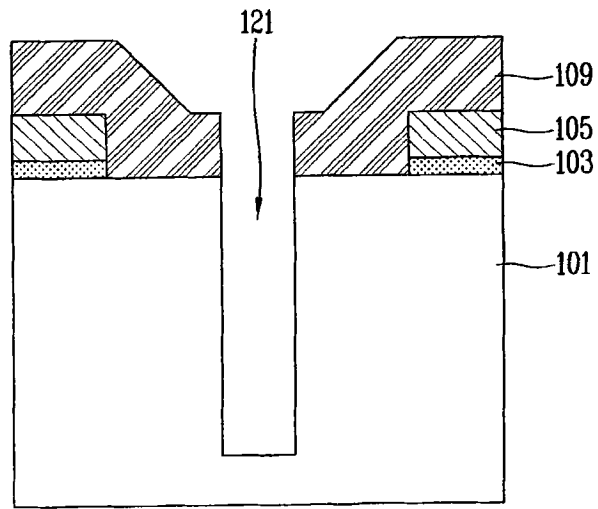


图 3F

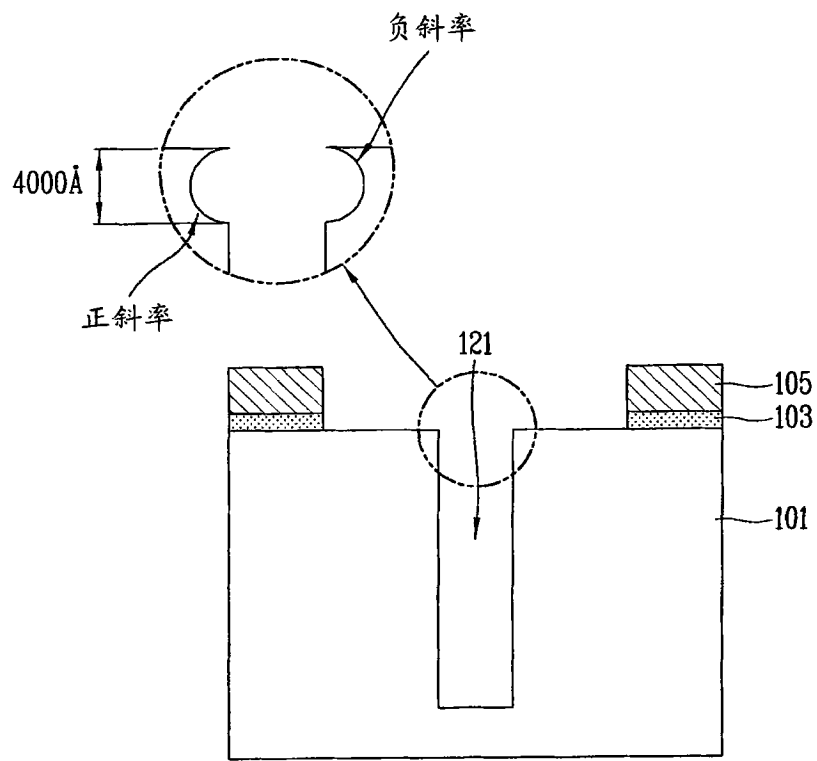


图 3G

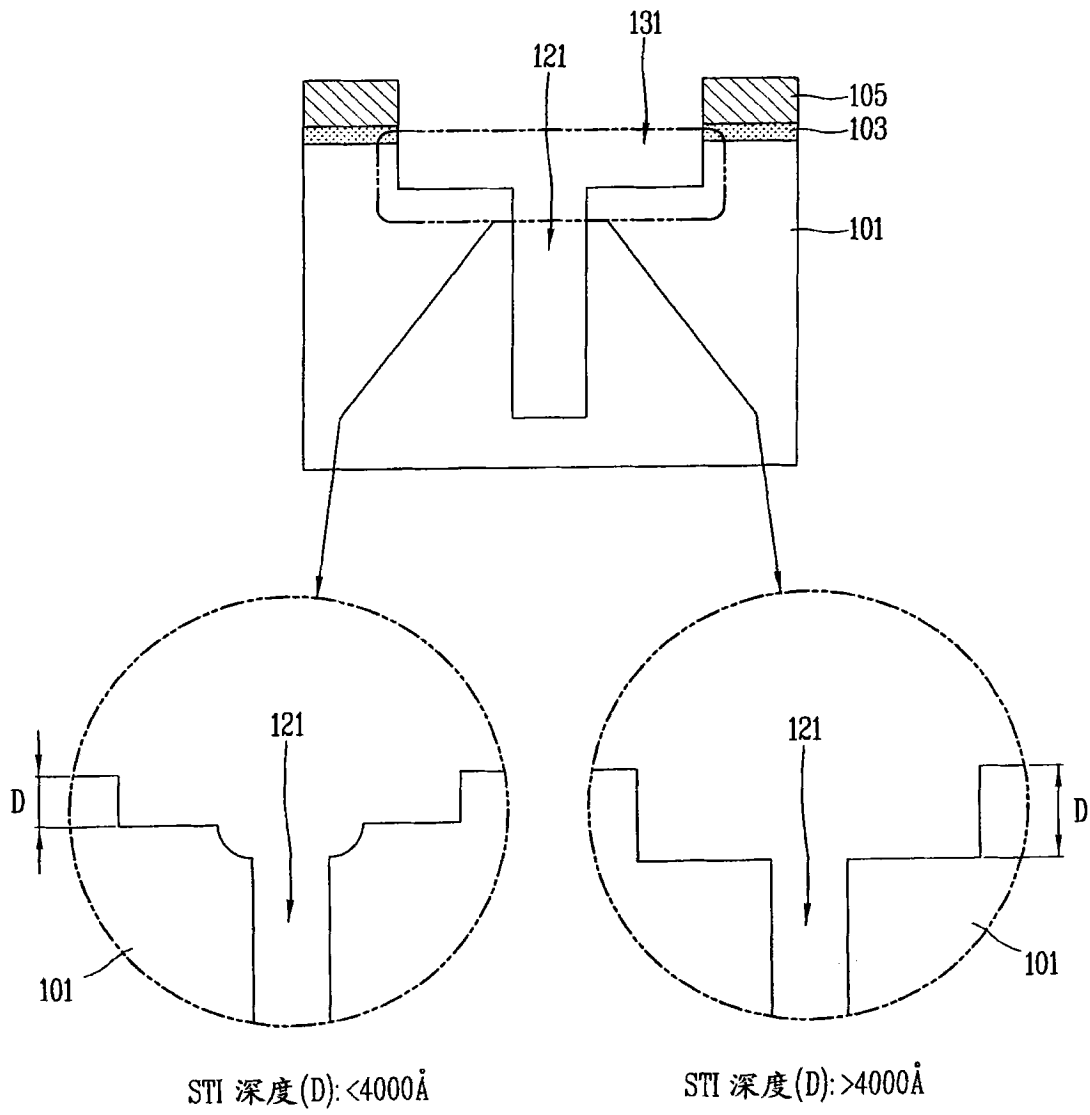


图 3H

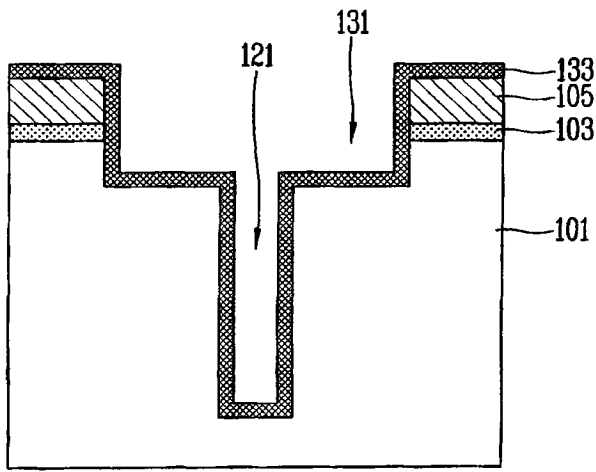


图 3I

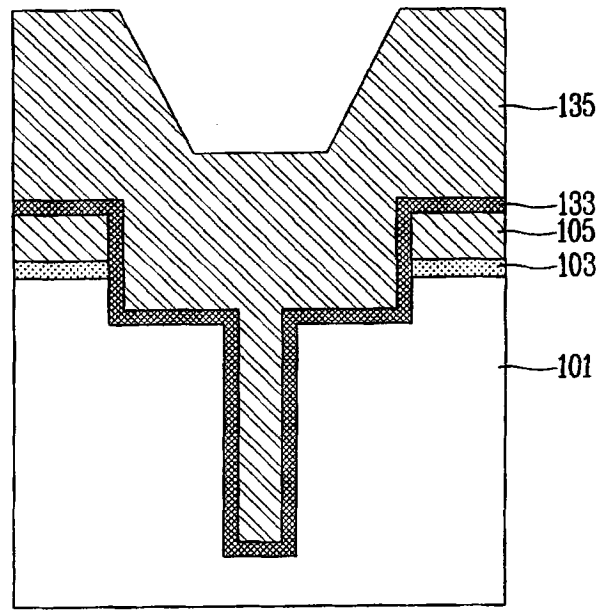


图 3J

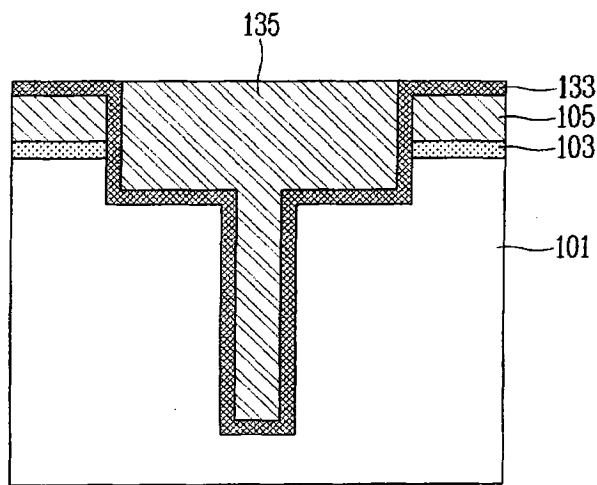


图 3K

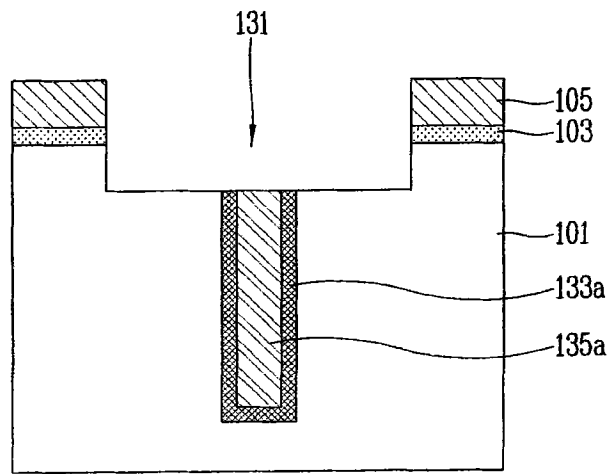


图 3L

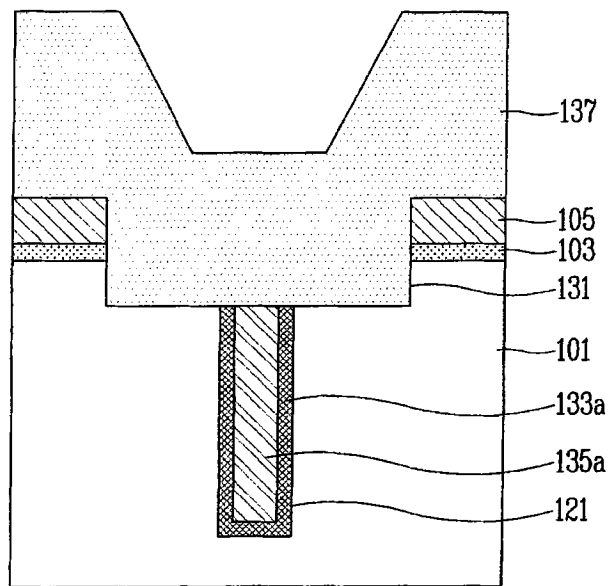


图 3M

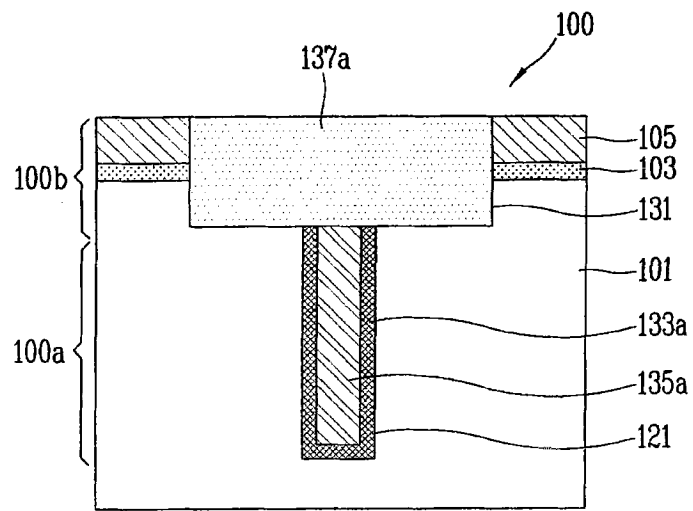


图 3N

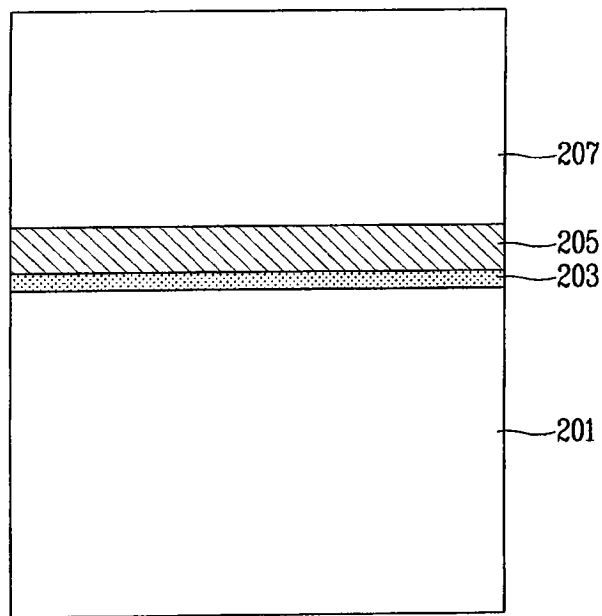


图 4A

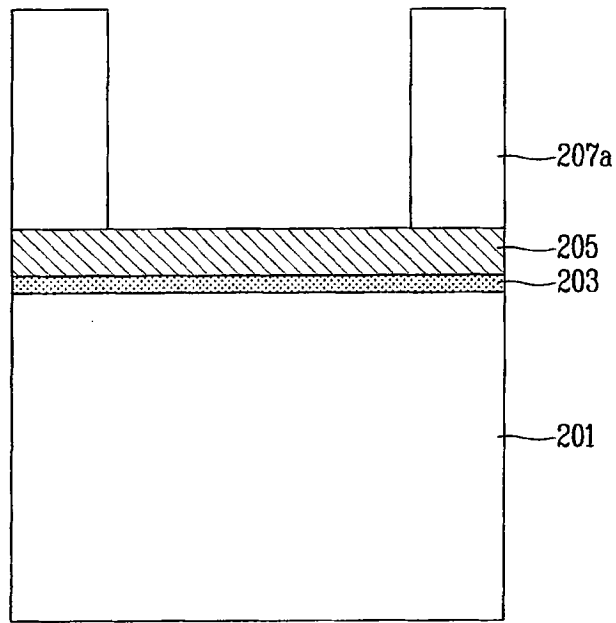


图 4B

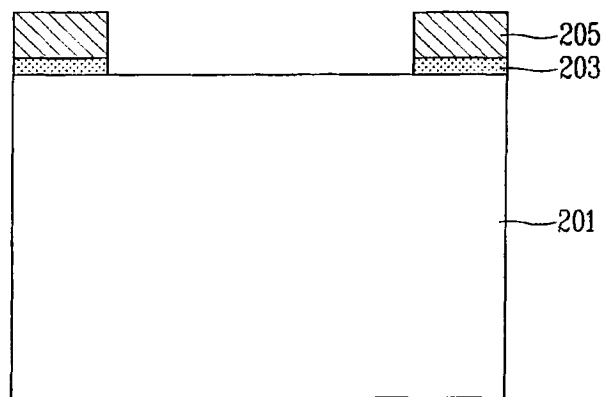


图 4C

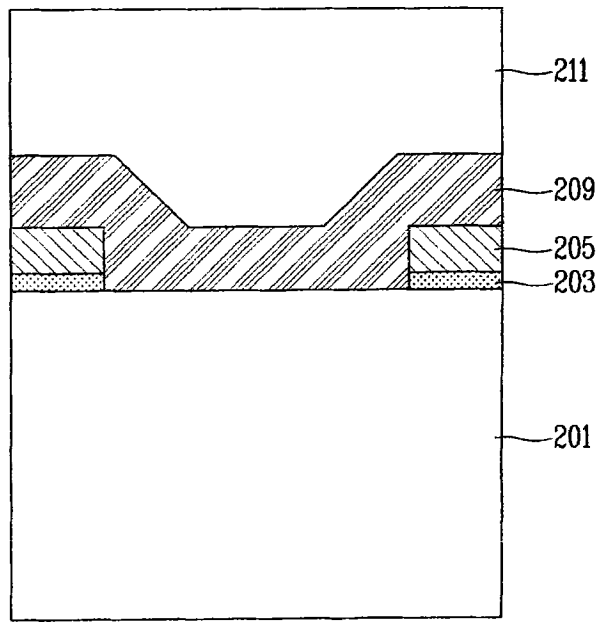


图 4D

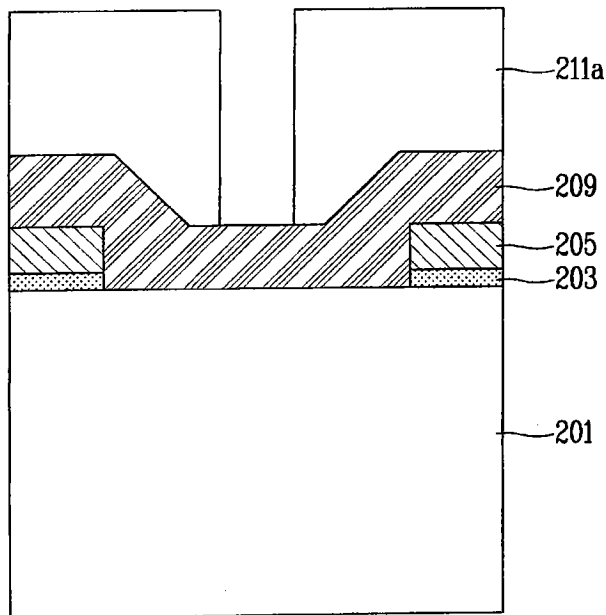


图 4E

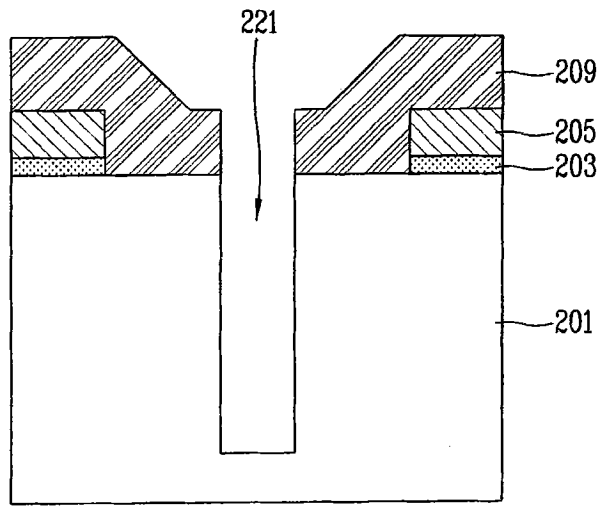


图 4F

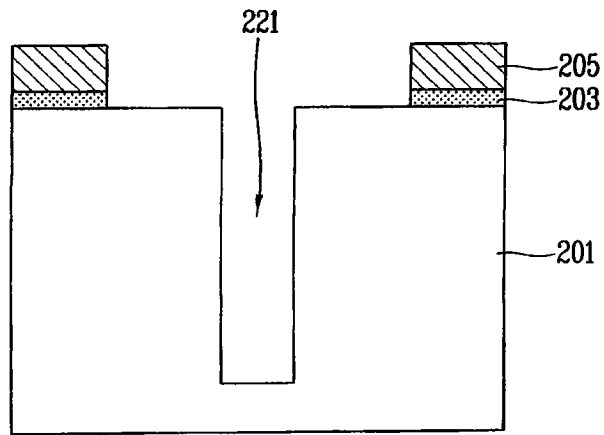


图 4G

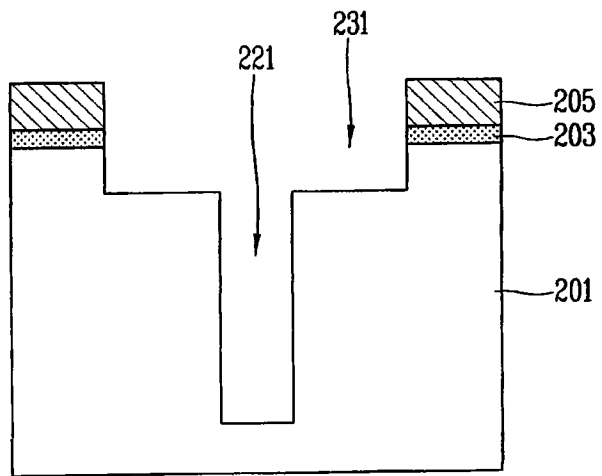


图 4H

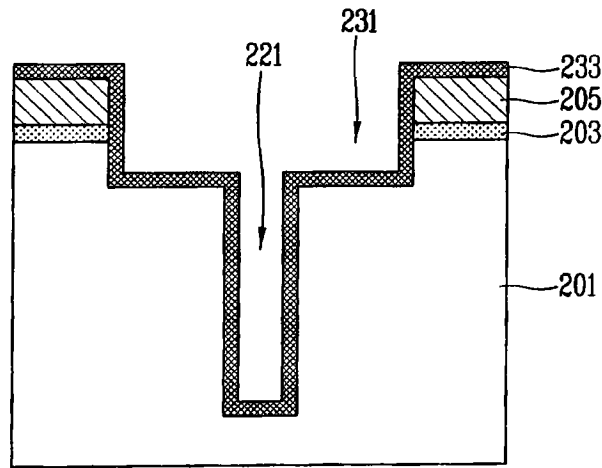


图 4I

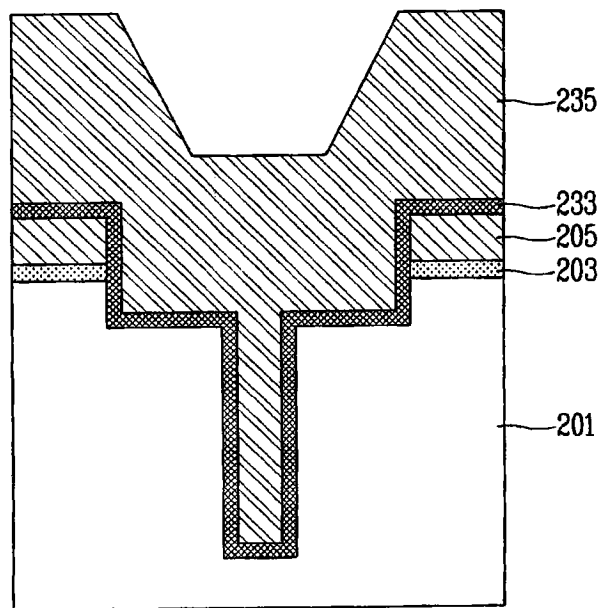


图 4J

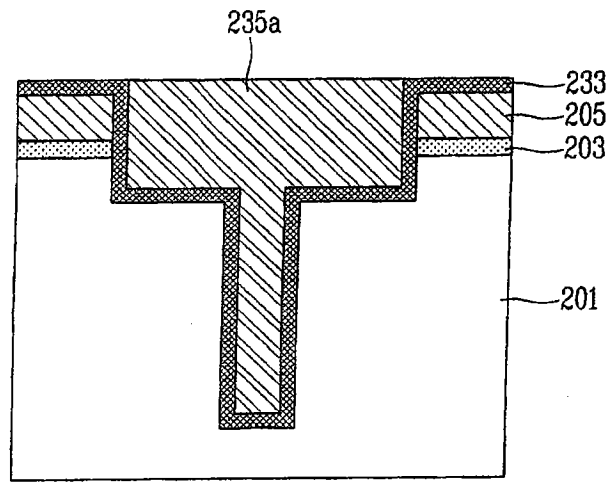


图 4K

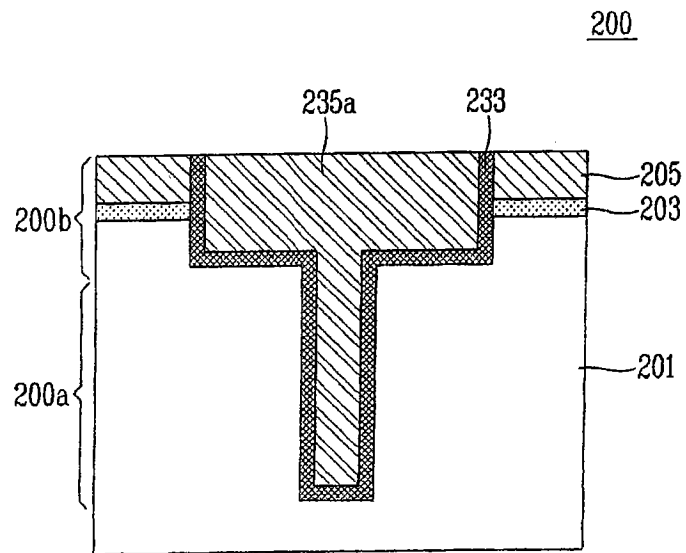


图 4L