

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-55500

(P2011-55500A)

(43) 公開日 平成23年3月17日(2011.3.17)

(51) Int.Cl. F I テーマコード (参考)
H04L 1/00 (2006.01) H04L 1/00 B 5K014

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号	特願2010-196274 (P2010-196274)	(71) 出願人	500587067
(22) 出願日	平成22年9月2日 (2010.9.2)		アギア システムズ インコーポレーテッド
(31) 優先権主張番号	2125/CHE/2009		アメリカ合衆国、18109 ペンシルヴァニア、アレントタウン、アメリカン パークウェイ エヌイー 1110
(32) 優先日	平成21年9月2日 (2009.9.2)	(74) 代理人	100094112
(33) 優先権主張国	インド (IN)		弁理士 岡部 譲
(特許庁注：以下のものは登録商標)		(74) 代理人	100064447
1. イーサネット			弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100104352
			弁理士 朝日 伸光

最終頁に続く

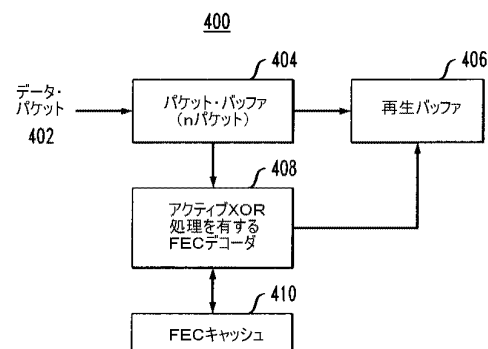
(54) 【発明の名称】 誤り保護されたパケットベース・フレーム用の受信機

(57) 【要約】

【課題】 F E C 復号化の待ち時間およびパケット・バッファのサイズが著しく低減する、F E C 復号化のための受信機および方法を提供すること。

【解決手段】 一実施形態では、リアルタイム伝送プロトコル (R T P) および前方誤り訂正 (F E C) を利用するメディア・パケットのフレーム用の受信機を開示する。この受信機は、パケット・バッファおよび F E C デコーダを備える。パケット・バッファがパケットを受信した後に、F E C デコーダは、このパケットを読み取り、F E C 処理の一部として、フレーム全体 (または、実際にはフレームの任意の後続パケット) を受信するのを待つことなく、このパケットに対して X O R 演算を実行する。フレーム内の欠落パケットを再構成するのに十分なパケットを受信するまで、X O R 演算の結果が蓄積される。この X O R 演算は、後続のパケットを待つことによるいかなる遅延もなく、パケットを受信した後ただちに実行されるので、受信機の待ち時間は非常に少なく、パケット・バッファは相対的に小さくてもよい。

【選択図】 図 4



【特許請求の範囲】**【請求項 1】**

受信機内で誤り訂正（ＥＣ）処理を実行するための方法であって、

（ａ）３つ以上のデータ・パケットおよびＥＣパケットを含む第１のフレームのパケットのサブセットを連続的に受信すること、ならびに

（ｂ）前記第１のフレームのパケットの前記サブセットにＥＣ処理を実行して、前記第１のフレームのうちの少なくとも１つのパケットを再構成することであって、前記ＥＣ処理が、パケットの前記サブセット全体を受信する前に開始されることを含む方法。

【請求項 2】

前記ＥＣ処理は、前記サブセット内の後続パケットの受信を待つことなく、受信すると前記サブセット内の各パケットを処理することを含む、請求項 1 に記載の発明。

10

【請求項 3】

前記サブセット内の少なくとも１つの受信パケットについて、前記ＥＣ処理は、

（ｂ１）前記受信パケット、およびメモリに格納された値に数学演算を実行すること、ならびに

（ｂ２）後続の数学演算用に前記メモリ内に格納される値として、前記数学演算の結果を格納することを含む、請求項 2 に記載の発明。

【請求項 4】

前記サブセット内の最後の受信パケットについて、前記ＥＣ処理は、

（ｂ３）前記最後の受信パケット、および前記メモリに格納された前記値に最後の数学演算を実行すること、ならびに

20

（ｂ４）前記最後の数学演算の結果に基づいて、前記第１のフレームの欠落データ・パケットを再構成することを含む、請求項 3 に記載の発明。

【請求項 5】

（ｃ）３つ以上のデータ・パケットおよびＥＣパケットを含む第２のフレームのパケットのサブセットを連続的に受信すること、ならびに

（ｄ）前記第２のフレームのパケットの前記サブセットにＥＣ処理を実行して、前記第２のフレームのうちの少なくとも１つのパケットを再構成することであって、前記第２のフレームの前記ＥＣ処理が、前記第１のフレームの前記ＥＣ処理が完了する前に開始されることをさらに含む、請求項 1 に記載の発明。

30

【請求項 6】

前記第１のフレームの前記ＥＣ処理は、前記第２のフレームの前記ＥＣ処理が開始する前に開始される、請求項 5 に記載の発明。

【請求項 7】

（ａ１）前記第１のフレームのパケットの前記サブセット内の各パケットを、パケット・バッファ内に格納すること、

（ａ２）前記パケットにＥＣ処理を実行する前に、前記パケット・バッファから各パケットを読み取ること、および

（ｃ）前記第１のフレームのパケットの前記サブセット内の各パケットへのＥＣ処理が完了した後に、再構成されたパケットを前記パケット・バッファ内に格納することをさらに含む、請求項 1 に記載の方法。

40

【請求項 8】

３つ以上のデータ・パケットおよび誤り訂正（ＥＣ）パケットを含む第１のフレームのパケットのサブセットを連続的に受信するように構成されたパケット・バッファ、ならびに

前記第１のフレームのパケットの前記サブセットにＥＣ処理を実行して、前記第１のフレームのうちの少なくとも１つのパケットを再構成するように構成されたＥＣデコーダであって、前記ＥＣ処理が、パケットの前記サブセット全体を受信する前に開始されるＥＣデコーダを備える受信機。

【請求項 9】

50

受信機内で誤り訂正（ＥＣ）処理を実行する装置であって、

（ａ）３つ以上のデータ・パケットおよびＥＣパケットを含む第１のフレームのパケットのサブセットを連続的に受信する手段、ならびに

（ｂ）前記第１のフレームのパケットの前記サブセットにＥＣ処理を実行して、前記第１のフレームのうちの少なくとも１つのパケットを再構成する手段であって、前記ＥＣ処理が、パケットの前記サブセット全体を受信する前に開始される手段を備える装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、誤り訂正デコーダ、および詳細には前方誤り訂正（ＦＥＣ）デコーダを有する受信機におけるバッファ・メモリ管理に関する。

【背景技術】

【０００２】

ＦＥＣ技法は、普通はインターネットなどのパケットベースのネットワークで使用されて、パケット損失を補償する。リアルタイム伝送プロトコル（ＲＴＰ）を利用するリアルタイム・メディアのパケットとともに使用するのに適したＦＥＣ技法は、米国特許第６，１４１，７８８号、およびインターネット協会から１９９９年１２月発行のＪ．Ｒosenbergらによる「An RTP Payload Format for Generic Forward Error Correction」と題するインターネット標準化過程プロトコル番号RFC-2733に記載されており、それぞれその全体を参照により本明細書に組み込む。この技法によれば、伝送する前に、チェックサム・パケットまたはＦＥＣパケットと呼ばれる追加のパケットが、メディア・フレームまたはデータ・パケットのブロックに追加される。受信機において、チェックサム・パケットと首尾よく受信したデータ・パケットとを組み合わせることにより、フレーム内の損失データ・パケットを回復し再構成することができる。より具体的には、チェックサム・パケットと首尾よく受信したデータ・パケットに数学演算（たとえば、排他的論理和（XOR）論理演算）を実行することにより、損失データ・パケットが回復される。次いで、この数学演算の結果から、損失データ・パケットを再構成することができる。

【０００３】

図１には、インターネット標準化過程プロトコル番号RFC-2733によるＦＥＣ復号化を利用する、従来の受信機１００が示してある。受信機１００は、ＦＥＣデコーダ１０８および再生バッファ１０６に接続されたパケット・バッファ１０４を備える。ＦＥＣデコーダ１０８も、再生バッファ１０６に接続されている。

【０００４】

図２には、従来の受信機１００の動作が示してある。ブロック２０２で動作が始まる。ブロック２０４で、受信パケット１０２が、パケット・バッファ１０４に格納される。ブロック２０６で、パケット１０２のコピーが再生バッファ１０６に転送されるが、パケット１０２は、ＦＥＣデコーダ１０８による後続処理のためにパケット・バッファ１０４内に保持される。ブロック２０８で、ＦＥＣデコーダ１０８は、（たとえば、所与のメディア・フレームＦについて、ＦＥＣパケットおよび１つのデータ・パケットを除くすべてのデータ・パケットを受信したとき）、パケット１０２の属するメディア・フレームＦがＦＥＣ復号化可能かどうか判定する。符号化が可能でない場合には、動作はブロック２０４に戻り、そこで後続のパケットを受信して格納する。しかし、フレームＦがＦＥＣ復号化可能である場合、ブロック２１０で、ＦＥＣデコーダ１０８は、メディア・フレームＦについての受信パケット（すなわち、１つのデータ・パケットを除くすべてのデータ・パケットおよびＦＥＣパケット）をパケット・バッファ１０４から読み取り、受信パケットに数学演算（たとえば、XOR論理演算）を実行する。ブロック２１２で、よく知られた技法により、ＦＥＣデコーダ１０８は、数学演算の結果に基づいて欠落パケットを再構成する。ブロック２１４で、ＦＥＣデコーダ１０８は、回復したパケットを再生バッファ１０６に転送する。

10

20

30

40

50

【 0 0 0 5 】

しかし、従来の受信機 1 0 0 の不利な点は、パケット・バッファ 1 0 4 のサイズが相対的に大きくなることである。たとえば、M P E G メディア・フレームは、2 4 までのデータ・パケットに加えて 1 つの F E C パケットの、合計 2 5 のパケットを有することができる。したがって、M P E G メディア・フレームを格納する必要があるパケット・バッファ 1 0 4 内のバッファ・メモリの量 M e m P e r F r a m e は、以下の通り定義することができる。

【 0 0 0 6 】

【 数 1 】

$$MemPerFrame = \sum_{j=1}^{25} SizeOf(Packet(j))$$

10

さらに、各パケットは、最大サイズのユーザデータグラムプロトコル (U D P) 最大パケット・サイズ (たとえば、従来のイーサネットの最大伝送単位 (M T U) のサイズである 1 . 5 K B) を有することがある。したがって、サイズが 1 . 5 K B の 2 5 のパケットを有する M P E G メディア・フレームは、3 7 . 5 K B のメモリを必要とするはずである。

【 0 0 0 7 】

こうした m 個のフレームを格納するために必要となる合計バッファ・メモリは、(m × M e m P e r F r a m e) である。パケット・バッファ 1 0 4 に格納しなければならないフレームの数 m は、いくつかの変数の関数であり、それらの変数は (i) F E C デコーダ 1 0 8 の待ち時間 (すなわち、フレームの第 1 のパケットの受信と、そのフレームに対する F E C 復号化の開始との間の期間)、(i i) F E C 復号化の遅延 (すなわち、たとえばフレームに対して 2 4 組の X O R 論理演算を実行することを含む、フレームに対する F E C 復号化の開始から F E C 復号化の完了までの期間)、および (i i i) 入力パケットのパケット・ジッタを含む。従来の受信機 1 0 0 では、パケット・バッファ 1 0 4 内に格納されるフレームの数 m は、通常 1 2 から 3 0 の間である。したがって、従来の受信機 1 0 0 が、M P E G メディア・パケットを受信するように設計されている場合、パケット・バッファ 1 0 4 は、4 5 0 K B から 1 . 1 2 5 M B の間のメモリを通常必要とするはずである。

20

30

【 0 0 0 8 】

この説明では、図 3 には、パケット・バッファ 1 0 4 の例示的な一実装形態が示しており、このパケット・バッファには 1 2 のメディア・フレーム 3 0 2₁ ~ 3 0 2₁₂ (それぞれ 2 5 のパケットを有する) を格納することができる。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 9 】

【 特許文献 1 】 米国特許第 6 , 1 4 1 , 7 8 8 号

【 非特許文献 】

【 0 0 1 0 】

【 非特許文献 1 】 インターネット協会から 1 9 9 9 年 1 2 月発行の J . R o s e n b e r g らによる「An RTP Payload Format for Generic Forward Error Correction」と題するインターネット標準化過程プロトコル番号 R F C - 2 7 3 3

40

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 1 】

本発明の例示的な一実施形態は、F E C 復号化の待ち時間およびパケット・バッファのサイズが著しく低減する、F E C 復号化のための受信機および方法を提供する。

【 課題を解決するための手段 】

50

【 0 0 1 2 】

したがって、第 1 の実施形態では、本発明は、受信機内で誤り訂正 (E C) 処理を実行するための方法である。3 つ以上のデータ・パケットおよび E C パケットを含む第 1 のフレームのパケットのサブセットが連続的に受信される。この第 1 のフレームのパケットのサブセットに E C 処理が実行されて、第 1 のフレームのうちの少なくとも 1 つのパケットを再構成する。この E C 処理は、パケットのサブセット全体を受信する前に開始される。

【 0 0 1 3 】

他の実施形態では、本発明は受信機である。この受信機は、3 つ以上のデータ・パケットおよび誤り訂正 (E C) パケットを含む第 1 のフレームのパケットのサブセットを連続的に受信するように構成されたパケット・バッファを備える。この受信機はさらに、第 1 のフレームのパケットのサブセットに E C 処理を実行して、第 1 のフレームのうちの少なくとも 1 つのパケットを再構成するように構成された E C デコーダを備え、この E C 処理は、パケットのサブセット全体を受信する前に開始される。

【 0 0 1 4 】

本発明の他の態様、特徴、および利点は、以下の詳細な説明、添付特許請求の範囲、および添付図面から、より完全に明白になるであろう。各図面において、同じ参照番号は、同様のまたは同一の要素を指す。

【 図面の簡単な説明 】

【 0 0 1 5 】

【 図 1 】 F E C 復号化を利用する従来の受信機の簡略化されたブロック図である。

【 図 2 】 図 1 の従来の受信機の動作を示す流れ図である。

【 図 3 】 図 1 の従来の受信機でのパケット・バッファの説明図である。

【 図 4 】 本発明による F E C 復号化を利用する受信機の一実施形態の簡略化されたブロック図である。

【 図 5 】 図 4 に示した受信機の動作を示す流れ図である。

【 図 6 】 図 4 に示した受信機でのパケット・バッファの説明図である。

【 図 7 】 図 4 に示した受信機における F E C データ構造を含むキャッシュ・メモリの一部分の説明図である。

【 図 8 】 図 5 に示したフレーム判定ブロックのより詳細な流れ図である。

【 図 9 】 図 4 に示した受信機のより詳細なブロック図である。

【 発明を実施するための形態 】

【 0 0 1 6 】

本明細書において「一実施形態 (one embodiment)」または「一実施形態 (an embodiment)」という場合、その実施形態に関して記述された具体的な特徴、構造、または特性が、本発明の少なくとも 1 つの実施形態に含まれ得ることを意味する。本明細書の様々な場所で「一実施形態では (in one embodiment)」という表現が現れるが、必ずしもすべてが同じ実施形態を指すものではなく、または他の実施形態を必然的に相互に排除する別個のまたは代替の実施形態でもない。同じことが「実装形態」という用語にも当てはまる。

【 0 0 1 7 】

図 4 は、本発明による受信機 4 0 0 の一実施形態を示す。図 4 に示すように、受信機 4 0 0 は、パケット・バッファ 4 0 4、再生バッファ 4 0 6、F E C デコーダ 4 0 8、および F E C キャッシュ 4 1 0 を備える。受信機 4 0 0 では、F E C デコーダ 4 0 8 は、各受信パケットを実質的にリアルタイムに、たとえば各パケットが到達し、パケット・バッファ 4 0 4 に格納された後すぐに処理する。パケットの属するフレームが不完全な場合でも、F E C 処理は各パケットに対して開始される。こうした理由で、F E C デコーダ 4 0 8 は、F E C キャッシュ 4 1 0 に格納される F E C 処理中間結果を生成し維持する。各入力パケットを受信し F E C 処理した後に、F E C デコーダ 4 0 8 は、F E C キャッシュ 4 1 0 に格納された中間結果を更新する。したがって、F E C デコーダ 4 0 8 は、図 1 の従来技術の F E C デコーダ 1 0 8 とは異なるが、F E C デコーダ 1 0 8 は、メディア・フレー

10

20

30

40

50

ム内のデータ・パケットのうちの1つを除くすべてのパケットを受信するまで待つから、FEC処理を開始する。

【0018】

FECデコーダ408は、実質的にリアルタイムで（受信すべきフレーム内で、さらなるパケットを待つことなく）受信パケットを処理するので、パケット・バッファ404は、図1の従来技術のパケット・バッファ104よりも著しく小さくてよい。パケット・バッファ404は、（i）受信パケットを再生バッファ406に転送するために、また（ii）受信パケットをFECデコーダ408に転送するために、必要とされる期間のみ受信パケットを格納する。こうした転送が完了した後に、受信パケットが占めているパケット・バッファ404内のメモリは、クリアされ、別の入力パケット用に使用されてもよい。したがって、パケット・バッファ404は、フレームがFEC処理可能と見なされるまでフレームにおけるパケットのすべてを格納する必要はない。したがって、再生バッファ406は、再生バッファ106よりも著しく小さくてよい（たとえば、約1/2～約1/10の範囲）。

【0019】

たとえば、一実施形態では、再生バッファ406は、約12から約24の間のパケット（これらのパケットは、12の異なる連続伝送されるフレームに属してもよい）を格納することができるようなサイズにしてもよく、FECデコーダ408は、これら12の連続伝送されるフレームについて、パケットをFEC処理するように構成される。しかし、パケット・バッファ404が扱うように設計されているパケットの数、およびFECデコーダ408が扱うように設計されているフレームの数は、パケットベースのネットワーク内のパケット・ジッタ、FECデコーダ408の待ち時間、およびFECデコーダ408の処理遅延に基づいて変化させてもよいことを理解されたい。

【0020】

説明を簡潔にするために、一実施形態では、受信機400は、同時に連続伝送される3つのメディア・フレームに属するパケット上で、FECデコーダ408が動作できるようにするのに十分に小さいパケット・ジッタを有する通信システムで使用するよう設計されていることを、以下に仮定する。こうした一実施形態では、FECキャッシュ410は、とりわけ、連続伝送される3つのメディア・フレーム（以下では、前のフレーム F_1 、現在のフレーム F_2 、および次のフレーム F_3 と呼ぶ）についての中間の数学的結果（たとえば、XOR論理演算結果）を格納するための3つの記憶場所 fec_str_1 、 fec_str_2 、および fec_str_3 （図4には図示せず）と、現在の受信パケットを格納するための1つの記憶場所 $current_packet$ とを含む。FECフレームによって保護されるパケットの数は、当業者に知られている技法に従って、受信機400と送信機（図示せず）の間で事前に決定されるか取り決められることを、以下でさらに仮定する。

【0021】

図5には、受信機400の動作が示してある。ブロック502で動作が始まる。ブロック504で、記憶場所 fec_str_1 、 fec_str_2 、および fec_str_3 がクリアされる（たとえば、ゼロにセットされる）。ブロック506で、受信パケット402が、パケット・バッファ404に格納される。ブロック508で、受信パケット402は、パケット・バッファ404から、FECキャッシュ410内の記憶場所 $current_packet$ および再生バッファ406に転送され、受信パケット402が占めているパケット・バッファ404内の記憶場所を他のパケット用に解放する。ブロック510で、FECデコーダ408は、パケット402のヘッダ情報を読み取り、パケット402がどちらのメディア・フレーム（たとえば、前のフレーム F_1 ）に属しているのか判定する。

【0022】

ブロック512で、FECデコーダ408は、パケット402の属するメディア・フレーム（たとえば、前のフレーム F_1 ）において、パケット402が、受信機400が受信

10

20

30

40

50

した第1の packets であるかどうか判定する。そうである場合、ブロック514で、FECデコーダは、packets 402の属するメディア・フレームに対応する記憶場所（fec_str₁、fec_str₂、またはfec_str₃）にpackets 402を格納し、動作はブロック506に戻って、別の受信packets を処理する。packets 402の属するメディア・フレーム（たとえば、前のフレームF₁）において、packets 402が、受信機400が受信した第1の packets ではない場合、ブロック516で、FECデコーダ408は、packets 402のデータ部分と、このpackets の属するメディア・フレームに対応する記憶場所（たとえば、fec_str₁）のコンテンツとの間で数学演算（たとえば、XOR論理演算）を実行する。次いで、数学演算の結果は、同じ記憶場所（たとえば、fec_str₁）に格納され、それにより、この記憶場所の前のコンテンツを置き換える。

10

【0023】

ブロック518で、FECデコーダは、packets 402の属するメディア・フレームがFEC復号化可能かどうか判定する（たとえば、このメディア・フレームについて、FEC packets および1つのデータ・packets を除くすべてのデータ・packets を受信したときに）。（図8を参照しながら、フレーム判定ブロック518を、以下でより詳細に説明する。）packets 402の属するフレームがFEC復号化可能でない場合、動作はブロック506に戻って、別の受信packets を処理する。

【0024】

メディア・フレームがFEC復号化可能である場合、ブロック520で、FECデコーダ408は、packets 402の属するメディア・フレーム（たとえば、前のフレームF₁）に対応する記憶場所（たとえば、fec_str₁）に格納されている数学演算結果を使用して、米国特許第6,141,788号およびインターネット標準化過程プロトコル番号RFC-2733に記載されている技法など、よく知られた技法に従って、欠落packets を再構成する。最後に、ブロック522で、FECデコーダ408は、回復されたpackets を再生バッファ406内に格納し、次の入力packets のために記憶場所（たとえば、fec_str₁）がクリアされる。

20

【0025】

図6は、FECキャッシュ410の説明図である。一実施形態では、FECキャッシュ410は、3つのデータ構造（または、定義されたメモリ部分）602₁、602₂、および602₃（それぞれ、FEC_RX_DATA1、FEC_RX_DATA2、およびFEC_RX_DATA3とされる）、ならびに現在の受信packets を格納するためのcurrent_packetの記憶場所604を含む。データ構造（または、定義されたメモリ部分）602₁、602₂、および602₃において、FECデコーダ408は、それぞれメディア・フレームF₁、F₂、およびF₃をFEC復号化するのに有用な情報を格納する。

30

【0026】

一実施形態では、データ構造602₁、602₂、および602₃は、以下のように定義される。

```
typedef struct FEC_RX_DATA
{
    uint16_t    snmin;
    uint16_t    snmax;
    uint8_t     fec_str  [MAX RTP PACKET SIZE];
    uint16_t     fstrlen;
    uint8_t     fec_rec  [MAX RTP PACKET SIZE];
    uint16_t     freclen;
    struct FEC_RX_DATA * prev;
    struct FEC_RX_DATA * next;
} FEC_RX_DATA_t;
```

40

50

ここで、データ・フィールドは以下のように定義される。

【 0 0 2 7 】

【 表 1 】

Snmin	現在のF ₂ 内のRTPメディア・パケットの最小シーケンス番号
Snmax	現在のフレームF ₂ 内のRTPメディア・パケットの最大シーケンス番号
fec_str	現在のフレームF ₂ に属する受信されたRTPメディア・パケットへのXOR論理演算の現在の結果
Fstrlen	現在のフレームF ₂ に属するRTPメディア・パケットのペイロード長 一実態形態では、受信パケットのペイロード長は、XOR形式で格納してもよい(たとえば、パケット1のペイロード長が9バイトで、パケット2のペイロード長が8バイトである場合、fstrlen = 8 XOR 9 = 1 である。)
fec_rec	現在のフレームF ₂ に属する受信FECパケット
Frecflen	FECパケット長
Prev	前のフレームF ₁ のデータ構造に対するポインタ
Next	次のフレームF ₃ のデータ構造に対するポインタ

10

【 0 0 2 8 】

説明するために、図 7 には、データ構造 6 0 2₁ が図示してある。

【 0 0 2 9 】

図 8 は、図 5 のフレーム判定ブロック 5 1 0 をより詳細に示す流れ図であり、ここで、FECデコーダ 4 0 8 は、受信パケット 4 0 2 がどのメディア・フレーム（たとえば、前のフレーム F₁）に属するのか判定する。

【 0 0 3 0 】

ブロック 8 0 2 で、FECデコーダ 4 0 8 は、図 4 に示したパケット・バッファ 4 0 4 内に格納されている受信パケット 4 0 2 の、ペイロード・タイプ記述子 P T およびシーケンス番号 S N R c v d を読み取る。ブロック 8 0 4 で、FECデコーダ 4 0 8 は、受信パケット 4 0 2 が FEC パケットである（すなわち、ペイロード・タイプ記述子 P T が所定の値 F E C _ _ T Y P E に等しい）かどうか検査する。受信パケット 4 0 2 が FEC パケットでない場合、ブロック 8 0 6 で動作が続く。ブロック 8 0 6 で、FECデコーダ 4 0 8 は、シーケンス番号 S N R c v d が、現在のフレーム F₂ 内のメディア・パケットの最小シーケンス番号 s n m i n よりも大きい、またはそれと等しいかを検査する。そうでない場合、ブロック 8 0 8 で、FECデコーダ 4 0 8 は、受信パケット 4 0 2 を前のフレーム F₁ に属するものと識別し、ポインタが、前のフレーム F₁ に関する FEC 復号化情報を格納するための定義された記憶場所であるデータ構造 6 0 2₁ (F E C _ _ R X _ _ D A T A 1) にセットされる。ブロック I i で動作が続き、ここで動作は、図 5 のブロック 5 1 6 に戻る。ブロック 5 1 6 で、FECデコーダ 4 0 8 は、ポインタを使用して、パケット 4 0 2 のデータ部分に数学演算を実行する際に使用される記憶場所（たとえば、f e c _ _ s t r₁）を有するデータ構造（たとえば、F E C _ _ R X _ _ D A T A 1）を識別する。

30

40

【 0 0 3 1 】

しかし、ブロック 8 0 6 で、シーケンス番号 S N R c v d が、現在のフレーム F₂ 内のメディア・パケットの最小シーケンス番号 s n m i n よりも大きい、またはそれと等しいと FECデコーダ 4 0 8 が判定する場合、動作はブロック 8 1 0 に進む。FECデコーダ 4 0 8 は、受信パケットのシーケンス番号 S N R c v d と、現在のフレーム F₂ 内の RTP メディア・パケットの最小シーケンス番号 s n m i n との差が、FEC パケットによって保護することができるパケットの所定の最大数 M A X _ _ F E C _ _ P K T _ _ P E R _ _ F E C よりも大きいまたはそれと等しいかどうか検査する。たとえば、M P E G R T P メディア・フレームでは、FEC パケットによって保護することができるパケットの、所定の

50

最大数 $MAX_FEC_PKT_PER_FEC$ は 24 である。

【0032】

受信パケットのシーケンス番号 $SNRcvd$ と、現在のフレーム F_2 内の RTP メディア・パケットの最小シーケンス番号 $snmin$ との差が、所定の最大数 $MAX_FEC_PKT_PER_FEC$ よりも大きくなくまたそれと等しくもない（すなわちそれ未満の）場合、ブロック 814 で、 FEC デコーダ 408 は、受信パケット 402 を現在のフレーム F_2 に属するものと識別する。具体的には、ポインタがデータ構造 602₂ ($FEC_RX_DATA_2$) にセットされ、 FEC 復号化情報を格納するための定義された記憶場所は、現在のフレーム F_2 に関係する。ブロック I_i で動作が続き、ここで動作は、図 5 のブロック 516 に戻る。ブロック 516 で、 FEC デコーダ 408 は、ポインタを使用して、データ・パケット 402 のデータ部分に数学演算を実行する際に使用される記憶場所（たとえば、 fec_str_2 ）を有するデータ構造（たとえば、 $FEC_RX_DATA_2$ ）を識別する。

10

【0033】

ブロック 810 に戻ると、受信パケットのシーケンス番号 $SNRcvd$ と、現在のフレーム F_2 内の RTP メディア・パケットの最小シーケンス番号 $snmin$ との差が、所定の最大数 $MAX_FEC_PKT_PER_FEC$ よりも大きいまたはそれと等しい（すなわち、それ以上である）と FEC デコーダ 408 が判定する場合、ブロック 812 で動作が続き、 FEC デコーダ 408 は、受信パケット 402 を次のフレーム F_3 に属するものと識別する。具体的には、ポインタがデータ構造 602₃ ($FEC_RX_DATA_3$) にセットされ、 FEC 復号化情報を格納するための定義された記憶場所は、次のフレーム F_3 に関係する。ブロック I_i で動作が続き、ここで動作は、図 5 のブロック 516 に戻る。ブロック 516 で、 FEC デコーダ 408 は、ポインタを使用して、パケット 402 のデータ部分に数学演算を実行する際に使用される記憶場所（たとえば、 fec_str_3 ）を有するデータ構造（たとえば、 $FEC_RX_DATA_3$ ）を識別する。

20

【0034】

ブロック 804 で、受信パケット 402 が FEC パケットである（すなわち、ペイロード・タイプ記述子 PT が所定の値 FEC_TYPE に等しい）と FEC デコーダ 408 が判定する場合、ブロック 816 で動作が続き。ブロック 816 で、パケット 402 のマスク・フィールドおよび sn ベース・フィールドを使用して、パケット 402 が、どのフレーム（たとえば、前のフレーム F_1 、現在のフレーム F_2 、または次のフレーム F_3 ）に属するのかを判定する。次いで、ブロック 818 で、 FEC キャッシュ 410 内の適切なデータ構造 ($FEC_RX_DATA_1$ 、 $FEC_RX_DATA_2$ 、または $FEC_RX_DATA_3$) 内の fec_rec 記憶場所にパケット 402 が格納され、ブロック 820 で、図 5 のブロック 518 に動作が戻る。

30

【0035】

図 9 は、図 4 に示した受信機 400 のより詳細なブロック図である。 FEC デコーダ 408 は、英国ケンブリッジにある ARM Holdings plc から入手可能なコア設計に基づく、ARM 1176J-S プロセッサなどの縮小命令セットコンピューティング (RISC) プロセッサとして実装されることが好ましい。RISC プロセッサは、少なくとも 250 MHz の速度で動作することが好ましい。

40

【0036】

パケット・バッファ 404 および FEC キャッシュ 410 は、RISC プロセッサ内の 64 KB のデータ密結合メモリ (D-TCM) 910 内に実装されることが好ましい。RISC プロセッサはまた、8 KB のデータ・キャッシュ (D-キャッシュ)、8 KB の命令キャッシュ (I-キャッシュ)、および 64 KB の命令密結合メモリ (I-TCM) を備えてもよい。

【0037】

図 9 に示すように、再生バッファ 406 および FEC デコーダ 408 は、64 ビットのアドバンスト・エクステンシブル・インタフェース (AXI) ベースのバス・マトリック

50

ス 9 1 4 を介して接続されている。再生バッファ 4 0 6 は、(i) データ転送速度が毎秒 5 億 3 3 0 0 万回であり、(i i) 「 D D R 2 S D R A M S p e c i f i c a t i o n 」 と題する J E D E C 規格番号 J E S D 7 9 - 2 E に準拠し、(i i i) 「 x 1 6 」 構成で実装される (すなわち、 D D R 2 - 5 3 3 x 1 6 メモリ) 、外部のダブル・データ・レート (D D R) シンクロナス・ダイナミック・ランダム・アクセス・メモリ (S D R A M) であることが好ましい。再生バッファ 4 0 6 は、 D D R 2 外部メモリ・インターフェース (E M I) 9 3 8 を介して、バス・マトリックス 9 1 4 に接続される。

【 0 0 3 8 】

受信機 4 0 0 はまた、 F E C デコーダ 4 0 8 が使用するための、 2 5 6 K B の汎用 S R A M メモリ (「 P P B M E M 」) 9 1 2 を備える。

10

【 0 0 3 9 】

受信機 4 0 0 はまた、イーサネットをサポートするための、媒体アクセス制御装置 (M A C) 9 2 4 、 9 3 0 を備える。 M A C 9 2 4 、 9 3 0 は、パケット分類エンジン (P C E) コプロセッサ 9 2 0 、 9 2 8 および送信 M A C D M A (T X D) コプロセッサを介して、バス・マトリックス 9 1 4 に接続される。 P C E コプロセッサ 9 2 0 、 9 2 8 は、 L 2 / L 3 / L 4 の I P および U D P のパケット分類、ならびに M A C 9 2 4 、 9 3 0 と受信パケット用のパケット・バッファ 4 0 4 との間での直接メモリアクセス (D M A) のサポートを実現する。 T X D コプロセッサ 9 2 2 、 9 2 6 は、 M A C 9 2 4 、 9 3 0 と送信パケット用の送信メモリ (図示せず) との間での D M A のサポートを実現する。 4 8 K B の汎用 S R A M メモリ 9 0 2 も、 P C E コプロセッサ 9 2 0 、 9 2 8 用に設けられて、たとえば、インターネット・プロトコル・バージョン 6 (I P v 6) をサポートするための表を格納する。

20

【 0 0 4 0 】

受信機 4 0 0 はまた、 (外部メモリ・インターフェース 9 3 8 を介して) 再生バッファ 4 0 6 に対して D M A をサポートする D M A 制御装置 9 3 2 を備える。

【 0 0 4 1 】

F E C デコーダ 4 0 8 はまた、 (i) A X I / A P B ブリッジ 9 1 6 を介して接続されたアドバンスト・ペリフェラル・バス (A P B) 9 1 8 を介して M A C 9 2 4 、 9 3 0 および P C E コプロセッサ 9 2 0 、 9 2 8 と通信し、また (i i) A X I / A H B ブリッジ 9 3 4 を介して接続されたアドバンスト・ハイパフォーマンス・バス (A H B) 9 3 6 を介して D M A 制御装置 9 3 2 および D D R 2 外部メモリ・インターフェース 9 3 8 と通信することが好ましい。

30

【 0 0 4 2 】

1 つまたは複数のデジタル信号プロセッサ (D S P) (図示せず) もまた、バス・マトリックス 9 1 4 に接続して、再生バッファ 4 0 6 内に格納されたメディア・パケットを復号化してもよい。

【 0 0 4 3 】

このように、複数のデータ・パケットおよび誤り訂正パケットを有するメディア・フレームを受信するための、新規で革新的なシステムおよび方法を説明してきた。図 4 に示す前述の受信機 4 0 0 において、 F E C デコーダ 4 0 8 は、対応するメディア・フレーム内に残っているパケットのすべてまたはほとんどを受信するまで遅延することなく、ただちに各受信パケットに数学演算 (たとえば、 X O R 論理演算) を実行することに留意してもよい。対照的に、図 1 に示す従来の受信機 1 0 0 においては、 F E C デコーダ 1 0 8 は、バッファリングされたフレームが F E C 復号化可能であると判定されるまで (たとえば、このフレームにおける F E C パケットおよび 1 つのデータ・パケットを除くすべてのデータ・パケットが受信されるまで) 、いかなる数学演算の実行をも遅延する。したがって、 F E C デコーダ 4 0 8 は、従来の F E C デコーダ 1 0 8 よりも、待ち時間が著しく少ない。さらに、 F E C デコーダ 4 0 8 は、各受信パケットにただちに数学演算を実行するので、パケット・バッファ 4 0 4 が、各フレームのほとんどすべてのパケットを格納することができる必要はない。その結果、パケット・バッファ 4 0 4 は、図 1 のパケット・バッ

40

50

ァ 1 0 4 よりも、サイズをはるかに小さくすることができる。

【 0 0 4 4 】

本発明は、(A S I C または F P G A などの) 単一の集積回路、マルチチップ・モジュール、単一カード、またはマルチカード回路パックのような実現可能な実装形態を含め、オールデジタル、オールアナログ、またはアナログ回路とデジタル回路両方をベースにするプロセスのハイブリッドとして実施してもよい。当業者には明らかになるように、回路要素の様々な機能をも、ソフトウェア・プログラム内の処理ブロックとして実装してもよい。このようなソフトウェアは、たとえば、デジタル信号プロセッサ、マイクロコントローラ、または汎用コンピュータで利用してもよい。

【 0 0 4 5 】

本発明の本質を説明するために説明し図示してきた各部品の詳細、材料、および構成には、以下の特許請求の範囲に記載された本発明の範囲を逸脱することなく、当業者によって様々な変更を加えてもよいことがさらに理解されよう。

【 0 0 4 6 】

したがって、本発明は、X O R 論理演算を使用する誤り訂正に関してこれまで述べてきたが、本発明は、それに限定されるものではなく、他の論理演算(たとえば、否定排他的論理和(N X O R) 論理演算)を使用してもよい。さらに、本発明を、論理演算以外の数学演算に基づく他の誤り訂正(E C) アルゴリズムを使用して実施してもよいのは、このような E C アルゴリズムにより、遅延することなく、たとえば、E C 処理が開始される前に、フレーム内のすべてのまたは実質的にすべてのパケットが存在する必要もなく、F E C 処理を各受信パケットについて行うことができる場合である。

【 0 0 4 7 】

さらに、本発明は、特定の長さおよび量に関してこれまで述べてきたが、本発明は、それに限定されるものではなく、他の長さおよび量を使用してもよい。たとえば、F E C デコーダ 4 0 8 およびパケット・バッファ 4 0 4 が扱うように設計されているフレームの数、ならびに F E C キャッシュ 4 1 0 内の記憶場所の数は、パケットベースのネットワーク内のパケット・ジッタ、および / または F E C デコーダ 4 0 8 の待ち時間に基づいて増減させてもよい。たとえば、本発明の一実施形態では、前述の 3 フレーム・パケット・バッファではなく、2 フレーム・パケット・バッファを利用してもよい。このような実施形態では、前述の 3 つではなく、2 つのデータ構造 6 0 2 ₁、6 0 2 ₂ のみが F E C キャッシュ 4 1 0 内で必要となる。

【 0 0 4 8 】

他の実施形態では、ネットワークのパケット・ジッタが非常に小さい場合、1 フレーム・パケット・バッファを利用してもよく、F E C キャッシュ 4 1 0 は、単一のデータ構造 6 0 2 ₁ を含んでもよく、またそれから構成されてもよい。一方で、パケット・ジッタが大きい場合、F E C デコーダ 4 0 8 およびパケット・バッファ 4 0 4 は、4 つ(以上)のフレームを扱うように設計してもよく、対応する数のデータ構造が F E C キャッシュ 4 1 0 内に必要となるはずである。たとえば、パケット・ジッタが、前述の受信機 1 0 0 の場合と同様に大きい場合(パケット・バッファ 1 0 4 が 1 2 フレームを格納することができるように設計された場合)、F E C デコーダ 4 0 8 およびパケット・バッファ 4 0 4 もまた、F E C キャッシュ 4 1 0 内の 1 2 のデータ構造を使用する場合には、1 2 フレームを扱うように設計してもよいことが予想される。

【 0 0 4 9 】

本明細書で説明した例示的な方法の各ステップは、必ずしも説明した順序で実行する必要はなく、このような方法のステップの順序は、単に例示的なものと理解すべきであることも理解されたい。同様に、本発明の様々な実施形態に合致する方法においては、このような方法に追加のステップを含んでもよく、また何らかのステップを割愛してもよく、または組み合わせてもよい。

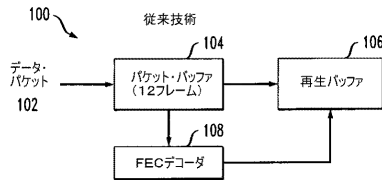
10

20

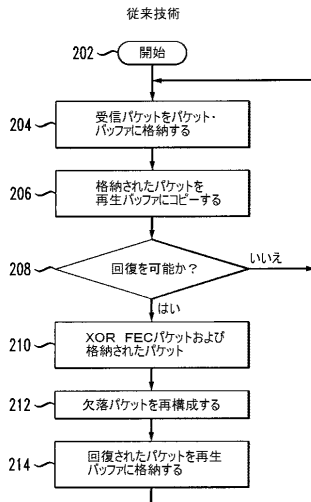
30

40

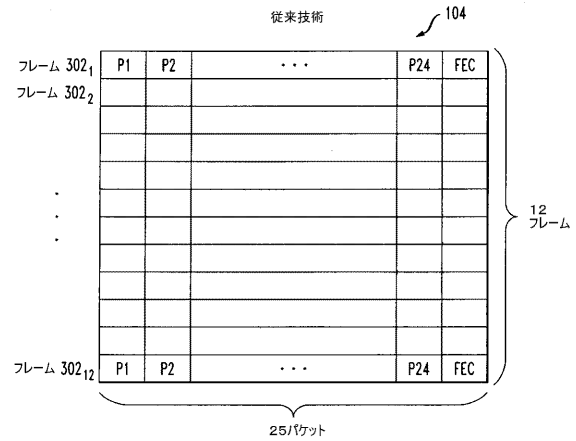
【図 1】



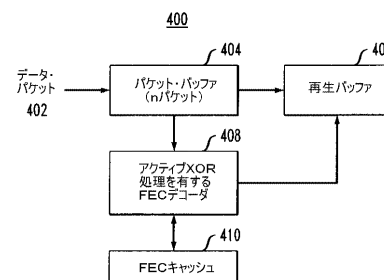
【図 2】



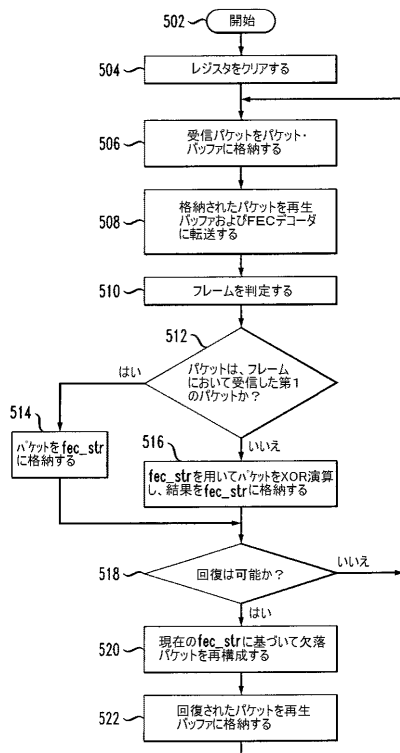
【図 3】



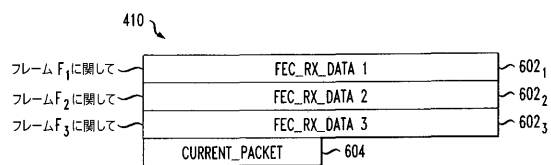
【図 4】



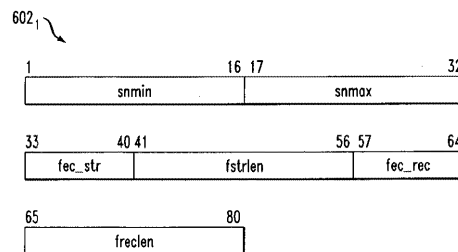
【図 5】



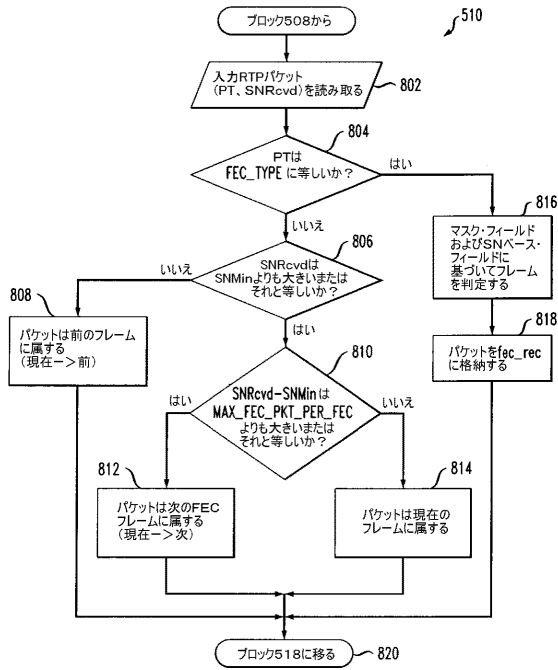
【図 6】



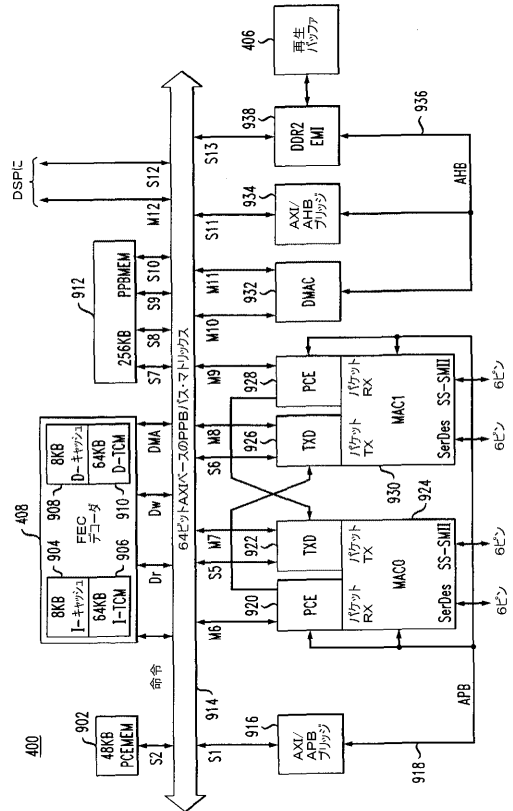
【図 7】



【図 8】



【図 9】



フロントページの続き

(74)代理人 100128657

弁理士 三山 勝巳

(74)代理人 100160967

弁理士 濱 口 岳久

(72)発明者 アチュル キサンラオ ヘダオー

インド国 560017 カルナタカ ステート, バンガロア, ムルジェシュパルヤ, ケー アー
ル ガーデン, アショク アヴェニュー 93, ジェーヴァナデ マグナス, エフエフ3

(72)発明者 ラエシュ カシナス ライカー

インド国 560103, カルナタカ ステート, バンガロア, ベランジュル, グリーングレン
レイアウト, マーゴサ アヴェニュー, アップル ブロッサム, アpartment ナンバー208

Fターム(参考) 5K014 AA01 BA05 EA01