

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7589087号
(P7589087)

(45)発行日 令和6年11月25日(2024.11.25)

(24)登録日 令和6年11月15日(2024.11.15)

(51)国際特許分類		F I	
G 1 1 C	7/10 (2006.01)	G 1 1 C	7/10 5 1 5
H 0 1 L	21/8234(2006.01)	H 0 1 L	27/088 E
H 0 1 L	27/088 (2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	21/336(2006.01)	G 0 6 F	12/00 5 5 0 K
H 0 1 L	29/788 (2006.01)	G 1 1 C	5/04 2 1 0
請求項の数 9 (全40頁) 最終頁に続く			
(21)出願番号	特願2021-57290(P2021-57290)	(73)特許権者	318010018
(22)出願日	令和3年3月30日(2021.3.30)		キオクシア株式会社
(65)公開番号	特開2022-154323(P2022-154323 A)	(74)代理人	110001612
(43)公開日	令和4年10月13日(2022.10.13)		弁理士法人きさらぎ国際特許事務所
審査請求日	令和5年9月7日(2023.9.7)	(72)発明者	菅原 昭雄
			東京都港区芝浦三丁目1番21号 キオクシア株式会社内
		(72)発明者	呂 チョ
			東京都港区芝浦三丁目1番21号 キオクシア株式会社内
		(72)発明者	黒澤 武寿
			東京都港区芝浦三丁目1番21号 キオクシア株式会社内
		(72)発明者	長井 裕士
			最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【特許請求の範囲】

【請求項1】

第1信号を受信する第1パッドと、
第2信号を受信する第2パッドと、
前記第1パッドに接続された第1レシーバ及び第1ドライバと、
前記第2パッドに接続された第2レシーバ及び第2ドライバと、
複数の第1メモリストリングを備え、前記複数の第1メモリストリングがそれぞれ複数の第1メモリセルトランジスタを備える第1メモリセルアレイと、
前記第1メモリセルアレイに接続された第1センスアンプと、
前記第1センスアンプに接続され、前記第1メモリセルアレイから読み出されたデータを格納可能な第1データレジスタと、
前記第1メモリセルアレイを対象とする動作を実行可能な制御回路とを備え、
第1モードにおいては、前記動作を指示するコマンドセットを、前記第1パッドを介して取り込み、
第2モードにおいては、前記動作を指示する前記コマンドセットを、前記第2パッドを介して取り込み、
前記第1モードにおいては、前記第1レシーバ、前記第1ドライバ、及び前記第2レシーバが駆動され、前記第2ドライバの駆動が停止され、
前記第2モードにおいては、前記第1レシーバ、前記第1ドライバ、前記第2レシーバ

、及び前記第2ドライバが駆動される

半導体記憶装置。

【請求項2】

第3信号を受信する第3パッドを備え、

前記第1パッドは複数設けられ、

前記第1モードにおいては、前記動作を指示する前記コマンドセットを、複数の前記第1パッドを介して取り込み、

前記第2モードにおいては、前記動作を指示する前記コマンドセットを、前記第2パッド及び前記第3パッドを介して取り込む

請求項1記載の半導体記憶装置。

10

【請求項3】

前記コマンドセットは、コマンドデータと、アドレスデータと、を含み

前記第1モードにおいて、

前記第2パッドに入力される前記第2信号が第1レベルであり、且つ、

前記第3パッドに入力される前記第3信号が前記第1レベルとは異なる第2レベルのとき、

前記第1パッドに入力される前記第1信号を前記コマンドデータとして取り込み、

前記第2パッドに入力される前記第2信号が前記第2レベルであり、且つ、

前記第3パッドに入力される前記第3信号が前記第1レベルのとき、

前記第1パッドに入力される前記第1信号を前記アドレスデータとして取り込む

請求項2記載の半導体記憶装置。

20

【請求項4】

第4信号を受信する第4パッドを備え、

前記第1モードにおいては、前記第4信号と同期して、前記動作を指示する前記コマンドセットを、前記第1パッドを介して取り込み、

前記第2モードにおいては、前記第4信号と同期して、前記動作を指示する前記コマンドセットを、前記第2パッドを介して取り込む

請求項1～3のいずれか1項記載の半導体記憶装置。

【請求項5】

前記第1パッド及び前記第2パッドから入力されたデータを格納可能なコマンドレジスタを備え、

前記第2パッドは、前記コマンドレジスタに、デシリアライザを介して接続されている

請求項1～4のいずれか1項記載の半導体記憶装置。

30

【請求項6】

電源投入後は前記第1モードに設定され、

前記第2モードへの設定を指示する前記コマンドセットの入力に応じて前記第2モードに設定される

請求項1～5のいずれか1項記載の半導体記憶装置。

【請求項7】

前記制御回路は、

前記第1メモリセルアレイからデータを読み出して前記第1データレジスタに格納する読出動作と、

前記第1データレジスタに格納されたデータを出力するデータアウト動作と
を実行可能である

請求項1～6のいずれか1項記載の半導体記憶装置。

40

【請求項8】

複数の第2メモリストリングを備え、前記複数の第2メモリストリングがそれぞれ複数の第2メモリセルトランジスタを備える第2メモリセルアレイと、

前記第2メモリセルアレイに接続された第2センスアンプと、

前記第2センスアンプに接続され、前記第2メモリセルアレイから読み出されたデータ

50

を格納可能な第2データレジスタと

を備え、

前記第2モードにおいて、

前記第1データレジスタに格納されたデータを前記第1パッドから出力している間に、

前記第2データレジスタに格納されたデータの出力を指示する前記コマンドセットを受け付ける

請求項1～7のいずれか1項記載の半導体記憶装置。

【請求項9】

第5信号を受信する第5パッドを有し、

前記第2モードにおいて、

前記第1データレジスタに格納されたデータの出力を指示する前記コマンドセットを受け付けた後であって、

出力開始動作がなされた後は、

前記第5パッドに入力される前記第5信号がトグルされることに応じて前記第1パッドからデータを出力し、

前記第1データレジスタに格納されたデータの出力を指示する前記コマンドセットを受け付けた後であって、

前記出力開始動作がなされる前は、

前記第5パッドに入力される前記第5信号がトグルされても、前記第1パッドからデータを出力しない

請求項1～8のいずれか1項記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

複数のメモリセルを含むメモリセルアレイと、このメモリセルアレイに接続され、コマンドデータ及びアドレスデータを含むコマンドセットの入力に応じてユーザデータを出力する周辺回路と、を備える半導体記憶装置が知られている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2015-176309号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

高速に動作する半導体記憶装置を提供する。

【課題を解決するための手段】

【0005】

一の実施形態に係る半導体記憶装置は、第1信号を受信する第1パッドと、第2信号を受信する第2パッドと、第1メモリセルアレイと、第1メモリセルアレイに接続された第1センスアンプと、第1センスアンプに接続され、第1メモリセルアレイから読み出されたユーザデータを格納可能な第1データレジスタと、第1メモリセルアレイを対象とする動作を実行可能な制御回路と、を備える。第1メモリセルアレイは、複数の第1メモリストリングを備える。複数の第1メモリストリングは、それぞれ、複数の第1メモリセルトランジスタを備える。また、この半導体記憶装置は、第1モードにおいて、動作を指示するコマンドセットを、第1パッドを介して取り込む。また、この半導体記憶装置は、第2モードにおいて、動作を指示するコマンドセットを、第2パッドを介して取り込む。

【図面の簡単な説明】

【 0 0 0 6 】

【図 1】第 1 実施形態に係るメモリシステム 1 0 の構成を示す模式的なブロック図である。

【図 2】メモリシステム 1 0 の構成例を示す模式的な側面図である。

【図 3】メモリシステム 1 0 の構成例を示す模式的な平面図である。

【図 4】メモリダイ MD の構成を示す模式的なブロック図である。

【図 5】メモリダイ MD の一部の構成を示す模式的な回路図である。

【図 6】メモリダイ MD の一部の構成を示す模式的な斜視図である。

【図 7】メモリダイ MD の一部の構成を示す模式的な回路図である。

【図 8】メモリダイ MD の一部の構成を示す模式的な回路図である。

【図 9】動作モード MODE a について説明するための模式的な図である。

10

【図 1 0】動作モード MODE b について説明するための模式的な図である。

【図 1 1】動作モード MODE a について説明するための真理値表である。

【図 1 2】動作モード MODE b について説明するための真理値表である。

【図 1 3】動作モード MODE b について説明するための真理値表である。

【図 1 4】動作モード MODE a について説明するための模式的な波形図である。

【図 1 5】動作モード MODE b について説明するための模式的な波形図である。

【図 1 6】動作モード MODE a について説明するための模式的なタイミングチャートである。

【図 1 7】動作モード MODE a について説明するための模式的なタイミングチャートである。

20

【図 1 8】動作モード MODE b について説明するための模式的なタイミングチャートである。

【図 1 9】動作モード MODE b について説明するための模式的なタイミングチャートである。

【図 2 0】メモリダイ MD の一部の構成例を示す模式的な回路図である。

【図 2 1】メモリダイ MD の動作方法について説明するための模式的な波形図である。

【図 2 2】メモリダイ MD の一部の構成例を示す模式的な回路図である。

【図 2 3】メモリダイ MD の一部の構成例を示す模式的な回路図である。

【図 2 4】第 2 実施形態に係るメモリダイ MD 2 の構成を示す模式的なブロック図である。

【図 2 5】メモリダイ MD 2 の一部の構成を示す模式的な回路図である。

30

【図 2 6】動作モード MODE c について説明するための真理値表である。

【図 2 7】動作モード MODE c について説明するための真理値表である。

【図 2 8】メモリダイ MD 2 の動作について説明するための模式的な波形図である。

【図 2 9】メモリダイ MD 2 の動作について説明するための模式的な波形図である。

【図 3 0】メモリダイ MD 2 の一部の構成例を示す模式的な回路図である。

【図 3 1】第 3 実施形態に係るメモリダイ MD 3 の構成を示す模式的なブロック図である。

【図 3 2】メモリダイ MD 3 の動作について説明するための模式的な波形図である。

【図 3 3】第 4 実施形態に係るメモリダイ MD 4 の構成を示す模式的なブロック図である。

【図 3 4】メモリダイ MD 4 の構成を示す模式的なブロック図である。

【図 3 5】動作モード MODE d について説明するための真理値表である。

40

【図 3 6】メモリダイ MD 4 の動作について説明するための模式的な波形図である。

【図 3 7】メモリダイ MD 4 の動作について説明するための模式的な波形図である。

【図 3 8】メモリダイ MD 4 の動作について説明するための模式的な波形図である。

【図 3 9】その他の実施形態に係るメモリダイの動作について説明するための模式的な波形図である。

【発明を実施するための形態】

【 0 0 0 7 】

次に、実施形態に係る半導体記憶装置を、図面を参照して詳細に説明する。尚、以下の実施形態はあくまでも一例であり、本発明を限定する意図で示されるものではない。

【 0 0 0 8 】

50

また、本明細書において「半導体記憶装置」と言った場合には、メモリダイ（メモリチップ）を意味する事もあるし、メモリカード、SSD等の、コントローラダイを含むメモリシステムを意味する事もある。更に、スマートフォン、タブレット端末、パーソナルコンピュータ等の、ホストコンピュータを含む構成を意味する事もある。

【0009】

また、本明細書において、第1の構成が第2の構成に「電氣的に接続されている」と言った場合、第1の構成は第2の構成に直接接続されていても良いし、第1の構成が第2の構成に配線、半導体部材又はトランジスタ等を介して接続されていても良い。例えば、3つのトランジスタを直列に接続した場合には、2つ目のトランジスタがOFF状態であったとしても、1つ目のトランジスタは3つ目のトランジスタに「電氣的に接続」されている。

10

【0010】

また、本明細書において、第1の構成が第2の構成及び第3の構成の「間に接続されている」と言った場合、第1の構成、第2の構成及び第3の構成が直列に接続され、且つ、第2の構成が第1の構成を介して第3の構成に接続されていることを意味する場合がある。

【0011】

また、本明細書において、回路等が2つの配線等を「導通させる」と言った場合には、例えば、この回路等がトランジスタ等を含んでおり、このトランジスタ等が2つの配線の間の電流経路に設けられており、このトランジスタ等がON状態となることを意味する事がある。

20

【0012】

〔第1実施形態〕

〔メモリシステム10〕

図1は、第1実施形態に係るメモリシステム10の構成を示す模式的なブロック図である。

【0013】

メモリシステム10は、ホストコンピュータ20から送信された信号に応じて、ユーザデータの読出し、書込み、消去等を行う。メモリシステム10は、例えば、メモリカード、SSD又はその他のユーザデータを記憶可能なシステムである。メモリシステム10は、ユーザデータを記憶する複数のメモリダイMDと、これら複数のメモリダイMD及びホストコンピュータ20に接続されるコントローラダイCDと、を備える。コントローラダイCDは、例えば、プロセッサ、RAM等を備え、論理アドレスと物理アドレスの変換、ビット誤り検出／訂正、ガベージコレクション（コンパクション）、ウェアレベリング等の処理を行う。

30

【0014】

図2は、本実施形態に係るメモリシステム10の構成例を示す模式的な側面図である。図3は、同構成例を示す模式的な平面図である。説明の都合上、図2及び図3では一部の構成を省略する。

【0015】

図2に示す様に、本実施形態に係るメモリシステム10は、実装基板MSBと、実装基板MSBに積層された複数のメモリダイMDと、メモリダイMDに積層されたコントローラダイCDと、を備える。実装基板MSBの上面のうち、Y方向の端部の領域にはパッド電極Pが設けられ、その他の一部の領域は接着剤等を介してメモリダイMDの下面に接着されている。メモリダイMDの上面のうち、Y方向の端部の領域にはパッド電極Pが設けられ、その他の領域は接着剤等を介して他のメモリダイMD又はコントローラダイCDの下面に接着されている。コントローラダイCDの上面のうち、Y方向の端部の領域にはパッド電極Pが設けられている。

40

【0016】

図3に示す様に、実装基板MSB、複数のメモリダイMD、及び、コントローラダイCDは、それぞれ、X方向に並ぶ複数のパッド電極Pを備えている。実装基板MSB、複数

50

のメモリダイMD、及び、コントローラダイCDに設けられた複数のパッド電極Pは、それぞれ、ボンディングワイヤBを介してお互いに接続されている。

【0017】

尚、図2及び図3に示した構成は例示に過ぎず、具体的な構成は適宜調整可能である。例えば、図2及び図3に示す例では、複数のメモリダイMD上にコントローラダイCDが積層され、これらの構成がボンディングワイヤBによって接続されている。このような構成では、複数のメモリダイMD及びコントローラダイCDが一つのパッケージ内に含まれる。しかしながら、コントローラダイCDは、メモリダイMDとは別のパッケージに含まれていても良い。また、複数のメモリダイMD及びコントローラダイCDは、ボンディングワイヤBではなく、貫通電極等を介してお互いに接続されていても良い。

10

【0018】

〔メモリダイMDの構成〕

図4は、第1実施形態に係るメモリダイMDの構成を示す模式的なブロック図である。図5は、メモリダイMDの一部の構成を示す模式的な回路図である。図6は、メモリダイMDの一部の構成を示す模式的な斜視図である。図7及び図8は、メモリダイMDの一部の構成を示す模式的な回路図である。説明の都合上、図4～図8では一部の構成を省略する。

【0019】

尚、図4には、複数の制御端子等を図示している。これら複数の制御端子は、ハイアクティブ信号（正論理信号）に対応する制御端子として表される場合と、ローアクティブ信号（負論理信号）に対応する制御端子として表される場合と、ハイアクティブ信号及びローアクティブ信号の双方に対応する制御端子として表される場合と、がある。図4において、ローアクティブ信号に対応する制御端子の符号は、オーバーライン（上線）を含んでいる。本明細書において、ローアクティブ信号に対応する制御端子の符号は、スラッシュ（“／”）を含んでいる。尚、図4の記載は例示であり、具体的な態様は適宜調整可能である。例えば、一部又は全部のハイアクティブ信号をローアクティブ信号としたり、一部又は全部のローアクティブ信号をハイアクティブ信号としたりすることも可能である。

20

【0020】

また、図4に示す複数の制御端子の横には、入出力方向を示す矢印を図示している。図4において、左から右への矢印が付された制御端子は、コントローラダイCDからメモリダイMDへの、データ又はその他の信号の入力に使用可能である。図4において、右から左への矢印が付された制御端子は、メモリダイMDからコントローラダイCDへの、データ又はその他の信号の出力に使用可能である。図4において、左右双方向の矢印が付された制御端子は、コントローラダイCDからメモリダイMDへの、データ又はその他の信号の入力、及び、メモリダイMDからコントローラダイCDへの、データ又はその他の信号の出力の、双方に使用可能である。

30

【0021】

図4に示す様に、メモリダイMDは、ユーザデータを記憶するメモリセルアレイMCA0、MCA1と、メモリセルアレイMCA0、MCA1に接続された周辺回路PCと、を備える。尚、以下の説明においては、メモリセルアレイMCA0、MCA1を、メモリセルアレイMCAと呼ぶ場合がある。また、メモリセルアレイMCA0、MCA1を、プレーンPLN0、PLN1と呼ぶ場合がある。

40

【0022】

〔メモリセルアレイMCAの構成〕

メモリセルアレイMCAは、図5に示す様に、複数のメモリブロックBLKを備える。これら複数のメモリブロックBLKは、それぞれ、複数のストリングユニットSUを備える。これら複数のストリングユニットSUは、それぞれ、複数のメモリストリングMSを備える。これら複数のメモリストリングMSの一端は、それぞれ、ビット線BLを介して周辺回路PCに接続される。また、これら複数のメモリストリングMSの他端は、それぞれ、共通のソース線SLを介して周辺回路PCに接続される。

50

【0023】

メモリストリングMSは、ビット線BL及びソース線SLの間に直列に接続されたドレイン側選択トランジスタSTD、複数のメモリセルMC（メモリセルトランジスタ）、ソース側選択トランジスタSTS、及び、ソース側選択トランジスタSTSbを備える。以下、ドレイン側選択トランジスタSTD、ソース側選択トランジスタSTS、及び、ソース側選択トランジスタSTSbを、単に選択トランジスタ（STD、STS、STSb）と呼ぶ事がある。

【0024】

メモリセルMCは、半導体層、ゲート絶縁膜、及びゲート電極を備える電界効果型のトランジスタである。半導体層は、チャネル領域として機能する。ゲート絶縁膜は、電荷蓄積膜を含む。メモリセルMCのしきい値電圧は、電荷蓄積膜中の電荷量に応じて変化する。メモリセルMCは、1ビット又は複数ビットのユーザデータを記憶する。尚、1のメモリストリングMSに対応する複数のメモリセルMCのゲート電極には、それぞれ、ワード線WLが接続される。これらワード線WLは、それぞれ、1のメモリブロックBLK中の全てのメモリストリングMSに共通に接続される。

【0025】

選択トランジスタ（STD、STS、STSb）は、半導体層、ゲート絶縁膜、及びゲート電極を備える電界効果型のトランジスタである。半導体層は、チャネル領域として機能する。選択トランジスタ（STD、STS、STSb）のゲート電極には、それぞれ、選択ゲート線（SGD、SGS、SGSb）が接続される。ドレイン側選択ゲート線SGDは、ストリングユニットSUに対応して設けられ、1のストリングユニットSU中の全てのメモリストリングMSに共通に接続される。ソース側選択ゲート線SGSは、メモリブロックBLK中の全てのメモリストリングMSに共通に接続される。ソース側選択ゲート線SGSbは、メモリブロックBLK中の全てのメモリストリングMSに共通に接続される。

【0026】

メモリセルアレイMCAは、例えば図6に示す様に、半導体基板100の上方に設けられている。尚、図6の例では、半導体基板100とメモリセルアレイMCAとの間に、周辺回路PCを構成する複数のトランジスタTrが設けられている。

【0027】

メモリセルアレイMCAは、Y方向に並ぶ複数のメモリブロックBLKを備える。また、Y方向において隣り合う2つのメモリブロックBLKの間には、酸化シリコン（SiO₂）等のブロック間絶縁層STが設けられる。

【0028】

メモリブロックBLKは、例えば図6に示す様に、Z方向に並ぶ複数の導電層110と、Z方向に延伸する複数の半導体柱120と、複数の導電層110及び複数の半導体柱120の間にそれぞれ設けられた複数のゲート絶縁膜130と、を備える。

【0029】

導電層110は、X方向に延伸する略板状の導電層である。導電層110は、窒化チタン（TiN）等のバリア導電膜及びタングステン（W）等の金属膜の積層膜等を含んでも良い。また、導電層110は、例えば、リン（P）又はホウ素（B）等の不純物を含む多結晶シリコン等を含んでも良い。Z方向に並ぶ複数の導電層110の間には、酸化シリコン（SiO₂）等の絶縁層101が設けられている。

【0030】

また、複数の導電層110のうち、最下層に位置する2以上の導電層110は、ソース側選択ゲート線SGS、SGSb（図5）及びこれに接続された複数のソース側選択トランジスタSTS、STSbのゲート電極として機能する。これら複数の導電層110は、メモリブロックBLK毎に電氣的に独立している。

【0031】

また、これよりも上方に位置する複数の導電層110は、ワード線WL（図5）及びこ

10

20

30

40

50

れに接続された複数のメモリセルMC（図5）のゲート電極として機能する。これら複数の導電層110は、それぞれ、メモリブロックBLK毎に電氣的に独立している。

【0032】

また、これよりも上方に位置する一又は複数の導電層110は、ドレイン側選択ゲート線SGD及びこれに接続された複数のドレイン側選択トランジスタSTD（図5）のゲート電極として機能する。これら複数の導電層110は、その他の導電層110よりもY方向の幅が小さい。

【0033】

導電層110の下方には、半導体層112が設けられている。半導体層112は、例えば、リン（P）又はホウ素（B）等の不純物を含む多結晶シリコン等を含んでいても良い。また、半導体層112及び導電層110の間には、酸化シリコン（SiO₂）等の絶縁層101が設けられている。

【0034】

半導体層112は、ソース線SL（図5）として機能する。ソース線SLは、例えば、メモリセルアレイMCAに含まれる全てのメモリブロックBLKについて共通に設けられている。

【0035】

半導体柱120は、例えば図6に示す様に、X方向及びY方向に所定のパターンで並ぶ。半導体柱120は、1つのメモリストリングMS（図5）に含まれる複数のメモリセルMC及び選択トランジスタ（STD、STS、STSb）のチャネル領域として機能する。半導体柱120は、例えば、多結晶シリコン（Si）等の半導体層である。半導体柱120は、例えば図6に示す様に、略有底円筒状の形状を有し、中心部分には酸化シリコン等の絶縁層125が設けられている。また、半導体柱120の外周面は、それぞれ導電層110によって囲まれており、導電層110と対向している。

【0036】

半導体柱120の上端部には、リン（P）等のN型の不純物を含む不純物領域121が設けられている。不純物領域121は、コンタクトCh及びコンタクトCbを介してビット線BLに接続される。

【0037】

ゲート絶縁膜130は、半導体柱120の外周面を覆う略有底円筒状の形状を有する。ゲート絶縁膜130は、例えば、半導体柱120及び導電層110の間に積層されたトンネル絶縁膜、電荷蓄積膜及びブロック絶縁膜を備える。トンネル絶縁膜及びブロック絶縁膜は、例えば、酸化シリコン（SiO₂）等の絶縁膜である。電荷蓄積膜は、例えば、窒化シリコン（Si₃N₄）等の電荷を蓄積可能な膜である。トンネル絶縁膜、電荷蓄積膜、及び、ブロック絶縁膜は略有底円筒状の形状を有し、半導体柱120と半導体層112との接触部を除く半導体柱120の外周面に沿ってZ方向に延伸する。

【0038】

尚、ゲート絶縁膜130は、例えば、N型又はP型の不純物を含む多結晶シリコン等のフローティングゲートを備えていても良い。

【0039】

複数の導電層110のX方向における端部には、複数のコンタクトCCが設けられている。複数の導電層110は、これら複数のコンタクトCCを介して周辺回路PCに接続されている。図6に示す様に、これら複数のコンタクトCCはZ方向に延伸し、下端において導電層110と接続されている。コンタクトCCは、例えば、窒化チタン（TiN）等のバリア導電膜及びタングステン（W）等の金属膜の積層膜等を含んでいても良い。

【0040】

〔周辺回路PCの構成〕

周辺回路PCは、例えば図4に示す様に、メモリセルアレイMCA0、MCA1にそれぞれ接続されたロウデコーダRD0、RD1と、センスアンプSA0、SA1と、を備える。また、周辺回路PCは、電圧生成回路VGと、シーケンサSQCと、を備える。また

10

20

30

40

50

、周辺回路PCは、入出力制御回路I/Oと、論理回路CTRと、アドレスレジスタADRと、コマンドレジスタCMRと、ステータスレジスタSTRと、データ出力タイミング調整部TCTと、を備える。尚、以下の説明においては、ロウデコーダRD0、RD1を、ロウデコーダRDと呼び、センスアンプSA0、SA1を、センスアンプSAと呼ぶ場合がある。

【0041】

〔ロウデコーダRDの構成〕

ロウデコーダRD（図4）は、例えば図5に示す様に、アドレスデータAdd（図4）をデコードするアドレスデコーダ22と、アドレスデコーダ22の出力信号に応じてメモリセルアレイMCAに動作電圧を転送するブロック選択回路23及び電圧選択回路24と、を備える。

10

【0042】

アドレスデコーダ22は、複数のブロック選択線BLKSEL及び複数の電圧選択線33を備える。アドレスデコーダ22は、例えば、シーケンサSQCからの制御信号に従ってアドレスレジスタADR（図4）のロウアドレスRAを順次参照し、このロウアドレスRAをデコードして、ロウアドレスRAに対応する所定のブロック選択トランジスタ35及び電圧選択トランジスタ37をON状態とし、それ以外のブロック選択トランジスタ35及び電圧選択トランジスタ37をOFF状態とする。例えば、所定のブロック選択線BLKSEL及び電圧選択線33の電圧を“H”状態とし、それ以外の電圧を“L”状態とする。尚、Nチャネル型でなくPチャネル型のトランジスタを用いる場合には、これらの配線に逆の電圧を印加する。

20

【0043】

尚、図示の例において、アドレスデコーダ22には、1つのメモリブロックBLKについて1つずつブロック選択線BLKSELが設けられている。しかしながら、この構成は適宜変更可能である。例えば、2以上のメモリブロックBLKについて1つずつブロック選択線BLKSELを備えていても良い。

【0044】

ブロック選択回路23は、メモリブロックBLKに対応する複数のブロック選択部34を備える。これら複数のブロック選択部34は、それぞれ、ワード線WL及び選択ゲート線（SGD、SGS、SGSb）に対応する複数のブロック選択トランジスタ35を備える。ブロック選択トランジスタ35は、例えば、電界効果型の耐圧トランジスタである。ブロック選択トランジスタ35のドレイン電極は、それぞれ、対応するワード線WL又は選択ゲート線（SGD、SGS、SGSb）に電氣的に接続される。ソース電極は、それぞれ、配線CG及び電圧選択回路24を介して電圧供給線31に電氣的に接続される。ゲート電極は、対応するブロック選択線BLKSELに共通に接続される。

30

【0045】

尚、ブロック選択回路23は、図示しない複数のトランジスタを更に備える。これら複数のトランジスタは、選択ゲート線（SGD、SGS、SGSb）及び接地電圧Vssが供給される電圧供給線の間に接続された電界効果型の耐圧トランジスタである。これら複数のトランジスタは、非選択のメモリブロックBLKに含まれる選択ゲート線（SGD、SGS、SGSb）に接地電圧Vssを供給する。尚、非選択のメモリブロックBLKに含まれる複数のワード線WLは、フローティング状態となる。

40

【0046】

電圧選択回路24は、ワード線WL及び選択ゲート線（SGD、SGS、SGSb）に対応する複数の電圧選択部36を備える。これら複数の電圧選択部36は、それぞれ、複数の電圧選択トランジスタ37を備える。電圧選択トランジスタ37は、例えば、電界効果型の耐圧トランジスタである。電圧選択トランジスタ37のドレイン端子は、それぞれ、配線CG及びブロック選択回路23を介して、対応するワード線WL又は選択ゲート線（SGD、SGS、SGSb）に電氣的に接続される。ソース端子は、それぞれ、対応する電圧供給線31に電氣的に接続される。ゲート電極は、それぞれ、対応する電圧選択線

50

33に接続される。

【0047】

〔センスアンプSAの構成〕

センスアンプSA0, SA1(図4)は、それぞれセンスアンプモジュールSAM0, SAM1と、キャッシュメモリCM0, CM1(データレジスタ)と、を備える。キャッシュメモリCM0, CM1は、それぞれラッチ回路XDL0, XDL1を備える。

【0048】

尚、以下の説明においては、センスアンプモジュールSAM0, SAM1を、センスアンプモジュールSAMと呼び、キャッシュメモリCM0, CM1を、キャッシュメモリCMと呼び、ラッチ回路XDL0, XDL1を、ラッチ回路XDLと呼ぶ場合がある。

10

【0049】

センスアンプモジュールSAMは、例えば、複数のビット線BLにそれぞれ対応するセンス回路と、センス回路に接続された複数のラッチ回路等と、を備える。

【0050】

キャッシュメモリCMは、複数のラッチ回路XDLを備える。複数のラッチ回路XDLは、それぞれセンスアンプモジュールSAM内のラッチ回路に接続される。ラッチ回路XDLには、例えば、メモリセルMCに書き込まれるユーザデータDat又はメモリセルMCから読み出されたユーザデータDatが格納される。

【0051】

キャッシュメモリCMには、例えば図7に示す様に、カラムデコーダCOLDが接続される。カラムデコーダCOLDは、アドレスレジスタADR(図4)に格納されたカラムアドレスCAをデコードし、カラムアドレスCAに対応するラッチ回路XDLを選択する。

20

【0052】

尚、これら複数のラッチ回路XDLに含まれるユーザデータDatは、書込動作の際に、センスアンプモジュールSAM内のラッチ回路に順次転送される。また、センスアンプモジュールSAM内のラッチ回路に含まれるユーザデータDatは、読出動作の際に、ラッチ回路XDLに順次転送される。また、ラッチ回路XDLに含まれるユーザデータDatは、後述するデータアウト動作の際に、カラムデコーダCOLD及びマルチプレクサMPXを介して、入出力制御回路I/Oに順次転送される。

【0053】

〔電圧生成回路VGの構成〕

電圧生成回路VG(図4)は、例えば図5に示す様に、複数の電圧供給線31に接続されている。電圧生成回路VGは、例えば、レギュレータ等の降圧回路及びチャージポンプ回路32等の昇圧回路を含む。これら降圧回路及び昇圧回路は、それぞれ、電源電圧Vcc及び接地電圧Vss(図4)が供給される電圧供給線に接続されている。これらの電圧供給線は、例えば、図2、図3を参照して説明したパッド電極Pに接続されている。電圧生成回路VGは、例えば、シーケンサSQCからの制御信号に従って、メモリセルアレイMCAに対する読出動作、書込動作及び消去動作に際してビット線BL、ソース線SL、ワード線WL及び選択ゲート線(SGD、SGS、SGSb)に印加される複数通りの動作電圧を生成し、複数の電圧供給線31に同時に出力する。電圧供給線31から出力される動作電圧は、シーケンサSQCからの制御信号に従って適宜調整される。

40

【0054】

〔シーケンサSQCの構成〕

シーケンサSQC(図4)は、コマンドレジスタCMRに格納されたコマンドデータCmdに従い、ロウデコーダRD0, RD1、センスアンプモジュールSAM0, SAM1、及び、電圧生成回路VGに内部制御号を出力する。また、シーケンサSQCは、メモリダイMDの状態を示すステータスデータSttを、適宜ステータスレジスタSTRに出力する。

【0055】

また、シーケンサSQCは、レディ/ビジー信号を生成し、端子RY//BYに出力す

50

る。端子RY／／BYは、例えば、読出動作、書込動作、消去動作等、メモリセルアレイMCAに対して電圧を供給する動作の実行中に“L”状態となり、それ以外の場合には“H”状態となる。尚、後述するデータアウト動作、ステータスリード等、メモリセルアレイMCAに対して電圧を供給しない動作を実行しても、端子RY／／BYは“L”状態にはならない。端子RY／／BYが“L”状態の期間（ビジー期間）では、メモリダイMDへのアクセスが基本的には禁止される。また、端子RY／／BYが“H”状態の期間（レディ期間）においては、メモリダイMDへのアクセスが許可される。尚、端子RY／／BYは、例えば、図2、図3を参照して説明したパッド電極Pによって実現される。

【0056】

また、シーケンサSQCは、フィーチャレジスタFRを備える。フィーチャレジスタFRは、後述する動作モードMODEa及び動作モードMODEbのうち、いずれのモードで動作しているかを示す値を保持するレジスタである。

【0057】

【アドレスレジスタADRの構成】

アドレスレジスタADRは、図4に示す様に、入出力制御回路I／Oに接続され、入出力制御回路I／Oから入力されたアドレスデータAddを格納する。アドレスレジスタADRは、例えば、8ビットのレジスタ列を、複数備える。レジスタ列は、例えば、読出動作、書込動作又は消去動作等の内部動作が実行される際、実行中の内部動作に対応するアドレスデータAddを保持する。

【0058】

尚、アドレスデータAddは、例えば、カラムアドレスCA（図4）及びロウアドレスRA（図4）を含む。ロウアドレスRAは、例えば、メモリブロックBLK（図5）を特定するブロックアドレスと、ストリングユニットSU及びワード線WLを特定するページアドレスと、メモリセルアレイMCA（プレーン）を特定するプレーンアドレスと、メモリダイMDを特定するチップアドレスと、を含む。

【0059】

【コマンドレジスタCMRの構成】

コマンドレジスタCMRは、入出力制御回路I／Oに接続され、入出力制御回路I／Oから入力されたコマンドデータCmdを格納する。コマンドレジスタCMRは、例えば、8ビットのレジスタ列を、少なくとも1セット備える。コマンドレジスタCMRにコマンドデータCmdが格納されると、シーケンサSQCに制御信号が送信される。

【0060】

【ステータスレジスタSTRの構成】

ステータスレジスタSTRは、入出力制御回路I／Oに接続され、入出力制御回路I／Oへ出力するステータスデータSttを格納する。ステータスレジスタSTRは、例えば、8ビットのレジスタ列を、複数備える。レジスタ列は、例えば、読出動作、書込動作又は消去動作等の内部動作が実行される際、実行中の内部動作に関するステータスデータSttを保持する。また、レジスタ列は、例えば、メモリセルアレイMCA0，MCA1のレディ／ビジー情報を保持する。

【0061】

【データ出力タイミング調整部TCTの構成】

データ出力タイミング調整部TCTは、キャッシュメモリCM0，CM1と入出力制御回路I／Oとの間のバス配線DBに接続される。データ出力タイミング調整部TCTは、例えば、キャッシュメモリCM0，CM1に対して後述するデータアウト動作を連続して実行する場合等に、キャッシュメモリCM0のデータアウト動作の完了後、時間を空けずにキャッシュメモリCM1のデータアウト動作を開始するために、キャッシュメモリCM1に対するデータアウト動作の開始タイミングを調整する。

【0062】

【入出力制御回路I／Oの構成】

入出力制御回路I／O（図4）は、データ信号入出力端子DQ0～DQ7と、データス

10

20

30

40

50

トローブ信号入出力端子DQS，／DQSと、シフトレジスタと、バッファ回路と、を備える。

【0063】

データ信号入出力端子DQ0～DQ7、及びデータストローブ信号入出力端子DQS，／DQSの各々は、例えば、図2、図3を参照して説明したパッド電極Pによって実現される。データ信号入出力端子DQ0～DQ7を介して入力されたデータは、論理回路CTRからの内部制御信号に応じて、バッファ回路から、キャッシュメモリCM、アドレスレジスタADR又はコマンドレジスタCMRに入力される。また、データ信号入出力端子DQ0～DQ7を介して出力されるデータは、論理回路CTRからの内部制御信号に応じて、キャッシュメモリCM又はステータスレジスタSTRからバッファ回路に入力される。

10

【0064】

データストローブ信号入出力端子DQS，／DQSを介して入力された信号（例えば、データストローブ信号及びその相補信号）は、データ信号入出力端子DQ0～DQ7を介したデータの入力に際して用いられる。データ信号入出力端子DQ0～DQ7を介して入力されたデータは、データストローブ信号入出力端子DQSの電圧の立ち上がりエッジ（入力信号の切り換え）及びデータストローブ信号入出力端子／DQSの電圧の立ち下がりエッジ（入力信号の切り換え）のタイミング、並びに、データストローブ信号入出力端子DQSの電圧の立ち下がりエッジ（入力信号の切り換え）及びデータストローブ信号入出力端子／DQSの電圧の立ち上がりエッジ（入力信号の切り換え）のタイミングで、入出力制御回路I／O内のシフトレジスタ内に取り込まれる。

20

【0065】

データ信号入出力端子DQ0～DQ7及びデータストローブ信号入出力端子DQS，／DQSの各々は、例えば図8に示す様に、入力回路201及び出力回路202に接続される。入力回路201は、例えば、コンパレータ等のレシーバである。出力回路202は、例えば、OCD（Off Chip Driver）回路等のドライバである。

【0066】

〔論理回路CTRの構成〕

論理回路CTR（図4）は、複数の外部制御端子／CE，CLE，ALE，／WE，／RE，RE，／WPと、これら複数の外部制御端子／CE，CLE，ALE，／WE，／RE，RE，／WPに接続された論理回路と、を備える。論理回路CTRは、外部制御端子／CE，CLE，ALE，／WE，／RE，RE，／WPを介してコントローラDAICDから外部制御信号を受信し、これに応じて入出力制御回路I／Oに内部制御信号を出力する。

30

【0067】

外部制御端子／CE，CLE，ALE，／WE，／RE，RE，／WPの各々は、例えば図8に示す様に、入力回路201へ接続される。尚、外部制御端子／CE，CLE，ALE，／WE，／RE，RE，／WPの各々は、例えば、図2、図3を参照して説明したパッド電極Pによって実現される。

【0068】

外部制御端子／CEを介して入力された信号（例えば、チップイネーブル信号）は、メモリダイMDの選択に際して用いられる。外部制御端子／CEに“L”が入力されたメモリダイMDは、ユーザデータDat、コマンドデータCmd及びアドレスデータAdd（以下、単に「データ」と呼ぶ場合がある。）の入出力が可能な状態となる。外部制御端子／CEに“H”が入力されたメモリダイMDは、データの入出力が不可能な状態となる。尚、図8に示す様に、外部制御端子／CEは、入力回路201に接続されている。

40

【0069】

外部制御端子CLEを介して入力された信号（例えば、コマンドラッチイネーブル信号）は、コマンドレジスタCMRの使用等に際して用いられる。外部制御端子CLEの機能等については、後述する。

【0070】

50

外部制御端子 A L E を介して入力された信号（例えば、アドレスラッチイネーブル信号）は、アドレスレジスタ A D R の使用等に際して用いられる。外部制御端子 A L E の機能等については、後述する。

【 0 0 7 1 】

外部制御端子 / W E を介して入力された信号（例えば、ライトイネーブル信号）は、コントローラダイ C D からメモリダイ M D へのデータの入力等に際して用いられる。外部制御端子 / W E の機能等については、後述する。

【 0 0 7 2 】

外部制御端子 / R E , R E を介して入力された信号（例えば、リードイネーブル信号及びその相補信号）は、データ信号入出力端子 D Q 0 ~ D Q 7 を介したデータの出力に際して用いられる。データ信号入出力端子 D Q 0 ~ D Q 7 から出力されるデータは、外部制御端子 / R E の電圧の立ち下がりエッジ（入力信号の切り換え）及び外部制御端子 R E の電圧の立ち上がりエッジ（入力信号の切り換え）のタイミング、並びに、外部制御端子 / R E の電圧の立ち上がりエッジ（入力信号の切り換え）及び外部制御端子 R E の電圧の立ち下がりエッジ（入力信号の切り換え）のタイミングで切り替わる。

【 0 0 7 3 】

外部制御端子 / W P を介して入力された信号（例えば、ライトプロテクト信号）は、コントローラダイ C D からメモリダイ M D へのユーザデータ D a t の入力の制限等に用いられる。

【 0 0 7 4 】

[動作モード M O D E a 及び動作モード M O D E b]

本実施形態に係る半導体記憶装置は、動作モード M O D E a 及び動作モード M O D E b で動作させることが可能である。以下、図 9 ~ 図 1 9 を参照し、動作モード M O D E a 及び動作モード M O D E b について説明する。

【 0 0 7 5 】

[各モードにおける外部端子の役割]

図 9 は、動作モード M O D E a における信号入出力端子及び外部制御端子の役割について説明するための模式的な図である。図 1 0 は、動作モード M O D E b における信号入出力端子及び外部制御端子の役割について説明するための模式的な図である。尚、以下の説明においては、データ信号入出力端子 D Q 0 ~ D Q 7 を、データ信号入出力端子 D Q < 7 : 0 > と表記することがある。

【 0 0 7 6 】

動作モード M O D E a においては、例えば図 9 に示す様に、データ信号入出力端子 D Q < 7 : 0 > を、ユーザデータ D a t の入出力に加えて、コマンドデータ C m d 及びアドレスデータ A d d の入力に使用する。

【 0 0 7 7 】

一方、動作モード M O D E b においては、例えば図 1 0 に示す様に、データ信号入出力端子 D Q < 7 : 0 > を、ユーザデータ D a t の入出力に使用するものの、コマンドデータ C m d 及びアドレスデータ A d d の入力には使用しない。動作モード M O D E b においては、外部制御端子 C L E , A L E を、コマンドデータ C m d 及びアドレスデータ A d d の入力に使用する。

【 0 0 7 8 】

[動作モード M O D E a における外部端子の役割]

図 1 1 は、動作モード M O D E a における外部端子の役割を説明するための真理値表である。尚、図 1 1 において、“ Z ” は、“ H ” 及び “ L ” いずれが入力されても良い場合を示す。“ X ” は、入力される信号が “ H ” 又は “ L ” に固定される場合を示す。“ I n p u t ” は、データの入力を行う場合を示す。“ O u t p u t ” は、データの出力を行う場合を示す。

【 0 0 7 9 】

動作モード M O D E a においてコマンドデータ C m d を入力する場合、コントローラダイ C D は、例えば、データ信号入出力端子 D Q < 7 : 0 > の電圧を、8 ビットのコマンド

10

20

30

40

50

データCmdの各ビットに応じて“H”又は“L”に設定し、外部制御端子CLEに“H”を入力し、外部制御端子ALEに“L”を入力した状態で、外部制御端子／WEを“L”から“H”に立ち上げる。

【0080】

外部制御端子CLE，ALEに“H，L”が入力されている場合、データ信号入出力端子DQ<7:0>を介して入力されたデータは、コマンドデータCmdとして入出力制御回路I/O内のバッファメモリに格納され、コマンドレジスタCMR（図4）に転送される。

【0081】

また、アドレスデータAddを入力する場合、コントローラダイCDは、例えば、データ信号入出力端子DQ<7:0>の電圧を、アドレスデータAddを構成する8ビットのデータの各ビットに応じて“H”又は“L”に設定し、外部制御端子CLEに“L”を入力し、外部制御端子ALEに“H”を入力した状態で、外部制御端子／WEを“L”から“H”に立ち上げる。

【0082】

外部制御端子CLE，ALEに“L，H”が入力されている場合、データ信号入出力端子DQ<7:0>を介して入力されたデータは、アドレスデータAddとして入出力制御回路I/O内のバッファメモリに格納され、アドレスレジスタADR（図4）に転送される。

【0083】

また、ユーザデータDatを入力する場合、コントローラダイCDは、例えば、データ信号入出力端子DQ<7:0>の電圧を、ユーザデータDatを構成する8ビットのデータの各ビットに応じて“H”又は“L”に設定し、外部制御端子CLEに“L”を入力し、外部制御端子ALEに“L”を入力した状態で、データストローブ信号入出力端子DQS，／DQSの入力信号を切り替える（トグルする）。

【0084】

外部制御端子CLE，ALEの双方に“L”が入力されている場合、データ信号入出力端子DQ<7:0>を介して入力されたデータは、ユーザデータDatとして入出力制御回路I/O内のバッファメモリに格納され、バスDBを介してキャッシュメモリCM（図4）に転送される。

【0085】

また、ユーザデータDat又はステータスデータSttを出力する場合、コントローラダイCDは、例えば、外部制御端子／RE，REの入力信号を切り替える（トグルする）。これに伴い、データ信号入出力端子DQ0～DQ7に、出力されるユーザデータDat又はステータスデータSttのうちの8ビットが出力される。また、データストローブ信号入出力端子DQS，／DQSの出力信号が切り替わる。

【0086】

また、メモリダイMDをスタンバイ状態とする場合、コントローラダイCDは、例えば、外部制御端子／CEに“H”を入力する。

【0087】

また、メモリダイMDをバスアイドル状態とする場合、コントローラダイCDは、例えば、外部制御端子／WEに“H”を入力する。

【0088】

〔動作モードMODEbにおける外部端子の役割〕

図12及び図13は、動作モードMODEbにおける外部端子の役割を説明するための真理値表である。尚、図12及び図13において、“Z”は、“H”及び“L”いずれが入力されても良い場合を示す。“X”は、入力される信号が“H”又は“L”に固定される場合を示す。“Input”は、データの入力を行う場合を示す。“Output”は、データの出力を行う場合を示す。

【0089】

上述の通り、動作モードMODEbにおいては、外部制御端子CLE，ALEを、コマンドデータ及びアドレスデータの入力に使用する。ここで、図15を参照して後述する様

10

20

30

40

50

に、動作モードMODE bにおいてコマンドデータCm d又はアドレスデータA d dの入力を行う場合、コントローラダイC DはメモリダイM Dに、次に入力されるデータがコマンドデータCm dなのかアドレスデータA d dなのかを示す信号を入力する。以下、このような信号を、入出力データ選択信号と呼ぶ。

【0090】

図12は、入出力データ選択信号が入力される期間M S e l（図15）における外部制御端子の役割を示している。図13は、入出力データ選択信号の入力後の期間S __ I n（図15）における外部制御端子の役割を示している。

【0091】

期間M S e lにおいて、コマンドデータCm dを入力する旨の入出力データ選択信号を入力する場合、コントローラダイC Dは、例えば、外部制御端子C L Eに“H”を入力し、外部制御端子A L Eに“L”を入力した状態で、外部制御端子／W Eを“L”から“H”に立ち上げる。10

【0092】

期間M S e lにおいて、外部制御端子C L Eに“H”、外部制御端子A L Eに“L”が入力された場合、この期間M S e l直後の期間S __ I nに入力されるデータは、コマンドデータCm dとして入出力制御回路I／O内のバッファメモリに格納され、コマンドレジスタC M R（図4）に転送される。

【0093】

また、期間M S e lにおいて、アドレスデータA d dを入力する旨の入出力データ選択信号を入力する場合、コントローラダイC Dは、例えば、外部制御端子C L Eに“L”を入力し、外部制御端子A L Eに“H”を入力した状態で、外部制御端子／W Eを“L”から“H”に立ち上げる。20

【0094】

期間M S e lにおいて、外部制御端子C L Eに“L”、外部制御端子A L Eに“H”が入力された場合、この期間M S e l直後の期間S __ I nに入力されるデータは、アドレスデータA d dとして入出力制御回路I／O内のバッファメモリに格納され、アドレスレジスタA D R（図4）に転送される。

【0095】

期間S __ I nにおいてコマンドデータCm d又はアドレスデータA d dを入力する場合、コントローラダイC Dは、例えば、外部制御端子C L E，A L Eの電圧を、コマンドデータCm d又はアドレスデータA d dを構成する2ビットのデータの各ビットに応じて“H”又は“L”に設定し、外部制御端子／W Eを“L”から“H”に立ち上げる。30

【0096】

尚、動作モードMODE bにおいてユーザデータD a tを入力する場合、コントローラダイC Dは、例えば、データ信号入出力端子D Q<7：0>の電圧を、ユーザデータD a tを構成する8ビットのデータの各ビットに応じて“H”又は“L”に設定し、外部制御端子／R E，R Eに“H，L”を入力した状態で、データストローブ信号入出力端子D Q S，／D Q Sの入力信号を切り替える。この動作は、期間M S e lにおいても、期間S __ I nにおいても、実行可能である。40

【0097】

動作モードMODE bにおいて、データ信号入出力端子D Q<7：0>を介して入力されたデータは、ユーザデータD a tとして入出力制御回路I／O内のバッファメモリに格納され、バスD Bを介してキャッシュメモリC Mに転送される。

【0098】

また、ユーザデータD a t又はステータスデータS t tを出力する場合、コントローラダイC Dは、例えば、外部制御端子／R E，R Eの入力信号を切り替える。これに伴い、データ信号入出力端子D Q 0～D Q 7に、出力されるユーザデータD a t又はステータスデータS t tのうちの8ビットが出力される。また、データストローブ信号入出力端子D Q S，／D Q Sの出力信号が切り替わる。この動作は、期間M S e lにおいても、期間S

— I nにおいても、実行可能である。

【0099】

また、メモリダイMDをスタンバイ状態とする場合、コントローラダイCDは、例えば、外部制御端子／CEに“H”を入力する。

【0100】

また、メモリダイMDをバスアイドル状態とする場合、コントローラダイCDは、例えば、外部制御端子／WEに“H”を入力する。

【0101】

〔各モードにおける信号入出力の例〕

図14及び図15は、第1実施形態に係るメモリダイMDの動作について説明するための模式的な波形図である。

10

【0102】

図14は、動作モードMODE aにおいてコマンドデータCm d及びアドレスデータA d dを入力する際の波形を示している。図14の例では、タイミングt 1 0 1において、コントローラダイCDがメモリダイMDに、コマンドデータCm dを入力している。また、タイミングt 1 0 2において、コントローラダイCDはメモリダイMDに、アドレスデータA d dを入力している。尚、図示の例では、タイミングt 1 0 2～t 1 0 3において、アドレスデータA d dを構成する8ビット×5サイクルのデータが入力されているが、サイクル数は5より少なくても多くても良い。また、タイミングt 1 0 3において、コントローラダイCDはメモリダイMDに、コマンドデータCm dを入力している。また、タイミングt 1 0 4において、読出動作等の動作が開始され、端子R Y／／B Yの電圧が“H”から“L”に立ち下がっている。

20

【0103】

図15は、動作モードMODE bにおいてコマンドデータCm d及びアドレスデータA d dを入力する際の波形を示している。図15の例では、外部制御端子／WEに、略一定のペースで“L”及び“H”が入力されている。また、所定のタイミングにおいて、外部制御端子／WEの入力信号が一度立ち下がってからもう一度立ち下がるまでの期間を、上述した期間M S e lとして示している。また、外部制御端子／WEの入力信号が期間M S e lの終了時に立ち下がってから、外部制御端子／WEの入力信号が更に4回立ち下がるまでの期間を、上述した期間S _ I nとして示している。

30

【0104】

図15の例では、タイミングt 2 0 1～t 2 0 2の期間M S e lにおいて、コントローラダイCDがメモリダイMDに、コマンドデータCm dの入力を指定する入出力データ選択信号を入力している。

【0105】

また、タイミングt 2 0 2～t 2 0 3の期間S _ I nにおいて、コントローラダイCDはメモリダイMDに、コマンドデータCm dを入力している。

【0106】

ここで、図15の例では、期間S _ I nにおいて、コントローラダイCDがメモリダイMDに、8ビットのコマンドデータCm dを、4サイクルに分けて2ビットずつ入力している。例えば、8ビットのコマンドデータCm dを、ビット“7”～“0”とする。まず、1サイクル目のデータ入力では、ビット“7”，“6”に応じて、外部制御端子C L E，A L Eの電圧を“H”又は“L”に設定した状態で、外部制御端子／WEを“L”から“H”に立ち上げる。2サイクル目～4サイクル目のデータ入力でも同様に、ビット“5”，“4”，ビット“3”，“2”，及びビット“1”，“0”，に応じて、それぞれ外部制御端子C L E，A L Eの電圧を“H”又は“L”に設定した状態で、外部制御端子／WEを“L”から“H”に立ち上げる。

40

【0107】

また、タイミングt 2 0 3～t 2 0 4の期間M S e lにおいて、コントローラダイCDはメモリダイMDに、アドレスデータA d dの入力を指定する入出力データ選択信号を入力している。

50

【0108】

また、タイミング $t_{204} \sim t_{205}$ の期間 S_In において、コントローラダイ CD はメモリダイ MD に、アドレスデータ A_{dd} を入力している。

【0109】

ここで、図 15 の例では、期間 S_In において、コントローラダイ CD がメモリダイ MD に、アドレスデータ A_{dd} を構成する 8 ビットのデータを、4 サイクルに分けて 2 ビットずつ入力している。

【0110】

尚、図示を省略しているが、タイミング $t_{205} \sim t_{206}$ においても同様に、アドレスデータ A_{dd} を構成するデータを、2 ビットずつ入力している。

10

【0111】

また、タイミング $t_{206} \sim t_{207}$ の期間 M_{Sel} において、タイミング $t_{201} \sim t_{202}$ と同様に、コマンドデータ C_{md} の入力を指定する入出力データ選択信号を入力している。

【0112】

また、タイミング $t_{207} \sim t_{208}$ の期間 S_In において、コントローラダイ CD はメモリダイ MD に、コマンドデータ C_{md} を入力している。また、タイミング t_{208} においては、読出動作等の動作が開始され、端子 R_Y / B_Y の電圧が “H” から “L” に立ち下がっている。

【0113】

20

[動作]

次に、メモリダイ MD の動作について説明する。

【0114】

メモリダイ MD は、読出動作を実行可能に構成されている。読出動作は、センスアンプモジュール S_{AM} によってメモリセルアレイ M_{CA} からユーザデータ D_{at} を読み出し、読み出したユーザデータ D_{at} をラッチ回路 X_{DL} に転送する動作である。読出動作において、メモリセルアレイ M_{CA} から読み出されたユーザデータ D_{at} は、ビット線 B_L 、センスアンプモジュール S_{AM} を介してラッチ回路 X_{DL} に転送される。

【0115】

また、メモリダイ MD は、データアウト動作を実行可能に構成されている。データアウト動作は、ラッチ回路 X_{DL} に含まれるユーザデータ D_{at} をコントローラダイ CD に出力する動作である。データアウト動作において、ラッチ回路 X_{DL} に含まれるユーザデータ D_{at} は、図 7 を参照して説明したカラムデコーダ C_{OLD} 、マルチプレクサ M_{PX} 、バス配線 D_B 、及び入出力制御回路 I/O を介して、コントローラダイ CD に出力される。

30

【0116】

また、メモリダイ MD は、ステータスリードを実行可能に構成されている。ステータスリードは、ステータスレジスタ S_{TR} に含まれるステータスデータ S_{tt} をコントローラダイ CD に出力する動作である。ステータスリードにおいて、ステータスレジスタ S_{TR} に含まれるステータスデータ S_{tt} は、入出力制御回路 I/O 又は論理回路 C_{TR} を介して、コントローラダイ CD に出力される。

40

【0117】

[動作モード $MODE_a$ における読出動作及びデータアウト動作]

図 16 は、動作モード $MODE_a$ において読出動作及びデータアウト動作を実行する場合の様子を示す模式的なタイミングチャートである。図 16 の例では、メモリダイ MD が動作モード $MODE_a$ に設定されている。

【0118】

図 16 の例では、まず、コマンドデータ “00h”、アドレスデータ A_{dd} 、及びコマンドデータ “30h” が、データ信号入出力端子 $D_{Q<7:0>}$ を介して順次入力されている。コマンドデータ “00h” は、読出動作を指示するコマンドセットの始めに入力するコマンドデータ C_{md} である。コマンドデータ “30h” は、読出動作を指示するコマンドセッ

50

トの終わりに入力するコマンドデータ *Cmd* である。

【0119】

コマンドデータ“00h”、アドレスデータ *Add*、及びコマンドデータ“30h”の入力に伴い、読出動作が開始され、端子 *RY*／／*BY* の電圧が“H”から“L”に立ち下がっている。また、ユーザデータ *Dat* がラッチ回路 *XDL* に転送される。また、読出動作が終了したタイミングで、端子 *RY*／／*BY* の電圧が“L”から“H”に立ち上がっている。

【0120】

次に、コマンドデータ“05h”、アドレスデータ *Add*、及びコマンドデータ“E0h”が、データ信号入出力端子 *DQ* <7:0> を介して順次入力されている。コマンドデータ“05h”は、データアウト動作を指示するコマンドセットの始めに入力するコマンドデータ *Cmd* である。コマンドデータ“E0h”は、データアウト動作を指示するコマンドセットの終わりに入力するコマンドデータ *Cmd* である。

10

【0121】

コマンドデータ“05h”、アドレスデータ *Add*、及びコマンドデータ“E0h”の入力に伴い、所定の待機時間後、コントローラ *CD* が外部制御端子／*RE*，*RE* の入力信号を切り替える（トグルする）。これにより、データアウト動作が開始され、ユーザデータ *Dat* がデータ信号入出力端子 *DQ* を介して出力されている。

【0122】

図17は、動作モード *MODE a* において読出動作及びデータアウト動作を実行する場合の他の様子を示す模式的なタイミングチャートである。図17の例では、メモリ *MD* が動作モード *MODE a* に設定されている。

20

【0123】

図17の例では、まず、コマンドデータ“00h”、アドレスデータ *Add*、及びコマンドデータ“30h”が、データ信号入出力端子 *DQ* <7:0> を介して順次入力されている。このコマンドセットに含まれるアドレスデータ *Add* は、上記プレーンアドレスとして、読出動作の対象となるプレーン *PLN0*（図4）の情報を含む。

【0124】

コマンドデータ“00h”、アドレスデータ *Add*、及びコマンドデータ“30h”の入力に伴い、プレーン *PLN0* に対して読出動作が開始され、ユーザデータ *Dat* がラッチ回路 *XDL0* に転送される。

30

【0125】

次に、コマンドデータ“00h”、アドレスデータ *Add*、及びコマンドデータ“30h”が、データ信号入出力端子 *DQ* <7:0> を介して順次入力されている。このコマンドセットに含まれるアドレスデータ *Add* は、上記プレーンアドレスとして、読出動作の対象となるプレーン *PLN1*（図4）の情報を含む。

【0126】

コマンドデータ“00h”、アドレスデータ *Add*、及びコマンドデータ“30h”の入力に伴い、プレーン *PLN1* に対して読出動作が開始され、ユーザデータ *Dat* がラッチ回路 *XDL1* に転送される。

【0127】

次に、コマンドデータ“70h”が、データ信号入出力端子 *DQ* <7:0> を介して入力されている。コマンドデータ“70h”は、ステータスリードを指示するコマンドデータである。コマンドデータ“70h”の入力に伴い、ステータスリードが行われ、ステータスデータ *Stt* がデータ信号入出力端子 *DQ* <7:0> を介して出力される。

40

【0128】

次に、コマンドデータ“05h”、アドレスデータ *Add*、及びコマンドデータ“E0h”が、データ信号入出力端子 *DQ* <7:0> を介して順次入力されている。このコマンドセットに含まれるアドレスデータ *Add* は、上記プレーンアドレスとして、データアウト動作の対象となるプレーン *PLN0*（図4）の情報を含む。

【0129】

50

コマンドデータ“05h”、アドレスデータAdd、及びコマンドデータ“E0h”の入力に伴い、所定の待機時間後、コントローラダイCDが外部制御端子／RE，REの入力信号を切り替える（トグルする）。これにより、プレーンPLN0に対してデータアウト動作が開始され、ユーザデータ“DataOut”がデータ信号入出力端子DQ<7:0>を介して出力される。

【0130】

プレーンPLN0に対するデータアウト動作の終了後、コマンドデータ“70h”が、データ信号入出力端子DQ<7:0>を介して入力されている。コマンドデータ“70h”の入力に伴い、再度ステータスリードが行われ、ステータスデータSttがデータ信号入出力端子DQ<7:0>を介して出力される。

10

【0131】

次に、PLN0に対するデータアウト動作と同様に、コマンドデータ“05h”、アドレスデータAdd、及びコマンドデータ“E0h”が、データ信号入出力端子DQ<7:0>を介して順次入力されている。このコマンドセットに含まれるアドレスデータAddは、上記プレーンアドレスとして、データアウト動作の対象となるプレーンPLN1（図4）の情報を含む。

【0132】

所定の時間の経過後、コントローラダイCDが外部制御端子／RE，REの入力信号を切り替える（トグルする）。これにより、プレーンPLN1に対してデータアウト動作が開始され、ユーザデータ“DataOut”がデータ信号入出力端子DQ<7:0>を介して出力される。

20

【0133】

〔動作モードMODEbにおける読出動作及びデータアウト動作〕

図18は、動作モードMODEbにおいて読出動作及びデータアウト動作を実行する場合の様子を示す模式的なタイミングチャートである。図18の例では、メモリダイMDが動作モードMODEbに設定されている。

【0134】

図18の例では、まず、コマンドデータ“00h”を含むコマンドセットが、外部制御端子CLE，ALEを介して入力されている。次に、コマンドデータ“05h”を含むコマンドセットが、外部制御端子CLE，ALEを介して入力されている。尚、動作モードMODEbにおいては、データ信号入出力端子DQ<7:0>を介したデータの入出力と、外部制御端子CLE，ALEを介したデータの入出力とを、独立したタイミングで実行可能である。例えば、図18の例では、これらのコマンドセットの入力が、データアウト動作の実行中に（外部制御端子／RE，REの入力信号がトグルする期間中に）行われている。

30

【0135】

図19は、動作モードMODEbにおいて読出動作及びデータアウト動作を実行する場合の他の様子を示す模式的なタイミングチャートである。図19の例では、メモリダイMDが動作モードMODEbに設定されている。

【0136】

図19の例では、まず、コマンドデータ“00h”、アドレスデータAdd、及びコマンドデータ“30h”が、外部制御端子CLE，ALEを介して順次入力されている。このコマンドセットに含まれるアドレスデータAddは、上記プレーンアドレスとして、読出動作の対象となるプレーンPLN0（図4）の情報を含む。

40

【0137】

次に、コマンドデータ“00h”、アドレスデータAdd、及びコマンドデータ“30h”が、外部制御端子CLE，ALEを介して順次入力されている。このコマンドセットに含まれるアドレスデータAddは、上記プレーンアドレスとして、読出動作の対象となるプレーンPLN1（図4）の情報を含む。

【0138】

次に、コマンドデータ“70h”が、外部制御端子CLE，ALEを介して入力されてい

50

る。コマンドデータ“70h”の入力に伴い、ステータスリードが行われ、ステータスデータSttがデータ信号入出力端子DQ<7:0>を介して出力される。

【0139】

次に、コマンドデータ“05h”、アドレスデータAdd、及びコマンドデータ“E0h”が、外部制御端子CLE, ALEを介して順次入力されている。このアドレスデータAddは、上記プレーンアドレスとして、データアウト動作の対象となるプレーンPLN0（図4）の情報を含む。

【0140】

所定の待機時間後、プレーンPLN0に対してデータアウト動作が開始され、ユーザデータ“DataOut”がデータ信号入出力端子DQ<7:0>を介して出力される。

【0141】

また、図19の例では、プレーンPLN0に対するデータアウト動作が行われている間に、コマンドデータ“70h”が、外部制御端子CLE, ALEを介して入力されている。コマンドデータ“70h”の入力に伴い、ステータスリードが行われる。プレーンPLN0に対するデータアウト動作の終了後、ステータスデータSttが、データ信号入出力端子DQ<7:0>を介して出力される。

【0142】

次に、コマンドデータ“05h”、アドレスデータAdd、及びコマンドデータ“E0h”が、外部制御端子CLE, ALEを介して順次入力されている。このアドレスデータAddは、上記プレーンアドレスとして、データアウト動作の対象となるプレーンPLN1（図4）のアドレス等を含む。

【0143】

ここで、動作モードMODEbにおいては、動作モードMODEaと異なり、データ出力タイミング調整部TCT（図4）が、プレーンPLN1に対するデータアウト動作の開始のタイミングを調整する。プレーンPLN0に対するデータアウト動作の終了後、データ出力タイミング調整部TCTが発する内部信号に応じて、プレーンPLN1に対してデータアウト動作が開始され、ユーザデータ“DataOut”がデータ信号入出力端子DQ<7:0>を介して出力される。

【0144】

〔効果〕

本実施形態に係る半導体記憶装置は、動作モードMODEbにおいて動作させることが可能である。動作モードMODEbでは、上述の通り、データ信号入出力端子DQ<7:0>を介したデータアウト動作が行われている間にも、外部制御端子CLE, ALEを介してコマンドデータCmd及びアドレスデータAddの入力を行うことができる。従って、メモリダイMDへのコマンドセットの入力に要する時間を大幅に削減可能である。これにより、半導体記憶装置の動作の高速化を実現可能である。

【0145】

〔第1実施形態に係るメモリダイMDに適用可能な回路〕

第1実施形態に係るメモリダイMDにおいては、動作モードMODEa, MODEbのいずれが選択されているかに応じて、データ信号入出力端子DQ<7:0>、外部制御端子CLE, ALE等の機能が変化する。このような機能は、例えば、図20、図22及び図23に示す様な回路によって実現しても良い。図20、図22及び図23は、メモリダイMDの一部の構成例を示す模式的な回路図である。図21は、図20に示す回路の動作方法について説明するための模式的な波形図である。

【0146】

図20には、データ信号入出力端子DQ<7:0>と、外部制御端子CLE, ALE, /WEと、これらに接続された回路部200と、を図示している。

【0147】

回路部200は、例えば、ラッチ回路210と、マルチプレクサ220, 230と、デシリアライザ300と、を含む。

【0148】

ラッチ回路210は、コマンドレジスタCMR又はアドレスレジスタADRに含まれるラッチ回路である。図20には、ラッチ回路210として、コマンドデータ“05h”に対応するラッチ回路210を例示している。図示の例において、ラッチ回路210は、入力されたコマンドデータCmdに対応して1ビットのデータを格納する。ラッチ回路210は、データ入力端子が論理回路を介してマルチプレクサ220の出力端子DINH<7:0>、CLEh、ALEhに接続され、クロック入力端子がマルチプレクサ230の出力端子／WEh'に接続されている。

【0149】

マルチプレクサ220、230のそれぞれの選択制御端子には、選択信号SerialCAが入力されている。選択信号SerialCAは、動作モードMODEaが選択されている場合には“0”の状態となり、動作モードMODEbが選択されている場合には“1”の状態となる。

10

【0150】

マルチプレクサ220は、10本の出力端子DINH<7:0>、CLEh、ALEhを備える。これら10本の出力端子のうち、8本の出力端子DINH<7:0>は、コマンドデータCmd又はアドレスデータAddを構成するデータに対応する。また、残りの2本の出力端子CLEh、ALEhは、外部制御端子CLE、ALEの入力信号に対応する。

【0151】

また、マルチプレクサ220は、選択信号SerialCAが“0”の状態である時に選択される10本の入力端子と、選択信号SerialCAが“1”の状態である時に選択される10本の入力端子と、を備える。“0”の状態に対応する10本の入力端子のうちの8本は、データ信号入出力端子DQ<7:0>に接続される。残りの2本は、外部制御端子CLE、ALEに接続される。“1”の状態に対応する10本の入力端子は、デシリアライザ300の出力端子に接続される。

20

【0152】

マルチプレクサ230は、1本の出力端子／WEh'を備える。また、マルチプレクサ230は、選択信号SerialCAが“1”の状態である時に選択される1本の入力端子／WEhと、選択信号SerialCAが“0”の状態である時に選択される1本の入力端子と、を備える。“1”の状態に対応する入力端子／WEhは、デシリアライザ300の出力端子に接続される。“0”の状態に対応する入力端子は、外部制御端子／WEに接続される。

30

【0153】

デシリアライザ300は、マルチプレクサ220に接続された10本の出力端子を備える。デシリアライザ300は、外部制御端子CLE、ALEから4サイクルにわたって2ビットずつ入力されたデータを8ビットのデータに変換し、この8ビットのデータがコマンドデータCmdであるかアドレスデータAddであるかを示す2ビットのデータを付加して、10ビットのデータを生成する。また、デシリアライザ300は、この10ビットのデータを、10本の出力端子を介してマルチプレクサ220に出力する。この10ビットのデータは、例えば、期間MSeLの開始のタイミングで切り替わっても良い。

40

【0154】

また、デシリアライザ300は、マルチプレクサ230に接続された1本の出力端子を備える。デシリアライザ300は、外部制御端子／WEから入力される5サイクルのデータのうち、1サイクル目のデータが入力されてから2サイクル目のデータが入力されるまでの間（期間MSeLの間）、マルチプレクサ230の入力端子／WEhに“L”を出力する。また、それ以外の期間（期間S__Inの間）、マルチプレクサ230の入力端子／WEhに“H”を出力する。

【0155】

動作モードMODEaにおいては、データ信号入出力端子DQ<7:0>を介して入力

50

された8ビットのデータが、マルチプレクサ220の出力端子DINH<7:0>を介して論理回路に入力される。また、外部制御端子CLE, ALEを介して入力されたイネーブル信号が、マルチプレクサ220の出力端子CLEh, ALEhを介して論理回路に入力される。図示の例では、データ信号入出力端子DQ<7:0>を介して入力された8ビットのデータがコマンドデータ“05h”であり、且つ、外部制御端子CLE, ALEの入力信号が“H, L”である場合に、論理回路の出力信号が“H”となる。それ以外の場合には、論理回路の出力信号が“L”となる。

【0156】

また、動作モードMODE aにおいては、外部制御端子／WEから入力された信号が、マルチプレクサ230の出力端子／WEh'から出力され、ラッチ回路210のクロック入力端子へ入力される。

10

【0157】

動作モードMODE bにおいては、外部制御端子CLE, ALEを介して入力された2ビット×4サイクルのデータと、外部制御端子／WEを介して入力されたイネーブル信号とが、デシリアライザ300によって8ビットのデータ信号及びイネーブル信号に変換され、マルチプレクサ220の入力端子に入力される。これらのデータ及び信号はマルチプレクサ220の出力端子DINH<7:0>, CLEh, ALEhを介して論理回路に入力される。図示の例では、期間MSELにおいて外部制御端子CLE, ALEから“H, L”が入力されており、且つ、期間S_{in}において外部制御端子CLE, ALEからコマンドデータ“05h”が入力されていた場合に、論理回路の出力信号が“H”となる。それ以外の場合には、論理回路の出力信号が“L”となる。

20

【0158】

また、動作モードMODE bにおいては、マルチプレクサ230の入力端子／WEhに入力された信号が、マルチプレクサ230の出力端子／WEh'から出力され、ラッチ回路210のクロック入力端子へ入力される。

【0159】

図22及び図23は、デシリアライザ300の一部の構成を示す模式的な回路図である。デシリアライザ300は、図22に示す様な回路部310と、図23に示す様な回路部320と、を含む。

【0160】

回路部310は、5つのDフリップフロップ311と、1つのDラッチ回路312と、を備える。1つ目のDフリップフロップ311の出力端子は、2つ目のDフリップフロップ311のデータ入力端子に接続されている。同様に、2つ目～4つ目のDフリップフロップ311の出力端子は、3つ目～5つ目のDフリップフロップ311のデータ入力端子に接続されている。5つ目のDフリップフロップ311の出力端子は、Dラッチ回路312のデータ入力端子に接続されている。Dラッチ回路312の出力端子は、1つ目のDフリップフロップ311のデータ入力端子に接続されている。また、これら5つのDフリップフロップ311と、1つのDラッチ回路312と、のクロック入力端子は、外部制御端子／WEに接続されている。

30

【0161】

また、回路部310は、5つのDラッチ回路313と、5つのAND回路314と、を備える。5つのDラッチ回路313のデータ入力端子は、それぞれ、5つのDフリップフロップ311の出力端子に接続されている。また、5つのDラッチ回路313のクロック入力端子には、外部制御端子／WEの反転信号が入力されている。5つのAND回路314の一方の入力端子は、それぞれ、5つのDラッチ回路313の出力端子に接続されている。5つのAND回路314の他方の入力端子は、それぞれ、外部制御端子／WEに接続されている。尚、図22の例では、これら5つのAND回路314のうちの4つの出力端子を、出力端子WE1～WE4として示している。残りの1つの出力端子は、上記マルチプレクサ230（図20）の入力端子／WEhに接続されている。

40

【0162】

50

ここで、5つのDフリップフロップ311に格納されるデータの初期値を0とし、Dラッチ回路312に格納されるデータの初期値を1とする。この様な場合に、外部制御端子／WEに略一定のペースで“L”及び“H”が入力された場合、外部制御端子／WEの1サイクル目の入力に伴い、出力端子WE1の信号が“H”状態となり、出力端子WE2，WE3，WE4の信号が“L”状態となる。また、2サイクル目の入力に伴い、出力端子WE2の信号が“H”状態となり、出力端子WE1，WE3，WE4の信号が“L”状態となる。また、3サイクル目の入力に伴い、出力端子WE3の信号が“H”状態となり、出力端子WE1，WE2，WE4の信号が“L”状態となる。また、4サイクル目の入力に伴い、出力端子WE4の信号が“H”状態となり、出力端子WE1，WE2，WE3の信号が“L”状態となる。

10

【0163】

回路部320は、Dラッチ回路321～Dラッチ回路324を2つずつ備える。一方のDラッチ回路321～Dラッチ回路324のデータ入力端子は、外部制御端子CLEに接続されている。他方のDラッチ回路321～Dラッチ回路324のデータ入力端子は、外部制御端子ALEに接続されている。また、2つのDラッチ回路321のクロック入力端子は、AND回路314の出力端子WE1に接続されている。同様に、Dラッチ回路322，323，324のクロック入力端子は、それぞれ、AND回路314の出力端子WE2，WE3，WE4に接続されている。

【0164】

2つのDラッチ回路321には、1サイクル目の外部制御端子CLE，ALEのデータが格納される。2つのDラッチ回路322には、2サイクル目の外部制御端子CLE，ALEのデータが格納される。2つのDラッチ回路323には、3サイクル目の外部制御端子CLE，ALEのデータが格納される。2つのDラッチ回路324には、4サイクル目の外部制御端子CLE，ALEのデータが格納される。

20

【0165】

〔第2実施形態〕

次に、図24及び図25を参照して、第2実施形態に係る半導体記憶装置の構成について説明する。図24は、第2実施形態に係るメモリダイMD2の構成を示す模式的なブロック図である。図25は、メモリダイMD2の一部の構成を示す模式的な回路図である。説明の都合上、図24及び図25では一部の構成を省略する。

30

【0166】

図24及び図25に示す様に、本実施形態に係る半導体記憶装置は、基本的には、第1実施形態に係る半導体記憶装置と同様に構成されている。ただし、第2実施形態に係る半導体記憶装置は、外部制御端子CLE，ALEを介して、ステータスデータSttを出力することが可能である。図25に示す様に、第2実施形態に係る外部制御端子CLE，ALEは、入力回路201及び出力回路202に接続されている。

【0167】

また、本実施形態に係る半導体記憶装置は、動作モードMODEa及び動作モードMODEbに加え、動作モードMODEcで動作させることが可能である。

【0168】

図26及び図27は、動作モードMODEcにおける外部端子の役割を説明するための真理値表である。図26は、期間MSELにおける外部制御端子の役割を示している。図27は、期間S_{__}In，S_{__}Outにおける外部制御端子の役割を示している。

40

【0169】

動作モードMODEcにおけるメモリダイMD2の動作は、基本的には、動作モードMODEbにおけるメモリダイMDの動作と同様である。

【0170】

ただし、動作モードMODEcにおいては、外部制御端子CLE，ALEを介してアドレスデータAdd及びコマンドデータCmdを入力できるだけでなく、外部制御端子CLE，ALEを介してステータスデータSttを出力することが可能である。

50

【0171】

図26に示す様に、動作モードMODE cの期間MSe lにおいて、ステータスデータSt tを出力する旨の入出力データ選択信号を入力する場合、コントローラダイCDは、例えば、外部制御端子CLEに“L”を入力し、外部制御端子ALEに“L”を入力した状態で、外部制御端子／WEを“L”から“H”に立ち上げる。

【0172】

また、図27に示す様に、動作モードMODE cの期間S__Ou tにおいて、ステータスデータSt tを出力する場合、コントローラダイCDは、例えば、外部制御端子／WEの入力信号を立ち下げる。これに伴い、外部制御端子CLE，ALEから出力回路202によってコントローラダイCDへステータスデータSt tのうちの2ビットが出力される。

10

【0173】

図28は、第2実施形態に係るメモリダイMD2の動作について説明するための模式的な波形図である。図28は、動作モードMODE cにおいてコマンドデータCmd及びアドレスデータAddを入力する際の波形を示している。

【0174】

図28の例では、外部制御端子／WEに、略一定のペースで“L”及び“H”が入力されている。また、所定のタイミングにおいて、外部制御端子／WEの入力信号が一度立ち下がってからもう一度立ち下がるまでの期間を、上述した期間MSe lとして示している。また、外部制御端子／WEの入力信号が期間MSe lの終了時に立ち下がってから、外部制御端子／WEの入力信号が4回立ち下がるまでの期間を、期間S__In又は期間S__Ou tとして示している。

20

【0175】

動作モードMODE cにおいては、期間MSe lにおいて、コントローラダイCDがメモリダイMD2に、コマンドデータCmd又はアドレスデータAddの入力を指定する入出力データ選択信号を入力した場合、その直後の期間は、期間S__Inとなる。一方、期間MSe lにおいて、コントローラダイCDがメモリダイMD2に、ステータスデータSt tを出力する旨の入出力データ選択信号を入力した場合、その直後の期間は、期間S__Ou tとなる。

【0176】

期間S__Ou tにおいて出力されるステータスデータSt tは、例えば、動作モードMODE a又は動作モードMODE bにおいてステータスリードを実行した場合に出力されるステータスデータSt tと同様の8ビットのデータであっても良い。このような場合、ステータスデータSt tは、4サイクルに分けて2ビットずつ出力されても良い。

30

【0177】

図29は、動作モードMODE cにおいて読出動作及びデータアウト動作を実行する場合の様子を示す模式的なタイミングチャートである。図29の例では、メモリダイMD2が動作モードMODE cに設定されている。

【0178】

図29に例示する動作は、基本的には、図19を参照して説明した動作と同様である。ただし、図29の例では、ステータスリードの実行に際して、外部制御端子CLE，ALEに“L，L”が入力されている。また、ステータスデータSt tが、データ信号入出力端子DQ<7:0>ではなく、外部制御端子CLE，ALEから出力されている。また、プレーンPLN0に対するデータアウト動作が行われている間に、ステータスリード及びステータスデータSt tの出力が行われ、更に、プレーンPLN1に対するデータアウト動作を実行する旨のコマンドセットの入力が開始されている。

40

【0179】

尚、外部制御端子CLE，ALEに接続された出力回路202（図25）は、動作モードMODE cにおいて駆動される。これらの出力回路202は、動作モードMODE a，MODE bにおいては駆動されなくても良い。

【0180】

50

〔第2実施形態に係るメモリダイMD2に適用可能な回路〕

第2実施形態に係るメモリダイMD2においては、動作モードMODEcが選択されている場合に、8ビットのステータスデータSttを、2ビット×4サイクルのデータに変換して出力する。このような機能は、例えば、図30に示す様な回路によって実現しても良い。図30は、メモリダイMD2の一部の構成例を示す模式的な回路図である。

【0181】

図30に示す回路は、シリアライザ331と、2つのスイッチ回路332と、を備える。

【0182】

シリアライザ331は、8本の第1の入力端子と、1本の第2の入力端子と、を備える。第1の入力端子には、それぞれ、8ビットのステータスデータSttを構成する8ビットのデータFDATA<7:0>のうちの1ビットが入力される。第2の入力端子には、外部制御端子／WEが入力される。シリアライザ331は、外部制御端子／WEの入力に応じ、8ビットのデータFDATA<7:0>を2ビットのデータFDATA2<1:0>に変換して、4サイクルにわたって順次出力する。

【0183】

2つのスイッチ回路332は、それぞれ、外部制御端子CLE, ALEに対応して設けられている。スイッチ回路332の出力端子は、外部制御端子CLE又は外部制御端子ALEに接続されている。スイッチ回路332の入力端子は、シリアライザ331の出力端子に接続されている。スイッチ回路332は、ゲート信号S332の入力に応じて、入力信号を出力する。ゲート信号S332は、例えば、外部制御端子／WEが“L”状態であり、期間S__Out（図28）の1サイクル目であり、期間MSELにおいて外部制御端子CLE, ALEに“L, L”が入力されており、動作モードMODEcが選択されており、且つ、メモリダイMD2が選択されている場合に、“H”状態となっても良い。

【0184】

〔第3実施形態〕

次に、図31を参照して、第3実施形態に係る半導体記憶装置の構成について説明する。図31は、第3実施形態に係るメモリダイMD3の構成を示す模式的なブロック図である。説明の都合上、図31では一部の構成を省略する。

【0185】

図31に示す様に、本実施形態に係る半導体記憶装置は、基本的には、第2実施形態に係る半導体記憶装置と同様に構成されている。ただし、図31に示す様に、本実施形態に係る入出力制御回路I/Oは、圧縮・展開回路C10を備える。圧縮・展開回路C10は、ステータスレジスタSTR中のステータスデータSttから必要な情報を抽出して出力する。

【0186】

第3実施形態においては、動作モードMODEcの期間S__Outにおいて出力されるステータスデータSttが、動作モードMODEa又は動作モードMODEbにおいてステータスリードを実行した場合に出力されるステータスデータSttと異なる。

【0187】

例えば、本実施形態においては、期間S__Out中に出力されるステータスデータSttが、例えば図32に示す様に、選択されたメモリダイMD3に含まれる2つのプレーンPLN0, PLN1のレディ／ビジー状態を示す2ビットのデータであっても良い。また、例えば、メモリダイMD3が4つ又はそれ以上のプレーンPLNを含む場合、ステータスデータSttは、例えば、メモリダイMD3に含まれる複数のプレーンPLNのレディ／ビジー状態を示す複数ビットのデータであっても良い。このような場合、ステータスデータSttは、複数サイクルに分けて2ビットずつ出力されても良い。

【0188】

また、本実施形態においては、期間S__Out中に出力されるステータスデータSttが、例えば、コントローラダイCDによって制御される全てのメモリダイMD3のレディ／ビジー状態を示す複数ビットのデータであっても良い。例えば図2及び図3に例示する

様に、8つのメモリダイMD3の複数のパッド電極Pが、それぞれ、ボンディングワイヤBを介してお互いに接続され、コントローラダイCDによって8つのメモリダイMD3が制御される場合、ステータスデータS t tは、例えば、これら8つのメモリダイMD3のレディ／ビジー状態を示す8ビットのデータであっても良い。この様な場合、各メモリダイMD3のステータスデータS t tが、チップアドレスに応じた順番で、4サイクルに分けて2ビットずつ出力されても良い。より具体的には、例えば、1サイクル目においては、1つ目のメモリダイMD3が外部制御端子C L Eからレディ／ビジー状態を出力するとともに、2つ目のメモリダイMD3が外部制御端子A L Eからレディ／ビジー状態を出力する。同様に、2サイクル目においては、3つ目のメモリダイMD3が外部制御端子C L Eからレディ／ビジー状態を出力するとともに、4つ目のメモリダイMD3が外部制御端子A L Eからレディ／ビジー状態を出力する。3サイクル目においては、5つ目のメモリダイMD3が外部制御端子C L Eからレディ／ビジー状態を出力するとともに、6つ目のメモリダイMD3が外部制御端子A L Eからレディ／ビジー状態を出力する。4サイクル目においては、7つ目のメモリダイMD3が外部制御端子C L Eからレディ／ビジー状態を出力するとともに、8つ目のメモリダイMD3が外部制御端子A L Eからレディ／ビジー状態を出力する。また、この場合、各メモリダイMD3は、ステータスデータS t tを出力しない外部制御端子A L E及び／又はC L Eを、外部からの信号を受け付けられない状態にする。

【0189】

〔第4実施形態〕

次に、図33及び図34を参照して、第4実施形態に係る半導体記憶装置の構成について説明する。図33及び図34は、第4実施形態に係るメモリダイMD4の構成を示す模式的なブロック図である。説明の都合上、図33及び図34では一部の構成を省略する。

【0190】

図33に示す様に、本実施形態に係る半導体記憶装置は、基本的には、第1実施形態〜第3実施形態のいずれかに係る半導体記憶装置と同様に構成されている。

【0191】

ただし、図33に示す様に、第4実施形態に係る論理回路C T Rは、内部アドレス切替回路C 20を備える。内部アドレス切替回路C 20は、例えば図34に示す様に、トリガ信号T G R 1又はトリガ信号T G R 2の入力に応じて、アドレスレジスタA D R中の領域R A D R 1に格納されているアドレスデータA d dを、アドレスレジスタA D R中の領域R A D R 2に転送する。尚、領域R A D R 2は、例えば、データ信号入出力端子D Q<7:0>を介して入出力されるデータに対応するアドレスデータA d dを格納する領域であっても良い。また、領域R A D R 1は、例えば、外部制御端子C L E, A L Eを介して入出力されるデータに対応するアドレスデータA d dを格納する領域であっても良い。

【0192】

また、本実施形態に係る半導体記憶装置は、動作モードM O D E a, M O D E b, M O D E cに加え、動作モードM O D E dで動作させることが可能である。

【0193】

例えば、図2及び図3に示す様に、複数のメモリダイMDの複数のパッド電極Pは、それぞれ、ボンディングワイヤBを介してお互いに接続される場合がある。例えば、このようにパッド電極Pがお互いに接続された複数のメモリダイMD4のうちの一つに対するデータアウト動作の実行中に、他のメモリダイMD4に対するコマンドセットの入力を行う場合がある。この様な場合、コマンドセットの入力が終了したタイミングでアドレスデータを反映させてしまうと、データアウト動作の実行中にアドレスデータが切り替わってしまい、ユーザデータD a tを好適に出力できない恐れがある。

【0194】

そこで、第4実施形態に係る半導体記憶装置においては、コントローラダイCDがデータアウト動作の終了を検出し、メモリダイMD4に、上記トリガ信号T G R 1, T G R 2を入力する。

【0195】

図35は、動作モードMODE dにおける外部端子の役割を説明するための真理値表である。図35は、期間MSe lにおける外部制御端子の役割を示している。

【0196】

動作モードMODE dにおけるメモリダイMD 4の動作は、基本的には、動作モードMODE cにおけるメモリダイMD 2，MD 3の動作と同様である。

【0197】

ただし、動作モードMODE dにおいては、期間MSe lにおいて、トリガ信号TGR 1，TGR 2を入力することが可能である。

【0198】

トリガ信号TGR 1を入力する場合、コントローラダイCDは、例えば、外部制御端子CLE，ALEに“H”を入力した状態で、外部制御端子／WEを“L”から“H”に立ち上げる。

【0199】

トリガ信号TGR 2を入力する場合、コントローラダイCDは、例えば、外部制御端子／WEに“H”を入力した状態で、外部制御端子／CEを“H”から“L”に立ち下げる。

【0200】

図36及び図37は、動作モードMODE dにおいてデータアウト動作を実行する場合の様子を示す模式的なタイミングチャートである。図36及び図37の例では、メモリダイMD 4が動作モードMODE dに設定されている。

【0201】

図36及び図37の例では、まず、コマンドデータ“78h”及びアドレスデータAddが、外部制御端子CLE，ALEを介して入力されている。コマンドデータ“78h”は、ステータスリードを指示するコマンドデータである。このコマンドセットに含まれるアドレスデータAddは、上記チップアドレスとして、データアウト動作の対象となるメモリダイMD 4（LUN 0）の情報を含む。コマンドデータ“78h”の入力に伴い、ステータスリードが行われ、ステータスデータSttが外部制御端子CLE，ALEを介して出力される。

【0202】

次に、コマンドデータ“05h”、アドレスデータAdd、及びコマンドデータ“E0h”が、外部制御端子CLE，ALEを介して順次入力されている。このアドレスデータAddは、上記チップアドレスとして、データアウト動作の対象となるメモリダイMD 4（LUN 0）の情報を含む。

【0203】

所定の待機時間後、コントローラダイCDが外部制御端子／RE，REの入力信号を切り替える（トグルする）。これにより、メモリダイMD 4（LUN 0）に対してデータアウト動作が開始され、ユーザデータ“Data Out”がデータ信号入出力端子DQ<7：0>を介して出力される。

【0204】

また、図36の例では、メモリダイMD 4（LUN 0）に対するデータアウト動作が行われている間に、コマンドデータ“78h”及びアドレスデータAddが、外部制御端子CLE，ALEを介して入力されている。このアドレスデータAddは、上記チップアドレスとして、データアウト動作の対象となるメモリダイMD 4（LUN 1）の情報を含む。コマンドデータ“78h”の入力に伴い、ステータスリードが行われ、ステータスデータSttが外部制御端子CLE，ALEを介して出力される。

【0205】

次に、コマンドデータ“05h”、アドレスデータAdd、及びコマンドデータ“E0h”が、外部制御端子CLE，ALEを介して順次入力されている。このアドレスデータAddは、上記チップアドレスとして、データアウト動作の対象となるメモリダイMD 4（LUN 1）のアドレス等を含む。これらのデータの入力も、メモリダイMD 4（LUN 0）

10

20

30

40

50

に対するデータアウト動作が行われている間に、すなわち、コントローラダイCDが外部制御端子／RE，REの入力信号を切り替える（トグルする）期間に行われている。ここで、上記のようにメモリダイMD4（LUN0）及びメモリダイMD4（LUN1）の複数のパッド電極PがそれぞれボンディングワイヤBを介してお互いに接続されている場合、外部制御端子／RE，REもそれぞれ接続される。従って、メモリダイMD4（LUN0）に対するデータアウト動作が行われている間は、メモリダイMD4（LUN0）の外部制御端子／RE，REの入力信号が切り替わる（トグルする）と、メモリダイMD4（LUN1）の外部制御端子／RE，REの入力信号も切り替わる（トグルする）ことになる。しかし、第4実施形態に係る論理回路CTRの内部アドレス切替回路C20は、図34に示す様に、トリガ信号TGR1又はトリガ信号TGR2の入力が無い限り、アドレスレジスタADR中の領域RADR1に格納されているアドレスデータAddを、アドレスレジスタADR中の領域RADR2に転送しない。従って、メモリダイMD4（LUN1）は、コマンドデータ“05h”、アドレスデータAdd、及びコマンドデータ“E0h”が外部制御端子CLE，ALEを介して順次入力された後であっても、トリガ信号TGR1又はトリガ信号TGR2の入力が無い限り、外部制御端子／RE，REの入力信号が切り替わっても（トグルしても）、データ信号入出力端子DQ<7:0>からユーザデータを出力しない。従って、メモリダイMD4（LUN0）のデータ信号入出力端子DQ<7:0>とメモリダイMD4（LUN1）のデータ信号入出力端子DQ<7:0>とから同時にユーザデータが出力されることを回避できる。

【0206】

次に、メモリダイMD4（LUN0）に対するデータアウト動作の終了後、上記トリガ信号TGR1，TGR2のいずれかが入力されている。その後、コントローラダイCDが外部制御端子／RE，REの入力信号を切り替える（トグルする）。これにより、メモリダイMD4（LUN1）に対してデータアウト動作が開始され、ユーザデータ“DataOut”がデータ信号入出力端子DQ<7:0>を介して出力される。

【0207】

尚、第4実施形態においては、種々の方法によってステータスリードを実行することが可能である。例えば、第4実施形態においては、第1実施形態～第3実施形態のいずれかに係るメモリダイと同様の方法によってステータスリードを実行しても良い。また、第4実施形態においては、図38の様に、ステータスリードによって、データS00，S01，S10，S11，S20，S21，S30，S31を出力しても良い。これらのデータS00，S01，S10，S11，S20，S21，S30，S31は、それぞれ、1つ目のメモリダイMD4のプレーンPLN0のレディ／ビジー状態、1つ目のメモリダイMD4のプレーンPLN1のレディ／ビジー状態、2つ目のメモリダイMD4のプレーンPLN0のレディ／ビジー状態、2つ目のメモリダイMD4のプレーンPLN1のレディ／ビジー状態、3つ目のメモリダイMD4のプレーンPLN0のレディ／ビジー状態、3つ目のメモリダイMD4のプレーンPLN1のレディ／ビジー状態、4つ目のメモリダイMD4のプレーンPLN0のレディ／ビジー状態、及び、4つ目のメモリダイMD4のプレーンPLN1のレディ／ビジー状態を示していても良い。

【0208】

【その他の実施形態】

以上、第1実施形態～第4実施形態に係る半導体記憶装置について説明した。しかしながら、以上の説明はあくまでも例示であり、具体的な構成、動作等は適宜調整可能である。

【0209】

例えば、以上において説明した構成、動作等は、適宜組み合わせて使用することも可能である。例えば図39に例示する様に、動作モードMODEaを選択してメモリダイを動作させ、動作モードMODEcを選択してメモリダイを動作させ、更に、動作モードMODEaを再度選択してメモリダイを動作させる様なことも可能である。また、例えば、電源投入直後はメモリダイの動作モードをMODEaに設定し、コマンドセット等の入力に応じて動作モードを切り替える様にしても良い。

【0210】

また、以上の説明では、動作モードMODE b, MODE c, MODE dにおいて、外部制御端子CLE, ALEを利用した2ビットのデータの入出力を行っていた。しかしながら、このような方法はあくまでも例示であり、具体的な方法は適宜調整可能である。例えば、動作モードMODE b, MODE c, MODE dにおいては、その他の端子（例えば、図4等を参照して説明した外部制御端子／WP等）等を利用して、3ビット以上のデータの入出力を行っても良い。また、外部制御端子CLE, ALEを含む端子の中から1つ又は2つの端子を選択して、1ビット又は2ビットのデータの入出力を行っても良い。

【0211】

[その他]

本発明のいくつかの実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0212】

MC…メモリセル、MCA…メモリセルアレイ、PC…周辺回路、ADR…アドレスレジスタ、CMR…コマンドレジスタ。

10

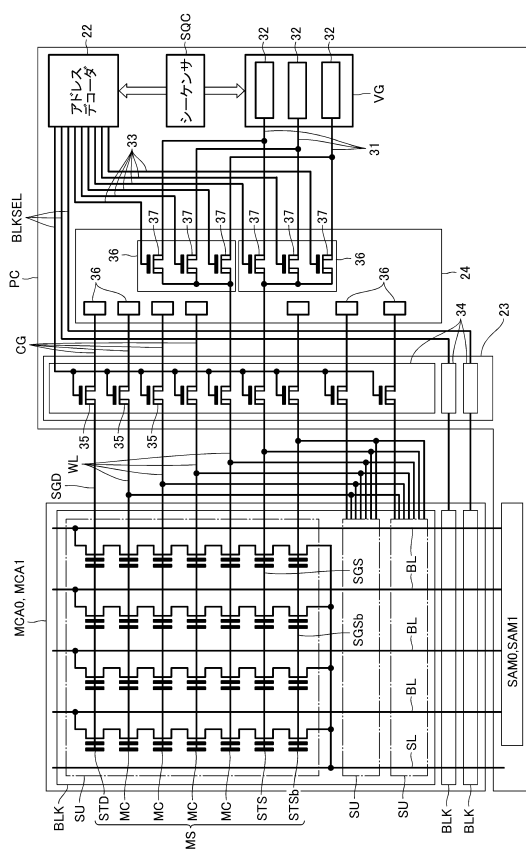
20

30

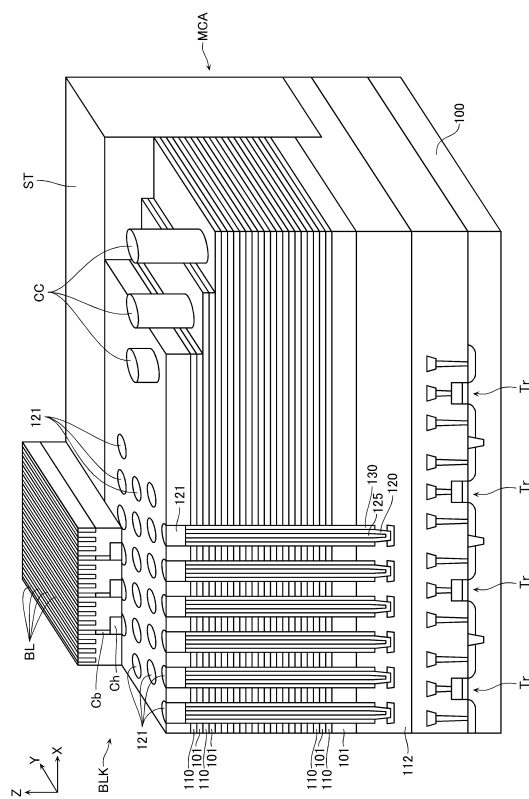
40

50

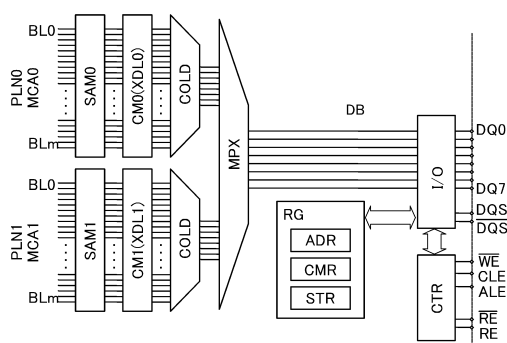
【図 5】



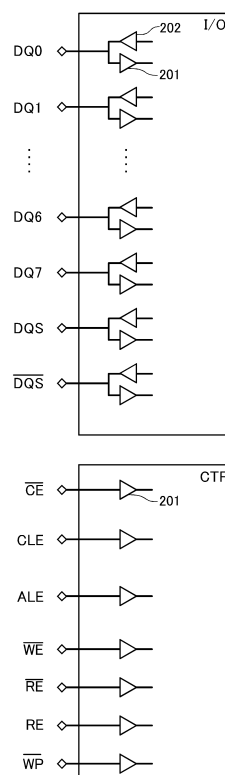
【図 6】



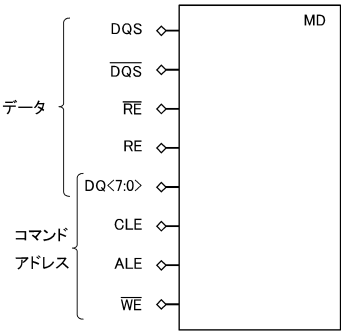
【圖 7】



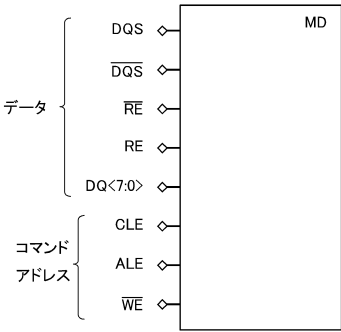
【圖 8】



【図 9】



【図 10】



10

【図 11】

MODEa	CLE	ALE	$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{RE}}$	DQS	DQ
Cmd/Add	H/L	L/H	L		H	Z	Input
DataInput	L	L	L	H	H		Input
DataOutput	L	L	L	H			Output
StatusOutput	L	L	L	H			Output
Standby	Z	Z	H	Z	Z	Z	Z
Bus Idle	L	L	L	H	X	X	Z

【図 12】

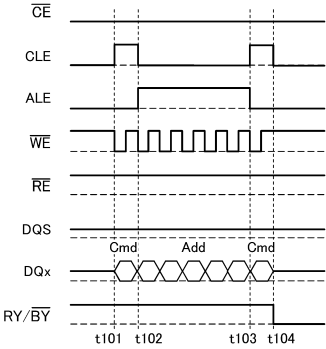
MODEb @ MSel	CLE	ALE	$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{RE}}$	DQS	DQ
Cmd	H	L	L				
Add	L	H	L				

20

【図 13】

MODEb @ S.In	CLE	ALE	$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{RE}}$	DQS	DQ
Cmd/Add	input	input	L				
DataInput			L		H		Input
DataOutput			L				Output
StatusOutput			L				Output
Standby	Z	Z	H	Z	Z	Z	Z
Bus Idle	L	L	L	H	X	X	Z

【図 14】

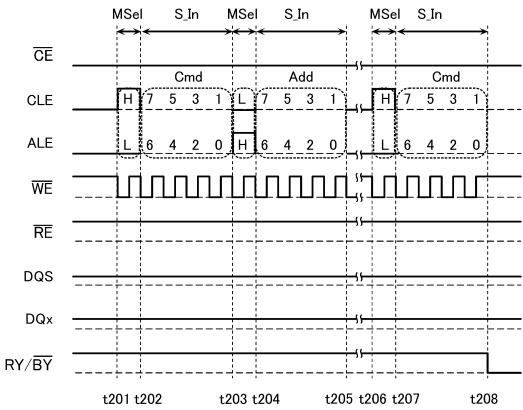


30

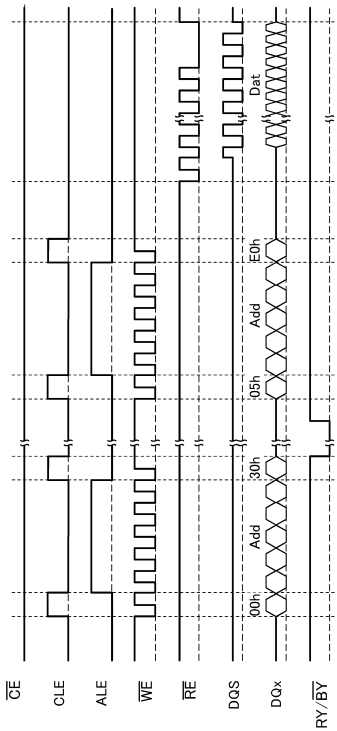
40

50

【図 1 5】



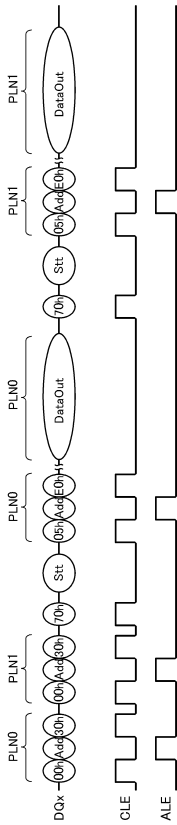
【図 1 6】



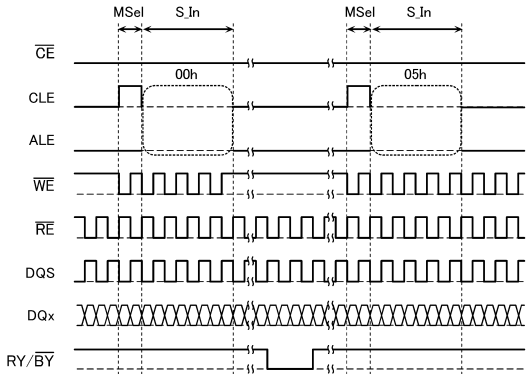
10

20

【図 1 7】



【図 1 8】



30

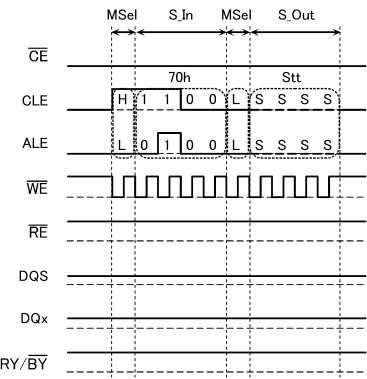
40

50

【図 2 7】

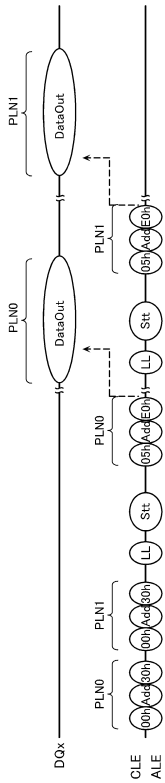
MODEc @ S.In, Out	CLE	ALE	$\overline{CE}$	$\overline{WE}$	$\overline{RE}$	DQS	DQ
Cmd/Add	input	input	L				
DataInput			L		H		Input
DataOutput			L				Output
StatusOutput	Output	Output	L				
Standby	Z	Z	Z	H	Z	Z	Z
Bus Idle	L	L	L	H	X	X	Z

【図 2 8】

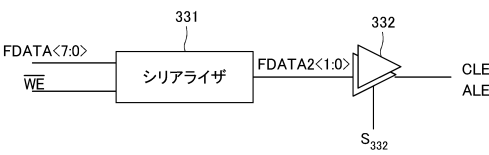


10

【図 2 9】



【図 3 0】



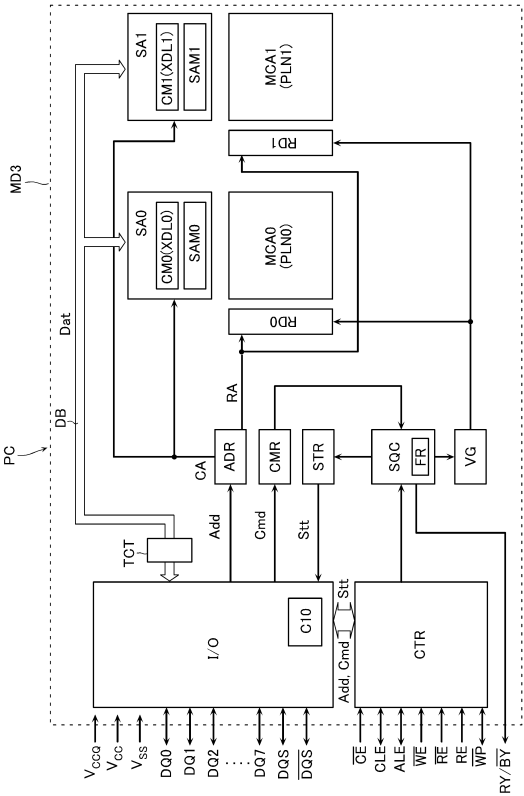
20

30

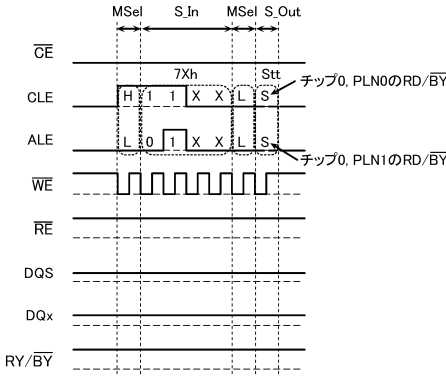
40

50

【図 3 1】



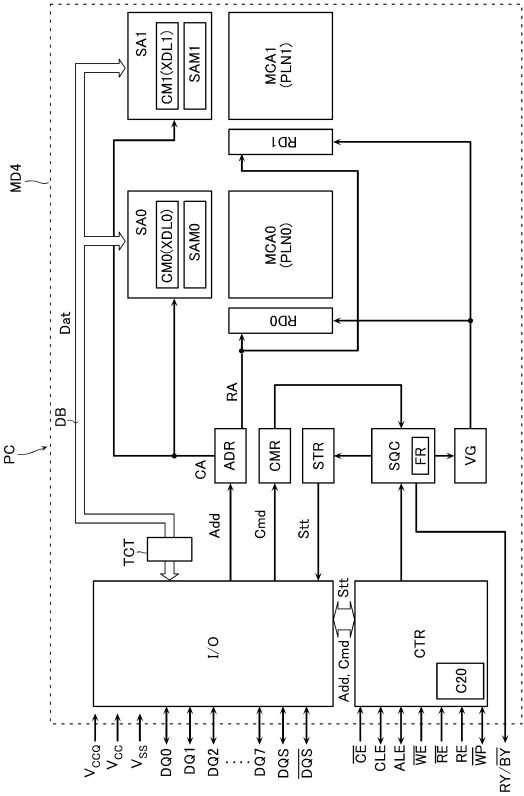
【図 3 2】



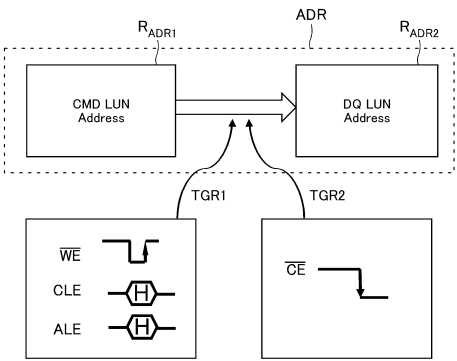
10

20

【図 3 3】



【図 3 4】



30

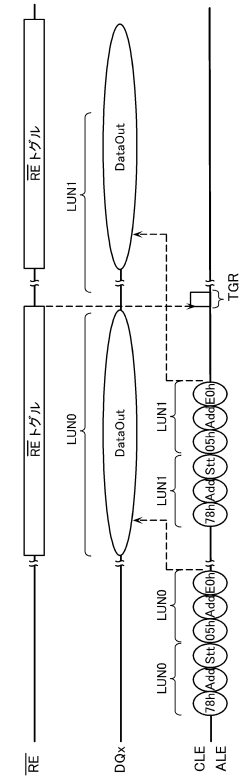
40

50

【図 3 5】

MODEd @ MSEL	CLE	ALE	$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{RE}}$	DQS	DQ
Cmd	H	L	L				
Add	L	H	L				
DataOut(Status)	L	L	L				
DQ LUN1	H	H	L		H	X	X
DQ LUN2	X	X		H	H	X	X

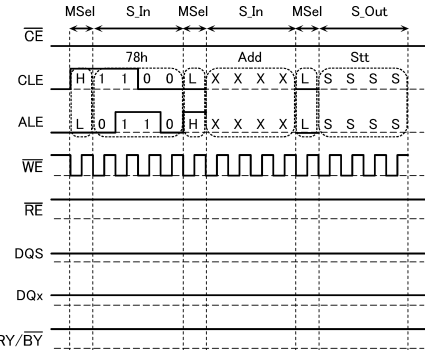
【図 3 6】



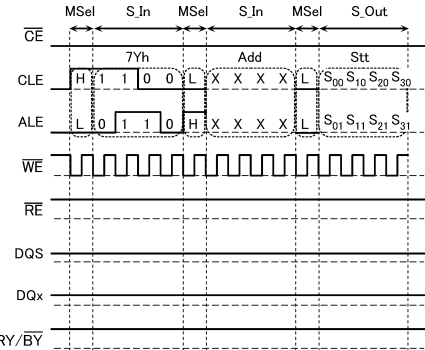
10

20

【図 3 7】



【図 3 8】

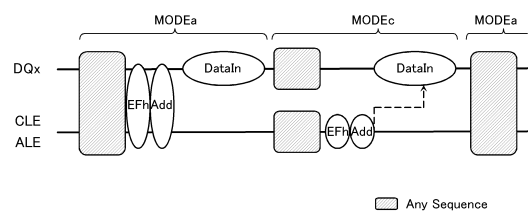


30

40

50

【図 39】



10

20

30

40

50

フロントページの続き

(51)国際特許分類		F I		
H 0 1 L	29/792 (2006.01)	G 1 1 C	16/10	1 7 0
G 0 6 F	12/00 (2006.01)	G 1 1 C	16/06	
G 1 1 C	5/04 (2006.01)	H 1 0 B	41/27	
G 1 1 C	16/10 (2006.01)	H 1 0 B	41/40	
G 1 1 C	16/06 (2006.01)	H 1 0 B	43/27	
H 1 0 B	41/27 (2023.01)	H 1 0 B	43/40	
H 1 0 B	41/40 (2023.01)	H 1 0 B	80/00	
H 1 0 B	43/27 (2023.01)	H 1 0 B	99/00	4 9 5
H 1 0 B	43/40 (2023.01)			
H 1 0 B	80/00 (2023.01)			
H 1 0 B	99/00 (2023.01)			

東京都港区芝浦三丁目1番21号 キオクシア株式会社内

審査官 豊田 真弓

- (56)参考文献 米国特許出願公開第2020/0387462 (US, A1)
特開2018-022383 (JP, A)
特開2013-030251 (JP, A)
特表2011-507141 (JP, A)

- (58)調査した分野 (Int.Cl., DB名)
G 1 1 C 7 / 1 0
H 1 0 B 9 9 / 0 0
H 1 0 B 4 3 / 2 7
H 1 0 B 4 1 / 2 7
H 1 0 B 4 1 / 4 0
H 1 0 B 4 3 / 4 0
G 0 6 F 1 2 / 0 0
G 1 1 C 5 / 0 4
G 1 1 C 1 6 / 1 0
G 1 1 C 1 6 / 0 6
H 1 0 B 8 0 / 0 0