



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0017318
(43) 공개일자 2025년02월04일

(51) 국제특허분류(Int. Cl.)
H01L 21/18 (2024.01) H01L 21/02 (2006.01)
H01L 21/3065 (2006.01) H01L 21/3213 (2006.01)
H01L 21/52 (2006.01)
(52) CPC특허분류
H01L 21/185 (2013.01)
H01L 21/02164 (2013.01)
(21) 출원번호 10-2023-0097892
(22) 출원일자 2023년07월27일
심사청구일자 2023년07월27일

(71) 출원인
국립한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
노진성
대전광역시 유성구 동서대로 125, 한밭대학교 N7동 404호
모어비백모한
대전광역시 유성구 가정로89번길 21, 한빛하우스 301호
육근탁
대전광역시 동구 동서대로1572번길 165, 큰술A 111호
(74) 대리인
특허법인 플러스

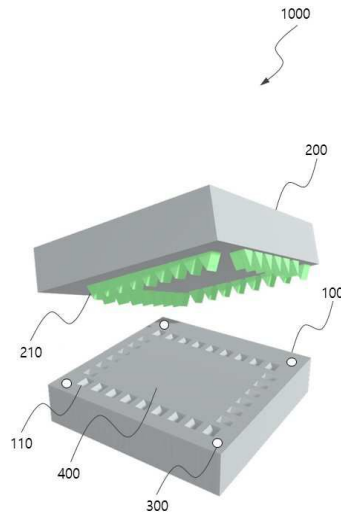
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **다이렉트 본딩 기판의 제조 방법**

(57) 요약

본 개시는 다이렉트 본딩 방법에 관한 것으로, 키네마틱 커플링을 이용하여 기판과 기판이 정밀하게 본딩될 수 있도록 인장응력을 가지는 캔틸레버를 형성하며, 기판에 비아홀이 형성되어 정밀한 본딩이 가능하고, 정밀한 얼라인의 일치가 가능하다.

대표도 - 도8



(52) CPC특허분류

H01L 21/3065 (2013.01)

H01L 21/32136 (2013.01)

H01L 21/52 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	9991008147
과제번호	22-CM-EC-23
부처명	다부처
과제관리(전문)기관명	국방과학연구소
연구사업명	민군기술협력(R&D)(산업부,방사청)
연구과제명	우주용 대용량 메모리 적층 패키징 기술 및 모듈개발
기 여 율	1/2
과제수행기관명	(주)엠아이디
연구기간	2022.09.01 ~ 2026.08.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1345370812
과제번호	2021RIS-004
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	지자체-대학 협력기반지역혁신사업
연구과제명	모빌리티 관련 배터리, 반도체 및 유동 시뮬레이션요소 기술 개발
기 여 율	1/2
과제수행기관명	대전세종충남지역혁신플랫폼
연구기간	2023.06.01 ~ 2024.02.29

명세서

청구범위

청구항 1

제1기판의 일면에 복수 개의 함몰부를 형성하는 단계;

상기 제1기판의 일면과 마주하여 배치되고, 상기 제1기판의 일면을 향하여 배치된 제2기판의 일면에 복수 개의 돌출부를 형성하는 단계;

상기 제1기판을 관통하는 복수 개의 비아홀을 형성하는 단계;

를 포함하는 다이렉트 본딩 방법.

청구항 2

제1항에 있어서, 상기 함몰부를 형성하는 단계는,

상기 제1기판의 일면 및 타면에 일정두께의 실리콘질화막을 형성하는 단계,

상기 제1기판의 일면에 형성된 실리콘질화막 상부에 기설정된 각도로 서로 맞닿는 측벽을 포함하는 패턴을 형성하여 노출된 제1기판을 식각하는 단계를 포함하는 다이렉트 본딩 방법.

청구항 3

제1항에 있어서, 상기 돌출부를 형성하는 단계는,

상기 제2기판의 일면 및 타면에 일정두께의 실리콘질화막을 형성하는 단계,

상기 제2기판의 일면에 증착된 실리콘질화막 상부에 플레이트 형태의 바닥면의 양측과 상기 바닥면의 양측에 맞닿아 측벽을 포함하는 제1패턴과 제2패턴을 형성하여 식각하고 노출된 제1패턴과 제2패턴을 포함하는 제2기판을 식각하는 단계를 포함하는 다이렉트 본딩 방법.

청구항 4

제3항에 있어서, 상기 다이렉트 본딩 방법은,

상기 제1패턴과 제2패턴을 포함하는 제2기판을 식각하는 단계 이후,

상기 제2기판에 형성된 제1패턴과 제2패턴에 기설정된 제3패턴으로 실리콘산화막을 형성하는 단계;

상기 제1패턴과 대응되는 상기 제2기판의 타면에 일정두께의 실리콘질화막을 형성하고, 상기 실리콘질화막 상부에 실리콘산화막을 증착하여 제4패턴을 형성하는 단계

상기 제2패턴과 대응되는 상기 제2기판의 타면에 실리콘산화막을 증착하여 제5패턴을 형성하는 단계를 포함하는 다이렉트 본딩 방법.

청구항 5

제4항에 있어서, 상기 제5패턴형성이후,

상기 제2기판의 일면에 형성된 제2패턴을 딥 리액티브 이온 에칭(Deep Reactive Ion Etching, DRIE)을 사용하여 식각하는 단계,

상기 제2기판의 일면과 대응되는 상기 제2기판의 타면에 형성된 제4패턴을 딥 리액티브 이온 에칭(Dep Reactive Ion Etching, DRIE)을 사용하여 식각하는 단계를 포함하는 다이렉트 본딩 방법.

청구항 6

제5항에 있어서, 상기 다이렉트 본딩 방법은,

상기 딥 리액티브 이온 에칭(Dep Reactive Ion Etching, DRIE)을 사용하여 식각하는 단계 이후, 상기 제2기판의 타면의 제4패턴 및 제5패턴에 형성된 실리콘산화막을 제거하는 단계를 더 포함하는 다이렉트 본딩 방법.

청구항 7

제1항에 있어서, 상기 제1기판 및 제2기판은,

<100> 또는 <111> 군의 결정 배향을 갖는 실리콘을 포함하는 다이렉트 본딩 기판.

청구항 8

제2항에 있어서, 상기 함몰부는,

상기 함몰부의 측벽 각도는 30° 내지 90° 의 범위 내인 다이렉트 본딩 기판.

청구항 9

제1기판의 일면에 형성된 복수 개의 함몰부;

상기 제1기판의 일면과 마주하여 배치되고, 상기 제1기판의 일면을 향하여 배치된 제2기판의 일면에 형성된 복수 개의 돌출부;

상기 제1기판을 관통하도록 형성된 복수 개의 비아홀;

을 포함하는 다이렉트 본딩 기판.

청구항 10

제9항에 있어서, 상기 다이렉트 본딩 기판은,

상기 제1기판과 제2기판에 반도체 제조 공정에 필요한 패턴이 형성되는 패턴형성부를 포함하는 다이렉트 본딩 기판.

발명의 설명

기술 분야

[0001] 본 개시는 다이렉트 본딩 기판의 제조 방법에 관한 것으로, 보다 상세하게는 인장응력을 가지는 캔틸레버와 비아홀을 형성하여 기판과 기판 사이의 정밀한 얼라인이 가능하도록 하는 다이렉트 본딩 기판의 제조 방법에 관한 것이다.

배경 기술

[0002] 전자제품 및 반도체 부품의 크기는 작아지는 반면 높은 성능이 요구됨에 따라, 패키징 기술도 고집적화, 미세 피치화가 요구 되고 있다. 이에 따라 와이어 본딩과 플립칩 본딩 또한 피치의 크기를 줄이는 방향으로 연구가 진행되고 있다. 도 1은 와이어 본딩과 플립칩 본딩 공정 모식도를 도시한 것이며, 도 2는 와이어 본딩과 플립칩 본딩 방법을 도시한 것이다. 와이어 본딩은 미세한 금선이나 알루미늄선으로 반도체 칩의 알루미늄 전극과 웨이

퍼 또는 기판을 접합하는 방법으로, 칩과 기판의 전기적 접속에 가장 폭넓게 사용된다. 이 기술은 반도체 뿔측에 범프(Bump)를 형성하고 범프와 기판을 실장하는 방식이며, 반도체 집적회로 소자의 AI 전극과 배선 판상의 도체패드를 Bump만으로 접속하여 전기선로의 경로가 단축됨으로써 전기저항 및 전기적 잡음의 감소를 통하여 전기적 성능이 향상되며, 플립칩 패키징은 Package Size를 종래의 Package에 비해 10~90%로 극소화할 수 있기 때문에 Chip Size의 고밀도실장기술을 실현이 가능하다.

[0003] 종래 한국공개특허 10-2004-0014111(2004.02.14.)에는 제1도체 와 제 2도체 사이를 와이어 본딩할 때, 미리 제 2도체 상에 볼 본딩에 의해 범프를 형성하고, 범프의 상부에 경사면을 형성하고, 제1도체에 1차 본딩한 후, 범프에 대해 제1도체측으로부터 와이어를 루핑하여 경사면 상에 2차 본딩하는 와이어 본딩 방법, 범프의 형성 방법 및 범프에 대하여 개시되어 있었다. 또한, 종래 한국공개특허 한국공개특허 10-1998-0044900(1998.09.15.)에는 기판상에 범프 솔더를 형성하기 위해 범프 솔더 마스크를 도포하고 솔더 크림을 롤러를 사용하여 화살표 방향으로 밀어 솔더크림을 인쇄한 후 리플로우 분위기에서와 같이 솔더 볼을 형성하고, 솔더 볼위에 플럭스(FLUX)를 도포하여 플립 칩을 형성하는 하이브리드 집적회로 어셈블리 공정시 공정을 단순화될 수 있도록 한 플립칩의 범프 본딩 제조방법에 관하여 개시되어 있었다.

[0004] 그러나 종래 와이어 본딩과 플립칩 본딩 방법은 금속간 화합물의 형성으로 인하여 취성 특성이 커져 기계적 충격에 약해지며, 금속간화합물 계면에서 킨덴달 보이드(Kirkendall void)가 발생하는 문제가 있다. 킨덴달 보이드(Kirkendall void)라고도 지칭되는 보이드(void)는 구리-주석 금속 간 인터페이스에 형성된다. 이러한 보이드들은 직경이 매우 작을 수 있지만, 금속 간 화합물 계면에 다수의 보이드들이 형성되면, 더 큰 다공성으로 합쳐져 균열이 생기고 칩과 기판 및 솔더 범프의 전기적 성능을 저해하여 금속 배선의 전기적, 기계적 신뢰성을 저하시키는 문제가 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국공개특허 10-2004-0014111(2004.02.14.)
(특허문헌 0002) 한국공개특허 10-1998-0044900(1998.09.15.)

발명의 내용

해결하려는 과제

[0006] 본 개시에 따르면, 금속간화합물(Intermetallic Compound)에 따른 킨덴달 보이드(Kirkendall void)와 같은 결함이 발생 되지 않고, 금속배선의 전기적, 기계적 특성이 향상되는 반도체 소자의 다이렉트 본딩 방법 및 다이렉트 본딩 기판을 제공함에 있다.

과제의 해결 수단

[0007] 본 개시에 따른 다이렉트 본딩 방법은 제1기판의 일면에 복수 개의 함몰부를 형성하는 단계; 상기 제1기판의 일면과 마주하여 배치되고, 상기 제1기판의 일면을 향하여 배치된 제2기판의 일면에 복수 개의 돌출부를 형성하는 단계; 상기 제1기판을 관통하는 복수 개의 비아홀을 형성하는 단계; 를 포함한다.

[0008] 본 개시에 따른 다이렉트 본딩 방법에 있어서, 상기 함몰부를 형성하는 단계는 상기 제1기판의 일면 및 타면에 일정두께의 실리콘질화막을 형성하는 단계, 상기 제1기판의 일면에 형성된 실리콘질화막 상부에 기설정된 각도로 서로 맞닿는 측벽을 포함하는 패턴을 형성하여 노출된 제1기판을 식각하는 단계를 포함한다.

[0009] 본 개시에 따른 다이렉트 본딩 방법에 있어서, 상기 돌출부를 형성하는 단계는,

[0010] 상기 제2기판의 일면 및 타면에 일정두께의 실리콘질화막을 형성하는 단계 상기 제2기판의 일면에 증착된 실리콘질화막 상부에 플레이트 형태의 바닥면의 양측과 상기 바닥면의 양측에 맞닿아 측벽을 포함하는 제1패턴과 제2패턴을 형성하여 식각하고 노출된 제1패턴과 제2패턴을 포함하는 제2기판을 식각하는 단계를 포함한다.

[0011] 본 개시에 따른 다이렉트 본딩 방법에 있어서, 상기 다이렉트 본딩 방법은 상기 제1패턴과 제2패턴을 포함하는 제2기판을 식각하는 단계 이후, 상기 제2기판에 형성된 제1패턴과 제2패턴에 기설정된 제3패턴으로 실리콘산화

막을 형성하는 단계; 상기 제1패턴과 대응되는 상기 제2기판의 타면에 일정두께의 실리콘질화막을 형성하고, 상기 실리콘질화막 상부에 실리콘산화막을 증착하여 제4패턴을 형성하는 단계; 상기 제2패턴과 대응되는 상기 제2기판의 타면에 실리콘산화막을 증착하여 제5패턴을 형성하는 단계를 포함한다.

- [0012] 본 개시에 따른 다이렉트 본딩 방법에 있어서, 상기 제5패턴형성이후,
- [0013] 상기 제2기판의 일면에 형성된 제2패턴을 딥 리액티브 이온 에칭(Dep Reactive Ion Etching, DRIE)을 사용하여 식각하는 단계, 상기 제2기판의 일면과 대응되는 상기 제2기판의 타면에 형성된 제4패턴을 딥 리액티브 이온 에칭(Dep Reactive Ion Etching, DRIE)을 사용하여 식각하는 단계를 포함한다.
- [0014] 본 개시에 따른 다이렉트 본딩 방법에 있어서, 상기 다이렉트 본딩 방법은 상기 딥 리액티브 이온 에칭(Dep Reactive Ion Etching, DRIE)을 사용하여 식각하는 단계 이후, 상기 제2기판의 타면의 제4패턴 및 제5패턴에 형성된 실리콘산화막을 제거하는 단계를 더 포함한다.
- [0015] 본 개시에 따른 다이렉트 본딩 방법에 있어서, 상기 제1기판 및 제2기판은 <100> 또는 <111> 군의 결정 배향을 갖는 실리콘을 포함한다.
- [0016] 본 개시에 따른 다이렉트 본딩 방법에 있어서, 상기 함몰부는 상기 함몰부의 측벽 각도는 30° 내지 90° 의 범위 내로 구성된다.
- [0017] 다음으로, 본 개시에 따른 다이렉트 본딩 기판은 제1기판의 일면에 형성된 복수 개의 함몰부; 상기 제1기판의 일면과 마주하여 배치되고, 상기 제1기판의 일면을 향하여 배치된 제2기판의 일면에 형성된 복수 개의 돌출부; 상기 제1기판을 관통하도록 형성된 복수 개의 비아홀; 을 포함한다.
- [0018] 본 개시에 따른 다이렉트 본딩 기판에 있어서, 상기 다이렉트 본딩 기판은 상기 제1기판과 제2기판에 반도체 제조 공정에 필요한 패턴이 형성되는 패턴형성부를 포함한다.

발명의 효과

- [0019] 본 개시의 다이렉트 본딩방법에 따르면, 키네마틱 커플링을 이용하여 기판과 기판이 정밀하게 본딩될 수 있도록 인장응력을 가지는 캔틸레버를 형성하여 정밀한 본딩이 가능하다.
- [0020] 또한, 본 개시의 다이렉트 본딩방법에 따르면, 기판에 비아홀이 형성되어 기판과 기판의 얼라인을 맞출 때 현미경 등과 같은 장비를 활용하여 더욱 정밀한 얼라인의 일치가 가능하다.

도면의 간단한 설명

- [0021] 도 1은 본 개시의 실시예에 따른 와이어 본딩과 플립칩 본딩 공정 모식도
- 도 2는 본 개시의 실시예에 따른 와이어 본딩과 플립칩 본딩 방법
- 도 3은 본 개시의 실시예에 따른 다이렉트 본딩 기판의 제조 방법 순서도
- 도 4는 본 개시의 실시예에 따른 제1기판의 일면에 복수 개의 함몰부를 형성하는 단계 순서도
- 도 5는 본 개시의 실시예에 따른 제1기판의 함몰부 형성 방법
- 도 6은 본 개시의 실시예에 따른 제2기판의 일면에 복수 개의 돌출부를 형성하는 단계 순서도
- 도 7은 본 개시의 실시예에 따른 제2기판의 돌출부 형성 방법
- 도 8은 본 개시에 따른 다이렉트 본딩 기판의 모식도

발명을 실시하기 위한 구체적인 내용

- [0022] 종래 와이어 본딩과 플립칩 본딩 방법과 같은 다이렉트 본딩은 wafer to wafer 또는 Die to Die 형태로 서로 마주보며 본딩 공정을 진행해야 하기 때문에 얼라인을 정밀하게 맞추기 어렵다는 문제가 있었다. 따라서 본 개시에서는 이러한 종래의 문제를 해결하기 위해 키네마틱 커플링과 얼라인을 이용하여 정밀하게 얼라인을 맞출 수 있는 다이렉트 본딩 기판의 제조 방법을 제안하고자 한다.
- [0023] 이하에서는 첨부된 도면을 참조로 본 개시에 대해 상세히 설명하도록 한다. 그러나, 이는 예시적인 것에 불과하고 본 개시가 예시적으로 설명된 구체적인 실시 형태로 제한되는 것은 아니다.

- [0024] 달리 정의되지 않는 한, 모든 기술적 용어 및 과학적 용어는 본 발명이 속하는 당업자 중 하나에 의해 일반적으로 이해되는 의미와 동일한 의미를 갖는다. 본 발명에서 설명을 위해 사용되는 용어는 단지 특정 구체예를 효과적으로 기술하기 위함이고 본 발명을 제한하는 것으로 의도되지 않는다.
- [0025] 또한, 명세서 및 첨부된 특허청구범위에서 사용되는 단수 형태는 문맥에서 특별한 지시가 없는 한 복수 형태도 포함하는 것으로 의도할 수 있다. 또한, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0026] 도 3은 본 개시의 실시예에 따른 다이렉트 본딩 기판의 제조 방법 순서도를 도시한 것으로, 도 3을 참조하면, 본 개시의 실시예에 따른 다이렉트 본딩 방법은 제1기판(100)의 일면에 복수 개의 함몰부(110)를 형성하는 단계(S100), 상기 제1기판(100)의 일면과 마주하여 배치되고, 상기 제1기판(100)의 일면을 향하여 배치된 제2기판(200)의 일면에 복수 개의 돌출부(210)를 형성하는 단계(S200), 상기 제1기판(100)을 관통하는 복수 개의 비아홀(300)을 형성하는 단계(S300)를 포함한다.
- [0027] 도 4는 본 개시의 실시예에 따른 제1기판(100)의 일면에 복수 개의 함몰부(110)를 형성하는 단계 순서도를 도시한 것이며, 도 5는 본 개시의 실시예에 따른 제1기판(100)의 함몰부(110) 형성 방법을 도시한 것이다. 도 4 및 도 5를 참조하면, 본 개시의 실시예에 따른 다이렉트 본딩 방법은 상기 제1기판(100)의 일면에 복수 개의 함몰부(110)를 형성하는 단계(S100)는 제1기판(100)의 일면 및 타면에 일정두께의 실리콘질화막(10)을 형성하는 단계(S110)를 포함한다. 도 5(a)를 참조하면, 상기 복수개의 함몰부(110)를 형성하기 위해서는 우선, 상기 제1기판(100)의 일면 및 타면에 실리콘질화막(10)을 형성하여야 하며, 화학적 기상 증착(chemical vapor deposition; CVD) 공정에 의해 100nm의 실리콘질화막(10)이 형성된다. 상기 제1기판(100)은 웨이퍼는 통상의 것이라면 제한되지 않고 사용될 수 있으며, 예를 들어 실리콘, 석영, 유리, 실리콘 웨이퍼, 금속 및 금속 산화물 등이 사용될 수 있으나, 이에 한정되지 않는다. 또한, 상기 실리콘질화막(10)은 SiN막, SiON막 및 도핑된 SiN막(doped SiN layer) 등을 포함할 수 있으며, 게이트 전극 등의 형성 시 절연막으로 주로 사용되는 막질을 의미하나, 실리콘 산화막 대비 실리콘 질화막을 선택적으로 식각하기 위한 목적을 가지는 기술분야라면 제한되지 않고 사용될 수 있다.
- [0028] 다음으로, 제1기판(100)의 일면에 형성된 실리콘질화막(10) 상부에 기설정된 각도로 서로 맞닿는 측벽을 포함하는 패턴을 형성하여 노출된 제1기판(100)을 식각하는 단계(S120)를 포함한다. 도 5(b)를 참조하면, 제1기판(100)의 일면에 포토리소그래피 공정 후 식각하여 V 자 형태의 함몰부(110)가 형성된다. 이때, 상기 제1기판(100)은 <100> 또는 <111> 군의 결정 배향을 갖는 실리콘을 포함하며, 식각용액으로 33%의 수산화칼륨(KOH)에 의해 식각이 진행된다. 실리콘 재질의 기판에서 V자 형태의 함몰부(110)를 형성하는 방법은 이방성 습식 에칭을 이용하는 것이다. 수산화칼륨(KOH) 용액은 실리콘의 <100> 과 <111> 결정면 사이에서 높은 식각 선택성을 나타낸다. 이때, <100> 평면은 <111> 평면보다 400배 더 빠른 속도로 식각이 진행된다. 따라서 이러한 우선 식각을 통해 측벽이 54.7° 인 V자 형태의 함몰부(110)에 대한 제작이 가능하며, 직사각형 형태의 패턴 마스크 개구의 치수를 계산하여 V 자 형태의 함몰부(110)에 대한 깊이 조절이 가능하다. 따라서 최종적으로 30° 내지 90° 범위의 일정각도를 가지는 복수의 측벽이 맞닿아 V 자 형태의 함몰부(110)가 형성되며, 상기 함몰부(110)는 100 μm의 깊이로 형성된다. V 자 형태의 함몰부(110)가 형성된 이후, 도 5(c)와 같이, 제1기판(100)의 일면 및 타면에 형성된 실리콘질화막(10)을 제거하여 함몰부(110)가 형성된 제1기판(100)을 최종적으로 제작한다.
- [0029] 본 개시의 실시예에 따르면, 상기 돌출부(210)를 형성하는 단계(S200)는 제2기판(200)의 일면 및 타면에 일정두께의 실리콘질화막(10)을 형성하는 단계(S210)를 포함한다. 도 7(a)를 참조하면, 상기 실리콘질화막(10)은 화학적 기상 증착(CVD) 공정에 의해 100nm의 두께로 증착되어 형성된다. 상기 제2기판(200)은 제1기판(100)과 마찬가지로 통상의 것이라면 제한되지 않고 사용될 수 있으며, 예를 들어 실리콘, 석영, 유리, 실리콘 웨이퍼, 금속 및 금속 산화물 등이 사용될 수 있으나, 이에 한정되지 않는다. 일례로, 상기 제2기판(200)은 제1기판(100)과 마찬가지로 <100> 또는 <111> 군의 결정 배향을 갖는 실리콘을 포함한다. 또한, 상기 실리콘질화막(10)은 SiN막, SiON막 및 도핑된 SiN막(doped SiN layer) 등을 포함할 수 있으며, 게이트 전극 등의 형성 시 절연막으로 주로 사용되는 막질을 의미하나, 실리콘산화막(20) 대비 실리콘질화막(10)을 선택적으로 식각하기 위한 목적을 가지는 기술분야라면 제한되지 않고 사용될 수 있다.
- [0030] 다음으로, 상기 제2기판의 일면에 증착된 실리콘질화막(10) 상부에 플레이트 형태의 바닥면의 양측과 상기 바닥면의 양측에 맞닿아 측벽을 포함하는 제1패턴(201)과 제2패턴(202)을 형성하여 식각하고 노출된 제1패턴(201)과 제2패턴(202)을 포함하는 제2기판(200)을 식각하는 단계(S220)를 포함한다. 도 7(b)를 참조하면, 제2기판(200)의 일면에 포토리소그래피 공정 후 제1패턴(201)과 제2패턴(202)을 식각하여 플레이트 형태의 바닥면의 양측과

상기 바닥면의 양측에 맞닿아 측벽을 포함하는 패턴을 형성한다. 상기 제1패턴(201)과 제2패턴(202)은 식각용액으로 33%의 KOH에 의해 식각이 진행된다. 이후 상기 제2기판(200)의 일면 및 타면에 형성된 절연막인 실리콘질화막(10)을 제거한다. 상세하게, 상기 실리콘질화막(10)은 165℃의 인산(H_3PO_4)에 의해 제거될 수 있다.

[0031] 다음으로, 도 7(c)를 참조하면, 제1패턴(201)과 제2패턴(202)을 포함하는 제2기판(200)을 식각하는 단계 이후, 상기 제2기판에 형성된 제1패턴(201)과 제2패턴(202)에 기설정된 제3패턴(203)으로 실리콘산화막(20)을 형성하는 단계(S230)를 포함한다. 상기 제1패턴(201)과 제2패턴(202)은 플레이트 형태의 바닥면의 양측과 상기 바닥면의 양측에 맞닿아 측벽을 포함하는 패턴형상으로 형성된다. 이때, 상기 제3패턴(203)은 바닥면의 일단과 끝단 일부와 상기 측벽에 실리콘산화막(20)이 형성되도록 구성된다. 상기 실리콘산화막(20)은 플라즈마화학증착(PECVD) 공정에 의해 100nm의 두께로 증착되어 형성된다.

[0032] 도 7(d)를 참조하면, 제1패턴(201)과 대응되는 상기 제2기판(200)의 타면에 일정두께의 실리콘질화막(10)을 형성하고, 상기 실리콘질화막(10) 상부에 실리콘산화막(20)을 증착하여 제4패턴(204)을 형성하는 단계(S240)를 포함한다. 상세하게, 플라즈마화학증착(PECVD) 공정으로 실리콘질화막(10)을 증착하여 압축응력($\sim 1\text{GPa}$)을 가지게 한다. 이후 플라즈마화학증착(PECVD) 공정으로 실리콘산화막(20)을 증착하여 패턴을 형성한다. 플라즈마화학기상증착(PECVD)공정을 이용하면 실리콘질화막(10)은 인장응력(Tensile stress)을 갖는다. 이와 같이, 인장응력을 갖는 실리콘질화막(10)을 형성하면 압축응력이 이완되는 효과가 있다. 따라서 키네마틱 얼라인먼트가 가능하도록 실리콘질화막(10)을 돌출부(210)가 형성되는 제2기판(200)의 타면에 형성하여 제1기판(100)의 함몰부(110)와 마주하여 배치될 수 있도록 한다. 따라서, 제1기판(100)과 제2기판(200)의 결합 시 키네마틱 얼라인먼트가 가능하여 다이렉트 본딩 기판의 얼라인을 맞추어 정밀한 패턴의 일치가 가능하게 되는 것이다.

[0033] 또한, 도 7(d)에 도시된 바와 같이, 상기 제2패턴(202)과 대응되는 상기 제2기판(200)의 타면에 실리콘산화막(20)을 증착하여 제5패턴(205)을 형성하는 단계(S250)를 포함한다. 상기 제2기판(200)의 타면에 제4패턴(204)과 제5패턴(205)을 형성함으로써 식각과정을 통해 제4패턴(204)은 돌출부(210)로, 제5패턴(205)은 상기 돌출부(210)를 지지하는 캔틸레버로 형성될 수 있다.

[0034] 상기 제5패턴(205)형성후, 도 7(e)에 도시된 바와 같이, 상기 제2기판(200)의 일면에 형성된 제2패턴(202)을 딥 리액티브 이온 에칭(Deep Reactive Ion Etching, DRIE)를 사용하여 식각하는 단계(S260)를 포함한다. 또한, 도 7(f)에 도시된 바와 같이, 이후 상기 제2기판(200)의 일면과 대응되는 상기 제2기판의 타면에 형성된 제4패턴(204)을 DRIE를 사용하여 식각하는 단계(S260)를 포함한다. 상기 딥 리액티브 이온 에칭(Deep Reactive Ion Etching, DRIE)공정은 기판의 두께 조절을 높은 선택비(selectivity) 및 높은 식각 속도(Etch rate)로 건식식각을 이용하여 이방성 식각을 진행할 수 있는 공정으로, CF_4 가스를 베이스로 하여 식각이 진행된다. 딥 리액티브 이온 에칭(Deep Reactive Ion Etching, DRIE) 공정시 식각률(etch rate)을 고려하여 식각하고자 하는 실리콘 기판의 식각 깊이를 조절할 수 있다. 따라서 본 개시에서는 제2기판(200)의 일면과 타면에 형성된 제4패턴(204)을 딥 리액티브 이온 에칭(Deep Reactive Ion Etching, DRIE)을 이용하여 제2기판(200)의 제4패턴(204)과 제5패턴(205)을 식각하여 제4패턴(204)의 실리콘질화막(10)에 의해 형성되는 캔틸레버에 의해 지지되는 돌출부(210)를 형성할 수 있다. 상기 돌출부(210)는 제4패턴(204)의 식각으로 형성된다.

[0035] 상기 딥 리액티브 이온 에칭(Deep Reactive Ion Etching, DRIE)을 이용한 식각 단계 이후, 도 7(g)에 도시된 바와 같이, 상기 제2기판(200)의 일면과 타면의 실리콘산화막(20)을 제거하여 돌출부(210)가 형성된 제2기판(200)으로 구성된 다이렉트 본딩 기판이 제작될 수 있다.

[0036] 또한, 상기 제1기판(100)은 복수 개 이상의 비아홀(300)이 형성될 수 있으며, 상세하게는, 상기 제2기판(200)의 각 모서리 부분에 형성되어 제2기판과 결합 시 상기 제1기판(100)의 함몰부(110)와 상기 제2기판의 돌출부(210)가 더욱 정밀하게 결합되도록 구성된다. 상세하게는 상기 비아홀(300)은 제1기판(100)의 측면에 각각 형성될 수 있다. 더욱 상세하게는, 상기 비아홀(300)은 제1기판(100)의 두께 조절을 통한 딥 리액티브 이온 에칭(Deep Reactive Ion Etching, DRIE)의 건식 식각을 이용하여 제1기판(100)을 완전히 관통하도록 형성될 수 있다.

[0037] 도 8은 본 개시에 따른 다이렉트 본딩 기판의 모식도이다. 본 개시의 다이렉트 본딩 기판(1000)은 제1기판(100)의 일면에 형성된 복수 개의 함몰부(110), 상기 제1기판(100)의 일면과 마주하여 배치되고, 상기 제1기판(100)의 일면을 향하여 배치된 제2기판(200)의 일면에 형성된 복수 개의 돌출부(210), 상기 제1기판(100)을 관통하도록 형성된 복수 개의 비아홀(300)을 포함한다.

[0038] 본 개시에 따른 상기 다이렉트 본딩 기판(1000)은 상기 제1기판(100)과 제2기판에 반도체 제조 공정에 필요한 패턴이 형성되는 패턴형성부(400)를 포함한다. 상기 패턴형성부(400)는 패턴이 형성되어 반도체 칩이 본딩될 수

있는 공간과 제1기관(100)과 제2기관(200)이 전기적으로 연결되도록 접합하는 접합부가 형성될 수 있다. 이에 따라, 제1기관(100)과 제2기관(200)의 패턴형성부(400)에 형성된 패턴에 반도체 칩 또는 접합부가 형성되고, 제1기관(100)에 형성된 비아홀(300)에 의해 1차적으로 정밀한 얼라인의 일치가 가능하고, 제1기관(100)의 함몰부와 제2기관(200)의 돌출부(210)가 결합되어 2차적으로 정밀한 본딩이 가능하여 반도체 칩의 제조 수율이 향상될 수 있으며 생산성의 증대가 가능하다.

[0039] 따라서, 본 개시의 다이렉트 본딩방법은 키네마틱 커플링을 이용하여 기관과 기관이 정밀하게 본딩될 수 있도록 인장응력을 가지는 캔틸레버를 형성하여 정밀한 본딩이 가능하다. 또한, 본 개시의 다이렉트 본딩방법은 기관에 비아홀이 형성되어 기관과 기관의 얼라인을 맞출 때 현미경 등과 같은 장비를 활용하여 더욱 정밀한 얼라인의 일치가 가능하다.

[0040] 위에서 설명된 내용은 단지 본 개시의 원리를 적용한 예시일 뿐이며, 본 발명의 범위를 벗어나지 않는 범위에서 다른 구성이 더 포함될 수 있다.

부호의 설명

[0041] 1000 : 다이렉트 본딩 기관

10 : 실리콘질화막

20 : 실리콘산화막

100 : 제1기관

110 : 함몰부

200 : 제2기관

201 : 제1패턴

202 : 제2패턴

203 : 제3패턴

204 : 제4패턴

205 : 제5패턴

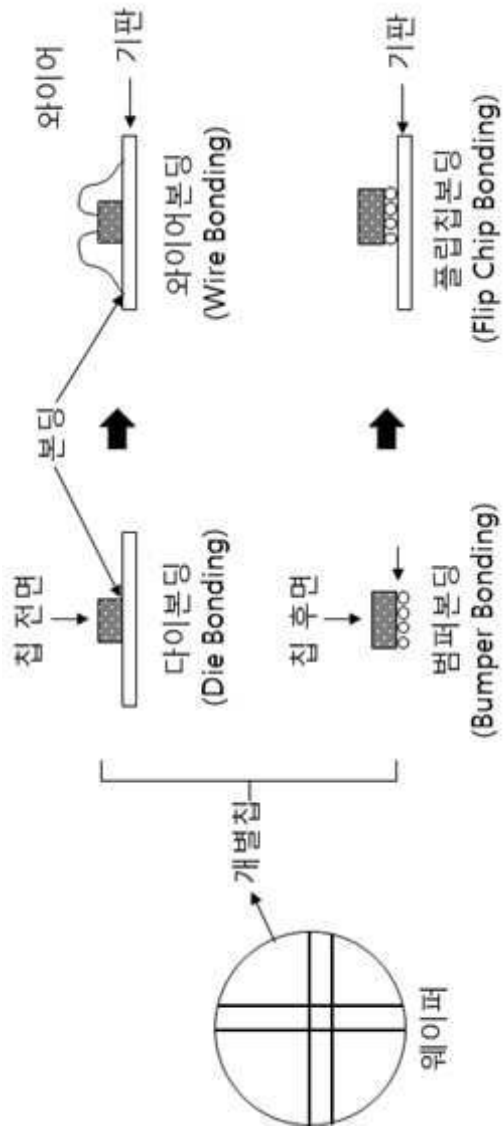
210 : 돌출부

300 : 비아홀

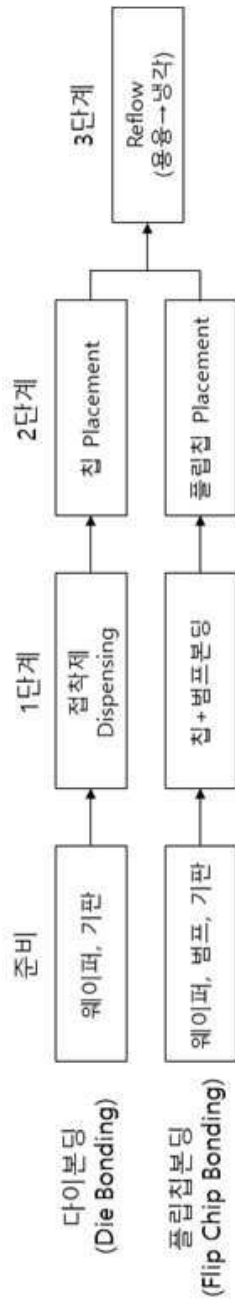
400 : 패턴형성부

도면

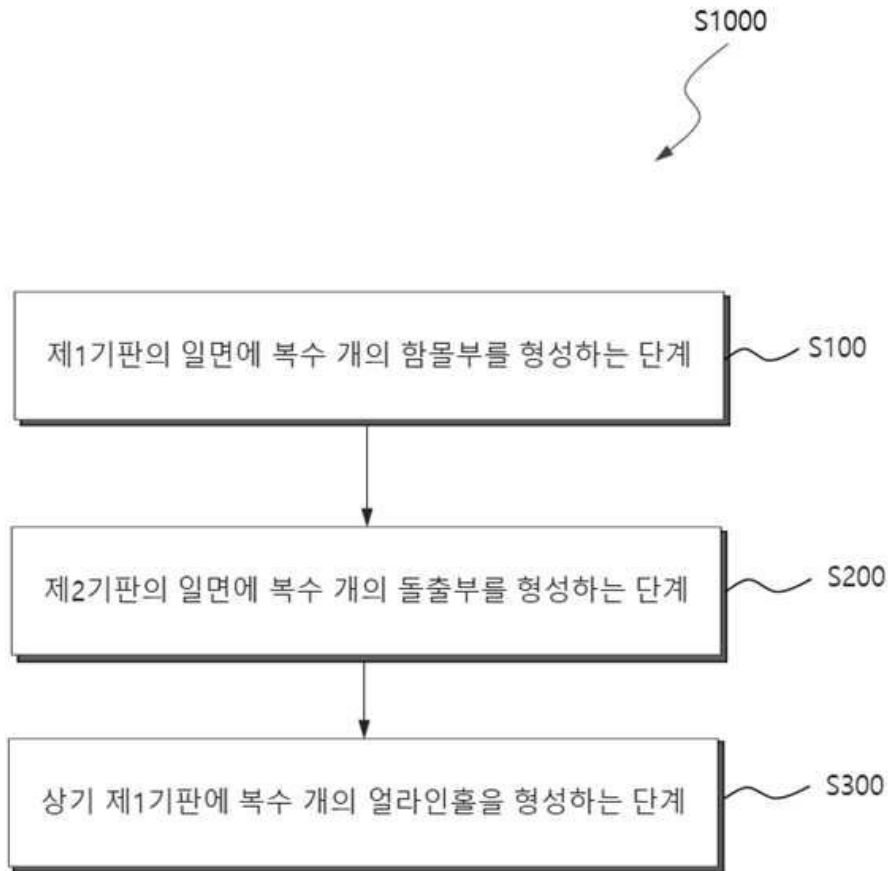
도면1



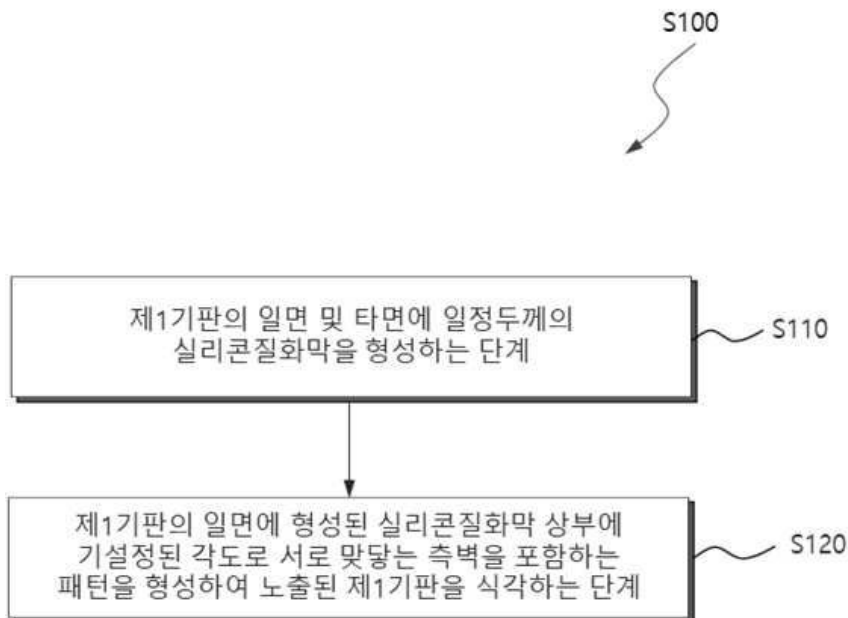
도면2



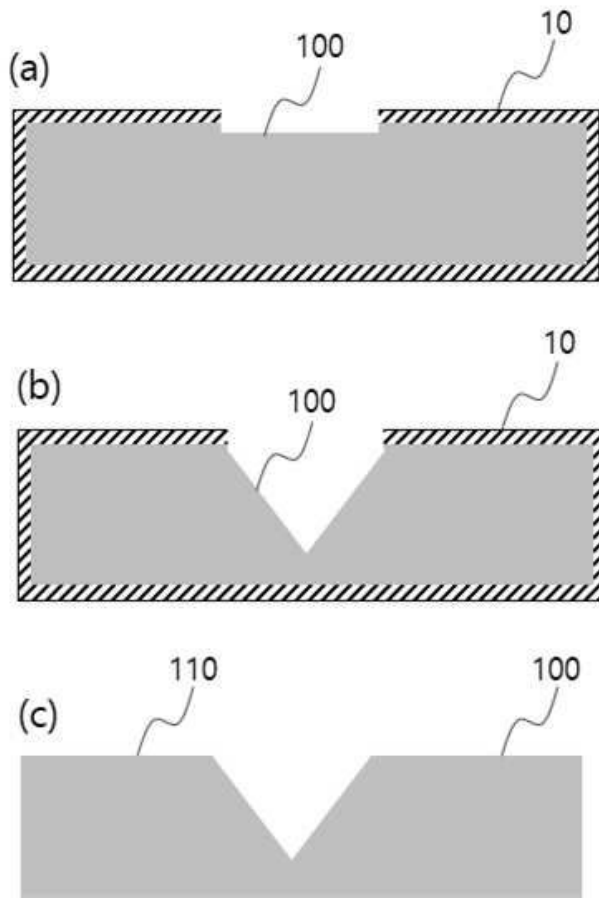
도면3



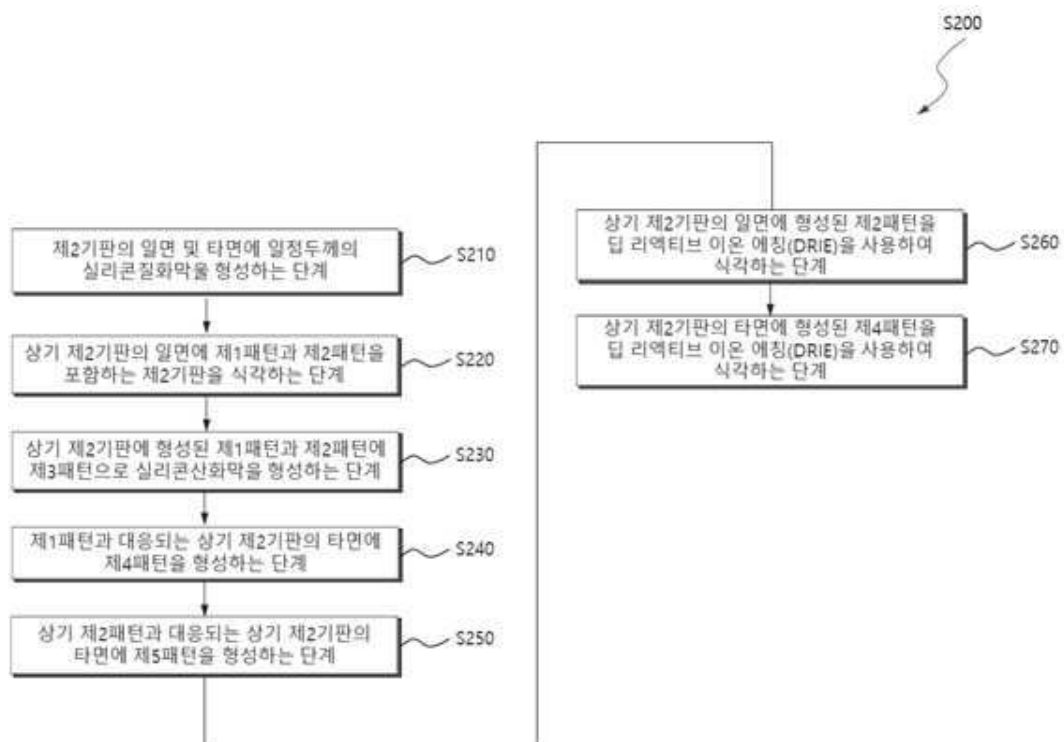
도면4



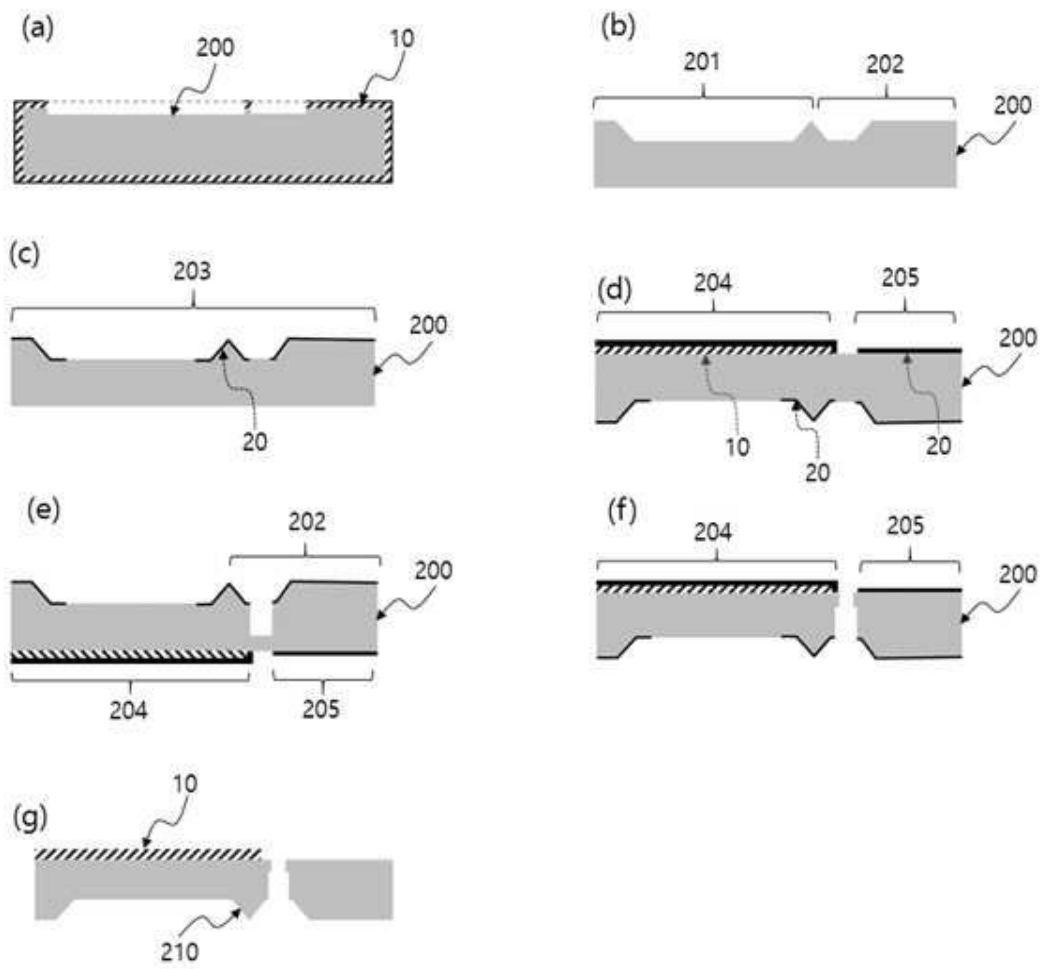
도면5



도면6



도면7



도면8

