



## 【特許請求の範囲】

## 【請求項 1】

発光素子と、第1乃至第4のTFTと、電源線とを有し、  
前記第1乃至第4のTFTはn型であり、  
前記第1のTFTのソースとドレインのいずれか一方は、第2のTFTのゲートに接続  
されており、  
前記第2のTFTのソースとドレインは、一方が前記電源線に、他方が前記発光素子の  
陽極に接続されており、

前記第3のTFTのゲートは前記発光素子の陽極に、前記第3のTFTのソースとドレ  
インは、一方が前記電源線に、他方が前記発光素子の陽極に接続されており、

前記第4のTFTのソースとドレインは、いずれか一方が前記第2のTFTのゲートに  
、他方が前記発光素子の陽極に接続されていることを特徴とする発光装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、電流を発光素子に供給するための手段と発光素子とが、複数の各画素に備え  
られた発光装置の駆動方法及び発光装置に関する。

## 【背景技術】

## 【0002】

発光素子は自ら発光するため視認性が高く、液晶表示装置（LCD）で必要なバックラ  
イトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため発光素子を用  
いた発光装置は、CRTやLCDに代わる表示装置として注目されており、実用化が進め  
られている。発光装置は、パッシブマトリクス型とアクティブマトリクス型とに分類でき  
る。アクティブマトリクス型はビデオ信号の入力後も発光素子への電流の供給をある程度  
維持することができるので、パネルの大型化、高精細化に柔軟に対応することができ、今  
後の主流となりつつある。具体的に提案されているアクティブマトリクス型発光装置にお  
ける画素の構成は、メーカーによって異なっており、それぞれに特色のある技術的工夫が  
凝らされているが、通常少なくとも、発光素子と、画素へのビデオ信号の入力を制御する  
トランジスタと、該発光素子に電流を供給するためのトランジスタとが各画素に設けられ  
ている。

## 【0003】

発光装置の画素に設けられるトランジスタには、薄膜の半導体膜を活性層に用いた薄膜  
トランジスタ（TFT）が主に用いられている。TFTの中でも特に、アモルファス半導  
体、セミアモルファス半導体（微結晶半導体）を用いたTFTは多結晶半導体を用いたT  
FTよりも作製工程が少ない分、コスト、歩留まりを高くすることができるというメリッ  
トを有している。また半導体膜の成膜後に結晶化の工程を設ける必要がないので、比較的  
パネルの大型化が容易である。

## 【0004】

ところで、発光装置の実用化にあたって問題となっているのは、電界発光材料の劣化に  
伴う発光素子の輝度の低下である。電界発光材料の劣化の度合いは、発光している時間や  
流れる電流の量に依存するため、表示する画像によって画素毎の階調が異なると、各画素  
の発光素子の劣化に差が生じ、輝度にばらつきが生じてしまう。そこで下記特許文献1に  
は、発光素子に供給する電流を制御するためのトランジスタを飽和領域で動作させること  
で、電界発光層の劣化に関わらず、該トランジスタがオンのときのドレイン電流を一定に  
保つことで、輝度の低下を抑えることについて記載されている。

## 【先行技術文献】

## 【特許文献】

## 【0005】

## 【特許文献1】特開2002-108285号公報

## 【発明の概要】

10

20

30

40

50

## 【発明が解決しようとする課題】

## 【0006】

以下、アモルファス半導体またはセミアモルファス半導体で形成されたTFTを画素に用い、なおかつ発光素子に電流を供給するためのトランジスタを飽和領域で動作させる場合に浮上する問題点について、説明する。

## 【0007】

セミアモルファス半導体とは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。このセミアモルファス半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を0.5~20nmとして非単結晶半導体中に分散させて存在せしめることができる。また、未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。ここでは便宜上、このような半導体をセミアモルファス半導体（SAS）と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なSASが得られる。このようなSAS半導体に関する記述は、例えば、米国特許4,409,134号で開示されている。

10

## 【0008】

実際にアモルファス半導体またはセミアモルファス半導体で形成されたTFTを、発光素子に電流を供給するためのトランジスタ（駆動用TFT）として用いる場合、ある程度の移動度を確保することができるn型のTFTが用いられる。そして発光素子は、陽極と、陰極と、陽極と陰極の間に設けられた電界発光層とを有しており、一般的に陽極が、発光素子に電流を供給するためのトランジスタのソースまたはドレインと接続されている。

20

## 【0009】

図19（A）に、p型の駆動用TFTと発光素子との接続構成を示す。なお、電位Vd>電位Vssとする。図19（A）に示すように、p型の駆動用TFT10は、発光素子11と直列に接続されている。p型のTFTは、電位の高い方がソース（S）、低い方がドレイン（D）となるので、p型の駆動用TFT10のソースは電位Vddが供給され、ドレインには発光素子11の陽極が接続され、発光素子11の陰極には電位Vssが供給される。

30

## 【0010】

駆動用TFT10のゲート（G）に、画素に入力されたビデオ信号に従って電位が供給されると、駆動用TFT10のゲートとソース間の電位差（ゲート電圧）Vgsが生じ、該Vgsに応じた駆動用TFT10のドレイン電流が発光素子11に供給される。図19（A）の場合、駆動用TFT10のソースに固定の電位Vddが供給されているので、ゲート電圧Vgsはゲートに供給された電位によってのみ決まる。

## 【0011】

次に図19（B）に、n型の駆動用TFTと発光素子との接続構成を示す。図19（B）に示すように、n型の駆動用TFT20は、発光素子21と直列に接続されている。n型のTFTは、電位の低い方がソース（S）、高い方がドレイン（D）となるので、n型の駆動用TFT20のドレインには電位Vddが供給され、ソースは発光素子21の陽極が接続され、発光素子21の陰極には電位Vssが供給される。

40

## 【0012】

駆動用TFT20のゲート（G）に、画素に入力されたビデオ信号に従って電位が供給されると、駆動用TFT20のゲートとソース間に電位差（ゲート電圧）Vgsが生じ、該Vgsに応じた駆動用TFT20のドレイン電流が発光素子21に供給される。しかし図19（B）の場合、駆動用TFT20のソースに供給される電位は図19（A）の場合とは異なり固定ではなく、駆動用TFT20のソースとドレイン間の電圧（ドレイン電圧）Vdsと、発光素子21の陽極と陰極間の電圧Ve1によって決まる。従って、ゲート電圧Vgsはゲートに供給された電位によってのみ決まらず、同一の画像情報を有するビデオ信号を画素に入力しても、駆動用TFT20のドレイン電流が同じ大きさに保てず、

50

発光素子 2 1 の輝度が異なってしまうという事態が生じうる。

【 0 0 1 3 】

特に駆動用 TFT 2 0 を飽和領域で動作させた場合、線形領域で動作させた場合と比べてドレイン電圧  $V_{ds}$  が大きくなる。そのため、ビデオ信号に従って駆動用 TFT 2 0 のゲートに電位を与える際に、ソースの電位を固定にしておくことが困難になり、画素が所望の階調を表示できなくなる。

【 0 0 1 4 】

なお上述した問題は、駆動用 TFT が n 型のときにだけに生じるわけではない。駆動用 TFT が p 型であっても、駆動用 TFT のドレインに発光素子の陰極が接続されているような画素の場合、ビデオ信号に従って p 型の駆動用 TFT のゲートに電位を与える際に、ソースの電位を固定にしておくことが困難になり、画素が所望の階調を表示できなくなるという問題が生じる。

【 0 0 1 5 】

本発明は上述した問題に鑑み、n 型の駆動用 TFT と発光素子の陽極とが接続されている場合、或いは p 型の駆動用 TFT と発光素子の陰極とが接続されている場合において、駆動用 TFT を飽和領域で動作させ、なおかつビデオ信号に従って所望の階調を表示することができる、発光装置の駆動方法と、該駆動方法を用いた発光装置の提供を課題とする。

【 課題を解決するための手段 】

【 0 0 1 6 】

本発明者は、発光素子の非線形性を生かすことで、画像情報を有するビデオ信号に従って駆動用 TFT のゲート電圧を確実に書き込むことができるのではないかと考えた。本発明では、ビデオ信号に従って駆動用 TFT のゲートに画像情報を有する電位を与える際に、直列に接続されている駆動用 TFT と発光素子に逆方向バイアスの電圧を印加し、ビデオ信号に従って画素が表示を行なう際に、駆動用 TFT と発光素子に順方向バイアスの電圧を印加する。

【 0 0 1 7 】

図 1 を用いて、本発明の駆動方法についてより具体的に説明する。図 1 ( A ) は、ビデオ信号を画素に入力する期間 ( 書き込み期間 ) における、n 型の駆動用 TFT と発光素子との接続構成と、各素子に供給される電位の関係を示している。書き込み期間では、直列に接続された駆動用 TFT 1 0 0 と発光素子 1 0 1 に、逆方向バイアスの電圧が印加される。具体的には、駆動用 TFT はソースに電位  $V_{ss}$  が供給され、ドレインが発光素子 1 0 1 の陽極に接続されている。そして発光素子の陰極には電位  $V_{ss}$  よりも高い電位  $V_{dd}$  が供給されている。

【 0 0 1 8 】

なお TFT は、ゲート、ソース、ドレインの 3 つの電極を有しており、ゲート以外の 2 つの電極 ( 第 1 の電極、第 2 の電極 ) は、与えられる電位の高さによってソースに相当することもあるし、ドレインに相当することもある。n 型の TFT の場合、電位の低い電極がソースに、高い電極がドレインに相当する。本明細書では、より発光素子の陽極に近い電極を第 1 の電極とする。

【 0 0 1 9 】

このとき、発光素子 1 0 1 は非線形素子であるため、陽極と陰極の間の電圧  $V_{el}$  は駆動用 TFT のドレイン電圧  $V_{ds}$  に対して非常に大きくなる。よって、駆動用 TFT 1 0 0 と発光素子 1 0 1 の接続のノード ( node A ) における電位は限りなく  $V_{ss}$  に近くなる。つまり、node A の電位はほぼ固定された状態とみなすことができる。なお書き込み期間において node A は、発光素子 1 0 1 の陽極と駆動用 TFT のドレインとの間の接続点に相当する。

【 0 0 2 0 】

この状態で駆動用 TFT 1 0 0 のゲートに、ビデオ信号に従って電位  $V_g$  を供給することで、電位  $V_{ss}$  と電位  $V_g$  との電位差が、容量素子 1 0 2 に保持される。

10

20

30

40

50

## 【0021】

次に図1(B)に、画素が表示を行なう期間(表示期間)における、n型の駆動用TFTと発光素子との接続構成と、各素子に供給される電位の関係を示す。表示期間では、直列に接続された駆動用TFT100と発光素子101に順方向バイアスの電圧が印加される。具体的には、駆動用TFTはドレインに電位Vddが供給され、ソースが発光素子101の陽極に接続されている。そして発光素子の陰極には電位Vssが供給されている。

## 【0022】

このとき、node Aは駆動用TFT100のソースと発光素子101の陽極との間の接続点に相当する。よって、容量素子102に保持されている電位Vssと電位Vgの電位差が、駆動用TFT100のゲート電圧Vgsとなり、該ゲート電圧Vgsに見合った大きさのドレイン電流が発光素子101に供給される。従って本発明では、電位Vssが固定であるため、駆動用TFT100のゲート電圧Vgsはゲートに供給された電位Vgによってのみ決まる。

10

## 【0023】

なお本発明において駆動用TFTはn型に限定されず、p型であっても良い。ただし駆動用TFTがp型の場合、駆動用TFTと発光素子の陰極とが接続されているものとする。

20

## 【0024】

本発明では、セミアモルファス半導体膜を少なくともチャネル形成領域に用いていれば良い。またチャネル形成領域は、その膜厚方向において全てセミアモルファス半導体である必要はなく、少なくとも一部にセミアモルファス半導体を含んでいれば良い。

20

## 【0025】

また本明細書において発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的にはOLED(Organic Light Emission Diode)や、FED(Field Emission Display)に用いられているMIM型の電子源素子(電子放出素子)等が含まれる。

20

## 【0026】

また発光装置は、発光素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該発光装置を作製する過程における、発光素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を発光素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、発光素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、パターニングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

30

## 【0027】

発光素子の1つであるOLED(Organic Light Emission Diode)は、電場を加えることで発生するルミネッセンス(Electroluminescence)が得られる電界発光材料を含む層(以下、電界発光層と記す)と、陽極層と、陰極層とを有している。電界発光層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。具体的には、ホール注入層、ホール輸送層、発光層、電子注入層、電子輸送層等が電界発光層に含まれる。電界発光層を構成する層の中に、無機化合物を含んでいる場合もある。電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とが含まれる。

40

## 【発明の効果】

## 【0028】

本発明は上記構成により、n型の駆動用TFTを飽和領域で動作させ、なおかつビデオ信号に従って所望の階調を表示することができる。また、駆動用TFTを飽和領域で動作させることで、ドレイン電流がドレイン電圧Vdsによって変化せず、ゲート電圧Vgsのみによって定まるので、発光素子の劣化に伴ってV<sub>e1</sub>が大きくなる代わりにVdsが

50

小さくなっても、ドレイン電流の値は比較的一定に保たれる。よって、電界発光材料の劣化に伴う発光素子の輝度の低下や輝度むらの発生を抑えることができる。

【図面の簡単な説明】

【0029】

【図1】駆動用TFTと発光素子との接続構成と、各素子に供給される電位の関係を示す図。

【図2】画素部の回路図。

【図3】本発明の発光装置の駆動方法を示す図。

【図4】画素部の回路図。

【図5】本発明の発光装置の構成を示す図。

10

【図6】画素の回路図。

【図7】本発明の発光装置の駆動方法を示す図。

【図8】本発明の発光装置に用いられる素子基板の概観図。

【図9】駆動回路と画素部の断面図。

【図10】画素の回路図と、断面図。

【図11】発光装置の作製方法を示す図。

【図12】発光装置の作製方法を示す図。

【図13】発光装置の作製方法を示す図。

【図14】画素の上面図。

20

【図15】画素の断面図。

【図16】シフトレジスタの一形態を示す図。

【図17】本発明の発光装置の上面図及び断面図。

【図18】本発明の発光装置を用いた電子機器の図。

【図19】駆動用TFTと発光素子との接続構成を示す図。

【図20】本発明の発光装置の駆動方法を示す図。

【発明を実施するための形態】

【0030】

図2に、本発明の駆動方法を用いて表示を行なう発光装置の、画素部の構成を示す。図2に示すように、画素部には複数の画素200がマトリクス状に設けられており、各画素200への各種信号、電位の供給は、信号線S1～Sx、走査線G1～Gy、電源線V1～Vxを介して行なわれる。

30

【0031】

各画素200には、発光素子201と、画素200へのビデオ信号の入力を制御するTFT(スイッチング用TFT)202と、発光素子201への電流の供給を制御する駆動用TFT203とが設けられている。また図2では、画素200に容量素子204を駆動用TFT203とは別個に形成しているが、本発明はこの構成に限定されない。容量素子204を駆動用TFT203とは別個に形成せずとも、駆動用TFT203のゲート電極と活性層の間に形成される容量(ゲート容量)を容量素子204として用いても良い。スイッチング用TFT202と、駆動用TFT203は共にn型のTFTである。

40

【0032】

スイッチング用TFT202は、ゲートが走査線Gj(j=1～y)に接続されている。またスイッチング用TFT202のソースとドレインは、一方が信号線Si(i=1～x)に、他方が駆動用TFT203のゲートに接続されている。駆動用TFT203のソースとドレインは、一方が電源線Vi(i=1～x)に、他方が発光素子201の陽極に接続されている。容量素子204が有する2つの電極は、一方が駆動用TFT203のゲートに、他方が発光素子201の陽極に接続されている。

【0033】

なお図2に示す画素の構成は、本発明の駆動方法を用いることができる発光装置の一形態に過ぎず、本発明の駆動方法を用いることができる発光装置は、図2に示す構成に限定されない。

50

## 【0034】

次に、図2に示す画素部の駆動方法について説明する。本発明の駆動方法は、書き込み期間と、逆バイアス期間と、表示期間とに分けて説明することができる。図3(A)に、書き込み期間 $T_a$ と、逆バイアス期間 $T_r$ と、表示期間 $T_d$ のタイミングの一例を示す。

## 【0035】

まず、逆バイアス期間 $T_r$ が開始されると、直列に接続されている駆動用TFT203と発光素子201に、逆方向バイアスの電圧が印加される。具体的には、電源線 $V_1 \sim V_x$ に電位 $V_{ss}$ が、発光素子201の陰極に電位 $V_{ss}$ よりも高い電位 $V_{dd}$ が供給される。

## 【0036】

そして書き込み期間 $T_a$ が開始される。なお本発明の駆動方法では、逆バイアス期間 $T_r$ 中に書き込み期間 $T_a$ が存在する。書き込み期間 $T_a$ が開始されると、走査線 $G_1 \sim G_y$ が順に選択され、各画素のスイッチング用TFT202がオンになる。そして信号線 $S_1 \sim S_x$ にビデオ信号が供給されると、スイッチング用TFT202を介して、駆動用TFT203のゲートに該ビデオ信号の電位 $V_g$ が供給される。

10

## 【0037】

このとき、発光素子201は非線形素子であるため、逆方向バイアスの電圧が印加されると、発光素子201の陽極と陰極間の電圧 $V_{el}$ は、駆動用TFT203のドレイン電圧 $V_{ds}$ よりも著しく大きくなる。よって、発光素子201の陽極の電位は限りなく電源線 $V_1 \sim V_x$ の電位 $V_{ss}$ に近くなり、電位 $V_{ss}$ とビデオ信号の電位 $V_g$ との間の電位差が容量素子204に蓄積され、保持される。

20

## 【0038】

書き込み期間 $T_a$ が終了しスイッチング用TFT202がオフすると、逆バイアス期間 $T_r$ が終了し、次に、表示期間 $T_d$ が開始される。

## 【0039】

表示期間では、直列に接続されている駆動用TFT203と発光素子201に、順方向バイアスの電圧が印加される。具体的には、電源線 $V_1 \sim V_x$ に電位 $V_{dd}$ よりも高い電位 $V_{dd'}$ が、発光素子201の陰極に電位 $V_{dd}$ が供給される。

30

## 【0040】

なお本実施の形態では、逆バイアス期間 $T_r$ と表示期間 $T_d$ の両期間において陰極に供給される電位を一定に保っているが、本発明はこの構成に限定されない。逆バイアス期間 $T_r$ において、駆動用TFT203がオンのときに発光素子201に逆方向バイアスの電圧が印加されるようにし、表示期間 $T_d$ において、駆動用TFT203がオンのときに発光素子201に順方向バイアスの電圧が印加されるようにすれば良い。

## 【0041】

順方向バイアスの電圧が印加されると、駆動用TFT203はn型であるため、駆動用TFT203のソースが発光素子201の陽極と接続されていることになる。よって、容量素子204に保持されている、電位 $V_{ss}$ とビデオ信号の電位 $V_g$ との間の電位差は、そのまま駆動用TFT203のゲート電圧 $V_{gs}$ となる。よって駆動用TFT203は、該ゲート電圧 $V_{gs}$ に見合った大きさのドレイン電流を、発光素子201に供給する。

40

## 【0042】

図3(B)に、各期間における走査線 $G_1 \sim G_y$ と電源線 $V_1 \sim V_x$ のタイミングチャートを示す。同じ走査線を共有している画素を一行と見たとき、各行において書き込み期間 $T_a$ は順に出現している。また各書き込み期間 $T_a$ は逆バイアス期間 $T_r$ 内に存在している。なお、書き込み期間 $T_a$ と逆バイアス期間 $T_r$ を完全に重ねることも可能であるが、逆バイアス期間 $T_r$ を書き込み期間 $T_a$ よりも長めに取ることで、電源線 $V_1 \sim V_x$ の電位の変動による雑音などの影響を避けることができる。

## 【0043】

なお本発明において駆動用TFTはn型に限定されず、p型であっても良い。ただし駆動用TFTがp型の場合、駆動用TFTと発光素子の陰極とが接続されているものとする

50

。

## 【0044】

なお図3(A)では、ビデオ信号がアナログである場合の、書き込み期間と、逆バイアス期間と、表示期間のタイミングの一例を示したが、本発明においてビデオ信号はデジタルであっても良い。例えばデジタルのビデオ信号を用いて、時間階調により階調を表示する場合、図7(A)に示すように、書き込み期間 $T_a$ と、逆バイアス期間 $T_r$ と、表示期間 $T_d$ の各期間をデジタル信号のビットごとに設ければ良い。

## 【0045】

なお本実施の形態では、画素部のTFTが、アモルファス半導体またはセミアモルファス半導体を用いている例を示したが、本発明はこの構成に限定されない。本発明の駆動方法は、画素部のTFTが多結晶半導体を用いている発光装置にも適用可能である。

10

## 【実施例1】

## 【0046】

本実施例では、図2に示した画素部において、電源線を走査線と並列に配置し、一つの走査線駆動回路で走査線と電源線の電位を制御する、発光装置の一形態について説明する。

。

## 【0047】

図4に、本実施例の発光装置における画素部400の構成を示す。図4において画素401は、図2に示した画素部と同様に、発光素子405、スイッチング用TFT402、駆動用TFT403、容量素子404とを有している。各素子の接続関係は図2に示した画素200と同じである。ただし本実施例では、電源線 $V_1 \sim V_y$ が走査線 $G_1 \sim G_y$ と並列に配置されている。

20

## 【0048】

次に、図4に示す画素部の駆動方法について説明する。本発明の駆動方法は、書き込み期間 $T_a$ と、逆バイアス期間 $T_r$ と、表示期間 $T_d$ とに分けて説明することができる。図20(A)に、書き込み期間 $T_a$ と、逆バイアス期間 $T_r$ と、表示期間 $T_d$ のタイミングの一例を示す。また、全ての画素において逆バイアス期間 $T_r$ が開始されて終了するまでのトータルの期間を、 $T_w$ として示す。

## 【0049】

まず、逆バイアス期間 $T_r$ が開始されると、発光素子405の陰極に電位 $V_{ss}$ よりも高い電位 $V_{dd}$ が供給され、電源線 $V_1 \sim V_y$ に、順に電位 $V_{ss}$ が供給される。よって、直列に接続されている駆動用TFT403と発光素子405に、逆方向バイアスの電圧が各行の画素に順に印加されることになる。

30

## 【0050】

そして書き込み期間 $T_a$ が開始される。なお本発明の駆動方法では、各行ごとに、書き込み期間 $T_a$ が逆バイアス期間 $T_r$ 中に存在している。書き込み期間 $T_a$ が開始されると、走査線 $G_1 \sim G_y$ が順に選択され、各画素のスイッチング用TFT402がオンになる。そして信号線 $S_1 \sim S_x$ にビデオ信号が供給されると、スイッチング用TFT402を介して、駆動用TFT403のゲートに該ビデオ信号の電位 $V_g$ が供給される。

40

## 【0051】

このとき、発光素子405は非線形素子であるため、逆方向バイアスの電圧が印加されると、発光素子405の陽極と陰極間の電圧 $V_{el}$ は、駆動用TFT403のドレン電圧 $V_{ds}$ よりも著しく大きくなる。よって、発光素子405の陽極の電位は限りなく電源線 $V_1 \sim V_y$ の電位 $V_{ss}$ に近くなり、電位 $V_{ss}$ とビデオ信号の電位 $V_g$ との間の電位差が容量素子404に蓄積され、保持される。

## 【0052】

書き込み期間 $T_a$ が終了しスイッチング用TFT402がオフすると、逆バイアス期間 $T_r$ が終了し、次に、表示期間 $T_d$ が開始される。

## 【0053】

表示期間では、直列に接続されている駆動用TFT403と発光素子405に、順方向

50

バイアスの電圧が順に印加される。具体的には、発光素子 405 の陰極に電位  $V_{dd}$  が供給され、電源線  $V_1 \sim V_y$  に電位  $V_{dd}$  よりも高い電位  $V_{dd}'$  が順に供給される。

【0054】

図4に示す発光装置では、逆バイアス期間  $T_r$  と表示期間  $T_d$  の両期間において陰極に供給される電位を一定に保つ。

【0055】

順方向バイアスの電圧が印加されると、駆動用 TFT403 は n 型であるため、駆動用 TFT403 のソースが発光素子 405 の陽極と接続されていることになる。よって、容量素子 404 に保持されている、電位  $V_{ss}$  とビデオ信号の電位  $V_g$  との間の電位差は、そのまま駆動用 TFT403 のゲート電圧  $V_{gs}$  となる。よって駆動用 TFT403 は、該ゲート電圧  $V_{gs}$  に見合った大きさのドレイン電流を、発光素子 405 に供給する。  
10

【0056】

図20(B)に、各期間における走査線  $G_1 \sim G_y$  と電源線  $V_1 \sim V_y$  のタイミングチャートを示す。同じ走査線を共有している画素を一行と見たとき、各行において書き込み期間  $T_a$  は順に出現している。また各書き込み期間  $T_a$  は対応する逆バイアス期間  $T_r$  内に存在している。なお、書き込み期間  $T_a$  と逆バイアス期間  $T_r$  を完全に重ねることも可能であるが、逆バイアス期間  $T_r$  を書き込み期間  $T_a$  よりも長めに取ることで、電源線  $V_1 \sim V_y$  の電位の変動による雑音などの影響を避けることができる。

【0057】

図4では、図2の場合と異なり、行ごとに逆バイアス期間  $T_r$  の出現するタイミングを設定することができるので、フレーム期間に占める表示期間  $T_d$  の割合を大きくすることができる。よって、駆動回路の動作周波数を抑えることができる。  
20

【0058】

なお図20(A)では、ビデオ信号がアナログである場合の、書き込み期間と、逆バイアス期間と、表示期間のタイミングの一例を示したが、本発明においてビデオ信号はデジタルであっても良い。例えばデジタルのビデオ信号を用いて、時間階調により階調を表示する場合、図7(B)に示すように、書き込み期間  $T_a$  と、逆バイアス期間  $T_r$  と、表示期間  $T_d$  の各期間をデジタル信号のビットごとに設ければ良い。

【0059】

図5(A)に、図4に示した画素部 400 と駆動回路とを有する、発光装置の構成を示す。図5(A)において、1405 は信号線  $S_1 \sim S_x$  にビデオ信号を供給する信号線駆動回路に相当し、1406 は、走査線  $G_1 \sim G_y$  及び電源線  $V_1 \sim V_y$  の電位を制御する走査線駆動回路に相当する。  
30

【0060】

図5(B)に、信号線駆動回路 1405 の一部を示す。信号線駆動回路 1405 は、シフトレジスタ 410 と、シフトレジスタ 410 から出力される信号を反転させるインバータ 411 と、シフトレジスタ 410 から出力される信号とインバータ 411 から出力される反転した信号とに同期して、ビデオ信号をサンプリングし、信号線  $S_1 \sim S_x$  に供給するトランスマッショングート 412 とを有している。

【0061】

図5(C)に、走査線駆動回路 1406 の一部を示す。走査線駆動回路 1406 は、シフトレジスタ 415 と、シフトレジスタ 415 から出力される信号を反転させるインバータ 416、417 と、パルス幅制御信号によって、インバータ 416 から出力される反転した信号のパルス幅を制御し、走査線  $G_1 \sim G_y$  に供給する NOR 418 とを有している。インバータ 417 から出力された信号は、電源線  $V_1 \sim V_y$  に供給される。  
40

【0062】

上記構成により、1つの走査線駆動回路 406 で、走査線  $G_1 \sim G_y$  と電源線  $V_1 \sim V_y$  の電位を制御することができる。

【実施例2】

【0063】

本実施例では、本発明の駆動方法を用いることができる、発光装置の画素の構成について説明する。

【0064】

図6(A)に示す画素は、発光素子601と、スイッチング用TFT602と、駆動用TFT603と、発光素子601の発光を強制的に終了させるための消去用TFT604と、容量素子605とを有している。スイッチング用TFT602のゲートは第1の走査線Gaj(j=1~y)に、ソースとドレインは一方が信号線Si(i=1~x)に、他方が駆動用TFT603のゲートに接続されている。駆動用TFT603のソースとドレインは、一方が電源線Vj(j=1~y)に、他方が発光素子601の陽極に接続されている。消去用TFT604のゲートは第2の走査線Gb(j=1~y)に接続されており、ソースとドレインは、一方が駆動用TFT603のゲートに、他方が発光素子601の陽極に接続されている。容量素子605が有する2つの電極は、一方は発光素子601の陽極に、他方は駆動用TFT603のゲートに接続されている。

10

【0065】

書き込み期間Taにおいて消去用TFT604はオフにしておく。そして直列に接続されている駆動用TFT603と発光素子601に順方向バイアスの電圧が印加されている状態で、消去用TFT604をオンにすることで、駆動用TFT603のゲート電圧Vgsを0にすることができる。よって、駆動用TFT603をオフし、発光素子601の発光を強制的に終了させ、表示期間を終わらせることができる。

20

【0066】

図6(B)に示す画素は、発光素子611と、スイッチング用TFT612と、駆動用TFT613と、発光素子611の発光を強制的に終了させるための消去用TFT614と、容量素子615とを有している。スイッチング用TFT612のゲートは第1の走査線Gaj(j=1~y)に、ソースとドレインは一方が信号線Si(i=1~x)に、他方が駆動用TFT613のゲートに接続されている。駆動用TFT613と消去用TFT614は電源線Vj(j=1~y)と発光素子611との間に直列に接続されている。具体的には、駆動用TFT613のソースとドレインのいずれか一方が発光素子611の陽極に、消去用TFT614のソースとドレインのいずれか一方が電源線Vjに接続されている。消去用TFT614のゲートは第2の走査線Gb(j=1~y)に接続されている。容量素子615が有する2つの電極は、一方は発光素子611の陽極に、他方は駆動用TFT613のゲートに接続されている。

30

【0067】

なお図6(B)では、駆動用TFT613と電源線Vjとの間に消去用TFT614が設けられている構成を示しているが、本発明は消去用TFT614を設ける位置はこれに限定されない。例えば、消去用TFT614を発光素子611と駆動用TFT613の間に設けるようにしても良い。この場合具体的には、駆動用TFT613のソースとドレインのいずれか一方が電源線Vjに、消去用TFT614のソースとドレインのいずれか一方が発光素子611の陽極に接続される。そして容量素子615が有する2つの電極は、一方は、駆動用TFT613のソースとドレインのうち、電源線Vjに接続されている方とは異なる一方に、他方は駆動用TFT613のゲートに接続される。

40

【0068】

逆バイアス期間Trと表示期間Tdにおいて、消去用TFT614はオンにしておく。そして、直列に接続されている駆動用TFT613と、消去用TFT614と、発光素子611に順方向バイアスの電圧が印加されている状態で、消去用TFT614をオフにすることで、発光素子611の発光を強制的に終了させ、表示期間を終わらせることができる。

【0069】

デジタルのビデオ信号を用い、図6(A)、図6(B)に示した画素で時間階調により階調を表示する場合の、書き込み期間Taと、逆バイアス期間Trと、表示期間Tdと、発光素子の発光を強制的に終了させることで出現する消去期間Teのタイミングを、図7

50

(C)に示す。図7(C)に示すように、消去期間 $T_e$ を設けることで、全ての行において書き込み期間 $T_a$ が終了する前に、最初に書き込み期間が終了した行から順に表示期間 $T_r$ を強制的に終了させることができる。よって、書き込み期間を短くしなくとも階調数を高くすることができ、駆動回路の動作周波数を抑えることができる。

## 【0070】

なお図6(A)に示す画素の場合、消去期間 $T_e$ において、消去用TFT604をずっと連続してオンにしておいても良いし、消去期間 $T_e$ の最初にオンにした後、残りの期間はオフにしておいても良い。一方、図6(B)に示す画素の場合、消去期間 $T_e$ において、消去用TFT604はずっと連続してオンにしておく。

## 【0071】

図6(C)に、図2に示した画素において、発光素子の陽極と電源線との間に、ダイオード接続されたTFTを設けた画素の構成を示す。図6(C)に示す画素は、発光素子621と、スイッチング用TFT622と、駆動用TFT623と、容量素子624と、整流用TFT625とを有している。スイッチング用TFT622のゲートは走査線 $G_j$ ( $j = 1 \sim y$ )に、ソースとドレインは一方が信号線 $S_i$ ( $i = 1 \sim x$ )に、他方が駆動用TFT623のゲートに接続されている。駆動用TFT623のソースとドレインは、一方が電源線 $V_i$ ( $i = 1 \sim x$ )に、他方が発光素子621の陽極に接続されている。整流用TFT625は、ゲートが発光素子621の陽極に接続されており、ソースとドレインが、一方は電源線 $V_i$ に、他方が発光素子621の陽極に接続されている。

10

## 【0072】

逆バイアス期間では、整流用TFT625はソースが電源線 $V_i$ に接続され、ゲートとドレインが互いに接続されている。よって整流用TFT625はオンとなり、順方向バイアスの電流が流れるので、発光素子621の陽極の電位が、電源線 $V_i$ の電位により近くなる。また表示期間では、整流用TFT625はドレインが電源線 $V_i$ に接続され、ゲートとソースが互いに接続されている。よって表示期間では整流用TFT625に逆方向バイアスの電圧がかかることになるので、整流用TFT625はオフとなる。上記構成により、図6(C)に示した画素では、アナログのビデオ信号を用いて低い階調を表示する際に、駆動用TFT623のドレイン電流が低くても、発光素子621の陽極の電位を電源線 $V_i$ の電位により早く近づけることができる。

20

## 【0073】

図6(D)に、図6(A)に示した画素において、発光素子の陽極と電源線との間に、ダイオード接続されたTFTを設けた画素の構成を示す。図6(D)に示す画素は、発光素子631と、スイッチング用TFT632と、駆動用TFT633と、容量素子634と、消去用TFT635と、整流用TFT636とを有している。スイッチング用TFT632のゲートは第1の走査線 $G_{aj}$ ( $j = 1 \sim y$ )に、ソースとドレインは一方が信号線 $S_i$ ( $i = 1 \sim x$ )に、他方が駆動用TFT633のゲートに接続されている。駆動用TFT633のソースとドレインは、一方は電源線 $V_j$ ( $j = 1 \sim y$ )に、他方は発光素子631の陽極に接続されている。消去用TFT635は、ゲートが第2の走査線 $G_{bj}$ ( $j = 1 \sim y$ )に接続されており、ソースとドレインは、一方が駆動用TFT633のゲートに、他方が発光素子631の陽極に接続されている。整流用TFT636は、ゲートが発光素子631の陽極に接続されており、ソースとドレインが、一方は電源線 $V_j$ に、他方が発光素子631の陽極に接続されている。

30

## 【0074】

図6(E)に、図6(B)に示した画素において、発光素子の陽極と電源線との間に、ダイオード接続されたTFTを設けた画素の構成を示す。図6(E)に示す画素は、発光素子641と、スイッチング用TFT642と、駆動用TFT643と、容量素子644と、消去用TFT645と、整流用TFT646とを有している。スイッチング用TFT642のゲートは走査線 $G_{aj}$ ( $j = 1 \sim y$ )に、ソースとドレインは一方が信号線 $S_i$ ( $i = 1 \sim x$ )に、他方が駆動用TFT643のゲートに接続されている。駆動用TFT643と消去用TFT645は直列に接続されており、消去用TFT645のソースとド

40

50

レインのいずれか一方が電源線  $V_j$  に、駆動用 TFT 643 のソースとドレインのいずれか一方が発光素子 641 の陽極に接続されている。整流用 TFT 646 は、ゲートが発光素子 641 の陽極に接続されており、ソースとドレインが、一方は電源線  $V_j$  に、他方が発光素子 641 の陽極に接続されている。

【0075】

なお図 6 (E) では、駆動用 TFT 643 と電源線  $V_j$  との間に消去用 TFT 645 が設けられている構成を示しているが、本発明は消去用 TFT 645 を設ける位置はこれに限定されない。例えば、消去用 TFT 645 を発光素子 641 と駆動用 TFT 643 の間に設けるようにしても良い。この場合具体的には、駆動用 TFT 643 のソースとドレインのいずれか一方が電源線  $V_j$  に、消去用 TFT 645 のソースとドレインのいずれか一方が発光素子 641 の陽極に接続される。そして容量素子 644 が有する 2 つの電極は、一方は、駆動用 TFT 643 のソースとドレインのうち、電源線  $V_j$  に接続されている方とは異なる一方に、他方は駆動用 TFT 643 のゲートに接続される。

10

【0076】

本発明の発光装置が有する画素の構成は、本実施例で示した構成に限定されない。

【実施例 3】

【0077】

本発明の発光装置では、セミアモルファス半導体で形成された TFT (セミアモルファス TFT) を用いる場合、駆動回路を画素部と同じ基板上に形成することができる。またアモルファス半導体で形成された TFT (アモルファス TFT) を用いる場合、別の基板に形成された駆動回路を、画素部と同じ基板上に実装しても良い。

20

【0078】

図 8 (A) に、信号線駆動回路 6013 のみを別途形成し、基板 6011 上に形成された画素部 6012 と接続している素子基板の形態を示す。画素部 6012 及び走査線駆動回路 6014 は、セミアモルファス TFT を用いて形成する。セミアモルファス TFT よりも高い移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路 6013 は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた TFT、または SOI を用いたトランジスタであっても良い。画素部 6012 と、信号線駆動回路 6013 と、走査線駆動回路 6014 とに、それぞれ電源の電位、各種信号等が、FPC 6015 を介して供給される。

30

【0079】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

【0080】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えば FPC 上に張り合わせるようにしても良い。図 8 (B) に、信号線駆動回路 6023 のみを別途形成し、基板 6021 上に形成された画素部 6022 及び走査線駆動回路 6024 と接続している素子基板の形態を示す。画素部 6022 及び走査線駆動回路 6024 は、セミアモルファス TFT を用いて形成する。信号線駆動回路 6023 は、FPC 6025 を介して画素部 6022 と接続されている。画素部 6022 と、信号線駆動回路 6023 と、走査線駆動回路 6024 とに、それぞれ電源の電位、各種信号等が、FPC 6025 を介して供給される。

40

【0081】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、セミアモルファス TFT を用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電気的に接続するようにしても良い。図 8 (C) に、信号線駆動回路が有するアナログスイッチ 6033a を、画素部 6032、走査線駆動回路 6034 と同じ基板 6031 上に形成し、信号線駆動回路が有するシフトレジスタ 6033b を別途異なる基板に形成して貼り合わせる素子基板の形態を、図 8 (C) に示す。画素部 6032 及び走査線駆動回路 6034 は、セ

50

ミアモルファス TFT を用いて形成する。画素部 6032 と、信号線駆動回路と、走査線駆動回路 6034 とに、それぞれ電源の電位、各種信号等が、FPC 6035 を介して供給される。

【0082】

図 8 (A) ~ 図 8 (C) に示すように、本発明の発光装置は、駆動回路の一部または全部を、画素部と同じ基板上に、セミアモルファス TFT を用いて形成することができる。

【0083】

また、信号線駆動回路及び走査線駆動回路を全て別途形成し、画素部が形成されている基板に実装しても良い。図 8 (D) に、画素部 6042 が形成されている基板 6041 上に、信号線駆動回路が形成されたチップ 6043 と、走査線駆動回路が形成されたチップ 6044 とを貼り合わせる素子基板の形態を、図 8 (D) に示す。画素部 6042 は、セミアモルファス TFT またはアモルファス TFT を用いて形成する。画素部 6042 と、信号線駆動回路が形成されたチップ 6043 と、走査線駆動回路が形成されたチップ 6044 とに、それぞれ電源の電位、各種信号等が、FPC 6045 を介して供給される。

10

【0084】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知の COG 方法やワイヤボンディング方法、或いは TAB 方法などを用いることができる。また接続する位置は、電気的な接続が可能であるならば、図 8 に示した位置に限定されない。また、コントローラ、CPU、メモリ等を別途形成し、接続するようにしても良い。

20

【0085】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

30

【0086】

チップの実装方法は、特に限定されるものではなく、公知の COG 方法やワイヤボンディング方法、或いは TAB 方法などを用いることができる。またチップを実装する位置は、電気的な接続が可能であるならば、図 8 に示した位置に限定されない。また、図 8 では信号線駆動回路、走査線駆動回路をチップで形成した例について示したが、コントローラ、CPU、メモリ等をチップで形成し、実装するようにしても良い。また、走査線駆動回路全体をチップで形成するのではなく、走査線駆動回路を構成している回路の一部だけを、チップで形成するようにしても良い。

30

【0087】

駆動回路などの集積回路を別途チップで形成して実装することで、全ての回路を画素部と同じ基板上に形成する場合に比べて、歩留まりを高めることができ、また各回路の特性に合わせたプロセスの最適化を容易に行なうことができる。

【実施例 4】

【0088】

次に、本発明の発光装置に用いられるセミアモルファス半導体を用いた TFT の構成について説明する。図 9 (A) に、駆動回路に用いられる TFT の断面図と、画素部に用いられる TFT の断面図を示す。501 は駆動回路に用いられる TFT の断面図に相当し、502 は画素部に用いられる TFT 断面図に相当し、503 は該 TFT 502 によって電流が供給される発光素子の断面図に相当する。TFT 501、502 は逆スタガ型 (ボトムゲート型) である。

40

【0089】

駆動回路の TFT 501 は、基板 500 上に形成されたゲート電極 510 と、ゲート電極 510 を覆っているゲート絶縁膜 511 と、ゲート絶縁膜 511 を間に挟んでゲート電極 510 と重なっている、セミアモルファス半導体膜で形成された第 1 の半導体膜 512

50

とを有している。さらにTFT501は、ソース領域またはドレイン領域として機能する一対の第2の半導体膜513と、第1の半導体膜512と第2の半導体膜513の間に設けられた第3の半導体膜514とを有している。

【0090】

図9(A)では、ゲート絶縁膜511が2層の絶縁膜で形成されているが、本発明はこの構成に限定されない。ゲート絶縁膜511が単層または3層以上の絶縁膜で形成されていても良い。

【0091】

また第2の半導体膜513は、アモルファス半導体膜またはセミアモルファス半導体膜で形成されており、該半導体膜に一導電型を付与する不純物が添加されている。そして一対の第2の半導体膜513は、第1の半導体膜512のチャネルが形成される領域を間に挟んで、向かい合っている。

10

【0092】

また第3の半導体膜514は、アモルファス半導体膜またはセミアモルファス半導体膜で形成されており、第2の半導体膜513と同じ導電型を有し、なおかつ第2の半導体膜513よりも導電性が低くなるような特性を有している。第3の半導体膜514はLDD領域として機能するので、ドレイン領域として機能する第2の半導体膜513の端部に集中する電界を緩和し、ホットキャリア効果を防ぐことができる。第3の半導体膜514は必ずしも設ける必要はないが、設けることでTFTの耐圧性を高め、信頼性を向上させることができる。なお、TFT501がn型である場合、第3の半導体膜514を形成する際に特にn型を付与する不純物を添加せずとも、n型の導電型が得られる。よって、TFT501がn型の場合、必ずしも第3の半導体膜514にn型の不純物を添加する必要はない。ただし、チャネルが形成される第1の半導体膜には、p型の導電性を付与する不純物を添加し、極力I型に近づくようにその導電型を制御しておく。

20

【0093】

また、一対の第3の半導体膜514に接するように、配線515が形成されている。

【0094】

画素部のTFT502は、基板500上に形成されたゲート電極520と、ゲート電極520を覆っているゲート絶縁膜511と、ゲート絶縁膜511を間に挟んでゲート電極520と重なっている、セミアモルファス半導体膜で形成された第1の半導体膜522とを有している。さらにTFT502は、ソース領域またはドレイン領域として機能する一対の第2の半導体膜523と、第1の半導体膜522と第2の半導体膜523の間に設けられた第3の半導体膜524とを有している。

30

【0095】

また第2の半導体膜523は、アモルファス半導体膜またはセミアモルファス半導体膜で形成されており、該半導体膜に一導電型を付与する不純物が添加されている。そして一対の第2の半導体膜523は、第1の半導体膜522のチャネルが形成される領域を間に挟んで、向かい合っている。

【0096】

また第3の半導体膜524は、アモルファス半導体膜またはセミアモルファス半導体膜で形成されており、第2の半導体膜523と同じ導電型を有し、なおかつ第2の半導体膜523よりも導電性が低くなるような特性を有している。第3の半導体膜524はLDD領域として機能するので、ドレイン領域として機能する第2の半導体膜523の端部に集中する電界を緩和し、ホットキャリア効果を防ぐことができる。第3の半導体膜524は必ずしも設ける必要はないが、設けることでTFTの耐圧性を高め、信頼性を向上させることができる。なお、TFT502がn型である場合、第3の半導体膜524を形成する際に特にn型を付与する不純物を添加せずとも、n型の導電型が得られる。よって、TFT502がn型の場合、必ずしも第3の半導体膜524にn型の不純物を添加する必要はない。ただし、チャネルが形成される第1の半導体膜には、p型の導電性を付与する不純物を添加し、極力I型に近づくようにその導電型を制御しておく。

40

50

## 【0097】

また、一対の第3の半導体膜524に接するように、配線525が形成されている。

## 【0098】

また、TFT501、502及び配線515、525を覆うように、絶縁膜からなる第1のパッシベーション膜540、第2のパッシベーション膜541が形成されている。TFT501、502を覆うパッシベーション膜は2層に限らず、単層であっても良いし、3層以上であっても良い。例えば第1のパッシベーション膜540を窒化珪素、第2のパッシベーション膜541を酸化珪素で形成することができる。窒化珪素または窒化酸化珪素でパッシベーション膜を形成することで、TFT501、502が水分や酸素などの影響により、劣化するのを防ぐことができる。

10

## 【0099】

そして、配線525の一方は、発光素子503の陽極530に接続されている。また陽極530上に接するように、電界発光層531が、該電界発光層531に接するように陰極532が形成されている。

## 【0100】

チャネル形成領域を含んでいる第1の半導体膜512、522を、セミアモルファス半導体で形成することで、アモルファス半導体膜を用いたTFTに比べて高い移動度のTFTを得ることができ、よって駆動回路と画素部を同一の基板に形成することができる。

## 【0101】

次に、本発明の発光装置が有するTFTの、図9(A)とは異なる形態について説明する。図9(B)に、駆動回路に用いられるTFTの断面図と、画素部に用いられるTFTの断面図を示す。301は駆動回路に用いられるTFTの断面図に相当し、302は画素部に用いられるTFTと、該TFT302によって電流が供給される発光素子303の断面図に相当する。

20

## 【0102】

駆動回路のTFT301と画素部のTFT302は、基板300上に形成されたゲート電極310、320と、ゲート電極310、320を覆っているゲート絶縁膜311と、ゲート絶縁膜311を間に挟んでゲート電極310、320と重なっている、セミアモルファス半導体膜で形成された第1の半導体膜312、322とをそれぞれ有している。そして、第1の半導体膜312、322のチャネル形成領域を覆うように、絶縁膜で形成されたチャネル保護膜330、331が形成されている。チャネル保護膜330、331は、TFT301、302の作製工程において、第1の半導体膜312、322のチャネル形成領域がエッチングされてしまうのを防ぐために設ける。さらにTFT301、302は、ソース領域またはドレイン領域として機能する一対の第2の半導体膜313、323と、第1の半導体膜312、322と第2の半導体膜313、323の間に設けられた第3の半導体膜314、324とをそれぞれ有している。

30

## 【0103】

図9(B)では、ゲート絶縁膜311が2層の絶縁膜で形成されているが、本発明はこの構成に限定されない。ゲート絶縁膜311が単層または3層以上の絶縁膜で形成されても良い。

40

## 【0104】

また第2の半導体膜313、323は、アモルファス半導体膜またはセミアモルファス半導体膜で形成されており、該半導体膜に一導電型を付与する不純物が添加されている。そして一対の第2の半導体膜313、323は、第1の半導体膜312のチャネルが形成される領域を間に挟んで、向かい合っている。

## 【0105】

また第3の半導体膜314、324は、アモルファス半導体膜またはセミアモルファス半導体膜で形成されており、第2の半導体膜313、323と同じ導電型を有し、なおかつ第2の半導体膜313、323よりも導電性が低くなるような特性を有している。第3の半導体膜314、324はLDD領域として機能するので、ドレイン領域として機能す

50

る第2の半導体膜313、323の端部に集中する電界を緩和し、ホットキャリア効果を防ぐことができる。第3の半導体膜314、324は必ずしも設ける必要はないが、設けることでTFTの耐圧性を高め、信頼性を向上させることができる。なお、TFT301、302がn型である場合、第3の半導体膜314、324を形成する際に特にn型を付与する不純物を添加せずとも、n型の導電型が得られる。よって、TFT301、302がn型の場合、必ずしも第3の半導体膜314、324にn型の不純物を添加する必要はない。ただし、チャネルが形成される第1の半導体膜には、p型の導電性を付与する不純物を添加し、極力I型に近づくようにその導電型を制御しておく。

#### 【0106】

また、一対の第3の半導体膜314、324に接するように、配線315、325が形成されている。

#### 【0107】

また、TFT301、302及び配線315、325を覆うように、絶縁膜からなる第1のパッシベーション膜340、第2のパッシベーション膜341が形成されている。TFT301、302を覆うパッシベーション膜は2層に限らず、単層であっても良いし、3層以上であっても良い。例えば第1のパッシベーション膜340を窒化珪素、第2のパッシベーション膜341を酸化珪素で形成することができる。窒化珪素または窒化酸化珪素でパッシベーション膜を形成することで、TFT301、302が水分や酸素などの影響により、劣化するのを防ぐことができる。

#### 【0108】

そして、配線325の一方は、発光素子303の陽極350に接続されている。また陽極350上に接するように、電界発光層351が、該電界発光層351に接するように陰極332が形成されている。

#### 【0109】

チャネル形成領域を含んでいる第1の半導体膜312、322を、セミアモルファス半導体で形成することで、アモルファス半導体膜を用いたTFTに比べて高い移動度のTFTを得ることができ、よって駆動回路と画素部を同一の基板に形成することができる。

#### 【0110】

なお本実施例では、セミアモルファス半導体を用いたTFTで発光装置の駆動回路と画素部を同じ基板上に形成した例について説明したが、本発明はこの構成に限定されない。セミアモルファス半導体を用いたTFTで画素部を形成し、該画素部が形成された基板に別途形成された駆動回路を貼り付けても良い。またチャネルが形成される第1の半導体膜をアモルファス半導体で形成することができる。ただしこの場合、アモルファス半導体を用いたTFTで画素部を形成し、該画素部が形成された基板に別途形成された駆動回路を貼り付けるようにする。

#### 【実施例5】

#### 【0111】

次に、本発明の発光装置が有する画素の構成について説明する。図10(A)に、画素の回路図の一形態を、図10(B)に図10(A)に対応する画素の断面構造の一形態を示す。

#### 【0112】

図10(A)、図10(B)において、221は画素へのビデオ信号の入力を制御するためのスイッチング用TFTに相当し、222は発光素子223への電流の供給を制御するための駆動用TFTに相当する。具体的には、スイッチング用TFT221を介して画素に入力されたビデオ信号の電位に従って、駆動用TFT222のドレイン電流が制御され、該ドレイン電流が発光素子223に供給される。なお224は、スイッチング用TFT221がオフのときに駆動用TFTのゲート電圧を保持するための容量素子に相当し、必ずしも設ける必要はない。

#### 【0113】

具体的には、スイッチング用TFT221は、ゲート電極が走査線Gj(j=1~y)

10

20

30

40

50

に接続されており、ソース領域とドレイン領域が、一方は信号線  $S_i$  ( $i = 1 \sim x$ ) に他方は駆動用 TFT 222 のゲートに接続されている。また駆動用 TFT 222 のソース領域とドレイン領域は、一方が電源線  $V_i$  ( $i = 1 \sim x$ ) に、他方が発光素子 223 の陽極 225 に接続されている。容量素子 224 が有する 2 つの電極は、一方が駆動用 TFT 222 のゲート電極に、他方が発光素子 223 の陽極 225 に接続されている。

【0114】

なお図 10 (A)、図 10 (B) では、スイッチング用 TFT 221 が、直列に接続され、なおかつゲート電極が接続された複数の TFT が、第 1 の半導体膜を共有しているような構成を有する、マルチゲート構造となっている。マルチゲート構造とすることで、スイッチング用 TFT 221 のオフ電流を低減させることができる。具体的に図 10 (A) 10 、図 10 (B) ではスイッチング用 TFT 221 が 2 つの TFT が直列に接続されたような構成を有しているが、3 つ以上の TFT が直列に接続され、なおかつゲート電極が接続されたようなマルチゲート構造であっても良い。また、スイッチング用 TFT は必ずしもマルチゲート構造である必要はなく、ゲート電極とチャネル形成領域が単数である通常のシングルゲート構造の TFT であっても良い。

【実施例 6】

【0115】

次に、本発明の発光装置の、具体的な作製方法について説明する。

【0116】

基板 710 はガラスや石英などの他に、プラスチック材料を用いることができる。また、ステンレスやアルミニウムなどの金属材料の上に絶縁膜を形成したものを用いても良い。この基板 710 上にゲート電極及びゲート配線（走査線）を形成するための導電膜を形成する。導電膜にはクロム、モリブデン、チタン、タンタル、タンクステン、アルミニウムなどの金属材料またはその合金材料を用いる。この導電膜はスパッタリング法や真空蒸着法で形成することができる。

【0117】

導電膜をエッティング加工してゲート電極 712、713 を形成する。ゲート電極 712、713 上には第 1 の半導体膜や配線層を形成するので、その端部がテーパー状になるように加工することが望ましい。また導電膜を、アルミニウムを主成分とする材料で形成する場合には、エッティング加工後に陽極酸化処理などをして表面を絶縁化しておくと良い。また、図示しないがこの工程でゲート電極に接続する配線も同時に形成することができる。

【0118】

第 1 絶縁膜 714 と第 2 絶縁膜 715 は、ゲート電極 712、713 の上層に形成することでゲート絶縁膜として機能させることができる。この場合、第 1 絶縁膜 714 として酸化珪素膜、第 2 絶縁膜 715 として窒化珪素膜を形成することが好ましい。これらの絶縁膜はグロー放電分解法やスパッタリング法で形成することができる。特に、低い成膜温度でゲートリーク電流に少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。

【0119】

そして、このような第 1、第 2 絶縁膜 714、715 上に、第 1 の半導体膜 716 を形成する。第 1 の半導体膜 716 は、セミアモルファス半導体 (SAS) で形成する。

【0120】

この SAS は珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 $SiH_4$  であり、その他にも  $Si_2H_6$ 、 $SiH_2Cl_2$ 、 $SiHCl_3$ 、 $SiCl_4$ 、 $SiF_4$ などを用いることができる。この珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いることで SAS の形成を容易なものとすることができる。希釈率は 10 倍 ~ 1000 倍の範囲で珪化物気体を希釈することが好ましい。勿論、グロー放電分解による被膜の反応生成は減圧下で行なうが、圧力は概略 0.1 Pa ~ 133 Pa の範囲で行なえば良い

10

20

30

40

50

。グロー放電を形成するための電力は 1 M H z ~ 1 2 0 M H z 、好ましくは 1 3 M H z ~ 6 0 M H z の高周波電力を供給すれば良い。基板加熱温度は 3 0 0 度以下が好ましく、 1 0 0 ~ 2 0 0 度の基板加熱温度が推奨される。

【 0 1 2 1 】

また、珪化物気体中に、 C H <sub>4</sub>、 C <sub>2</sub> H <sub>6</sub> などの炭化物気体、 G e H <sub>4</sub>、 G e F <sub>4</sub> などのゲルマニウム化気体を混入させて、エネルギー bandwidth 幅を 1 . 5 ~ 2 . 4 e V 、若しくは 0 . 9 ~ 1 . 1 e V に調節しても良い。

【 0 1 2 2 】

また、 S A S は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱い n 型の電気伝導性を示す。これは、アモルファス半導体を成膜するときよりも高い電力のグロー放電を行なうため酸素が半導体膜中に混入しやすいためである。そこで、 T F T のチャネル形成領域を設ける第 1 の半導体膜に対しては、 p 型を付与する不純物元素を、この成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。 p 型を付与する不純物元素としては、代表的には硼素であり、 B <sub>2</sub> H <sub>6</sub>、 B F <sub>3</sub> などの不純物気体を 1 p p m ~ 1 0 0 0 p p m の割合で珪化物気体に混入させると良い。例えば、 p 型を付与する不純物元素としてボロンを用いる場合、該ボロンの濃度を  $1 \times 1 0 ^{14} \sim 6 \times 1 0 ^{16}$  a t o m s / c m <sup>3</sup> とすると良い。

10

【 0 1 2 3 】

次に、第 2 の半導体膜 7 1 7 、第 3 の半導体膜 7 1 8 を形成する（図 1 1 ( A ) ）。第 2 の半導体膜 7 1 7 は、価電子制御を目的とした不純物元素を意図的に添加しないで形成したものであり、第 1 の半導体膜 7 1 6 と同様に S A S で形成することが好ましい。この第 2 の半導体膜 7 1 7 は、ソース及びドレインを形成する一導電型を有する第 3 の半導体膜 7 1 8 と第 1 の半導体膜 7 1 6 との間に形成することで、バッファ層（緩衝層）的な働きを持っている。従って、弱 n 型の電気伝導性を持って第 1 の半導体膜 7 1 6 に対して、同じ導電型で一導電型を有する第 3 の半導体膜 7 1 8 を形成する場合には必ずしも必要ない。しきい値制御をする目的において、 p 型を付与する不純物元素を添加する場合には、第 2 の半導体膜 7 1 7 は段階的に不純物濃度を変化させる効果を持ち、接合形成を良好にする上で好ましい形態となる。すなわち、形成される T F T においては、チャネル形成領域とソースまたはドレイン領域の間に形成される低濃度不純物領域（ L D D 領域）としての機能を持たせることが可能となる。

20

【 0 1 2 4 】

一導電型を有する第 3 の半導体膜 7 1 8 は n チャネル型の T F T を形成する場合には、代表的な不純物元素としてリンを添加すれば良く、珪化物気体に P H <sub>3</sub> などの不純物気体を加えれば良い。一導電型を有する第 3 の半導体膜 7 1 8 は、価電子制御がされていることを除けば、 S A S のような半導体、非晶質半導体で形成されるものである。

30

【 0 1 2 5 】

以上、第 1 絶縁膜 7 1 4 から一導電型を有する第 3 の半導体膜 7 1 8 までは大気に触れさせることなく連続して形成することが可能である。すなわち、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、 T F T 特性のばらつきを低減することができる。

40

【 0 1 2 6 】

次に、フォトレジストを用いてマスク 7 1 9 を形成し、第 1 の半導体膜 7 1 6 、第 2 の半導体膜 7 1 7 、一導電型を有する第 3 の半導体膜 7 1 8 をエッチングして島状に分離形成する（図 1 1 ( B ) ）。

【 0 1 2 7 】

その後、ソース及びドレインに接続する配線を形成するための第 2 導電膜 7 2 0 を形成する。第 2 導電膜 7 2 0 はアルミニウム、またはアルミニウムを主成分とする導電性材料で形成するが、半導体膜と接する側の層をチタン、タンタル、モリブデン、タングステン、銅またはこれらの元素の窒化物で形成した積層構造としても良い。例えば 1 層目が T a で 2 層目が W 、 1 層目が T a N で 2 層目が A l 、 1 層目が T a N で 2 層目が C u 、 1 層目

50

が Ti で 2 層目が Al で 3 層目が Ti といった組み合わせも考えられる。また 1 層目と 2 層目のいずれか一方に Ag Pd Cu 合金を用いても良い。W、Al と Si の合金 (Al - Si)、TiN を順次積層した 3 層構造としてもよい。W の代わりに窒化タンゲステンを用いてもよいし、Al と Si の合金 (Al - Si) に代えて Al と Ti の合金膜 (Al - Ti) を用いてもよいし、TiN に代えて Ti を用いてもよい。アルミニウムには耐熱性を向上させるためにチタン、シリコン、スカンジウム、ネオジウム、銅などの元素を 0.5 ~ 5 原子% 添加させても良い (図 11 (C))。

#### 【0128】

次にマスク 721 を形成する。マスク 721 はソースおよびドレインと接続する配線を形成するためにパターン形成されたマスクであり、同時に一導電型を有する第 3 の半導体膜 718 を取り除きチャネル形成領域を形成するためのエッチングマスクとして併用されるものである。アルミニウムまたはこれを主成分とする導電膜のエチングは BC<sub>1</sub><sub>3</sub>、Cl<sub>2</sub>などの塩化物気体を用いて行なえば良い。このエッチング加工で配線 723 ~ 726 を形成する。また、チャネル形成領域を形成するためのエッチングには SF<sub>6</sub>、NF<sub>3</sub>、CF<sub>4</sub>などのフッ化物気体を用いてエッチングを行なうが、この場合には下地となる第 1 の半導体膜 716 とのエッチング選択比をとれないので、処理時間を適宜調整して行なうこととなる。以上のようにして、チャネルエッチ型の TFT の構造を形成することができる (図 12 (A))。

#### 【0129】

次に、チャネル形成領域の保護を目的とした第 3 絶縁膜 727 を、窒化珪素膜で形成する。この窒化珪素膜はスパッタリング法やグロー放電分解法で形成可能であるが、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜であることが要求される。第 3 絶縁膜 727 に窒化珪素膜を用いることで、第 1 の半導体膜 716 中の酸素濃度を  $5 \times 10^{19}$  atoms / cm<sup>3</sup> 以下、好ましくは  $1 \times 10^{19}$  atoms / cm<sup>3</sup> 以下に抑えることができる。この目的において、珪素をターゲットとして、窒素とアルゴンなどの希ガス元素を混合させたスパッタガスで高周波スパッタリングされた窒化珪素膜で、膜中の希ガス元素を含ませることにより緻密化が促進されることとなる。また、グロー放電分解法においても、珪化物気体をアルゴンなどの希ガス元素で 100 倍 ~ 500 倍に希釈して形成された窒化珪素膜は、100 度以下の低温においても緻密な膜を形成可能であり好ましい。さらに必要があれば第 4 絶縁膜 728 を酸化珪素膜で積層形成しても良い。第 3 絶縁膜 727 と第 4 絶縁膜 728 はパッシベーション膜に相当する。

#### 【0130】

第 3 絶縁膜 727 および / または第 4 絶縁膜 728 上には、好ましい形態として平坦化膜 729 を形成する。平坦化膜は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成された Si - O 結合と Si - CH<sub>x</sub> 結晶手を含む絶縁膜で形成することが好ましい。これらの材料は含水性があるので、水分の侵入及び放出を防ぐバリア膜として第 6 絶縁膜 730 を併設することが好ましい。第 6 絶縁膜 730 としては上述のような窒化珪素膜を適用すれば良い (図 12 (B))。

#### 【0131】

配線 732 は、第 6 絶縁膜 730、平坦化膜 729、第 3 絶縁膜 727、第 4 絶縁膜 728 にコンタクトホールを形成した後に形成する (図 12 (C))。

#### 【0132】

以上のようにして形成されたチャネルエッチ型の TFT は、SAS でチャネル形成領域を構成することにより  $2 \sim 10 \text{ cm}^2 / \text{V} \cdot \text{sec}$  の電界効果移動度を得ることができる。

#### 【0133】

次に図 13 (A) に示すように、配線 732 に接するように、第 6 絶縁膜 730 上に陽極 731 を形成する。陽極 731 として、ITO、IZO、ITSO の他、酸化インジウムに 2 ~ 20 % の酸化亜鉛 (ZnO) を混合した透明導電膜を用いることができる。陽極

10

20

30

40

50

731として上記透明導電膜の他に、窒化チタン膜またはチタン膜を用いても良い。この場合、透明導電膜を成膜した後に、窒化チタン膜またはチタン膜を、光が透過する程度の膜厚（好ましくは、5nm～30nm程度）で成膜する。図13（A）では、陽極731としITOを用いている。陽極731は、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体で拭净し、研磨しても良い。またCMP法を用いた研磨後に、陽極731の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。

#### 【0134】

次に、第6絶縁膜730上に、有機樹脂膜、無機絶縁膜またはシリコン（Si）と酸素（O）との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料である。また上記構成に加えて、置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有していても良い。隔壁733は開口部を有しており、該開口部において陽極731が露出している。次に図13（B）に示すように、隔壁733の開口部において陽極731と接するように、電界発光層734を形成する。電界発光層734は、単数の層で構成されいても、複数の層が積層されるように構成されいてもどちらでも良い。複数の層で構成されている場合、陽極731上に、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層する。

10

#### 【0135】

そして電界発光層734を覆うように、陰極735を形成する。陰極735は、仕事関数が小さい公知の材料、例えば、Ca、Al、CaF、MgAg、AlLi等を用いることができる。隔壁733の開口部において、陽極731と電界発光層734と陰極735が重なり合うことで、発光素子736が形成されている（図13（B））。

20

#### 【0136】

なお実際には、図13まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

30

#### 【0137】

このような、画素部と駆動回路で同じTFTを用いた素子基板は、ゲート電極形成用マスク、半導体領域形成用マスク、配線形成用マスク、コンタクトホール形成用マスク、陽極形成用マスクの合計5枚のマスクで形成することができる。

30

#### 【0138】

なお本実施例では、セミアモルファス半導体を用いたTFTで発光装置の駆動回路と画素部を同じ基板上に形成した例について説明したが、本発明はこの構成に限定されない。アモルファス半導体を用いたTFTで画素部を形成し、該画素部が形成された基板に別途形成された駆動回路を貼り付けても良い。

#### 【0139】

なお、図11～図13は、図9（A）に示した構成を有するTFTの作製方法について示したが、図9（B）に示した構成を有するTFTも同様に作製することができる。ただし、図9（B）に示したTFTの場合は、ゲート電極310、320に重畠させて、SASで形成された第1の半導体膜312、322上にチャネル保護膜330、331を形成する点で、図11～図13と異なっている。

40

#### 【0140】

また、図12（A）と図12（B）では、第3絶縁膜（第1のパッシベーション膜）、第4絶縁膜（第2のパッシベーション膜）にコンタクトホールを形成した後、陽極を形成し、隔壁を形成したものである。隔壁は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシリコン系材料を出発材料として形成されたSi-O結合とSi-CH<sub>x</sub>結晶手を含む絶縁膜で形成すれば良く、特に感光性の材料を用い、陽極上に開口部を形成し、その開口部の側壁が連續した曲率を持って形成される傾斜面となるように形成することが好ましい。

40

#### 【実施例7】

50

## 【0141】

本実施例では、図10に示した画素の、上面図の一実施例について説明する。

## 【0142】

図14に本実施例の画素の上面図を示す。S<sub>i</sub>は信号線、V<sub>i</sub>は電源線に相当し、G<sub>j</sub>は走査線に相当する。本実施例では、信号線S<sub>i</sub>と、電源線V<sub>i</sub>は同じ導電膜で形成する。また、走査線G<sub>j</sub>と配線250は同じ導電膜で形成する。走査線G<sub>j</sub>の一部は、スイッチング用TFT221のゲート電極として機能する。配線250は、その一部が駆動用TFT222のゲート電極として機能し、別の一部が容量素子224の第1の電極として機能する。また、駆動用TFT222が有する活性層の、陽極225側の一部251は、容量素子224の第2の電極として機能する。活性層の陽極225側の一部251と、配線250の一部と、ゲート絶縁膜(図示せず)とによって、容量素子224が形成される。225は陽極に相当し、電界発光層や陰極(共に図示せず)と重なる領域(発光エリア)において発光する。

10

## 【0143】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されることは言うまでもない。

## 【実施例8】

## 【0144】

本発明の発光装置で用いるセミアモルファスTFTまたはアモルファスTFTは、n型である。本実施例では、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。

20

## 【0145】

図15(A)に、駆動用TFT7001がn型で、発光素子7002から発せられる光が陰極7003側に抜ける場合の、画素の断面図を示す。図15(A)では、駆動用TFT7001と電気的に接続された陽極7005上に、電界発光層7004、陰極7003が順に積層されている。陽極7005には、光を透過しにくい材料を用いることが望ましい。例えば、窒化チタンまたはチタンを用いることができる。電界発光層7004は、単数の層で構成されているても、複数の層が積層されるように構成されていてもどちらでも良い。陰極7003は、仕事関数が小さい導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するAlを、陰極7003として用いることができる。そして陰極7003を覆うように透明導電膜7007を形成する。透明導電膜7007は、例えば、ITO、IZO、ITSOの他、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いることができる。

30

## 【0146】

陰極7003と、電界発光層7004と、陽極7005とが重なっている部分が発光素子7002に相当する。図15(A)に示した画素の場合、発光素子7002から発せられる光は、白抜きの矢印で示すように陰極7003側に抜ける。

40

## 【0147】

図15(B)に、駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に抜ける場合の、画素の断面図を示す。図15(B)では、発光素子7012の陽極7015と駆動用TFT7011が電気的に接続されており、陽極7015上に電界発光層7014、陰極7013が順に積層されている。陽極7015は光を透過する透明導電膜を用いて形成し、例えばITO、IZO、ITSOの他、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。そして電界発光層7014は、図15(A)と同様に、単数の層で構成されているても、複数の層が積層されるように構成されていてもどちらでも良い。陰極7013は仕事関数が小さく、図15(A)の場合と同様に、仕事関数が小さい導電膜で、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。

50

## 【0148】

陽極 7015 と、電界発光層 7014 と、陰極 7013 とが重なっている部分が発光素子 7012 に相当する。図 15 (B) に示した画素の場合、発光素子 7012 から発せられる光は、白抜きの矢印で示すように陽極 7015 側に抜ける。

## 【0149】

次に図 15 (C) を用いて、駆動用 TFT7021 が n 型で、発光素子 7022 から発せられる光が陽極 7025 側と陰極 7023 側の両方から抜ける場合の、画素の断面図を示す。図 15 (C) では、駆動用 TFT7021 と電気的に接続された陽極 7025 上に、電界発光層 7024、陰極 7023 が順に積層されている。陽極 7025 は、図 15 (B) と同様に、光を透過する透明導電膜を用いて形成することができる。そして電界発光層 7024 は、図 15 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陰極 7023 は、図 15 (A) の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する A1 を、陰極 7023 として用いることができる。

10

## 【0150】

陰極 7023 と、電界発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 15 (C) に示した画素の場合、発光素子 7022 から発せられる光は、白抜きの矢印で示すように陽極 7025 側と陰極 7023 側の両方に抜ける。

20

## 【0151】

なお本実施例では、駆動用 TFT と発光素子が電気的に接続されている例を示したが、駆動用 TFT と発光素子との間に他の TFT が直列に接続されていてもよい。

## 【0152】

なお、図 15 (A) ~ 図 15 (C) に示す全ての画素において、発光素子を覆うように保護膜を成膜しても良い。保護膜は水分や酸素などの発光素子の劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜を用いる。代表的には、例えば DLC 膜、窒化炭素膜、RF スパッタ法で形成された窒化珪素膜等を用いるのが望ましい。また上述した水分や酸素などの物質を透過させにくい膜と、該膜に比べて水分や酸素などの物質を透過させやすい膜とを積層させて、保護膜として用いることも可能である。

30

## 【0153】

また、図 15 (B)、図 15 (C) において、陰極側から光を得るためにには、陰極の膜厚を薄くする方法の他に、Li を添加することで仕事関数が小さくなつたITO を用いる方法もある。

## 【0154】

なお本発明の発光装置は、図 15 に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

## 【実施例 9】

## 【0155】

本実施例では、極性が全て同一の TFT を用いた、シフトレジスタの一形態について説明する。図 16 (A) に、本実施例のシフトレジスタの構成を示す。図 16 (A) に示すシフトレジスタは、第 1 のクロック信号 CLK、第 2 のクロック信号 CLKb、スタートパルス信号 SP を用いて動作する。1401 はパルス出力回路であり、その具体的な構成を、図 16 (B) に示す。

40

## 【0156】

パルス出力回路 1401 は、TFT801 ~ 806 と、容量素子 807 を有する。TFT801 は、ゲートがノード 2 に、ソースが TFT805 のゲートに接続されており、ドレインに電位 Vdd が与えられている。TFT802 は、ゲートが TFT806 のゲートに、ドレインが TFT805 のゲートに接続されており、ソースに電位 Vss が与えられている。TFT803 は、ゲートがノード 3 に、ソースが TFT806 のゲートに接続されており、ドレインに電位 Vdd が与えられている。TFT804 は、ゲートがノード 2

50

に、ドレインがTFT805のゲートに接続されており、ソースに電位Vssが与えられている。TFT805は、ゲートが容量素子807の一方の電極に、ドレインがノード1に、ソースが容量素子807の他方の電極及びノード4に接続されている。またTFT806は、ゲートが容量素子807の一方の電極に、ドレインがノード4に接続されており、ソースに電位Vssが与えられている。

#### 【0157】

次に、図16(B)に示すパルス出力回路1401の動作について説明する。ただし、CLK、CLKb、SPは、HレベルのときVdd、LレベルのときVssとし、さらに説明を簡単にするためVss=0と仮定する。

#### 【0158】

SPがHレベルになると、TFT801がオンになるため、TFT805のゲートの電位が上昇していく。そして最終的には、TFT805のゲートの電位がVdd-Vth(VthはTFT801~806のしきい値とする)となったところで、TFT801がオフし、浮遊状態となる。一方、SPがHレベルになるとTFT804がオンになるため、TFT802、806のゲートの電位は下降し、最終的にはVssとなり、TFT802、806はオフになる。TFT803のゲートは、このときLレベルとなっており、オフしている。

#### 【0159】

次にSPはLレベルとなり、TFT801、804がオフし、TFT805のゲートの電位がVdd-Vthで保持される。ここで、TFT805のゲート・ソース間電圧がそのしきい値Vthを上回っていれば、TFT805がオンする。

#### 【0160】

次に、ノード1に与えられているCLKがLレベルからHレベルに変わると、TFT805がオンしているので、ノード4、すなわちTFT805のソースの電位が上昇を始める。そしてTFT805のゲート・ソース間には容量素子807による容量結合が存在しているため、ノード4の電位上昇に伴い、浮遊状態となっているTFT805のゲートの電位が再び上昇する。最終的には、TFT805のゲートの電位は、Vdd+Vthよりも高くなり、ノード4の電位はVddに等しくなる。そして、上述の動作を2段目以降のパルス出力回路1401において同様行なわれ、順にパルスが出力される。

#### 【実施例10】

#### 【0161】

本実施例では、本発明の発光装置の一形態に相当するパネルの外観について、図17を用いて説明する。図17(A)は、第1の基板上に形成されたTFT及び発光素子を、第2の基板との間にシール材によって封止した、パネルの上面図であり、図17(B)は、図17(A)のA-A'における断面図に相当する。

#### 【0162】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、充填材4007と共に密封されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路4003が実装されている。なお本実施例では、多結晶半導体膜を用いたTFTを有する信号線駆動回路を、第1の基板4001に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図17では、信号線駆動回路4003に含まれる、多結晶半導体膜で形成されたTFT4009を例示する。

#### 【0163】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、TFTを複数有しており、図17(B)では、画素部4002に含まれるTFT401

10

20

30

40

50

0とを例示している。なお本実施例では、TFT4010が駆動用TFTであると仮定する。TFT4010はセミアモルファス半導体を用いたTFTに相当する。

【0164】

また4011は発光素子に相当し、発光素子4011が有する画素電極は、TFT4010のドレインと、配線4017を介して電気的に接続されている。そして本実施例では、発光素子4011の対向電極と透明導電膜4012が電気的に接続されている。なお発光素子4011の構成は、本実施の形態に示した構成に限定されない。発光素子4011から取り出す光の方向や、TFT4010の極性などに合わせて、発光素子4011の構成は適宜変えることができる。

【0165】

また、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、図17(B)に示す断面図では図示されていないが、引き回し配線4014及び4015を介して、接続端子4016から供給されている。

【0166】

本実施例では、接続端子4016が、発光素子4011が有する画素電極と同じ導電膜から形成されている。また、引き回し配線4014は、配線4017と同じ導電膜から形成されている。また引き回し配線4015は、TFT4010が有するゲート電極と、同じ導電膜から形成されている。

【0167】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電気的に接続されている。

【0168】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0169】

但し、発光素子4011からの光の取り出し方向に位置する基板には、第2の基板は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0170】

また、充填材4007としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施例では充填材として窒素を用いた。

【0171】

なお図17では、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施例はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0172】

なお本実施例では、セミアモルファス半導体を用いたTFTで発光装置の駆動回路と画素部を同じ基板上に形成した例について説明したが、本発明はこの構成に限定されない。アモルファス半導体を用いたTFTで画素部を形成し、該画素部が形成された基板に別途形成された駆動回路を貼り付けても良い。

【0173】

10

20

30

40

50

本実施例は、他の実施例に記載した構成と組み合わせて実施することが可能である。

【実施例 11】

【0174】

発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0175】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パソコンコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDVD: Digital Versatile Disc)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に携帯用電子機器の場合、斜め方向から画面を見る機会が多く、視野角の広さが重要視されるため、発光装置を用いることが望ましい。また本発明では、半導体膜の成膜後に結晶化の工程を設ける必要がないので、比較的パネルの大型化が容易であるため、10~50インチの大型のパネルを用いた電子機器に非常に有用である。それら電子機器の具体例を図18に示す。

10

【0176】

図18(A)は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置を表示部2003に用いることで、本発明の表示装置が完成する。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができます。なお、発光素子表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

20

【0177】

図18(B)はノート型パソコンコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置を表示部2203に用いることで、本発明のノート型パソコンコンピュータが完成する。

30

【0178】

図18(C)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明の発光装置を表示部A2403、B2404に用いることで、本発明の画像再生装置が完成する。

【0179】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

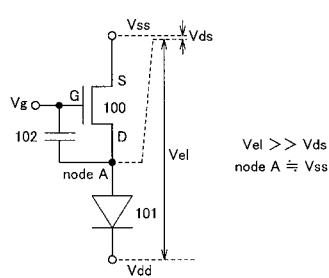
40

【0180】

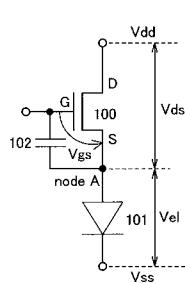
以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は、実施例1~10に示したいずれの構成の発光装置を用いても良い。

【図1】

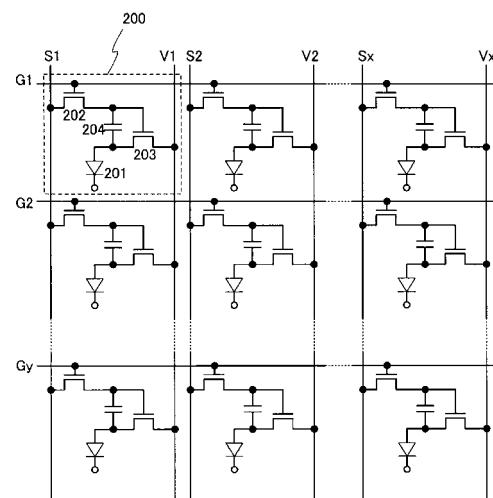
(A)書き込み期間(逆方向バイアス印加時)



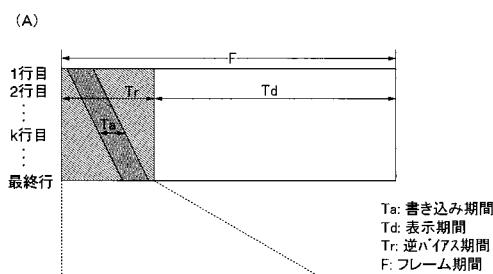
(B)表示期間(順方向バイアス印加時)



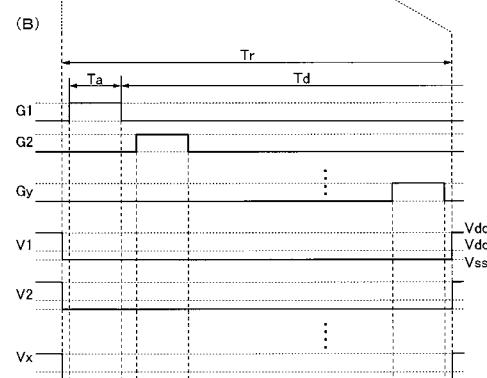
【図2】



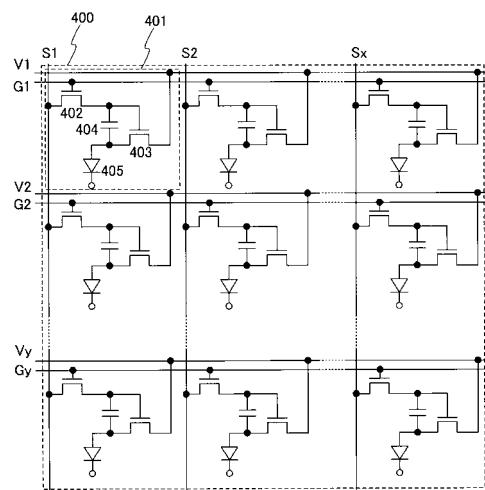
【図3】



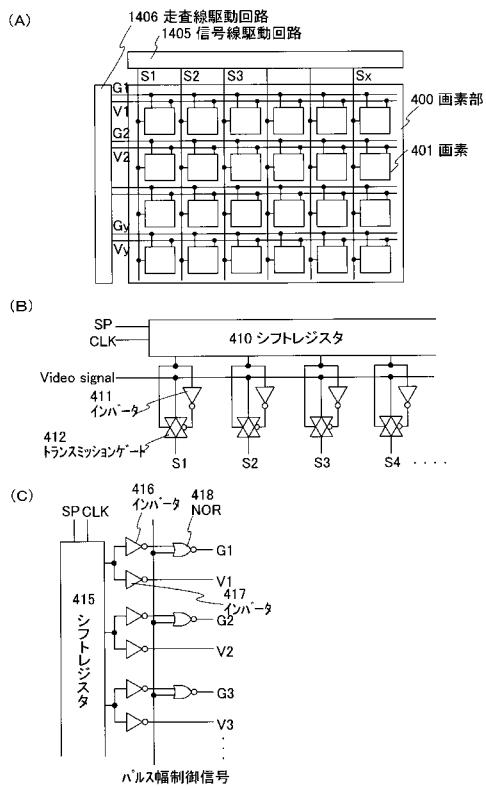
$T_a$ : 書き込み期間  
 $T_d$ : 表示期間  
 $T_r$ : 逆バイアス期間  
 $F$ : フレーム期間



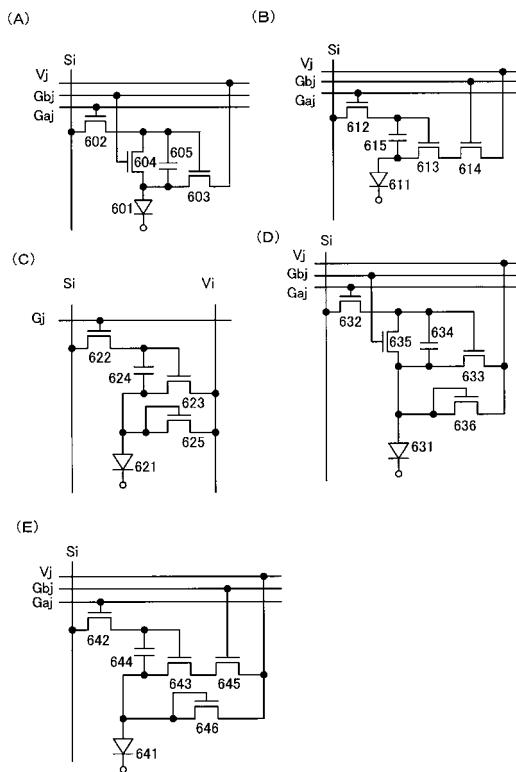
【図4】



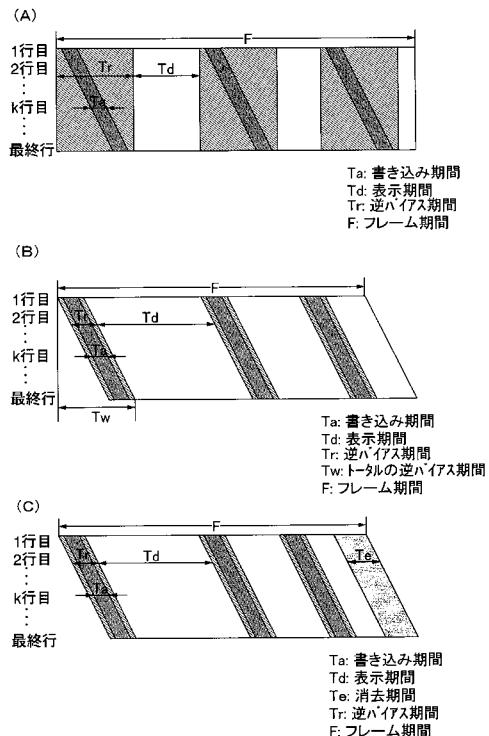
【図5】



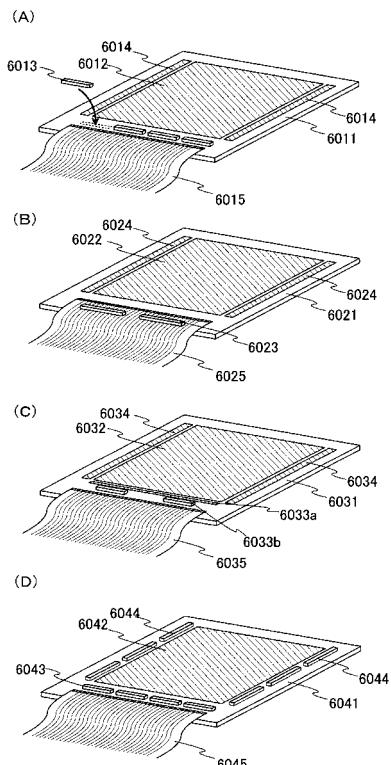
【図6】



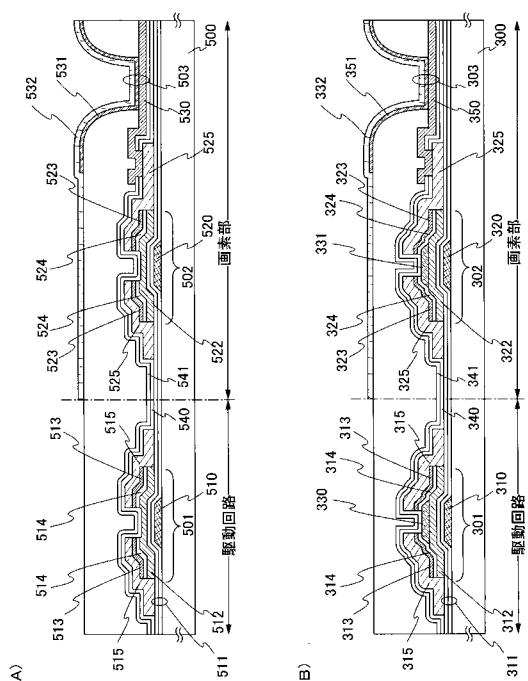
【図7】



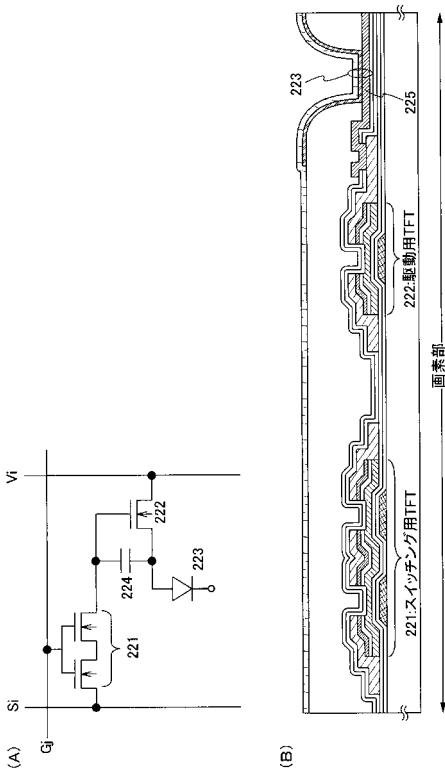
【図8】



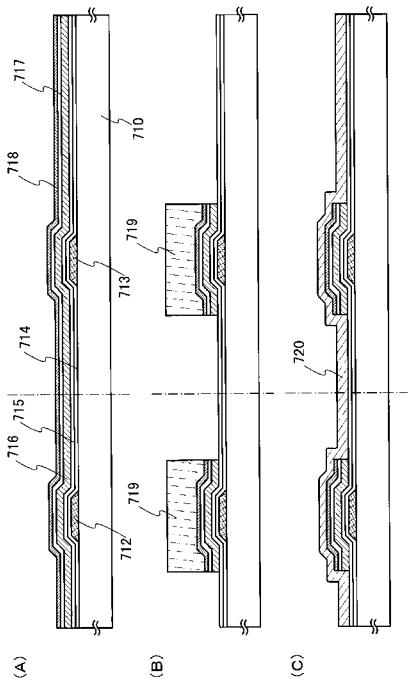
【 四 9 】



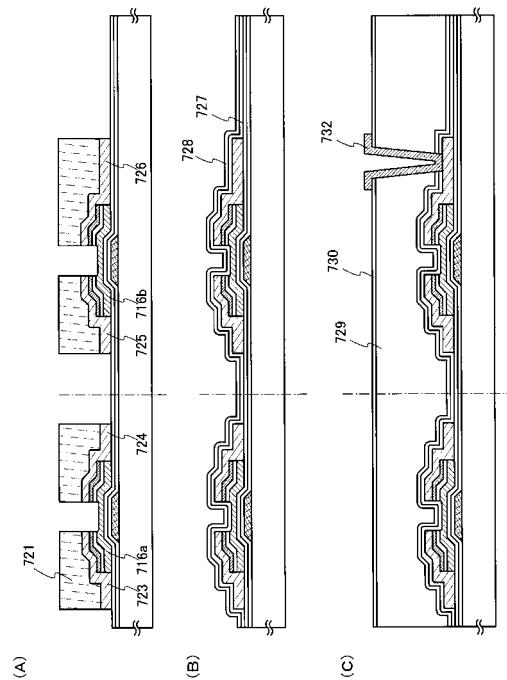
【 図 1 0 】



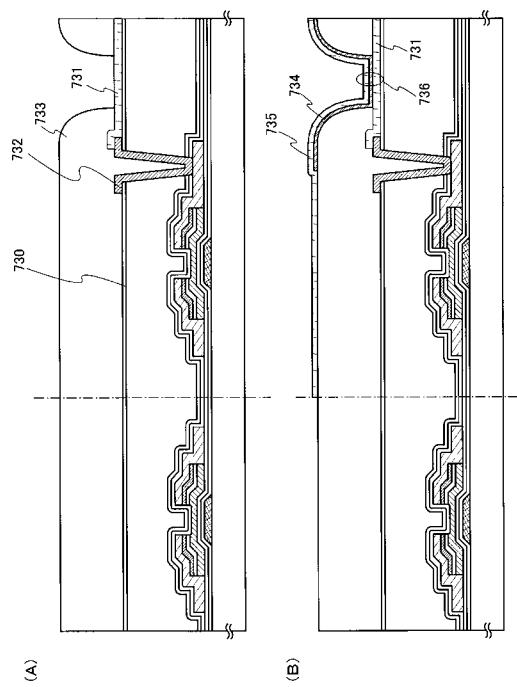
【 図 1 1 】



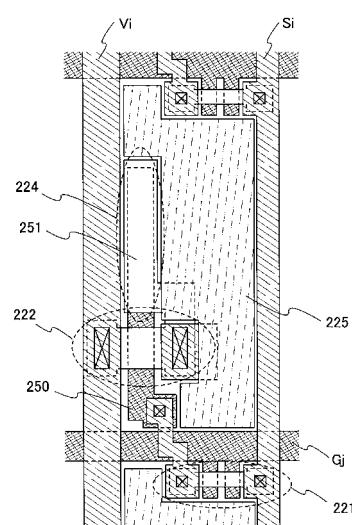
【図12】



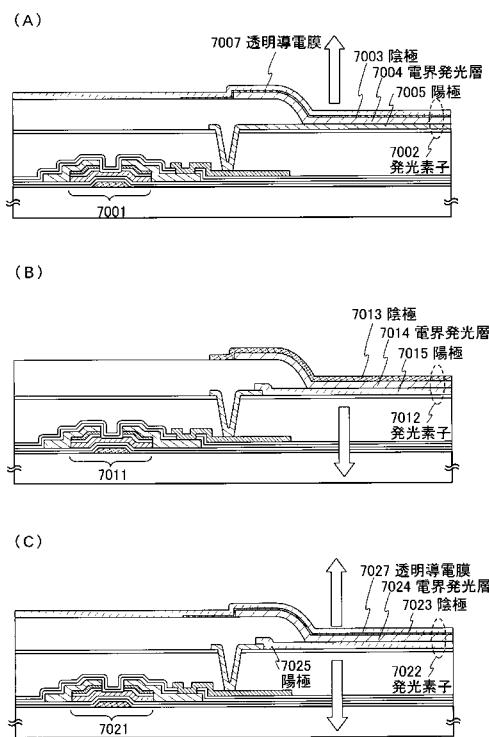
【図13】



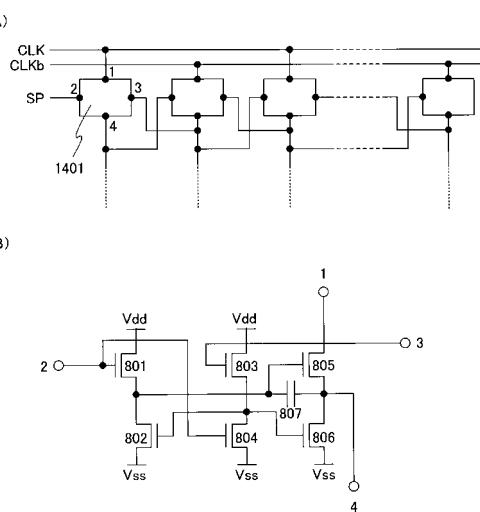
【図14】



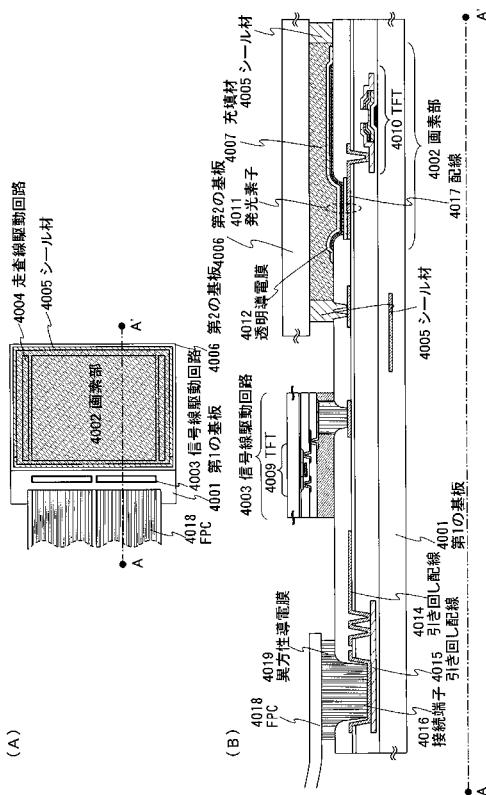
【図15】



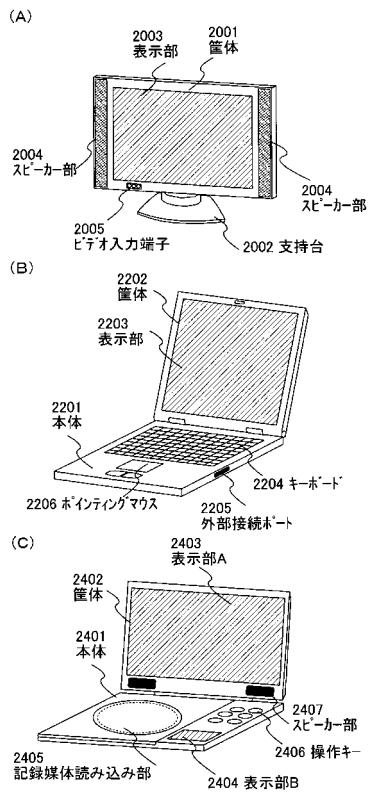
【図16】



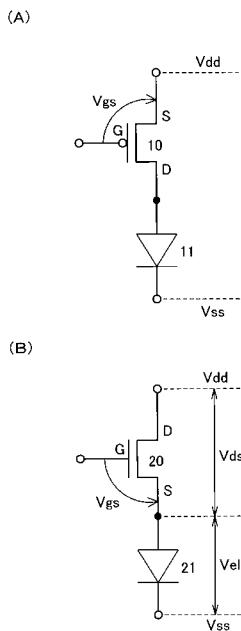
【 図 1 7 】



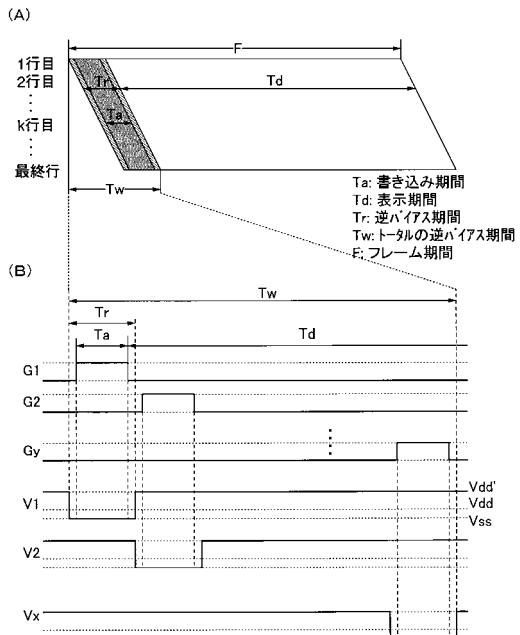
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



**【手続補正書】**

【提出日】平成23年8月19日(2011.8.19)

**【手続補正2】**

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

**【補正の内容】**

【特許請求の範囲】

**【請求項1】**

発光素子、n型の第1のTFT、n型の第2のTFT、及び容量素子を有する画素がマトリクス状に設けられた画素部と、

シフトレジスタ、及びインバータを有する駆動回路とを有し、

前記第1のTFTのソースまたはドレインの一方は、第1の配線に電気的に接続され、

前記第1のTFTのソースまたはドレインの他方は、前記第2のTFTのゲートに電気的に接続され、

前記第1のTFTのゲートは、第2の配線に電気的に接続され、

前記第2のTFTのソースまたはドレインの一方は、第3の配線に電気的に接続され、

前記第2のTFTのソースまたはドレインの他方は、前記発光素子の陽極に電気的に接続され、

前記容量素子の一方の電極は、前記第2のTFTのゲートに電気的に接続され、

前記容量素子の他方の電極は、前記第2のTFTのソースまたはドレインの他方に電気的に接続され、

前記第3の配線は、前記第2の配線と平行に配置され、

前記シフトレジスタから出力される信号は、前記インバータを介して前記第3の配線に  
入力されることを特徴とする発光装置。

**【請求項2】**

発光素子、n型の第1のTFT、n型の第2のTFT、及び容量素子を有する画素がマトリクス状に設けられた画素部を有し、

前記第1のTFTのソースまたはドレインの一方は、第1の配線に電気的に接続され、

前記第1のTFTのソースまたはドレインの他方は、前記第2のTFTのゲートに電気的に接続され、

前記第1のTFTのゲートは、第2の配線に電気的に接続され、

前記第2のTFTのソースまたはドレインの一方は、第3の配線に電気的に接続され、

前記第2のTFTのソースまたはドレインの他方は、前記発光素子の陽極に電気的に接続され、

前記容量素子の一方の電極は、前記第2のTFTのゲートに電気的に接続され、

前記容量素子の他方の電極は、前記第2のTFTのソースまたはドレインの他方に電気的に接続され、

前記第3の配線は、前記第2の配線と平行に配置されていることを特徴とする発光装置。

**【請求項3】**

請求項1または請求項3に記載の発光装置が表示部に用いられた電子機器。

## フロントページの続き

(51) Int.Cl.

F I

H 05 B 33/14

テーマコード(参考)

A

F ターム(参考) 5C380 AA01 AB06 AB11 AB12 AB18 AB22 AB23 AC04 AC05 AC07  
AC08 AC09 AC11 AC12 AC13 AC16 BB02 BD02 BD08 BD09  
CA02 CA04 CA08 CA12 CA14 CB01 CB12 CB20 CC02 CC27  
CC30 CC33 CC38 CC39 CC62 CC63 CD012 CD013 CD014 CF07  
CF22 CF23 CF33 CF46 CF51 DA02 DA06 DA09