

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月12日(12.03.2020)



(10) 国際公開番号

WO 2020/049975 A1

- (51) 国際特許分類:
H05K 1/02 (2006.01) *H05K 3/10* (2006.01)
H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2019/032096
- (22) 国際出願日: 2019年8月16日(16.08.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-164664 2018年9月3日(03.09.2018) JP
- (71) 出願人: 株式会社オートネットワーク技術
研究所(AUTONETWORKS TECHNOLOGIES,
LTD.) [JP/JP]; 〒5108503 三重県四日市市西
末広町1番14号 Mie (JP). 住友電装株式

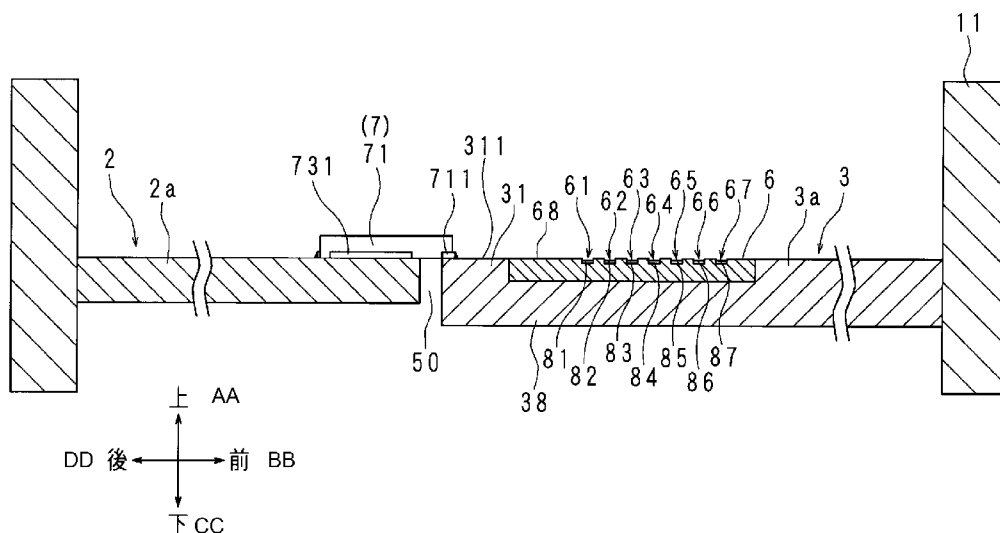
会社(SUMITOMO WIRING SYSTEMS, LTD.)
[JP/JP]; 〒5108503 三重県四日市市西末広
町1番14号 Mie (JP). 住友電気工業株
式会社(SUMITOMO ELECTRIC INDUSTRIES,
LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区
北浜四丁目5番33号 Osaka (JP).

(72) 発明者: 原 口 章 (HARAGUCHI, Akira);
〒5108503 三重県四日市市西末広町1番
14号 株式会社オートネットワーク
技術研究所内 Mie (JP).

(74) 代理人: 河野 英仁, 外(KOHNO, Hideto et al.);
〒5400035 大阪府大阪市中央区釣鐘町二丁目
4番3号 河野特許事務所 Osaka (JP).

(54) Title: CIRCUIT STRUCTURE AND METHOD FOR PRODUCING CIRCUIT STRUCTURE

(54) 発明の名称: 回路構造体及び回路構造体の製造方法



AA Top
BB Front
CC Bottom
DD Rear

(57) Abstract: This circuit structure has mounted thereon a plurality of semiconductor elements (7) provided with a plurality of first terminals (711) and at least one second terminal arranged in parallel with the first terminals (711). The circuit structure is provided with: connection land sections (31) arranged in parallel in the direction of parallel arrangement of the semiconductor elements (7) and connected with the first terminals (711) of each semiconductor element (7); an insulating section (6) provided between the connection land sections (31); and a conductive section provided to the insulating section

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(6) and connected with the second terminal.

(57) 要約: 複数の第1端子(7 1 1)と、第1端子(7 1 1)と並設された少なくとも一つの第2端子とを備える半導体素子(7)が複数実装された回路構造体において、半導体素子(7)の並設方向に並設され、半導体素子(7)毎に第1端子(7 1 1)と接続された接続ランド部(3 1)と、前記接続ランド部(3 1)同士の間設けられた絶縁部(6)と、絶縁部(6)に設けられ、第2端子と接続された導電部とを備える。

明 細 書

発明の名称： 回路構造体及び回路構造体の製造方法

技術分野

[0001] 本発明は、半導体素子が実装された回路構造体及び斯かる回路構造体の製造方法に関する。

本出願は、2018年9月3日出願の日本出願第2018-164664号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

背景技術

[0002] 従来から、自動車には、電源からヘッドランプ、ワイパー等の負荷へ電力を分配する電気接続箱が搭載されている。電気接続箱は、電源に接続されて電力回路を構成するバスバと、前記電力回路を制御する制御回路を有する回路基板とを備える。電力回路には電力の供給・遮断を行うスイッチング素子等を備える。

[0003] 特許文献1には、配線パターン状に打ち抜いた複数のバスバを、電子部品が実装される部分を露出した状態で、例えば絶縁材料を用いて一体化成形した電子部品搭載用基板が提案されている。

先行技術文献

特許文献

[0004] 特許文献1：特開平9-321395号公報

発明の概要

[0005] 本開示の一態様に係る回路構造体は、複数の第1端子と、前記第1端子と並設された少なくとも一つの第2端子とを備える半導体素子が複数実装された回路構造体において、前記半導体素子の並設方向に並設され、前記半導体素子毎に前記第1端子と接続された接続部と、前記接続部同士の間設けられた絶縁部と、前記絶縁部に設けられ、前記第2端子と接続された導電部とを備える。

[0006] 本開示の一態様に係る回路構造体の製造方法は、複数の第1端子と、前記第1端子と並設された少なくとも一つの第2端子とを備える半導体素子が複数実装される回路構造体の製造方法において、第1導電片と、前記第1導電片に一辺側が接続された矩形の接続板部と、前記接続板部の前記一辺と対向する他辺側に並設され、前記第1端子に接続される接続部とが一体成型された一体部材に対して、前記接続部同士の間には絶縁部を形成し、前記絶縁部に溝部を形成し、前記溝部内に導電材を設け、前記第2端子と前記導電材とを接続する。

図面の簡単な説明

- [0007] [図1]本実施形態に係る電気接続箱の外見を示す斜視図である。
- [図2]本実施形態に係る電気接続箱の分解図である。
- [図3]本実施形態に係る回路構造体の分解図である。
- [図4]図3の四角の破線部を拡大した拡大図である。
- [図5]図4におけるV-V線による縦断面図である。
- [図6]図4におけるVⅠ-VⅠ線による縦断面図である。
- [図7]図5における絶縁部部分を拡大して示す図である。
- [図8]本実施形態に係る回路構造体の製造方法を説明する説明図である。
- [図9]本実施形態に係る回路構造体の製造方法を説明する説明図である。
- [図10]本実施形態に係る回路構造体の製造方法を説明する説明図である。
- [図11]本実施形態に係る回路構造体の製造方法を説明する説明図である。

発明を実施するための形態

[0008] [本開示が解決しようとする課題]

一方、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 等の半導体スイッチング素子を用いる場合、ドレイン端子・ソース端子・ゲート端子をそれぞれ別のバスバ上に接続する必要があるが生じる。

[0009] 一般にはスイッチング素子の端子配列は、ソース端子とゲート端子とが直線状に並設され、端子ピッチに合わせて所定間隙にてバスバが夫々配置される。またドレイン端子に係るバスバも、ソース端子・ゲート端子に係るバス

バと所定間隙を隔てて配置される。

[0010] ところが、近年、スイッチング素子の小型化に伴い、端子ピッチが狭小されつつあり、バスバ同士を隣り合わせる配置が物理的に難しくなっている。また、複数のスイッチング素子を並設させるような場合は、バスバの配置が更に困難である。

[0011] しかしながら、特許文献 1 に係る電子部品搭載用基板においては、このような問題については考慮されておらず、解決することは出来ない。

[0012] そこで、狭小な端子ピッチを有する複数の半導体素子を並設する場合において、精度よい配線が可能な回路構造体及び斯かる回路構造体の製造方法を提供することを目的とする。

[0013] [本開示の効果]

本開示の一態様によれば、狭小な端子ピッチを有する複数の半導体素子を並設する場合においても、精度よい配線が可能な回路構造体及び斯かる回路構造体の製造方法を提供できる。

[0014] [本発明の実施形態の説明]

最初に本開示の実施態様を列挙して説明する。また、以下に記載する実施形態の少なくとも一部を任意に組み合わせてもよい。

[0015] (1) 本開示の一態様に係る回路構造体は、複数の第 1 端子と、前記第 1 端子と並設された少なくとも一つの第 2 端子とを備える半導体素子が複数実装された回路構造体において、前記半導体素子の並設方向に並設され、前記半導体素子毎に前記第 1 端子と接続された接続部と、前記接続部同士の間に設けられた絶縁部と、前記絶縁部に設けられ、前記第 2 端子と接続された導電部とを備える。

[0016] 本態様にあつては、前記第 1 端子を前記接続部に接続させ、前記接続部同士の間に設けられた前記絶縁部内に設けられた前記導電部に前記第 2 端子を接続させる。従って、前記第 1 端子及び前記第 2 端子間のピッチが狭小な複数の半導体素子を並設する場合においても、精度よく配線ができ、前記第 1 端子の配線及び前記第 2 端子の配線間にショート等が発生することを防止で

きる。

[0017] (2) 本開示の一態様に係る回路構造体は、前記導電部は、前記絶縁部に形成された溝部と、前記溝部内に設けられた導電材とを含む。

[0018] 本態様にあっては、前記導電部が、前記絶縁部に形成された前記溝部と、前記溝部内に設けられた前記導電材とからなる。従って、前記第1端子の配線及び前記第2端子の配線間にショート等が発生することを防止できるうえに、各半導体素子の前記第2端子間のショート等が発生することを防止できる。

[0019] (3) 本開示の一態様に係る回路構造体は、前記接続部と接続された第1導電片と、矩形であり、一辺側が前記第1導電片と接続され、前記一辺と対向する他辺側が前記接続部と接続された接続板部とを備え、前記第1導電片、前記接続板部、及び、前記接続部が一体形成してある。

[0020] 本態様にあっては、前記第1導電片、前記接続板部、及び、前記接続部が一体形成されてある。従って、前記第1導電片、前記接続板部、及び、前記接続部の間における接続点がなくなり、これらの間の電気抵抗を減らすことができる。

[0021] (4) 本開示の一態様に係る回路構造体は、前記接続部は、前記接続板部の一面上に設けられ、前記絶縁部は、前記接続板部の前記一面を覆うように設けられており、前記絶縁部において前記導電部が形成された導電面と、前記接続部において前記第1端子と接続された接続面とは面一である。

[0022] 本態様にあっては、前記絶縁部において前記導電部が形成された導電面と、前記接続部において前記第1端子と接続された接続面とは面一である。従って、一つの半導体素子において、並設された前記第1端子及び前記第2端子の配線が容易にできる。

[0023] (5) 本開示の一態様に係る回路構造体は、前記絶縁部の前記導電面及び前記接続部の前記接続面と面一に設けられ、前記接続部の並設方向と交差する方向に、前記接続部と間隔を挟んで配置された第2導電片を備え、各半導体素子の第3端子が前記第2導電片と接続している。

- [0024] 本態様にあつては、前記第2導電片が前記接続部と間隔を挟んで配置され、前記第3端子と、前記第1端子及び前記第2端子とが絶縁されている。また、前記第2導電片が前記絶縁部の前記導電面及び前記接続部の前記接続面と面一であるので、一つの半導体素子が備える前記第1端子、前記第2端子及び前記第3端子を、同一面上に配線することができる。
- [0025] (6) 本開示の一態様に係る回路構造体は、前記複数の半導体素子は、前記接続板部の前記他辺において両端を除く部分に設けられ、前記絶縁部は、前記接続板部の前記他辺の両端近傍に、前記第1導電片及び前記第2導電片の間の間隔を維持する間隔維持部を有する。
- [0026] 本態様にあつては、前記第1導電片及び前記第2導電片の間の間隔を維持する前記間隔維持部が、前記半導体素子が設けられていない、前記接続板部の前記他辺の両端近傍に設けられている。従って、半導体素子の発熱によって前記間隔維持部が膨張することに起因する問題を事前に防止することができる。
- [0027] (7) 本開示の一態様に係る回路構造体は、前記導電材は、前記溝部内において、前記導電面より低い位置に設けられている。
- [0028] 本態様にあつては、前記溝部内において前記導電材が前記導電面より低く設けられているので、例えば、前記導電面上に水滴が落ちて複数の導電部に跨っているような状態になった場合であっても、水滴と前記導電材が接することを防ぎ、エレクトロマイグレーションが生じることを防止できる。
- [0029] (8) 本開示の一態様に係る回路構造体の製造方法は、複数の第1端子と、前記第1端子と並設された少なくとも一つの第2端子とを備える半導体素子が複数実装される回路構造体の製造方法において、第1導電片と、前記第1導電片に一辺側が接続された矩形の接続板部と、前記接続板部の前記一辺と対向する他辺側に並設され、前記第1端子に接続される接続部とが一体成型された一体部材に対して、前記接続部同士の間には絶縁部を形成し、前記絶縁部に溝部を形成し、前記溝部内に導電材を設け、前記第2端子と前記導電材とを接続する。

- [0030] 本態様にあつては、前記第1導電片と、前記接続板部と、複数の前記接続部とが一体成型された一体部材に対して、前記接続部同士の間前記絶縁部を形成し、前記絶縁部に前記溝部を形成し、前記溝部内に設ける前記導電材が前記第2端子と接続する。従つて、前記第1端子及び前記第2端子の配線間の絶縁が確実に行われ、且つ前記第1端子及び前記第2端子間のピッチが狭小な複数の半導体素子を並設する場合においても、精度よく配線ができる。
- [0031] (9) 本開示の一態様に係る回路構造体の製造方法は、前記一体部材と、各半導体素子の第3端子が接続される第2導電片とを収容する枠体を形成することを含み、前記絶縁部の形成、前記溝部の形成及び前記枠体の形成は同時に行われる。
- [0032] 本態様にあつては、前記絶縁部の形成、前記溝部の形成及び前記枠体の形成は同時に行われる。従つて、製造工程を簡素化できる。
- [0033] (10) 本開示の一態様に係る回路構造体の製造方法は、前記接続部に前記第1端子を接続し、前記第2導電片に前記第3端子を接続し、前記溝部内に導電材を設けて、前記第2端子と前記導電材とを接続させる。
- [0034] 本態様にあつては、前記第1端子と前記接続部との接続、及び、前記第2導電片と前記第3端子との接続が完了した後、前記溝部内に前記導電材を設けると共に、前記第2端子と前記導電材との接続が行われる。前記第1端子の接続及び前記第3端子の接続後であるので、前記第2端子に対する位置決めが確実であり、前記導電材を設けると共に前記第2端子との接続が行われるので製造工程を簡素化できる。
- [0035] (11) 本開示の一態様に係る回路構造体の製造方法は、前記絶縁部の形成、前記溝部の形成及び前記枠体の形成はインサート成形にて行われる。
- [0036] 本態様にあつては、前記絶縁部の形成、前記溝部の形成及び前記枠体の形成はインサート成形にて行われるので、同時に成形でき、製造工程を簡素化できる。
- [0037] (12) 本開示の一態様に係る回路構造体の製造方法は、前記導電材は銅ナ

ノ粒子インクを用いる。

[0038] 本態様にあつては、前記導電材として銅ナノ粒子インクを用いる。低温焼成処理によって銅ナノ粒子インクが硬化し、この際、前記第2端子との接続が完了する。従って、製造工程を簡素化できる。

[0039] [本発明の実施形態の詳細]

本発明をその実施形態を示す図面に基づいて具体的に説明する。本開示の実施形態に係る回路構造体及びその製造方法を、以下に図面を参照しつつ説明する。なお、本発明はこれらの例示に限定されるものではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

[0040] 以下においては、本実施形態に係る回路構造体を、電源からヘッドランプ、ワイパー等の負荷へ電力を分配する電気接続箱に適用した場合を例にあげて説明する。

[0041] 図1は、本実施形態に係る電気接続箱100の外見を示す斜視図であり、図2は、本実施形態に係る電気接続箱100の分解図である。

本実施形態に係る電気接続箱100は略箱体の形状をなしており、制御回路基板9と、制御回路基板9を収容する回路構造体10と、制御回路基板9を収容した回路構造体10を覆う蓋80と、回路構造体10を挟んで蓋80と反対側に設けられ、回路構造体10が発する熱を放熱するヒートシンク90とを備える。ヒートシンク90は、ネジ70が回路構造体10の四隅に形成された貫通孔60に挿入されてヒートシンク90の四隅に形成された螺子穴91と螺合することによって回路構造体10に取り付けられる。

[0042] 回路構造体10には、複数の半導体素子71～77が並設されている（図3参照）。以下、説明の便宜上、半導体素子71～77を単に半導体素子7とも言う。また、半導体素子71～77は同じ構成を有するので、説明の便宜上、半導体素子71の場合を例に挙げて説明し、半導体素子72～77についての説明を省略する。

[0043] 図3は、本実施形態に係る回路構造体10の分解図であり、図4は、図3

の四角の破線部を拡大した拡大図である。

- [0044] 各半導体素子 7 は、例えば F E T（より具体的には面実装タイプのパワー MOS F E T）であり、3つのソース端子 7 1 1（第 1 端子）、1つのゲート端子 7 2 1（第 2 端子）及び1つのドレイン端子 7 3 1（図 5 及び図 6 参照）を有している。3つのソース端子 7 1 1 とゲート端子 7 2 1 とは直線状に並設されており、ドレイン端子 7 3 1（第 3 端子）は半導体素子 7 の下側に設けられている。
- [0045] 半導体素子 7 1 ～ 7 7 は、第 1 バスバ 3 a（第 1 導電片）を備える第 1 通電体 3（一体部材）と、第 2 バスバ 2 a（第 2 導電片）を備える第 2 通電体 2 とに跨るように実装されている。即ち、半導体素子 7 1 ～ 7 7 の並設方向と交差する方向（前後方向）に、第 1 通電体 3 と第 2 通電体 2 とが所定の間隔 5 0 を隔てて配置されており、各半導体素子 7 の一端が第 1 通電体 3 に接続され、前記一端と対向する他端が第 2 通電体 2 に接続されている。半導体素子 7 1 ～ 7 7 は第 2 通電体 2 に固定されている。
- [0046] 第 1 通電体 3 及び第 2 通電体 2 は、例えば、略矩形の板状であり、夫々の上面が面一になるように配置されている。このような状態にて、第 1 通電体 3 及び第 2 通電体 2 は枠体 1 1 内に收容されている。第 1 通電体 3 の第 1 バスバ 3 a 及び第 2 通電体 2 の第 2 バスバ 2 a は夫々の長手方向が枠体 1 1 の長手方向と一致するように配置されている。枠体 1 1 は第その側面を取り囲んで 1 通電体 3 及び第 2 通電体 2 を保持している。
- [0047] 枠体 1 1 は、中空矩形であり、上下方向に所定の厚みを有する。制御回路基板 9 と接続されるコネクタ端子 5 が、枠体 1 1 の右側側壁を厚み方向に貫通して設けられ、一端が枠体 1 1 の内側に突出され、他端が枠体 1 1 の外側に突出されている。枠体 1 1 の右側側壁の外側には、コネクタ端子 5 の他端を保護する円筒形のハウジング 5 1 が取り付けられている。
- [0048] 第 1 通電体 3 は、第 1 バスバ 3 a、接続板部 3 8、絶縁部 6 及び接続ランド部 3 1 ～ 3 7（接続部）からなる。第 1 通電体 3 には、第 1 バスバ 3 a の前側（長辺側）の側面から垂直に立ち上がる端子板 3 9 が設けられている（

図 8 参照)。端子板 3 9 は、電源（バッテリー）又は負荷（ヘッドランプ、ワイパー等）に接続される。端子板 3 9 は、枠体 1 1 の前側の側壁を貫通し、枠体 1 1 の外側に突出している。

[0049] 第 2 通電体 2 には、第 2 バスバ 2 a の後側（長辺側）の側面から垂直に立ち上がる端子板 2 1 が設けられている（図 8 参照）。端子板 2 1 は、電源（バッテリー）又は負荷（ヘッドランプ、ワイパー等）に接続される。端子板 2 1 は、枠体 1 1 の後側の側壁を貫通し、枠体 1 1 の外側に突出している。

[0050] 図 5 は、図 4 における V-V 線による縦断面図であり、図 6 は、図 4 における VⅠ-VⅠ線による縦断面図である。第 1 通電体 3 の後側の側面と第 2 通電体 2 の前側の側面とは、間隔 5 0 を挟んで対向している。これによって、第 1 通電体 3 及び第 2 通電体 2 が絶縁されている。

[0051] 第 1 通電体 3 は、上面において前後方向の後側半部に絶縁部 6 が設けられている。絶縁部 6 は、例えば PPS（ポリフェニレンサルファイド）のような耐熱性の高い熱可塑性樹脂からなる。また、第 1 通電体 3 は、前後方向の前側半部に第 1 バスバ 3 a が設けられている。第 1 バスバ 3 a は、例えば純銅又は銅合金からなり、上面にはニッケルメッキが施されている。

[0052] 絶縁部 6 は略矩形板状であり、絶縁部 6 において後側の辺縁には、半導体素子 7 1～7 7 のソース端子と接続される接続ランド部 3 1～3 7 が設けられている。接続ランド部 3 1～3 7 は半導体素子 7 毎に 3 つのソース端子と夫々接続する。例えば、接続ランド部 3 1 は半導体素子 7 1 の 3 つのソース端子 7 1 1 と接続されている（図 4 参照）。

[0053] 絶縁部 6 の下側には、接続ランド部 3 1～3 7 を第 1 バスバ 3 a と接続する接続板部 3 8 が設けられている。換言すれば、絶縁部 6 は接続板部 3 8 の上面（一面）上に設けられている。接続板部 3 8 は、例えば純銅又は銅合金からなる。また、接続板部 3 8 は矩形であり、前側の一辺側が第 1 バスバ 3 a と接続され、前記一辺と対向する、後側の他辺側が接続ランド部 3 1～3 7 と接続されている。より詳しくは、接続ランド部 3 1～3 7 は、接続板部 3 8 の前記上面の上であって、後側の他辺側に設けられている（図 8 参照）

。

このように、板状の接続板部 38 を用いることによって、接続ランド部 31 ～ 37 と第 1 バスバ 3 a との接続における電気抵抗を減らすことができる。

。

[0054] 接続ランド部 31 ～ 37 は、半導体素子 71 ～ 77 の並設方向に沿って、即ち、左右方向に等間隔にて並設されている。接続ランド部 31 ～ 37 同士の間にも絶縁部 6 が設けられている。即ち、接続ランド部 31 ～ 37 同士の間と、接続ランド部 31 ～ 37 及び第 1 バスバ 3 a の間とには絶縁部 6 が設けられている。接続ランド部 31 ～ 37 は、例えば純銅又は銅合金からなる。

。

[0055] 接続ランド部 31 ～ 37 は上面（接続面）が矩形であり、前記上面に半導体素子 71 ～ 77 のソース端子が接続される。例えば、接続ランド部 31 の上面 311 には半導体素子 71 の 3 つのソース端子 711 が接続されている。上述する導電部 8 が設けられた絶縁部 6 の上面 68（導電面）と接続ランド部 31 ～ 37 の上面は面一をなしている（図 5 参照）。

[0056] 接続ランド部 31 ～ 37、接続板部 38 及び第 1 バスバ 3 a は一体形成されている。例えば、純銅又は銅合金の板材にニッケルメッキ処理を施した後、切断、切削、プレス加工などにより一体形成される。これによって、本実施形態に係る回路構造体 10 では、第 1 通電体 3 においていわゆる接続点がなくなり、電気抵抗を減らすことができる。

本実施形態に係る回路構造体 10 はこれに限るものでなく、接続ランド部 31 ～ 37、接続板部 38 及び第 1 バスバ 3 a を別々に設けて第 1 通電体 3 をなしても良い。

[0057] 絶縁部 6 の上面 68 には、導電部 8 が線状に設けられている。絶縁部 6 の上面 68 において左側の端部には制御回路基板 9 に接続するピン状の接続端子 4 が複数突設されている。導電部 8 は各半導体素子 7 のゲート端子を各接続端子 4 に夫々接続させる。即ち、半導体素子 71 ～ 77 は夫々導電部 8 を介して各接続端子 4 に接続される。

[0058] 各導電部 8 は、絶縁部 6 の上面 6 8 に形成された溝部 6 1 ～ 6 7 と、溝部 6 1 ～ 6 7 の内側に設けられた導電材 8 1 ～ 8 7 とを含む。溝部 6 1 ～ 6 7 は互いに干渉しないように形成されている。

[0059] 図 7 は、図 5 における絶縁部 6 部分を拡大して示す図である。

各溝部 6 1 ～ 6 7 は、第 2 通電体 2 に固定された各半導体素子 7 1 ～ 7 7 のゲート端子に整合する位置から夫々対応する接続端子 4 まで凹設されている。

[0060] 例えば、溝部 6 1 は半導体素子 7 1 のゲート端子 7 2 1 の真下から、何れかの接続端子 4 まで凹設されている（図 4 及び図 6 参照）。溝部 6 1 の内側には導電材 8 1 が設けられ、半導体素子 7 1 のゲート端子 7 2 1 及び対応する接続端子 4 が導電材 8 1 と接続している。導電材 8 1 ～ 8 7 には、例えば銅ナノ粒子インクを用いる。

[0061] このようにして、各接続端子 4 は導電部 8（導電材 8 1 ～ 8 7）を介して各半導体素子 7 1 ～ 7 7 のゲート端子と接続する。

接続端子 4 は制御回路基板 9 に接続されており、制御回路基板 9 が送信する、半導体素子 7 1 ～ 7 7 を制御する制御信号を、導電部 8 を介して各半導体素子 7 1 ～ 7 7 のゲート端子に送る。これによって、半導体素子 7 1 ～ 7 7 が制御され、第 1 通電体 3 から第 2 通電体 2 へ、又は第 2 通電体 2 から第 1 通電体 3 への通電が制御される。

[0062] 図 7 に示すように、各導電部 8 においては、導電材 8 1 ～ 8 7 が夫々溝部 6 1 ～ 6 7 の内側に設けられている。この際、導電材 8 1 ～ 8 7 の上面は溝部 6 1 ～ 6 7 からはみ出ることなく、絶縁部 6 の上面 6 8 よりも低い位置に位置する。

これによって、本実施形態に係る回路構造体 1 0 においては、例えば、第 1 通電体 3 上に水滴が落ちて複数の導電部 8 に跨っているような状態になった場合であっても、水滴と導電材 8 1 ～ 8 7 とが接することを防ぎ、エレクトロマイグレーションが生じることを事前に防止出来る。

[0063] 上述したように、接続ランド部 3 1 ～ 3 7（半導体素子 7 1 ～ 7 7）は、

絶縁部 6 において後側の辺縁部に並設されており、前記辺縁部において左右方向の両端を除く部分に設けられている。換言すれば、接続ランド部 3 1 ～ 3 7 は接続板部 3 8 の後側の辺縁部に並設されている。

[0064] 一方、絶縁部 6 は、後側の辺縁部における左右方向の両端に、第 1 バスバ 3 a 及び第 2 バスバ 2 a の間の間隔 5 0 を維持する間隔維持部 6 9 を有している。間隔維持部 6 9 は、絶縁部 6 の前記辺縁部における左右方向の両端部にて、第 2 バスバ 2 a 方向に、換言すれば第 2 通電体 2 及び第 1 通電体 3 の離隔方向に間隔 5 0 だけ突設されている。また、これに限るものでなく、間隔維持部 6 9 の一部が間隔 5 0 に介在するように構成しても良い。

[0065] このように、本実施形態に係る回路構造体 1 0 においては、半導体素子 7 1 ～ 7 7 の位置から離れて、絶縁部 6 の前記辺縁部における左右方向の両端部に間隔維持部 6 9 を設けている。従って、半導体素子 7 1 ～ 7 7 が発熱する際に間隔維持部 6 9 が熱膨張することによって生じる問題等を未然に防止出来る。

[0066] 第 2 通電体 2 (第 2 バスバ 2 a) には半導体素子 7 1 ～ 7 7 が固定されている。第 2 バスバ 2 a は矩形の板状であり、上面において、前側の辺縁部に半導体素子 7 1 ～ 7 7 が並設されている。半導体素子 7 1 ～ 7 7 は下方にドレイン端子を備えているので、ドレイン端子を第 2 バスバ 2 a に例えばはんだ付けさせることにより、半導体素子 7 1 ～ 7 7 が第 2 バスバ 2 a に固定される。

例えば、半導体素子 7 1 においては、ドレイン端子 7 3 1 が第 2 バスバ 2 a の前側の辺縁部にはんだ付けされている。これによって、半導体素子 7 1 が第 2 バスバ 2 a に接続されると共に、第 2 バスバ 2 a に固定される。

[0067] 制御回路基板 9 は、回路パターンが形成されており、マイクロコンピュータ又は制御 IC 等の制御素子が実装されている。制御回路基板 9 は接続端子 4 及びコネクタ端子 5 に接続されている。制御回路基板 9 はコネクタ端子 5 を介して入力される指示信号に応じて、半導体素子 7 1 ～ 7 7 の開閉を制御する制御信号を、接続端子 4 及び導電材 8 1 ～ 8 7 を介して半導体素子 7 1

～ 7 7 に送信する。

[0068] 以上のような構成を有することから、本実施形態に係る回路構造体 1 0 は、複数の端子を有し、端子間のピッチが狭小な半導体素子 7 を複数並設する場合においても、半導体素子 7 の各端子に係る配線を精度よく行うことができる。

[0069] 具体的には、本実施形態に係る回路構造体 1 0 においては、半導体素子 7 のソース端子に対しては接続ランド部 3 1 ～ 3 7 による配線を行い、ゲート端子に対しては絶縁部 6 の導電部 8 による配線を行うことにより、配線を精度良く行うことができ、ソース端子の配線とゲート端子の配線間にショートが生じることを防ぐことができる。

更に、導電部 8 は絶縁部 6 に設けられており、絶縁部 6 に形成された溝部 6 1 ～ 6 7 と、その内側に設けられた導電材 8 1 ～ 8 7 からなる。従って、導電部 8 同士間でショートが生じることを防止できる。

[0070] 以下、本実施形態に係る回路構造体 1 0 の製造方法について説明する。図 8 ～ 図 1 1 は、本実施形態に係る回路構造体 1 0 の製造方法を説明する説明図である。

[0071] 先ずは、接続ランド部 3 1 ～ 3 7、接続板部 3 8、第 1 バスバ 3 a 及び端子板 3 9 が一体形成された第 1 通電体 3 と、第 2 バスバ 2 a 及び端子板 2 1 が一体形成された第 2 通電体 2 とを用意する。斯かる第 1 通電体 3 及び第 2 通電体 2 は、例えば、純銅又は銅合金の板材に、厚み 2 ～ 3 m m のニッケルメッキ処理を施した後、切断、切削、プレス加工などを行うことによって作成される（図 8 参照）。

[0072] このように作成された第 1 通電体 3 及び第 2 通電体 2 と、接続端子 4 と、コネクタ端子 5 とをインサート成型用金型内に配置して、射出成形機にて一体成型する。成形樹脂としては、P P S (ポリフェニレンサルファイド) のような耐熱性の高い熱可塑性樹脂を使用する。

[0073] この工程にて、枠体 1 1 及びハウジング 5 1 が成形され、かつ第 2 通電体 2 (第 2 バスバ 2 a) の上面及び第 1 通電体 3 の接続ランド部 3 1 ～ 3 7 の

上面が露出した状態にて、第2バスバ2 aの上面及び接続ランド部3 1～3 7の上面と同一平面になるように絶縁部6が形成される（図9参照）。また、この際、絶縁部6の上面6 8には、導電部8用の溝部6 1～6 7が同時に形成される。上述したようにして、溝部6 1～6 7は、各半導体素子7 1～7 7のゲート端子の下部から、接続端子4を結ぶように設けられる。

[0074] 次いで、半導体素子7 1～7 7を実装する。具体的には、半導体素子7 1～7 7のドレイン端子と接続する第2通電体2の辺縁部、ソース端子と接続する接続ランド部3 1～3 7の上面にはんだペースト4 0を塗布後、半導体素子7 1～7 7を適宜載置して（図10参照）、この状態にてリフロー炉ではんだ付けを行う。

[0075] 以後、溝部6 1～6 7内に導電材を充填する。導電材としては、低温の焼成でバルクに近い導電性を発現する特徴を持つ銅ナノ粒子インクを用いる。

120℃程度の温度で焼成すると、溝部6 1～6 7内に導電材8 1～8 7が夫々形成され、半導体素子7 1～7 7のゲート端子及び接続端子4がそれぞれ銅配線（導電材8 1～8 7）と接合される。これによって、半導体素子7 1～7 7のゲート端子及び接続端子4が電氣的に接続される（図11参照）。

[0076] 次いで、制御回路基板9の所定位置に形成されたスルーホール部（図3参照）に、接続端子4及びコネクタ端子5をはんだ付けする。

[0077] 今回開示された実施形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0078] 2 第2通電体
2 a 第2バスバ
3 第1通電体
3 a 第1バスバ

- 4 接続端子
- 5 コネクタ端子
- 6 絶縁部
- 7 半導体素子
- 8 導電部
- 9 制御回路基板
- 10 回路構造体
- 11 枠体
- 31～37 接続ランド部
- 38 接続板部
- 39 端子板
- 40 はんだペースト
- 50 間隔
- 51 ハウジング
- 61～67 溝部
- 68 上面
- 69 間隔維持部
- 70 ネジ
- 80 蓋
- 71～77 半導体素子
- 81～87 導電材
- 90 ヒートシンク
- 91 螺子穴
- 100 電気接続箱
- 311 上面
- 711 ソース端子（第1端子）
- 721 ゲート端子（第2端子）
- 731 ドレイン端子

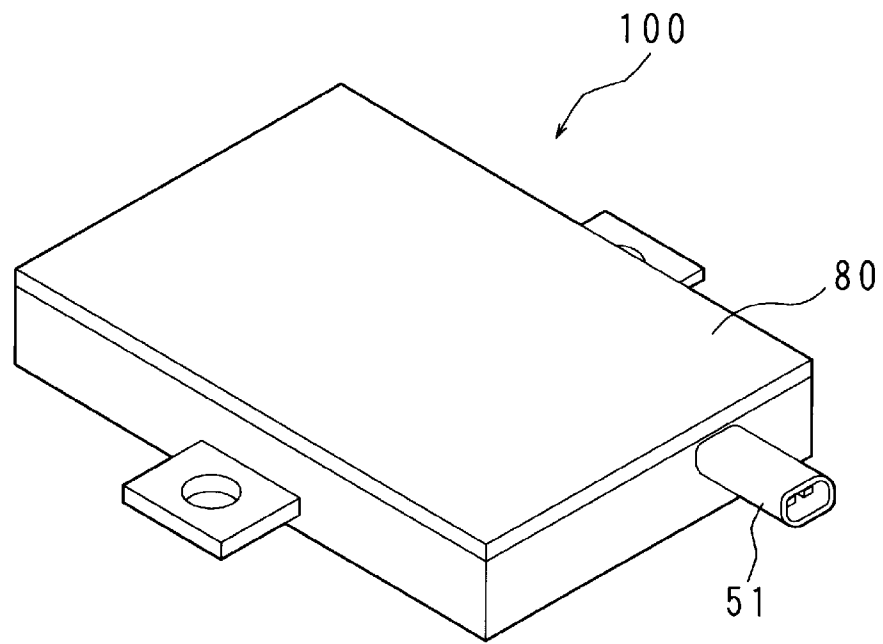
請求の範囲

- [請求項1] 複数の第1端子と、前記第1端子と並設された少なくとも一つの第2端子とを備える半導体素子が複数実装された回路構造体において、
前記半導体素子の並設方向に並設され、前記半導体素子毎に前記第1端子と接続された接続部と、
前記接続部同士の間設けられた絶縁部と、
前記絶縁部に設けられ、前記第2端子と接続された導電部と
を備える回路構造体。
- [請求項2] 前記導電部は、
前記絶縁部に形成された溝部と、
前記溝部内に設けられた導電材と
を含む請求項1に記載の回路構造体。
- [請求項3] 前記接続部と接続された第1導電片と、
矩形であり、一辺側が前記第1導電片と接続され、前記一辺と対向する他辺側が前記接続部と接続された接続板部とを備え、
前記第1導電片、前記接続板部、及び、前記接続部が一体形成してある請求項2に記載の回路構造体。
- [請求項4] 前記接続部は、前記接続板部の一面上に設けられ、
前記絶縁部は、前記接続板部の前記一面を覆うように設けられており、
前記絶縁部において前記導電部が形成された導電面と、前記接続部において前記第1端子と接続された接続面とは面一である請求項3に記載の回路構造体。
- [請求項5] 前記絶縁部の前記導電面及び前記接続部の前記接続面と面一に設けられ、前記接続部の並設方向と交差する方向に、前記接続部と間隔を挟んで配置された第2導電片を備え、
各半導体素子の第3端子が前記第2導電片と接続している請求項4に記載の回路構造体。

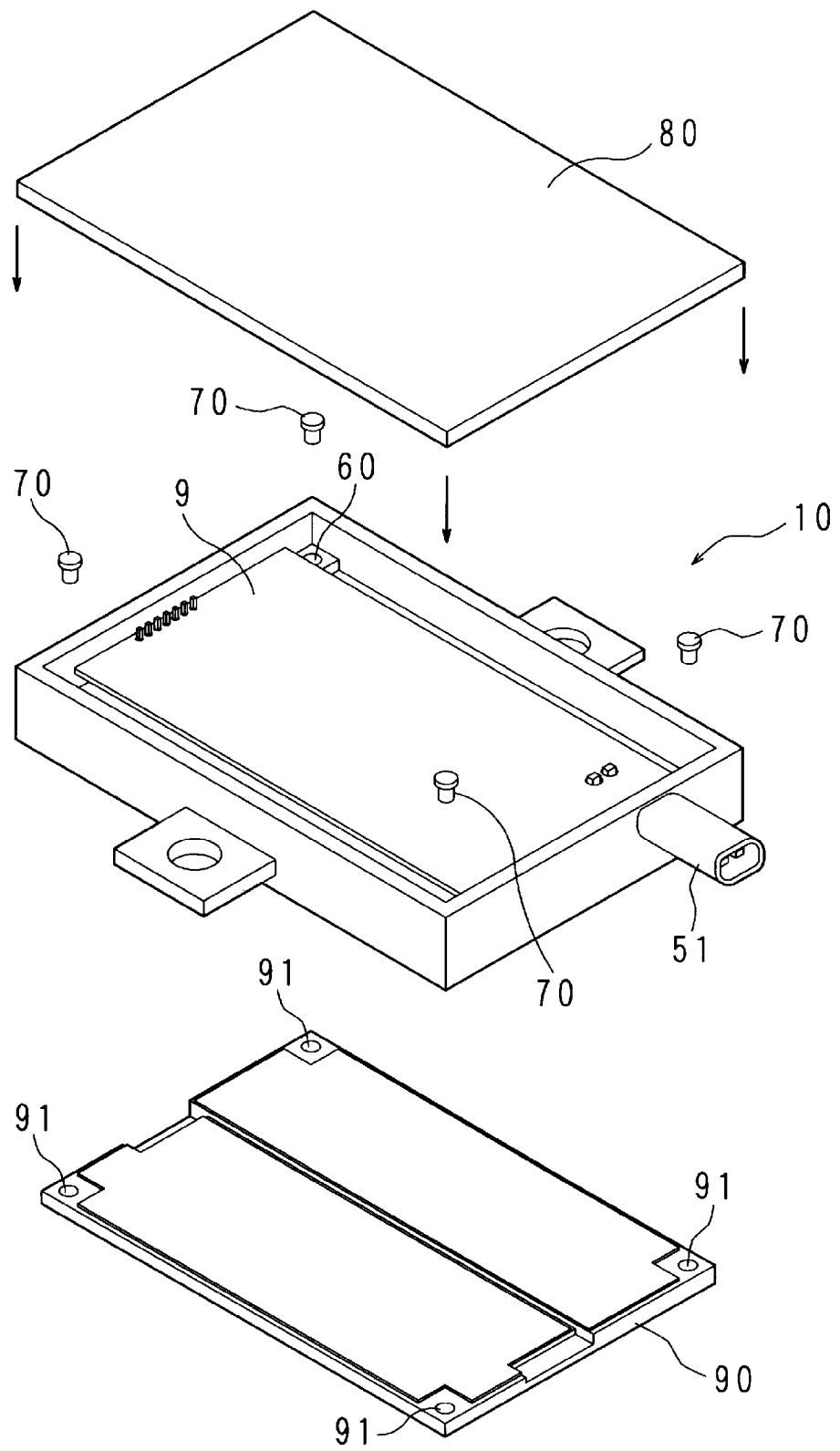
- [請求項6] 前記複数の半導体素子は、前記接続板部の前記他辺において両端を除く部分に設けられ、
- 前記絶縁部は、前記接続板部の前記他辺の両端近傍に、前記第1導電片及び前記第2導電片の間の間隔を維持する間隔維持部を有する請求項5に記載の回路構造体。
- [請求項7] 前記導電材は、前記溝部内において、前記導電面より低い位置に設けられている請求項4から6の何れか一つに記載の回路構造体。
- [請求項8] 複数の第1端子と、前記第1端子と並設された少なくとも一つの第2端子とを備える半導体素子が複数実装される回路構造体の製造方法において、
- 第1導電片と、前記第1導電片に一辺側が接続された矩形の接続板部と、前記接続板部の前記一辺と対向する他辺側に並設され、前記第1端子に接続される接続部とが一体成型された一体部材に対して、前記接続部同士の間絶縁部を形成し、
- 前記絶縁部に溝部を形成し、
- 前記溝部内に導電材を設け、
- 前記第2端子と前記導電材とを接続することを含む回路構造体の製造方法。
- [請求項9] 前記一体部材と、各半導体素子の第3端子が接続される第2導電片とを収容する枠体を形成することを含み、
- 前記絶縁部の形成、前記溝部の形成及び前記枠体の形成は同時に行われる請求項8に記載の回路構造体の製造方法。
- [請求項10] 前記接続部に前記第1端子を接続し、
- 前記第2導電片に前記第3端子を接続し、
- 前記溝部内に導電材を設けて、前記第2端子と前記導電材とを接続させる請求項9に記載の回路構造体の製造方法。
- [請求項11] 前記絶縁部の形成、前記溝部の形成及び前記枠体の形成はインサート成形にて行われる請求項9に記載の回路構造体の製造方法。

[請求項12] 前記導電材は銅ナノ粒子インクを用いる請求項8から11の何れか一つに記載の回路構造体の製造方法。

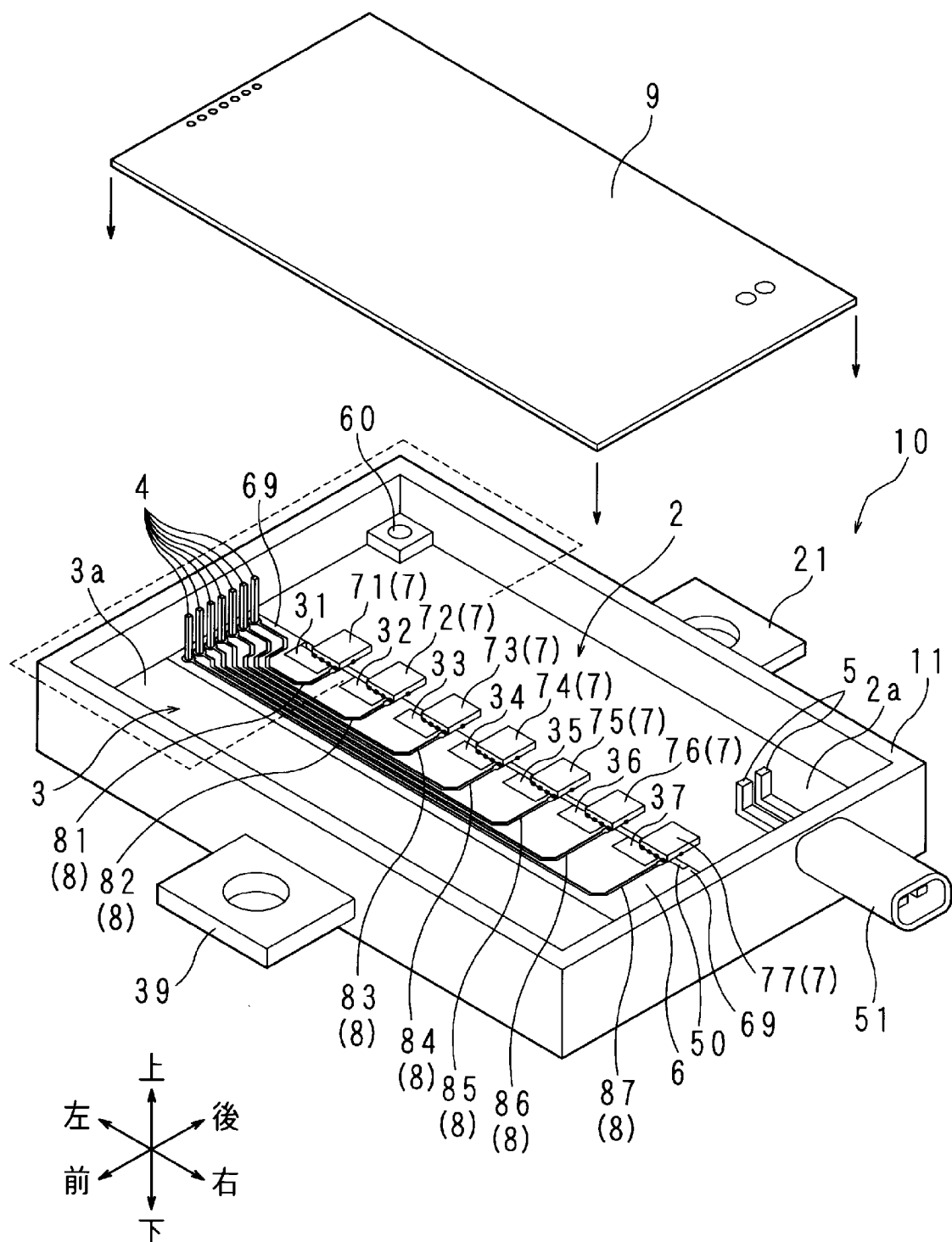
[図1]



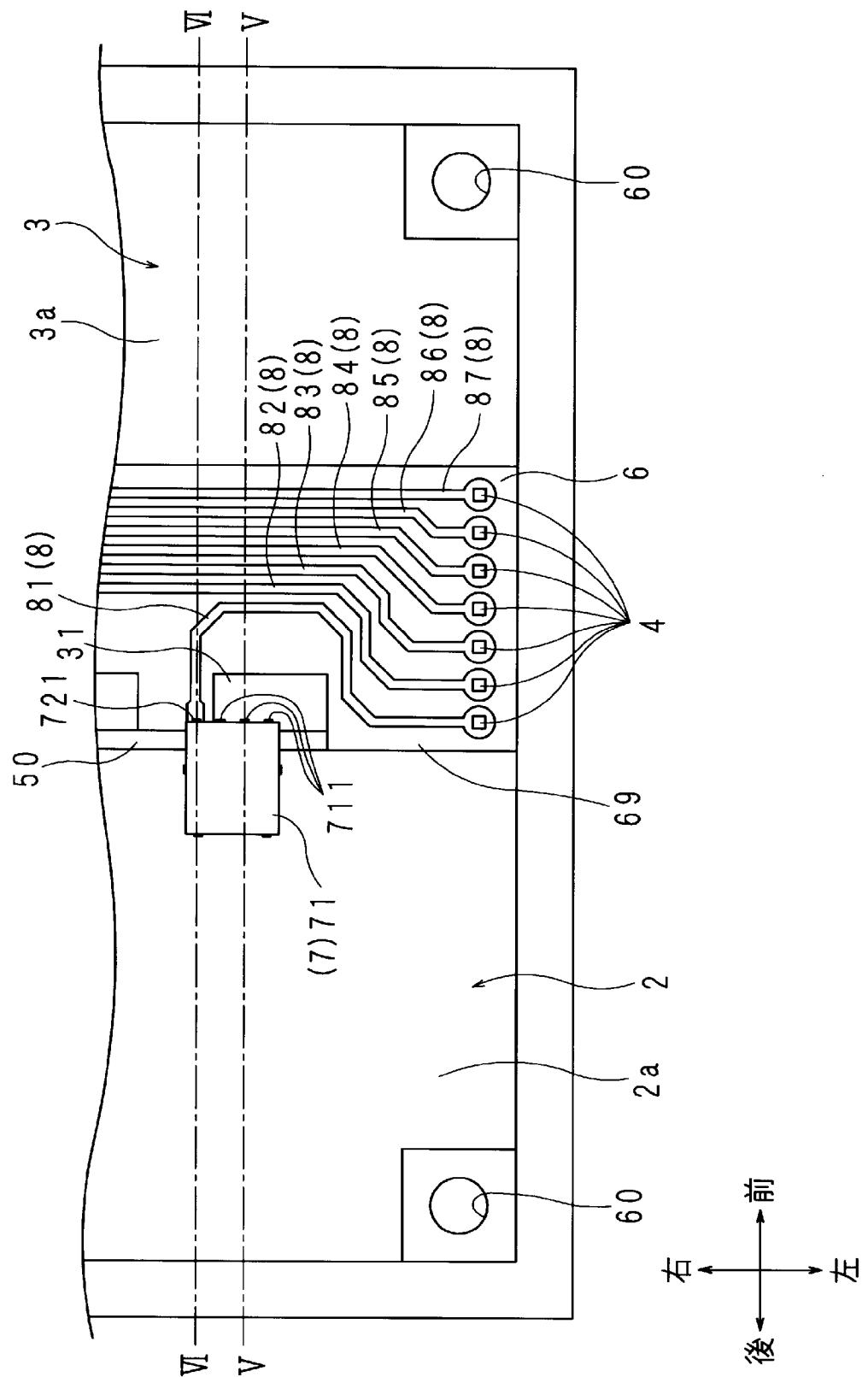
[図2]



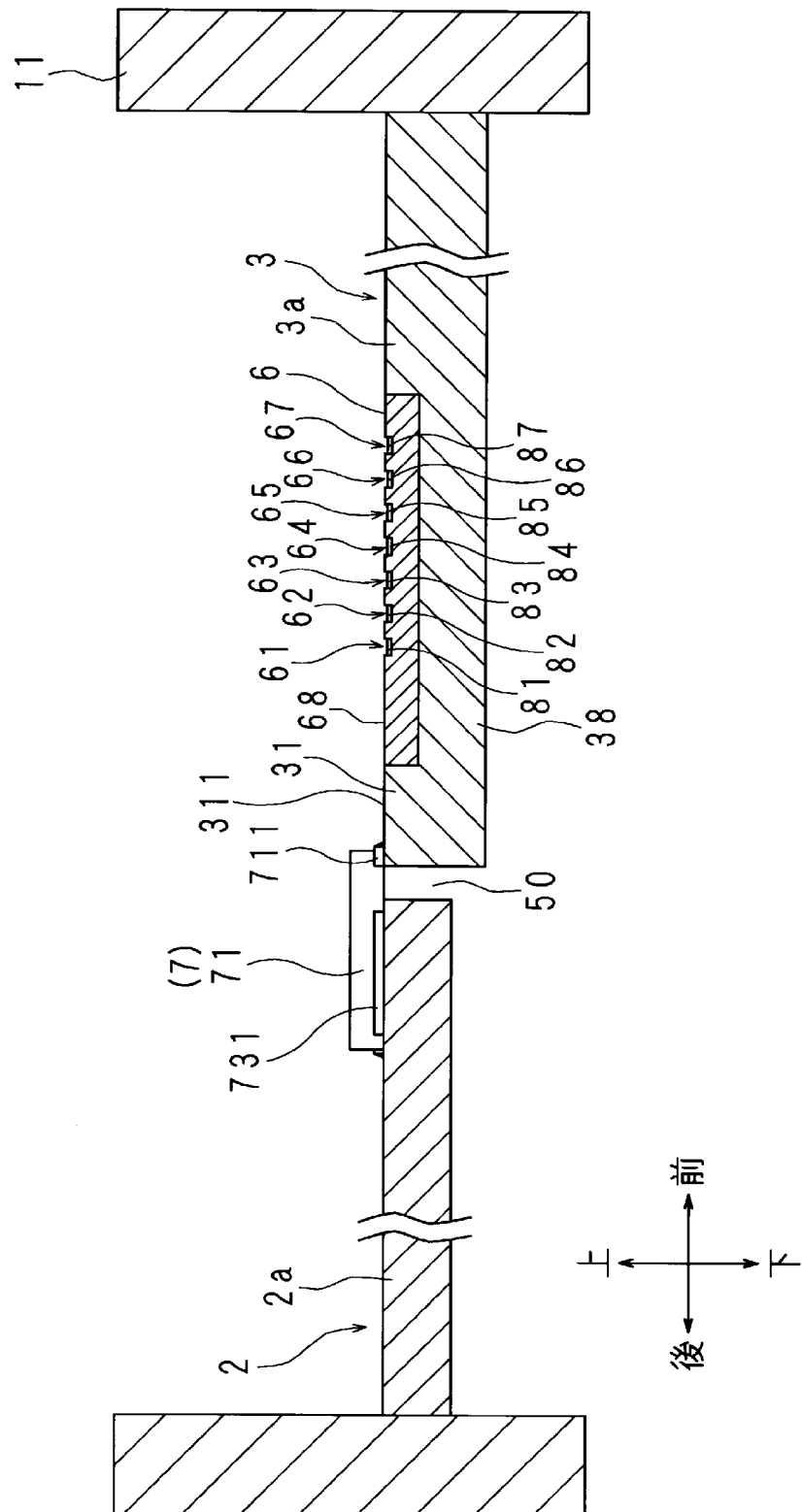
[図3]



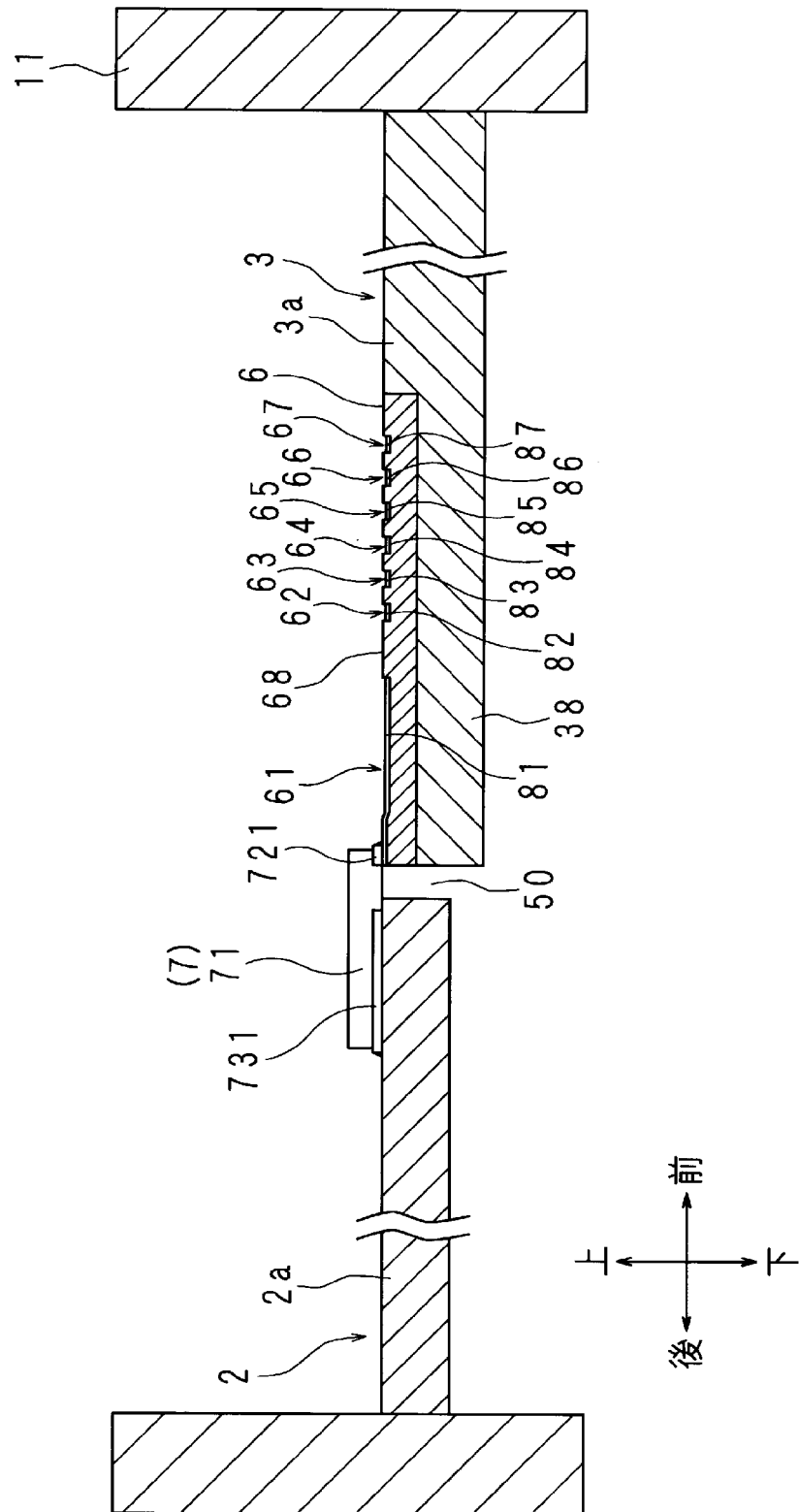
[図4]



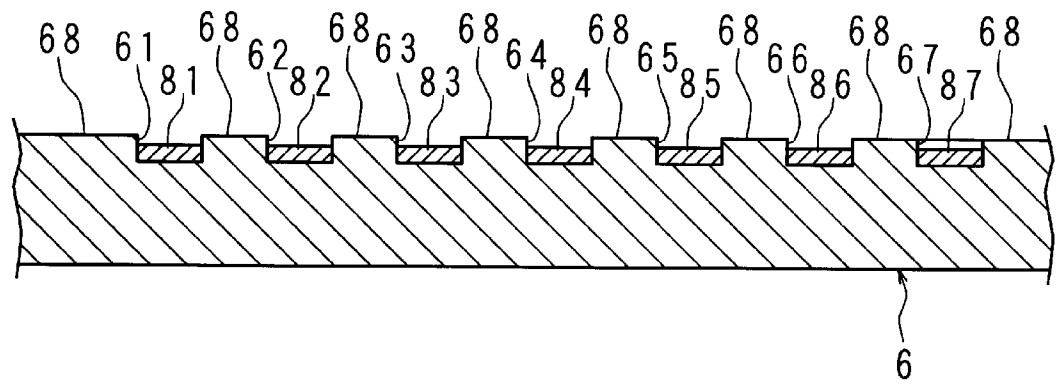
[図5]



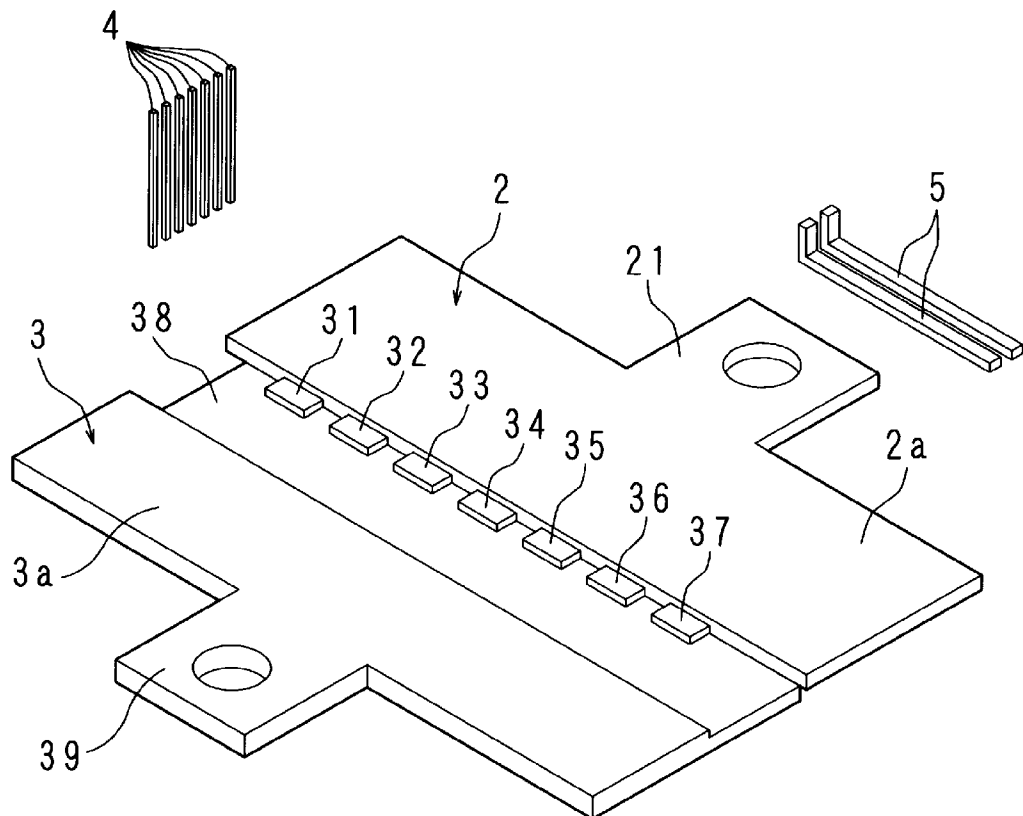
[図6]



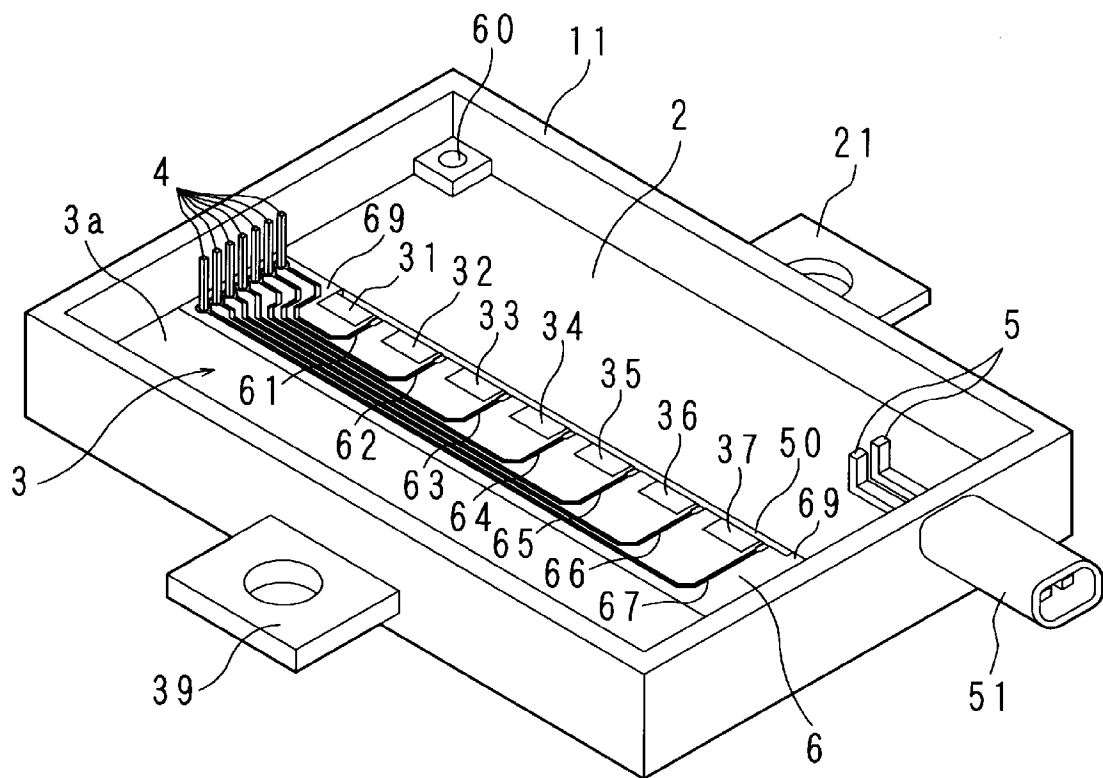
[図7]



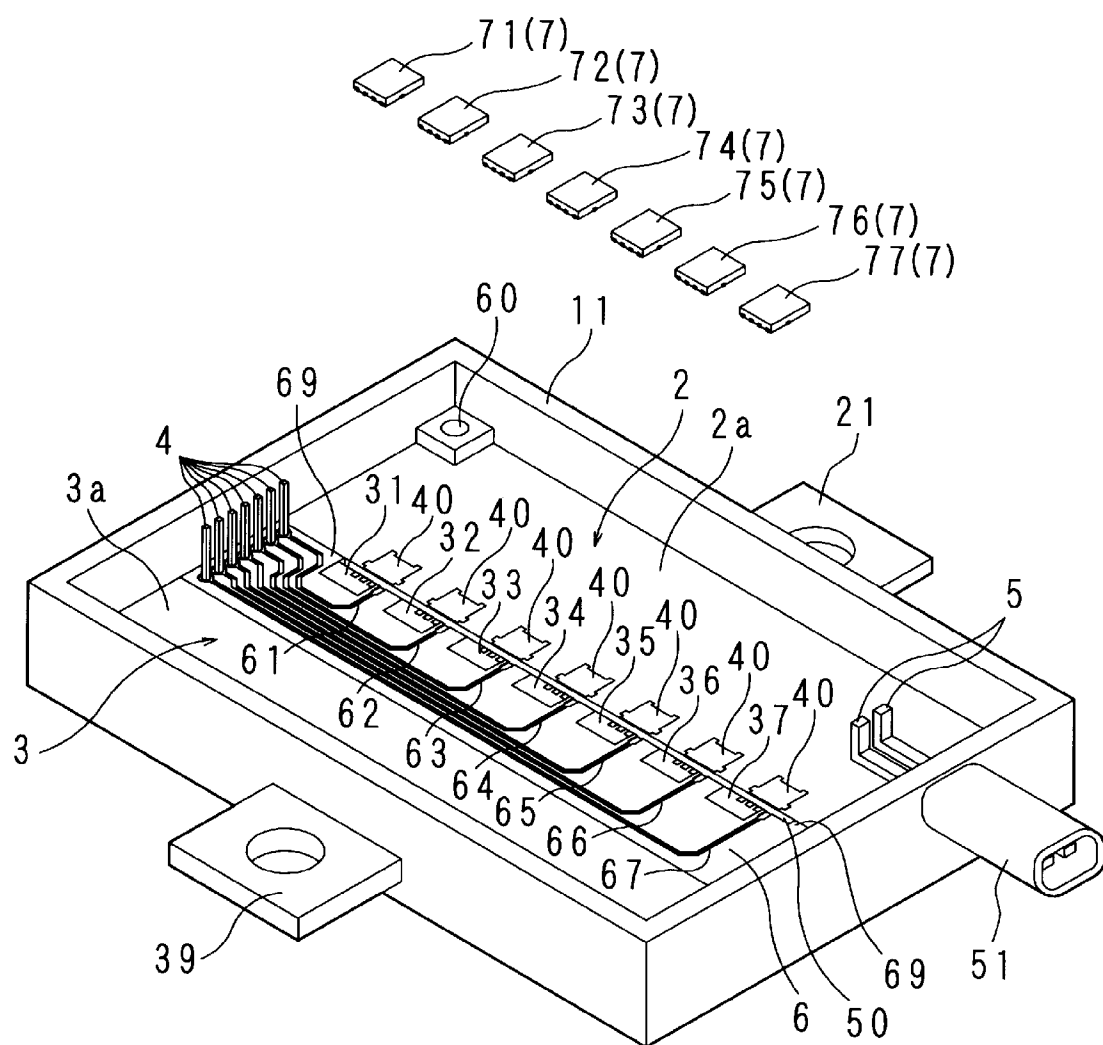
[図8]



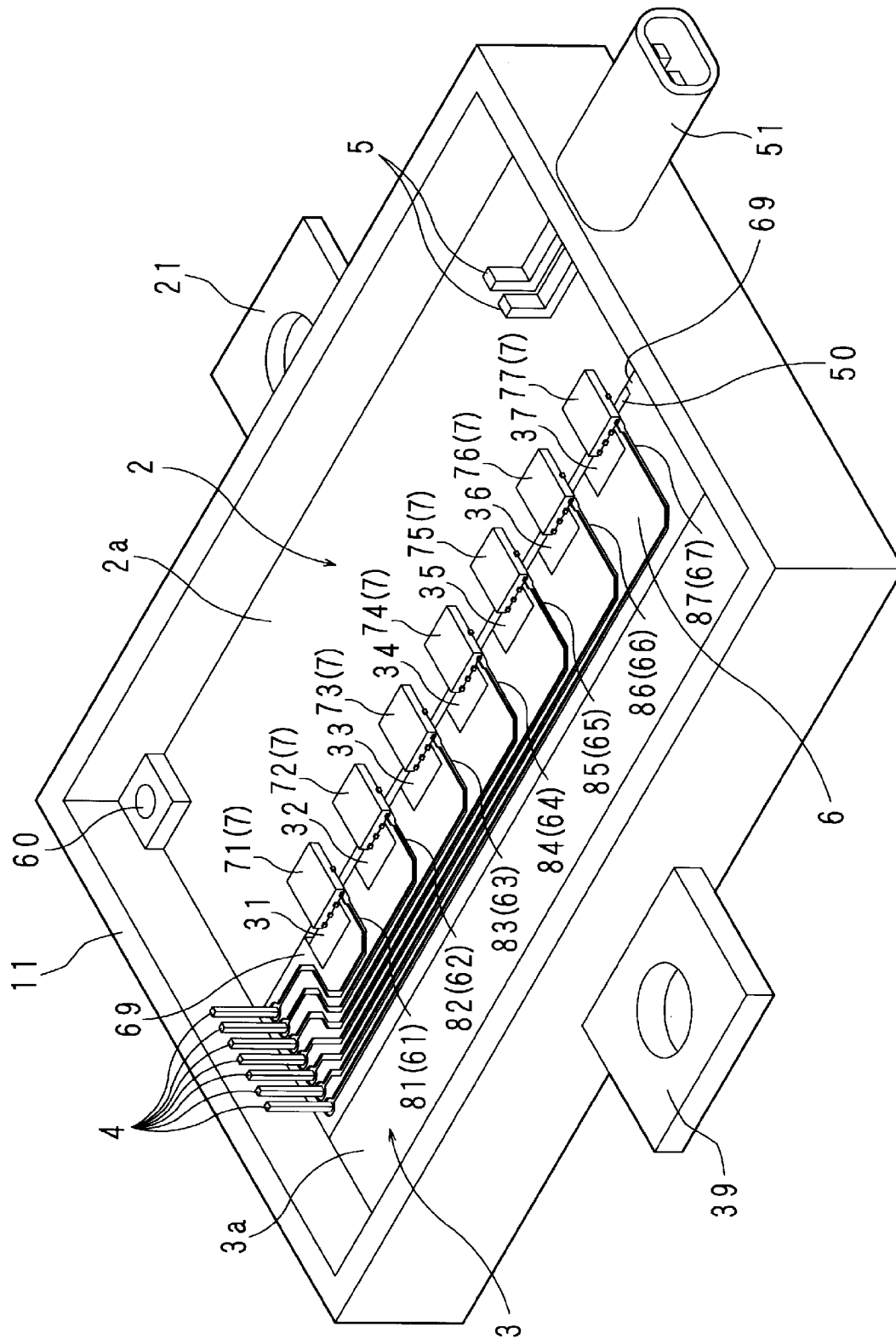
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/032096

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H05K1/02 (2006.01) i, H01L23/12 (2006.01) i, H05K3/10 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H05K1/02, H01L23/12, H05K3/10, B60R16/02, H05K7/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2017-519357 A (AUTO-KABEL MANAGEMENT GMBH) 13 July 2017, paragraphs [0001], [0073]-[0089], [0092]-[0093], [0098], [0105], fig. 1-10 & US 2017/0094790 A1, paragraphs [0001], [0091]-[0102], [0105]-[0106], [0111], [0118], fig. 1-10 & WO 2015/172904 A1 & DE 102014006841 A & KR 10-2017- 0002589 A & CN 106536916 A & MX 2016014785 A	1-6, 8-10 7, 11, 12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 October 2019 (10.10.2019)

Date of mailing of the international search report
21 October 2019 (21.10.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/032096

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-22117 A (AUTONETWORKS TECHNOLOGIES, LTD.) 28 January 2010, paragraphs [0002], [0026], [0031] (Family: none)	11
Y	JP 2001-177951 A (YAZAKI CORPORATION) 29 June 2001, paragraphs [0001], [0026], fig. 3 & US 6490169 B1, column 1, lines 7-12, column 5, lines 34-42, fig. 3	7, 12
A	JP 2009-117805 A (CATEM DEVELEC GMBH & CO. KG) 28 May 2009 & EP 2043412 A1 & CN 101400246 A & KR 10- 2009-0033015 A	1-12
A	WO 2014/167143 A1 (NAGARES, S. A.) 16 October 2014 (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K1/02(2006.01)i, H01L23/12(2006.01)i, H05K3/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K1/02, H01L23/12, H05K3/10, B60R16/02, H05K7/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2017-519357 A（アウト カーベル マネージメントゲゼルシャ フト ミット ベシュレンクテル ハフツング）2017.07.13, 段落[0001], [0073]-[0089], [0092]-[0093], [0098], [0105], 図 1-10 & US 2017/0094790 A1, 段落[0001], [0091]-[0102], [0105]-[0106], [0111], [0118], 図 1-10 & WO 2015/172904 A1 & DE 102014006841 A & KR 10-2017-0002589 A & CN 106536916 A & MX 2016014785 A	1-6, 8-10 7, 11, 12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10.10.2019

国際調査報告の発送日

21.10.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鹿野 博司

5D

8392

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-22117 A (株式会社オートネットワーク技術研究所) 2010.01.28, 段落[0002], [0026], [0031] (ファミリーなし)	11
Y	JP 2001-177951 A (矢崎総業株式会社) 2001.06.29, 段落[0001], [0026], 図3 & US 6490169 B1, 第1欄第7行-第12行, 第5欄第34行-第42行, 図3	7, 12
A	JP 2009-117805 A (カテム・デヴェレック・ゲゼルシャフト・ミッ ト・ベシュレンクテル・ハフツング・ウント・コンパニー・コマン デイト・ゲゼルシャフト) 2009.05.28, & EP 2043412 A1 & CN 101400246 A & KR 10-2009-0033015 A	1-12
A	WO 2014/167143 A1 (NAGARES, S.A.) 2014.10.16, (ファミリーなし)	1-12