



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201501326 A

(43)公開日：中華民國 104 (2015) 年 01 月 01 日

(21)申請案號：103104257

(22)申請日：中華民國 103 (2014) 年 02 月 10 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2013/03/22 日本

2013-061045

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)
日本(72)發明人：中野慎太郎 NAKANO, SHINTARO (JP)；上田知正 UEDA, TOMOMASA (JP)；藤
原郁夫 FUJIWARA, IKUO (JP)；山口一 YAMAGUCHI, HAJIME (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：20 項 圖式數：12 共 49 頁

(54)名稱

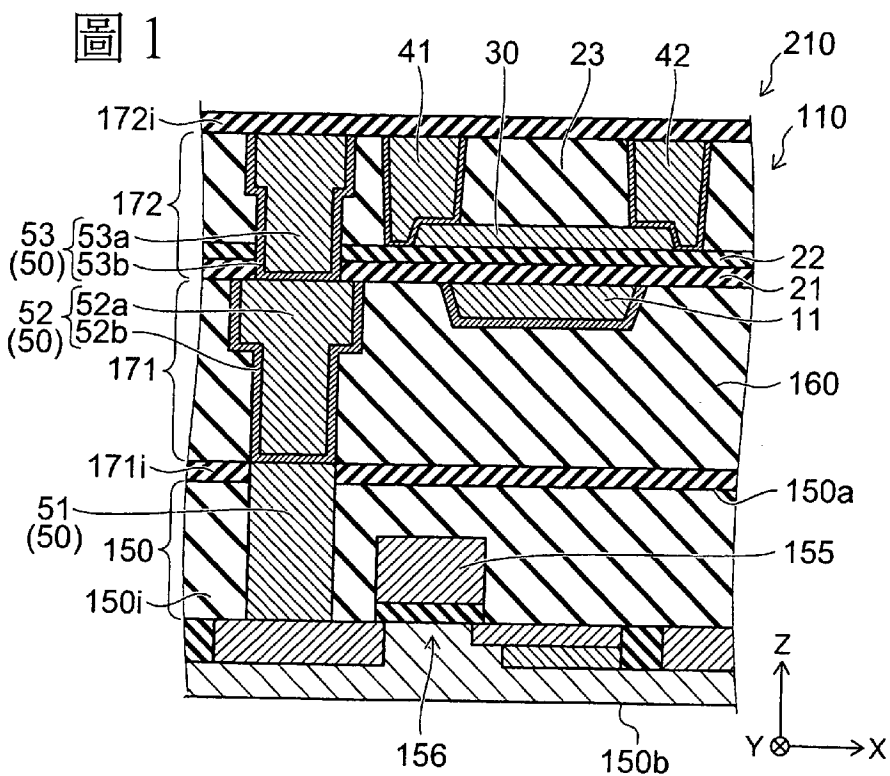
半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

依據一實施方式，半導體裝置，包括：具有上表面的基板、設在該上表面上的底部絕緣層及薄膜電晶體。薄膜電晶體包括：第一閘極電極、第一、第二及第三絕緣層、半導體層與第一及第二導電層。第一閘極電極係設在底部絕緣層的一部分上。第一絕緣層覆蓋第一閘極電極及底部絕緣層。第二絕緣層設在第一絕緣層上，且具有第一、第二及第三部。半導體層接觸第三部上之第二絕緣層，且具有第四、第五及第六部。第一導電層接觸第四部。第二導電層接觸第五部。第三絕緣層覆蓋半導體層的一部分。

According to one embodiment, a semiconductor device includes a substrate having an upper surface, a foundation insulating layer provided on the upper surface, and a thin film transistor. The thin film transistor includes a first gate electrode, first, second and third insulating layers, a semiconductor layer, and first and second conductive layers. The first gate electrode is provided on a portion of the foundation insulating layer. The first insulating layer covers the first gate electrode and the foundation insulating layer. The second insulating layer is provided on the first insulating layer, and has first, second and third portions. The semiconductor layer contacts the second insulating layer on the third portion, and has fourth, fifth portions and sixth portions. The first conductive layer contacts the fourth portion. The second conductive layer contacts the fifth portion. The third insulating layer covers a portion of the semiconductor layer.



- 11 . . . 第一閘極電極
- 21 . . . 第一絕緣層
- 22 . . . 第二絕緣層
- 23 . . . 第三絕緣層
- 30 . . . 半導體層
- 41 . . . 第一導電層
- 42 . . . 第二導電層
- 50 . . . 互連
- 51 . . . 第一互連
- 52 . . . 第二互連
- 52a . . . 上層
- 52b . . . 下層
- 53 . . . 第三互連
- 53a . . . 上層
- 53b . . . 下層
- 110 . . . 薄膜電晶體
- 150i . . . 層間絕緣層
- 150 . . . 基板
- 150a . . . 上表面
- 150b . . . 下表面
- 155 . . . 功能性元件
- 156 . . . 成像單元
- 160 . . . 底部絕緣層
- 171 . . . 第一互連層
- 171i . . . 第一層間絕緣層
- 172 . . . 第二互連層
- 172i . . . 上層絕緣層
- 210 . . . 半導體裝置

201501326 發明摘要

※申請案號：103104257

※申請日：103 年 02 月 10 日

※IPC 分類：

H01L 29/1786 (2006.01)

【發明名稱】(中文/英文)

H01L 21/28 (2006.01)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

● 【中文】

依據一實施方式，半導體裝置，包括：具有上表面的基板、設在該上表面上的底部絕緣層及薄膜電晶體。薄膜電晶體包括：第一閘極電極、第一、第二及第三絕緣層、半導體層與第一及第二導電層。第一閘極電極係設在底部絕緣層的一部分上。第一絕緣層覆蓋第一閘極電極及底部絕緣層。第二絕緣層設在第一絕緣層上，且具有第一、第二及第三部。半導體層接觸第三部上之第二絕緣層，且具有第四、第五及第六部。第一導電層接觸第四部。第二導電層接觸第五部。第三絕緣層覆蓋半導體層的一部分。

【 英文 】

According to one embodiment, a semiconductor device includes a substrate having an upper surface, a foundation insulating layer provided on the upper surface, and a thin film transistor. The thin film transistor includes a first gate electrode, first, second and third insulating layers, a semiconductor layer, and first and second conductive layers. The first gate electrode is provided on a portion of the foundation insulating layer. The first insulating layer covers the first gate electrode and the foundation insulating layer. The second insulating layer is provided on the first insulating layer, and has first, second and third portions. The semiconductor layer contacts the second insulating layer on the third portion, and has fourth, fifth portions and sixth portions. The first conductive layer contacts the fourth portion. The second conductive layer contacts the fifth portion. The third insulating layer covers a portion of the semiconductor layer.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

- | | |
|--------------|-----------|
| 11：第一閘極電極 | 21：第一絕緣層 |
| 22：第二絕緣層 | 23：第三絕緣層 |
| 30：半導體層 | 41：第一導電層 |
| 42：第二導電層 | 50：互連 |
| 51：第一互連 | 52：第二互連 |
| 52a：上層 | 52b：下層 |
| 53：第三互連 | 53a：上層 |
| 53b：下層 | 110：薄膜電晶體 |
| 150i：層間絕緣層 | 150：基板 |
| 150a：上表面 | 150b：下表面 |
| 155：功能性元件 | 156：成像單元 |
| 160：底部絕緣層 | 171：第一互連層 |
| 171i：第一層間絕緣層 | 172：第二互連層 |
| 172i：上層絕緣層 | 210：半導體裝置 |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

[與相關案的對照參考]

[0001] 本案係基於且請求來自 2013 年 3 月 22 日提出申請的日本專利申請案第 2013-061045 號之優先權利益；其整個內容併入文中作為參考。

【技術領域】

[0002] 文中所述的示範性實施方式廣泛地關於半導體裝置及製造半導體裝置的方法。

【先前技術】

[0003] 包括例如成像元件、算術元件、放大元件、記憶元件等的半導體係形成在例如矽基板上。值得的是，進一步增加這種半導體裝置的整合性。

【圖式簡單說明】

[0004]

圖 1 係顯示依據第一實施方式的半導體裝置之概要剖面圖；

圖 2 係顯示依據第一實施方式的半導體裝置的一部分之概要剖面圖；

圖 3 係顯示依據第一實施方式的半導體裝置的一部分之概要平面圖；

圖 4 係顯示依據第一實施方式的另一半導體裝置的一部分之概要剖面圖；

圖 5 係顯示依據第一實施方式的另一半導體裝置的一部分之概要剖面圖；

圖 6 係顯示依據第一實施方式的另一半導體裝置的一部分之概要剖面圖；

圖 7 係顯示依據第二實施方式的半導體裝置的一部分之概要剖面圖；

圖 8 係顯示依據第二實施方式的另一半導體裝置的一部分之概要剖面圖；

圖 9 係顯示係用於製造依據第三實施方式的半導體裝置之方法的流程圖；

圖 10A 至 10C 係以過程順序顯示用於製造依據第三實施方式的半導體裝置之方法的概要剖面圖；

圖 11 係顯示用於製造依據第四實施方式的半導體裝置之方法的流程圖；

圖 12A 至 12C 係以過程順序顯示用於製造依據第四實施方式的半導體裝置之方法的概要剖面圖。

【發明內容及實施方式】

[0005] 依據一實施方式，半導體裝置包含包括功能性元件的基板、具有上表面的基板、設在上表面上的底部絕緣層及薄膜電晶體。薄膜電晶體包括第一閘極電極、第一絕緣層、第二絕緣層、半導體層、第一導電層、第二導電層及第三絕緣層。第一閘極電極係設在底部絕緣層的一部分上。第一絕緣層覆蓋第一閘極電極及底部絕緣層。第一絕緣層包括矽及氮。第二絕緣層係設在第一絕緣層上。第二絕緣層包括氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者。第二絕緣層具有第一部、平行於上表面的平面，與第一部分開於第一方向中的第二部及定位在第一閘極電極上以設在第一部與第二部之間之第三部。包括選自 In、Ga、及 Zn 的至少一者之氧化物的半導體層接觸第三部上的第二絕緣層。半導體層具有第四部、與第四部分開於第一方向的第五部及設在第四部與第五部之間之第六部。第四部係當投影至平行於上表面的表面上而配置在第六部與第一部之間。第五部係當投影至平行於上表面的表面上而配置在第六部與第二部之間。第一導電層接觸第四部。第二導電層接觸第五部。第三絕緣層覆蓋半導體層不是第四部及第五部的一部分。第三絕緣層包括氧及選自 Si、Al、Ti、Ta、Hf、及 Zr 的至少一者。

[0006] 依據一實施方式，半導體裝置包括基板、底部絕緣層、第一絕緣層、第二絕緣層及薄膜電晶體。基板包括功能性元件。基板具有上表面。底部絕緣層係設在上表面上。第一絕緣層係設在底部絕緣層上。第一絕緣層包

括矽及氮。第二絕緣層係設在第一絕緣層上。第二絕緣層包括氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者。第二絕緣層具有第一部、平行於上表面的平面，與第一部分開於第一方向中的第二部及設在第一部與第二部之間之第三部。薄膜電晶體包括半導體層、閘極絕緣層、第一閘極電極、第一導電層、第二導電層及第三絕緣層。包括選自銮、鎳、及鋅的至少一者之氧化物的半導體層接觸第三部上的第二絕緣層。半導體層具有第四部、與第四部分開於第一方向的第五部及設在第四部與第五部之間之第六部。第四部係配置在第六部與第一部之間。第五部係配置在第六部與第二部之間。閘極絕緣層係設在第六部上。閘極絕緣層包括金屬及氧。第一閘極電極係設在閘極絕緣層上。第一導電層接觸第四部。第二導電層接觸第五部。第三絕緣層覆蓋半導體層不是第四部及第五部的一部分。第三絕緣層包括氧及選自 Si、Al、Ti、Ta、Hf、及 Zr 的至少一者。

[0007] 依據一實施方式，揭示用於製造半導體裝置的方法。該方法包括形成底部絕緣層在含有功能性元件之基板的上表面上、及形成第一閘極電極在底部絕緣層的一部分上。該方法可包括形成含有矽及氮的第一絕緣層以覆蓋第一閘極電極及底部絕緣層、與形成含有氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者之第二絕緣層在第一絕緣層上。該方法可包括形成含有選自銮、鎳、及鋅的至少一者之氧化物的半導體膜在第二絕緣層上且使用第二絕緣層作為阻止層藉由圖案化半導體膜自該半導體膜形成半導體

層，且形成包含氧及選自 Si、Al、Ti、Ta、Hf、與 Zr 的至少一者之第三絕緣層在半導體層上及在第二絕緣層上。該方法可包括自第三絕緣層的上表面製作第一孔以達到半導體層以及自第三絕緣層的上表面製作第二孔以達到半導體層且與第一孔分開。此外，該方法可包括藉由將導電材料填入第一孔及第二孔而形成含有半導體層之薄膜電晶體。

[0008] 以下將參照附圖說明不同實施方式。

[0009] 圖式係示意或概念性；且部分的厚度及寬度、部分間的大小比例等之間的關係不必要相同如其實際值。再者，尺寸及/或比例可被不同地解說於圖式之間，甚至用於相同部分。

[0010] 於本案的圖式及說明書中，關於以上圖式中所述的類似組件係標示以相同參考號碼，且若適當的話省略詳細說明。

第一實施方式

[0011] 圖 1 係顯示依據第一實施方式的半導體裝置之概要剖面圖。

[0012] 如圖 1 所示，依據實施方式的半導體裝置 210 包括基板 150、底部絕緣層 160 及薄膜電晶體 110。

[0013] 基板 150 包括功能性元件 155。基板 150 可包括例如，諸如矽基板等的半導體基板。SOI 基板可被使用作為基板 150。基板 150 具有上表面 150a。功能性元件 155 包括例如，設在基板 150 的下表面 150b 之成像單元

156。基板 150 另包括覆蓋功能性元件 155 的層間絕緣層 150i。層間絕緣層 150i 的上表面相當於基板 150 的上表面。

[0014] 底部絕緣層 160 設在基板 150 的上表面 150a 上。

[0015] 於本案的說明書中，”設在其上的狀態”包括不僅直接配置在其上的狀態還有另一組件插於其間的狀態。

[0016] 於實例中，半導體裝置 210 包括基板 150、設在基板 150 上之第一互連層 171 及設在第一互連層 171 上的第二互連層 172。底部絕緣層 160 包括於第一互連層 171 中。於實例中，第一層間絕緣層 171i 係設在基板 150 與第一互連層 171 之間，亦即，於基板 150 與底部絕緣層 160 之間。

[0017] 垂直於基板 150 的上表面 150a 之方向係當作 Z 軸向。垂直於 Z 軸向的一方向係當作 X 軸向。垂直於 Z 軸向及 X 軸向之方向係當作 Y 軸向。

[0018] 薄膜電晶體 110 係設在第一互連層 171 及第二互連層 172 內部。薄膜電晶體 110 係設在底部絕緣層 160 上。

[0019] 薄膜電晶體 110 包括第一閘極電極 11、第一絕緣層 21、第二絕緣層 22、半導體層 30、第一導電層 41、第二導電層 42 與第三絕緣層 23。

[0020] 第一閘極電極 11 係設在底部絕緣層 160 的一部分上。例如，第一閘極電極 11 的下表面及側表面係設在底部絕緣層 160 周圍。除了第一閘極電極 11 的上表面

外，第一閘極電極 11 係填入底部絕緣層 160。換言之，第一閘極電極 11 及底部絕緣層 160 具有鑲嵌組態。

[0021] 第一絕緣層 21 覆蓋第一閘極電極 11 及底部絕緣層 160。第一絕緣層 21 包括矽及氮。換言之，第一絕緣層 21 包括含有矽及氮的第一化合物。第一絕緣層 21 可包括例如，氮化矽或氮氧化矽。

[0022] 第二絕緣層 22 係設在第一絕緣層 21 上。第二絕緣層 22 包括氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者。換言之，第二絕緣層 22 包括含有氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者之第二化合物。

[0023] 半導體層 30 係設在第二絕緣層 22 的一部分上以接觸第二絕緣層 22 的一部分。半導體層 30 包括含有選自銦 (In)、鎵 (Ga)、及鋅 (Zn) 的至少一者之氧化物。半導體層 30 係氧化物的半導體層。半導體層 30 係例如，非晶矽。半導體層 30 可具有多晶部。

[0024] 第一導電層 41 係設在半導體層 30 的一部分上。第二導電層 42 係設在半導體層 30 的另一部分上。第一導電層 41 係選自源極電極及汲極電極的一者。第二導電層 42 係選自源極電極及汲極電極的另一者。

[0025] 第三絕緣層 23 覆蓋半導體層 30。第三絕緣層 23 包括氧及選自 Si、Al、Ti、Ta、Hf、及 Zr 的至少一者。換言之，第三絕緣層 23 包括含有氧及選自 Si、Al、Ti、Ta、Hf、及 Zr 的至少一者之第三化合物。

[0026] 於實例中，互連 50 被提供。於實例中，互連

50 包括第一互連 51、第二互連 52 及第三互連 53。第一互連 51、第二互連 52 及第三互連 53 沿著 Z 軸向延伸。第一互連 51 沿著 Z 軸向穿過基板 150 的層間絕緣層 150i。例如，第一互連 51 的一端係電連接至功能性元件 155。

[0027] 於本案的說明書中，”電連接的狀態”包括二個導體直接接觸之狀態、電流經由另一導體流動於二個導體中之狀態、及插於二個導體間之諸如切換元件等的電氣元件可形成電流流動狀態之狀態。

[0028] 第二互連 52 沿著 Z 軸向穿過底部絕緣層 160 且電連接至第一互連 51。

[0029] 第三互連 53 沿著 Z 軸向穿過第一絕緣層 21、第二絕緣層 22 及第三絕緣層 23 且電連接至第二互連 52。第三互連 53 的一端係電連接至例如，薄膜電晶體 110。例如，第三互連 53 的一端可被連接至例如，選自第一導電層 41 及第二導電層 42 的至少一者。

[0030] 例如，可設置第一互連 51 及第二互連 52 而不需設置第三互連 53。於此種例子中，第二互連 52 的一端可被連接至薄膜電晶體 110 的第一閘極電極 11。

[0031] 因此，互連 50 沿著相交基板 150 的上表面 150a 之方向（Z 軸向）穿過至少底部絕緣層 160。互連 50 係連接至例如，選自第一閘極電極 11、第一導電層 41 及第二導電層 42 的至少一者。例如，互連 50 將選自第一閘極電極 11、第一導電層 41 及第二導電層 42 的該至少一者電連接至功能性元件 155。

[0032] 例如，互連 50 沿著 Z 軸向穿過第一互連層 171。互連 50 可沿著 Z 軸向進一步穿過第二互連層 172。

[0033] 於實例中，第一互連層 171 包括底部絕緣層 160、第一閘極電極 11 及第二互連 52。於實例中，第二互連層 172 包括第一絕緣層 21、第二絕緣層 22、半導體層 30、第一導電層 41、第二導電層 42、第三絕緣層 23 及第三互連 53。上層絕緣層 172i 可另設在第二互連層 172 上。

[0034] 於實例中，第二互連 52 及第三互連 53 具有多層結構。

[0035] 例如，第二互連 52 包括第二互連 52 的上層 52a 及堆疊有上層 52a 的第二互連 52 之下層 52b。下層 52b 係例如，配置於例如，上層 52a 與底部絕緣層 160 之間。上層 52a 可包括例如，選自鋁、銅、鎢、鈹、鉬及鈦的至少一者。下層 52b 可包括例如，選自鈹、氮化鈹及氮化鈦的至少一者。第二互連 52 的下層 52b 可包括與第二互連 52 的上層 52a 的材料不同。

[0036] 例如，第三互連 53 包括第三互連 53 的上層 53a 及堆疊有上層 53a 的第三互連 53 之下層 53b。下層 53b 係例如，配置於例如，上層 53a 與第三絕緣層 23 之間。上層 53a 可包括例如，選自鋁、銅、鎢、鈹、鉬及鈦的至少一者。下層 53b 可包括例如，選自鈹、氮化鈹及氮化鈦的至少一者。第三互連 53 的下層 53b 可包括與第三互連 53 的上層 53a 的材料不同。

[0037] 於依據實施方式的半導體裝置 210 中，使用氧化物的半導體層 30 之薄膜電晶體 110 係設在包括功能性元件 155 的基板 150 上。例如，設於基板 150 中之功能性元件 155 的周邊電路可自薄膜電晶體 110 予以形成。因為周邊電路係形成在包括功能性元件 155 之基板 150 上，可增加半導體裝置的整合性。依據實施方式，具有高整合性的實作半導體裝置可被提供。

[0038] 薄膜電晶體 110 係例如，具有底閘極結構的薄膜電晶體。於半導體裝置 210 中，第一互連層 171 的互連的一部分可被使用作為薄膜電晶體 110 的第一閘極電極 11。現將進一步說明薄膜電晶體 110 的實例。

[0039] 圖 2 係顯示依據第一實施方式的半導體裝置的一部分之概要剖面圖。

[0040] 圖 3 係顯示依據第一實施方式的半導體裝置的一部分之概要平面圖。

[0041] 圖 2 係沿著圖 3 的線 A1-A2 的概要剖面圖。包括於依據實施方式的半導體裝置中之薄膜電晶體 110 係顯示於這些圖式中。

[0042] 如圖 2 及 3 所示，第一閘極電極 11 係設在底部絕緣層 160 的一部分上。第一絕緣層 21 覆蓋第一閘極電極 11 及底部絕緣層 160。

[0043] 第二絕緣層 22 係設在第一絕緣層 21 上。第二絕緣層 22 具有第一部 p1、第二部 p2 及第三部 p3。第二部 p2 係與第一部 p1 分開於 X-Y 平面中（平行於基板

150 的上表面 150a 的平面) 的第一方向(於實例中 X 軸向)。第三部 p3 係設在第一部 p1 及與第二部 p2 之間。第三部 p3 係定位在第一閘極電極 11 上。第三部 p3 相對第一閘極電極 11 具有第一絕緣層 21 插於其間。

[0044] 半導體層 30 在第三部 p3 上接觸第二絕緣層 22。半導體層 30 具有第四部 p4、第五部 p5 及第六部 p6。第五部 p5 與第四部 p4 分開於第一方向(X 軸向)。第六部 p6 係設在第四部 p4 與第五部 p5 之間。

[0045] 第四部 p4 在投影至 X-Y 平面上時配置在第六部 p6 與第一部 p1 之間。第五部 p5 係在投影至 X-Y 平面上時配置在第六部 p6 與第二部 p2 之間。第六部 p6 在投影至 X-Y 平面上時重疊第三部 p3。

[0046] 第一導電層 41 接觸半導體層 30 的第四部 p4。於此實例中，第一導電層 41 亦接觸第二絕緣層 22 的第一部 p1。第二導電層 42 接觸半導體層 30 的第五部 p5。於此實例中，第二導電層 42 亦接觸第二絕緣層 22 的第二部 p2。

[0047] 第一導電層 41 係藉由例如，將導電材料填入設於第三絕緣層 23 中的第一孔 41h 而形成。第二導電層 42 係藉由例如，將導電材料填入設於第三絕緣層 23 中的第二孔 42h 而形成。第一孔 41h 及第二孔 42h 係相互分開於 X 軸向。

[0048] 第三絕緣層 23 覆蓋除了第四部 p4(接觸第一導電層 41 的部分)與第五部 p5(接觸第二導電層 42 的

部分) 外之半導體層 30 的數部分。例如，第三絕緣層 23 覆蓋半導體層 30 的第六部 p6 的上表面 30a。

[0049] 如圖 3 所示，第三絕緣層 23 亦覆蓋半導體層 30 的側表面 30s。側表面 30s 係相交 X-Y 平面的表面。

[0050] 因此，於依據實施方式之半導體裝置 210 中，包括矽及氮的第一絕緣層 21 係設置成覆蓋包括於第一互連層 171 中的底部絕緣層 160 及第一閘極電極 11。第一絕緣層 21 可包括例如，氮化矽(亦即， SiN_x)等。第一絕緣層 21 適當地作用如保護層。

[0051] 第二絕緣層 22 接觸半導體層 30。第二絕緣層 22 可包括例如，氧化鋁(例如， Al_2O_3 ，亦即， AlO_x)等。第二絕緣層 22 能夠供應氧至半導體層 30。第二絕緣層 22 能夠抑制氫穿透入半導體層 30。因此，良好的切換特性可甚至保護於例如，由於半導體層 30 的氧濃度的減少而發生於薄膜電晶體 110 的良好的切換特性將降低之狀態的情況。

[0052] 半導體層 30 係設置成與含有氧的化合物的第二絕緣層 22 接觸。半導體層 30 與第二絕緣層 22 之間的介面係形成在離子氧化物的層之間的高品質介面。因此，獲得半導體層 30 的較佳特性。

[0053] 第三絕緣層 23 可包括例如，氧化矽(例如， SiO_2 ，亦即， SiO_x)等。第三絕緣層 23 能夠供應氧至半導體層 30。藉此，氧亦可自第三絕緣層 23 供應至半導體層 30，及可保持良好切換特性。

[0054] 而且，於實施方式中，第二絕緣層 22 在圖案化半導體層 30 時作用如阻止層。藉此，當形成使用氧化物的半導體層 30 之薄膜電晶體 110 時，獲得實用處理視窗。

[0055] 依據實施方式，具有高整合性的實用半導體裝置可被提供。

[0056] 進一步小型化可藉由形成用於功能性元件 155（其係成像元件等）的放大器及用於控制功能性元件 155 之電晶體於功能性元件 155 上的層予以實現。薄膜電晶體可被使用作為設於功能性元件 155 上的該層之電晶體。有利的是，薄膜電晶體的半導體層為可被形成在比 CMOS 過程的溫度更低的溫度之半導體材料。氧化物半導體可被使用作為半導體層。

[0057] 氧化物半導體可藉由例如，在室溫濺射，均勻地形成如薄膜在大表面區域上，及 300℃ 至 400℃ 的相對低處理溫度係適用的。再者，相對高場效移動率被獲得於氧化物半導體中。

[0058] 本案的發明人發現，有使用這種氧化物半導體難以獲得薄膜電晶體的期望特性。

[0059] 例如，於可使用作為層間絕緣層的蝕刻阻止膜的氮化矽層（第一絕緣層 21）被使用作為薄膜電晶體 110 的閘極絕緣膜之例子中，當圖案化半導體層 30 時發生氮化矽層的過浸蝕；及難以形成期望組態。這是因為半導體層 30 與氮化矽層之間的蝕刻選擇性是低的。於發生

氮化矽層的過浸蝕之例子中，發生諸如洩漏等的缺陷；及未獲得具有良好特性的薄膜電晶體。

[0060] 另一方面，於金屬氧化物（例如， Al_2O_3 、等）的層使用作為薄膜電晶體 110 的閘極絕緣膜之例子中，當圖案化半導體層 30 時獲得足夠選擇性；及半導體層 30 可被實質地圖案化而不會損壞金屬氧化物的層。然而，金屬氧化物具有不良阻擋特性用於形成於底部絕緣層 160 中的第一閘極電極 11。因此，例如，容易使包括於第一閘極電極 11 中的金屬元件（例如，Cu、等）等經由金屬氧化物的層移入半導體層 30。藉此，有半導體層 30 的特性降低的例子。

[0061] 相反地，於實施方式中，底部絕緣層 160 及第一閘極電極 11 係以包括氮且具有良好阻擋特性之第一絕緣層 21 予以覆蓋。第一絕緣層 21 係以具有隨著半導體層 30 的高選擇性之第二絕緣層 22 而覆蓋。

[0062] 藉此，半導體層 30 的良好圖案化可被實現；且同時，金屬等自下層的移動可被阻擋。而且，第二絕緣層 22 可抑制氮自第一絕緣層 21 朝向半導體層 30 的移動。

[0063] 於實施方式中，第一絕緣層 21 可包括例如，氮化矽或氮氧化矽。第二絕緣層 22 可包括含有氧的金屬化合物。

[0064] 於氮氧化矽使用作為第一絕緣層 21 與氮氧化矽使用作為第二絕緣層 22 之例子中，第一絕緣層 21 的氧濃度係低於第二絕緣層 22 的氧濃度。藉此，第一絕緣層

21 的良好阻擋特性可被確定。且，第二絕緣層 22 朝向半導體層 30 的良好供氧特性可被確定。再者，第二絕緣層 22 可抑制氫穿入半導體層 30。

[0065] 換言之，氫自第一絕緣層 21 朝向半導體層 30 的擴散可藉由使用第一絕緣層 21 及第二絕緣層 22 的堆疊結構予以抑制。藉此，可保護半導體層 30 的良好特性。

[0066] 於實施方式中，第二絕緣層 22 作用如閘極絕緣膜的部分。因此，第二絕緣層 22 係高的相對介電常數係有利的。高的相對介電常數係藉由使用包括氧及 Al、Ti、Ta、Hf、與 Zr 的至少一者之第一化合物作為第二絕緣層 22 而獲得。藉此，薄膜電晶體 110 的驅動能力改善。

[0067] 另一方面，不是一直必要的為了第三絕緣層 23 覆蓋半導體層 30 的上表面（及側表面 30s）以包括具有高相對介電常數的材料。第三絕緣層 23 可包括例如，透過考慮圖案化能力、可靠性等含有氧（例如，SiO₂ 等）之適當材料。半導體層 30 的良好特性可透過包括含有氧的絕緣材料之第三絕緣層 23 予以保持。

[0068] 依據實施方式，具有高移動率及高可靠性之實用薄膜電晶體被獲得。

[0069] 例如，成像元件或類似物係應用於半導體裝置 210 的基板 150 的功能性元件 155。使用 CMOS 過程之 CMOS 感像器（成像元件）可被使用作為功能性元件 155。於成像元件中，例如，隨著小型化進度，光二極體的光接收表面區減少且信號雜訊（S/N）比降低。於實施方式中，

藉由形成用於成像元件的放大及用於控制成像元件的電晶體於光二極體上的互連層中，小型化及 S/N 比二者可被確定。

[0070] 第一絕緣層 21 的厚度係例如，不小於 5 奈米 (nm) 且不大於 50nm。

[0071] 第二絕緣層 22 的厚度係例如，不大於 50nm。有利的是，第二絕緣層 22 的厚度係例如，不小於 10nm。當第二絕緣層 22 的厚度不小於 100nm 時，容易使第二絕緣層 22 作用如蝕刻阻止層。例如，當第二絕緣層 22 太薄時，阻止層功能降低。

[0072] 於實施方式中，選自第一閘極電極 11、第一導電層 41 及第二導電層 42 的至少一者可包括選自鋁、銅、鎢、鈹、鉬及鈦的至少一者。

[0073] 於實例中，第一閘極電極 11 包括第一閘極電極 11 的第一層 11a 及第一閘極電極 11 的第二層 11b。第二層 11b 與第一層 11a 堆疊。第二層 11b 係配置在第一層 11a 與底部絕緣層 160 之間。第一層 11a 包括選自鋁、銅、鎢、鈹、鉬及鈦的至少一者金屬。第二層 11b 可包括不同於第一層 11a 的材料之材料。第二層 11b 包括選自鈹、氮化鈹及氮化鈦的至少一者。

[0074] 例如，第一閘極電極 11 可另包括第一閘極電極 11 的第三層 11c。第三層 11c 係設在第一層 11a 與第二層 11b 之間。例如，選自鋁及銅的至少一者金屬可被使用作為第一層 11a。氮化鈹可被使用作為第二層 11b。鈹可

被使用作為第三層 11c。

[0075] 於實例中，第一導電層 41 包括第一導電層 41 的第一層 41a 及第一導電層 41 的第二層 41b。第二層 41b 與第一層 41a 堆疊。第二層 41b 係配置在第一層 41a 與第三絕緣層 23 之間。第一層 41a 包括選自鋁、銅、鎢、鈹、鉬及鈦的至少一者金屬。第二層 41b 可包括不同於第一層 41a 的材料之材料。第二層 41b 包括選自鈹、氮化鈹及氮化鈦的至少一者。

[0076] 例如，第一導電層 41 可另包括第一導電層 41 的第三層 41c。第三層 41c 係設在第一層 41a 與第二層 41b 之間。例如，選自鋁及銅的至少一者金屬可被使用作為第一層 41a。氮化鈹可被使用作為第二層 41b。鈹可被使用作為第三層 41c。

[0077] 於實例中，第二導電層 42 包括第二導電層 42 的第一層 42a 及第二導電層 42 的第二層 42b。第二層 42b 係與第一層 42a 堆疊。第二層 42b 係配置在第一層 42a 與第三絕緣層 23 之間。第一層 42a 包括選自鋁、銅、鎢、鈹、鉬及鈦的至少一者金屬。第二層 42b 可包括不同於第一層 42a 的材料之材料。第二層 42b 包括選自鈹、氮化鈹及氮化鈦的至少一者。

[0078] 例如，第二導電層 42 可另包括第二導電層 42 的第三層 42c。第三層 42c 係設在第一層 42a 與第二層 42b 之間。例如，選自鋁及銅的至少一者金屬可被使用作為第一層 42a。氮化鈹可被使用作為第二層 42b。鈹可被

使用作為第三層 42c。

[0079] 圖 4 係顯示依據第一實施方式的另一半導體裝置的一部分之概要剖面圖。圖 4 顯示包括於依據實施方式的半導體裝置 211 中之薄膜電晶體 111。

[0080] 於如圖 4 所示的半導體裝置 211 的薄膜電晶體 111 中，第二絕緣層 22 另具有設在半導體層 30 的第六部 p6 中之部分 22p。第二絕緣層 22 覆蓋例如，半導體層 30 除了第四部 p4 及第五部 p5 外。例如，第二絕緣層 22 覆蓋半導體層 30 的側表面 30s。第三絕緣層 23 覆蓋有半導體層 30 插入其中的第二絕緣層 22。不然，薄膜電晶體 111 可以是類似於薄膜電晶體 110；且因此省略說明。

[0081] 同樣如於半導體裝置 211 中，具有高整合性之實用半導體裝置可被提供。於半導體裝置 211 中，第二絕緣層 22 覆蓋不只半導體層 30 的下表面還有半導體層 30 的上表面及側表面 30s。藉由以相同材料覆蓋半導體層 30，獲得薄膜電晶體 111 的更穩定特性。

[0082] 圖 5 係顯示依據第一實施方式的另一半導體裝置的部分之概要剖面圖。圖 5 顯示包括於依據實施方式的半導體裝置 212 中的薄膜電晶體 112。

[0083] 如圖 5 所示，半導體裝置 212 的薄膜電晶體 112 具有雙閘極結構。也就是說，薄膜電晶體 112 另具有第二閘極電極 12。不然，薄膜電晶體 112 可以是類似薄膜電晶體 110；且因此省略其說明。於半導體裝置 212 中，第一互連層 171 的互連的一部分可被使用作為薄膜電晶體

112 的第一閘極電極 11；及第二互連層 172 的互連的一部分可被使用作為第二閘極電極 12。

[0084] 第二閘極電極 12 係設在半導體層 30 的第六部 p6 上。第三絕緣層 23 具有設在第六部 p6 與第二閘極電極 12 之間的部分 23p。第二閘極電極 12 係藉由例如，將導電材料填入設於第三絕緣層 23 中的第三孔 43h 而形成。第三孔 43h 係設在第一孔 41h 與第二孔 42h 之間。

[0085] 因為薄膜電晶體 112 具有雙閘極結構，更穩定特性被獲得。同樣如於半導體裝置 212 中，具有高整合性之實用半導體裝置可被提供。

[0086] 第二閘極電極 12 可包括選自鋁、銅、鎢、鈹、鉬及鈦的至少一者。

[0087] 於實例中，第二閘極電極 12 包括第二閘極電極 12 的第一層 12a 及第二閘極電極 12 的第二層 12b。第二層 12b 與第一層 12a 堆疊。第二層 12b 係配置在第一層 12a 與第三絕緣層 23 之間。第一層 12a 包括選自鋁、銅、鎢、鈹、鉬及鈦的至少一者金屬。第二層 12b 可包括不同於第一層 12a 的材料之材料。第二層 12b 包括選自鈹、氮化鈹及氮化鈦的至少一者。

[0088] 例如，第二閘極電極 12 可另包括第二閘極電極 12 的第三層 12c。第三層 12c 係設在第一層 12a 與第二層 12b 之間。例如，選自鋁及銅的至少一者金屬可被使用作為第一層 12a。氮化鈹可被使用作為第二層 12b。鈹可被使用作為第三層 12c。

[0089] 於提供第二閘極電極 12 的例子中，互連 50（參照圖 1）可連接至第二閘極電極 12。換言之，半導體裝置 212 可另包括例如，第二閘極電極的互連 50，其沿著 Z 軸向（例如，相交基板 150 的上表面 150a 之方向）穿過底部絕緣層 160 及第三絕緣層 23 的至少一部分。互連 50 電連接例如，功能性元件 155 至第二閘極電極 12。

[0090] 圖 6 係顯示依據第一實施方式的另一半導體裝置的一部分之概要剖面圖。圖 6 顯示包括於依據半導體裝置 213 中的薄膜電晶體 113。

[0091] 於如圖 6 所示之半導體裝置 213 的薄膜電晶體 113 中，第二絕緣層 22 另具有設在半導體層 30 的第六部 p6 上之部分 22p。換言之，第二絕緣層 22 具有設在第六部 p6 與第二閘極電極 12 之間的部分 22p。不然，薄膜電晶體 113 可類似於薄膜電晶體 112，且因此省略其說明。

[0092] 第二絕緣層 22 覆蓋例如，半導體層 30 除了第四部 p4 及第五部 p5 外。例如，第二絕緣層 22 覆蓋半導體層 30 的側表面 30s。第三絕緣層 23 覆蓋有半導體層 30 插入其中的第二絕緣層 22。

[0093] 同樣如於半導體裝置 213 中，具有高整合性之實用半導體裝置可被提供。於半導體裝置 213 中，第二絕緣層 22 覆蓋不只半導體層 30 的下表面還有半導體層 30 的上表面及側表面 30s。半導體層 30 係以相同材料覆蓋。再者，雙閘極結構被應用。薄膜電晶體 113 的更穩定特性被獲得。

第二實施方式

[0094] 於實施方式中，具有頂閘極結構的薄膜電晶體被提供。

[0095] 圖 7 係顯示依據第二實施方式的半導體裝置的一部分之概要剖面圖。

[0096] 圖 7 顯示包括於依據實施方式的半導體裝置 220 中之薄膜電晶體 120。

[0097] 關於圖 1 所述的基板 150 亦提供於半導體裝置 220 中。同樣地於此例子中，基板 150 包括功能性元件 155 且具有上表面 150a。同樣於半導體裝置 220 中，底部絕緣層 160 係設在上表面 150a 上。而且，互連 50 可被提供。基板 150、底部絕緣層 160 及互連 50 可類似於半導體裝置 210 的基板、底部絕緣層及互連；且因此省略其說明。於半導體裝置 220 中，第二互連層 172 的互連的一部分可被使用作為薄膜電晶體 120 的第一閘極電極 11。現將說明設在底部絕緣層 160 上之部分。

[0098] 除了基板 150、底部絕緣層 160 及互連 50，半導體裝置 220 還包括：第一絕緣層 21、第二絕緣層 22、半導體層 30、閘極絕緣層 16、第一閘極電極 11、第一導電層 41、第二導電層 42 及第三絕緣層 23。半導體層 30、閘極絕緣層 16、第一閘極電極 11、第一導電層 41、第二導電層 42 及第三絕緣層 23 係包括例如，於薄膜電晶體 120 中。

[0099] 第一絕緣層 21 係設在底部絕緣層 160 上。第一絕緣層 21 包括矽及氮。第一絕緣層 21 可包括例如，氮化矽或氮氧化矽。

[0100] 第二絕緣層 22 係設在第一絕緣層 21 上。第二絕緣層 22 具有第一部 p1、第二部 p2 及第三部 p3。第二部 p2 係與第一部 p1 分開於 X-Y 平面上（平行於上表面 150a 的平面）的第一方向（例如，X 軸向）。第三部 p3 係設在第一部 p1 及與第二部 p2 之間。同樣於這種例子中，第二絕緣層 22 包括氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者。

[0101] 半導體層 30 接觸第三部 p3 上的第二絕緣層 22。半導體層 30 具有第四部 p4、第五部 p5 及第六部 p6。第五部 p5 係與第四部 p4 分開於第一方向（X 軸向）。第六部 p6 係設在第四部 p4 與第五部 p5 之間。半導體層 30 可包括含有選自銦、鎵、及鋅的至少一者之氧化物。

[0102] 同樣於這種例子中，第四部 p4 係在投影至 X-Y 平面上時配置在第六部 p6 與第一部 p1 之間。第五部 p5 係在投影至 X-Y 平面上時配置在第六部 p6 與第二部 p2 之間。第六部 p6 在投影至 X-Y 平面上時重疊第三部 p3。

[0103] 閘極絕緣層 16 係設在半導體層 30 的第六部 p6 上。閘極絕緣層 16 包括金屬及氧。閘極絕緣層 16 可包括例如，氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者。

[0104] 第一閘極電極 11 係設在閘極絕緣層 16 上。換言之，閘極絕緣層 16 係設在第一閘極電極 11 與半導體

層 30 的第六部 p6 之間。

[0105] 第一導電層 41 接觸第一部 p1 與第四部 p4。
第二導電層 42 接觸第二部 p2 及第五部 p5。

[0106] 第三絕緣層 23 覆蓋除了第四部 p4 與第五部 p5 外之半導體層 30 的一部分。第三絕緣層 23 與閘極絕緣層 16 可以是連續的。具有閘極絕緣層 16 插入其中的第三絕緣層 23 可覆蓋半導體層 30 的第六部 p6。第三絕緣層 23 亦可覆蓋半導體層 30 的側表面 30s。第三絕緣層 23 包括氧及選自 Si、Al、Ti、Ta、Hf、及 Zr 的至少一者。

[0107] 同樣於實施方式中，底部絕緣層 160 及第一閘極電極 11 係以包括氮且具有高阻擋特性之第一絕緣層 21 而覆蓋。再者，第一絕緣層 21 係以具有高選擇性的第二絕緣層 22 及半導體層 30 而覆蓋。藉此，半導體層 30 的良好圖案化可被實現；且同時，金屬等自下層的移動可被阻擋。另者，第二絕緣層 22 可抑制氮自第一絕緣層 21 朝向半導體層 30 的移動。更者，第二絕緣層 22 朝向半導體層 30 的良好供氧特性可被確定。藉此，半導體層 30 的良好特性可被保持。

[0108] 於實施方式中，閘極絕緣層 16 的高相對介電常數係有利的。高相對介電常數係由使用含有氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者之化合物作為閘極絕緣層 16 而獲得。藉此，薄膜電晶體 120 的驅動能力改善。

[0109] 依據實施方式，具有高移動率及高可靠性的實用薄膜電晶體被獲得。同樣於實施方式中，具有高整合

性的實用半導體裝置可被提供。

[0110] 於實例中，第三絕緣層 23 的材料可以是相同如閘極絕緣層 16 的材料。於這種例子中，第三絕緣層 23 係與閘極絕緣層 16 連續；及未看到界限。以定位在半導體層 30 與第一閘極電極 11 之間的這材料製成之絕緣層的部分係使用作為閘極絕緣層 16。其它部分係使用作為第三絕緣層 23。

[0111] 圖 8 係顯示依據第二實施方式的另一半導體裝置的一部分之概要剖面圖。圖 8 顯示包括於依據實施方式的半導體裝置 221 中的薄膜電晶體 121。

[0112] 於如圖 8 所示的薄膜電晶體 121 中，閘極絕緣層 16 係與第二絕緣層 22 連續的。例如，閘極絕緣層 16 的材料係相同如第二絕緣層 22 的材料。例如，閘極絕緣層 16 及第二絕緣層 22 可包括含有氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者之化合物。高相對介電常數及良好蝕刻阻擋特性被獲得。

[0113] 因為半導體層 30 的下表面及上表面係以相同材料而覆蓋，薄膜電晶體 121 的更穩定特性被獲得。同樣於半導體裝置 211 中，具有高整合性的實用半導體裝置可被提供。

第三實施方式

[0114] 本實施方式係關於用於製造依據第一實施方式的半導體裝置之方法。

[0115] 圖 9 係顯示係用於製造依據第三實施方式的半導體裝置之方法之流程圖。

[0116] 圖 10A 至 10C 係以過程順序顯示用於製造依據第三實施方式的半導體裝置之方法之概要剖面圖。

[0117] 於如圖 9 所示的製造方法中，底部絕緣層 160 係形成在包括功能性元件 155 的基板 150 的上表面 150a 上（步驟 S110）。

[0118] 第一閘極電極 11 係形成在底部絕緣層 160 的一部分上（步驟 S120）。

[0119] 含有矽及氮的第一絕緣層 21 係形成來覆蓋第一閘極電極 11 及底部絕緣層 160 上（步驟 S130）。

[0120] 含有氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者之第二絕緣層 22 係形成在第一絕緣層 21 上（步驟 S140）。

[0121] 如圖 10A 所示，含有選自鈮、鎳、及鋅的至少一者之氧化物的半導體膜 30f 係形成在第二絕緣層 22 上。

[0122] 如圖 10B 所示，半導體層 30 係藉由使用第二絕緣層 22 作為阻止層而圖案化半導體膜 30f 自半導體膜 30f 所形成（步驟 S150）。例如，乾式蝕刻係使用來圖案化半導體膜 30f。例如，含有氯的氣體被使用於乾式蝕刻中。含有三氯化硼的氣體可被使用。

[0123] 含有氧及選自 Si、Al、Ti、Ta、Hf、及 Zr 的至少一者之第三絕緣層 23 係形成在半導體層 30 上及在第

二絕緣層 22 上（步驟 S160）。

[0124] 如圖 10C 所示，第一孔 41h 係自第三絕緣層 23 的上表面製成以達到半導體層 30；以及第二孔 42h 係自第三絕緣層 23 的上表面製成以達到半導體層 30 且係與第一孔 41h 分開（步驟 S170）。當製作第一孔 41h 及第二孔 42h 時，例如，第二絕緣層 22 可被使用作為阻止層。例如，乾式蝕刻係使用來製作第一孔 41h 及第二孔 42h。於乾式蝕刻中，例如，含有選自四氟甲烷、三氟甲烷及氧的至少一者之氣體被使用。

[0125] 導電材料被填入第一孔 41h 及第二孔 42h（步驟 S180）。第一導電層 41 係由填入第一孔 41h 的導電材料所形成。第二導電層 42 係由填入第二孔 42h 的導電材料所形成。因此，包括半導體層 30 之薄膜電晶體（例如，薄膜電晶體 110）被形成。

[0126] 上述之第一孔 41h 及第二孔 42h 的製作（步驟 S170）可包括自第三絕緣層 23 的上表面製作第三孔 43h 以便與半導體層 30 分開。第三孔 43h 係製成於第一孔 41h 與第二孔 42h 之間。導電材料的充填（步驟 S180）可包括將導電材料填入第三孔 43h。藉此，第二閘極電極 12 可被形成。

[0127] 按照依據實施方式的製造方法，用於製造具有高整合性的實用半導體裝置之方法可被提供。

[0128] 於如圖 10C 所示的實施方式中，用於互連 50 可進一步設置的孔（互連孔 50h）。換言之，第一孔 41h

及第二孔 42h 的製作（步驟 S170）可包括製作互連孔 50h，其中電連接功能性元件 155 至薄膜電晶體之互連 50 的至少一部分被形成。導電材料的充填（步驟 S180）可包括將導電材料填入互連孔 50h。藉此，互連 50 的至少一部分可被形成。

第四實施方式

[0129] 本實施方式係關於用於製造依據實第二實施方式的半導體裝置之方法。

[0130] 圖 11 係顯示用於製造依據第四實施方式的半導體裝置之方法之流程圖。

[0131] 圖 12A 至 12C 係以過程順序顯示用於製造依據第四實施方式的半導體裝置之方法之概要剖面圖。

[0132] 於如圖 11 所示的製造方法中，底部絕緣層 160 係形成在包括功能性元件 155 之基板 150 的上表面 150a 上（步驟 S110）。

[0133] 含有矽及氮的第一絕緣層 21 係形成在底部絕緣層 160 上（步驟 S130）。

[0134] 含有氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者之第二絕緣層 22 係形成在第一絕緣層 21 上（步驟 S140）。

[0135] 如圖 12A 所示，含有選自鈮、鎳、及鋅的至少一者之氧化物的半導體膜 30f 係形成在第二絕緣層 22 上。

[0136] 如圖 12B 所示，半導體層 30 係藉由使用第二絕緣層 22 作為阻止層而圖案化半導體膜 30f 自半導體膜 30f 所形成（步驟 S150）。同樣於這種例子中，例如，乾式蝕刻係使用來圖案化半導體膜 30f。例如，含有氯的氣體被使用於乾式蝕刻中。含有三氯化硼的氣體可被使用。

[0137] 含有氧及選自 Si、Al、Ti、Ta、Hf、及 Zr 的至少一者之第三絕緣層 23 係形成在半導體層 30 上及在第二絕緣層 22 上（步驟 S160）。例如，第三絕緣層 23 在半導體層 30 上的部分係使用作為閘極絕緣層 16。

[0138] 如圖 12C 所示，第一孔 41h 係自第三絕緣層 23 的上表面製成以達到半導體層 30；以及第二孔 42h 係自第三絕緣層 23 的上表面製成以達到半導體層 30 且係與第一孔 41h 分開；以及第三孔 43h 係自第一孔 41h 與第二孔 42h 之間的第三絕緣層 23 的上表面製作以便與半導體層 30 分開（步驟 S171）。例如，乾式蝕刻係使用來製作第一孔 41h、第二孔 42h 及第三孔 43h。同樣於這種例子中，例如，含有選自四氟甲烷、三氟甲烷及氧的至少一者之氣體被使用於乾式蝕刻。

[0139] 導電材料被填入第一孔 41h、第二孔 42h 及第三孔 43h（步驟 S180）。第一導電層 41 係由填入第一孔 41h 的導電材料所形成。第二導電層 42 係由填入第二孔 42h 的導電材料所形成。第一閘極電極 11 係由填入第三孔 43h 的導電材料所形成。因此，包括半導體層 30 之薄膜電晶體（例如，薄膜電晶體 120）被形成。

[0140] 按照依據實施方式的製造方法，用於製造具有高整合性的實用半導體裝置之方法可被提供。

[0141] 同樣於這種例子中，如圖 12C 所示，第一孔 41h 及第二孔 42h 的製作（步驟 S171）可包括製作互連孔 50h，其中電連接功能性元件 155 至薄膜電晶體之互連 50 的至少一部分被形成。接著，導電材料的充填（步驟 S180）可包括將導電材料填入互連孔 50h。藉此，互連 50 的至少一部分可被形成。

[0142] 於第一至第四實施方式中，於氧化矽係使用作為第二絕緣層 22 及第三絕緣層 23 之例子中，TEOS 膜可被使用作為選自這些層的至少一者。多孔膜可被使用作為選自第二絕緣層 22 及第三絕緣層 23 的至少一者。多孔膜可包括例如，SiOC。藉由使用多孔膜，例如，互連間之寄生電容可被減小。

[0143] 依據實施方式，具有高整合性的實用半導體裝置及用於製造半導體裝置之方法可被提供。

[0144] 於本案的說明書中，”垂直”及”平行”指的是不只完全地垂直及完全地平行，還包括例如，由於製程的變動等。這是足以實質上垂直及實質上平行。

[0145] 以上，本發明的實施方式係參照特定實例予以說明。然而，本發明不限於這些特定實例。例如，熟悉此項技術者可藉由適當地選擇包括於習知技術的半導體裝置中的組件的特定組態而同樣地實施本發明，諸如基板、功能性元件、底部絕緣層、第一閘極電極、第二閘極電極、

第一至第三絕緣層、閘極絕緣層、第一導電層、第二導電層、互連、第一至第三互連、層間絕緣層等；且這種實作係在本發明的範圍內而達到類似功效被獲得之程度。

[0146] 再者，特定實例的任何二或更多個組件可被組合在技術可行性的程度內且包括於本發明的範圍中而達到本發明的目的包括之程度。

[0147] 此外，基於如同本發明的實施方式之上述的半導體裝置及其製造方法，熟悉此項技術者藉由適當設計修改可以實施之所有半導體裝置及其製造方法亦係在本發明的範圍內至包括本發明的精神之程度。

[0148] 各種其它變化及修改可在本發明的精神內由熟悉此項技術者想像到，且瞭解到，這種變化及修改亦涵蓋在本發明的範圍內。

[0149] 雖然某些實施方式已被說明，這些實施方式已只經由實例而提出，且不打算限制本發明的範圍。更確切地說，文中所述之新穎實施方式可以各種其它形式予以實施，再者，文中所述的實施方式的形式中之各種省略、取代及改變可以進行而不會背離本發明的精神。附加請求項及其等效物打算涵蓋屬於本發明的範圍及精神內的這種形式或修改。

【符號說明】

[0150]

p1：第一部

p2：第二部

p3：第三部

p4：第四部

p5：第五部

p6：第六部

11：第一閘極電極

11b：第二層

11a：第一層

11c：第三層

12：第二閘極電極

12a：第一層

12b：第二層

12c：第三層

16：閘極絕緣層

21：第一絕緣層

22：第二絕緣層

22p：部分

23：第三絕緣層

23p：部分

30：半導體層

30s：側表面

30a：上表面

30f：半導體膜

41：第一導電層

41h：第一孔

41a：第一層

41b：第二層

41c：第三層

42：第二導電層

42h：第二孔

42b：第二層

42a：第一層

42c：第三層

43h：第三孔

50：互連

50h：互連孔

51：第一互連

52：第二互連

52a：上層

52b：下層

53：第三互連

53a：上層

53b：下層

110：薄膜電晶體

111：薄膜電晶體

112：薄膜電晶體

113：薄膜電晶體

120：薄膜電晶體

121：薄膜電晶體
150：基板
150a：上表面
150b：下表面
150i：層間絕緣層
155：功能性元件
156：成像單元
160：底部絕緣層
171：第一互連層
171i：第一層間絕緣層
172：第二互連層
172i：上層絕緣層
210：半導體裝置
211：半導體裝置
212：半導體裝置
213：半導體裝置
220：半導體裝置
221：半導體裝置

申請專利範圍

1.一種半導體裝置，包括：

基板，包括功能性元件，該基板具有上表面；

底部絕緣層，設在該上表面上；及

薄膜電晶體，包含：

第一閘極電極，設在該底部絕緣層的一部分上，

第一絕緣層，覆蓋該第一閘極電極及該底部絕緣層，該第一絕緣層包括矽及氮，

第二絕緣層，設在該第一絕緣層上，該第二絕緣層包括氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者，該第二絕緣層具有第一部、平行於該上表面的平面，與該第一部分開於第一方向之第二部、及定位在該第一閘極電極上以便設在該第一部與該第二部之間之第三部，

氧化物的半導體層，包含選自 In、Ga、及 Zn 的至少一者，該半導體層接觸該第三部上之該第二絕緣層，該半導體層具有第四部、與該第四部分開於該第一方向之第五部、及設在該第四部與該第五部之間之第六部，該第四部在投影至平行於該上表面的該平面上時係配置在該第六部與該第一部之間，該第五部在投影至平行於該上表面的該平面上時係配置在該第六部與該第二部之間，

第一導電層，接觸該第四部，

第二導電層，接觸該第五部，及

第三絕緣層，覆蓋除了該第四部及該第五部外之該半導體層的一部分，該第三絕緣層包括氧及選自 Si、Al、

Ti、Ta、Hf、及 Zr 的至少一者。

2.如申請專利範圍第 1 項的裝置，其中該薄膜電晶體另包括設在該第六部上的第二閘極電極。

3.如申請專利範圍第 2 項的裝置，其中該第三絕緣層具有設在該第六部與該第二閘極電極之間的一部分。

4.如申請專利範圍第 1 項的裝置，其中該第二絕緣層具有設在該第六部上的一部分。

5.如申請專利範圍第 1 項的裝置，其中該第二絕緣層的厚度係不大於 50nm。

6.如申請專利範圍第 1 項的裝置，其中選自該第一閘極電極、該第一導電層及該第二導電層的至少一者包括選自鋁、銅、鎢、鈹、鉬及鈦的至少一者。

7.如申請專利範圍第 1 項的裝置，其中
該第一絕緣層包含氮化矽，及
該第二絕緣層包含氧化鋁。

8.如申請專利範圍第 1 項的裝置，其中該第三絕緣層包含氧化矽。

9.如申請專利範圍第 1 項的裝置，其中
該功能性元件包括設在該基板的下表面之成像單元。

10.如申請專利範圍第 1 項的裝置，其中
該第一導電層進一步接觸該第一部，及
該第二導電層進一步接觸該第二部。

11.如申請專利範圍第 1 項的裝置，其中該第二絕緣層能夠供應氧至該半導體層。

12.如申請專利範圍第 11 項的裝置，其中該第三絕緣層能夠供應氧至該半導體層。

13.如申請專利範圍第 12 項的裝置，其中該第二絕緣層能夠抑制氫穿透入該半導體層。

14.一種半導體裝置，包含：

基板，包括功能性元件，該基板具有上表面；

底部絕緣層，設在該上表面上；

第一絕緣層，設在該底部絕緣層上，該第一絕緣層包含矽及氮；

第二絕緣層，設在該第一絕緣層上，該第二絕緣層包含氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者，該第二絕緣層具有第一部、平行於該上表面的平面，與該第一部分開於第一方向之第二部、及設在該第一部與該第二部之間之第三部；及

薄膜電晶體，包括：

氧化物的半導體層，包含選自銦、鎵、及鋅的至少一者，該半導體層接觸該第三部上之該第二絕緣層，該半導體層具有第四部、與該第四部分開於該第一方向之第五部、及設在該第四部與該第五部之間之第六部，該第四部係配置在該第六部與該第一部之間，該第五部係配置在該第六部與該第二部之間，

閘極絕緣層，設在該第六部上，該閘極絕緣層包含金屬及氧，

第一閘極電極，設在該閘極絕緣層上，

第一導電層，接觸該第四部，

第二導電層，接觸該第五部，及

第三絕緣層，覆蓋除了該第四部及該第五部外之該半導體層的一部分，該第三絕緣層包含氧及選自 Si、Al、Ti、Ta、Hf、及 Zr 的至少一者。

15.如申請專利範圍第 14 項的裝置，其中該第二絕緣層的厚度係不大於 50nm。

16.如申請專利範圍第 14 項的裝置，其中選自該第一閘極電極、該第一導電層及該第二導電層的至少一者包括選自鋁、銅、鎢、鉭、鉬及鈦的至少一者。

17.如申請專利範圍第 14 項的裝置，其中
該第一絕緣層包含氮化矽，及
該第二絕緣層包含氧化鋁。

18.如申請專利範圍第 14 項的裝置，其中該第三絕緣層包含氧化矽。

19.如申請專利範圍第 14 項的裝置，其中該功能性元件包括設在該基板的下表面之成像單元。

20.一種製造半導體裝置之方法，包含：

形成底部絕緣層在包括功能性元件的基板的上表面上；

形成第一閘極電極在該底部絕緣層的一部分上；

形成包含矽及氮的第一絕緣層以覆蓋該第一閘極電極及該底部絕緣層；

形成包含氧及選自 Al、Ti、Ta、Hf、與 Zr 的至少一者之第二絕緣層在該第一絕緣層上；

形成包含選自銦、鎵、及鋅的至少一者之氧化物的半導體膜在該第二絕緣層上，以及藉由使用該第二絕緣層作為阻止層圖案化該半導體膜，自該半導體膜形成半導體層；

形成包含氧及選自 Si、Al、Ti、Ta、Hf、及 Zr 的至少一者之第三絕緣層在該半導體層上及在該第二絕緣層上；

自該第三絕緣層的上表面製作第一孔以達到該半導體層，以及自該第三絕緣層的該上表面製作第二孔以達到該半導體層且與該第一孔分開；及

藉由將導電材料填入該第一孔及該第二孔而形成包括該半導體層之薄膜電晶體。

圖 1

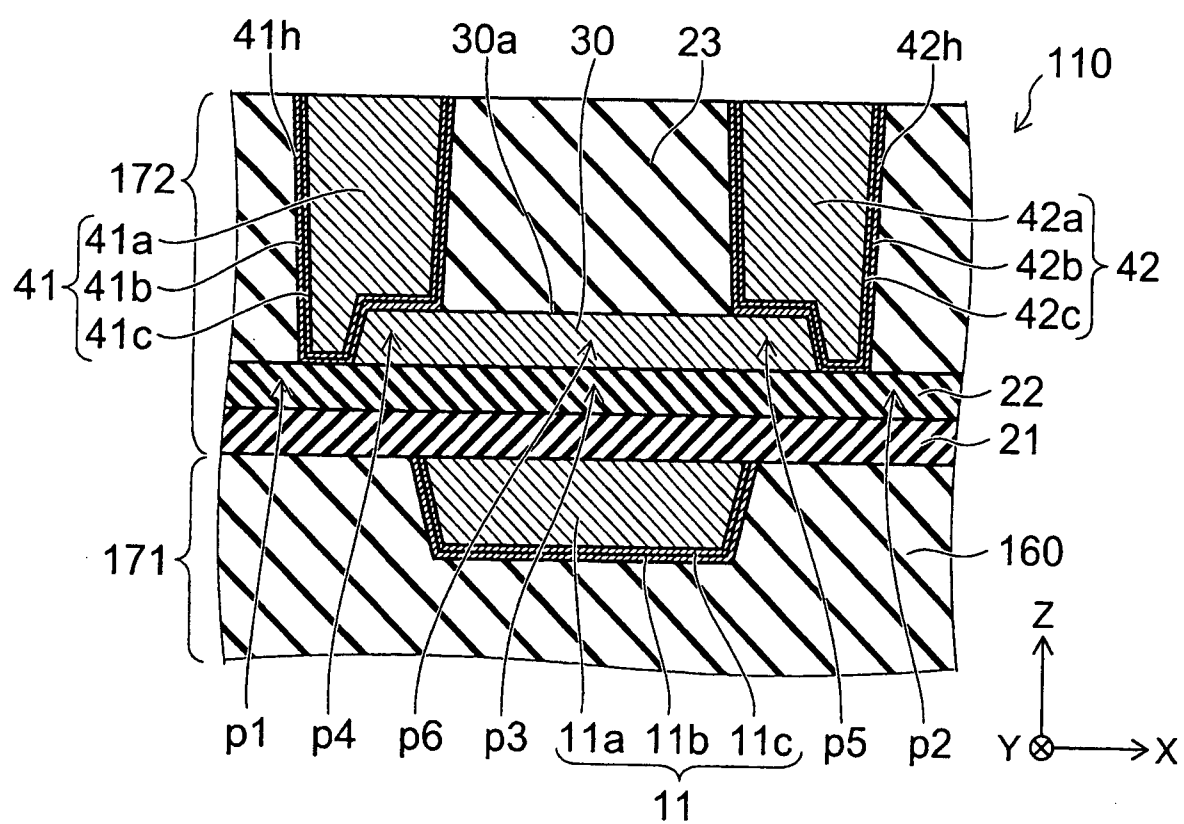
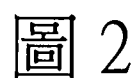


圖 3

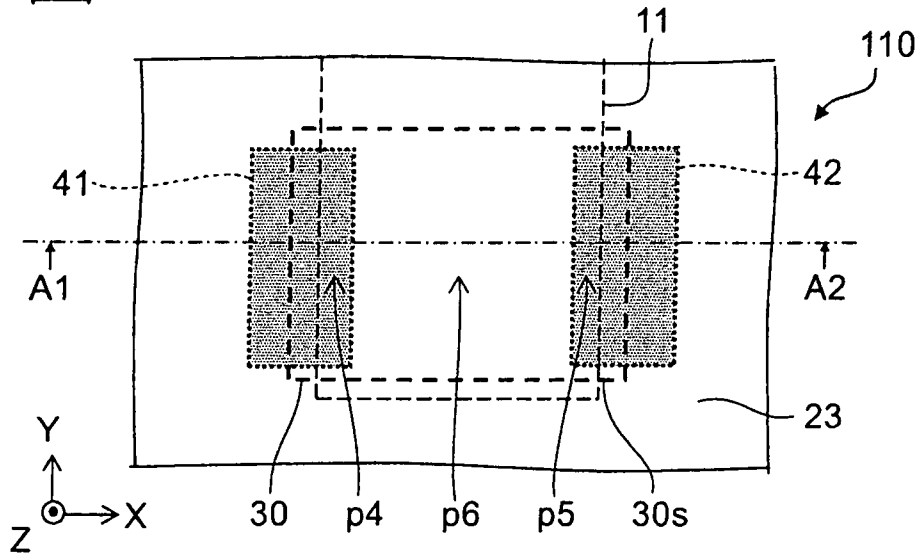


圖 4

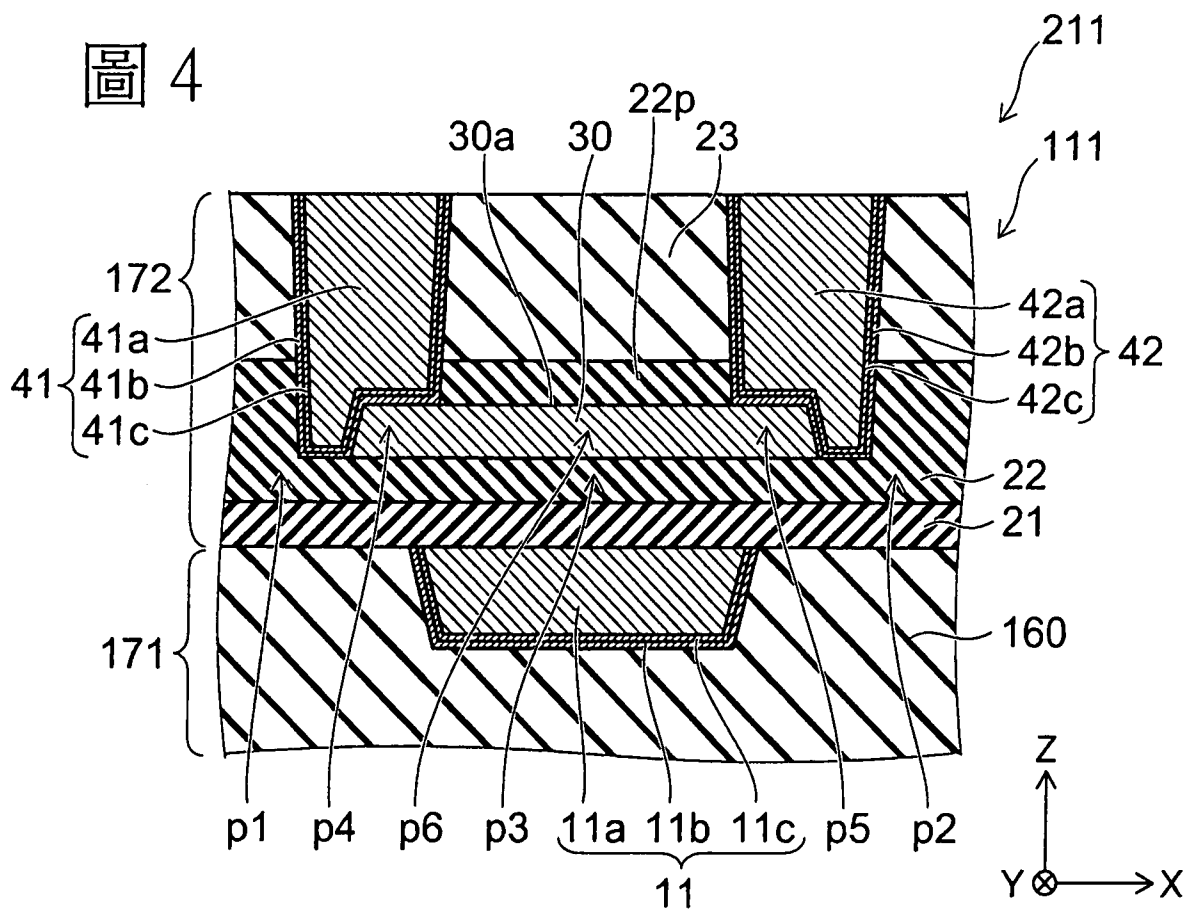


圖 5

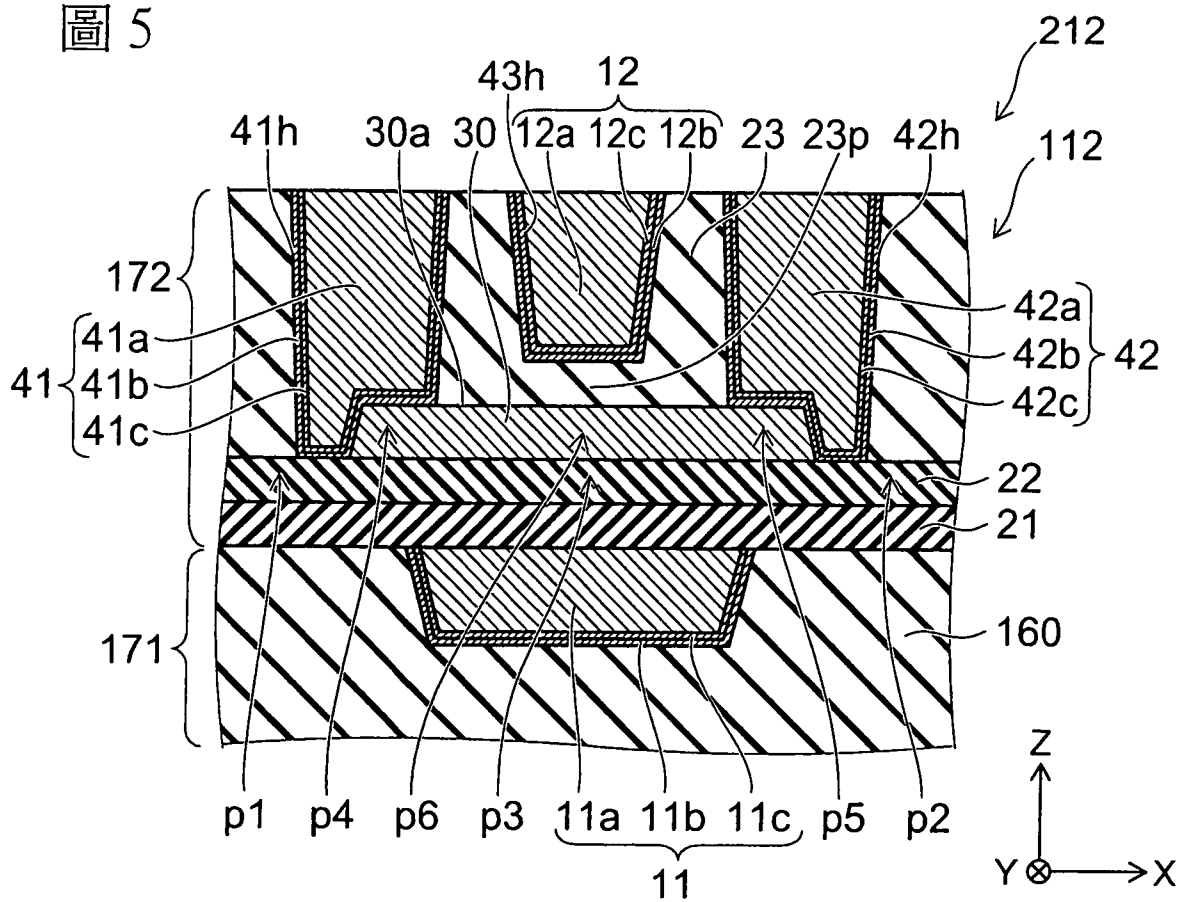
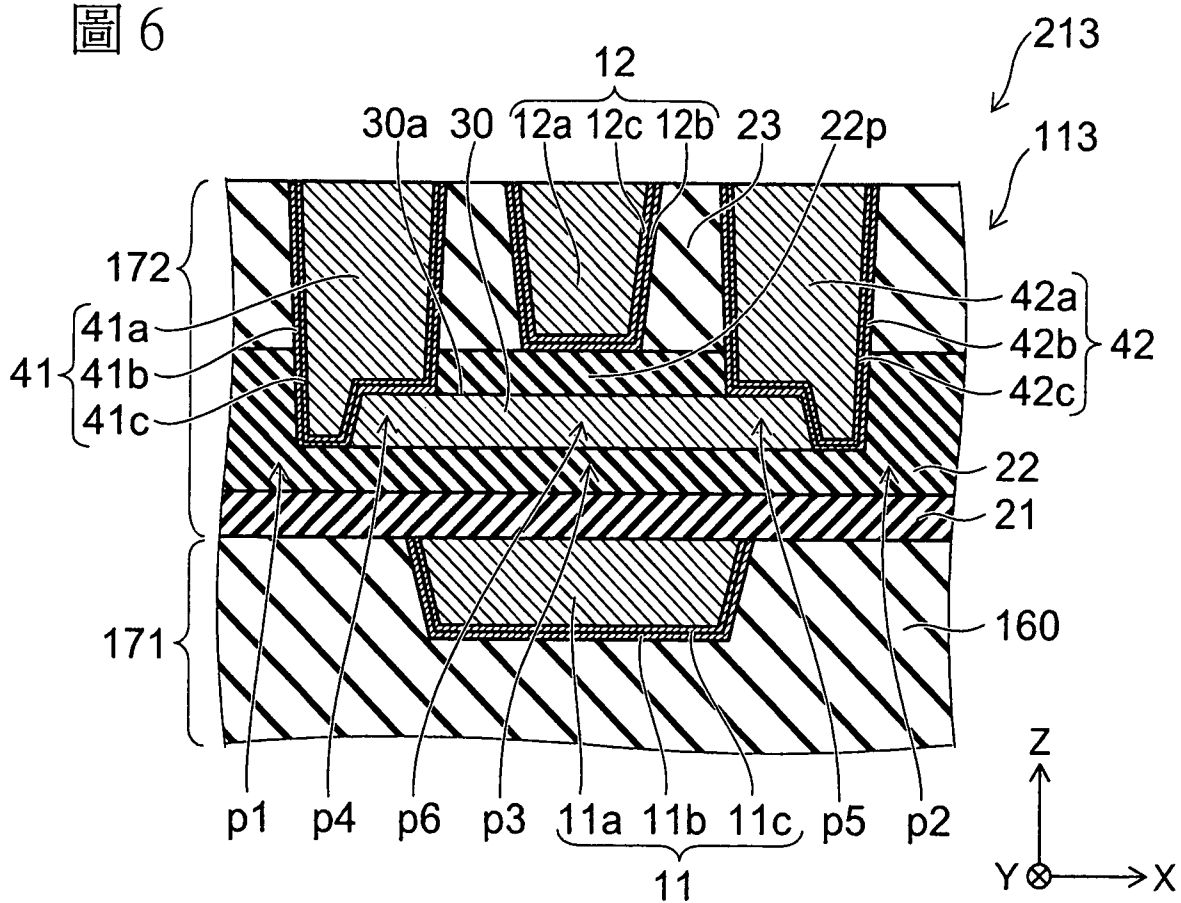


圖 6



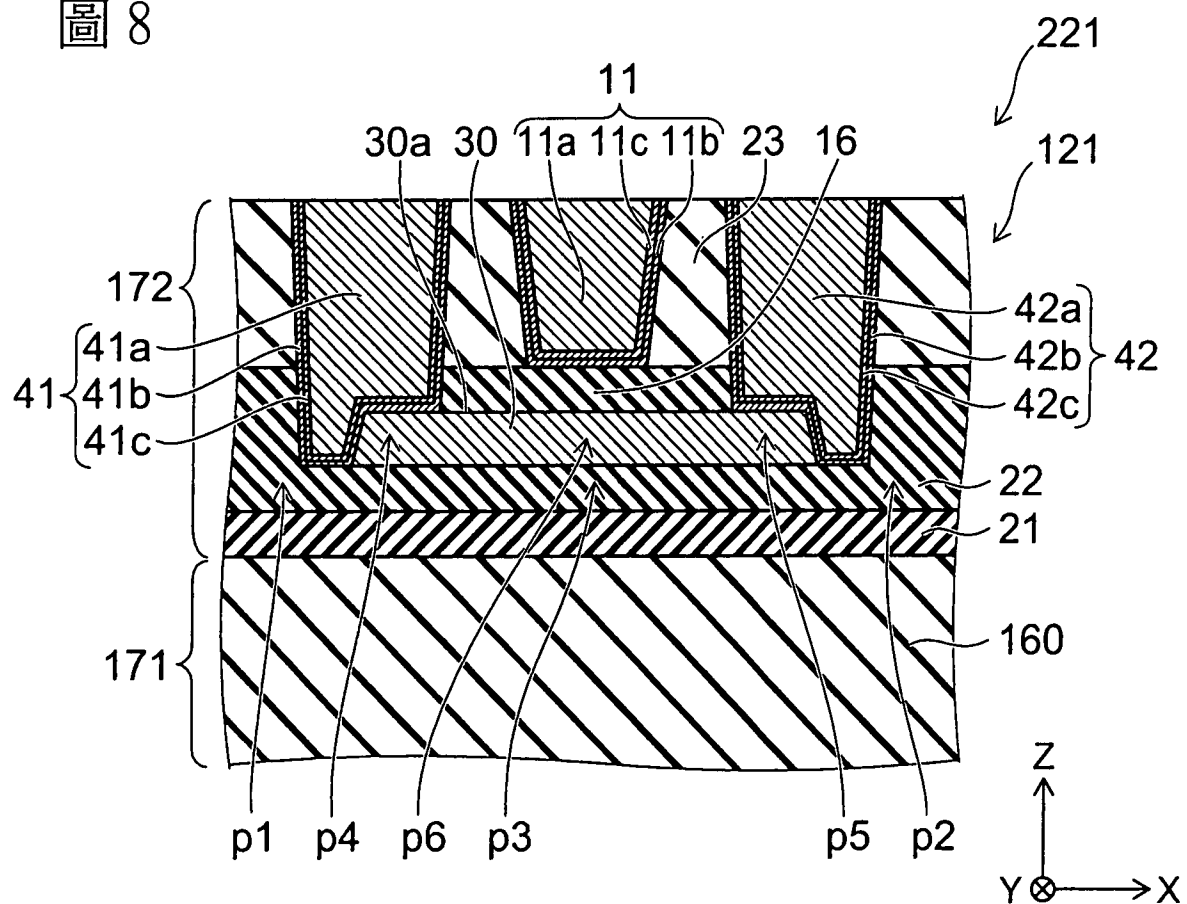


圖 9

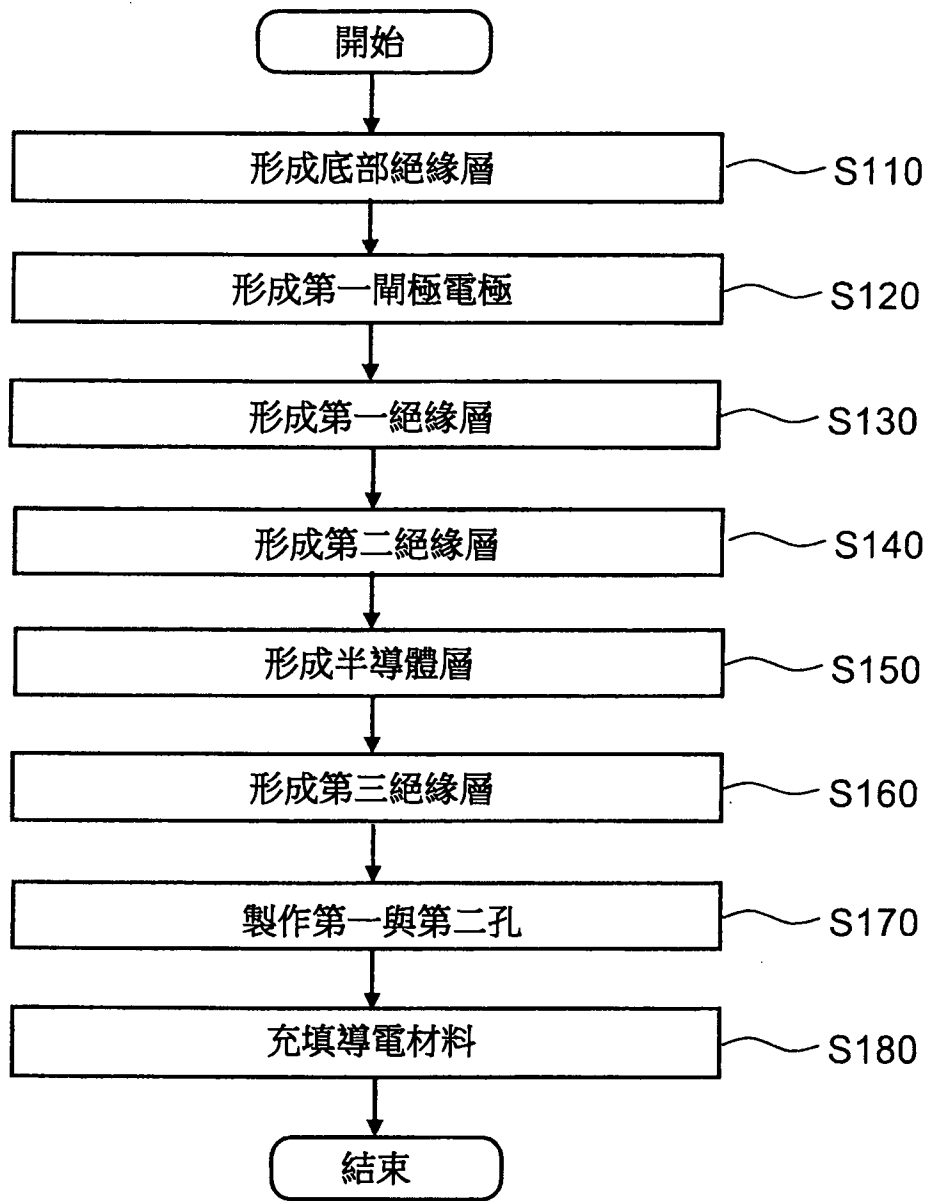


圖 10A

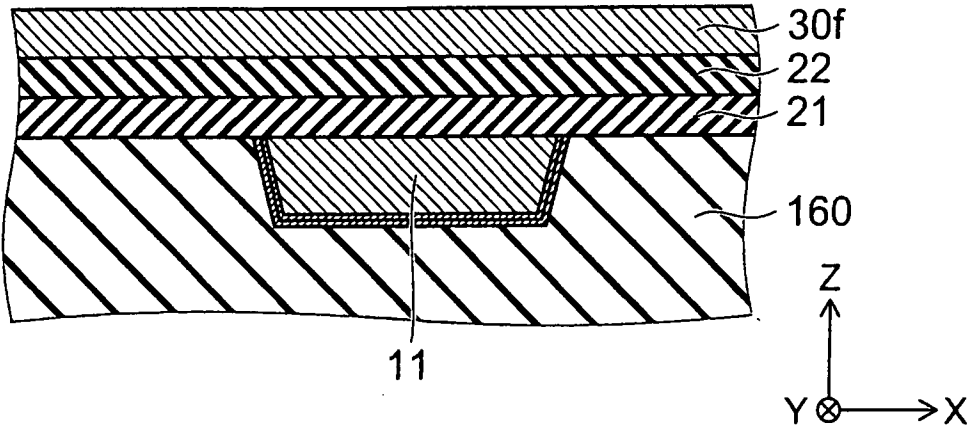


圖 10B

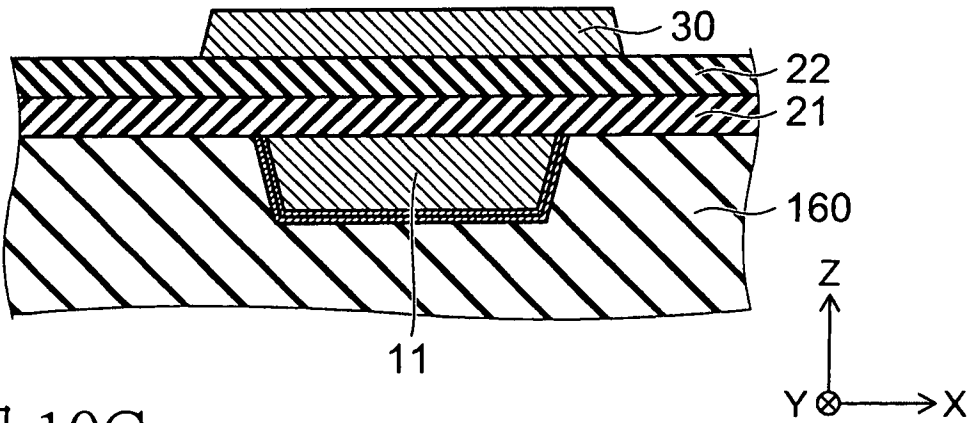


圖 10C

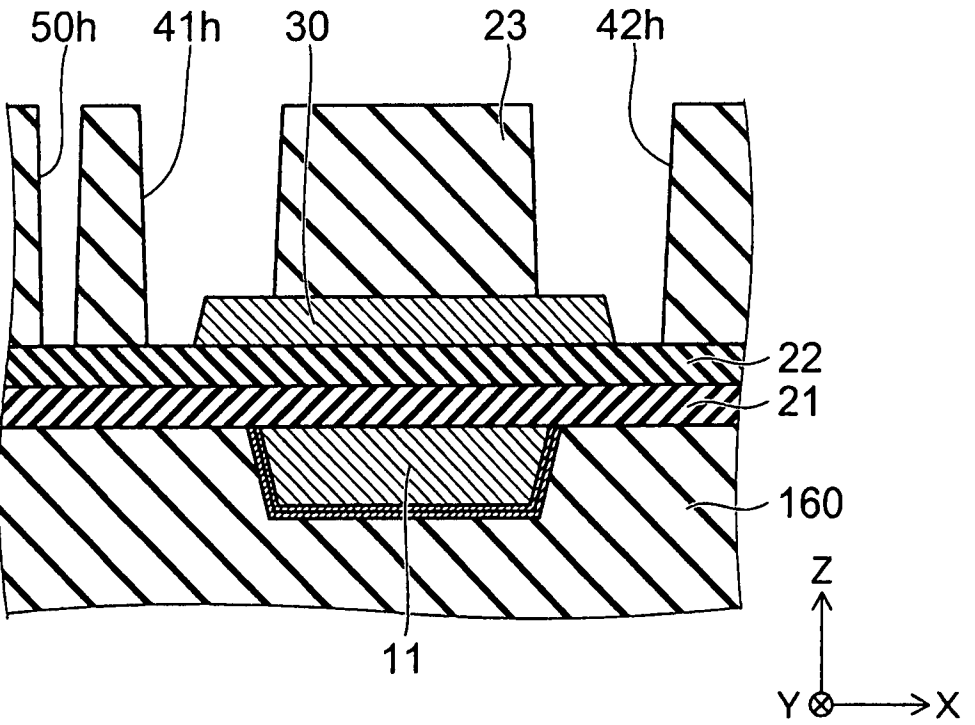


圖 11

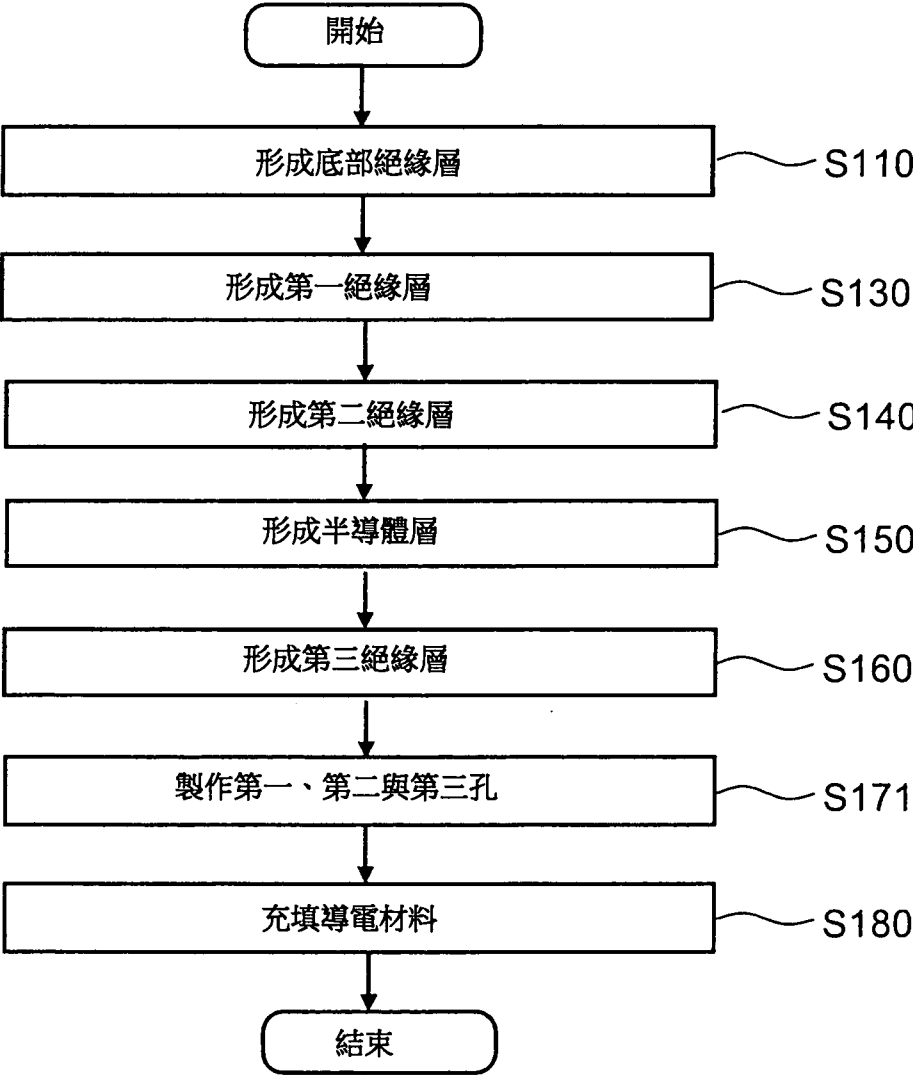


圖 12A

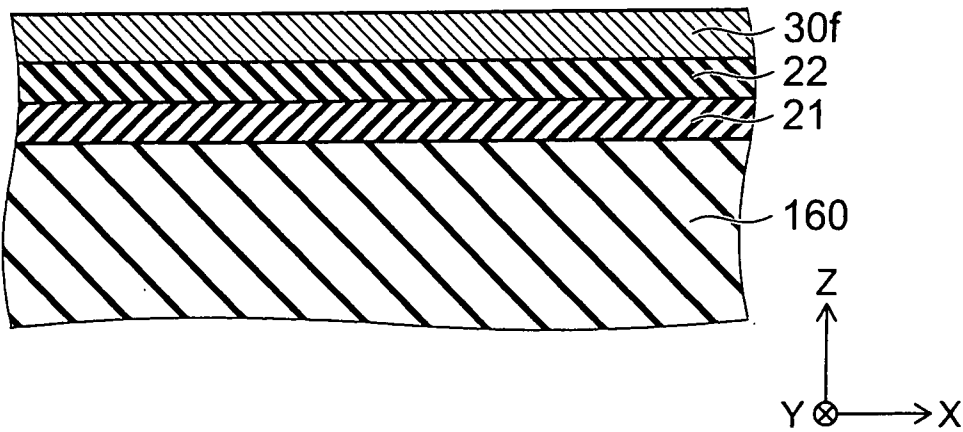


圖 12B

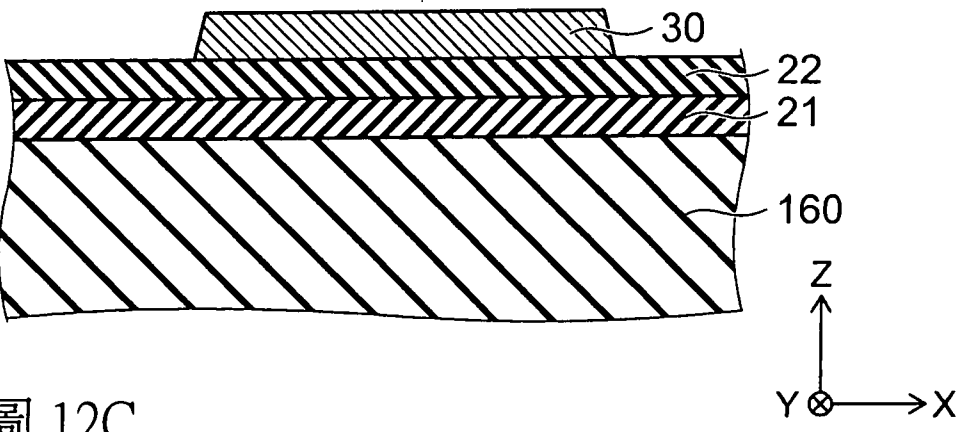


圖 12C

