(19) Deutsches Patent- und Markenamt

(10) **DE 11 2022 005 320 T5** 2024.08.29

(12) # Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2023/106152**
in der deutschen Übersetzung (Art. III § 8 Abs. 2 IntPatÜbkG)
(21) Deutsches Aktenzeichen: **11 2022 005 320.8**
(86) PCT-Aktenzeichen: **PCT/JP2022/043762**
(86) PCT-Anmeldetag: **28.11.2022**
(87) PCT-Veröffentlichungstag: **15.06.2023**
(43) Veröffentlichungstag der PCT Anmeldung in deutscher Übersetzung: **29.08.2024**

(51) Int Cl.: ***H01L 29/739*** (2006.01)
***H01L 29/861*** (2006.01)

(30) Unionspriorität:

| | | |
|---|---|---|
| **2021-199504** | **08.12.2021** | **JP** |
| **2021-199503** | **08.12.2021** | **JP** |

(71) Anmelder:
**ROHM CO., LTD., Kyoto, JP**

(74) Vertreter:
**WITTE, WELLER & PARTNER Patentanwälte mbB, 70173 Stuttgart, DE**

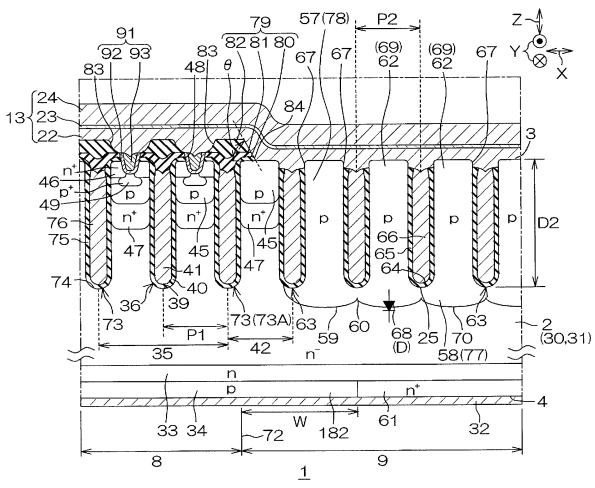
(72) Erfinder:
**Umeki, Shinya, Kyoto, JP**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.**

(54) Bezeichnung: **HALBLEITERVORRICHTUNG**

(57) Zusammenfassung: Es wird eine Halbleitervorrichtung bereitgestellt, die eine Halbleiterschicht mit einer ersten Hauptoberfläche und einer zweiten Hauptoberfläche auf der gegenüberliegenden Seite davon, einen IGBT-Bereich, der in der Halbleiterschicht ausgebildet ist, einen Diodenbereich, der in der Halbleiterschicht ausgebildet ist und zu dem IGBT-Bereich benachbart ist, einen ersten Verunreinigungsbereich eines ersten Leitfähigkeitstyps, der innerhalb der Halbleiterschicht ausgebildet ist, eine Vielzahl von ersten Gräben, die in der ersten Hauptoberfläche des Diodenbereichs ausgebildet sind, einen Diodenzellenbereich, der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben eingeschlossen ist, einen zweiten Verunreinigungsbereich, der sich in dem Diodenzellenbereich von der ersten Hauptoberfläche entlang einer Seitenwand des ersten Grabens tiefer als eine Bodenwand des ersten Grabens erstreckt und mit dem ersten Verunreinigungsbereich einen pn-Übergangsabschnitt bildet, der mindestens einen Teil der Bodenwände der zueinander benachbarten ersten Gräben bedeckt, eine erste Elektrode, die mit dem ersten Verunreinigungsbereich verbunden ist, und eine zweite Elektrode, die mit dem zweiten Verunreinigungsbereich verbunden ist, einschließt.



## Beschreibung

### Technisches Gebiet

**[0001]** Die vorliegende Offenlegung betrifft eine Halbleitervorrichtung, die einen IGBT-Bereich und einen Diodenbereich einschließt.

### Stand der Technik

**[0002]** In der Patentliteratur 1 wird ein RC-IGBT (Reverse Conducting-Insulated Gate Bipolar Transistor) beschrieben, der ein Beispiel für eine Halbleitervorrichtung ist. Der RC-IGBT schließt einen IGBT-Bereich und einen Diodenbereich ein, die in einer gemeinsamen Halbleiterschicht verarbeitet sind. Der IGBT-Bereich schließt einen IGBT ein. Der Diodenbereich schließt eine Diode ein.

### Liste der Entgegenhaltungen

### Patentliteratur

**[0003]** Patentliteratur 1: WO 2020/080476

### Kurzdarstellung der Erfindung

### Technisches Problem

**[0004]** Beispielsweise soll ein Problem einer Diodenstruktur, bei der ein Anodenbereich zwischen Gräben eingeschlossen bzw. sandwich-artig angeordnet ist, betrachtet und bewertet werden. In diesem Fall ist eine Breite des Anodenbereichs auf die Breite eines Bereichs zwischen den Gräben beschränkt. Daher sind ein Pfad von Ladungsträgern und eine Kontaktfläche in dem Anodenbereich dahingehend beschränkt, dass sie schmal sind, was zu einer tendenziellen Zunahme der Träger- bzw. Ladungsträgerdichte führt. Infolgedessen kann sich die Trägermobilität verringern und kann sich ein Rückgewinnungsverlust (recovery loss) verschlechtern bzw. verringern.

**[0005]** Eine bevorzugte Ausführungsform der vorliegenden Offenbarung stellt eine Halbleitervorrichtung bereit, die in der Lage ist, einen Rückgewinnungsverlust einer Diode zu verringern.

**[0006]** Beispielsweise kann eine bevorzugte Ausführungsform der vorliegenden Offenbarung eine Halbleitervorrichtung bereitstellen, die in der Lage ist, eine Fläche bzw. einen Bereich (area) eines pn-Übergangsabschnitts einer Diode breit festzulegen bzw. weitgehend abzusichern und einen Rückgewinnungsverlust zu verringern, indem sie eine Rückgewinnung von Trägern zum Zeitpunkt der Rückgewinnung fördert.

**[0007]** Beispielsweise kann eine bevorzugte Ausführungsform der vorliegenden Offenbarung eine Halbleitervorrichtung bereitstellen, die in der Lage ist, einen Bereich eines Anodenkontakts (oder Kathodenkontakts) einer Diode breit festzulegen bzw. weitgehend abzusichern und einen Rückgewinnungsverlust durch Abschwächung (relaxing) von Trägerspeicherungseffekten zu verringern.

### Lösung des Problems

**[0008]** Eine Halbleitervorrichtung gemäß einer bevorzugten Ausführungsform der vorliegenden Offenbarung schließt eine Halbleiterschicht mit einer ersten Hauptoberfläche und einer zweiten Hauptoberfläche auf der gegenüberliegenden Seite davon ein, einen IGBT-Bereich, der in der Halbleiterschicht ausgebildet ist, einen Diodenbereich, der in der Halbleiterschicht ausgebildet ist und zu dem IGBT-Bereich benachbart ist, einen ersten Verunreinigungsbereich eines ersten Leitfähigkeitstyps, der innerhalb der Halbleiterschicht ausgebildet ist, eine Vielzahl von ersten Gräben, die in der ersten Hauptoberfläche des Diodenbereichs ausgebildet sind, einen Diodenzellenbereich, der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben eingeschlossen ist, einen zweiten Verunreinigungsbereich eines zweiten Leitfähigkeitstyps, der in einem Oberflächenschichtabschnitt der ersten Hauptoberfläche im Diodenbereich ausgebildet ist, wobei sich der zweite Verunreinigungsbereich in dem Diodenzellenbereich von der ersten Hauptoberfläche entlang einer Seitenwand des ersten Grabens tiefer als eine Bodenwand des ersten Grabens erstreckt und ferner mit dem ersten Verunreinigungsbereich einen pn-Übergangsabschnitt bildet, der mindestens einen Teil der Bodenwände der zueinander benachbarten ersten Gräben bedeckt, eine erste Elektrode, die elektrisch mit dem ersten Verunreinigungsbereich verbunden ist, und eine zweite Elektrode, die elektrisch mit dem zweiten Verunreinigungsbereich verbunden ist.

### Vorteilhafte Auswirkungen der Erfindung

**[0009]** Bei der Halbleitervorrichtung gemäß der bevorzugten Ausführungsform der vorliegenden Offenbarung wird durch den pn-Übergangsabschnitt zwischen dem ersten Verunreinigungsbereich und dem zweiten Verunreinigungsbereich eine Diode in dem Diodenbereich gebildet. Der zweite Verunreinigungsbereich ist tiefer ausgebildet als die Bodenwand des ersten Grabens, wodurch der pn-Übergangsabschnitt mindestens einen Teil der Bodenwände der zueinander benachbarten ersten Gräben bedeckt. Im Vergleich zu einem Fall, in dem der pn-Übergangsabschnitt Seitenwände der zueinander benachbarten ersten Gräben verbindet, ist es dadurch möglich, einen Bereich des pn-Übergangsabschnitts breit festzulegen bzw. weitgehend

abzusichern (widely secure). Infolgedessen werden Träger aus dem zweiten Verunreinigungsbereich mit einer großen Fläche zum Zeitpunkt der Rückgewinnung zurückgewonnen, wodurch ermöglicht wird, die Rückgewinnung der Träger zu fördern und auch einen Rückgewinnungsverlust zu verringern. Infolgedessen ist es möglich, Träger aus dem zweiten Verunreinigungsbereich mit einer großen Fläche zum Zeitpunkt der Rückgewinnung zurückzugewinnen, und es ist daher möglich, die Rückgewinnung der Träger zu fördern und einen Rückgewinnungsverlust zu verringern.

**[0010]** Die vorgenannten und noch weitere Aufgaben, Merkmale und Wirkungen der vorliegenden Offenbarung gehen aus der folgenden Beschreibung der bevorzugten Ausführungsformen unter Bezugnahme auf die beigefügten Zeichnungen deutlicher hervor.

## Kurze Beschreibung der Zeichnungen

[**Fig.** 1] **Fig.** 1 ist eine schematische Draufsicht auf eine Halbleitervorrichtung gemäß einer bevorzugten Ausführungsform der vorliegenden Offenbarung.

[**Fig.** 2] **Fig.** 2 ist eine schematische Draufsicht, die eine Struktur einer ersten Hauptoberfläche der Halbleitervorrichtung zeigt.

[**Fig.** 3] **Fig.** 3 ist eine vergrößerte Ansicht eines Abschnitts, der in **Fig.** 1 von einer abwechselnd lang und kurz gestrichelten Linie III umgeben ist.

[**Fig.** 4] **Fig.** 4 ist eine vergrößerte Ansicht eines Abschnitts, der in **Fig.** 3 von einer abwechselnd lang und kurz gestrichelten Linie IV umgeben ist.

[**Fig.** 5] **Fig.** 5 ist eine vergrößerte Ansicht eines Abschnitts, der in **Fig.** 4 von einer abwechselnd lang und kurz gestrichelten Linie V umgeben ist.

[**Fig.** 6] **Fig.** 6 ist eine vergrößerte Ansicht eines Abschnitts, der in **Fig.** 4 von einer abwechselnd lang und kurz gestrichelten Linie VI umgeben ist.

[**Fig.** 7] **Fig.** 7 ist eine Querschnittsansicht entlang der in **Fig.** 5 gezeigten Linie VII-VII.

[**Fig.** 8] **Fig.** 8 ist eine Querschnittsansicht entlang der in **Fig.** 6 gezeigten Linie VIII-VIII.

[**Fig.** 9] **Fig.** 9 ist eine Querschnittsansicht entlang der in **Fig.** 5 gezeigten Linie IX-IX.

[**Fig.** 10A] **Fig.** 10A ist eine Querschnittsansicht eines Bereichs, der **Fig.** 8 entspricht, und eine Querschnittsansicht zur Beschreibung eines Beispiels für ein Verfahren zur Herstellung der in **Fig.** 1 gezeigten Halbleitervorrichtung (Grundstruktur 1).

[**Fig.** 10B] **Fig.** 10B ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10A zeigt.

[**Fig.** 10C] **Fig.** 10C ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10B zeigt.

[**Fig.** 10D] **Fig.** 10D ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10C zeigt.

[**Fig.** 10E] **Fig.** 10E ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10D zeigt.

[**Fig.** 10F] **Fig.** 10F ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10E zeigt.

[**Fig.** 10G] **Fig.** 10G ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10F zeigt.

[**Fig.** 10H] **Fig.** 10H ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10G zeigt.

[**Fig.** 10I] **Fig.** 10I ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10H zeigt.

[**Fig.** 10J] **Fig.** 10J ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10I zeigt.

[**Fig.** 10K] **Fig.** 10K ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10J zeigt.

[**Fig.** 10L] **Fig.** 10L ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10K zeigt.

[**Fig.** 10M] **Fig.** 10M ist eine Schnittansicht, die einen Schritt nach dem von **Fig.** 10L zeigt.

[**Fig.** 10N] **Fig.** 10N ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10M zeigt.

[**Fig.** 10O] **Fig.** 11O ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10N zeigt.

[**Fig.** 10P] **Fig.** 10P ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10O zeigt.

[**Fig.** 10Q] **Fig.** 10Q ist eine Schnittansicht, die einen Schritt nach dem von **Fig.** 10P zeigt.

[**Fig.** 10R] **Fig.** 10R ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 10Q zeigt.

[**Fig.** 11] **Fig.** 11 ist eine schematische vergrößerte Draufsicht, die einen Teil der Grundstruk-

tur 2 der Halbleitervorrichtung zeigt, und eine vergrößerte Ansicht eines Abschnitts, der **Fig.** 4 entspricht.

[**Fig.** 12] **Fig.** 12 ist eine vergrößerte Ansicht eines Abschnitts, der in **Fig.** 11 von einer abwechselnd lang und kurz gestrichelten Linie XII umgeben ist.

[**Fig.** 13] **Fig.** 13 ist eine vergrößerte Ansicht eines Abschnitts, der in **Fig.** 11 von einer abwechselnd lang und kurz gestrichelten Linie XIII umgeben ist.

[**Fig.** 14] **Fig.** 14 ist eine Querschnittsansicht entlang der in **Fig.** 12 gezeigten Linie XIV-XIV.

[**Fig.** 15] **Fig.** 15 ist eine Querschnittsansicht entlang der in **Fig.** 13 gezeigten Linie XV-XV.

[**Fig.** 16] **Fig.** 16 ist eine Querschnittsansicht entlang der in **Fig.** 12 gezeigten Linie XVI-XVI.

[**Fig.** 17A] **Fig.** 17A ist eine Querschnittsansicht eines Bereichs, der **Fig.** 15 entspricht, und eine Querschnittsansicht zur Beschreibung eines Beispiels für ein Verfahren zur Herstellung der Halbleitervorrichtung (Grundstruktur 2) von **Fig.** 1.

[**Fig.** 17B] **Fig.** 17B ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 17A zeigt.

[**Fig.** 17C] **Fig.** 17C ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 17B zeigt.

[**Fig.** 18] **Fig.** 18 ist eine Zeichnung von Ergebnissen einer Untersuchung der Sperrverzögerungseigenschaften (engl. reverse recovery characteristics) einer pn-Übergangsdiode einer Halbleitervorrichtung gemäß Referenzbeispiel 1 durch eine Simulation.

[**Fig.** 19A] **Fig.** 19A ist eine Zeichnung von Ergebnissen einer Untersuchung einer Lochstromdichte der Halbleitervorrichtung gemäß Referenzbeispiel 1 durch eine Simulation.

[**Fig.** 19B] **Fig.** 19B ist eine Zeichnung von Ergebnissen einer Untersuchung der Lochstromdichte der Halbleitervorrichtung gemäß Referenzbeispiel 1 durch eine Simulation.

[**Fig.** 19C] **Fig.** 19C ist eine Zeichnung von Ergebnissen einer Untersuchung der Lochstromdichte der Halbleitervorrichtung gemäß Referenzbeispiel 1 durch eine Simulation.

[**Fig.** 19D] **Fig.** 19D ist eine Zeichnung von Ergebnissen einer Untersuchung der Lochstromdichte der Halbleitervorrichtung gemäß Referenzbeispiel 1 durch eine Simulation.

[**Fig.** 19E] **Fig.** 19E ist eine Zeichnung von Ergebnissen einer Untersuchung der Lochstromdichte der Halbleitervorrichtung gemäß Referenzbeispiel 1 durch eine Simulation.

[**Fig.** 19F] **Fig.** 19F ist eine Zeichnung von Ergebnissen einer Untersuchung der Lochstromdichte der Halbleitervorrichtung gemäß Referenzbeispiel 1 durch eine Simulation.

[**Fig.** 19G] **Fig.** 19G ist eine Zeichnung von Ergebnissen einer Untersuchung der Lochstromdichte der Halbleitervorrichtung gemäß Referenzbeispiel 1 durch eine Simulation.

[**Fig.** 19H] **Fig.** 19H ist eine Zeichnung von Ergebnissen einer Untersuchung der Lochstromdichte der Halbleitervorrichtung gemäß Referenzbeispiel 1 durch eine Simulation.

[**Fig.** 19I] **Fig.** 19I ist eine Zeichnung von Ergebnissen einer Untersuchung der Lochstromdichte der Halbleitervorrichtung gemäß Referenzbeispiel 1 durch eine Simulation.

[**Fig.** 20A] **Fig.** 20A ist eine schematische Ansicht einer pn-Übergangsdiode gemäß Referenzbeispiel 2.

[**Fig.** 20B] **Fig.** 20B ist eine schematische Ansicht einer pn-Übergangsdiode gemäß Referenzbeispiel 3.

[**Fig.** 20C] **Fig.** 20C ist eine schematische Ansicht einer pn-Übergangsdiode gemäß Referenzbeispiel 4.

[**Fig.** 20D] **Fig.** 20D ist eine schematische Ansicht einer pn-Übergangsdiode gemäß Referenzbeispiel 5.

[**Fig.** 21] **Fig.** 21 ist eine Zeichnung von Ergebnissen einer Untersuchung der Durchlasseigenschaften (engl. forward characteristics) der pn-Übergangsdioden gemäß den Referenzbeispielen 2 bis 5 durch eine Simulation.

[**Fig.** 22] **Fig.** 22 ist eine Zeichnung von Ergebnissen einer Untersuchung eines Grades einer Durchlasslochdichte jeder der pn-Übergangsdioden gemäß den Referenzbeispielen 2 bis 5 durch eine Simulation.

[**Fig.** 23] **Fig.** 23 ist eine Zeichnung von Ergebnissen einer Untersuchung von Sperrverzögerungseigenschaften der pn-Übergangsdioden gemäß den Referenzbeispielen 2 bis 5 durch eine Simulation.

[**Fig.** 24] **Fig.** 24 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-1 der Halbleitervorrichtung zeigt.

[**Fig.** 25] **Fig.** 25 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-1 der Halbleitervorrichtung zeigt.

[**Fig.** 26A] **Fig.** 26A ist eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Strukturen von **Fig.** 24 und **Fig.** 25 zeigt.

[**Fig.** 26B] **Fig.** 26B ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 26A zeigt.

[**Fig.** 26C] **Fig.** 26C ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 26B zeigt.

[**Fig.** 27A] **Fig.** 27A ist eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Strukturen von **Fig.** 24 und **Fig.** 25 zeigt.

[**Fig.** 27B] **Fig.** 27B ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 26A zeigt.

[**Fig.** 28] **Fig.** 28 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-2 der Halbleitervorrichtung zeigt.

[**Fig.** 29] **Fig.** 29 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-2 der Halbleitervorrichtung zeigt.

[**Fig.** 30A] **Fig.** 30A ist eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Strukturen von **Fig.** 28 und **Fig.** 29 zeigt.

[**Fig.** 30B] **Fig.** 30B ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 30A zeigt.

[**Fig.** 30C] **Fig.** 30C ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 30B zeigt.

[**Fig.** 31] **Fig.** 31 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-3 der Halbleitervorrichtung zeigt.

[**Fig.** 32] **Fig.** 32 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-3 der Halbleitervorrichtung zeigt.

[**Fig.** 33] **Fig.** 33 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-4 der Halbleitervorrichtung zeigt.

[**Fig.** 34] **Fig.** 34 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-4 der Halbleitervorrichtung zeigt.

[**Fig.** 35] **Fig.** 35 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 2-1 der Halbleitervorrichtung zeigt.

[**Fig.** 36A] **Fig.** 36A ist eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 35 zeigt.

[**Fig.** 36B] **Fig.** 36B ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 36A zeigt.

[**Fig.** 36C] **Fig.** 36C ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 36B zeigt.

[**Fig.** 36D] **Fig.** 36D ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 36C zeigt.

[**Fig.** 36E] **Fig.** 36E ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 36D zeigt.

[**Fig.** 37] **Fig.** 37 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 2-2 der Halbleitervorrichtung zeigt.

[**Fig.** 38] **Fig.** 38 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 2-3 der Halbleitervorrichtung zeigt.

[**Fig.** 39] **Fig.** 39 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 2-4 der Halbleitervorrichtung zeigt.

[**Fig.** 40] **Fig.** 40 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 3-1 der Halbleitervorrichtung zeigt.

[**Fig.** 41A] **Fig.** 41A ist eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 40 zeigt.

[**Fig.** 41B] **Fig.** 41B ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 41A zeigt.

[**Fig.** 41C] **Fig.** 41C ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 41B zeigt.

[**Fig.** 42] **Fig.** 42 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 3-2 der Halbleitervorrichtung zeigt.

[**Fig.** 43] **Fig.** 43 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 4-1 der Halbleitervorrichtung zeigt.

[**Fig.** 44A] **Fig.** 44A ist eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 43 zeigt.

[**Fig.** 44B] **Fig.** 44B ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 44A zeigt.

[**Fig.** 44C] **Fig.** 44C ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 44B zeigt.

[**Fig.** 45] **Fig.** 45 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 5-1 der Halbleitervorrichtung zeigt.

[**Fig.** 46] **Fig.** 46 ist eine schematische perspektivische Ansicht, die die Verbesserte Struktur 5-1 der Halbleitervorrichtung zeigt.

[**Fig.** 47A] **Fig.** 47A ist eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 43 zeigt.

[**Fig.** 47B] **Fig.** 47B ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 47A zeigt.

[**Fig.** 47C] **Fig.** 47C ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 47B zeigt.

[**Fig.** 47D] **Fig.** 47D ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 47C zeigt.

[**Fig.** 47E] **Fig.** 47E ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 47D zeigt.

[**Fig.** 48] **Fig.** 48 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 6-1 der Halbleitervorrichtung zeigt.

[**Fig.** 49A] **Fig.** 49A ist eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 48 zeigt.

[**Fig.** 49B] **Fig.** 49B ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 49A zeigt.

[**Fig.** 49C] **Fig.** 49C ist eine Querschnittsansicht, die einen Schritt nach dem Schritt von **Fig.** 49B zeigt.

[**Fig.** 50] **Fig.** 50 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 7-1 der Halbleitervorrichtung zeigt.

[**Fig.** 51] **Fig.** 51 ist eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 50 zeigt.

[**Fig.** 52] **Fig.** 52 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 8-1 der Halbleitervorrichtung zeigt.

[**Fig.** 53] **Fig.** 53 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 8-2 der Halbleitervorrichtung zeigt.

[**Fig.** 54] **Fig.** 54 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 8-3 der Halbleitervorrichtung zeigt.

[**Fig.** 55] **Fig.** 55 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 8-4 der Halbleitervorrichtung zeigt.

[**Fig.** 56] **Fig.** 56 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 9-1 der Halbleitervorrichtung zeigt.

[**Fig.** 57] **Fig.** 57 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 9-2 der Halbleitervorrichtung zeigt.

[**Fig.** 58] **Fig.** 58 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 9-3 der Halbleitervorrichtung zeigt.

[**Fig.** 59] **Fig.** 59 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 9-4 der Halbleitervorrichtung zeigt.

[**Fig.** 60] **Fig.** 60 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 10-1 der Halbleitervorrichtung zeigt.

[**Fig.** 61] **Fig.** 61 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 10-2 der Halbleitervorrichtung zeigt.

[**Fig.** 62] **Fig.** 62 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 10-3 der Halbleitervorrichtung zeigt.

[**Fig.** 63] **Fig.** 63 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 10-4 der Halbleitervorrichtung zeigt.

[**Fig.** 64] **Fig.** 64 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 11-1 der Halbleitervorrichtung zeigt.

[**Fig.** 65] **Fig.** 65 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 11-2 der Halbleitervorrichtung zeigt.

[**Fig.** 66] **Fig.** 66 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 11-3 der Halbleitervorrichtung zeigt.

[**Fig.** 67] **Fig.** 67 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 11-4 der Halbleitervorrichtung zeigt.

[**Fig.** 68] **Fig.** 68 ist eine perspektivische Ansicht, die ein Konfigurationsbeispiel für ein Halbleitermodul zeigt.

[**Fig.** 69] **Fig.** 69 ist ein Schaltbild, das eine elektrische Konfiguration des Halbleitermoduls von **Fig.** 68 zeigt.

## Beschreibung von Ausführungsformen

### [Grundstruktur 1 der Halbleitervorrichtung]

**[0011] Fig.** 1 ist eine schematische Draufsicht auf eine Halbleitervorrichtung 1 nach einer bevorzugten Ausführungsform der vorliegenden Offenbarung. **Fig.** 2 ist eine schematische Draufsicht, die eine Struktur einer ersten Hauptoberfläche 3 der Halbleitervorrichtung 1 zeigt. **Fig.** 3 ist eine vergrößerte Ansicht eines Abschnitts, der in **Fig.** 1 von einer abwechselnd lang und kurz gestrichelten Linie III umgeben ist.

**[0012]** Bei der Halbleitervorrichtung 1 handelt es sich um eine elektronische Komponente, welche einen RC-IGBT (Reverse Conducting-Insulated

Gate Bipolar Transistor) aufweist, der einstückig mit einem IGBT und einer Diode bestückt ist.

**[0013]** Unter Bezugnahme auf **Fig.** 1 und **Fig.** 2 schließt die Halbleitervorrichtung 1 eine Halbleiterschicht 2 ein, die in einer rechteckigen Parallelepipedform ausgebildet ist. Die Halbleiterschicht 2 weist die erste Hauptoberfläche 3 auf einer Seite, eine zweite Hauptoberfläche 4 auf der anderen Seite und Seitenoberflächen 5A, 5B, 5C und 5D auf, welche die erste Hauptoberfläche 3 und die zweite Hauptoberfläche 4 miteinander verbinden.

**[0014]** Die erste Hauptoberfläche 3 und die zweite Hauptoberfläche 4 sind in Draufsicht aus einer Normalenrichtung Z betrachtet (nachstehend einfach als „Draufsicht“ bezeichnet) in einer vierseitigen Form ausgebildet. Die Seitenoberfläche 5A und die Seitenoberfläche 5C erstrecken sich entlang einer ersten Richtung X und liegen einander in einer zweiten Richtung Y gegenüber, die die erste Richtung X schneidet. Die Seitenoberfläche 5B und die Seitenoberfläche 5D erstrecken sich entlang der zweiten Richtung Y und liegen einander in der ersten Richtung X gegenüber. Insbesondere ist die zweite Richtung Y orthogonal zur ersten Richtung X.

**[0015]** Eine Dicke der Halbleiterschicht 2 kann ggf. nicht weniger als 50 µm und nicht mehr als 200 µm betragen. Die Dicke der Halbleiterschicht 2 kann ggf. nicht weniger als 50 µm und nicht mehr als 100 µm, nicht weniger als 100 µm und nicht mehr als 150 µm oder nicht weniger als 150 µm und nicht mehr als 200 µm betragen. Durch Verringern der Dicke der Halbleiterschicht 2 ist wird ermöglicht, einen Widerstandswert der Halbleiterschicht 2 zu verringern.

**[0016]** Die Halbleiterschicht 2 schließt einen aktiven Bereich 6 und einen Außenbereich 7 ein. Der aktive Bereich 6 ist ein Bereich, in dem der RC-IGBT gebildet wird. Der aktive Bereich 6 ist in Draufsicht in einem zentralen Abschnitt der Halbleiterschicht 2 mit einem Abstand zu einem Innenbereich von den Seitenoberflächen 5A bis 5D angeordnet. Der aktive Bereich 6 kann eine vierseitige Form aufweisen, die vier Seiten aufweist, die in Draufsicht parallel zu den Seitenoberflächen 5A bis 5D verlaufen.

**[0017]** Der Außenbereich 7 ist ein Bereich außerhalb des aktiven Bereichs 6. Der Außenbereich 7 erstreckt sich in Draufsicht als Band entlang einer Umfangskante des aktiven Bereichs 6. Insbesondere ist der Außenbereich 7 in einer Endlosform (vierseitige Ringform) ausgebildet, die in Draufsicht den aktiven Bereich 6 umgibt.

**[0018]** Der aktive Bereich 6 schließt einen IGBT-Bereich 8 und einen Diodenbereich 9 ein. In **Fig.** 2 ist der Diodenbereich 9 zur Verdeutlichung schraffiert dargestellt. Der IGBT-Bereich 8 ist ein Bereich, in dem ein IGBT ausgebildet ist. Der Diodenbereich 9 ist ein Bereich, in dem eine Diode ausgebildet ist. Der Diodenbereich 9 ist benachbart zu dem IGBT-Bereich 8.

**[0019]** Insbesondere schließt der aktive Bereich 6 ein RC-IGBT-Array 12 ein. Die Vielzahl von (in dieser bevorzugten Ausführungsform sechs) RC-IGBT-Arrays 12 sind in einem Abstand in der zweiten Richtung Y ausgebildet. Das RC-IGBT-Array 12 weist einen ersten Endabschnitt auf einer Seite (Seite der Seitenoberfläche 5B) und einen zweiten Endabschnitt auf der anderen Seite (Seite der Seitenoberfläche 5D) auf.

**[0020]** Das RC-IGBT-Array 12 weist ein Schleifen-Array auf, das wiederholt den IGBT-Bereich 8, den Diodenbereich 9, den IGBT-Bereich 8, den Diodenbereich 9, ..., einschließt, die in einer einzigen Spalte entlang der ersten Richtung X vom ersten Endabschnitt zum zweiten Endabschnitt angeordnet sind. In dieser bevorzugten Ausführungsform ist der erste Endabschnitt des RC-IGBT-Arrays 12 aus dem IGBT-Bereich 8 gebildet. In dieser bevorzugten Ausführungsform ist der zweite Endabschnitt des RC-IGBT-Arrays 12 aus dem IGBT-Bereich 8 gebildet. Der erste Endabschnitt des RC-IGBT-Arrays 12 kann aus dem Diodenbereich 9 gebildet sein. Der zweite Endabschnitt des RC-IGBT-Arrays 12 kann aus dem Diodenbereich 9 gebildet sein.

**[0021]** Somit sind die Vielzahl von IGBT-Bereichen 8 in verstreuter Weise im aktiven Bereich 6 angeordnet. Die Vielzahl von IGBT-Bereichen 8 sind in einem Abstand entlang der ersten Richtung X und der zweiten Richtung Y ausgebildet. In dieser bevorzugten Ausführungsform sind die Vielzahl von IGBT-Bereichen 8 in Draufsicht in einer Matrix angeordnet. Die Vielzahl von IGBT-Bereichen 8 liegen einander entlang der ersten Richtung X gegenüber und liegen einander entlang der zweiten Richtung Y gegenüber.

**[0022]** In dieser bevorzugten Ausführungsform sind die Vielzahl von IGBT-Bereichen 8 in Draufsicht jeweils in einer vierseitigen Form ausgebildet. Insbesondere sind die Vielzahl von IGBT-Bereichen 8 entlang der zweiten Richtung Y jeweils in einer rechteckigen Form ausgebildet.

**[0023]** Unter Bezugnahme auf **Fig.** 3 kann eine Breite WI jedes IGBT-Bereichs 8 nicht weniger als 10 µm und nicht mehr als 1000 µm betragen. Die Breite WI ist eine Breite des IGBT-Bereichs 8 in der ersten Richtung X. Die Breite WI kann ggf. nicht weniger als 10 µm und nicht mehr als 100 µm, nicht weniger als 100 µm und nicht mehr als 200 µm, nicht weniger als 200 µm und nicht mehr als 300 µm, nicht weniger als 300 µm und nicht mehr als 400 µm, nicht weniger als 400 µm und nicht mehr als 500 µm, nicht weniger als 500 µm und nicht mehr als 600 µm, nicht

weniger als 600 µm und nicht mehr als 700 µm, nicht weniger als 700 µm und nicht mehr als 800 µm, nicht weniger als 800 µm und nicht mehr als 900 µm oder nicht weniger als 900 µm und nicht mehr als 1000 µm betragen. Die Breite WI beträgt vorzugsweise nicht mehr als 100 µm. Die Breite WI beträgt mehr bevorzugt nicht weniger als 200 µm.

**[0024]** Außerdem sind die Vielzahl von Diodenbereichen 9 in verstreuter Weise im aktiven Bereich 6 angeordnet. Die Vielzahl von Diodenbereichen 9 sind in einem Abstand entlang der ersten Richtung X und der zweiten Richtung Y ausgebildet. In dieser bevorzugten Ausführungsform sind die Vielzahl von Diodenbereichen 9 in Draufsicht in einer Matrix angeordnet. Die Vielzahl von Diodenbereichen 9 liegen einander entlang der ersten Richtung X gegenüber und liegen einander entlang der zweiten Richtung Y gegenüber.

**[0025]** Insbesondere sind die Vielzahl von Diodenbereichen 9 jeweils so ausgebildet, dass sie in der ersten Richtung X zu dem IGBT-Bereich 8 benachbart sind. In dieser bevorzugten Ausführungsform sind die Vielzahl von Diodenbereichen 9 in Draufsicht jeweils in einer vierseitigen Form ausgebildet. Insbesondere sind die Vielzahl von Diodenbereichen 9 jeweils in einer rechteckigen Form ausgebildet, die sich entlang der zweiten Richtung Y erstreckt.

**[0026]** Eine planare Fläche jedes Diodenbereichs 9 ist vorzugsweise nicht größer als eine planare Fläche jedes IGBT-Bereichs 8. Die planare Fläche jedes Diodenbereichs 9 ist mehr bevorzugt kleiner als die planare Fläche jedes IGBT-Bereichs 8. Unter Bezugnahme auf **Fig.** 3 ist eine Breite WD jedes Diodenbereichs 9 vorzugsweise nicht größer als die Breite WI jedes IGBT-Bereichs 8. Die Breite WD ist eine Breite des Diodenbereichs 9 in der ersten Richtung X. Die Breite WD jedes Diodenbereichs 9 ist mehr bevorzugt geringer als die Breite WI jedes IGBT-Bereichs 8.

**[0027]** Die Breite WD kann ggf. nicht weniger als 5 µm und nicht mehr als 1000 µm betragen. Die Breite WD kann ggf. nicht weniger als 5 µm und nicht mehr als 100 µm, nicht weniger als 100 µm und nicht mehr als 200 µm, nicht weniger als 200 µm und nicht mehr als 300 µm, nicht weniger als 300 µm und nicht mehr als 400 µm, nicht weniger als 400 µm und nicht mehr als 500 µm, nicht weniger als 500 µm und nicht mehr als 600 µm, nicht weniger als 600 µm und nicht mehr als 700 µm, nicht weniger als 700 µm und nicht mehr als 800 µm, nicht weniger als 800 µm und nicht mehr als 900 µm oder nicht weniger als 900 µm und nicht mehr als 1000 µm betragen. Die Breite WD beträgt vorzugsweise nicht mehr als 100 µm. Die Breite WD beträgt mehr bevorzugt nicht weniger als 200 µm.

**[0028]** Unter Bezugnahme auf **Fig.** 1 und **Fig.** 2 schließt der aktive Bereich 6 ferner einen Sensorbereich 11 ein. Der Sensorbereich 11 ist ein Bereich, in dem ein Temperatursensor ausgebildet ist. Der Sensorbereich 11 ist in einem Bereich zwischen zwei RC-IGBT-Arrays 12 ausgebildet, die in der zweiten Richtung Y zueinander benachbart sind. In dieser bevorzugten Ausführungsform ist der Sensorbereich 11 in einem zentralen Abschnitt des aktiven Bereichs 6 ausgebildet. Im zentralen Abschnitt des aktiven Bereichs 6 steigt Wärme tendenziell an. Daher wird es durch Anordnen des Temperatursensors im zentralen Abschnitt des aktiven Bereichs 6 ermöglicht, eine Temperatur der Halbleiterschicht 2 angemessen zu detektieren.

**[0029]** Die Halbleitervorrichtung 1 schließt eine Emitteranschlusselektrode 13 (siehe gestrichelten Linienabschnitt in **Fig.** 1) als Beispiel für die zweite Elektrode ein, die auf der ersten Hauptoberfläche 3 der Halbleiterschicht 2 im aktiven Bereich 6 ausgebildet ist. Die Emitteranschlusselektrode 13 überträgt ein Emittersignal an den aktiven Bereich 6 (IGBT-Bereich 8). Das Emittersignal kann ein Referenzpotential oder ein Massepotenzial sein.

**[0030]** Die Halbleitervorrichtung 1 schließt eine Vielzahl von (in dieser bevorzugten Ausführungsform fünf) Anschlusselektroden 14, 15, 16, 17 und 18 ein, die auf der ersten Hauptoberfläche 3 der Halbleiterschicht 2 im Außenbereich 7 ausgebildet sind. Die Vielzahl von Anschlusselektroden 14 bis 18 sind in einem Abstand voneinander entlang der Seitenoberfläche 5D angeordnet. Die Vielzahl von Anschlusselektroden 14 bis 18 sind in Draufsicht in einer viereckigen Form ausgebildet.

**[0031]** In dieser bevorzugten Ausführungsform schließen die Vielzahl von Anschlusselektroden 14 bis 18 die Gate-Anschlusselektrode 14, eine erste Erfassungsanschlusselektrode 15, eine zweite Erfassungsanschlusselektrode 16, eine Stromdetektionsanschlusselektrode 17 und eine offene Anschlusselektrode 18 ein. Die Gate-Anschlusselektrode 14 überträgt ein Gate-Signal an den aktiven Bereich 6 (IGBT-Bereich 8). Die erste Erfassungsanschlusselektrode 15 und die zweite Erfassungsanschlusselektrode 16 übertragen ein Steuersignal, das den Sensorbereich 11 (Temperatursensor) steuert. Obwohl eine spezifische Beschreibung weggelassen wird, ist die Stromdetektionsanschlusselektrode 17 eine Elektrode zum Detektieren und Ableiten eines Stroms, der durch den aktiven Bereich 6 nach außen fließt. Die offene Anschlusselektrode 18 ist in einem elektrisch schwebenden Zustand ausgebildet.

**[0032]** Ein Layout der Gate-Anschlusselektrode 14, der ersten Erfassungsanschlusselektrode 15, der zweiten Erfassungsanschlusselektrode 16, der

Stromdetektionsanschlusselektrode 17 und der offenen Anschlusselektrode 18 ist beliebig. In dieser bevorzugten Ausführungsform sind die offene Anschlusselektrode 18, die Stromdetektionsanschlusselektrode 17, die Gate-Anschlusselektrode 14, die erste Erfassungsanschlusselektrode 15 und die zweite Erfassungsanschlusselektrode 16 in dieser Reihenfolge von der Seitenoberfläche 5A zur Seitenoberfläche 5C angeordnet.

**[0033]** Die Halbleitervorrichtung 1 schließt eine Gate-Verdrahtung 19 ein, die elektrisch mit der Gate-Anschlusselektrode 14 verbunden ist. Die Gate-Verdrahtung 19 wird auch als Gate-Finger bezeichnet. Die Gate-Verdrahtung 19 erstreckt sich vom Außenbereich 7 zum aktiven Bereich 6. Die Gate-Verdrahtung 19 überträgt ein Gate-Signal, welches an die Gate-Anschlusselektrode 14 angelegt wird, an den aktiven Bereich 6 (IGBT-Bereich 8).

**[0034]** Insbesondere schließt die Gate-Verdrahtung 19 einen ersten Bereich 19a ein, der im Außenbereich 7 positioniert ist, und einen zweiten Bereich 19b, der im aktiven Bereich 6 positioniert ist. Der erste Bereich 19a ist elektrisch mit der Gate-Anschlusselektrode 14 verbunden. In dieser bevorzugten Ausführungsform wird der erste Bereich 19a in einem Bereich des Außenbereichs 7 auf der Seite der Seitenoberfläche 5D selektiv geroutet.

**[0035]** Die Vielzahl von (in dieser bevorzugten Ausführungsform fünf) zweiten Bereichen 19b sind im aktiven Bereich 6 ausgebildet. Die Vielzahl von zweiten Bereichen 19b sind in einem Abstand entlang der zweiten Richtung Y ausgebildet. Die Vielzahl von zweiten Bereichen 19b sind jeweils in einem Bereich zwischen zwei zueinander benachbarten RC-IGBT-Arrays 12 ausgebildet. Die Vielzahl von zweiten Bereichen 19b erstrecken sich als Band entlang der ersten Richtung X.

**[0036]** Die Vielzahl von zweiten Bereichen 19b erstrecken sich jeweils von einem Bereich des Außenbereichs 7 auf der Seite der Seitenoberfläche 5D zu einem Bereich auf der Seite der Seitenoberfläche 5B. Die Vielzahl von zweiten Bereichen 19b können den aktiven Bereich 6 kreuzen. Die Vielzahl von zweiten Bereichen 19b schließen sich an den ersten Bereich 19a im Außenbereich 7 an. Die Vielzahl von zweiten Bereichen 19b übertragen ein Gate-Signal an eines oder beide der zwei RC-IGBT-Arrays 12, die zueinander benachbart sind.

**[0037]** Das an die Gate-Anschlusselektrode 14 angelegte Gate-Signal wird über den ersten Bereich 19a an den zweiten Bereich 19b übertragen. Das Gate-Signal wird dabei über den zweiten Bereich 19b an den aktiven Bereich 6 (IGBT-Bereich 8) übertragen.

**[0038]** Die Halbleitervorrichtung 1 schließt eine erste Erfassungsverdrahtung 20 ein, die elektrisch mit der ersten Erfassungsanschlusselektrode 15 verbunden ist. Die erste Erfassungsverdrahtung 20 erstreckt sich vom Außenbereich 7 zum Sensorbereich 11. Die erste Erfassungsverdrahtung 20 überträgt ein Steuersignal für den Temperatursensor.

**[0039]** Insbesondere schließt die erste Erfassungsverdrahtung 20 einen ersten Bereich 20a ein, der im Außenbereich 7 positioniert ist, und einen zweiten Bereich 20b, der im aktiven Bereich 6 positioniert ist. Der erste Bereich 20a ist elektrisch mit der ersten Erfassungsanschlusselektrode 15 verbunden. In dieser bevorzugten Ausführungsform wird der erste Bereich 20a in einem Bereich des Außenbereichs 7 auf der Seite der Seitenoberfläche 5D selektiv geroutet.

**[0040]** Der zweite Bereich 20b ist in einem Bereich ausgebildet, in dem der Sensorbereich 11 in einem Bereich zwischen der Vielzahl von RC-IGBT-Arrays 12 ausgebildet ist, die zueinander benachbart sind. Der zweite Bereich 20b erstreckt sich als Band vom Außenbereich 7 zum Sensorbereich 11 entlang der ersten Richtung X.

**[0041]** Der zweite Bereich 20b ist elektrisch mit dem Temperatursensor im Sensorbereich 11 verbunden. Der zweite Bereich 20b schließt sich an den ersten Bereich 20a im Außenbereich 7 an. Ein an die erste Erfassungsanschlusselektrode 15 angelegtes elektrisches Signal wird über den ersten Bereich 20a an den zweiten Bereich 20b übertragen. Das elektrische Signal wird dabei über den zweiten Bereich 20b an den Temperatursensor übertragen.

**[0042]** Eine zweite Erfassungsverdrahtung 21 ist elektrisch mit der zweiten Erfassungsanschlusselektrode 16 verbunden. Die zweite Erfassungsverdrahtung 21 erstreckt sich vom Außenbereich 7 zum Sensorbereich 11. Die zweite Erfassungsverdrahtung 21 überträgt ein Steuersignal für den Temperatursensor.

**[0043]** Insbesondere schließt die Erfassungsverdrahtung 21 einen ersten Bereich 21a ein, der im Außenbereich 7 positioniert ist, und einen zweiten Bereich 21b, der im aktiven Bereich 6 positioniert ist. Der erste Bereich 21a ist elektrisch mit der zweiten Erfassungsanschlusselektrode 16 verbunden. In dieser bevorzugten Ausführungsform wird der erste Bereich 21a in einem Bereich des Außenbereichs 7 auf der Seite der Seitenoberfläche 5D selektiv geroutet.

**[0044]** Der zweite Bereich 21b ist in einem Bereich ausgebildet, in dem der Sensorbereich 11 in einem Bereich zwischen der Vielzahl von RC-IGBT-Arrays 12 ausgebildet ist, die zueinander benachbart sind. Der zweite Bereich 21b erstreckt sich als Band vom

Außenbereich 7 in Richtung des Sensorbereichs 11 entlang der ersten Richtung X. Der zweite Bereich 21b ist elektrisch mit dem Temperatursensor im Sensorbereich 11 verbunden.

**[0045]** Der zweite Bereich 21b schließt sich an den ersten Bereich 21a im Außenbereich 7 an. Ein an die zweite Erfassungsanschlusselektrode 16 angelegtes elektrisches Signal wird über den ersten Bereich 21a an den zweiten Bereich 21b übertragen. Das elektrische Signal wird dabei über den zweiten Bereich 21b an den Temperatursensor übertragen.

**[0046]** Die Gate-Verdrahtung 19, die erste Erfassungsverdrahtung 20 und die zweite Erfassungsverdrahtung 21 sind in einem Bereich ausgebildet, in dem der Sensorbereich 11 in einem Bereich zwischen der Vielzahl von RC-IGBT-Arrays 12 ausgebildet ist, die zueinander benachbart sind. Die Gate-Verdrahtung 19, die erste Erfassungsverdrahtung 20 und die zweite Erfassungsverdrahtung 21 verlaufen in einem Bereich zwischen zwei zueinander benachbarten RC-IGBT-Arrays 12 parallel.

**[0047]** Mit einer derartigen Struktur lässt sich bei gleichzeitiger Erhöhung der Genauigkeit der Temperaturerfassung durch den Temperatursensor eine Verringerung der Verdrahtungsbildungsfläche erreichen. Das heißt, es ist möglich, eine Verringerung der Größe des aktiven Bereichs 6 aufgrund der Bildung des Temperatursensors innerhalb des aktiven Bereichs 6 zu unterbinden. Während die Genauigkeit der Temperaturerfassung des Temperatursensors verbessert wird, ist es dadurch möglich, eine Verringerung der Fläche, auf der das RC-IGBT-Array 12 gebildet werden kann, zu unterbinden.

**[0048]** **Fig.** 4 ist eine vergrößerte Ansicht eines Abschnitts, der in **Fig.** 3 von einer abwechselnd lang und kurz gestrichelten Linie IV umgeben ist. **Fig.** 5 ist eine vergrößerte Ansicht eines Abschnitts, der in **Fig.** 4 von einer abwechselnd lang und kurz gestrichelten Linie V umgeben ist. **Fig.** 6 ist eine vergrößerte Ansicht eines Abschnitts, der in **Fig.** 4 von einer abwechselnd lang und kurz gestrichelten Linie VI umgeben ist. **Fig.** 7 ist eine Querschnittsansicht entlang der in **Fig.** 5 gezeigten Linie VII-VII. **Fig.** 8 ist eine Querschnittsansicht entlang der in **Fig.** 6 gezeigten Linie VIII-VIII. **Fig.** 9 ist eine Querschnittsansicht entlang der in **Fig.** 5 gezeigten Linie IX-IX.

**[0049]** Unter Bezugnahme auf **Fig.** 7 bis **Fig.** 9 schließt die Halbleitervorrichtung 1 einen n-Typ-Driftbereich 30 ein, der in einem Inneren der Halbleiterschicht 2 ausgebildet ist. Insbesondere ist der Driftbereich 30 über die gesamte Halbleiterschicht 2 in der ersten Richtung X und der zweiten Richtung Y aus gebildet. Der Driftbereich 30 ist in einem Oberflächenschichtabschnitt der ersten Hauptoberfläche 3 der Halbleiterschicht 2 in der Normalenrichtung Z (Dickenrichtung der Halbleiterschicht 2) ausgebildet. Eine n-Typ-Verunreinigungskonzentration des Driftbereichs 30 kann ggf. nicht weniger als $1{,}0\times10^{13}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{15}$ $cm^{-3}$ betragen.

**[0050]** In dieser bevorzugten Ausführungsform weist die Halbleiterschicht 2 eine einschichtige Struktur auf, die ein n–Typ-Halbleitersubstrat 31 einschließt. Das Halbleitersubstrat 31 kann ein FZ-Substrat (Floating-Zone-Substrat) hergestellt aus Silizium sein, das durch ein FZ-Verfahren gebildet wird. Der Driftbereich 30 wird durch das Halbleitersubstrat 31 gebildet.

**[0051]** Die Halbleitervorrichtung 1 schließt eine Kollektoranschlusselektrode 32 als Beispiel für die erste Elektrode ein, die auf der zweiten Hauptoberfläche 4 der Halbleiterschicht 2 ausgebildet ist. Die Kollektoranschlusselektrode 32 ist elektrisch mit der zweiten Hauptoberfläche 4 verbunden. Insbesondere ist die Kollektoranschlusselektrode 32 elektrisch mit dem IGBT-Bereich 8 (einem Kollektorbereich 34, der später beschrieben wird) und dem Diodenbereich 9 (einem Kathodenbereich 61, der später beschrieben wird) verbunden. Die Kollektoranschlusselektrode 32 bildet einen ohmschen Kontakt mit der zweiten Hauptoberfläche 4. Die Kollektoranschlusselektrode 32 überträgt ein Kollektorsignal an den IGBT-Bereich 8 und den Diodenbereich 9.

**[0052]** Die Kollektoranschlusselektrode 32 kann mindestens eines von einer Ti-Schicht, einer Ni-Schicht, einer Au-Schicht, einer Ag-Schicht und einer Al-Schicht einschließen. Die Kollektoranschlusselektrode 32 kann eine einschichtige Struktur aufweisen, die eine Ti-Schicht, eine Ni-Schicht, eine Au-Schicht, eine Ag-Schicht oder eine Al-Schicht einschließt. Die Kollektoranschlusselektrode 32 kann eine laminierte Struktur aufweisen, in der mindestens zwei von einer Ti-Schicht, einer Ni-Schicht, einer Au-Schicht, einer Ag-Schicht und einer Al-Schicht in beliebiger Weise laminiert sind.

**[0053]** Die Halbleitervorrichtung 1 schließt eine n-Typ-Pufferschicht 33 ein, die in einem Oberflächenschichtabschnitt der zweiten Hauptoberfläche 4 der Halbleiterschicht 2 ausgebildet ist. Die Pufferschicht 33 kann über den gesamten Oberflächenschichtabschnitt der zweiten Hauptoberfläche 4 ausgebildet sein. Eine n-Typ-Verunreinigungskonzentration der Pufferschicht 33 ist größer als die n-Typ-Verunreinigungskonzentration des Driftbereichs 30. Die n-Typ-Verunreinigungskonzentration der Pufferschicht 33 kann ggf. nicht weniger als $1{,}0\times10^{15}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{17}$ $cm^{-3}$ betragen.

**[0054]** Eine Dicke der Pufferschicht 33 kann ggf. nicht weniger als 0,5 µm und nicht mehr als 30 µm betragen. Die Dicke der Pufferschicht 33 kann ggf. nicht weniger als 0,5 µm und nicht mehr als 5 µm,

nicht weniger als 5 µm und nicht mehr als 10 µm, nicht weniger als 10 µm und nicht mehr als 15 µm, nicht weniger als 15 µm und nicht mehr als 20 µm, nicht weniger als 20 µm und nicht mehr als 25 µm oder nicht weniger als 25 µm und nicht mehr als 30 µm betragen.

**[0055]** Jeder IGBT-Bereich 8 schließt den p-Typ-Kollektorbereich 34 ein, der im Oberflächenschichtabschnitt der zweiten Hauptoberfläche 4 der Halbleiterschicht 2 ausgebildet ist. Der Kollektorbereich 34 ist von der zweiten Hauptoberfläche 4 freiliegend. Der Kollektorbereich 34 kann über den gesamten IGBT-Bereich 8 im Oberflächenschichtabschnitt der zweiten Hauptoberfläche 4 ausgebildet sein. Eine p-Typ-Verunreinigungskonzentration des Kollektorbereichs 34 kann ggf. nicht weniger als $1{,}0\times10^{15}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{18}$ $cm^{-3}$ betragen. Der Kollektorbereich 34 bildet einen ohmschen Kontakt mit der Kollektoranschlusselektrode 32.

**[0056]** Jeder IGBT-Bereich 8 schließt eine FET-Struktur 35 ein, die in der ersten Hauptoberfläche 3 der Halbleiterschicht 2 ausgebildet ist. In dieser bevorzugten Ausführungsform schließt jeder IGBT-Bereich 8 die FET-Struktur 35 vom Graben-Gate-Typ ein. Insbesondere schließt die FET-Struktur 35 eine Graben-Gate-Struktur 36 ein, die in der ersten Hauptoberfläche 3 ausgebildet ist. In **Fig.** 4 bis **Fig.** 6 ist die Graben-Gate-Struktur 36 schraffiert dargestellt.

**[0057]** Die Vielzahl von Graben-Gate-Strukturen 36 sind in einem Abstand entlang der ersten Richtung X im IGBT-Bereich 8 ausgebildet. Ein Abstand zwischen zwei Graben-Gate-Strukturen 36, die in der ersten Richtung X nebeneinander liegen, kann ggf. nicht weniger als 1 µm und nicht mehr als 8 µm betragen. Der Abstand zwischen den beiden Graben-Gate-Strukturen 36 kann ggf. nicht weniger als 1 µm und nicht mehr als 2 µm, nicht weniger als 2 µm und nicht mehr als 3 µm, nicht weniger als 3 µm und nicht mehr als 4 µm, nicht weniger als 4 µm und nicht mehr als 5 µm, nicht weniger als 5 µm und nicht mehr als 6 µm, nicht weniger als 6 µm und nicht mehr als 7 µm oder nicht weniger als 7 µm und nicht mehr als 8 µm betragen.

**[0058]** Die Vielzahl von Graben-Gate-Strukturen 36 sind als Band ausgebildet, das sich in Draufsicht entlang der zweiten Richtung Y erstreckt. Die Vielzahl von Graben-Gate-Strukturen 36 sind insgesamt in Streifen geformt. Die Vielzahl von Graben-Gate-Strukturen 36 weisen jeweils einen Endabschnitt auf einer Seite in der zweiten Richtung Y und den anderen Endabschnitt auf der anderen Seite in der zweiten Richtung Y auf.

**[0059]** Unter Bezugnahme auf **Fig.** 3 schließt die FET-Struktur 35 eine erste äußere Graben-Gate-Struktur 37 und eine zweite äußere Graben-Gate-Struktur 38 ein. Die erste äußere Graben-Gate-Struktur 37 erstreckt sich entlang der ersten Richtung X und verbindet die einen Endabschnitte der Vielzahl von Graben-Gate-Strukturen 36. Die zweite äußere Graben-Gate-Struktur 38 erstreckt sich entlang der ersten Richtung X und verbindet die anderen Endabschnitte der Vielzahl von Graben-Gate-Strukturen 36.

**[0060]** Die erste äußere Graben-Gate-Struktur 37 und die zweite äußere Graben-Gate-Struktur 38 weisen die gleiche Struktur wie die Graben-Gate-Struktur 36 auf, mit der Ausnahme, dass sie sich in der Erstreckungsrichtung unterscheiden. Im Folgenden wird die Struktur der Graben-Gate-Struktur 36 beschrieben, und Beschreibungen der Struktur der ersten äußeren Graben-Gate-Struktur 37 und der Struktur der zweiten äußeren Graben-Gate-Struktur 38 werden weggelassen.

**[0061]** Jede Graben-Gate-Struktur 36 schließt einen Gate-Graben 39, eine Gate-Isolierschicht 40 und eine Gate-Elektrodenschicht 41 ein. Der Gate-Graben 39 ist in der ersten Hauptoberfläche 3 ausgebildet. Der Gate-Graben 39 schließt Seitenwände und eine Bodenwand ein. Die Seitenwände des Gate-Grabens 39 können senkrecht zur ersten Hauptoberfläche 3 ausgebildet sein.

**[0062]** Die Seitenwand des Gate-Grabens 39 kann von der ersten Hauptoberfläche 3 nach unten zur Bodenwand hin geneigt sein. Der Gate-Graben 39 kann in einer sich verjüngenden Form ausgebildet sein, bei der eine Öffnungsfläche an der Öffnungsseite größer ist als eine Bodenfläche. Die Bodenwand des ersten Gate-Grabens 39 kann parallel zur ersten Hauptoberfläche 3 ausgebildet sein. Die Bodenwand des ersten Gate-Grabens 39 kann in einer zur zweiten Hauptoberfläche 4 hin gekrümmten Form ausgebildet sein. Der Gate-Graben 39 schließt einen Bodenwandkantenabschnitt ein. Der Bodenwandkantenabschnitt verbindet die Seitenwände und die Bodenwand des Gate-Grabens 39. Der Bodenwandkantenabschnitt kann in einer zur zweiten Hauptoberfläche 4 hin gekrümmten Form ausgebildet sein.

**[0063]** Eine Tiefe D1 des Gate-Grabens 39 kann ggf. nicht weniger als 2 µm und nicht mehr als 10 µm betragen. Die Tiefe D1 des Gate-Grabens 39 kann ggf. nicht weniger als 2 µm und nicht mehr als 3 µm, nicht weniger als 3 µm und nicht mehr als 4 µm, nicht weniger als 4 µm und nicht mehr als 5 µm, nicht weniger als 5 µm und nicht mehr als 6 µm, nicht weniger als 6 µm und nicht mehr als 7 µm, nicht weniger als 8 µm und nicht mehr als 9 µm oder nicht weniger als 9 µm und nicht mehr als 10 µm betragen. Die Tiefe D1 des Gate-Grabens 39 kann als Abstand zwischen einer Tiefenposition am tiefsten Abschnitt der

Bodenwand des Gate-Grabens 39 und der ersten Hauptoberfläche 3 definiert werden.

**[0064]** Eine Breite des Gate-Grabens 39 kann ggf. nicht weniger als 0,5 µm und nicht mehr als 3 µm betragen. Die Breite des Gate-Grabens 39 ist eine Breite des Gate-Grabens 39 in der ersten Richtung X. Die Breite des Gate-Grabens 39 kann ggf. nicht weniger als 0,5 µm und nicht mehr als 1 µm, nicht weniger als 1 µm und nicht mehr als 1,5 µm, nicht weniger als 1,5 µm und nicht mehr als 2 µm, nicht weniger als 2 µm und nicht mehr als 2,5 µm oder nicht weniger als 2,5 µm und nicht mehr als 3 µm betragen.

**[0065]** Die Gate-Isolierschicht 40 ist als Film entlang einer Innenwand des Gate-Grabens 39 ausgebildet. Die Gate-Isolierschicht 40 grenzt einen Vertiefungsraum innerhalb des Gate-Grabens 39 ab. In dieser bevorzugten Ausführungsform schließt die Gate-Isolierschicht 40 einen Siliziumoxidfilm ein. Die Gate-Isolierschicht 40 kann anstelle des Siliziumoxidfilms oder zusätzlich dazu einen Siliziumnitridfilm einschließen.

**[0066]** Die Gate-Elektrodenschicht 41 ist über die Gate-Isolierschicht 40 hinweg im Gate-Graben 39 eingebettet. Insbesondere ist die Gate-Elektrodenschicht 41 im Vertiefungsraum des Gate-Grabens 39 eingebettet, der durch die Gate-Isolierschicht 40 abgegrenzt ist. Die Gate-Elektrodenschicht 41 wird durch das Gate-Signal gesteuert. Die Gate-Elektrode 41 kann ein leitfähiges Polysilizium enthalten.

**[0067]** Die Gate-Elektrodenschicht 41 ist in Form einer Wand ausgebildet, die sich in Schnittansicht entlang der Normalenrichtung Z erstreckt. Die Gate-Elektrodenschicht 41 weist einen oberen Endabschnitt auf, der an der Öffnungsseite des Gate-Grabens 39 positioniert ist. Ein oberer Endabschnitt der Gate-Elektrodenschicht 41 ist in Bezug auf die erste Hauptoberfläche 3 an der Bodenwandseite des Gate-Grabens 39 positioniert.

**[0068]** Am oberen Endabschnitt der Gate-Elektrodenschicht 41 ist eine Absenkung ausgebildet, die zur Bodenwand des Gate-Grabens 39 hin abgesenkt ist. Die Absenkung am oberen Endabschnitt der Gate-Elektrodenschicht 41 ist in einer konvergenten Form ausgebildet, die in Richtung der Bodenwand des Gate-Grabens 39 gerichtet ist. Der obere Endabschnitt der Gate-Elektrodenschicht 41 weist einen verengten Abschnitt auf, der zur Innenseite der Gate-Elektrodenschicht 41 verengt ist.

**[0069]** Die FET-Struktur 35 schließt einen p-Typ-Körperbereich 45 ein, der im Oberflächenschichtabschnitt der ersten Hauptoberfläche 3 der Halbleiterschicht 2 ausgebildet ist. Eine p-Typ-Verunreinigungskonzentration des Körperbereichs 45 kann ggf. nicht weniger als $1{,}0\times10^{17}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{18}$ $cm^{-3}$ betragen. Der Körperbereich 45 ist jeweils an beiden Seiten der Graben-Gate-Struktur 36 ausgebildet. Der Körperbereich 45 ist als Band ausgebildet, das sich in Draufsicht entlang der Graben-Gate-Struktur 36 erstreckt. Der Körperbereich 45 liegt von der Seitenwand des Gate-Grabens 39 frei. Ein Bodenabschnitt des Körperbereichs 45 ist in Bezug auf die Normalenrichtung Z in einem Bereich zwischen der Bodenwand des Gate-Grabens 39 und der ersten Hauptoberfläche 3 ausgebildet.

**[0070]** Die FET-Struktur 35 schließt einen $n^+$-Typ-Emitterbereich 46 ein, der im Oberflächenschichtabschnitt des Körperbereichs 45 ausgebildet ist. Eine n-Typ-Verunreinigungskonzentration des Emitterbereichs 46 ist größer als die n-Typ-Verunreinigungskonzentration des Driftbereichs 30. Die n-Typ-Verunreinigungskonzentration des Emitterbereichs 46 kann ggf. nicht weniger als $1{,}0\times10^{19}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{20}$ $cm^{-3}$ betragen.

**[0071]** In dieser bevorzugten Ausführungsform schließt die FET-Struktur 35 eine Vielzahl der Emitterbereiche 46 ein, die auf beiden Seiten der Graben-Gate-Struktur 36 ausgebildet sind. Der Emitterbereich 46 ist als Band ausgebildet, das sich in Draufsicht entlang der Graben-Gate-Struktur 36 erstreckt. Der Emitterbereich 46 liegt von der ersten Hauptoberfläche 3 und einer Seitenwand des Gate-Grabens 39 frei. Der Bodenabschnitt des Emitterbereichs 46 ist in Bezug auf die Normalenrichtung Z in einem Bereich zwischen dem oberen Endabschnitt der Gate-Elektrodenschicht 41 und dem Bodenabschnitt des Körperbereichs 45 ausgebildet.

**[0072]** In dieser bevorzugten Ausführungsform schließt die FET-Struktur 35 einen $n^+$-Typ-Trägerspeicherungsbereich 47 ein, der in einem Bereich der Halbleiterschicht 2 auf der Seite der zweiten Hauptoberfläche 4 in Bezug auf den Körperbereich 45 ausgebildet ist. Eine n-Typ-Verunreinigungskonzentration des Trägerspeicherungsbereichs 47 ist größer als die n-Typ-Verunreinigungskonzentration des Driftbereichs 30. Die n-Typ-Verunreinigungskonzentration des Trägerspeicherungsbereichs 47 kann ggf. nicht weniger als $1{,}0\times10^{15}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{17}$ $cm^{-3}$ betragen.

**[0073]** In dieser bevorzugten Ausführungsform schließt die FET-Struktur 35 eine Vielzahl der Trägerspeicherungsbereiche 47 ein, die auf beiden Seiten der Graben-Gate-Struktur 36 ausgebildet sind. Der Trägerspeicherungsbereich 47 ist als Band ausgebildet, das sich in Draufsicht entlang der Graben-Gate-Struktur 36 erstreckt. Der Trägerspeicherungsbereich 47 liegt von einer Seitenwand des Gate-Grabens 39 frei. Ein Bodenabschnitt des Trägerspeicherungsbereichs 47 ist in Bezug auf die

Normalenrichtung Z in einem Bereich zwischen dem Bodenabschnitt des Körperbereichs 45 und der Bodenwand des Gate-Grabens 39 ausgebildet.

**[0074]** Der Trägerspeicherungsbereich 47 unterbindet, dass Träger (Löcher), die der Halbleiterschicht 2 zugeführt werden, in den Körperbereich 45 zurückgezogen (abgeleitet) werden. Die Löcher sammeln sich dabei in einem Bereich der Halbleiterschicht 2 direkt unterhalb der FET-Struktur 35. Dadurch werden eine Verringerung des Einschaltwiderstandes und eine Verringerung der Einschaltspannung erreicht.

**[0075]** Die FET-Struktur 35 schließt einen Kontaktgraben 48 ein, der in der ersten Hauptoberfläche 3 der Halbleiterschicht 2 ausgebildet ist. In dieser bevorzugten Ausführungsform schließt die FET-Struktur 35 eine Vielzahl von Kontaktgräben 48 ein, die auf beiden Seiten der Graben-Gate-Struktur 36 ausgebildet sind. Der Kontaktgraben 48 legt den Emitterbereich 46 frei. In dieser bevorzugten Ausführungsform durchdringt der Kontaktgraben 48 den Emitterbereich 46.

**[0076]** Der Kontaktgraben 48 ist in einem Abstand von der Graben-Gate-Struktur 36 in der ersten Richtung X ausgebildet. Der Kontaktgraben 48 erstreckt sich in Draufsicht als Band entlang der Graben-Gate-Struktur 36. Eine Länge des Kontaktgrabens 48 ist nicht größer als eine Länge der Graben-Gate-Struktur 36 in Bezug auf die zweite Richtung Y. Insbesondere ist die Länge des Kontaktgrabens 48 kleiner als die Länge der Graben-Gate-Struktur 36.

**[0077]** Die FET-Struktur 35 schließt einen $p^+$-Typ-Kontaktbereich 49 ein, der in einem Bereich des Körperbereichs 45 entlang einer Bodenwand des Kontaktgrabens 48 ausgebildet ist. Eine p-Typ-Verunreinigungskonzentration des Kontaktbereichs 49 ist größer als die p-Typ-Verunreinigungskonzentration des Körperbereichs 45. Die p-Typ-Verunreinigungskonzentration des Kontaktbereichs 49 kann ggf. nicht weniger als $1{,}0\times10^{19}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{20}$ $cm^{-3}$ betragen.

**[0078]** Der Kontaktbereich 49 liegt von der Bodenwand des Kontaktgrabens 48 frei. Der Kontaktbereich 49 erstreckt sich in Draufsicht als Band entlang des Kontaktgrabens 48. Ein Bodenabschnitt des Kontaktbereichs 49 ist in Bezug auf die Normalenrichtung Z in einem Bereich zwischen der Bodenwand des Kontaktgrabens 48 und dem Bodenabschnitt des Körperbereichs 45 ausgebildet.

**[0079]** Wie vorstehend beschrieben, liegt in der FET-Struktur 35 die Gate-Elektrodenschicht 41 dem Körperbereich 45 und dem Emitterbereich 46 über die Gate-Isolierschicht 40 hinweg gegenüber. In dieser bevorzugten Ausführungsform liegt die Gate-Elektrodenschicht 41 auch dem Trägerspeicherungsbereich 47 über der Gate-Isolierschicht 40 hinweg gegenüber. Ein Kanal des IGBT ist in einem Bereich des Körperbereichs 45 zwischen dem Emitterbereich 46 und dem Driftbereich 30 (Trägerspeicherungsbereich 47) ausgebildet. Das Ein- und Ausschalten des Kanals wird durch das Gate-Signal gesteuert.

**[0080]** Jeder IGBT-Bereich 8 schließt eine Emittergrabenstruktur 73 in der ersten Hauptoberfläche 3 der Halbleiterschicht 2 ein. Insbesondere schließt jeder IGBT-Bereich 8 eine Vielzahl von Emittergrabenstrukturen 73 auf beiden Seiten der FET-Struktur 35 ein. Die Emittergrabenstruktur 73 ist in einem Bereich benachbart zur FET-Struktur 35 im Oberflächenschichtabschnitt der ersten Hauptoberfläche 3 ausgebildet. Die Emittergrabenstruktur 73 ist als Band ausgebildet, das sich in Draufsicht entlang der zweiten Richtung Y erstreckt. Die Vielzahl von Emittergrabenstrukturen 73 sind insgesamt in Streifenform ausgebildet. Die Emittergrabenstruktur 73 kann in Bandform parallel zur Graben-Gate-Struktur 36 ausgebildet sein.

**[0081]** In jedem IGBT-Bereich 8 sind die Graben-Gate-Struktur 36 und die Emittergrabenstruktur 73 in einem Abstand abwechselnd entlang der ersten Richtung X angeordnet. Diese Grabenstrukturen, die in dem IGBT-Bereich 8 ausgebildet sind, können gemeinsam als zweite Grabenstruktur bezeichnet werden. Die Graben-Gate-Struktur 36 und die Emittergrabenstruktur 73 können abwechselnd angeordnet sein, wobei ein gleicher Abstand eingehalten wird. Ein Abstand (erster Abstand P1) zwischen der Graben-Gate-Struktur 36 und der Emittergrabenstruktur 73, die in der ersten Richtung X zueinander benachbart sind, kann beispielsweise nicht weniger als 1,0 µm und nicht mehr als 3,5 µm betragen.

**[0082]** Außerdem ist, unter Bezugnahme auf **Fig.** 8, in dieser bevorzugten Ausführungsform ein Abschlussgraben der Graben-Gate-Strukturen 36 und der Emittergrabenstrukturen 73, die entlang der ersten Richtung X abwechselnd angeordnet sind, die Emittergrabenstruktur 73. Diese Abschluss-Emittergrabenstruktur 73 (in **Fig.** 4, **Fig.** 6 und **Fig.** 8 als Emittergrabenstruktur 73A angegeben) bildet eine Grenze 72 zwischen dem IGBT-Bereich 8 und dem Diodenbereich 9.

**[0083]** Die Emittergrabenstruktur 73 schließt einen Emittergraben 74, eine Emitterisolierschicht 75 und eine Emitterpotenzialelektrodenschicht 76 ein. Der Emittergraben 74 ist in der ersten Hauptoberfläche 3 der Halbleiterschicht 2 ausgebildet. Der Emittergraben 74 schließt Seitenwände und eine Bodenwand ein. Die Seitenwand des Emittergrabens 74 kann senkrecht zur ersten Hauptoberfläche 3 ausgebildet sein.

**[0084]** Die Seitenwand des Emittergrabens 74 kann von der ersten Hauptoberfläche 3 nach unten zur Bodenwand hin geneigt sein. Der Emittergraben 74 kann in einer sich verjüngenden Form ausgebildet sein, bei der eine Öffnungsfläche an der Öffnungsseite größer ist als eine Bodenfläche. Der Emitterbereich 46, der Körperbereich 45 und der Trägerspeicherungsbereich 47 liegen von der Seitenwand (äußeren Seitenwand) des Emittergrabens 74, die der FET-Struktur 35 gegenüberliegt, frei. Die Bodenwand des ersten Emittergrabens 74 kann parallel zur ersten Hauptoberfläche 3 ausgebildet sein. Die Bodenwand des ersten Emittergrabens 74 kann in einer zur zweiten Hauptoberfläche 4 hin gekrümmten Form ausgebildet sein. Der Emittergraben 74 schließt einen Bodenwandkantenabschnitt ein. Der Bodenwandkantenabschnitt verbindet die Seitenwände und die Bodenwand des Emittergrabens 74. Der Bodenwandkantenabschnitt kann in einer zur zweiten Hauptoberfläche 4 der Halbleiterschicht 2 hin gekrümmten Form ausgebildet sein.

**[0085]** Eine Tiefe D3 des Emittergrabens 74 kann ggf. nicht weniger als 2 µm und nicht mehr als 10 µm betragen. Die Tiefe D3 des Emittergrabens 74 kann ggf. nicht weniger als 2 µm und nicht mehr als 3 µm, nicht weniger als 3 µm und nicht mehr als 4 µm, nicht weniger als 4 µm und nicht mehr als 5 µm, nicht weniger als 5 µm und nicht mehr als 6 µm, nicht weniger als 6 µm und nicht mehr als 7 µm, nicht weniger als 8 µm und nicht mehr als 9 µm oder nicht weniger als 9 µm und nicht mehr als 10 µm betragen. Die Tiefe D3 des Emittergrabens 74 kann gleich der Tiefe D1 des Gate-Grabens 39 sein.

**[0086]** Eine Breite des Emittergrabens 74 kann ggf. nicht weniger als 0,5 µm und nicht mehr als 3 µm betragen. Die Breite des Emittergrabens 74 ist eine Breite des Emittergrabens 74 in der ersten Richtung X. Die Breite des Emittergrabens 74 kann ggf. nicht weniger als 0,5 µm und nicht mehr als 1 µm, nicht weniger als 1 µm und nicht mehr als 1,5 µm, nicht weniger als 1,5 µm und nicht mehr als 2 µm, nicht weniger als 2 µm und nicht mehr als 2,5 µm oder nicht weniger als 2,5 µm und nicht mehr als 3 µm betragen. Die Breite des Emittergrabens 74 kann gleich der Breite des Gate-Grabens 39 sein.

**[0087]** Die Emitterisolierschicht 75 ist als Film entlang einer Innenwand des Emittergrabens 74 ausgebildet. Die Emitterisolierschicht 75 grenzt einen Vertiefungsraum innerhalb des Emittergrabens 74 ab. In dieser bevorzugten Ausführungsform schließt die Emitterisolierschicht 75 einen Siliziumoxidfilm ein. Die Emitterisolierschicht 75 kann anstelle des Siliziumoxidfilms oder zusätzlich dazu einen Siliziumnitridfilm einschließen.

**[0088]** Die Emitterpotenzialelektrodenschicht 76 ist über die Emitterisolierschicht 75 hinweg im Emittergraben 74 eingebettet. Insbesondere ist die Emitterpotenzialelektrodenschicht 76 in einem Vertiefungsraum des Emittergrabens 74 eingebettet, der durch die Emitterisolierschicht 75 abgegrenzt ist. Die Emitterpotenzialelektrodenschicht 76 kann ein leitfähiges Polysilizium einschließen. Die Emitterpotenzialelektrodenschicht 76 wird durch ein Emittersignal gesteuert.

**[0089]** Die Emitterpotenzialelektrodenschicht 76 ist in Form einer Wand ausgebildet, die sich in Schnittansicht entlang der Normalenrichtung Z erstreckt. Die Emitterpotenzialelektrodenschicht 76 weist einen oberen Endabschnitt auf, der an der Öffnungsseite des Emittergrabens 74 positioniert ist. Der obere Endabschnitt der Emitterpotenzialelektrodenschicht 76 ist in Bezug auf die erste Hauptoberfläche 3 an der Bodenwandseite des Emittergrabens 74 positioniert.

**[0090]** Im oberen Endabschnitt der Emitterpotenzialelektrodenschicht 76 ist eine Absenkung ausgebildet, die zur Bodenwand des Emittergrabens 74 hin abgesenkt ist. Die Absenkung am oberen Endabschnitt der Emitterpotenzialelektrodenschicht 76 ist in einer konvergenten Form ausgebildet, die in Richtung der Bodenwand des Emittergrabens 74 gerichtet ist. Der obere Endabschnitt der Emitterpotenzialelektrodenschicht 76 weist einen verengten Abschnitt auf, der zur Innenseite der Emitterpotenzialelektrodenschicht 76 verengt ist.

**[0091]** Jeder Diodenbereich 9 schließt den $n^+$-Typ-Kathodenbereich 61 (zweiter Verunreinigungsbereich) ein, der im Oberflächenschichtabschnitt der zweiten Hauptoberfläche 4 der Halbleiterschicht 2 ausgebildet ist. Eine n-Typ-Verunreinigungskonzentration des Kathodenbereichs 61 ist größer als die n-Typ-Verunreinigungskonzentration des Driftbereichs 30. Die n-Typ-Verunreinigungskonzentration des Kathodenbereichs 61 kann ggf. nicht weniger als $1{,}0\times10^{19}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{20}$ $cm^{-3}$ betragen.

**[0092]** Der Kathodenbereich 61 ist von der zweiten Hauptoberfläche 4 freiliegend. Der Kathodenbereich 61 bildet einen ohmschen Kontakt mit der Kollektoranschlusselektrode 32. Der Kathodenbereich 61 ist an einer Seite entlang der zweiten Richtung Y elektrisch mit dem Kollektorbereich 34 verbunden. In dieser bevorzugten Ausführungsform ist der Kathodenbereich 61 vom Kollektorbereich 34 des IGBT-Bereichs 8 umgeben. Das heißt, der Kathodenbereich 61 ist an einer Seite entlang der ersten Richtung X und an einer Seite entlang der zweiten Richtung Y elektrisch mit dem Kollektorbereich 34 verbunden.

**[0093]** Jeder Diodenbereich 9 schließt eine zellentrennende Struktur 63 ein, die einen Diodenzellenbe-

reich 69 abgrenzt. In **Fig.** 4 und **Fig.** 6 ist die zellentrennende Struktur 63 schraffiert dargestellt. Insbesondere schließt jeder Diodenbereich 9 eine Vielzahl von zellentrennenden Strukturen 63 ein, die jeweils die Vielzahl von Diodenzellenbereichen 69 abgrenzen.

**[0094]** Die Vielzahl von zellentrennenden Strukturen 63 sind jeweils in einem Bereich zwischen der Vielzahl von zueinander benachbarten Diodenzellenbereichen 69 ausgebildet. Insbesondere sind die Vielzahl von zellentrennenden Strukturen 63 jeweils in einer Ringform (vierseitige Ringform in dieser bevorzugten Ausführungsform) ausgebildet, die in Draufsicht den Diodenzellenbereich 69 umgibt. Die zellentrennende Struktur 63, die einen der Diodenzellenbereiche 69 abgrenzt, und die zellentrennende Struktur 63, die den anderen der Diodenzellenbereiche 69 abgrenzt, sind einstückig in einem Bereich zwischen der Vielzahl von zueinander benachbarten Diodenzellenbereichen 69 ausgebildet.

**[0095]** In der ersten Richtung X können die Vielzahl von zellentrennenden Strukturen 63 unter Einhaltung eines gleichen Abstands angeordnet sein. Die Vielzahl von zellentrennenden Strukturen 63 sind in Streifenform ausgebildet. Unter Bezugnahme auf **Fig.** 6 kann ein Abstand (zweiter Abstand P2) zwischen den beiden zellentrennenden Strukturen 63, die in der ersten Richtung X zueinander benachbart sind, beispielsweise nicht weniger als 1,0 µm und nicht mehr als 10,0 µm betragen. Der zweite Abstand P2 kann gleich dem ersten Abstand Pl sein (siehe **Fig.** 5).

**[0096]** In dieser bevorzugten Ausführungsform sind die Diodenzellenbereiche 69, die durch die Vielzahl von zellentrennenden Strukturen 63 abgegrenzt sind, in Draufsicht unter Einhaltung eines Abstands entlang der ersten Richtung X ausgebildet. Die Vielzahl von Diodenzellenbereichen 69 sind jeweils als Band ausgebildet, das sich in Draufsicht entlang der zweiten Richtung Y erstreckt. Die Vielzahl von Diodenzellenbereichen 69 sind insgesamt in Streifenform ausgebildet. In dieser bevorzugten Ausführungsform überlappt sich ein Teil des Diodenzellenbereichs 69 in der Normalenrichtung Z mit dem Kollektorbereich 34 und die übrigen Teile davon überlappen sich mit dem Kathodenbereich 61. In Bezug auf die zweite Richtung Y kann eine Länge des Diodenzellenbereichs 69 nicht größer sein als die Länge der Graben-Gate-Struktur 36. Die Länge des Diodenzellenbereichs 69 kann kleiner sein als die Länge der Graben-Gate-Struktur 36.

**[0097]** Die zellentrennende Struktur 63 schließt einen zellentrennenden Graben 64 als Beispiel für den ersten Graben, eine zellentrennende Isolierschicht 65 als Beispiel für die erste Isolierschicht und eine zellentrennende Elektrodenschicht 66 als Beispiel für die erste eingebettete Leiterschicht ein. Der zellentrennende Graben 64 ist in der ersten Hauptoberfläche 3 ausgebildet. Der zellentrennende Graben 64 schließt Seitenwände und eine Bodenwand ein. Die Seitenwand des zellentrennenden Grabens 64 kann senkrecht zur ersten Hauptoberfläche 3 ausgebildet sein.

**[0098]** Die Seitenwand des zellentrennenden Grabens 64 kann von der ersten Hauptoberfläche 3 nach unten zur Bodenwand hin geneigt sein. Der zellentrennende Graben 64 kann in einer sich verjüngenden Form ausgebildet sein, bei der eine Öffnungsfläche an der Öffnungsseite größer ist als eine Bodenfläche. Die Bodenwand des zellentrennenden Grabens 64 kann parallel zur ersten Hauptoberfläche 3 ausgebildet sein. Die Bodenwand des zellentrennenden Grabens 64 kann in einer zur zweiten Hauptoberfläche 4 hin gekrümmten Form ausgebildet sein. Der zellentrennende Graben 64 schließt einen Bodenwandkantenabschnitt ein. Der Bodenwandkantenabschnitt verbindet die Seitenwände und die Bodenwand des zellentrennenden Grabens 64. Der Bodenwandkantenabschnitt kann in einer zur zweiten Hauptoberfläche 4 hin gekrümmten Form ausgebildet sein.

**[0099]** Eine Tiefe D2 des zellentrennenden Grabens 64 kann ggf. nicht weniger als 2 µm und nicht mehr als 10 µm betragen. Die Tiefe D2 des zellentrennenden Grabens 64 kann ggf. nicht weniger als 2 µm und nicht mehr als 3 µm, nicht weniger als 3 µm und nicht mehr als 4 µm, nicht weniger als 4 µm und nicht mehr als 5 µm, nicht weniger als 5 µm und nicht mehr als 6 µm, nicht weniger als 6 µm und nicht mehr als 7 µm, nicht weniger als 8 µm und nicht mehr als 9 µm oder nicht weniger als 9 µm und nicht mehr als 10 µm betragen. Die Tiefe D2 des zellentrennenden Grabens 64 kann gleich der Tiefe D1 des Gate-Grabens 39 sein (siehe **Fig.** 7). Die Tiefe D2 des zellentrennenden Grabens 64 kann als Abstand zwischen einer Tiefenposition am tiefsten Abschnitt der Bodenwand des zellentrennenden Grabens 64 und der ersten Hauptoberfläche 3 definiert werden.

**[0100]** Eine Breite des zellentrennenden Grabens 64 kann ggf. nicht weniger als 0,5 µm und nicht mehr als 3 µm betragen. Die Breite des zellentrennenden Grabens 64 ist eine Breite des zellentrennenden Grabens 64 in der ersten Richtung X. Die Breite des zellentrennenden Grabens 64 kann ggf. nicht weniger als 0,5 µm und nicht mehr als 1 µm, nicht weniger als 1 µm und nicht mehr als 1,5 µm, nicht weniger als 1,5 µm und nicht mehr als 2 µm, nicht weniger als 2 µm und nicht mehr als 2,5 µm oder nicht weniger als 2,5 µm und nicht mehr als 3 µm betragen. Die Breite des zellentrennenden Grabens 64 kann gleich der Breite des Gate-Grabens 39 sein.

**[0101]** Die zellentrennende Isolierschicht 65 ist als Film entlang einer Innenwand des zellentrennenden Grabens 64 ausgebildet. Die zellentrennende Isolierschicht 65 grenzt einen Vertiefungsraum innerhalb des zellentrennenden Grabens 64 ab. In dieser bevorzugten Ausführungsform schließt die zellentrennende Isolierschicht 65 einen Siliziumoxidfilm ein. Die zellentrennende Isolierschicht 65 kann anstelle des Siliziumoxidfilms oder zusätzlich dazu einen Siliziumnitridfilm einschließen.

**[0102]** Die zellentrennende Elektrodenschicht 66 ist über die zellentrennende Isolierschicht 65 hinweg im zellentrennenden Graben 64 eingebettet. Insbesondere ist die zellentrennende Elektrodenschicht 66 in einem Vertiefungsraum des zellentrennenden Grabens 64 eingebettet, der durch die zellentrennende Isolierschicht 65 abgegrenzt ist. Die zellentrennende Elektrodenschicht 66 wird durch ein Emittersignal gesteuert. Die zellentrennende Elektrodenschicht 66 kann ein leitfähiges Polysilizium enthalten.

**[0103]** Die zellentrennende Elektrodenschicht 66 ist in Form einer Wand ausgebildet, die sich in Schnittansicht entlang der Normalenrichtung Z erstreckt. Die zellentrennende Elektrodenschicht 66 weist einen oberen Endabschnitt auf, der an der Öffnungsseite des zellentrennenden Grabens 64 positioniert ist. Der obere Endabschnitt der zellentrennenden Elektrodenschicht 66 ist in Bezug auf die erste Hauptoberfläche 3 an der Bodenwandseite des zellentrennenden Grabens 64 positioniert.

**[0104]** Der obere Endabschnitt der zellentrennenden Elektrodenschicht 66 ist in einer konvergenten Form ausgebildet, die in Richtung der ersten Hauptoberfläche 3 gerichtet ist. Im oberen Endabschnitt der zellentrennenden Elektrodenschicht 66 ist eine Absenkung ausgebildet, die zur Bodenwand des zellentrennenden Grabens 64 hin abgesenkt ist. Die Absenkung der zellentrennenden Elektrodenschicht 66 ist in einer konvergenten Form ausgebildet, die in Richtung der Bodenwand des zellentrennenden Grabens 64 gerichtet ist.

**[0105]** Jeder Diodenbereich 9 schließt einen p$^-$-Typ-Anodenbereich 62 (zweiter Verunreinigungsbereich) ein, der im Oberflächenschichtabschnitt der ersten Hauptoberfläche 3 der Halbleiterschicht 2 ausgebildet ist. Eine p-Typ-Verunreinigungskonzentration des Anodenbereichs 62 kann ggf. nicht größer sein als die p-Typ-Verunreinigungskonzentration des Körperbereichs 45. Die p-Typ-Verunreinigungskonzentration des Anodenbereichs 62 ist vorzugsweise geringer als die p-Typ-Verunreinigungskonzentration des Körperbereichs 45. Die p-Typ-Verunreinigungskonzentration des Anodenbereichs 62 kann ggf. nicht weniger als $1{,}0\times10^{15}$ cm$^{-3}$ und nicht mehr als $1{,}0\times10^{18}$ cm$^{-3}$ betragen.

**[0106]** Der Anodenbereich 62 ist in jedem Diodenzellenbereich 69 ausgebildet. Daher sind die Vielzahl von Anodenbereichen 62 in der ersten Richtung X unter Einhaltung eines gleichen Abstands angeordnet und insgesamt in Streifenform ausgebildet.

**[0107]** Der Anodenbereich 62 bildet einen pn-Übergangsabschnitt 68 mit der Halbleiterschicht 2. Dadurch wird eine pn-Übergangsdiode D gebildet, bei der der Anodenbereich 62 als Anode gegeben ist und die Halbleiterschicht 2 (Kathodenbereich 61) als Kathode gegeben ist.

**[0108]** Unter Bezugnahme auf **Fig.** 8 schließt in dieser bevorzugten Ausführungsform der Kollektorbereich 34 einen herausgeführten Bereich 182 ein. Der herausgeführte Bereich 182 kreuzt die Grenze 72 zwischen dem IGBT-Bereich 8 und dem Diodenbereich 9 und ist zu einer Umfangskante des Diodenbereichs 9 herausgeführt. Der herausgeführte Bereich 182 ist entlang der ersten Richtung X vom IGBT-Bereich 8 zum Diodenbereich 9 herausgeführt.

**[0109]** Der herausgeführte Bereich 182 überlappt sich mit dem Diodenbereich 9 über eine vorgegebene Überlappungsbreite W. Ein Startpunkt der Überlappungsbreite W ist an der Grenze 72 zwischen dem IGBT-Bereich 8 und dem Diodenbereich 9 festgelegt. Ein Endpunkt der Überlappungsbreite W ist an einer Grenze zwischen dem herausgeführten Bereich 182 und dem Kathodenbereich 61 festgelegt.

**[0110]** Ein Verhältnis der Überlappungsbreite W zur Breite WD des Diodenbereichs 9, W/WD, kann ggf. nicht weniger als 0,001 und nicht mehr als 0,5 betragen. Das Verhältnis W/WD kann ggf. nicht weniger als 0,001 und nicht mehr als 0,01, nicht weniger als 0,01 und nicht mehr als 0,05, nicht weniger als 0,05 und nicht mehr als 0,1, nicht weniger als 0,1 und nicht mehr als 0,15, nicht weniger als 0,15 und nicht mehr als 0,2, nicht weniger als 0,2 und nicht mehr als 0,25, nicht weniger als 0,25 und nicht mehr als 0,3, nicht weniger als 0,3 und nicht mehr als 0,35, nicht weniger als 0,35 und nicht mehr als 0,4, nicht weniger als 0,4 und nicht mehr als 0,45 oder nicht weniger als 0,45 und nicht mehr als 0,5 betragen.

**[0111]** Die Überlappungsbreite W kann ggf. nicht weniger als 1 µm und nicht mehr als 200 µm betragen. Die Überlappungsbreite W kann ggf. nicht weniger als 1 µm und nicht mehr als 50 µm, nicht weniger als 50 µm und nicht mehr als 100 µm, nicht weniger als 100 µm und nicht mehr als 150 µm oder nicht weniger als 150 µm und nicht mehr als 200 µm betragen.

**[0112]** Die Überlappungsbreite W kann ggf. nicht weniger als 1 µm und nicht mehr als 20 µm, nicht weniger als 20 µm und nicht mehr als 40 µm, nicht

weniger als 40 µm und nicht mehr als 60 µm, nicht weniger als 60 µm und nicht mehr als 80 µm, nicht weniger als 80 µm und nicht mehr als 100 µm, nicht weniger als 100 µm und nicht mehr als 120 µm, nicht weniger als 120 µm und nicht mehr als 140 µm, nicht weniger als 140 µm und nicht mehr als 160 µm, nicht weniger als 160 µm und nicht mehr als 180 µm oder nicht weniger als 180 µm und nicht mehr als 200 µm betragen. Die Überlappungsbreite W beträgt vorzugsweise nicht weniger als 10 µm und nicht mehr als 150 µm.

**[0113]** Der herausgeführte Bereich 182 kann einem oder der Vielzahl von Anodenbereichen 62 (Diodenzellenbereich 69) in Bezug auf die Normalenrichtung Z gegenüberliegen. Der herausgeführte Bereich 182 kann 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19 oder 20 Anodenbereichen 62 zugewandt sein. Der herausgeführte Bereich 182 liegt vorzugsweise nicht weniger als 1 und nicht mehr als 10 Anodenbereichen 62 gegenüber.

**[0114]** Der herausgeführte Bereich 182 kann in Bezug auf die Normalenrichtung Z einem oder der Vielzahl von zellentrennenden Gräben 64 gegenüberliegen. Der herausgeführte Bereich 182 kann 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19 oder 20 zellentrennenden Gräben 64 gegenüberliegen. Der herausgeführte Bereich 182 liegt vorzugsweise nicht weniger als 1 und nicht mehr als 10 zellentrennenden Gräben 64 gegenüber.

**[0115]** Innerhalb des zellentrennenden Grabens 64 wird die Vertiefung 67 durch die Seitenwände des zellentrennenden Grabens 64, den oberen Endabschnitt der zellentrennenden Elektrodenschicht 66 und den oberen Endabschnitt der zellentrennenden Isolierschicht 65 abgegrenzt. Durch die Vertiefung 67 wird ein breiter Abschnitt des zellentrennenden Grabens 64 gebildet. Eine Seitenwand der Vertiefung 67 (Seitenwand des zellentrennenden Grabens 64) legt den Anodenbereich 62 frei.

**[0116]** Wie vorstehend beschrieben, ist eine Struktur, die unter der Vielzahl von Emittergrabenstrukturen 73 dem Diodenbereich 9 am nächsten liegt, die Abschluss-Emittergrabenstruktur 73A. In dieser bevorzugten Ausführungsform bildet eine Seitenwand an der Seite der Abschluss-Emittergrabenstruktur 73A, die näher am Diodenbereich 9 liegt, die Grenze 72 zwischen dem IGBT-Bereich 8 und dem Diodenbereich 9. Wie bei der FET-Struktur 35 werden der Körperbereich 45 und der Trägerspeicherungsbereich 47 nacheinander von der Seite der ersten Hauptoberfläche 3 aus in einem Bereich zwischen der Abschluss-Emittergrabenstruktur 73A und der zellentrennenden Struktur 63 gebildet, der dem IGBT-Bereich 8 am nächsten liegt. Da andererseits der Emitterbereich 46 nicht in diesem Bereich ausgebildet ist und dieser Bereich nicht so strukturiert ist, dass er einen Kanal bildet, kann dieser Bereich als Blind-FET-Struktur 42 bezeichnet werden. Die Blind-FET-Struktur 42 ist im Diodenbereich 9 ausgebildet.

**[0117]** Unter Bezugnahme auf **Fig.** 7 bis **Fig.** 9 schließt die Halbleitervorrichtung 1 eine Zwischenschicht-Isolierschicht 79 ein, die auf der ersten Hauptoberfläche 3 der Halbleiterschicht 2 ausgebildet ist. Die Zwischenschicht-Isolierschicht 79 ist als Film entlang der ersten Hauptoberfläche 3 ausgebildet und bedeckt die erste Hauptoberfläche 3 selektiv. Insbesondere bedeckt die Zwischenschicht-Isolierschicht 79 den IGBT-Bereich 8 und den Diodenbereich 9 selektiv.

**[0118]** Die Zwischenschicht-Isolierschicht 79 kann Siliziumoxid oder Siliziumnitrid enthalten. Die Zwischenschicht-Isolierschicht 79 kann mindestens einen Materialtyp von NSG (nicht dotiertes Silikatglas), PSG (Phosphorsilikatglas) und BPSG (Bor-Phosphorsilikatglas) enthalten.

**[0119]** Eine Dicke der Zwischenschicht-Isolierschicht 79 kann ggf. nicht weniger als 0,1 µm und nicht mehr als 1 µm betragen. Die Dicke der Zwischenschicht-Isolierschicht 79 kann ggf. nicht weniger als 0,1 µm und nicht mehr als 0,2 µm, nicht weniger als 0,2 µm und nicht mehr als 0,4 µm, nicht weniger als 0,4 µm und nicht mehr als 0,6 µm, nicht weniger als 0,6 µm und nicht mehr als 0,8 µm oder nicht weniger als 0,8 µm und nicht mehr als 1 µm betragen.

**[0120]** In dieser bevorzugten Ausführungsform weist die Zwischenschicht-Isolierschicht 79 eine laminierte Struktur auf, die eine erste Isolierschicht 80, eine zweite Isolierschicht 81 und eine dritte Isolierschicht 82 einschließt, die in dieser Reihenfolge von der Seite der ersten Hauptoberfläche 3 aus laminiert sind. Die erste Isolierschicht 80 enthält vorzugsweise Siliziumoxid (beispielsweise einen thermischen Oxidfilm). Die zweite Isolierschicht 81 schließt vorzugsweise eine NGS-Schicht ein. Die zweite Isolierschicht 81 kann anstelle der NGS-Schicht eine PSG-Schicht oder eine BPSG-Schicht einschließen. Die dritte Isolierschicht 82 schließt vorzugsweise eine BPSG-Schicht ein. Die dritte Isolierschicht 82 kann anstelle der BPSG-Schicht eine NGS-Schicht oder eine PSG-Schicht einschließen. Die dritte Isolierschicht 82 enthält vorzugsweise ein Isoliermaterial, das sich in seinen Eigenschaften von der zweiten Isolierschicht 81 unterscheidet.

**[0121]** Die erste Isolierschicht 80 ist als Film auf der ersten Hauptoberfläche 3 ausgebildet. Die erste Isolierschicht 80 ist mit der Gate-Isolierschicht 40, einer bereichstrennenden Isolierschicht 55 und der zellentrennenden Isolierschicht 65 durchgehend. Die zweite Isolierschicht 81 ist als Film auf der ersten Isolierschicht 80 ausgebildet. Die dritte Isolierschicht 82

ist als Film auf der zweiten Isolierschicht 81 ausgebildet.

**[0122]** Eine Dicke der ersten Isolierschicht 80 kann ggf. nicht weniger als 500 Å und nicht mehr als 2000 Å betragen. Die Dicke der ersten Isolierschicht 80 kann ggf. nicht weniger als 500 Å und nicht mehr als 1000 Å, nicht weniger als 1000 Å und nicht mehr als 1500 Å oder nicht weniger als 1500 Å und nicht mehr als 2000 Å betragen.

**[0123]** Eine Dicke der zweiten Isolierschicht 81 kann ggf. nicht weniger als 500 Å und nicht mehr als 4000 Å betragen. Die Dicke der zweiten Isolierschicht 81 kann ggf. nicht weniger als 500 Å und nicht mehr als 1000 Å, nicht weniger als 1000 Å und nicht mehr als 1500 Å, nicht weniger als 1500 Å und nicht mehr als 2000 Å, nicht weniger als 2000 Å und nicht mehr als 2500 Å, nicht weniger als 2500 Å und nicht mehr als 3000 Å, nicht weniger als 3000 Å und nicht mehr als 3500 Å oder nicht weniger als 3500 Å und nicht mehr als 4000 Å betragen.

**[0124]** Eine Dicke der dritten Isolierschicht 82 kann ggf. nicht weniger als 1000 Å und nicht mehr als 8000 Å betragen. Die Dicke der dritten Isolierschicht 82 kann ggf. nicht weniger als 1000 Å und nicht mehr als 2000 Å, nicht weniger als 2000 Å und nicht mehr als 4000 Å, nicht weniger als 4000 Å und nicht mehr als 6000 Å oder nicht weniger als 6000 Å und nicht mehr als 8000 Å betragen.

**[0125]** Unter Bezugnahme auf **Fig.** 9 weist die Gate-Elektrodenschicht 41 der FET-Struktur 35 eine herausgeführte Gate-Elektrodenschicht 41a auf, die aus dem Gate-Graben 39 auf die erste Hauptoberfläche 3 herausgeführt ist. Die herausgeführte Gate-Elektrodenschicht 41a ist aus dem Gate-Graben 39 der ersten äußeren Graben-Gate-Struktur 37 auf die erste Hauptoberfläche 3 herausgeführt. Die herausgeführte Gate-Elektrodenschicht 41a ist entlang der zweiten Richtung Y herausgeführt.

**[0126]** Insbesondere ist die herausgeführte Gate-Elektrodenschicht 41a im Inneren der Zwischenschicht-Isolierschicht 79 ausgebildet. Die herausgeführte Gate-Elektrodenschicht 41a ist auf die erste Isolierschicht 80 herausgeführt und in einem Bereich zwischen der ersten Isolierschicht 80 und der zweiten Isolierschicht 81 angeordnet. Die herausgeführte Gate-Elektrodenschicht 41a ist in einem nicht gezeigten Bereich elektrisch mit der Gate-Verdrahtung 19 (siehe **Fig.** 1) verbunden. Ein an die Gate-Anschlusselektrode 14 angelegtes Gate-Signal wird über die Gate-Verdrahtung 19 und die herausgeführte Gate-Elektrodenschicht 41a an die Gate-Elektrodenschicht 41 übertragen.

**[0127]** Unter Bezugnahme auf **Fig.** 9 weist die Emitterpotenzialelektrodenschicht 76 der Emittergrabenstruktur 73 eine herausgeführte Elektrodenschicht 76a auf, die aus dem Emittergraben 74 auf die erste Hauptoberfläche 3 herausgeführt ist. Die Emitterpotenzialelektrodenschicht 76 ist entlang der zweiten Richtung Y herausgeführt.

**[0128]** Insbesondere ist die herausgeführte Elektrodenschicht 76a im Inneren der Zwischenschicht-Isolierschicht 79 ausgebildet. Die herausgeführte Elektrodenschicht 76a ist auf die erste Isolierschicht 80 herausgeführt und in einem Bereich zwischen der ersten Isolierschicht 80 und der zweiten Isolierschicht 81 angeordnet. Die herausgeführte Elektrodenschicht 76a ist elektrisch mit der Emitteranschlusselektrode 13 verbunden. Ein an die herausgeführte Elektrodenschicht 76a angelegtes Emittersignal wird über die herausgeführte Elektrodenschicht 76a an die Emitterpotenzialelektrodenschicht 76 übertragen.

**[0129]** Unter Bezugnahme auf **Fig.** 7 und **Fig.** 8 schließt die Zwischenschicht-Isolierschicht 79 eine Emitteröffnung 83 ein. Die Emitteröffnung 83 legt den Kontaktgraben 48 frei. Die Emitteröffnung 83 steht mit dem Kontaktgraben 48 in Verbindung. In dieser bevorzugten Ausführungsform ist der Kontaktgraben 48 in der ersten Hauptoberfläche 3 ausgebildet, nachdem er die erste Isolierschicht 80 und die zweite Isolierschicht 81 durchdrungen hat.

**[0130]** Die Emitteröffnung 83 durchdringt die dritte Isolierschicht 82 und legt den Kontaktgraben 48 frei. Die Emitteröffnung 83 bildet mit dem Kontaktgraben 48 eine einzige Öffnung. Ein Öffnungskantenabschnitt der Emitteröffnung 83 ist in einer zur Innenseite der Zwischenschicht-Isolierschicht 79 hin gekrümmten Form ausgebildet. Die Emitteröffnung 83 weist dabei eine Öffnungsbreite auf, die größer ist als eine Öffnungsbreite des Kontaktgrabens 48.

**[0131]** Unter Bezugnahme auf **Fig.** 8 schließt die Zwischenschicht-Isolierschicht 79 eine Diodenöffnung 84 ein. Die Diodenöffnung 84 legt den Diodenbereich 9 frei. Insbesondere durchdringt die Diodenöffnung 84 die Zwischenschicht-Isolierschicht 79 und legt die Vielzahl von Anodenbereichen 62 (Diodenzellenbereiche 69) und die Vielzahl von zellentrennenden Strukturen 63 frei.

**[0132]** Ein Abschnitt einer Innenwand jeder Diodenöffnung 84, der sich entlang der zweiten Richtung Y erstreckt, kann über dem Anodenbereich 62 positioniert sein. Der Abschnitt der Innenwand der Diodenöffnung 84, der sich entlang der zweiten Richtung Y erstreckt, kann über der anodentrennenden Struktur 63 positioniert sein. In dieser bevorzugten Ausführungsform ist der Abschnitt der Innenwand der Diodenöffnung 84, der sich entlang der zweiten Richtung Y erstreckt, über dem Körperbereich 45 der Blind-FET-Struktur 42 positioniert.

**[0133]** Unter Bezugnahme auf **Fig.** 9 schließt die Zwischenschicht-Isolierschicht 79 eine erste Öffnung 86 ein. Die erste Öffnung 86 legt die herausgeführte Elektrodenschicht 76a im IGBT-Bereich 8 frei. Die erste Öffnung 86 ist so geformt, dass ihre Öffnungsbreite von der Öffnungsseite zur Bodenwandseite hin schmaler wird.

**[0134]** Unter Bezugnahme auf **Fig.** 7 und **Fig.** 8 schließt die Halbleitervorrichtung 1 eine Emittersteckerelektrode bzw. -stopfenelektrode (emitter plug elektrode) 91 ein, die in einem Abschnitt der Zwischenschicht-Isolierschicht 79, der den IGBT-Bereich 8 bedeckt, eingebettet ist. Die Emittersteckerelektrode 91 durchdringt die Zwischenschicht-Isolierschicht 79 und ist elektrisch mit dem Emitterbereich 46 und dem Kontaktbereich 49 verbunden. Insbesondere ist die Emittersteckerelektrode 91 im Kontaktgraben 48 eingebettet. Die Emittersteckerelektrode 91 ist elektrisch mit dem Emitterbereich 46 und dem Kontaktbereich 49 innerhalb des Kontaktgrabens 48 verbunden.

**[0135]** In dieser bevorzugten Ausführungsform weist die Emittersteckerelektrode 91 eine laminierte Struktur auf, die eine Barriereelektrodenschicht 92 und eine Hauptelektrodenschicht 93 einschließt. Die Barriereelektrodenschicht 92 ist als Film entlang einer Innenwand des Kontaktgrabens 48 so ausgebildet, dass sie mit der Zwischenschicht-Isolierschicht 79 in Kontakt steht. Die Barriereelektrodenschicht 92 grenzt einen Vertiefungsraum innerhalb des Kontaktgrabens 48 ab.

**[0136]** Die Barriereelektrodenschicht 92 kann eine einschichtige Struktur aufweisen, die eine Titanschicht oder eine Titannitridschicht einschließt. Die Barriereelektrodenschicht 92 kann eine laminierte Struktur aufweisen, die eine Titanschicht und eine Titannitridschicht einschließt. In diesem Fall kann die Titannitridschicht auf die Titanschicht laminiert sein.

**[0137]** Die Hauptelektrodenschicht 93 ist über die Barriereelektrodenschicht 92 hinweg im Kontaktgraben 48 eingebettet. Insbesondere ist die Hauptelektrodenschicht 93 in einem Vertiefungsraum des Kontaktgrabens 48 eingebettet, der durch die Barriereelektrodenschicht 92 abgegrenzt ist. Die Hauptelektrodenschicht 93 kann Wolfram enthalten.

**[0138]** Unter Bezugnahme auf **Fig.** 9 schließt die Halbleitervorrichtung 1 eine erste Steckerelektrode 94 ein, die in der ersten Öffnung 86 eingebettet ist. Die erste Steckerelektrode 94 ist elektrisch mit der herausgeführten Elektrodenschicht 76a innerhalb der ersten Öffnung 86 verbunden. Die erste Steckerelektrode 94 weist eine Struktur auf, die der Emittersteckerelektrode 91 entspricht. Eine Beschreibung der Emittersteckerelektrode 91 soll auf eine Beschreibung der ersten Steckerelektrode 94 angewendet werden. Strukturen, die den für die Emittersteckerelektrode 91 beschriebenen Strukturen in der ersten Steckerelektrode 94 entsprechen, werden mit den gleichen Bezugszeichen versehen, und ihre Beschreibung wird weggelassen.

**[0139]** Unter Bezugnahme auf **Fig.** 7 bis **Fig.** 9 ist die vorstehend beschriebene Emitteranschlusselektrode 13 auf der Zwischenschicht-Isolierschicht 79 ausgebildet. Die Emitteranschlusselektrode 13 kann mindestens einen Materialtyp von Aluminium, Kupfer, einer Aluminium-Silizium-Kupfer-Legierung, einer Aluminium-Silizium-Legierung und einer Aluminium-Kupfer-Legierung enthalten.

**[0140]** Die Emitteranschlusselektrode 13 kann eine einschichtige Struktur aufweisen, die mindestens einen Typ von diesen leitfähigen Materialien enthält. Die Emitteranschlusselektrode 13 kann eine laminierte Struktur aufweisen, bei der mindestens zwei Typen von diesen leitfähigen Materialien in beliebiger Reihenfolge laminiert sind.

**[0141]** Eine Dicke der Emitteranschlusselektrode 13 kann ggf. nicht weniger als 1,0 µm und nicht mehr als 6,0 µm betragen. Die Dicke der Emitteranschlusselektrode 13 kann ggf. nicht weniger als 1,0 µm und nicht mehr als 2,0 µm, nicht weniger als 2,0 µm und nicht mehr als 4,0 µm oder nicht weniger als 4,0 µm und nicht mehr als 6,0 µm betragen.

**[0142]** In dieser bevorzugten Ausführungsform weist die Emitteranschlusselektrode 13 eine laminierte Struktur auf, die eine erste Elektrodenschicht 22, eine zweite Elektrodenschicht 23 und eine dritte Elektrodenschicht 24 einschließt, die in dieser Reihenfolge von der Seite der ersten Hauptoberfläche 3 aus laminiert sind. Die erste Elektrodenschicht 22 enthält vorzugsweise eine Aluminium-Silizium-Kupfer-Legierung (Al-Si-Cu). Die zweite Elektrodenschicht 23 enthält vorzugsweise Titannitrid (TiN). Die zweite Elektrodenschicht 23 kann als Barriereschicht bezeichnet werden. Die dritte Elektrodenschicht 24 enthält vorzugsweise eine Aluminium-Kupfer-Legierung (Al-Cu).

**[0143]** Die Emitteranschlusselektrode 13 ist über die Emittersteckerelektrode 91 elektrisch mit dem Emitterbereich 46 und dem Kontaktbereich 49 auf der Zwischenschicht-Isolierschicht 79 verbunden. Insbesondere tritt die Emitteranschlusselektrode 13 von oberhalb der Zwischenschicht-Isolierschicht 79 in die Emitteröffnung 83 ein. Die Emitteranschlusselektrode 13 ist an der Emitteröffnung 83 elektrisch mit der Emittersteckerelektrode 91 verbunden. Dadurch ist die Emitteranschlusselektrode 13 über die Emittersteckerelektrode 91 elektrisch mit dem Emitterbereich 46 und dem Kontaktbereich 49 verbunden.

**[0144]** Ferner tritt, mit Bezug auf **Fig.** 8, die Emitteranschlusselektrode 13 von oberhalb der Zwischenschicht-Isolierschicht 79 über eine Innenwand der Diodenöffnung 84 in die Diodenöffnung 84 ein. Die Emitteranschlusselektrode 13 fungiert als Anodenanschlusselektrode im Diodenbereich 9.

**[0145]** Die Emitteranschlusselektrode 13 steht mit der Innenwand der Diodenöffnung 84 in Kontakt. Die Emitteranschlusselektrode 13 ist an der Diodenöffnung 84 elektrisch mit dem Anodenbereich 62 verbunden. Die Emitteranschlusselektrode 13 ist an der Diodenöffnung 84 elektrisch mit der zellentrennenden Elektrodenschicht 66 verbunden. In dieser bevorzugten Ausführungsform ist die Emitteranschlusselektrode 13 direkt mit dem Anodenbereich 62 und der zellentrennenden Elektrodenschicht 66 verbunden.

**[0146]** Insbesondere tritt die Emitteranschlusselektrode 13 von oberhalb der ersten Hauptoberfläche 3 innerhalb der Diodenöffnung 84 in die Vertiefung 67 (zellentrennender Graben 64) ein. Die Emitteranschlusselektrode 13 ist innerhalb der Vertiefung 67 mit der zellentrennenden Elektrodenschicht 66 verbunden. Außerdem ist die Emitteranschlusselektrode 13 mit dem Anodenbereich 62 auf der ersten Hauptoberfläche 3 und innerhalb der Vertiefung 67 verbunden. Die Emitteranschlusselektrode 13 bildet einen ohmschen Kontakt mit dem Anodenbereich 62.

**[0147]** Ein Winkel θ, den die Innenwand der Diodenöffnung 84 mit der ersten Hauptoberfläche 3 bildet, beträgt vorzugsweise nicht weniger als 45° und nicht mehr als 90°. Der Winkel θ ist ein Winkel, den die Innenwand der Diodenöffnung 84 mit der ersten Hauptoberfläche 3 innerhalb eines Abdeckungsabschnitts der Zwischenschicht-Isolierschicht 79 bildet, der die erste Hauptoberfläche 3 abdeckt.

**[0148]** Insbesondere ist der Winkel θ ein Winkel, den eine Linie, die einen Scheitelabschnitt der Innenwand der Diodenöffnung 84 und einen Basisabschnitt davon verbindet, die jeweils an der Öffnungsseite der Diodenöffnung 84 und an der Seite des Bodenabschnitts der Diodenöffnung 84 positioniert sind, mit der ersten Hauptoberfläche 3 innerhalb der Zwischenschicht-Isolierschicht 79 bildet.

**[0149]** Der Winkel θ kann ggf. nicht weniger als 45° und nicht mehr als 50°, nicht weniger als 50° und nicht mehr als 55°, nicht weniger als 55° und nicht mehr als 60°, nicht weniger als 60° und nicht mehr als 65°, nicht weniger als 65° und nicht mehr als 70°, nicht weniger als 70° und nicht mehr als 75°, nicht weniger als 75° und nicht mehr als 80°, nicht weniger als 80° und nicht mehr als 85° oder nicht weniger als 85° und nicht mehr als 90° betragen. Der Winkel θ beträgt vorzugsweise nicht weniger als 60° und nicht mehr als 90°.

**[0150]** Wenn der Winkel θ kleiner als 45° ist, wird an einem Abschnitt der Zwischenschicht-Isolierschicht 79, der den Diodenbereich 9 bedeckt, ein Dünnfilmabschnitt gebildet. Wenn der Dünnfilmabschnitt in der Zwischenschicht-Isolierschicht 79 ausgebildet ist, liegt die Emitteranschlusselektrode 13 der ersten Hauptoberfläche 3 (und/oder dem Anodenbereich 62 und/oder der zellentrennenden Elektrodenschicht 66) über den Dünnfilmabschnitt der Zwischenschicht-Isolierschicht 79 hinweg gegenüber. In diesem Fall gibt es die Möglichkeit, dass als Folge der Konzentration des elektrischen Felds an den Dünnfilmabschnitten der Zwischenschicht-Isolierschicht 79 die dielektrische Durchschlagsfestigkeit mit den Dünnfilmabschnitten der Zwischenschicht-Isolierschicht 79 als Startpunkte abnimmt.

**[0151]** Daher sind in dieser bevorzugten Ausführungsform die Innenwände der Diodenöffnungen 84 so geformt, dass der Winkel θ nicht kleiner als 45° (vorzugsweise nicht kleiner als 60°) ist, um die Bildung der Dünnfilmabschnitte in der Zwischenschicht-Isolierschicht 79 zu unterbinden. Dadurch ist es möglich, eine Abnahme der dielektrischen Durchschlagsfestigkeit aufgrund einer unerwünschten Konzentration des elektrischen Felds zu unterbinden.

**[0152]** Unter Bezugnahme auf **Fig.** 9 ist die Emitteranschlusselektrode 13 elektrisch mit der ersten Steckerelektrode 94 auf der Zwischenschicht-Isolierschicht 79 verbunden. Das Emittersignal wird über die erste Steckerelektrode 94 an die Emitterpotenzialelektrodenschicht 76 übertragen.

**[0153]** Obwohl eine spezifische Veranschaulichung weggelassen wird, kann, wenn ein Leitungsdraht (beispielsweise ein Bondingdraht) mit der Emitteranschlusselektrode 13 verbunden werden soll, eine einschichtige Elektrode, die aus einer Nickelschicht oder einer Goldschicht aufgebaut ist, oder eine laminierte Elektrode, die eine Nickelschicht und eine Goldschicht einschließt, auf der Emitteranschlusselektrode 13 gebildet werden. In der laminierten Elektrode kann die Goldschicht auf der Nickelschicht gebildet werden.

**[0154]** Obwohl eine spezifische Veranschaulichung weggelassen wird, sind die Gate-Anschlusselektrode 14, die erste Erfassungsanschlusselektrode 15, die zweite Erfassungsanschlusselektrode 16, die Stromdetektionsanschlusselektrode 17 und die offene Anschlusselektrode 18 wie die Emitteranschlusselektrode 13 auf der Zwischenschicht-Isolierschicht 79 ausgebildet.

**[0155]** Die Vielzahl von Anschlusselektroden 14 bis 18 können jeweils mindestens einen Materialtyp von Aluminium, Kupfer, einer Aluminium-Silizium-Kupfer-Legierung, einer Aluminium-Silizium-Legierung und

einer Aluminium-Kupfer-Legierung enthalten. Die Vielzahl von Anschlusselektroden 14 bis 18 können jeweils eine einschichtige Struktur aufweisen, die einen Typ eines der oben genannten leitfähigen Materialien enthält. Die Vielzahl von Anschlusselektroden 14 bis 18 können jeweils eine laminierte Struktur aufweisen, bei der mindestens zwei Typen der leitfähigen Materialien in beliebiger Reihenfolge laminiert sind. In dieser bevorzugten Ausführungsform enthalten die Vielzahl von Anschlusselektroden 14 bis 18 dasselbe leitfähige Material wie die Emitteranschlusselektrode 13.

**[0156]** Wenn ein Leitungsdraht (beispielsweise ein Bondingdraht) mit jeder der Vielzahl von Anschlusselektroden 14 bis 18 verbunden werden soll, kann auf jeder der Vielzahl von Anschlusselektroden 14 bis 18 eine einschichtige Elektrode, die aus einer Nickelschicht oder einer Goldschicht aufgebaut ist, oder eine laminierte Elektrode, die eine Nickelschicht und eine Goldschicht einschließt, gebildet werden. In der laminierten Elektrode kann die Goldschicht auf der Nickelschicht gebildet werden.

[Verfahren zur Herstellung der Grundstruktur 1 der Halbleitervorrichtung]

**[0157]** **Fig.** 10A bis **Fig.** 10T sind jeweils eine Querschnittsansicht eines Bereichs, der **Fig.** 8 entspricht, und eine Querschnittsansicht zur Beschreibung eines Beispiels für ein Verfahren zur Herstellung der in **Fig.** 1 gezeigten Halbleitervorrichtung (Grundstruktur 1). Nachfolgend werden die Schritte zur Herstellung des IGBT-Bereichs 8 und des Diodenbereichs 9 beschrieben.

**[0158]** Unter Bezugnahme auf **Fig.** 10A wird bei der Herstellung der Halbleitervorrichtung 1 zuerst ein n⁻-Typ-Halbleiterwafer 162 vorbereitet. Der Halbleiterwafer 162 weist eine erste Waferhauptoberfläche 163 und eine zweite Waferhauptoberfläche 164 auf. Die erste Waferhauptoberfläche 163 und die zweite Waferhauptoberfläche 164 des Halbleiterwafers 162 entsprechen jeweils der ersten Hauptoberfläche 3 bzw. der zweiten Hauptoberfläche 4 der Halbleiterschicht 2.

**[0159]** Als Nächstes werden eine Vielzahl von Vorrichtungsbildungsbereichen 165, von denen jeder der Halbleitervorrichtung 1 entspricht, auf dem Halbleiterwafer 162 festgelegt. Jeder Vorrichtungsbildungsbereich 165 schließt den aktiven Bereich 6 und den Außenbereich 7 ein. Der aktive Bereich 6 schließt den IGBT-Bereich 8 und den Diodenbereich 9 ein. In der Vielzahl von Vorrichtungsbildungsbereichen 165 wird gleichzeitig die gleiche Struktur gebildet. Nachdem in jedem Vorrichtungsbildungsbereich 165 eine vorgegebene Struktur hergestellt worden ist, wird der Halbleiterwafer 162 entlang einer Umfangskante jedes Vorrichtungsbildungsbereichs 165 geschnitten. Nachfolgend wird eine Struktur eines Vorrichtungsbildungsbereichs 165 beschrieben.

**[0160]** Als Nächstes werden mit Bezug auf **Fig.** 10B der Gate-Graben 39 und der Emittergraben 74 im IGBT-Bereich 8 gebildet und der zellentrennende Graben 64 wird im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst eine Hartmaske 167 mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Hartmaske 167 weist eine Vielzahl von Öffnungen 167A auf, die jeweils Bereiche freilegen, in denen der Gate-Graben 39, der Emittergraben 74 und der zellentrennende Graben 64 gebildet werden sollen. Die Hartmaske 167 kann durch ein Oxidationsbehandlungsverfahren gebildet werden, das auf der ersten Waferhauptoberfläche 163 durchgeführt wird.

**[0161]** Anschließend werden nicht benötigte Abschnitte des Halbleiterwafers 162 durch ein Ätzverfahren über die Hartmaske 167 entfernt. Dadurch werden der Gate-Graben 39 und der Emittergraben 74 im IGBT-Bereich 8 gebildet und der zellentrennende Graben 64 wird im Diodenbereich 9 gebildet. Der Diodenzellenbereich 69 ist im Diodenbereich 9 abgegrenzt. Danach wird die Hartmaske 167 entfernt.

**[0162]** Als Nächstes werden mit Bezug auf **Fig.** 10C die Gate-Isolierschicht 40, die Emitterisolierschicht 75, die zellentrennende Isolierschicht 65 und die erste Isolierschicht 80 in der ersten Waferhauptoberfläche 163 gebildet. Die Gate-Isolierschicht 40, die Emitterisolierschicht 75, die zellentrennende Isolierschicht 65 und die erste Isolierschicht 80 können durch ein CVD-Verfahren (chemische Gasphasenabscheidung) oder ein Oxidationsbehandlungsverfahren (beispielsweise ein thermisches Oxidationsbehandlungsverfahren) gebildet werden.

**[0163]** Als Nächstes wird mit Bezug auf **Fig.** 10D eine Basiselektrodenschicht 168 gebildet. Die Basiselektrodenschicht 168 dient als Basis für die Gate-Elektrodenschicht 41, die herausgeführte Gate-Elektrodenschicht 41a, die Emitterpotenzialelektrodenschicht 76, die herausgeführte Elektrodenschicht 76a und die zellentrennende Elektrodenschicht 66. Die Basiselektrodenschicht 168 enthält ein leitfähiges Polysilizium. Die Basiselektrodenschicht 168 kann durch ein CVD-Verfahren gebildet werden.

**[0164]** Als Nächstes werden mit Bezug auf **Fig.** 10E nicht benötigte Abschnitte der Basiselektrodenschicht 168 entfernt. In diesem Schritt wird zunächst eine Maske (nicht gezeigt) mit einem vorgegebenen Muster auf der Basiselektrodenschicht 168 gebildet. Die Maske bedeckt jeweils Bereiche, in denen die herausgeführte Gate-Elektrodenschicht 41a und die

herausgeführte Elektrodenschicht 76a gebildet werden sollen, und weist Öffnungen auf, die Bereiche daneben freilegen.

**[0165]** Anschließend werden die nicht benötigten Abschnitte der Basiselektrodenschicht 168 durch ein Ätzverfahren über die Maske entfernt. Das Ätzverfahren kann ein Nassätzverfahren sein. Die nicht benötigten Abschnitte der Basiselektrodenschicht 168 werden entfernt, bis die erste Isolierschicht 80 freiliegt. Dadurch werden die Gate-Elektrodenschicht 41, die herausgeführte Gate-Elektrodenschicht 41a, die Emitterpotenzialelektrodenschicht 76, die herausgeführte Elektrodenschicht 76a und die zellentrennende Elektrodenschicht 66 gebildet. Anschließend wird die Maske entfernt.

**[0166]** Als Nächstes werden mit Bezug auf **Fig.** 10F die Vielzahl von $n^+$-Typ-Trägerspeicherungsbereichen 47 gebildet. In diesem Schritt wird zunächst eine Ioneneinführungsmaske (nicht gezeigt) mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Ioneneinführungsmaske weist eine Vielzahl von Öffnungen auf, die jeweils Bereiche freigeben, in denen die Vielzahl von Trägerspeicherungsbereichen 47 gebildet werden sollen.

**[0167]** Als Nächstes wird eine n-Typ-Verunreinigung über die Ioneneinführungsmaske in den Halbleiterwafer 162 eingebracht. Dadurch werden die Vielzahl von Trägerspeicherungsbereichen 47 gebildet. Danach wird die Ioneneinführungsmaske entfernt.

**[0168]** Als Nächstes werden eine Vielzahl von p-Typ-Körperbereichen 45 gebildet. In diesem Schritt wird zunächst eine Ioneneinführungsmaske (nicht gezeigt) mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Ioneneinführungsmaske weist eine Vielzahl von Öffnungen auf, die jeweils Bereiche freigeben, in denen die Vielzahl von Körperbereichen 45 gebildet werden sollen.

**[0169]** Als Nächstes wird eine p-Typ-Verunreinigung über die Ioneneinführungsmaske in den Halbleiterwafer 162 eingebracht. Die Vielzahl von Körperregionen 45 werden gebildet. Danach wird die Ioneneinführungsmaske dadurch entfernt.

**[0170]** Als Nächstes werden mit Bezug auf **Fig.** 10G die Vielzahl von $p^-$-Typ-Anodenbereichen 62 im Diodenzellenbereich 69 gebildet. Eine p-Typ-Verunreinigungskonzentration jedes Anodenbereichs 62 ist geringer als die p-Typ-Verunreinigungskonzentration jedes Körperbereichs 45. In diesem Schritt wird zunächst eine Ioneneinführungsmaske (nicht gezeigt) mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Ioneneinführungsmaske weist eine Vielzahl von Öffnungen auf, die jeweils Bereiche freigeben, in denen die Vielzahl von Anodenbereichen 62 gebildet werden sollen.

**[0171]** Als Nächstes wird eine p-Typ-Verunreinigung über die Ioneneinführungsmaske in den Halbleiterwafer 162 eingebracht. Dadurch werden die Vielzahl von Anodenbereichen 62 im Diodenzellenbereich 69 gebildet. Danach wird die Ioneneinführungsmaske entfernt.

**[0172]** Als Nächstes werden mit Bezug auf **Fig.** 10H die Vielzahl von $n^+$-Typ-Emitterbereichen 46 im IGBT-Bereich 8 gebildet. In diesem Schritt wird zunächst eine Ioneneinführungsmaske (nicht gezeigt) mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Ioneneinführungsmaske weist eine Vielzahl von Öffnungen auf, die jeweils Bereiche freigeben, in denen die Vielzahl von Emitterbereichen 46 gebildet werden sollen.

**[0173]** Als Nächstes wird eine n-Typ-Verunreinigung über die Ioneneinführungsmaske in den Halbleiterwafer 162 eingebracht. Dadurch werden die Vielzahl von Emitterbereichen 46 im IGBT-Bereich 8 gebildet. Danach wird die Ioneneinführungsmaske entfernt.

**[0174]** Als Nächstes werden mit Bezug auf **Fig.** 10I die zweite Isolierschicht 81 und die dritte Isolierschicht 82 von der Seite der ersten Waferhauptoberfläche 163 aus in dieser Reihenfolge gebildet. Die zweite Isolierschicht 81 schließt eine NSG-Schicht ein. Die zweite Isolierschicht 81 kann durch ein CVD-Verfahren gebildet werden. Die dritte Isolierschicht 82 schließt eine BPSG-Schicht ein. Die dritte Isolierschicht 82 kann durch ein CVD-Verfahren gebildet werden. Dadurch wird die Zwischenschicht-Isolierschicht 79 gebildet, die die erste Isolierschicht 80, die zweite Isolierschicht 81 und die dritte Isolierschicht 82 einschließt.

**[0175]** Als Nächstes werden mit Bezug auf **Fig.** 10J die Vielzahl von Kontaktgräben 48 und die Vielzahl von Emitteröffnungen 83 im IGBT-Bereich 8 gebildet. Außerdem wird in diesem Schritt eine erste Öffnung 86 im IGBT-Bereich 8 gebildet.

**[0176]** In diesem Schritt wird zunächst eine Maske 169 mit einem vorgegebenen Muster auf der Zwischenschicht-Isolierschicht 79 gebildet. Die Maske 169 weist eine Vielzahl von Öffnungen 169A auf, die jeweils Bereiche freilegen, in denen der Kontaktgraben 48, die Emitteröffnung 83 und die erste Öffnung 86 gebildet werden sollen.

**[0177]** Als Nächstes werden nicht benötigte Abschnitte der Zwischenschicht-Isolierschicht 79 durch ein Ätzverfahren über die Maske 169 entfernt. Das Ätzverfahren kann ein Nassätzverfahren sein. In

diesem Schritt werden nicht benötigte Abschnitte der dritten Isolierschicht 82, nicht benötigte Abschnitte der zweiten Isolierschicht 81 und nicht benötigte Abschnitte der ersten Isolierschicht 80 nacheinander durch das Ätzverfahren entfernt.

**[0178]** In diesem Schritt wird nach dem Entfernen der ersten Isolierschicht 80 ein Teil der ersten Waferhauptoberfläche 163, der von der Maske 169 freiliegt, weiter entfernt. Dadurch werden der Kontaktgraben 48, die Emitteröffnung 83 und die erste Öffnung 86 gebildet. Anschließend wird die Maske 169 entfernt.

**[0179]** Als Nächstes werden mit Bezug auf **Fig.** 10K mehrere $p^+$-Typ-Kontaktbereiche 49 im IGBT-Bereich 8 gebildet. In diesem Schritt wird zunächst eine Ioneneinführungsmaske (nicht gezeigt) mit einem vorgegebenen Muster auf der Zwischenschicht-Isolierschicht 79 gebildet. Die Ioneneinführungsmaske weist eine Vielzahl von Öffnungen auf, die jeweils die Vielzahl von Kontaktgräben 48 (Emitteröffnungen 83) als Bereiche freilegen, in denen die Vielzahl von Kontaktbereichen 49 gebildet werden sollen.

**[0180]** Als Nächstes wird eine p-Typ-Verunreinigung über die Ioneneinführungsmaske in den Halbleiterwafer 162 eingebracht. Dadurch werden die Vielzahl von Kontaktbereichen 49 im IGBT-Bereich 8 gebildet. Danach wird die Ioneneinführungsmaske entfernt.

**[0181]** Als Nächstes wird mit Bezug auf **Fig.** 10L eine Stecker-Basiselektrodenschicht 170 auf der Zwischenschicht-Isolierschicht 79 gebildet. Die Stecker-Basiselektrodenschicht 170 dient als Basis für die Emittersteckerelektrode 91 und die erste Steckerelektrode 94. Dieser Schritt schließt einen Schritt des Bildens der Barriereelektrodenschicht 92 und der Hauptelektrodenschicht 93 von der Seite der Zwischenschicht-Isolierschicht 79 aus in dieser Reihenfolge ein.

**[0182]** Der Schritt des Bildens der Barriereelektrodenschicht 92 schließt einen Schritt des Bildens einer Titanschicht und einer Titannitridschicht von der Seite der Zwischenschicht-Isolierschicht 79 aus in dieser Reihenfolge ein. Die Titanschicht und die Titannitridschicht können jeweils durch ein Sputterverfahren gebildet werden. Die Barriereelektrodenschicht 92 mit einer einschichtigen Struktur, die eine Titanschicht oder eine Titannitridschicht einschließt, kann ausgebildet werden. Die Hauptelektrodenschicht 93 enthält Wolfram. Die Hauptelektrodenschicht 93 kann durch ein Sputterverfahren gebildet werden. Dadurch wird die Stecker-Basiselektrodenschicht 170 auf der Zwischenschicht-Isolierschicht 79 gebildet.

**[0183]** Als Nächstes werden mit Bezug auf **Fig.** 10M nicht benötigte Abschnitte der Stecker-Basiselektrodenschicht 170 entfernt. Die nicht benötigten Abschnitte der Stecker-Basiselektrodenschicht 170 können durch ein Ätzverfahren entfernt werden. Die nicht benötigten Abschnitte der Stecker-Basiselektrodenschicht 170 werden entfernt, bis die Zwischenschicht-Isolierschicht 79 freiliegt.

**[0184]** Insbesondere werden die nicht benötigten Abschnitte der Stecker-Basiselektrodenschicht 170 entfernt, bis die Emitteröffnung 83 freiliegt und die Stecker-Basiselektrodenschicht 170 in dem Kontaktgraben 48 und der ersten Öffnung 86 eingebettet ist. Dadurch werden die Emittersteckerelektrode 91 und die erste Steckerelektrode 94 gebildet.

**[0185]** Als Nächstes wird mit Bezug auf **Fig.** 10N die Diodenöffnung 84 im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst eine Maske 171 mit einem vorgegebenen Muster auf der Zwischenschicht-Isolierschicht 79 gebildet. Die Maske 171 weist eine Öffnung 171A auf, die einen Bereich freilegt, in dem die Diodenöffnung 84 gebildet werden soll.

**[0186]** Als Nächstes werden die nicht benötigten Abschnitte der Zwischenschicht-Isolierschicht 79 durch ein Ätzverfahren über die Maske 171 entfernt. Bei dem Ätzverfahren handelt es sich vorzugsweise um ein anisotropes Ätzverfahren. Das anisotrope Ätzverfahren kann ein Trockenätzverfahren (insbesondere ein RIE-Verfahren (reaktives Ionenätzen)) sein.

**[0187]** In diesem Schritt werden die nicht benötigten Abschnitte der ersten Isolierschicht 80, die nicht benötigten Abschnitte der zweiten Isolierschicht 81 und die nicht benötigten Abschnitte der dritten Isolierschicht 82 nacheinander durch das anisotrope Ätzverfahren entfernt. Dadurch wird die Diodenöffnung 84 gebildet. Außerdem wird innerhalb des zellentrennenden Grabens 64 eine Vertiefung 67 gebildet. Anschließend wird die Maske 171 entfernt.

**[0188]** Beim Schritt des Bildens der Diodenöffnung 84 werden die Verarbeitungsbedingungen des anisotropen Ätzverfahrens so eingestellt, dass ein Winkel $\theta$, den die Innenwand der Diodenöffnung 84 mit der ersten Waferhauptoberfläche 163 innerhalb der Zwischenschicht-Isolierschicht 79 bildet, nicht weniger als 45° und nicht mehr als 90° beträgt.

**[0189]** Der Winkel $\theta$ kann ggf. nicht weniger als 45° und nicht mehr als 50°, nicht weniger als 50° und nicht mehr als 55°, nicht weniger als 55° und nicht mehr als 60°, nicht weniger als 60° und nicht mehr als 65°, nicht weniger als 65° und nicht mehr als 70°, nicht weniger als 70° und nicht mehr als 75°, nicht weniger als 75° und nicht mehr als 80°, nicht

weniger als 80° und nicht mehr als 85° oder nicht weniger als 85° und nicht mehr als 90° betragen. Der Winkel θ beträgt vorzugsweise nicht weniger als 60° und nicht mehr als 90°.

**[0190]** Als Nächstes werden mit Bezug auf **Fig.** 10O die Emitteranschlusselektrode 13, eine Gate-Anschlusselektrode 14, die erste Erfassungsanschlusselektrode 15, die zweite Erfassungsanschlusselektrode 16, die Stromdetektionsanschlusselektrode 17 und die offene Anschlusselektrode 18 auf der ersten Waferhauptoberfläche 163 gebildet.

**[0191]** In diesem Schritt wird zunächst eine Basisanschlusselektrodenschicht gebildet, die als Basis für die Vielzahl von Anschlüssen 13 bis 18 dient. Die Basisanschlusselektrodenschicht enthält eine Aluminium-Silizium-Kupfer-Legierung. Die Basisanschlusselektrodenschicht kann durch ein Sputterverfahren gebildet werden.

**[0192]** Als Nächstes wird eine Maske (nicht gezeigt) mit einem vorgegebenen Muster auf der Basisanschlusselektrodenschicht gebildet. Die Maske deckt jeweils Bereiche ab, in denen die Vielzahl von Anschlüssen 13 bis 18 gebildet werden sollen, und weist Öffnungen auf, die Bereiche neben diesen freigeben. Anschließend werden nicht benötigte Abschnitte der Basisanschlusselektrodenschicht durch ein Ätzverfahren über die Maske entfernt. Das Ätzverfahren kann ein Nassätzverfahren sein. Dadurch werden die Vielzahl von Anschlüssen 13 bis 18 gebildet. Anschließend wird die Maske entfernt.

**[0193]** Als Nächstes wird, mit Bezug auf **Fig.** 10P, der Halbleiterwafer 162 auf eine vorbestimmte Dicke ausgedünnt. Der Ausdünnungsschritt schließt einen Schritt des Ausdünnens des Halbleiterwafers 162 durch ein Schleifverfahren, das auf der zweiten Waferhauptoberfläche 164 durchgeführt wird, ein. Das Schleifverfahren kann ein CMP-Verfahren (chemisch-mechanisches Polieren) sein.

**[0194]** Der Ausdünnungsschritt kann einen Schritt des Ausdünnens des Halbleiterwafers 162 durch ein Ätzverfahren einschließen, das anstelle des Schleifverfahrens auf der zweiten Waferhauptoberfläche 164 durchgeführt wird. Das Ätzverfahren kann ein Nassätzverfahren sein.

**[0195]** Der Ausdünnungsschritt kann einen Schritt des Ausdünnens des Halbleiterwafers 162 durch ein Schleifverfahren und ein Ätzverfahren einschließen, die auf der zweiten Waferhauptoberfläche 164 durchgeführt werden. Der Halbleiterwafer 162 kann ausgedünnt werden, indem das Schleifverfahren und das Ätzverfahren in dieser Reihenfolge durchgeführt werden. Der Halbleiterwafer 162 kann ausgedünnt werden, indem das Ätzverfahren und das Schleifverfahren in dieser Reihenfolge durchgeführt werden.

**[0196]** Wenn nur das Schleifverfahren durchgeführt wird, wird die zweite Waferhauptoberfläche 164 des Halbleiterwafers 162 zu einer geschliffenen Oberfläche mit Schleifspuren. In diesem Fall wird die zweite Waferhauptoberfläche 4 des Halbleiterwafers 2 zu einer geschliffenen Oberfläche mit Schleifspuren. Der Schritt des Ausdünnens des Halbleiterwafers 162 wird bei Bedarf durchgeführt und kann weggelassen werden.

**[0197]** Als Nächstes wird mit Bezug auf **Fig.** 10Q die n-Typ-Pufferschicht 33 im Oberflächenschichtabschnitt der zweiten Waferhauptoberfläche 164 gebildet. In diesem Schritt wird eine n-Typ-Verunreinigung in die gesamte zweite Waferhauptoberfläche 164 des Halbleiterwafers 162 eingebracht. Dadurch wird die n-Typ-Pufferschicht 33 gebildet.

**[0198]** Als Nächstes wird der p-Typ-Kollektorbereich 34 im Oberflächenschichtabschnitt der zweiten Waferhauptoberfläche 164 gebildet. In diesem Schritt wird zunächst eine Ioneneinführungsmaske (nicht gezeigt) mit einem vorgegebenen Muster auf der zweiten Waferhauptoberfläche 164 gebildet. Die Ioneneinführungsmaske weist eine Öffnung auf, die einen Bereich freigibt, in dem der Kollektorbereich 34 gebildet werden soll. Als Nächstes wird eine p-Typ-Verunreinigung über die Ioneneinführungsmaske in die zweite Waferhauptoberfläche 164 eingebracht. Dadurch wird die Kollektorzone 34 gebildet. Danach wird die Ioneneinführungsmaske entfernt.

**[0199]** Als Nächstes werden eine Vielzahl von $n^+$-Typ-Kathodenbereichen 61 im Oberflächenschichtabschnitt der zweiten Waferhauptoberfläche 164 gebildet. In diesem Schritt wird zunächst eine Ioneneinführungsmaske (nicht gezeigt) mit einem vorgegebenen Muster auf der zweiten Waferhauptoberfläche 164 gebildet. Die Ioneneinführungsmaske weist eine Vielzahl von Öffnungen auf, die jeweils Bereiche freigeben, in denen die Vielzahl von Kathodenbereichen 61 gebildet werden sollen. Als Nächstes wird eine n-Typ-Verunreinigung über die Ioneneinführungsmaske in die zweite Waferhauptoberfläche 164 eingebracht. Dadurch werden die Vielzahl von Kathodenbereichen 61 gebildet. Danach wird die Ioneneinführungsmaske entfernt.

**[0200]** Als Nächstes wird mit Bezug auf **Fig.** 10R die Kollektoranschlusselektrode 32 in der zweiten Waferhauptoberfläche 164 gebildet. Die Kollektoranschlusselektrode 32 kann mindestens eines von einer Ti-Schicht, einer Ni-Schicht, einer Au-Schicht, einer Ag-Schicht und einer Al-Schicht einschließen. Die Kollektoranschlusselektrode 32 kann durch ein Sputterverfahren gebildet werden. Danach wird der Halbleiterwafer 162 entlang einer Umfangskante

jedes Vorrichtungsbildungsbereichs 165 geschnitten und die Halbleitervorrichtung 1 wird ausgeschnitten. Durch die Schritte einschließlich der vorstehenden wird die Halbleitervorrichtung 1 gemäß der Grundstruktur 1 hergestellt.

**[0201]** Nach dem Schritt des Ausdünnens des Halbleiterwafers 162 und vor dem Schritt des Bildens der Kollektoranschlusselektrode 32 kann eine Glühbehandlung an der zweiten Waferhauptoberfläche 164 durchgeführt werden. Die Glühbehandlung kann eine Laserglühbehandlung sein. In diesem Fall kann im Oberflächenschichtabschnitt der zweiten Waferhauptoberfläche 164 eine amorphe Si-Schicht gebildet werden. Auch kann in diesem Fall ein Gitterdefektbereich, der Gitterdefekte einschließt, in einem Oberflächenschichtabschnitt der zweiten Waferhauptoberfläche 164 gebildet werden.

**[0202]** Die amorphe Si-Schicht kann im Oberflächenschichtabschnitt der zweiten Hauptoberfläche 4 der Halbleiterschicht 2 gebildet werden, die aus dem Halbleiterwafer 162 ausgeschnitten wurde. Außerdem kann der Gitterdefektbereich, der Gitterdefekte einschließt, im Oberflächenschichtabschnitt der zweiten Hauptoberfläche 4 der Halbleiterschicht 2 gebildet werden. Gemäß der obigen Struktur ist es möglich, eine ohmsche Eigenschaft der Kollektoranschlusselektrode 32 in Bezug auf die zweite Hauptoberfläche 4 (den Kollektorbereich 34 und den Kathodenbereich 61) zu verbessern.

[Grundstruktur 2 der Halbleitervorrichtung]

**[0203]** **Fig.** 11 ist eine schematische vergrößerte Draufsicht, die einen Teil der Grundstruktur 2 der Halbleitervorrichtung 1 zeigt, und eine vergrößerte Ansicht eines Abschnitts, der **Fig.** 4 entspricht. **Fig.** 12 ist eine vergrößerte Ansicht eines Abschnitts, der in **Fig.** 11 von einer abwechselnd lang und kurz gestrichelten Linie XII umgeben ist. **Fig.** 13 ist eine vergrößerte Ansicht eines Abschnitts, der in **Fig.** 11 von einer abwechselnd lang und kurz gestrichelten Linie XIII umgeben ist. **Fig.** 14 ist eine Querschnittsansicht entlang der in **Fig.** 12 gezeigten Linie XIV-XIV. **Fig.** 15 ist eine Querschnittsansicht entlang der in **Fig.** 13 gezeigten Linie XV-XV. **Fig.** 16 ist eine Querschnittsansicht entlang der in **Fig.** 12 gezeigten Linie XVI-XVI.

**[0204]** Strukturen des IGBT-Bereichs 8 und des Diodenbereichs 9 der Halbleitervorrichtung 1 können anstelle der in **Fig.** 4 bis **Fig.** 9 gezeigten Grundstruktur 1 die in **Fig.** 11 bis **Fig.** 16 gezeigte Grundstruktur 2 sein. Nachfolgend wird die Grundstruktur 2 der Halbleitervorrichtung 1 unter Bezugnahme auf **Fig.** 11 bis **Fig.** 16 beschrieben. Eine Struktur, die mit der in der zuvor erwähnten Grundstruktur 1 beschriebenen Struktur übereinstimmt, wird mit dem gleichen Bezugszeichen versehen und auf eine Beschreibung derselben wird verzichtet.

**[0205]** Hauptsächlich mit Bezug auf **Fig.** 11, **Fig.** 12 und **Fig.** 14 schließt in der Grundstruktur 2 der Halbleitervorrichtung 1 jeder IGBT-Bereich 8 eine bereichstrennende Struktur 50 ein, die die FET-Struktur 35 von anderen Bereichen in der ersten Hauptoberfläche 3 der Halbleiterschicht 2 abgrenzt. Insbesondere schließt jeder IGBT-Bereich 8 eine Vielzahl von bereichstrennenden Strukturen 50 ein, die auf beiden Seiten der FET-Struktur 35 ausgebildet sind. Die bereichstrennende Struktur 50 ist in einem Bereich benachbart zur FET-Struktur 35 in einem Oberflächenschichtabschnitt der ersten Hauptoberfläche 3 ausgebildet. Die bereichstrennende Struktur 50 ist jeweils in einem Bereich zwischen der Vielzahl von zueinander benachbarten FET-Strukturen 35 ausgebildet. Dabei sind die Vielzahl von FET-Strukturen 35 jeweils durch die bereichstrennende Struktur 50 voneinander getrennt.

**[0206]** Im IGBT-Bereich 8 wird durch die FET-Struktur 35 und die bereichstrennende Struktur 50 eine IE-Struktur (Injection Enhanced: ladungsträgerinjektionsverstärkt) 51 gebildet. In der IE-Struktur 51 sind die Vielzahl von FET-Strukturen 35 auf eine Art und Weise angeordnet, dass sie durch die bereichstrennende Struktur 50 voneinander getrennt sind.

**[0207]** Die bereichstrennende Struktur 50 beschränkt eine Bewegung von in die Halbleiterschicht 2 injizierten Löchern. Das heißt, die Löcher umgehen die bereichstrennende Struktur 50 und fließen in die FET-Struktur 35. Dadurch sammeln sich die Löcher in einem Bereich der Halbleiterschicht 2 direkt unterhalb der FET-Struktur 35, und die Dichte der Löcher nimmt zu. Dadurch werden eine Verringerung des Einschaltwiderstandes und eine Verringerung der Einschaltspannung erreicht.

**[0208]** Die bereichstrennende Struktur 50 schließt einen schwebenden Bereich 52 vom $p^+$-Typ ein, der in einem Bereich benachbart zur FET-Struktur 35 im Oberflächenschichtabschnitt der ersten Hauptoberfläche 3 der Halbleiterschicht 2 ausgebildet ist. Der schwebende Bereich 52 ist in einem elektrisch schwebenden Zustand ausgebildet. Eine p-Typ-Verunreinigungskonzentration des schwebenden Bereichs 52 kann ggf. nicht geringer sein als eine p-Typ-Verunreinigungskonzentration des Körperbereichs 45. Die p-Typ-Verunreinigungskonzentration des schwebenden Bereichs 52 kann größer sein als die p-Typ-Verunreinigungskonzentration des Körperbereichs 45 und des Anodenbereichs 62. Die p-Typ-Verunreinigungskonzentration des schwebenden Bereichs 52 kann ggf. nicht weniger als $1{,}0\times10^{16}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{20}$ $cm^{-3}$ betragen. Die p-Typ-Verunreinigungskonzentration des

schwebenden Bereichs 52 kann ggf. nicht weniger als $1,0\times10^{18}$ $cm^{-3}$ und nicht mehr als $1,0\times10^{20}$ $cm^{-3}$ betragen.

**[0209]** Ein Bodenabschnitt des schwebenden Bereichs 52 ist in einem Bereich zwischen einem Bodenabschnitt des Trägerspeicherungsbereichs 47 und der zweiten Hauptoberfläche 4 in Bezug auf die Normalenrichtung Z ausgebildet. In dieser bevorzugten Ausführungsform ist der Bodenabschnitt des schwebenden Bereichs 52 in einem Bereich zwischen einer Bodenwand des Gate-Grabens 39 und der zweiten Hauptoberfläche 4 in Bezug auf die Normalenrichtung Z ausgebildet. Der schwebende Bereich 52 ist als Band ausgebildet, das sich in Draufsicht entlang der FET-Struktur 35 erstreckt. In Bezug auf die zweite Richtung Y ist eine Länge des schwebenden Bereichs 52 kleiner als die Länge des Gate-Grabens 39.

**[0210]** Die bereichstrennende Struktur 50 einschließt eine bereichstrennende Grabenstruktur 53 ein, die den schwebenden Bereich 52 von der FET-Struktur 35 abgrenzt. Die bereichstrennende Grabenstruktur 53 ist in einer Ringform (vierseitigen Ringform in dieser bevorzugten Ausführungsform) ausgebildet, die in Draufsicht den schwebenden Bereich 52 umgibt.

**[0211]** Die bereichstrennende Grabenstruktur 53 schließt einen bereichstrennenden Graben 54, die bereichstrennende Isolierschicht 55 und eine bereichstrennende Elektrodenschicht 56 ein. Der bereichstrennende Graben 54 ist in der ersten Hauptoberfläche 3 der Halbleiterschicht 2 ausgebildet. Der bereichstrennende Graben 54 schließt Seitenwände und eine Bodenwand ein. Die Seitenwand des bereichstrennenden Grabens 54 kann senkrecht zur ersten Hauptoberfläche 3 ausgebildet sein.

**[0212]** Die Seitenwand des bereichstrennenden Grabens 54 kann von der ersten Hauptoberfläche 3 nach unten zur Bodenwand hin geneigt sein. Der bereichstrennende Graben 54 kann in einer sich verjüngenden Form ausgebildet sein, bei der eine Öffnungsfläche an der Öffnungsseite größer ist als eine Bodenfläche. Eine Bodenwand des bereichstrennenden Grabens 54 kann parallel zur ersten Hauptoberfläche 3 ausgebildet sein. Die Bodenwand des bereichstrennenden Grabens 54 kann in einer zur zweiten Hauptoberfläche 4 hin gekrümmten Form ausgebildet sein. Die Bodenwand des bereichstrennenden Grabens 54 wird von dem Bodenabschnitt des schwebenden Bereichs 52 bedeckt. Das heißt, der schwebende Bereich 52 weist einen Abdeckungsabschnitt auf, der die Bodenwand des bereichstrennenden Grabens 54 bedeckt. Der bereichstrennende Graben 54 weist einen Bodenwandkantenabschnitt auf. Der Bodenwandkantenabschnitt verbindet die Seitenwände und die Bodenwand des bereichstrennenden Grabens 54. Der Bodenwandkantenabschnitt kann in einer zur zweiten Hauptoberfläche 4 der Halbleiterschicht 2 hin gekrümmten Form ausgebildet sein.

**[0213]** Eine Tiefe D4 des bereichstrennenden Grabens 54 kann ggf. nicht weniger als 2 µm und nicht mehr als 10 µm betragen. Die Tiefe D4 des bereichstrennenden Grabens 54 kann ggf. nicht weniger als 2 µm und nicht mehr als 3 µm, nicht weniger als 3 µm und nicht mehr als 4 µm, nicht weniger als 4 µm und nicht mehr als 5 µm, nicht weniger als 5 µm und nicht mehr als 6 µm, nicht weniger als 6 µm und nicht mehr als 7 µm, nicht weniger als 8 µm und nicht mehr als 9 µm oder nicht weniger als 9 µm und nicht mehr als 10 µm betragen. Die Tiefe D4 des bereichstrennenden Grabens 54 kann gleich der Tiefe D1 des Gate-Grabens 39 sein.

**[0214]** Eine Breite des bereichstrennenden Grabens 54 kann ggf. nicht weniger als 0,5 µm und nicht mehr als 3 µm betragen. Die Breite des bereichstrennenden Grabens 54 ist eine Breite des bereichstrennenden Grabens 54 in der ersten Richtung X. Die Breite des bereichstrennenden Grabens 54 kann ggf. nicht weniger als 0,5 µm und nicht mehr als 1 µm, nicht weniger als 1 µm und nicht mehr als 1,5 µm, nicht weniger als 1,5 µm und nicht mehr als 2 µm, nicht weniger als 2 µm und nicht mehr als 2,5 µm oder nicht weniger als 2,5 µm und nicht mehr als 3 µm betragen. Die Breite des bereichstrennenden Grabens 54 kann gleich der Breite des Gate-Grabens 39 sein.

**[0215]** Die bereichstrennende Isolierschicht 55 ist als Film entlang einer Innenwand des bereichstrennenden Grabens 54 ausgebildet. Die bereichstrennende Isolierschicht 55 grenzt einen Vertiefungsraum innerhalb des bereichstrennenden Grabens 54 ab. In dieser bevorzugten Ausführungsform schließt die bereichstrennende Isolierschicht 55 einen Siliziumoxidfilm ein. Die bereichstrennende Isolierschicht 55 kann anstelle des Siliziumoxidfilms oder zusätzlich dazu einen Siliziumnitridfilm einschließen.

**[0216]** Die bereichstrennende Elektrodenschicht 56 ist über die bereichstrennende Isolierschicht 55 hinweg in dem bereichstrennenden Graben 54 eingebettet. Insbesondere ist die bereichstrennende Elektrodenschicht 56 in einem Vertiefungsraum des bereichstrennenden Grabens 54 eingebettet, der durch die bereichstrennende Isolierschicht 55 abgegrenzt ist. Die bereichstrennende Elektrodenschicht 56 wird durch ein Emittersignal gesteuert. Die bereichstrennende Elektrodenschicht 56 kann ein leitfähiges Polysilizium enthalten.

**[0217]** Die bereichstrennende Elektrodenschicht 56 ist in Form einer Wand ausgebildet, die sich in

Schnittansicht entlang der Normalenrichtung Z erstreckt. Die bereichstrennende Elektrodenschicht 56 weist einen oberen Endabschnitt auf, der an der Öffnungsseite des bereichstrennenden Grabens 54 positioniert ist. Der obere Endabschnitt der bereichstrennenden Elektrodenschicht 56 ist in Bezug auf die erste Hauptoberfläche 3 an der Bodenwandseite des bereichstrennenden Grabens 54 positioniert.

**[0218]** An einem oberen Endabschnitt der bereichstrennenden Elektrodenschicht 56 ist eine Absenkung ausgebildet, die zur Bodenwand des bereichstrennenden Grabens 54 hin abgesenkt ist. Die Absenkung am oberen Endabschnitt der bereichstrennenden Elektrodenschicht 56 ist in einer konvergenten Form ausgebildet, die in Richtung der Bodenwand des bereichstrennenden Grabens 54 gerichtet ist. Der obere Endabschnitt der bereichstrennenden Elektrodenschicht 56 weist einen verengten Abschnitt auf, der zur Innenseite der bereichstrennenden Elektrodenschicht 56 verengt ist.

**[0219]** Hauptsächlich mit Bezug auf **Fig.** 13 und **Fig.** 15 schließen die Vielzahl von schwebenden Bereichen 52 jeweils einen nahegelegenen schwebenden Bereich 52A ein, der dem Diodenbereich 9 am nächsten liegt. In dieser bevorzugten Ausführungsform ist der naheliegende schwebende Bereich 52A durch die zellentrennende Struktur 63 von der FET-Struktur 35 und dem Anodenbereich 62 abgegrenzt.

**[0220]** Der naheliegende schwebende Bereich 52A überlappt sich in der Normalenrichtung Z vollständig mit dem Kollektorbereich 34. Das heißt, die zellentrennende Struktur 63, die den naheliegenden schwebenden Bereich 52A abgrenzt, überlappt sich in der Normalenrichtung Z mit dem Kollektorbereich 34. In dieser bevorzugten Ausführungsform ist die Grenze 72 zwischen dem IGBT-Bereich 8 und dem Diodenbereich 9 durch einen Abschnitt abgegrenzt, der sich in einem Bereich der zellentrennenden Struktur 63 zwischen dem naheliegenden schwebenden Bereich 52A und dem Anodenbereich 62 erstreckt.

**[0221]** Selbstverständlich kann der naheliegende schwebende Bereich 52A von der FET-Struktur 35 und dem Anodenbereich 62 durch die bereichstrennende Grabenstruktur 53 statt durch die zellentrennende Struktur 63 abgegrenzt sein. In diesem Fall ist die Grenze 72 zwischen dem IGBT-Bereich 8 und dem Diodenbereich 9 durch einen Abschnitt abgegrenzt, der sich in einem Bereich der bereichstrennenden Grabenstruktur 53 zwischen dem naheliegenden schwebenden Bereich 52A und dem Anodenbereich 62 erstreckt.

**[0222]** Der naheliegende schwebende Bereich 52A kann weggelassen werden. In diesem Fall ist die Grenze 72 zwischen dem IGBT-Bereich 8 und dem Diodenbereich 9 durch einen Abschnitt abgegrenzt, der sich entlang eines Bereichs der zellentrennenden Struktur 63 zwischen der FET-Struktur 35 und dem Anodenbereich 62 erstreckt.

**[0223]** Hauptsächlich mit Bezug auf **Fig.** 12 und **Fig.** 16 weist die bereichstrennende Elektrodenschicht 56 der bereichstrennenden Struktur 50 eine trennende herausgeführte Elektrodenschicht 56a auf, die aus dem bereichstrennenden Graben 54 auf die erste Hauptoberfläche 3 herausgeführt ist. Die bereichstrennende Elektrodenschicht 56 ist entlang der zweiten Richtung Y herausgeführt. Insbesondere ist die trennende herausgeführte Elektrodenschicht 56a im Inneren der Zwischenschicht-Isolierschicht 79 ausgebildet. Die trennende herausgeführte Elektrodenschicht 56a ist auf die erste Isolierschicht 80 herausgeführt und in einem Bereich zwischen der ersten Isolierschicht 80 und der zweiten Isolierschicht 81 angeordnet. Die trennende herausgeführte Elektrodenschicht 56a ist über die erste Steckerelektrode 94 elektrisch mit der Emitteranschlusselektrode 13 verbunden. Ein an die trennende herausgeführte Elektrodenschicht 56a angelegtes Emittersignal wird über die trennende herausgeführte Elektrodenschicht 56a an die bereichstrennende Elektrodenschicht 56 übertragen.

[Verfahren zur Herstellung der Grundstruktur 2 der Halbleitervorrichtung]

**[0224]** **Fig.** 17A bis **Fig.** 17C sind jeweils eine Querschnittsansicht eines Bereichs, der **Fig.** 15 entspricht, und eine Querschnittsansicht zur Beschreibung eines Beispiels für ein Verfahren zur Herstellung der in **Fig.** 1 gezeigten Halbleitervorrichtung (Grundstruktur 2). Im Folgenden werden die Schritte beschrieben, die sich von den Schritten zur Herstellung der in **Fig.** 10A bis **Fig.** 10R gezeigten Grundstruktur 1 unterscheiden, und auf eine Veranschaulichung oder Beschreibung der gemeinsamen Schritte wird verzichtet.

**[0225]** Was das Verfahren zur Herstellung der Halbleitervorrichtung 1 der Grundstruktur 2 betrifft, genügt es beispielsweise, die vorstehend genannten Schritte von **Fig.** 10A und **Fig.** 10B durch die Schritte von **Fig.** 17A bis **Fig.** 17C zu ersetzen.

**[0226]** Zuerst werden, unter Bezugnahme auf **Fig.** 17A, nachdem der Vorrichtungsbildungsbereich 165 auf einem Halbleiterwafer 162 festgelegt worden ist, die Vielzahl von schwebenden Bereichen 52 vom $p^+$-Typ im IGBT-Bereich 8 gebildet. In diesem Schritt wird zunächst eine Ioneneinführungsmaske 166 mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Ioneneinführungsmaske 166 weist eine Vielzahl von Öffnungen 166A auf, die jeweils Bereiche freigeben, in denen die Viel-

zahl von schwebenden Bereichen 52 gebildet werden sollen.

**[0227]** Als Nächstes wird eine p-Typ-Verunreinigung über die Ioneneinführungsmaske 166 in den Halbleiterwafer 162 eingebracht. Dadurch werden die Vielzahl von schwebenden Bereichen 52 im IGBT-Bereich 8 gebildet. Danach wird die Ioneneinführungsmaske 166 entfernt.

**[0228]** Als Nächstes werden mit Bezug auf **Fig.** 17B der Gate-Graben 39 und der bereichstrennende Graben 54 im IGBT-Bereich 8 gebildet und der zellentrennende Graben 64 wird im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst eine Hartmaske 160 mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Hartmaske 160 weist eine Vielzahl von Öffnungen 160A auf, die jeweils Bereiche freilegen, in denen der Gate-Graben 39, der bereichstrennende Graben 54 und der zellentrennende Graben 64 gebildet werden sollen. Die Hartmaske 160 kann durch ein Oxidationsbehandlungsverfahren gebildet werden, das auf der ersten Waferhauptoberfläche 163 durchgeführt wird.

**[0229]** Anschließend werden die nicht benötigten Abschnitte des Halbleiterwafers 162 durch ein Ätzverfahren über die Hartmaske 160 entfernt. Dadurch werden der Gate-Graben 39 und der bereichstrennende Graben 54 im IGBT-Bereich 8 gebildet und der zellentrennende Graben 64 wird im Diodenbereich 9 gebildet. Der Diodenzellenbereich 69 ist im Diodenbereich 9 abgegrenzt. Danach wird die Hartmaske 160 entfernt.

**[0230]** Als Nächstes werden, mit Bezug auf **Fig.** 17C, die Vielzahl von schwebenden Bereichen 52 in den Halbleiterwafer 162 diffundiert. Die Vielzahl von schwebenden Bereichen 52 werden bis zu einer Tiefenposition diffundiert, die eine Bodenwand des bereichstrennenden Grabens 54 bedeckt.

**[0231]** Danach wird durch Ausführen der gleichen Schritte wie in **Fig.** 10C bis **Fig.** 10R die Halbleitervorrichtung 1 gemäß der Grundstruktur 2 hergestellt.

[Bewertung 1 zum Problem der Sperrverzögerungseigenschaften einer pn-Übergangsdiode]

**[0232]** Als Nächstes werden verschiedene Bewertungen zu einem Problem der Sperrverzögerungseigenschaften der pn-Übergangsdiode D vorgenommen, die in einem RC-IGBT wie der Halbleitervorrichtung 1 gemäß Grundstruktur 1 und Grundstruktur 2 eingeschlossen ist, und die Bewertungen sind nachstehend dargestellt. Zunächst wird unter Bezugnahme auf **Fig.** 18 und **Fig.** 19A bis **Fig.** 19I eine Bewertung hinsichtlich eines Faktors der Erhöhung einer Lochstromdichte zwischen den Gräben des Diodenbereichs 9 zum Zeitpunkt der Sperrverzögerung der pn-Übergangsdiode D vorgenommen.

**[0233]** **Fig.** 18 ist ein Diagramm von Ergebnissen einer Untersuchung der Sperrverzögerungseigenschaften der pn-Übergangsdiode D durch eine Simulation. In **Fig.** 18 gibt die vertikale Achse auf der linken Seite eine Stromdichte [$A \cdot cm^{-2}$] an, die vertikale Achse auf der rechten Seite gibt eine Spannung [V] an und die horizontale Achse gibt die Zeit [µs] an.

**[0234]** Wenn die pn-Übergangsdiode D von einem eingeschalteten Zustand in einen ausgeschalteten Zustand geschaltet wird, fließt ein Sperrverzögerungsstrom zur pn-Übergangsdiode D, um eine Sperrverzögerungsspannung zu erzeugen. In **Fig.** 18 sind die Sperrverzögerungsstromkennlinie I und die Sperrverzögerungsspannungskennlinie V jeweils durch eine durchgezogene Linie dargestellt. Die Sperrverzögerungsstromkennlinie I und die Sperrverzögerungsspannungskennlinie V zeigen die Eigenschaften der pn-Übergangsdiode D der Halbleitervorrichtung 1 gemäß Referenzbeispiel 1.

**[0235]** **Fig.** 19A bis **Fig.** 19I sind jeweils eine Zeichnung von Ergebnissen der Untersuchung einer Lochstromdichte der Halbleitervorrichtung 1 an einem ersten Messpunkt P1, einem zweiten Messpunkt P2, einem dritten Messpunkt P3, einem vierten Messpunkt P4, einem fünften Messpunkt P5, einem sechsten Messpunkt P6, einem siebten Messpunkt P7, einem achten Messpunkt P8 und einem neunten Messpunkt P9, die in **Fig.** 18 gezeigt sind, durch eine Simulation. In **Fig.** 19A bis **Fig.** 19I ist ein Grad der Lochstromdichte in fünf Stufen eingeteilt, und eine Verteilung der Lochstromdichte ist anhand einer für jede Stufe gegebenen Schraffur angegeben. Es wird darauf hingewiesen, dass ein Bereich mit der niedrigsten Dichte unter den fünf Stufen nicht schraffiert ist.

**[0236]** Der erste Messpunkt P1 ist eine Phase, in der, nachdem die pn-Übergangsdiode D von einem eingeschalteten Zustand in einen ausgeschalteten Zustand umgeschaltet wurde, ein Durchlassstrom zur pn-Übergangsdiode D fließt. Der zweite Messpunkt P2 ist eine Phase unmittelbar bevor ein Strom, der durch die pn-Übergangsdiode D fließt, von dem Durchlassstrom in einen Sperrstrom wechselt. Der dritte Messpunkt P3 ist eine Phase unmittelbar bevor der Sperrstrom einen Spitzenwert erreicht. Der vierte Messpunkt P4 ist eine Phase, in der der Sperrstrom den Spitzenwert erreicht. Der fünfte Messpunkt P5 ist eine Phase unmittelbar nachdem der Sperrstrom den Spitzenwert erreicht hat. Der sechste Messpunkt P6 und der siebte Messpunkt P7 sind jeweils eine Phase, in der der Sperrstrom zu konvergieren beginnt. Der achte Messpunkt P8 ist eine Phase unmittelbar bevor der Sperrstrom kon-

vergiert. Der neunte Messpunkt P9 ist eine Phase nachdem der Sperrstrom konvergiert ist.

**[0237]** Unter Bezugnahme auf **Fig.** 19A werden am ersten Messpunkt P1, während der Durchlassstrom zur pn-Übergangsdiode D fließt, die Löcher, die auf den IGBT-Bereich 8 und den Diodenbereich 9 verteilt wurden, zu der FET-Struktur 35 und dem Anodenbereich 62 zurückgezogen. Im IGBT-Bereich 8 verbleiben die zurückzuziehenden Löcher in der Nähe der FET-Struktur 35, was zur Bildung einer relativ hohen Lochdichte führt. Anschließend wird, mit Bezug auf **Fig.** 19B und **Fig.** 19C, am zweiten Messpunkt P2, an dem der Durchlassstrom in der pn-Übergangsdiode D in den Sperrstrom wechselt, und am dritten Messpunkt P3, an dem der Sperrstrom zunimmt, während eine Lochstromdichte im IGBT-Bereich 8 mit der Zeit abnimmt, eine Lochstromdichte im Diodenbereich 9 hoch. Dies ist auf eine Zunahme der Dichte der Löcher zurückzuführen, die zu dem Anodenbereich 62 zurückgezogen werden.

**[0238]** Dann wird, mit Bezug auf **Fig.** 19D und **Fig.** 19E, am vierten Messpunkt P4 und am fünften Messpunkt P5 jeweils zur Spitzenzeit des Sperrstroms, der durch die pn-Übergangsdiode D fließt, und unmittelbar nach der Spitzenzeit, während die pn-Übergangsdiode D von einem eingeschalteten Zustand in einen ausgeschalteten Zustand geschaltet wird und der Sperrstrom konvergiert, die Lochstromdichte im Diodenbereich 9 am höchsten. Insbesondere ist die Lochstromdichte auf einem hohen Niveau nicht gleichmäßig über den gesamten Diodenbereich 9 einschließlich der zellentrennenden Struktur 63 verteilt, sondern die Lochstromdichte ist deutlich so verteilt, dass sie sich im Vergleich zu einem Bereich direkt unter der zellentrennenden Struktur 63 vom Diodenzellenbereich 69 aus senkrecht in einer Dickenrichtung der Halbleiterschicht 2 erstreckt. Dies liegt an der Tatsache, dass Löcher, bei denen es sich um eine kleine Anzahl von Trägern handelt, in einem schmalen Durchgang konzentriert sind, der durch einen Teil des $n^-$-Typ-Driftbereichs 30 gebildet wird, die zwischen den zellentrennenden Strukturen 63 eingeschlossen ist. Daher wird angenommen, dass, wenn diese Lochstromkonzentration verringert werden kann, die Lochstromdichte verringert werden kann, um eine sanfte Rückgewinnung zu erreichen, und ein Rückgewinnungsverlust verringert werden kann.

**[0239]** Anschließend werden, mit Bezug auf **Fig.** 19F bis **Fig.** 19H (sechster Messpunkt P6 bis achter Messpunkt P8), die Löcher, die im $n^-$-Typ-Driftbereich 30 verbleiben, im Laufe der Zeit in den Anodenbereich 62 zurückgezogen, und schließlich werden, wie in **Fig.** 19I (neunter Messpunkt P9) gezeigt, die Löcher, bei denen es sich um eine kleine Anzahl von Trägern handelt, vollständig zurückgewonnen.

[Bewertung 2 zum Problem der Sperrverzögerungseigenschaften einer pn-Übergangsdiode]

**[0240]** Als Nächstes wird unter Bezugnahme auf **Fig.** 20A bis **Fig.** 20D und **Fig.** 21 bis **Fig.** 23 eine Bewertung einer Veränderung der Eigenschaften der pn-Übergangsdiode D entsprechend einer Vergrößerung oder Verkleinerung der Fläche des Anodenkontakts in Bezug auf den Anodenbereich 62 vorgenommen.

**[0241]** **Fig.** 20A bis **Fig.** 20D sind jeweils eine schematische Ansicht der Halbleitervorrichtungen gemäß den Referenzbeispielen 2 bis 5, die bei der Bewertung in diesem Abschnitt verwendet wurden. In den Referenzbeispielen 2 bis 5 gemäß **Fig.** 20A bis **Fig.** 20D wird die Öffnungsbreite einer Maske, die selektiv in der ersten Hauptoberfläche 3 der Halbleiterschicht 2 gebildet wird, vergrößert oder verkleinert, wodurch eine Fläche des Anodenkontakts (Emitteranschlusselektrode 13) in Bezug auf den Anodenbereich 62 vergrößert oder verkleinert wird. Eine Öffnungsbreite W1 des Referenzbeispiels 2 in **Fig.** 20A ist am schmalsten, und eine Öffnungsbreite W2 und eine Öffnungsbreite W3 werden in der Reihenfolge des Referenzbeispiels 3 von **Fig.** 20B und des Referenzbeispiels 4 von **Fig.** 20C breiter. Im Referenzbeispiel 5 von **Fig.** 20D ist der Anodenbereich 62 vollständig freigelegt.

**[0242]** **Fig.** 21 ist eine Zeichnung von Ergebnissen einer Untersuchung der Durchlasseigenschaften der pn-Übergangsdiode D gemäß den Referenzbeispielen 2 bis 5 durch eine Simulation. In **Fig.** 21 gibt die vertikale Achse einen Durchlassstrom [A] an und die horizontale Achse gibt eine Durchlassspannung [V] an. **Fig.** 22 ist eine Zeichnung von Ergebnissen einer Untersuchung des Grades der Durchlasslochdichte der pn-Übergangsdiode D gemäß den Referenzbeispielen 2 bis 5 durch eine Simulation. In **Fig.** 22 gibt die vertikale Achse eine Lochdichte [$cm^{-3}$] an und die horizontale Achse gibt eine Tiefe von der ersten Hauptoberfläche 3 an. **Fig.** 23 ist eine Zeichnung von Ergebnissen einer Untersuchung der Sperrverzögerungseigenschaften der pn-Übergangsdiode D gemäß den Referenzbeispielen 2 bis 5 durch eine Simulation. In **Fig.** 23 gibt die vertikale Achse auf der linken Seite eine Stromdichte [$A \cdot cm^{-2}$] an, die vertikale Achse auf der rechten Seite gibt eine Spannung [V] an und die horizontale Achse gibt die Zeit [µs] an.

**[0243]** Unter Bezugnahme auf **Fig.** 21 und **Fig.** 22 stellt sich heraus, dass die Durchlasseigenschaften der pn-Übergangsdiode D gemäß den Referenzbeispielen 2 bis 5 günstiger sind, wenn eine Fläche des Anodenkontakts in Bezug auf den Anodenbereich 62 kleiner wird. Unter Bezugnahme auf **Fig.** 21 weist die pn-Übergangsdiode D des Referenzbeispiels 2,

deren Anodenkontakt die kleinste Fläche hat, die niedrigste Durchlassspannung auf, und die pn-Übergangsdiode D gemäß Referenzbeispiel 5, deren Anodenkontakt die größte Fläche hat, weist die höchste Durchlassspannung auf. Außerdem weist, unter Bezugnahme auf **Fig.** 22, die pn-Übergangsdiode D des Referenzbeispiels 2, deren Anodenkontakt die kleinste Fläche hat, in der Nähe eines Anodenkontaktabschnitts (der ersten Hauptoberfläche 3) die höchste Lochdichte auf, und die pn-Übergangsdiode D gemäß Referenzbeispiel 5, deren Anodenkontakt die größte Fläche hat, weist die niedrigste Lochdichte auf. Aus **Fig.** 21 und **Fig.** 22 ist ersichtlich, dass, wenn die Fläche des Anodenkontakts klein gemacht wird, die Lochdichte in der Nähe der ersten Hauptoberfläche 3 hoch wird und die Durchlassspannung abnimmt.

**[0244]** Andererseits ist unter Bezugnahme auf **Fig.** 23 ersichtlich, dass zum Zeitpunkt der Sperrverzögerung die Sperrverzögerungseigenschaften günstiger sind, wenn die Fläche des Anodenkontakts in Bezug auf den Anodenbereich 62 größer wird. Insbesondere ist ersichtlich, dass in Bezug auf einen Spitzenwert des Sperrstroms die pn-Übergangsdiode D von Referenzbeispiel 5, deren Anodenkontakt die größte Fläche hat, die niedrigste Lochstromdichte hat, und die pn-Übergangsdiode D gemäß Referenzbeispiel 2, deren Anodenkontakt die kleinste Fläche hat, die höchste Lochstromdichte hat. Daher wird angenommen, dass bei einer großflächigen Auslegung des Anodenkontakts die Lochstromdichte verringert werden kann, um eine sanfte Rückgewinnung zu erreichen, und dass ein Rückgewinnungsverlust verringert werden kann, obwohl die Durchlasseigenschaften bis zu einem gewissen Grad beeinträchtigt werden können.

**[0245]** Ohne auf die obige Bewertung 1 und Bewertung 2 beschränkt zu sein, können verschiedene Bewertungen zum Problem der Verbesserung der Sperrverzögerungseigenschaften der pn-Übergangsdiode vorgenommen werden, und die Probleme können durch Ergreifen von Verbesserungsmaßnahmen entsprechend dem jeweiligen Problem gelöst werden. Im Folgenden werden eine Vielzahl von Verbesserten Strukturen, die zum Verbessern der Sperrverzögerungseigenschaften der pn-Übergangsdiode vorzuziehen sind, als Beispiele angeführt.

[Verbesserte Struktur 1 der Halbleitervorrichtung 1]

(1) Verbesserte Struktur 1-1

**[0246]** **Fig.** 24 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 1-1 der Halbleitervorrichtung 1 zeigt. **Fig.** 25 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 1-1 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 24 und **Fig.** 25 sind jeweils eine Querschnittsansicht entsprechend **Fig.** 8.

**[0247]** Unter Bezugnahme auf **Fig.** 24 und **Fig.** 25 erstreckt sich der Anodenbereich 62 im Diodenzellenbereich 69 tiefer als eine Bodenwand des zellentrennenden Grabens 64 von der ersten Hauptoberfläche 3 entlang einer Seitenwand des zellentrennenden Grabens 64. Der Anodenbereich 62 bedeckt mindestens einen Teil der Bodenwände der benachbarten zellentrennenden Gräben 64.

**[0248]** Unter Bezugnahme auf **Fig.** 24 kann der Anodenbereich 62 die Vielzahl von Anodenbereichen 62 einschließen, die in einem Bereich direkt unter dem zellentrennenden Graben 64 gegenseitig geteilt sind. Der Bereich direkt unter dem zellentrennenden Graben 64 kann ein Teil des Driftbereichs 30 sein, der sich in der Normalenrichtung Z mit dem zellentrennenden Graben 64 überlappt.

**[0249]** In dieser bevorzugten Ausführungsform ist der Anodenbereich 62 über eine gesamte Fläche hinweg von der ersten Hauptoberfläche 3 jedes Diodenzellenbereichs 69 bis zur Bodenwand des zellentrennenden Grabens 64 ausgebildet. Der Anodenbereich 62 ist in jedem Diodenzellenbereich 69 physisch unabhängig ausgebildet und bildet den pn-Übergangsabschnitt 68 an einer lateralen Seite der Bodenwand des zellentrennenden Grabens 64. Genauer gesagt weist jeder Anodenbereich 62 einen Bodenabschnitt 27 auf, der in einer gekrümmten Form ausgebildet ist und einen Scheitelabschnitt 26 aufweist, der weiter an der Seite der zweiten Hauptoberfläche 4 positioniert ist als ein gekrümmt geformter Scheitelabschnitt 25 (gekrümmter Scheitelabschnitt) der Bodenwand des zellentrennenden Grabens 64, der in einer gekrümmten Form ausgebildet ist. Hierbei können der Scheitelabschnitt 25 und der Scheitelabschnitt 26 als die Teile definiert werden, die der zweiten Hauptoberfläche 4 jeweils an der Bodenwand des zellentrennenden Grabens 64 und am Bodenabschnitt 27 des Anodenbereichs 62 am nächsten sind.

**[0250]** Eine Tiefe des tiefsten Abschnitts des Anodenbereichs 62 von der Bodenwand des zellentrennenden Grabens 64 kann ggf. nicht weniger als 0,1 µm und nicht mehr als 3,0 µm betragen. In dieser bevorzugten Ausführungsform kann ein Abstand zwischen dem Scheitelabschnitt 26 des Anodenbereichs 62 und dem Scheitelabschnitt 25 des zellentrennenden Grabens 64 in der Normalenrichtung Z nicht weniger als 0,6 µm und nicht mehr als 3,6 µm betragen.

**[0251]** Dabei weist der pn-Übergangsabschnitt 68 einen ersten Endabschnitt 28 an einer Bodenwand eines der benachbarten zellentrennenden Gräben 64 und einen zweiten Endabschnitt 29 an einer Bodenwand des anderen der benachbarten zellentrennenden Gräben 64 auf. Der zweite Endabschnitt 29 des Anodenbereichs 62, der zu einer Seite benachbart ist, die in Bezug auf den zellentrennenden Graben 64 näher am IGBT-Bereich 8 liegt, und der erste Endabschnitt 28 des Anodenbereichs 62, der zu der gegenüberliegenden Seite davon benachbart ist, stehen mit der Bodenwand jedes zellentrennenden Grabens 64 in Kontakt. Wenn der erste Endabschnitt 28 und der zweite Endabschnitt 29 als beide Endabschnitte gegeben sind, ist der pn-Übergangsabschnitt 68 in einer gekrümmten Form ausgebildet, die in Bezug auf die beiden Endabschnitte 28, 29 in Richtung der Seite der zweiten Hauptoberfläche 4 erhöht ist.

**[0252]** Während die Bodenwand des gekrümmt geformten zellentrennenden Grabens 64 teilweise mit dem Bodenabschnitt 27 des Anodenbereichs 62 in Kontakt steht, steht der Scheitelabschnitt 25 mit dem Driftbereich 30 in Kontakt. Das heißt, die Bodenwand des zellentrennenden Grabens 64 schließt den Scheitelabschnitt 25, der mit einem n-Typ-Halbleiterbereich (dem Driftbereich 30 in dieser bevorzugten Ausführungsform) in Kontakt steht, und einen Endabschnitt 43 ein, der mit dem p-Typ-Halbleiterbereich (dem Anodenbereich 62 in dieser bevorzugten Ausführungsform) auf beiden Seiten des Scheitelabschnitts 25 in Kontakt steht.

**[0253]** Als Nächstes kann, mit Bezug auf **Fig.** 25, der Anodenbereich 62 den Anodenbereich 62 einschließen, der die Bodenwände der Vielzahl von zellentrennenden Gräben 64 insgesamt bedeckt und über die Vielzahl von Diodenzellbereichen 69 hinweg ausgebildet ist.

**[0254]** In dieser bevorzugten Ausführungsform schließt der Anodenbereich 62 einen ersten Abschnitt 57, der in jedem Diodenzellenbereich 69 ausgebildet ist, und einen zweiten Abschnitt 58 ein, der die ersten Abschnitte 57 der Vielzahl von Diodenzellenbereichen 69 verbindet.

**[0255]** Der erste Abschnitt 57 des Anodenbereichs 62 ist über eine gesamte Fläche hinweg von der ersten Hauptoberfläche 3 jedes Diodenzellenbereichs 69 bis zur Bodenwand des zellentrennenden Grabens 64 ausgebildet. Das heißt, der Diodenzellenbereich 69, der zwischen den zueinander benachbarten zellentrennenden Gräben 64 im n-Typ-Driftbereich 30 eingeschlossen ist, wird vollständig durch den p-Typ-Anodenbereich 62 ersetzt.

**[0256]** Der zweite Abschnitt 58 des Anodenbereichs 62 erstreckt sich entlang der ersten Hauptoberfläche 3 derart, dass er die Vielzahl von zellentrennenden Gräben 64 kreuzt, und bedeckt die Bodenwände der Vielzahl von zellentrennenden Gräben 64 einschließlich des Scheitelabschnitts 25 von der Seite der zweiten Hauptoberfläche 4 aus vollständig. Daher wird der einzelne Anodenbereich 62, der dem zellentrennenden Graben 64 in der Normalenrichtung Z gegenüberliegt, in der Normalenrichtung Z unterhalb des zellentrennenden Grabens 64 gebildet. Dadurch werden die Seitenwände und die Bodenwände der Vielzahl von zellentrennenden Gräben 64 in ihrer Gesamtheit durch den p-Typ-Anodenbereich 62 gebildet. Mit anderen Worten kann der Anodenbereich 62, der aus einer einzelnen Schicht aufgebaut ist, im Oberflächenschichtabschnitt der ersten Hauptoberfläche 3 der Halbleiterschicht 2 ausgebildet sein, und die Vielzahl von zellentrennenden Gräben 64 können bis zu einem Zwischenabschnitt des Anodenbereichs 62 in der Normalenrichtung Z ausgebildet sein.

**[0257]** Der zweite Abschnitt 58 des Anodenbereichs 62 verbindet die ersten Abschnitte 57 der Vielzahl von Diodenzellenbereichen 69 und bildet den pn-Übergangsabschnitt 68 (die pn-Übergangsdiode D) mit dem n-Typ-Driftbereich 30. Der pn-Übergangsabschnitt 68 weist eine Schnittform auf, die an der Seite der ersten Hauptoberfläche 3 und an der Seite der zweiten Hauptoberfläche 4 entlang der ersten Hauptoberfläche 3 abwechselnd ansteigt und abfällt. Der pn-Übergangsabschnitt 68 kann eine gewellte Form mit abwechselnden Höhen und Tiefen in der Normalenrichtung Z aufweisen.

**[0258]** In dieser bevorzugten Ausführungsform ist der pn-Übergangsabschnitt 68 in Richtung der Seite der zweiten Hauptoberfläche 4 direkt unter dem Diodenzellenbereich 69 erhöht und in Richtung der Seite der ersten Hauptoberfläche 3 direkt unter dem zellentrennenden Graben 64 erhöht. Genauer gesagt, schließt der pn-Übergangsabschnitt 68 einen ersten Wölbungsabschnitt 59, der sich mit dem Diodenzellenbereich 69 in der Normalenrichtung Z überlappt und sich in Richtung der zweiten Hauptoberfläche 4 wölbt, und einen zweiten Wölbungsabschnitt 60 ein, der sich mit dem zellentrennenden Graben 64 überlappt und sich in Richtung der ersten Hauptoberfläche 3 wölbt. Der erste Wölbungsabschnitt 59 und der zweite Wölbungsabschnitt 60 sind abwechselnd entlang der ersten Hauptoberfläche 3 in einer Richtung ausgebildet, die die Vielzahl von zellentrennenden Gräben 64 kreuzt.

**[0259]** Eine Tiefe des tiefsten Abschnitts des Anodenbereichs 62 von der Bodenwand des zellentrennenden Grabens 64 kann ggf. nicht weniger als 0,1 µm und nicht mehr als 3,0 µm betragen. In dieser bevorzugten Ausführungsform kann ein Abstand zwischen einem Scheitelabschnitt 70 des ersten Wölbungsabschnitts 59 des Anodenbereichs 62 und dem Schei-

telabschnitt 25 des zellentrennenden Grabens 64 in der Normalenrichtung Z nicht weniger als 0,6 µm und nicht mehr als 3,6 µm betragen.

**[0260]** Es wird darauf hingewiesen, dass die Form des Anodenbereichs 62 dadurch ausgedrückt werden kann, dass der zweite Abschnitt 58 und der erste Abschnitt 57 des Anodenbereichs 62 als Basisabschnitt 77 bzw. Verzweigungsabschnitt 78 definiert werden. Beispielsweise kann der Anodenbereich 62 den Basisabschnitt 77, der über die Vielzahl von zellentrennenden Gräben 64 hinweg unter den Bodenwänden der Vielzahl von zellentrennenden Gräben 64 ausgebildet ist, und den Verzweigungsabschnitt 78, der so ausgebildet ist, dass er an einer Position jedes Diodenzellenbereichs 69 vom Basisabschnitt 77 in Richtung der ersten Hauptoberfläche 3 hervorsteht, vollständig einschließen. In diesem Fall bildet der Basisabschnitt 77 den pn-Übergangsabschnitt 68 zwischen dem Basisabschnitt 77 und dem n-Typ-Driftbereich 30.

**[0261]** **Fig.** 26A bis **Fig.** 26C sind jeweils eine Querschnittsansicht eines Bereichs, der **Fig.** 24 und **Fig.** 25 entspricht, und eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 24 und **Fig.** 25 zeigt. Was die Herstellung der Halbleitervorrichtung 1 in **Fig.** 24 und **Fig.** 25 betrifft, können beispielsweise die vorstehend genannten Schritte von **Fig.** 10A und **Fig.** 10B durch die Schritte von **Fig.** 26A bis **Fig.** 26C ersetzt werden.

**[0262]** Zuerst wird, unter Bezugnahme auf **Fig.** 26A, nachdem der Vorrichtungsbildungsbereich 165 auf dem Halbleiterwafer 162 festgelegt worden ist, der p-Typ-Anodenbereich 62 im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst eine Ioneneinführungsmaske 161 mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Ioneneinführungsmaske 161 weist eine Vielzahl von Öffnungen 161A auf, die jeweils Bereiche freigeben, in denen die Vielzahl von Anodenbereichen 62 gebildet werden sollen. Die Bereiche, in denen die Vielzahl von Anodenbereichen 62 gebildet werden soll, können beispielsweise kleiner sein als ein Bereich, in dem der Diodenzellenbereich 69 gebildet wird.

**[0263]** Als Nächstes wird eine p-Typ-Verunreinigung über die Ioneneinführungsmaske 161 in den Halbleiterwafer 162 eingebracht. Dadurch werden die Vielzahl von Anodenbereichen 62 im Diodenbereich 9 gebildet. An diesem Punkt sind die Vielzahl von Anodenbereichen 62 physisch voneinander getrennt. Danach wird die Ioneneinführungsmaske 161 entfernt.

**[0264]** Als Nächstes werden mit Bezug auf **Fig.** 26B der Gate-Graben 39 und der Emittergraben 74 im IGBT-Bereich 8 gebildet und der zellentrennende Graben 64 wird im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst die Hartmaske 167, die mit der in **Fig.** 10B identisch ist, auf der ersten Waferhauptoberfläche 163 gebildet. Die Öffnung 167A der Hartmaske 167 legt einen Bereich zwischen der Vielzahl von zueinander benachbarten Anodenbereichen 62 frei. Anschließend werden die nicht benötigten Abschnitte des Halbleiterwafers 162 durch ein Ätzverfahren über die Hartmaske 167 entfernt. Dadurch werden der Gate-Graben 39 und der Emittergraben 74 im IGBT-Bereich 8 gebildet und der zellentrennende Graben 64 wird im Diodenbereich 9 gebildet. Der zellentrennende Graben 64 kann in einem Abstand von jedem Anodenbereich 62 gebildet werden. Danach wird die Hartmaske 167 entfernt.

**[0265]** Als Nächstes werden, mit Bezug auf **Fig.** 26C, die Vielzahl von Anodenbereichen 62 durch eine Wärmebehandlung in den Halbleiterwafer 162 diffundiert. Dabei dehnt sich jeder Anodenbereich 62 entlang der Seitenwände des zellentrennenden Grabens 64 in Richtung der zweiten Hauptoberfläche 4 (vertikale Richtung) aus und dehnt sich außerdem entlang der ersten Hauptoberfläche 3 in Richtung des zellentrennenden Grabens 64 (horizontale Richtung) aus. Die Bodenwand des zellentrennenden Grabens 64 wird dadurch von dem Anodenbereich 62 bedeckt. Zu diesem Zeitpunkt können der Anodenbereich 62 von **Fig.** 24 und der Anodenbereich 62 von **Fig.** 25 durch Einstellen einer Diffusionszeit separat hergestellt werden.

**[0266]** Beispielsweise dehnt sich der Anodenbereich 62 mit zunehmender Diffusionszeit tiefer in die Halbleiterschicht 2 aus. Wenn daher die Diffusionszeit relativ lang gemacht wird, dehnen sich die Vielzahl von Anodenbereichen 62 so aus, dass sie direkt unter der Bodenwand des zellentrennenden Grabens 64 verbunden sind, und der Anodenbereich 62, der die Bodenwände der Vielzahl von zellentrennenden Gräben 64 insgesamt bedeckt, wie in **Fig.** 25 gezeigt, wird gebildet. Wenn andererseits die Diffusionszeit relativ kurz gemacht wird, wird der physisch unabhängige Anodenbereich 62 in jedem Diodenzellenbereich 69 gebildet, wie in **Fig.** 24 gezeigt.

**[0267]** Danach wird durch Ausführen der gleichen Schritte wie in **Fig.** 10C bis **Fig.** 10R die Halbleitervorrichtung 1 wie in **Fig.** 24 und **Fig.** 25 gezeigt hergestellt.

**[0268]** **Fig.** 27A und **Fig.** 27B sind jeweils eine Querschnittsansicht eines Bereichs, der **Fig.** 24 und **Fig.** 25 entspricht, und eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 24 und **Fig.** 25 zeigt. Was die Herstellung der in **Fig.** 24 und **Fig.** 25 gezeigten Halbleitervor-

richtung 1 betrifft, können die Schritte von **Fig.** 27A und **Fig.** 27B zusätzlich zu den Schritten von **Fig.** 26A bis **Fig.** 26C angewendet werden. In diesem Fall können beispielsweise die Schritte von **Fig.** 27A und **Fig.** 27B zwischen dem Schritt von **Fig.** 10E und dem Schritt von **Fig.** 10F hinzugefügt werden.

**[0269]** Beispielsweise wird im Schritt von **Fig.** 10E, nachdem die Gate-Elektrodenschicht 41, die zellentrennende Elektrodenschicht 66 usw. gebildet wurden, wie in **Fig.** 27A gezeigt, der p-Typ-Anodenbereich 62 im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst eine Ioneneinführungsmaske 172 mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Ioneneinführungsmaske 172 weist eine Vielzahl von Öffnungen 172A auf, die den Diodenbereich 9 freilegen. Als Nächstes wird eine p-Typ-Verunreinigung über die Ioneneinführungsmaske 172 in den Halbleiterwafer 162 eingebracht. Dadurch wird der Anodenbereich 62 im Oberflächenschichtabschnitt der ersten Hauptoberfläche 3 jedes Diodenzellenbereichs 69 gebildet. Danach wird die Ioneneinführungsmaske 172 entfernt.

**[0270]** Als Nächstes werden, mit Bezug auf **Fig.** 27B, die Vielzahl von Anodenbereichen 62 durch eine Wärmebehandlung in dem Halbleiterwafer 162 diffundiert. Dabei dehnt sich jeder Anodenbereich 62 entlang der Seitenwände des zellentrennenden Grabens 64 in Richtung der zweiten Hauptoberfläche 4 (vertikale Richtung) aus und dehnt sich außerdem entlang der ersten Hauptoberfläche 3 in Richtung des zellentrennenden Grabens 64 (horizontale Richtung) aus. Die Bodenwand des zellentrennenden Grabens 64 wird dadurch von dem Anodenbereich 62 bedeckt. Auch zu diesem Zeitpunkt können, wie bei dem Schritt von **Fig.** 26C, der Anodenbereich 62 von **Fig.** 24 und der Anodenbereich 62 von **Fig.** 25 durch Einstellen der Diffusionszeit separat hergestellt werden.

**[0271]** Danach wird durch Ausführen der gleichen Schritte wie in **Fig.** 10F bis **Fig.** 10R die Halbleitervorrichtung 1 wie in **Fig.** 24 und **Fig.** 25 gezeigt hergestellt.

**[0272]** Wie vorstehend beschrieben, ist gemäß der Verbesserten Struktur 1-1 der Anodenbereich 62 tiefer ausgebildet als die Bodenwand des zellentrennenden Grabens 64, wodurch die Bodenwand des zellentrennenden Grabens 64 durch den Anodenbereich 62 bedeckt ist. Der pn-Übergangsabschnitt 68 greift dadurch über die Bodenwand des benachbarten zellentrennenden Grabens 64 aus. Daher kann beispielsweise, wie in der Grundstruktur 1 von **Fig.** 8 und der Grundstruktur 2 von **Fig.** 15 ersichtlich, im Vergleich zu einem Fall, in dem der pn-Übergangsabschnitt 68 die Seitenwände der zueinander benachbarten zellentrennenden Gräben 64 verbindet, ein Bereich des pn-Übergangsabschnitts 68 in der Struktur von **Fig.** 24 und **Fig.** 25 umfassend abgesichert werden. Infolgedessen ist es möglich, Träger aus dem Anodenbereich 62 mit einer großen Fläche zum Zeitpunkt der Rückgewinnung zurückzugewinnen, und es ist daher möglich, die Rückgewinnung der Träger zu fördern und einen Rückgewinnungsverlust zu verringern.

(2) Verbesserte Struktur 1-2

**[0273]** **Fig.** 28 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-2 der Halbleitervorrichtung 1 zeigt. **Fig.** 29 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-2 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 28 und **Fig.** 29 sind jeweils eine Querschnittsansicht entsprechend **Fig.** 15.

**[0274]** **Fig.** 28 zeigt die Halbleitervorrichtung 1, bei der die Struktur des Anodenbereichs 62 von **Fig.** 24, die vorstehend beschrieben ist, auf den Diodenbereich 9 der Halbleitervorrichtung 1 der Grundstruktur 2 in **Fig.** 15 angewendet wird. **Fig.** 29 zeigt die Halbleitervorrichtung 1, bei der die Struktur des Anodenbereichs 62 von **Fig.** 25, die vorstehend beschrieben ist, auf den Diodenbereich 9 der Halbleitervorrichtung 1 der Grundstruktur 2 in **Fig.** 15 angewendet wird. Das heißt, dass der in **Fig.** 24 und **Fig.** 25 gezeigte Anodenbereich 62 auch auf die Halbleitervorrichtung 1 anwendbar ist, die den schwebenden Bereich 52 aufweist.

**[0275]** **Fig.** 30A bis **Fig.** 30C sind jeweils eine Querschnittsansicht eines Bereichs, der **Fig.** 28 und **Fig.** 29 entspricht, und eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 28 und **Fig.** 29 zeigt. Was die Herstellung der in **Fig.** 28 und **Fig.** 29 gezeigten Halbleitervorrichtung 1 betrifft, können beispielsweise die vorstehend genannten Schritte von **Fig.** 10A und **Fig.** 10B durch die Schritte von **Fig.** 30A bis **Fig.** 30C ersetzt werden.

**[0276]** Zuerst werden, mit Bezug auf **Fig.** 30A, nachdem der Vorrichtungsbildungsbereich 165 auf dem Halbleiterwafer 162 festgelegt worden ist, die Vielzahl von schwebenden Bereichen 52 vom $p^+$-Typ im IGBT-Bereich 8 gebildet und der p-Typ-Anodenbereich 62 wird im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst eine Ioneneinführungsmaske 173 mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Ioneneinführungsmaske 173 weist eine Vielzahl von Öffnungen 173A auf, die jeweils Bereiche freilegen, in

denen die Vielzahl von schwebenden Bereichen 52 gebildet werden sollen, und Bereiche, in denen die Vielzahl von Anodenbereichen 62 gebildet werden soll.

**[0277]** Als Nächstes wird eine p-Typ-Verunreinigung über die Ioneneinführungsmaske 173 in den Halbleiterwafer 162 eingebracht. Dadurch werden die Vielzahl von schwebenden Bereichen 52 im IGBT-Bereich 8 gebildet und die Vielzahl von Anodenbereichen 62 werden im Diodenbereich 9 gebildet. Danach wird die Ioneneinführungsmaske 173 entfernt.

**[0278]** Als Nächstes werden mit Bezug auf **Fig.** 30B der Gate-Graben 39 und der bereichstrennende Graben 54 im IGBT-Bereich 8 gebildet und der zellentrennende Graben 64 wird im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst die Hartmaske 160, die mit der in **Fig.** 17B identisch ist, auf der ersten Waferhauptoberfläche 163 gebildet. Anschließend werden die nicht benötigten Abschnitte des Halbleiterwafers 162 durch ein Ätzverfahren über die Hartmaske 160 entfernt. Dadurch werden der Gate-Graben 39 und der bereichstrennende Graben 54 im IGBT-Bereich 8 gebildet und der zellentrennende Graben 64 wird im Diodenbereich 9 gebildet.

**[0279]** Als Nächstes werden, mit Bezug auf **Fig.** 30C, die Vielzahl von schwebenden Bereichen 52 und die Vielzahl von Anodenbereichen 62 durch eine Wärmebehandlung in dem Halbleiterwafer 162 diffundiert. Dadurch dehnen sich jeder schwebende Bereich 52 und jeder Anodenbereich 62 in eine Richtung hin zur zweiten Hauptoberfläche 4 (vertikale Richtung) und auch in eine Richtung hin zur ersten Hauptoberfläche 3 (horizontale Richtung) aus. Dabei wird die Bodenwand des bereichstrennenden Grabens 54 durch den schwebenden Bereich 52 bedeckt und die Bodenwand des zellentrennenden Grabens 64 wird durch den Anodenbereich 62 bedeckt.

**[0280]** Danach wird durch Ausführen der gleichen Schritte wie in **Fig.** 10C bis **Fig.** 10R die Halbleitervorrichtung 1 wie in **Fig.** 28 und **Fig.** 29 gezeigt hergestellt.

**[0281]** Es wird darauf hingewiesen, dass die in **Fig.** 30A bis **Fig.** 30B gezeigten Schritte auf einen Fall angewendet werden, bei dem ein Zielwert der Verunreinigungskonzentration des schwebenden Bereichs 52 und der des Anodenbereichs 62 miteinander identisch sind. Das heißt, wenn der schwebende Bereich 52 und der Anodenbereich 62 miteinander identische Verunreinigungskonzentrationen aufweisen, können sie im selben Schritt gebildet werden. Wenn andererseits die schwebende Bereich 52 eine höhere Verunreinigungskonzentration aufweist als der Anodenbereich 62, kann der Schritt von **Fig.** 17A zum Bilden des schwebenden Bereichs 52 getrennt von dem Schritt von **Fig.** 26A zum Bilden des Anodenbereichs 62 ausgeführt werden.

**[0282]** Wie vorstehend beschrieben, ist die Verbesserte Struktur 1-2 auch in der Lage, einen Bereich des pn-Übergangsabschnitts 68 umfassend abzusichern, wie die Verbesserte Struktur 1-1. Infolgedessen ist es möglich, Träger aus dem Anodenbereich 62 mit einer großen Fläche zum Zeitpunkt der Rückgewinnung zurückzugewinnen, und es ist daher möglich, die Rückgewinnung der Träger zu fördern und einen Rückgewinnungsverlust zu verringern.

**[0283]** Auch wenn der schwebende Bereich 52 und der Anodenbereich 62 in der Verbesserten Struktur 1-2 die gleiche Verunreinigungskonzentration aufweisen, können diese Bereiche 52, 62 im selben Schritt gebildet werden. Daher können die Schritte zur Herstellung der Halbleitervorrichtung 1 vereinfacht werden.

(3) Verbesserte Struktur 1-3

**[0284]** **Fig.** 31 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-3 der Halbleitervorrichtung 1 zeigt. **Fig.** 32 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-3 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 31 und **Fig.** 32 sind Querschnittsansichten, die jeweils **Fig.** 24 und **Fig.** 25 entsprechen.

**[0285]** In der Halbleitervorrichtung 1 von **Fig.** 31 ist im Vergleich zu der Struktur von **Fig.** 24 ein Abstand (zweiter Abstand P2) zwischen den beiden zueinander benachbarten zellentrennenden Strukturen 63 größer als ein Abstand (erster Abstand P1) zwischen der Graben-Gate-Struktur 36 und der Emittergrabenstruktur 73. Beispielsweise kann der zweite Abstand P2 nicht weniger als 2,0-mal und nicht mehr als 3,0-mal größer sein als der erste Abstand P1. Insbesondere kann der erste Abstand P1 nicht weniger als 1,2 µm und nicht mehr als 3,5 µm betragen und der zweite Abstand P2 kann ggf. nicht weniger als 2,4 µm und nicht mehr als 10,5 µm betragen.

**[0286]** In der in **Fig.** 32 gezeigten Halbleitervorrichtung 1 ist im Vergleich zu der Struktur von **Fig.** 25 der Abstand (zweiter Abstand P2) zwischen den beiden zueinander benachbarten zellentrennenden Strukturen 63 größer ausgelegt als der Abstand (erster Abstand P1) zwischen den beiden Graben-Gate-Strukturen 36 und den Emittergrabenstrukturen 73. Beispielsweise kann der zweite Abstand P2 nicht weniger als 2,0-mal und nicht mehr als 3,0-mal größer als der erste Abstand P1 sein. Insbesondere kann der erste Abstand P1 nicht weniger als 1,2 µm

und nicht mehr als 3,5 µm betragen und der zweite Abstand P2 kann ggf. nicht weniger als 2,4 µm und nicht mehr als 10,5 µm betragen.

**[0287]** Wie vorstehend beschrieben, ist die Verbesserte Struktur 1-3 auch in der Lage, einen Bereich des pn-Übergangsabschnitts 68 umfassend abzusichern, wie die Verbesserte Struktur 1-1. Infolgedessen ist es möglich, Träger aus dem Anodenbereich 62 mit einer großen Fläche zum Zeitpunkt der Rückgewinnung zurückzugewinnen, und es ist daher möglich, die Rückgewinnung der Träger zu fördern und einen Rückgewinnungsverlust zu verringern.

**[0288]** Außerdem ist es in der Verbesserten Struktur 1-3 durch Festlegen eines Verhältnisses zweiter Abstand P2 > erster Abstand P1 möglich, einen Bereich des Anodenbereichs 62 zu vergrößern, der zwischen den zueinander benachbarten zellentrennenden Gräben 64 zur ersten Hauptoberfläche 3 hin freiliegt. Dadurch ist es möglich, einen Bereich des Anodenkontakts der pn-Übergangsdiode D umfassend abzusichern. Infolgedessen ist es möglich, die Trägerspeicherungseffekte zum Zeitpunkt der Rückgewinnung abzuschwächen, und daher ist es möglich, einen Rückgewinnungsverlust zu verringern.

(4) Verbesserte Struktur 1-4

**[0289]** **Fig.** 33 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-4 der Halbleitervorrichtung 1 zeigt. **Fig.** 34 ist eine schematische Querschnittsansicht, die die Verbesserte Struktur 1-4 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 33 und **Fig.** 34 sind Querschnittsansichten, die jeweils **Fig.** 28 und **Fig.** 29 entsprechen.

**[0290]** In der in **Fig.** 33 gezeigten Halbleitervorrichtung 1 ist im Vergleich zu der Struktur von **Fig.** 28 ein Abstand (zweiter Abstand P2) zwischen den beiden zueinander benachbarten zellentrennenden Strukturen 63 größer ausgelegt als ein Abstand (erster Abstand P1) zwischen der Graben-Gate-Struktur 36 und der bereichstrennenden Grabenstruktur 53. Beispielsweise kann der zweite Abstand P2 nicht weniger als 2,0-mal und nicht mehr als 3,0-mal größer als der erste Abstand P1 sein. Insbesondere kann der erste Abstand P1 nicht weniger als 1,2 µm und nicht mehr als 3,5 µm betragen und der zweite Abstand P2 kann ggf. nicht weniger als 2,4 µm und nicht mehr als 10,5 µm betragen.

**[0291]** In der in **Fig.** 34 gezeigten Halbleitervorrichtung 1 ist im Vergleich zu der Struktur von **Fig.** 29 ein Abstand (zweiter Abstand P2) zwischen den beiden zueinander benachbarten zellentrennenden Strukturen 63 größer ausgelegt als ein Abstand (erster Abstand P1) zwischen den beiden Graben-Gate-Strukturen 36 und den bereichstrennenden Grabenstrukturen 53. Beispielsweise kann der zweite Abstand P2 nicht weniger als 2,0-mal und nicht mehr als 3,0-mal größer als der erste Abstand P1 sein. Insbesondere kann der erste Abstand P1 nicht weniger als 1,2 µm und nicht mehr als 3,5 µm betragen und der zweite Abstand P2 kann ggf. nicht weniger als 2,4 µm und nicht mehr als 10,5 µm betragen.

**[0292]** Wie vorstehend beschrieben, ist die Verbesserte Struktur 1-4 auch in der Lage, einen Bereich des pn-Übergangsabschnitts 68 umfassend abzusichern, wie die Verbesserte Struktur 1-1. Infolgedessen ist es möglich, Träger aus dem Anodenbereich 62 mit einer großen Fläche zum Zeitpunkt der Rückgewinnung zurückzugewinnen, und es ist daher möglich, die Rückgewinnung der Träger zu fördern und einen Rückgewinnungsverlust zu verringern.

**[0293]** Außerdem ist es in der Verbesserten Struktur 1-4 durch Festlegen eines Verhältnisses zweiter Abstand P2 > erster Abstand P1 möglich, einen Bereich des Anodenbereichs 62 zu vergrößern, der zwischen den zueinander benachbarten zellentrennenden Gräben 64 zur ersten Hauptoberfläche 3 hin freiliegt. Dadurch ist es möglich, einen Bereich des Anodenkontakts der pn-Übergangsdiode D umfassend abzusichern. Infolgedessen ist es möglich, die Trägerspeicherungseffekte zum Zeitpunkt der Rückgewinnung abzuschwächen, und daher ist es möglich, einen Rückgewinnungsverlust zu verringern.

[Verbesserte Struktur 2 der Halbleitervorrichtung 1]

(1) Verbesserte Struktur 2-1

**[0294]** **Fig.** 35 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 2-1 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 35 ist eine Querschnittsansicht entsprechend **Fig.** 25.

**[0295]** In der Verbesserten Struktur 2-1 wird eine $p^-$-Typ-Graben-Bodenabschnitts-Verunreinigungsstruktur 87 als Beispiel für den dritten Verunreinigungsbereich selektiv an Bodenabschnitten des Gate-Grabens 39 und des Emittergrabens 74 gebildet. Eine p-Typ-Verunreinigungskonzentration der Graben-Bodenabschnitts-Verunreinigungsstruktur 87 kann ggf. nicht höher sein als die p-Typ-Verunreinigungskonzentration des Körperbereichs 45. Die p-Typ-Verunreinigungskonzentration der Graben-Bodenabschnitts-Verunreinigungsstruktur 87 kann die gleiche sein wie die p-Typ-Verunreinigungskonzentration des Anodenbereichs 62. Die p-Typ-Verunreini-

gungskonzentration der Graben-Bodenabschnitts-Verunreinigungsstruktur 87 ist vorzugsweise geringer als die p-Typ-Verunreinigungskonzentration des Körperbereichs 45. Die p-Typ-Verunreinigungskonzentration der Graben-Bodenabschnitts-Verunreinigungsstruktur 87 kann ggf. nicht weniger als $1{,}0\times10^{15}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{18}$ $cm^{-3}$ betragen.

**[0296]** In jedem Gate-Graben 39 und in jedem Emittergraben 74 ist jeweils eine der Graben-Bodenabschnitts-Verunreinigungsstrukturen 87 so ausgebildet, dass sie jeweils physisch unabhängig sind. Die Graben-Bodenabschnitts-Verunreinigungsstruktur 87 bedeckt eine Bodenwand des Gate-Grabens 39 und die des Emittergrabens 74 sowie einen Teil einer Seitenwand in der Nähe der Bodenwand. Die Graben-Bodenabschnitts-Verunreinigungsstruktur 87 steht in einer halbkreisförmigen oder halbelliptischen Form vom Bodenabschnitt jedes Gate-Grabens 39 und jedes Emittergrabens 74 in Richtung der Seite der zweiten Hauptoberfläche 4 hervor. Eine Tiefenposition der Graben-Bodenabschnitts-Verunreinigungsstruktur 87 kann beispielsweise nicht weniger als 5,0 µm und nicht mehr als 8,0 µm von der ersten Hauptoberfläche 3 sein. Außerdem kann die Graben-Bodenabschnitts-Verunreinigungsstruktur 87 in einer länglichen Form ausgebildet sein, bei der eine Länge L1 in der Normalenrichtung Z größer ist als die Breite W1 in der ersten Richtung X.

**[0297]** Der zweite Abschnitt 58 des Anodenbereichs 62 schließt einen $p^-$-Typ-Vorsprungsabschnitt 88 ein, der auf der Seite der zweiten Hauptoberflächenseite 4 hervorsteht. Eine p-Typ-Verunreinigungskonzentration des Vorsprungsabschnitts 88 kann ggf. nicht größer sein als die p-Typ-Verunreinigungskonzentration des Körperbereichs 45. Die p-Typ-Verunreinigungskonzentration des Vorsprungsabschnitts 88 kann die gleiche sein wie die p-Typ-Verunreinigungskonzentration des Anodenbereichs 62. Die p-Typ-Verunreinigungskonzentration des Vorsprungsabschnitts 88 kann die gleiche sein wie die p-Typ-Verunreinigungskonzentration der Graben-Bodenabschnitts-Verunreinigungsstruktur 87. Die p-Typ-Verunreinigungskonzentration des Vorsprungsabschnitts 88 ist vorzugsweise geringer als die p-Typ-Verunreinigungskonzentration des Körperbereichs 45. Die p-Typ-Verunreinigungskonzentration des Vorsprungsabschnitts 88 kann ggf. nicht weniger als $1{,}0\times10^{15}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{18}$ $cm^{-3}$ betragen. In dieser bevorzugten Ausführungsform ist jeweils einer der Vorsprungsabschnitte 88 direkt unter jedem zellentrennenden Graben 64 so ausgebildet, dass sie einzeln physisch unabhängig sind. Der Vorsprungsabschnitt 88 steht in einer halbkreisförmigen oder halbelliptischen Form von einem Bodenabschnitt des zweiten Abschnitts 58 des Anodenbereichs 62 in Richtung der Seite der zweiten Hauptoberfläche 4 hervor. Eine Tiefenposition des Vorsprungsabschnitts 88 kann beispielsweise nicht weniger als 5,0 µm und nicht mehr als 8,0 µm von der ersten Hauptoberfläche 3 sein. Die Tiefenposition des Vorsprungsabschnitts 88 kann die gleiche sein wie die Tiefenposition der Graben-Bodenabschnitts-Verunreinigungsstruktur 87. Außerdem kann der Vorsprungsabschnitt 88 die Breite W2 aufweisen, die größer ist als die Breite des zellentrennenden Grabens 64.

**[0298]** Der Vorsprungsabschnitt 88 weist eine Mesa-Form auf, die sich in Bezug auf den zweiten Abschnitt 58 (den Basisabschnitt 77) des Anodenbereichs 62 bogenförmig wölbt und sich so erstreckt, dass sie die Vielzahl von zellentrennenden Gräben 64 kontinuierlich kreuzt, und kann daher als Mesa-Bereich 89 bezeichnet werden.

**[0299]** Der zweite Abschnitt 58 des Anodenbereichs 62 weist ferner zwischen den zueinander benachbarten Vorsprungsabschnitten 88 einen gekrümmten Abschnitt 90 auf. Der gekrümmte Abschnitt 90 ist in einer gekrümmten Form ausgebildet, die in Richtung der Seite der zweiten Hauptoberfläche 4 erhöht ist und die beiden Endabschnitte der zueinander benachbarten Vorsprungsabschnitte 88 (Mesa-Bereiche 89) verbindet. Beispielsweise ist ein Vorsprungsbetrag in Bezug auf eine Referenzlinie L, die Verbindungspunkte zwischen dem Vorsprungsabschnitt 88 und dem gekrümmten Abschnitt 90 entlang der ersten Hauptoberfläche 3 verbindet, am Vorsprungsabschnitt 88 größer ausgelegt als am gekrümmten Abschnitt 90.

**[0300]** **Fig.** 36A bis **Fig.** 36E sind jeweils eine Querschnittsansicht eines Bereichs, der **Fig.** 35 entspricht, und eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 35 zeigt. Was die Herstellung der Halbleitervorrichtung 1 von **Fig.** 35 betrifft, können beispielsweise die vorstehend beschriebenen Schritte von **Fig.** 10A und **Fig.** 10B durch die Schritte von **Fig.** 36A bis **Fig.** 36E ersetzt werden.

**[0301]** Zuerst wird, unter Bezugnahme auf **Fig.** 36A, nachdem der Vorrichtungsbildungsbereich 165 auf dem Halbleiterwafer 162 festgelegt worden ist, der p-Typ-Anodenbereich 62 im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst die Ioneneinführungsmaske 161, die mit der in **Fig.** 26A identisch ist, auf der ersten Waferhauptoberfläche 163 gebildet. Die Ioneneinführungsmaske 161 weist die Vielzahl von Öffnungen 161A auf, die jeweils Bereiche freigeben, in denen die Vielzahl von Anodenbereichen 62 gebildet werden sollen. Die Bereiche, in denen die Vielzahl von Anodenbereichen 62 gebildet werden soll, können kleiner sein als beispielsweise ein Bereich, in dem der Diodenzellenbereich 69 gebildet wird.

**[0302]** Als Nächstes wird eine p-Typ-Verunreinigung über die Ioneneinführungsmaske 161 in den Halbleiterwafer 162 eingebracht. Dadurch werden die Vielzahl von Anodenbereichen 62 im Diodenbereich 9 gebildet. An diesem Punkt sind die Vielzahl von Anodenbereichen 62 physisch voneinander getrennt. Danach wird die Ioneneinführungsmaske 161 entfernt.

**[0303]** Als Nächstes werden mit Bezug auf **Fig.** 36B der Gate-Graben 39 und der Emittergraben 74 im IGBT-Bereich 8 gebildet und der zellentrennende Graben 64 wird im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst die Hartmaske 167, die mit der in **Fig.** 10B identisch ist, auf der ersten Waferhauptoberfläche 163 gebildet. Die Öffnung 167A der Hartmaske 167 legt einen Bereich zwischen der Vielzahl von zueinander benachbarten Anodenbereichen 62 frei. Anschließend werden die nicht benötigten Abschnitte des Halbleiterwafers 162 durch ein Ätzverfahren über die Hartmaske 167 entfernt. Dadurch werden der Gate-Graben 39 und der Emittergraben 74 im IGBT-Bereich 8 gebildet und der zellentrennende Graben 64 wird im Diodenbereich 9 gebildet. Der zellentrennende Graben 64 kann in einem Abstand von jedem Anodenbereich 62 gebildet werden. Danach wird die Hartmaske 167 entfernt.

**[0304]** Als Nächstes wird mit Bezug auf **Fig.** 36C eine Opferisolierschicht 174 in einer Innenoberfläche des Gate-Grabens 39, einer Innenoberfläche des Emittergrabens 74, einer Innenoberfläche des zellentrennenden Grabens 64 und in der ersten Waferhauptoberfläche 163 gebildet. Die Opferisolierschicht 174 kann durch ein CVD-Verfahren (chemische Gasphasenabscheidung) oder ein Oxidationsbehandlungsverfahren (beispielsweise ein thermisches Oxidationsbehandlungsverfahren) gebildet werden.

**[0305]** Als Nächstes wird, mit Bezug auf **Fig.** 36D, die Graben-Bodenabschnitts-Verunreinigungsstruktur 87 gebildet. In diesem Schritt wird zunächst eine Ioneneinführungsmaske (nicht gezeigt) mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Ioneneinführungsmaske weist eine Vielzahl von Öffnungen auf, die dem Gate-Graben 39, dem Emittergraben 74 und dem zellentrennenden Graben 64 entsprechen. Als Nächstes wird eine p-Typ-Verunreinigung über die Ioneneinführungsmaske in den Halbleiterwafer 162 eingebracht. Dadurch wird in jedem der Bodenabschnitte des Gate-Grabens 39, des Emittergrabens 74 und des zellentrennenden Grabens 64 die Graben-Bodenabschnitts-Verunreinigungsstruktur 87 gebildet. Danach wird die Ioneneinführungsmaske entfernt.

**[0306]** Als Nächstes werden, mit Bezug auf **Fig.** 36E, die Vielzahl von Anodenbereichen 62 durch eine Wärmebehandlung in den Halbleiterwafer 162 diffundiert. Dabei dehnt sich jeder Anodenbereich 62 entlang der Seitenwände des zellentrennenden Grabens 64 in Richtung der zweiten Hauptoberfläche 4 (vertikale Richtung) aus und dehnt sich außerdem entlang der ersten Hauptoberfläche 3 in Richtung des zellentrennenden Grabens 64 (horizontale Richtung) aus. Die Bodenwand des zellentrennenden Grabens 64 wird dadurch von dem Anodenbereich 62 bedeckt. Zu diesem Zeitpunkt wird im Diodenbereich 9 der diffundierte Anodenbereich 62 mit der Graben-Bodenabschnitts-Verunreinigungsstruktur 87 integriert, und die Graben-Bodenabschnitts-Verunreinigungsstruktur 87 wird als Vorsprungsabschnitt 88 (Mesa-Bereich 89) bereitgestellt.

**[0307]** Danach wird durch Ausführen der gleichen Schritte wie in **Fig.** 10C bis **Fig.** 10R die Halbleitervorrichtung 1 wie in **Fig.** 35 gezeigt hergestellt.

**[0308]** Es wird darauf hingewiesen, dass in den Schritten von **Fig.** 36A bis **Fig.** 36E, obwohl die Schritte von **Fig.** 26A bis **Fig.** 26C als Verfahren zum Bilden des Anodenbereichs 62 übernommen werden, der Anodenbereich 62 gemäß den Schritten von **Fig.** 27A und **Fig.** 27B gebildet werden kann.

**[0309]** Wie vorstehend beschrieben, ist die Verbesserte Struktur 2-1 auch in der Lage, einen Bereich des pn-Übergangsabschnitts 68 umfassend abzusichern, wie die Verbesserte Struktur 1-1. Ferner ist in der Verbesserten Struktur 2-1 der Vorsprungsabschnitt 88 (Mesa-Bereich 89) im Anodenbereich 62 ausgebildet und der Vorsprungsabschnitt 88 bildet außerdem den pn-Übergangsabschnitt 68 mit dem Driftbereich 30. Dadurch kann der Bereich des pn-Übergangsabschnitts 68 umfassender abgesichert werden. Infolgedessen ist es möglich, Träger aus dem Anodenbereich 62 mit einer großen Fläche zum Zeitpunkt der Rückgewinnung zurückzugewinnen, und es ist daher möglich, die Rückgewinnung der Träger zu fördern und einen Rückgewinnungsverlust zu verringern.

(2) Verbesserte Struktur 2-2

**[0310]** **Fig.** 37 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 2-2 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 37 ist eine Querschnittsansicht entsprechend **Fig.** 29.

**[0311]** **Fig.** 37 zeigt die Halbleitervorrichtung 1, bei der die Struktur des Anodenbereichs 62 von **Fig.** 35,

wie vorstehend beschrieben, auf den Diodenbereich 9 der Halbleitervorrichtung 1 der in **Fig.** 29 gezeigten Verbesserten Struktur 1-2 angewendet wird. Das heißt, dass der in **Fig.** 35 gezeigte Anodenbereich 62 auch auf die Halbleitervorrichtung 1 anwendbar ist, die den schwebenden Bereich 52 aufweist.

**[0312]** Wie vorstehend beschrieben, ist diese Verbesserte Struktur 2-2 auch in der Lage, einen Bereich des pn-Übergangsabschnitts 68 umfassend abzusichern, wie die Verbesserte Struktur 2-1. Infolgedessen ist es möglich, Träger aus dem Anodenbereich 62 mit einer großen Fläche zum Zeitpunkt der Rückgewinnung zurückzugewinnen, und es ist daher möglich, die Rückgewinnung der Träger zu fördern und einen Rückgewinnungsverlust zu verringern.

(3) Verbesserte Struktur 2-3

**[0313] Fig.** 38 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 2-3 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 38 ist eine Querschnittsansicht entsprechend **Fig.** 35.

**[0314]** In der in **Fig.** 38 gezeigten Halbleitervorrichtung 1 ist im Vergleich zu der Struktur von **Fig.** 35 ein Abstand (zweiter Abstand P2) zwischen den beiden zueinander benachbarten zellentrennenden Strukturen 63 größer ausgelegt als ein Abstand (erster Abstand P1) zwischen den beiden Graben-Gate-Strukturen 36 und den Emittergrabenstrukturen 73. Beispielsweise kann der zweite Abstand P2 nicht weniger als 2,0-mal und nicht mehr als 3,0-mal größer als der erste Abstand P1 sein. Insbesondere kann der erste Abstand P1 nicht weniger als 1,2 µm und nicht mehr als 3,5 µm betragen und der zweite Abstand P2 kann ggf. nicht weniger als 2,4 µm und nicht mehr als 10,5 µm betragen.

**[0315]** Wie vorstehend beschrieben, ist die Verbesserte Struktur 2-3 auch in der Lage, einen Bereich des pn-Übergangsabschnitts 68 umfassend abzusichern, wie die Verbesserte Struktur 2-1. Infolgedessen ist es möglich, Träger aus dem Anodenbereich 62 mit einer großen Fläche zum Zeitpunkt der Rückgewinnung zurückzugewinnen, und es ist daher möglich, die Rückgewinnung der Träger zu fördern und einen Rückgewinnungsverlust zu verringern.

**[0316]** Außerdem ist es in der Verbesserten Struktur 2-3 durch Festlegen eines Verhältnisses zweiter Abstand P2 > erster Abstand P1 möglich, einen Bereich des Anodenbereichs 62 zu vergrößern, der zwischen den zueinander benachbarten zellentrennenden Gräben 64 zur ersten Hauptoberfläche 3 hin freiliegt. Dadurch ist es möglich, einen Bereich des Anodenkontakts der pn-Übergangsdiode D umfassend abzusichern. Infolgedessen ist es möglich, die Trägerspeicherungseffekte zum Zeitpunkt der Rückgewinnung abzuschwächen, und daher ist es möglich, einen Rückgewinnungsverlust zu verringern.

(4) Verbesserte Struktur 2-4

**[0317] Fig.** 39 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 2-4 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 39 ist eine Querschnittsansicht entsprechend **Fig.** 37.

**[0318]** In der Halbleitervorrichtung 1 von **Fig.** 39 ist im Vergleich zu der Struktur von **Fig.** 37 ein Abstand (zweiter Abstand P2) zwischen den beiden zueinander benachbarten zellentrennenden Strukturen 63 größer ausgelegt als ein Abstand (erster Abstand P1) zwischen den beiden Graben-Gate-Strukturen 36 und den bereichstrennenden Grabenstrukturen 53. Beispielsweise kann der zweite Abstand P2 nicht weniger als 2,0-mal und nicht mehr als 3,0-mal größer als der erste Abstand P1 sein. Insbesondere kann der erste Abstand P1 nicht weniger als 1,2 µm und nicht mehr als 3,5 µm betragen und der zweite Abstand P2 kann ggf. nicht weniger als 2,4 µm und nicht mehr als 10,5 µm betragen.

**[0319]** Wie vorstehend beschrieben, ist die Verbesserte Struktur 2-4 auch in der Lage, einen Bereich des pn-Übergangsabschnitts 68 umfassend abzusichern, wie die Verbesserte Struktur 2-1. Infolgedessen ist es möglich, Träger aus dem Anodenbereich 62 mit einer großen Fläche zum Zeitpunkt der Rückgewinnung zurückzugewinnen, und es ist daher möglich, die Rückgewinnung der Träger zu fördern und einen Rückgewinnungsverlust zu verringern.

**[0320]** Außerdem ist es in der Verbesserten Struktur 2-4 durch Festlegen eines Verhältnisses zweiter Abstand P2 > erster Abstand P1 möglich, einen Bereich des Anodenbereichs 62 zu vergrößern, der zwischen den zueinander benachbarten zellentrennenden Gräben 64 zur ersten Hauptoberfläche 3 hin freiliegt. Dadurch ist es möglich, einen Bereich des Anodenkontakts der pn-Übergangsdiode D umfassend abzusichern. Infolgedessen ist es möglich, die Trägerspeicherungseffekte zum Zeitpunkt der Rückgewinnung abzuschwächen, und daher ist es möglich, einen Rückgewinnungsverlust zu verringern.

[Verbesserte Struktur 3 der Halbleitervorrichtung 1]

(1) Verbesserte Struktur 3-1

**[0321]** **Fig.** 40 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 3-1 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 40 ist eine Querschnittsansicht entsprechend **Fig.** 25.

**[0322]** In der Verbesserten Struktur 3-1 schließt der Anodenbereich 62 einen geneigten Abschnitt 95 und einen flachen Abschnitt 96 vollständig ein. Der geneigte Abschnitt 95 ist nach unten zu einer Position geneigt, die tiefer liegt als die Bodenwand des zellentrennenden Grabens 64 in einer Richtung weg vom IGBT-Bereich 8 von der Seitenwand mindestens eines der zellentrennenden Gräben 64 () in Richtung der zweiten Hauptoberfläche 4. In dieser bevorzugten Ausführungsform ist er nach unten in Richtung der zweiten Hauptoberfläche 4 geneigt, wobei der zellentrennende Graben 64 neben der Abschluss-Emittergrabenstruktur 73A (der zellentrennende Graben 64, der unter der Vielzahl von zellentrennenden Gräben 64 dem IGBT-Bereich 8 am nächsten ist) als Startpunkt 97 gegeben ist. Der geneigte Abschnitt 95 kann ein gekrümmter Abschnitt sein, der in Kreisbogenform in Richtung des IGBT-Bereichs 8 gekrümmt ist.

**[0323]** Außerdem kann der geneigte Abschnitt 95 durch den zellentrennenden Graben 64 unterteilt sein. In dieser bevorzugten Ausführungsform wird er durch den zellentrennenden Graben 64 neben dem zellentrennenden Graben 64 geteilt, der den Startpunkt 97 des geneigten Abschnitts 95 bildet. Dadurch wird zwischen den zellentrennenden Gräben 64, die nahe dem IGBT-Bereich 8 zueinander benachbart sind, der Anodenbereich 62 gebildet, der zur zweiten Hauptoberfläche 4 hin nach unten geneigt ist und auch die Seitenwände des zellentrennenden Grabens 64 verbindet. Der Anodenbereich 62 weist einen Bodenabschnitt auf, der in Bezug auf die erste Hauptoberfläche 3 geneigt ist, und kann daher als geneigter Anodenbereich 62A bezeichnet werden.

**[0324]** Der flache Abschnitt 96 setzt sich bis zu einem unteren Ende 98 des geneigten Abschnitts 95 fort, erstreckt sich entlang der ersten Hauptoberfläche 3 und bedeckt die Bodenwände der Vielzahl von zellentrennenden Gräben 64 von der Seite der zweiten Hauptoberfläche 4 aus vollständig. Ein Bodenabschnitt 99 des flachen Abschnitts 96 kann im Wesentlichen parallel zur ersten Hauptoberfläche 3 sein.

**[0325]** **Fig.** 41A bis **Fig.** 41C sind jeweils eine Querschnittsansicht eines Bereichs, der **Fig.** 40 entspricht, und eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 40 zeigt. Was die Herstellung der Halbleitervorrichtung 1 von **Fig.** 40 betrifft, können beispielsweise die vorstehend beschriebenen Schritte von **Fig.** 10A und **Fig.** 10B durch die Schritte von **Fig.** 41A bis **Fig.** 41C ersetzt werden.

**[0326]** Zuerst wird, unter Bezugnahme auf **Fig.** 41A, nachdem der Vorrichtungsbildungsbereich 165 auf dem Halbleiterwafer 162 festgelegt worden ist, ein p-Typ-Verunreinigungseinführungsbereich 100 im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst eine Ioneneinführungsmaske 175, die mit der in **Fig.** 26A identisch ist, auf der ersten Waferhauptoberfläche 163 gebildet. Die Ioneneinführungsmaske 175 weist eine Vielzahl von Öffnungen 175A auf, die jeweils Bereiche freigeben, in denen die Vielzahl von Verunreinigungseinführungsbereichen 100 gebildet werden sollen. Als Nächstes wird eine p-Typ-Verunreinigung über die Ioneneinführungsmaske 175 in den Halbleiterwafer 162 eingebracht. Dadurch wird im Diodenbereich 9 der Verunreinigungseinführungsbereich 100 gebildet.

**[0327]** Als Nächstes wird, mit Bezug auf **Fig.** 41B, der Verunreinigungseinführungsbereich 100 durch eine Wärmebehandlung in das Innere des Halbleiterwafers 162 diffundiert. Dadurch dehnt sich der Verunreinigungseinführungsbereich 100 in eine Richtung hin zur zweiten Hauptoberfläche 4 (vertikale Richtung) aus und dehnt sich auch in eine Richtung entlang der ersten Hauptoberfläche 3 (horizontale Richtung) aus. Dadurch wird der Anodenbereich 62 mit einer vorgegebenen Tiefe gebildet, der den geneigten Abschnitt 95 und den flachen Abschnitt 96 aufweist.

**[0328]** Als Nächstes werden mit Bezug auf **Fig.** 41C der Gate-Graben 39 und der Emittergraben 74 im IGBT-Bereich 8 gebildet und der zellentrennende Graben 64 wird im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst die Hartmaske 167, die mit der in **Fig.** 10B identisch ist, auf der ersten Waferhauptoberfläche 163 gebildet. Die Öffnung 167A der Hartmaske 167 legt selektiv den Anodenbereich 62 mit dem geneigten Abschnitt 95 frei. Anschließend werden die nicht benötigten Abschnitte des Halbleiterwafers 162 durch ein Ätzverfahren über die Hartmaske 167 entfernt. Dadurch werden der Gate-Graben 39 und der Emittergraben 74 im IGBT-Bereich 8 gebildet und der zellentrennende Graben 64 wird im Diodenbereich 9 gebildet.

**[0329]** Danach wird durch Ausführen der gleichen Schritte wie in **Fig.** 10C bis **Fig.** 10R die Halbleitervorrichtung 1 wie in **Fig.** 40 gezeigt hergestellt.

**[0330]** Wie vorstehend beschrieben, ist die Verbesserte Struktur 3-1 auch in der Lage, einen Bereich des pn-Übergangsabschnitts 68 umfassend abzusichern, wie die Verbesserte Struktur 1-1. Infolgedessen ist es möglich, Träger aus dem Anodenbereich 62 mit einer großen Fläche zum Zeitpunkt der Rückgewinnung zurückzugewinnen, und es ist daher möglich, die Rückgewinnung der Träger zu fördern und einen Rückgewinnungsverlust zu verringern.

(1) Verbesserte Struktur 3-2

**[0331] Fig.** 42 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 3-2 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 42 ist eine Querschnittsansicht entsprechend **Fig.** 29.

**[0332] Fig.** 42 zeigt die Halbleitervorrichtung 1, bei der die Struktur des in **Fig.** 40 gezeigten Anodenbereichs 62, wie vorstehend beschrieben, auf den Diodenbereich 9 der Halbleitervorrichtung 1 der Verbesserten Struktur 1-2 von **Fig.** 29 angewendet wird. Das heißt, dass der in **Fig.** 40 gezeigte Anodenbereich 62 auch auf die Halbleitervorrichtung 1 anwendbar ist, die den schwebenden Bereich 52 aufweist.

**[0333]** Wie vorstehend beschrieben, ist die Verbesserte Struktur 3-2 auch in der Lage, einen Bereich des pn-Übergangsabschnitts 68 umfassend abzusichern, wie die Verbesserte Struktur 3-1. Infolgedessen ist es möglich, Träger aus dem Anodenbereich 62 mit einer großen Fläche zum Zeitpunkt der Rückgewinnung zurückzugewinnen, und es ist daher möglich, die Rückgewinnung der Träger zu fördern und einen Rückgewinnungsverlust zu verringern.

[Verbesserte Struktur 4 der Halbleitervorrichtung 1]

(1) Verbesserte Struktur 4-1

**[0334] Fig.** 43 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 4-1 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 43 ist eine Querschnittsansicht entsprechend **Fig.** 8 und eine Zeichnung, in der ein Teil von **Fig.** 8 vergrößert ist. In **Fig.** 43 wird der Einfachheit halber einer Position auf der Seite der zweiten Hauptoberfläche 4 das gleiche Bezugszeichen wie der zweiten Hauptoberfläche 4 gegeben.

**[0335]** Unter Bezugnahme auf **Fig.** 43 ist in dieser bevorzugten Ausführungsform die zellentrennende Elektrodenschicht 66 in Bezug auf die erste Hauptoberfläche 3 nach unten gegraben, wodurch ein oberer Endabschnitt 101 (obere Oberfläche) der zellentrennenden Elektrodenschicht 66 in Bezug auf die erste Hauptoberfläche 3 weiter an der Seite der zweiten Hauptoberfläche 4 positioniert ist als ein oberer Endabschnitt 102 (obere Oberfläche) der Gate-Elektrodenschicht 41. Dadurch wird die Vertiefung 67 tiefer ausgebildet als der obere Endabschnitt 102 der Gate-Elektrodenschicht 41.

**[0336]** Der zellentrennende Graben 64 weist die Vertiefung 67 und einen hinterfüllten Grabenabschnitt (trench backfilled portion) 103 auf, der in Bezug auf die Vertiefung 67 an der Seite der zweiten Hauptoberfläche 4 ausgebildet ist. Der hinterfüllte Grabenabschnitt 103 ist ein Abschnitt, der durch die zellentrennende Elektrodenschicht 66 im zellentrennenden Graben 64 hinterfüllt ist. Der hinterfüllte Grabenabschnitt 103 weist eine flache Seitenwand 104 auf. Die Vertiefung 67 weist eine flache Seitenwand 105 auf, die ein verlängerter Abschnitt der Seitenwand 104 des hinterfüllten Grabenabschnitts 103 ist. Daher weist der zellentrennende Graben 64 eine flache Seitenwand auf, die sich von der ersten Hauptoberfläche 3 bis zur Seitenwand fortsetzt. Die Vertiefung 67 und der hinterfüllte Grabenabschnitt 103 setzen sich dadurch von der ersten Hauptoberfläche 3 bis zur Bodenwand des zellentrennenden Grabens 64 mit einer im Wesentlichen konstanten Breite fort. Das heißt, eine Breite WR der Vertiefung 67 kann die gleiche sein wie eine Breite WT des hinterfüllten Grabenabschnitts 103.

**[0337]** Außerdem weist ein Öffnungskantenabschnitt des Gate-Grabens 39 einen Eckabschnitt 106 auf, an dem die erste Hauptoberfläche 3 eine Seitenwand des Gate-Grabens 39 schneidet. In ähnlicher Weise weist ein Öffnungskantenabschnitt des Emittergrabens 74 einen Eckabschnitt 107 auf, an dem die erste Hauptoberfläche 3 eine Seitenwand des Emittergrabens 74 schneidet.

**[0338]** Ein Öffnungskantenabschnitt des zellentrennenden Grabens 64 weist einen vertieften Kanten- bzw. Randabschnitt 108 in Kreisbogenform auf, der in Richtung eines Inneren des Diodenzellenbereichs 69 vertieft ist. Das heißt, dass der Öffnungskantenabschnitt des zellentrennenden Grabens 64 eine im Wesentlichen andere Form aufweist als der Öffnungskantenabschnitt des Gate-Grabens 39 und der Öffnungskantenabschnitt des Emittergrabens 74. In **Fig.** 43 ist zur Verdeutlichung eine vordere Oberfläche des vertieften Kantenabschnitts 108 durch eine glatte gekrümmte Oberfläche gekennzeichnet. Allerdings können in der vorstehend beschriebenen gekrümmten Oberfläche beispielsweise feine

Unebenheiten (wie etwa eine feine Oberflächenrauheit, die beim Ätzen entsteht, usw.) ausgebildet sein.

**[0339]** **Fig.** 44A bis **Fig.** 44C sind jeweils eine Querschnittsansicht eines Bereichs, der **Fig.** 43 entspricht, und eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 43 zeigt. Was die Herstellung der in **Fig.** 43 gezeigten Halbleitervorrichtung 1 betrifft, können beispielsweise die vorstehend beschriebenen Schritte von **Fig.** 10D und **Fig.** 10E durch die Schritte von **Fig.** 44A bis **Fig.** 44C ersetzt werden.

**[0340]** Zuerst wird, mit Bezug auf **Fig.** 44A, die Basiselektrodenschicht 168 gebildet, nachdem die Gate-Isolierschicht 40, die Emitterisolierschicht 75, die zellentrennende Isolierschicht 65 und die erste Isolierschicht 80 in der ersten Waferhauptoberfläche 163 gebildet wurden.

**[0341]** Als Nächstes werden mit Bezug auf **Fig.** 44B die nicht benötigten Abschnitte der Basiselektrodenschicht 168 durch ein Ätzverfahren entfernt. Das Ätzverfahren kann ein Nassätzverfahren sein. Die Basiselektrodenschicht 168 wird gemeinsam vom IGBT-Bereich 8 und vom Diodenbereich 9 entfernt. Daher kann sich an diesem Punkt der obere Endabschnitt 101 (obere Oberfläche) der zellentrennenden Elektrodenschicht 66 an der gleichen Tiefenposition befinden wie der obere Endabschnitt 102 (obere Oberfläche) der Gate-Elektrodenschicht 41.

**[0342]** Als Nächstes wird, mit Bezug auf **Fig.** 44C, in einem Zustand, in dem die Gate-Elektrodenschicht 41 maskiert ist, die zellentrennende Elektrodenschicht 66 selektiv nach unten gegraben. In diesem Schritt wird in der ersten Waferhauptoberfläche 163 eine Resistmaske 109 mit einer Öffnung 109A gebildet, die den Diodenbereich 9 selektiv freilegt. Als Nächstes wird ein oberer Abschnitt der zellentrennenden Elektrodenschicht 66 durch ein Ätzverfahren über die Resistmaske 109 entfernt. Das Ätzverfahren kann ein Trockenätzverfahren sein. Dadurch vergrößert sich das Volumen der Vertiefung 67 in Tiefenrichtung in Richtung der Bodenwand des zellentrennenden Grabens 64, und zwischen dem oberen Endabschnitt 101 (obere Oberfläche) der zellentrennenden Elektrodenschicht 66 und dem oberen Endabschnitt 102 (obere Oberfläche) der Gate-Elektrodenschicht 41 entsteht ein Höhenunterschied.

**[0343]** Danach wird durch Ausführen der gleichen Schritte wie in **Fig.** 10F bis **Fig.** 10R die Halbleitervorrichtung 1 wie in **Fig.** 40 gezeigt hergestellt. Es wird darauf hingewiesen, dass der vertiefte Kantenabschnitt 108 des zellentrennenden Grabens 64 durch selektives Abnehmen eines Eckabschnitts des Öffnungskantenabschnitts des zellentrennenden Grabens 64 gebildet werden kann, beispielsweise durch Ätzen, das in einem Schritt des Bildens der Diodenöffnung 84 durchgeführt wird (siehe **Fig.** 10N). Daher gibt es den Fall, dass unter bestimmten Ätzbedingungen der vertiefte Kantenabschnitt 108 möglicherweise nicht gebildet wird, wenn das Ätzen in dem Schritt des Bildens der Diodenöffnung 84 durchgeführt wird (siehe **Fig.** 10N). In diesem Fall kann der Öffnungskantenabschnitt des zellentrennenden Grabens 64 den gleichen Eckabschnitt aufweisen wie der Eckabschnitt 106 des Gate-Grabens 39.

**[0344]** Wie vorstehend beschrieben, wird gemäß der Verbesserten Struktur 4-1 die Vertiefung 67 im Öffnungskantenabschnitt des zellentrennenden Grabens 64 gebildet. Außerdem ist der obere Endabschnitt 101 (obere Oberfläche) der zellentrennenden Elektrodenschicht 66, der zu der Vertiefung 67 hin freiliegt, in Bezug auf die erste Hauptoberfläche 3 weiter an der Seite der zweiten Hauptoberfläche 4 positioniert als der obere Endabschnitt 102 (obere Oberfläche) der Gate-Elektrodenschicht 41. Dadurch kann eine Fläche des Anodenbereichs 62, die zu einer Seitenwand der Vertiefung 67 hin freiliegt, umfassend abgesichert werden. Daher kann im Vergleich zu einem Fall, in dem ein Kontaktabschnitt der Emitteranschlusselektrode 13 mit dem Anodenbereich 62 auf die erste Hauptoberfläche 3 der Halbleiterschicht 2 beschränkt ist, ein Bereich des Anodenkontakts der pn-Übergangsdiode D umfassend abgesichert werden. Infolgedessen ist es möglich, die Trägerspeicherungseffekte zum Zeitpunkt der Rückgewinnung abzuschwächen, und daher ist es möglich, einen Rückgewinnungsverlust zu verringern.

[Verbesserte Struktur 5 der Halbleitervorrichtung 1]

(1) Verbesserte Struktur 5-1

**[0345]** **Fig.** 45 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 5-1 der Halbleitervorrichtung 1 zeigt. **Fig.** 46 ist eine schematische perspektivische Ansicht, die eine Verbesserte Struktur 5-1 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 45 ist eine Querschnittsansicht entsprechend **Fig.** 43. **Fig.** 46 ist eine teilweise vergrößerte Ansicht von **Fig.** 45. In **Fig.** 45 und **Fig.** 46 wird der Einfachheit halber einer Position auf der Seite der zweiten Hauptoberfläche 4 das gleiche Bezugszeichen wie der zweiten Hauptoberfläche 4 gegeben.

**[0346]** Unter Bezugnahme auf **Fig.** 45 weisen der Öffnungskantenabschnitt des Gate-Grabens 39, der Öffnungskantenabschnitt des Emittergrabens 74 und der Öffnungskantenabschnitt des zellentrennenden Grabens 64 alle einen vertieften Kantenabschnitt

auf, der in Richtung eines Inneren der Halbleiterschicht 2 vertieft ist. In **Fig.** 45 ist ein vertiefter Kantenabschnitt 110 der Öffnungskantenabschnitt des Gate-Grabens 39, ein vertiefter Kantenabschnitt 111 ist der Öffnungskantenabschnitt des Emittergrabens 74 und ein vertiefter Kantenabschnitt 112 ist der Öffnungskantenabschnitt des zellentrennenden Grabens 64.

**[0347]** Der vertiefte Kantenabschnitt 112 auf der Seite des zellentrennenden Grabens 64 ist in einer Kreisbogenform ausgebildet, die stärker vertieft ist als der vertiefte Kantenabschnitt 110 auf der Seite des Gate-Grabens 39 und der vertiefte Kantenabschnitt 111 auf der Seite des Emittergrabens 74. Das heißt, dass der Öffnungskantenabschnitt des zellentrennenden Grabens 64 eine im Wesentlichen andere Form aufweist als der Öffnungskantenabschnitt des Gate-Grabens 39 und der Öffnungskantenabschnitt des Emittergrabens 74. In **Fig.** 45 ist zur Verdeutlichung eine vordere Oberfläche des vertieften Kantenabschnitts 112 durch eine glatte gekrümmte Oberfläche gekennzeichnet. Allerdings können in der vorstehend beschriebenen gekrümmten Oberfläche beispielsweise feine Unebenheiten (wie etwa eine feine Oberflächenrauheit, die beim Ätzen entsteht, usw.) ausgebildet sein.

**[0348]** Die Vertiefung 67 weist einen Becherabschnitt 113 auf. Der Becherabschnitt 113 weist eine Seitenwand am vertieften Kantenabschnitt 112 auf, die in einer gekrümmten Linie nach unten in Richtung des hinterfüllten Grabenabschnitts 103 von der ersten Hauptoberfläche 3 des Diodenzellenbereichs 69 an beiden Seiten benachbart zu der einen und der anderen Seite des zellentrennenden Grabens 64 in der ersten Richtung X geneigt ist. Der Becherabschnitt 113 ist dadurch in Schnittansicht in einer Becherform ausgebildet.

**[0349]** Beispielsweise kann ein Vertiefungsbetrag A des vertieften Kantenabschnitts 112 zum Inneren des Diodenzellenbereichs 69 hin in einer Richtung entlang der ersten Hauptoberfläche 3 nicht weniger als 1,0-mal und nicht mehr als 10,0-mal größer sein als eine Dicke T der zellentrennenden Isolierschicht 65. Insbesondere kann die Dicke T der zellentrennenden Isolierschicht 65 nicht weniger als 80 nm und nicht mehr als 150 nm betragen, und der Vertiefungsbetrag A des vertieften Kantenabschnitts 112 kann ggf. nicht weniger als 0,05 µm und nicht mehr als 1,5 µm betragen. Der Becherabschnitt 113 kann dabei eine Breite W1 aufweisen, die nicht weniger als 0,62-mal und nicht mehr als 6,14-mal größer ist als eine Breite W2 des hinterfüllten Grabenabschnitts 103. Zum Beispiel kann die Breite W2 des hinterfüllten Grabenabschnitts 103 nicht weniger als 0,7 µm und nicht mehr als 1,3 µm betragen, und die Breite W1 des Becherabschnitts 113 kann ggf. nicht weniger als 0,80 µm und nicht mehr als 4,3 µm betragen.

**[0350]** Unter Bezugnahme auf **Fig.** 46 kann der Becherabschnitt 113 entlang der zweiten Richtung Y in einer halbzylindrischen Form ausgebildet sein. Die zellentrennende Elektrodenschicht 66 des hinterfüllten Grabenabschnitts 103 und der obere Endabschnitt 101 der zellentrennenden Isolierschicht 65 liegen dadurch in einer geraden Linie frei, die entlang der zweiten Richtung Y an einem unteren Ende des Becherabschnitts 113 verläuft. Außerdem kann der Becherabschnitt 113 eine Tiefe D aufweisen, die nicht weniger als 0,0052-mal und nicht mehr als 7,5-mal größer ist als eine Breite W3 der ersten Hauptoberfläche 3 des Diodenzellenbereichs 69. Zum Beispiel kann die Breite W3 der ersten Hauptoberfläche 3 des Diodenzellenbereichs 69 nicht weniger als 0,2 µm und nicht mehr als 9,7 µm betragen, und die Tiefe D des Becherabschnitts 113 kann ggf. nicht weniger als 0,05 µm und nicht mehr als 1,5 µm betragen.

**[0351]** **Fig.** 47A bis **Fig.** 47E sind jeweils eine Querschnittsansicht eines Bereichs, der **Fig.** 45 entspricht, und eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 45 und **Fig.** 46 zeigt. Was die Herstellung der in **Fig.** 45 und **Fig.** 46 gezeigten Halbleitervorrichtung 1 betrifft, können beispielsweise die vorstehend beschriebenen Schritte von **Fig.** 10A bis **Fig.** 10E durch die Schritte von **Fig.** 47A bis **Fig.** 47E ersetzt werden.

**[0352]** Zuerst werden, unter Bezugnahme auf **Fig.** 47A, nachdem die Vielzahl von Vorrichtungsbildungsbereichen 165 auf dem $n^-$-Typ-Halbleiterwafer 162 festgelegt worden sind, der Gate-Graben 39 und der Emittergraben 74 im IGBT-Bereich 8 gebildet. In diesem Schritt wird zunächst eine Hartmaske 114 mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Hartmaske 114 weist eine Vielzahl von Öffnungen 114A auf, die jeweils Bereiche freilegen, in denen der Gate-Graben 39 und der Emittergraben 74 gebildet werden sollen. Die Hartmaske 114 kann durch ein Oxidationsbehandlungsverfahren gebildet werden, das auf der ersten Waferhauptoberfläche 163 durchgeführt wird. Anschließend werden die nicht benötigten Abschnitte des Halbleiterwafers 162 durch ein Ätzverfahren über die Hartmaske 114 entfernt. Dadurch werden im IGBT-Bereich 8 der Gate-Graben 39 und der Emittergraben 74 gebildet. Danach wird die Hartmaske 114 entfernt.

**[0353]** Als Nächstes wird mit Bezug auf **Fig.** 47B ein Vertiefungsabschnitt 115 für den zellentrennenden Graben 64 im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst eine Resistmaske 116 auf der ersten Waferhauptoberfläche 163 gebildet, die selek-

tiv den IGBT-Bereich 8 bedeckt und den Diodenbereich 9 freilegt. Als Nächstes wird eine Hartmaske 117 mit einem vorgegebenen Muster auf der ersten Waferhauptoberfläche 163 gebildet. Die Hartmaske 117 weist eine Vielzahl von Öffnungen 117A auf, die jeweils Bereiche freilegen, in denen die zellentrennenden Gräben 64 gebildet werden sollen. Die Hartmaske 117 kann durch ein Oxidationsbehandlungsverfahren gebildet werden, das auf der ersten Waferhauptoberfläche 163 durchgeführt wird. Als Nächstes wird ein Oberflächenschichtabschnitt des Halbleiterwafers 162 durch ein Nassätzverfahren über die Hartmaske 117 selektiv entfernt. Zu diesem Zeitpunkt wird, da das Ätzen isotrop fortschreitet, in einem Oberflächenschichtabschnitt der ersten Waferhauptoberfläche 163 des Halbleiterwafers 162 der Vertiefungsabschnitt 115 gebildet, der eine größere Breite aufweist als die Öffnung 117A. Der Vertiefungsabschnitt 115 dient als Basis des Becherabschnitts 113.

**[0354]** Als Nächstes wird mit Bezug auf **Fig.** 47C das an dem Halbleiterwafer 162 durchgeführte Ätzen von Nassätzen auf Trockenätzen umgestellt. Ein Grabenhauptkörperabschnitt 118 mit einer geringeren Breite als die des Vertiefungsabschnitts 115 wird dabei durch Trockenätzen (anisotropes Ätzen) aus einer Bodenwand des Vertiefungsabschnitts 115 über die Öffnung 117A gebildet, die eine geringere Breite aufweist als die des Vertiefungsabschnitts 115. Der zellentrennende Graben 64 wird gebildet, in dem der Vertiefungsabschnitt 115 und der Grabenhauptkörperabschnitt 118 dadurch einstückig ausgebildet werden. Der Grabenhauptkörperabschnitt 118 ist ein Grabenteil des hinterfüllten Grabenabschnitts 103.

**[0355]** Als Nächstes werden mit Bezug auf **Fig.** 47D die Gate-Isolierschicht 40, die Emitterisolierschicht 75, die zellentrennende Isolierschicht 65 und die erste Isolierschicht 80 in der ersten Waferhauptoberfläche 163 gebildet. Die Gate-Isolierschicht 40, die Emitterisolierschicht 75, die zellentrennende Isolierschicht 65 und die erste Isolierschicht 80 können durch ein CVD-Verfahren (chemische Gasphasenabscheidung) oder ein Oxidationsbehandlungsverfahren (beispielsweise ein thermisches Oxidationsbehandlungsverfahren) gebildet werden. Der vertiefte Kantenabschnitt 110 des Gate-Grabens 39 und der vertiefte Kantenabschnitt 111 des Emittergrabens 74 können durch das thermische Oxidationsbehandlungsverfahren gebildet werden. Beispielsweise schreitet in den Öffnungskantenabschnitten des Gate-Grabens 39 und des Emittergrabens 74 eine thermische Oxidation von beiden Seiten her fort, das heißt von jeder Seitenwand und der ersten Hauptoberfläche 3, wodurch ein Eckabschnitt des Öffnungskantenabschnitts selektiv abgenommen wird und der vertiefte Kantenabschnitt 110 und der vertiefte Kantenabschnitt 111 gebildet werden. Als Nächstes wird eine Basiselektrodenschicht 168 gebildet. Die Basiselektrodenschicht 168 dient als Basis für jede von der Gate-Elektrodenschicht 41, der Emitterpotenzialelektrodenschicht 76 und der zellentrennenden Elektrodenschicht 66. Die Basiselektrodenschicht 168 enthält ein leitfähiges Polysilizium. Die Basiselektrodenschicht 168 kann durch ein CVD-Verfahren gebildet werden.

**[0356]** Als Nächstes werden mit Bezug auf **Fig.** 47E die nicht benötigten Abschnitte der Basiselektrodenschicht 168 durch ein Ätzverfahren entfernt. Das Ätzverfahren kann ein Nassätzverfahren sein. Die Basiselektrodenschicht 168 wird gemeinsam vom IGBT-Bereich 8 und vom Diodenbereich 9 entfernt. Daher kann sich an diesem Punkt der obere Endabschnitt 101 (obere Oberfläche) der zellentrennenden Elektrodenschicht 66 an der gleichen Tiefenposition befinden wie der obere Endabschnitt 102 (obere Oberfläche) der Gate-Elektrodenschicht 41.

**[0357]** Danach wird durch Ausführen der gleichen Schritte wie in **Fig.** 10F bis **Fig.** 10R die Halbleitervorrichtung 1 wie in **Fig.** 45 und **Fig.** 46 gezeigt hergestellt. Es wird darauf hingewiesen, dass der obere Endabschnitt 101 (obere Oberfläche) der zellentrennenden Elektrodenschicht 66 auf eine Position eines oberen Endes des Grabenhauptkörperabschnitts 118 abgesenkt werden kann, beispielsweise durch Ätzen, das in dem Schritt des Bildens der Diodenöffnung 84 durchgeführt wird (siehe **Fig.** 10N). Dadurch entsteht ein Höhenunterschied zwischen dem oberen Endabschnitt 101 (obere Oberfläche) der zellentrennenden Elektrodenschicht 66 und dem oberen Endabschnitt 102 (obere Oberfläche) der Gate-Elektrodenschicht 41.

**[0358]** Da, wie vorstehend beschrieben, die Vertiefung 67 (Becherabschnitt 113) im Öffnungskantenabschnitt des zellentrennenden Grabens 64 auch in der Verbesserten Struktur 5-1 ausgebildet ist, kann ein Bereich des Anodenbereichs 62, der zu einer Seitenwand der Vertiefung 67 hin freiliegt, umfassend abgesichert werden. Daher kann im Vergleich zu einem Fall, in dem ein Kontaktabschnitt der Emitteranschlusselektrode 13 mit dem Anodenbereich 62 auf die erste Hauptoberfläche 3 der Halbleiterschicht 2 beschränkt ist, ein Bereich des Anodenkontakts der pn-Übergangsdiode D umfassend abgesichert werden. Infolgedessen ist es möglich, die Trägerspeicherungseffekte zum Zeitpunkt der Rückgewinnung abzuschwächen, und daher ist es möglich, einen Rückgewinnungsverlust zu verringern.

**[0359]** Darüber hinaus ist die Verbesserte Struktur 5-1 in einem Fall wirksam, in dem es sich als schwierig herausstellt, eine Steckerelektrode, wie die Emittersteckerelektrode 91, als Anodenkontakt einzusetzen. Beispielsweise besteht ein Verfahren zum Verbessern der Rückgewinnungseigenschaften der

pn-Übergangsdiode D darin, eine Verunreinigungskonzentration im Anodenbereich 62 niedrig zu halten. Dies liegt daran, dass dadurch eine Ladungsträgerinjektionsmenge aus dem Anodenbereich 62 verringert werden kann. Wenn andererseits die Verunreinigungskonzentration im Anodenbereich 62 niedrig gemacht wird, wird der Kontaktwiderstand des Anodenkontakts hoch, was zu einem Anstieg der Durchlassspannung VF der pn-Übergangsdiode D führt. Daher hat die für die Steckerelektrode erforderliche Sperrschicht einen relativ hohen Widerstand und ist schwierig zu verwenden. Daher wird eine Struktur angewendet, bei der die Emitteranschlusselektrode 13 wie bei der Halbleitervorrichtung 1 direkt mit dem Anodenbereich 62 verbunden ist.

**[0360]** Das in der Emitteranschlusselektrode 13 verwendete Aluminium weist jedoch keine guten Einbettungseigenschaften auf. Wenn daher die Vertiefung 67 mit der gleichen Breite wie der hinterfüllte Grabenabschnitt 103 angewendet wird, kann es vorkommen, dass es schwierig ist, die Emitteranschlusselektrode 13 richtig in die Vertiefung 67 einzubetten. Dieses Problem wird insbesondere dann deutlicher, wenn ein Mikrofertigungsprozess erhöht wird, da ein Abstand zwischen Gräben, die in der Halbleiterschicht 2 gebildet werden, enger gemacht wird. Daher wird es durch Bereitstellen des Becherabschnitts 113 mit der Breite W2, die größer ist als die Breite W1 des hinterfüllten Grabenabschnitts 103, als Anodenkontaktabschnitt ermöglicht, die Emitteranschlusselektrode 13 zufriedenstellend einzubetten und einen Kontakt mit dem Anodenbereich 62 herzustellen.

[Verbesserte Struktur 6 der Halbleitervorrichtung 1]

(1) Verbesserte Struktur 6-1

**[0361]** **Fig.** 48 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 6-1 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 48 ist eine Querschnittsansicht entsprechend **Fig.** 45. In **Fig.** 48 wird der Einfachheit halber einer Position auf der Seite der zweiten Hauptoberfläche 4 das gleiche Bezugszeichen wie der zweiten Hauptoberfläche 4 gegeben.

**[0362]** Unter Bezugnahme auf **Fig.** 48 schließt in dieser bevorzugten Ausführungsform die erste Hauptoberfläche 3 der Halbleiterschicht 2 eine erste Diodenhauptoberfläche 119, die in dem Diodenzellenbereich 69 ausgebildet ist, und eine erste IGBT-Hauptoberfläche 120, die im IGBT-Bereich 8 ausgebildet ist, ein. Zwischen der ersten Diodenhauptoberfläche 119 und der ersten IGBT-Hauptoberfläche 120 ist eine Stufe 121 ausgebildet. Eine Größe der Stufe 121 kann beispielsweise nicht weniger als 100 nm und nicht mehr als 500 nm betragen. Die Stufe 121 wird durch eine Stufenoberfläche 122 gebildet, die die erste Diodenhauptoberfläche 119 und die erste IGBT-Hauptoberfläche 120 verbindet. Dadurch nimmt die erste Diodenhauptoberfläche 119 in Bezug auf die erste IGBT-Hauptoberfläche 120 eine niedrige Position an der Seite der zweiten Hauptoberfläche 4 ein.

**[0363]** Die Stufenoberfläche 122 kann eine Oberfläche sein, die sich in eine Richtung erstreckt, die die erste Diodenhauptoberfläche 119 und die erste IGBT-Hauptoberfläche 120 schneidet. In dieser bevorzugten Ausführungsform ist sie so ausgebildet, dass sie sich bis zu einer Innenwand der Zwischenschicht-Isolierschicht 79 fortsetzt, die die Diodenöffnung 84 an der Grenze 72 zwischen dem Diodenbereich 9 und dem IGBT-Bereich 8 bildet. Wie in **Fig.** 48 gezeigt, kann die Stufenoberfläche 122 bündig mit einer Seitenwand der Zwischenschicht-Isolierschicht 79 sein. Daher kann die Stufenoberfläche 122 eine geneigte Fläche sein, die sowohl zur ersten Diodenhauptoberfläche 119 als auch zur ersten IGBT-Hauptoberfläche 120 hin geneigt ist.

**[0364]** **Fig.** 49A bis **Fig.** 49C sind jeweils eine Querschnittsansicht eines Bereichs, der **Fig.** 48 entspricht, und eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 48 zeigt. Was die Herstellung der Halbleitervorrichtung 1 von **Fig.** 48 betrifft, kann beispielsweise der vorstehend beschriebene Schritt von **Fig.** 10N durch die Schritte von **Fig.** 49A bis **Fig.** 49C ersetzt werden.

**[0365]** Unter Bezugnahme auf **Fig.** 49A wird, nachdem die Emittersteckerelektrode 91 in dem Schritt von **Fig.** 10M gebildet worden ist, die Diodenöffnung 84 im Diodenbereich 9 gebildet. In diesem Schritt wird zunächst eine Maske 123 mit einem vorgegebenen Muster auf der Zwischenschicht-Isolierschicht 79 gebildet. Die Maske 123 weist eine Öffnung 123A auf, die jeden Bereich freilegt, in dem die Diodenöffnung 84 gebildet werden soll.

**[0366]** Als Nächstes werden mit Bezug auf **Fig.** 49B die nicht benötigten Abschnitte der Zwischenschicht-Isolierschicht 79 durch ein Ätzverfahren über die Maske 123 entfernt. Bei dem Ätzverfahren handelt es sich vorzugsweise um ein anisotropes Ätzverfahren. Das anisotrope Ätzverfahren kann ein Trockenätzverfahren (insbesondere ein RIE-Verfahren (reaktives Ionenätzen)) sein.

**[0367]** In diesem Schritt werden die nicht benötigten Abschnitte der ersten Isolierschicht 80, die nicht benötigten Abschnitte der zweiten Isolierschicht 81 und die nicht benötigten Abschnitte der dritten Isolierschicht 82 nacheinander durch das anisotrope Ätz-

verfahren entfernt. Dadurch wird die Diodenöffnung 84 gebildet. Ferner wird ein oberer Endabschnitt der zellentrennenden Isolierschicht 65 im Anschluss an die Entfernung der ersten Isolierschicht 80 entfernt. Dadurch wird ein Spalt 124 gebildet, der zwischen der zellentrennenden Elektrodenschicht 66 und einer Seitenwand des zellentrennenden Grabens 64 eingeschlossen ist. Anschließend wird die Maske 123 entfernt.

**[0368]** Als Nächstes wird mit Bezug auf **Fig.** 49C das an dem Halbleiterwafer 162 durchgeführte Ätzen von Trockenätzen (anisotropem Ätzen) auf Nassätzen umgestellt. Dabei schreitet ein isotropes Ätzen derart fort, dass aufgrund einer unterschiedlichen Ätzrate zwischen dem Halbleiterwafer 162 (monokristallines Silizium) und der zellentrennenden Elektrodenschicht 66 (polykristallines Silizium) die Form des Becherabschnitts 113 entsteht. Dadurch wird der becherförmige Abschnitt 113 des zellentrennenden Grabens 64 gebildet. Zu diesem Zeitpunkt wird eine Position der ersten Diodenhauptoberfläche 119, die von der Maske 123 freiliegt, durch das Ätzen als Ganzes abgesenkt, was zur Bildung der Stufe 121 zwischen der ersten IGBT-Hauptoberfläche 120 und der ersten Diodenhauptoberfläche 119 führt.

**[0369]** Danach wird durch Ausführen der gleichen Schritte wie in **Fig.** 10O bis **Fig.** 10R die Halbleitervorrichtung 1 wie in **Fig.** 48 gezeigt hergestellt.

**[0370]** Da, wie vorstehend beschrieben, die Vertiefung 67 (Becherabschnitt 113) im Öffnungskantenabschnitt des zellentrennenden Grabens 64 auch in der Verbesserten Struktur 6-1 ausgebildet ist, kann ein Bereich des Anodenbereichs 62, der zu einer Seitenwand der Vertiefung 67 hin freiliegt, umfassend abgesichert werden. Daher kann im Vergleich zu einem Fall, in dem ein Kontaktabschnitt der Emitteranschlusselektrode 13 mit dem Anodenbereich 62 auf die erste Hauptoberfläche 3 der Halbleiterschicht 2 beschränkt ist, ein Bereich des Anodenkontakts der pn-Übergangsdiode D umfassend abgesichert werden. Infolgedessen ist es möglich, die Trägerspeicherungseffekte zum Zeitpunkt der Rückgewinnung abzuschwächen, und daher ist es möglich, einen Rückgewinnungsverlust zu verringern.

[Verbesserte Struktur 7 der Halbleitervorrichtung 1]

(1) Verbesserte Struktur 7-1

**[0371]** **Fig.** 50 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 7-1 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird. **Fig.** 50 ist eine Querschnittsansicht entsprechend **Fig.** 45. In **Fig.** 50 wird der Einfachheit halber einer Position auf der Seite der zweiten Hauptoberfläche 4 das gleiche Bezugszeichen wie der zweiten Hauptoberfläche 4 gegeben.

**[0372]** Unter Bezugnahme auf **Fig.** 50 schließt die Vertiefung 67 in dieser bevorzugten Ausführungsform einen unteren Vertiefungsabschnitt 126 ein, der eine flache untere Seitenwand 125 aufweist, die sich vom unteren Ende des Becherabschnitts 113 in Richtung der Bodenwand des zellentrennenden Grabens 64 fortsetzt. Die Seitenwand der Vertiefung 67 weist dabei eine zweistufige Struktur auf, die die flache untere Seitenwand 125 des unteren Vertiefungsabschnitts 126 und eine obere Seitenwand 127 einschließt, die sich bis zu einem oberen Ende der unteren Seitenwand 125 fortsetzt und einen in Kreisbogenform ausgebildeten vertieften Kantenabschnitt 112 des Becherabschnitts 113 einschließt. Ein eingebetteter Abschnitt 128 der Emitteranschlusselektrode 13, der in die Vertiefung 67 eingebettet ist, kann dabei eine zweistufige Struktur aufweisen, die einen ersten Abschnitt 129 einschließt, der in den Becherabschnitt 113 eingebettet ist und eine relativ große Breite aufweist, und einen zweiten Abschnitt 130, der in den unteren Vertiefungsabschnitt 126 eingebettet ist, sodass er vom ersten Abschnitt 129 in Richtung der zweiten Hauptoberfläche 4 hervorsteht und eine geringere Breite als die des ersten Abschnitts 129 aufweist.

**[0373]** Der untere Vertiefungsabschnitt 126 weist die Breite W2 auf, die die gleiche wie die Breite W2 des hinterfüllten Grabenabschnitts 103 ist. Außerdem weist der untere Vertiefungsabschnitt 126 eine Tiefe D2 auf, die nicht mehr als die Hälfte der Breite W2 des hinterfüllten Grabenabschnitts 103 beträgt. Zum Beispiel kann die Breite W3 des hinterfüllten Grabenabschnitts 103 nicht weniger als 0,7 µm und nicht mehr als 1,3 µm betragen, und die Tiefe D2 des unteren Vertiefungsabschnitts 126 kann ggf. nicht weniger als 0,1 µm und nicht mehr als 0,6 µm betragen.

**[0374]** **Fig.** 51 ist eine Querschnittsansicht eines Bereichs, der **Fig.** 50 entspricht, und eine Querschnittsansicht, die einen Schritt in Bezug auf die Bildung der Struktur von **Fig.** 50 zeigt. Was die Herstellung der Halbleitervorrichtung 1 von **Fig.** 50 betrifft, können beispielsweise die vorstehend beschriebenen Schritte von **Fig.** 10A bis **Fig.** 10E durch die Schritte von **Fig.** 47A bis **Fig.** 47E ersetzt werden, und außerdem kann der Schritt von **Fig.** 51 nach dem Schritt von **Fig.** 47E hinzugefügt werden.

**[0375]** Unter Bezugnahme auf **Fig.** 51 wird, nachdem die Basiselektrodenschicht 168 so geätzt worden ist, dass der obere Endabschnitt 101 (obere Oberfläche) der zellentrennenden Elektrodenschicht 66 und der obere Endabschnitt 102 (obere Oberflä-

che) der Gate-Elektrodenschicht 41 in der Tiefenposition gleich sind (siehe **Fig.** 47E), die zellentrennende Elektrodenschicht 66 in einem Zustand, in dem der IGBT-Bereich 8 selektiv maskiert ist, selektiv nach unten gegraben. In diesem Schritt wird in der ersten Waferhauptoberfläche 163 eine Resistmaske (nicht gezeigt) mit einer Öffnung gebildet, die den Diodenbereich 9 selektiv freilegt. Als Nächstes wird ein oberer Abschnitt der zellentrennenden Elektrodenschicht 66 durch ein Ätzverfahren über die Resistmaske entfernt. Das Ätzverfahren kann ein Trockenätzverfahren sein. Dadurch vergrößert sich das Volumen der Vertiefung 67 in Tiefenrichtung in Richtung der Bodenwand des zellentrennenden Grabens 64, und zwischen dem oberen Endabschnitt 101 (obere Oberfläche) der zellentrennenden Elektrodenschicht 66 und dem oberen Endabschnitt 102 (obere Oberfläche) der Gate-Elektrodenschicht 41 entsteht ein Höhenunterschied. Infolgedessen wird der untere Vertiefungsabschnitt 126 unterhalb des Becherabschnitts 113 gebildet.

**[0376]** Danach wird durch Ausführen der gleichen Schritte wie in **Fig.** 10F bis **Fig.** 10R die Halbleitervorrichtung 1 wie in **Fig.** 40 gezeigt hergestellt.

**[0377]** Da, wie vorstehend beschrieben, die Vertiefung 67 (Becherabschnitt 113 und unterer Vertiefungsabschnitt 126) im Öffnungskantenabschnitt des zellentrennenden Grabens 64 auch in der Verbesserten Struktur 7-1 ausgebildet ist, kann ein Bereich des Anodenbereichs 62, der zu einer Seitenwand der Vertiefung 67 hin freiliegt, umfassend abgesichert werden. Daher kann im Vergleich zu einem Fall, in dem ein Kontaktabschnitt der Emitteranschlusselektrode 13 mit dem Anodenbereich 62 auf die erste Hauptoberfläche 3 der Halbleiterschicht 2 beschränkt ist, ein Bereich des Anodenkontakts der pn-Übergangsdiode D umfassend abgesichert werden. Infolgedessen ist es möglich, die Trägerspeicherungseffekte zum Zeitpunkt der Rückgewinnung abzuschwächen, und daher ist es möglich, einen Rückgewinnungsverlust zu verringern.

[Verbesserte Struktur 8 der Halbleitervorrichtung 1]

(1) Verbesserte Struktur 8-1

**[0378] Fig.** 52 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 8-1 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0379]** Unter Bezugnahme auf **Fig.** 52 ist die Verbesserte Struktur 8-1 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 24 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 4-1 angewendet wird.

(2) Verbesserte Struktur 8-2

**[0380] Fig.** 53 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 8-2 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0381]** Unter Bezugnahme auf **Fig.** 53 ist die Verbesserte Struktur 8-2 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 25 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 4-1 angewendet wird.

(3) Verbesserte Struktur 8-3

**[0382] Fig.** 54 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 8-3 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0383]** Unter Bezugnahme auf **Fig.** 54 ist die Verbesserte Struktur 8-3 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 35 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 4-1 angewendet wird.

(4) Verbesserte Struktur 8-4

**[0384] Fig.** 55 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 8-4 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0385]** Unter Bezugnahme auf **Fig.** 55 ist die Verbesserte Struktur 8-4 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 40 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 4-1 angewendet wird.

**[0386]** Als modifiziertes Beispiel für die Verbesserte Struktur 4-1 der Halbleitervorrichtung 1 wurden vier Beispiele für die Verbesserte Struktur 8-1 bis 8-4 gezeigt; es können jedoch viele andere Beispiele als modifiziertes Beispiel für die vorstehend beschriebene Verbesserte Struktur 4-1 gezeigt werden. Beispielsweise kann in der Verbesserten Struktur 8-1 bis zur Verbesserten Struktur 8-4 ein Verhältnis zweiter Abstand P2 > erster Abstand P1

festgelegt werden. Außerdem kann der vorstehend beschriebene schwebende Bereich 52 (siehe beispielsweise **Fig.** 28, **Fig.** 29, **Fig.** 33, **Fig.** 34, **Fig.** 37, **Fig.** 39, **Fig.** 42 usw.) im IGBT-Bereich 8 jeder von der Verbesserten Struktur 8-1 bis zur Verbesserten Struktur 8-4 gebildet werden.

[Verbesserte Struktur 9 der Halbleitervorrichtung 1]

(1) Verbesserte Struktur 9-1

**[0387] Fig.** 56 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 9-1 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0388]** Unter Bezugnahme auf **Fig.** 56 ist die Verbesserte Struktur 9-1 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 24 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 5-1 angewendet wird.

(2) Verbesserte Struktur 9-2

**[0389] Fig.** 57 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 9-2 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0390]** Unter Bezugnahme auf **Fig.** 57 ist die Verbesserte Struktur 9-2 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 25 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 5-1 angewendet wird.

(3) Verbesserte Struktur 9-3

**[0391] Fig.** 58 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 9-3 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0392]** Unter Bezugnahme auf **Fig.** 58 ist die Verbesserte Struktur 9-3 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 35 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 5-1 angewendet wird.

(4) Verbesserte Struktur 9-4

**[0393] Fig.** 59 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 9-4 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0394]** Unter Bezugnahme auf **Fig.** 59 ist die Verbesserte Struktur 9-4 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 40 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 5-1 angewendet wird.

**[0395]** Als modifiziertes Beispiel für die Verbesserte Struktur 5-1 der Halbleitervorrichtung 1 wurden vier Beispiele für die Verbesserte Struktur 9-1 bis 9-4 gezeigt; es können jedoch viele andere Beispiele als modifiziertes Beispiel für die vorstehend beschriebene Verbesserte Struktur 5-1 gezeigt werden. Beispielsweise kann in der Verbesserten Struktur 9-1 bis zur Verbesserten Struktur 9-4 ein Verhältnis zweiter Abstand P2 > erster Abstand P1 festgelegt werden. Außerdem kann der vorstehend beschriebene schwebende Bereich 52 (siehe beispielsweise **Fig.** 28, **Fig.** 29, **Fig.** 33, **Fig.** 34, **Fig.** 37, **Fig.** 39, **Fig.** 42 usw.) im IGBT-Bereich 8 jeder von der Verbesserten Struktur 9-1 bis zur Verbesserten Struktur 9-4 gebildet werden.

[Verbesserte Struktur 10 der Halbleitervorrichtung 1]

(1) Verbesserte Struktur 10-1

**[0396] Fig.** 60 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 10-1 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0397]** Unter Bezugnahme auf **Fig.** 60 ist die Verbesserte Struktur 10-1 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 24 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 6-1 angewendet wird.

(2) Verbesserte Struktur 10-2

**[0398] Fig.** 61 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 10-2 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0399]** Unter Bezugnahme auf **Fig.** 61 ist die Verbesserte Struktur 10-2 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 25 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 6-1 angewendet wird.

(3) Verbesserte Struktur 10-3

**[0400] Fig.** 62 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 10-3 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0401]** Unter Bezugnahme auf **Fig.** 62 ist die Verbesserte Struktur 10-3 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 35 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 6-1 angewendet wird.

(4) Verbesserte Struktur 10-4

**[0402] Fig.** 63 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 10-4 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0403]** Unter Bezugnahme auf **Fig.** 63 ist die Verbesserte Struktur 10-4 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 40 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 6-1 angewendet wird.

**[0404]** Als modifiziertes Beispiel für die Verbesserte Struktur 6-1 der Halbleitervorrichtung 1 wurden vier Beispiele für die Verbesserte Struktur 10-1 bis 10-4 gezeigt; es können jedoch viele andere Beispiele als modifiziertes Beispiel für die vorstehend beschriebene Verbesserte Struktur 6-1 gezeigt werden. Beispielsweise kann in der Verbesserten Struktur 10-1 bis zur Verbesserten Struktur 10-4 ein Verhältnis zweiter Abstand P2 > erster Abstand P1 festgelegt werden. Außerdem kann der vorstehend beschriebene schwebende Bereich 52 (siehe beispielsweise **Fig.** 28, **Fig.** 29, **Fig.** 33, **Fig.** 34, **Fig.** 37, **Fig.** 39, **Fig.** 42 usw.) im IGBT-Bereich 8 jeder von der Verbesserten Struktur 10-1 bis zur Verbesserten Struktur 10-4 gebildet werden.

[Verbesserte Struktur 11 der Halbleitervorrichtung 1]

(1) Verbesserte Struktur 11-1

**[0405] Fig.** 64 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 11-1 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0406]** Unter Bezugnahme auf **Fig.** 64 ist die Verbesserte Struktur 11-1 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 24 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 7-1 angewendet wird.

(2) Verbesserte Struktur 11-2

**[0407] Fig.** 65 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 11-2 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0408]** Unter Bezugnahme auf **Fig.** 65 ist die Verbesserte Struktur 11-2 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 25 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 7-1 angewendet wird.

(3) Verbesserte Struktur 11-3

**[0409] Fig.** 66 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 11-3 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0410]** Unter Bezugnahme auf **Fig.** 66 ist die Verbesserte Struktur 11-3 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 35 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 7-1 angewendet wird.

(4) Verbesserte Struktur 11-4

**[0411] Fig.** 67 ist eine schematische Querschnittsansicht, die eine Verbesserte Struktur 11-4 der Halbleitervorrichtung 1 zeigt. Es wird darauf hingewiesen, dass eine Struktur, die mit der vorstehend genannten Struktur übereinstimmt, mit dem gleichen Bezugszeichen versehen wird und auf eine Beschreibung derselben verzichtet wird.

**[0412]** Unter Bezugnahme auf **Fig.** 67 ist die Verbesserte Struktur 11-4 eine Struktur, in der die Struktur des Anodenbereichs 62 von **Fig.** 40 als Anodenbereich 62 der vorstehend beschriebenen Verbesserten Struktur 7-1 angewendet wird.

**[0413]** Als modifiziertes Beispiel für die Verbesserte Struktur 7-1 der Halbleitervorrichtung 1 wurden vier Beispiele für die Verbesserte Struktur 11-1 bis 11-4 gezeigt; es können jedoch viele andere Beispiele als modifiziertes Beispiel für die vorstehend beschriebene Verbesserte Struktur 7-1 gezeigt werden. Beispielsweise kann in der Verbesserten Struktur 11-1 bis zur Verbesserten Struktur 11-4 ein Verhältnis zweiter Abstand P2 > erster Abstand P1 festgelegt werden. Außerdem kann der vorstehend beschriebene schwebende Bereich 52 (siehe beispielsweise **Fig.** 28, **Fig.** 29, **Fig.** 33, **Fig.** 34, **Fig.** 37, **Fig.** 39, **Fig.** 42 usw.) im IGBT-Bereich 8 jeder von der Verbesserten Struktur 11-1 bis zur Verbesserten Struktur 11-4 gebildet werden.
[Halbleitermodul 201 mit Halbleitervorrichtung 1]
**Fig.** 68 ist eine perspektivische Ansicht, die ein Konfigurationsbeispiel für ein Halbleitermodul 201 zeigt. Ein oder zwei oder mehr Halbleiterchips 202 sind in das Halbleitermodul 201 integriert.

**[0414]** In dieser bevorzugten Ausführungsform weist das Halbleitermodul 201 eine Struktur auf, in die die beiden Halbleiterchips 202 integriert sind. Im Folgenden werden die beiden Halbleiterchips 202 der Einfachheit halber jeweils als erster Halbleiterchip 202A und zweiter Halbleiterchip 202B bezeichnet.

**[0415]** Auf dem ersten Halbleiterchip 202A ist die Halbleitervorrichtung 1 gemäß der ersten bevorzugten Ausführungsform oder eine Halbleitervorrichtung 181 gemäß der zweiten bevorzugten Ausführungsform aufgebracht. Auf dem zweiten Halbleiterchip 202B ist die Halbleitervorrichtung 1 gemäß der ersten bevorzugten Ausführungsform oder die Halbleitervorrichtung 181 gemäß der zweiten bevorzugten Ausführungsform aufgebracht.

**[0416]** Unter Bezugnahme auf **Fig.** 68 schließt das Halbleitermodul 201 ein Gehäuse 203 ein, in dem der erste Halbleiterchip 202A und der zweite Halbleiterchip 202B untergebracht sind. Das Gehäuse 203 schließt eine Harzhülle 204 und ein Trägersubstrat 205 ein. Das Trägersubstrat 205 ist ein Substrat, das den ersten Halbleiterchip 202A und den zweiten Halbleiterchip 202B trägt.

**[0417]** Die Harzhülle 204 schließt eine Bodenwand 206 und Seitenwände 207A, 207B, 207C, 207D ein. Die Bodenwand 206 ist in Draufsicht aus der Normalenrichtung Z davon betrachtet in vierseitiger Form (in dieser bevorzugten Ausführungsform in rechteckiger Form) ausgebildet.

**[0418]** Ein Durchgangsloch 208 ist in der Bodenwand 206 ausgebildet. Das Durchgangsloch 208 ist in einem Bereich der Bodenwand 206 in einem Abstand von einer Umfangskante davon zu einem Innenbereich davon ausgebildet. In dieser bevorzugten Ausführungsform ist das Durchgangsloch 208 in Draufsicht in einer vierseitigen Form (in dieser bevorzugten Ausführungsform in einer rechteckigen Form) ausgebildet.

**[0419]** Die Seitenwände 207A bis 207D sind von der Umfangskante der Bodenwand 206 bis zur gegenüberliegenden Seite der Bodenwand 206 errichtet. Die Seitenwände 207A bis 207D grenzen eine Öffnung 209 auf der der Bodenwand 206 gegenüberliegenden Seite ab. Die Seitenwände 207A bis 207D grenzen mit der Bodenwand 206 einen Innenraum 210 ab.

**[0420]** Die Seitenwand 207A und die Seitenwand 207C erstrecken sich entlang einer kurzen Richtung der Bodenwand 206. Die Seitenwand 207A und die Seitenwand 207C liegen einander in einer langen Richtung der Bodenwand 206 gegenüber. Die Seitenwand 207B und die Seitenwand 207D erstrecken sich entlang der langen Richtung der Bodenwand 206. Die Seitenwand 207B und die Seitenwand 207D liegen einander in der kurzen Richtung der Bodenwand 206 gegenüber.

**[0421]** An den vier Ecken des Innenraums 210 sind jeweils Bolzeneinstecklöcher 211, 212, 213, 214 ausgebildet. Der Innenraum 210 wird durch ein nicht gezeigtes Deckelbauteil verschlossen. Das Deckelbauteil wird mittels Bolzen an den Bolzeneinstecklöchern 211, 212, 213, 214 befestigt.

**[0422]** Das Harzhülle 204 schließt eine Vielzahl von Anschlussträgerabschnitten 215, 216, 217, 218 ein. In dieser bevorzugten Ausführungsform schließen die Vielzahl von Anschlussträgerabschnitten 215 bis 218 einen ersten Anschlussträgerabschnitt 215, einen zweiten Anschlussträgerabschnitt 216, einen dritten Anschlussträgerabschnitt 217 und einen vierten Anschlussträgerabschnitt 218 ein.

**[0423]** Der erste Anschlussträgerabschnitt 215 und der zweite Anschlussträgerabschnitt 216 sind an einer Außenwand der Seitenwand 207A montiert. In dieser bevorzugten Ausführungsform sind der erste Anschlussträgerabschnitt 215 und der zweite Anschlussträgerabschnitt 216 einstückig mit der Außenwand der Seitenwand 207A ausgebildet.

**[0424]** Der erste Anschlussträgerabschnitt 215 und der zweite Anschlussträgerabschnitt 216 sind in der kurzen Richtung in einem Abstand voneinander ausgebildet. Der erste Anschlussträgerabschnitt 215 und der zweite Anschlussträgerabschnitt 216 sind jeweils in einer Blockform ausgebildet. Der erste Anschlussträgerabschnitt 215 und der zweite Anschlussträgerabschnitt 216 stehen jeweils von der Außenwand der Seitenwand 207A in der langen Richtung nach außen hervor.

**[0425]** Der dritte Anschlussträgerabschnitt 217 und der vierte Anschlussträgerabschnitt 218 sind an der Seitenwand 207C montiert. In dieser bevorzugten Ausführungsform sind der dritte Anschlussträgerabschnitt 217 und der vierte Anschlussträgerabschnitt 218 einstückig mit einer Außenwand der Seitenwand 207C ausgebildet.

**[0426]** Der dritte Anschlussträgerabschnitt 217 und der vierte Anschlussträgerabschnitt 218 sind in der kurzen Richtung in einem Abstand voneinander ausgebildet. Der dritte Anschlussträgerabschnitt 217 und der vierte Anschlussträgerabschnitt 218 sind jeweils in einer Blockform ausgebildet. Der dritte Anschlussträgerabschnitt 217 und der vierte Anschlussträgerabschnitt 218 stehen jeweils von der Seitenwand 207C in der langen Richtung nach außen hervor.

**[0427]** Der erste Anschlussträgerabschnitt 215, der zweite Anschlussträgerabschnitt 216, der dritte Anschlussträgerabschnitt 217 und der vierte Anschlussträgerabschnitt 218 weisen jeweils eine Stützwand 219 auf. Jede Stützwand 219 ist in einem Bereich positioniert, der weiter an der Seite der Öffnung 209 liegt als die Bodenwand 206. Jede Stützwand 219 ist in Draufsicht in einer vierseitigen Form ausgebildet.

**[0428]** Ein erstes Bolzeneinsteckloch 221 ist in einem Bereich zwischen dem ersten Anschlussträgerabschnitt 215 und dem zweiten Anschlussträgerabschnitt 216 ausgebildet. Ein zweites Bolzeneinsteckloch 222 ist in einem Bereich zwischen dem dritten Anschlussträgerabschnitt 217 und dem vierten Anschlussträgerabschnitt 218 ausgebildet.

**[0429]** Das Trägersubstrat 205 schließt eine Wärmeableitungsplatte 225, ein Isoliermaterial 226 und einen Schaltungsabschnitt 227 ein. Das Trägersubstrat 205 ist auf einer Außenoberfläche der Harzhülle 204 montiert, sodass der Schaltungsabschnitt 227 durch das Durchgangsloch 208 der Bodenwand 206 freiliegt. Das Trägersubstrat 205 kann auf der Außenoberfläche der Harzhülle 204 montiert werden, indem die Wärmeableitungsplatte 225 an der Außenoberfläche der Harzhülle 204 angeklebt wird.

**[0430]** Die Wärmeableitungsplatte 225 kann eine Metallplatte sein. Die Wärmeableitungsplatte 225 kann eine Isolierplatte sein, die mit einem Metallfilm beschichtet ist. Die Wärmeableitungsplatte 225 ist in Draufsicht aus der Normalenrichtung davon betrachtet in vierseitiger Form (in dieser bevorzugten Ausführungsform in rechteckiger Form) ausgebildet.

**[0431]** Das Isoliermaterial 226 ist auf der Wärmeableitungsplatte 225 ausgebildet. Das Isoliermaterial 226 kann ein Montagesubstrat sein, das ein Isoliermaterial enthält. Das Isoliermaterial 226 kann ein Isolierfilm sein, der als Film auf der Wärmeableitungsplatte 225 ausgebildet ist.

**[0432]** Der Schaltungsabschnitt 227 ist über das Isoliermaterial 226 auf der Wärmeableitungsplatte 225 ausgebildet. Der Schaltungsabschnitt 227 schließt eine Vielzahl von Verdrahtungen 231, 232, 233, den ersten Halbleiterchip 202A und den zweiten Halbleiterchip 202B ein. In dieser bevorzugten Ausführungsform schließen die Verdrahtungen 231 bis 233 eine erste Kollektorverdrahtung 231, eine zweite Kollektorverdrahtung 232 und eine Emitterverdrahtung 233 ein.

**[0433]** Die erste Kollektorverdrahtung 231 ist als Platte oder als Film ausgebildet. Die erste Kollektorverdrahtung 231 ist in Draufsicht in einer vierseitigen Form ausgebildet. Die erste Kollektorverdrahtung 231 ist in einem Bereich auf einer Seite (Seite der Seitenwand 207A) in der langen Richtung und in einem Bereich davon auf einer Seite (Seite der Seitenwand 207D) in der kurzen Richtung der Wärmeableitungsplatte 225 angeordnet.

**[0434]** Die zweite Kollektorverdrahtung 232 ist als Platte oder als Film ausgebildet. Die zweite Kollektorverdrahtung 232 ist in Draufsicht in einer vierseitigen Form ausgebildet. Die zweite Kollektorverdrahtung 232 ist in einem Abstand von der ersten Kollektorverdrahtung 231 in einem Bereich auf der anderen Seite (Seite der Seitenwand 207C) in der langen Richtung und in einem Bereich davon auf einer Seite (Seite der Seitenwand 207D) in der kurzen Richtung der Wärmeableitungsplatte 225 angeordnet.

**[0435]** Die Emitterverdrahtung 233 ist als Platte oder als Film ausgebildet. Die Emitterverdrahtung 233 ist in Draufsicht in einer vierseitigen Form ausgebildet. In dieser bevorzugten Ausführungsform ist die Emitterverdrahtung 233 in einer rechteckigen Form ausgebildet, die sich entlang der langen Richtung der Wärmeableitungsplatte 225 erstreckt.

**[0436]** Die Emitterverdrahtung 233 ist in einem Abstand von der ersten Kollektorverdrahtung 231 und der zweiten Kollektorverdrahtung 232 in einem Bereich auf der anderen Seite (Seite der Seitenwand 207B) in der kurzen Richtung der Wärmeableitungsplatte 225 angeordnet.

**[0437]** Der erste Halbleiterchip 202A ist auf der ersten Kollektorverdrahtung 231 in einer Ausrichtung angeordnet, in der die Kollektoranschlusselektrode 32 der Wärmeableitungsplatte gegenüberliegt. Die Kollektoranschlusselektrode 32 des ersten Halbleiterchips 202A ist über ein leitfähiges Bondingmaterial an die erste Kollektorverdrahtung 231 gebondet.

**[0438]** Dadurch wird die Kollektoranschlusselektrode 32 des ersten Halbleiterchips 202A elektrisch mit der ersten Kollektorverdrahtung 231 verbunden. Das leitfähige Bondingmaterial schließt ein Lötmittel oder eine leitfähige Paste ein.

**[0439]** Der zweite Halbleiterchip 202B ist auf der zweiten Kollektorverdrahtung 232 in einer Ausrichtung angeordnet, in der die Kollektoranschlusselektrode 32 der Wärmeableitungsplatte gegenüberliegt. Die Kollektoranschlusselektrode 32 des zweiten Halbleiterchips 202B ist über ein leitfähiges Bondingmaterial an die zweite Kollektorverdrahtung 232 gebondet.

**[0440]** Dadurch wird die Kollektoranschlusselektrode 32 des zweiten Halbleiterchips 202B elektrisch mit der zweiten Kollektorverdrahtung 232 verbunden. Das leitfähige Bondingmaterial schließt ein Lötmittel oder eine leitfähige Paste ein.

**[0441]** Das Halbleitermodul 201 schließt eine Vielzahl von Anschlüssen 234, 235, 236, 237 ein. Die Vielzahl von Anschlüssen 234 bis 237 schließen einen Kollektoranschluss 234, einen ersten Emitteranschluss 235, einen gemeinsamen Anschluss 236 und einen zweiten Emitteranschluss 237 ein.

**[0442]** Der Kollektoranschluss 234 ist auf dem ersten Anschlussträgerabschnitt 215 angeordnet. Der Kollektoranschluss 234 ist elektrisch mit der ersten Kollektorverdrahtung 231 verbunden. Der Kollektoranschluss 234 schließt einen ersten Bereich 238 und einen zweiten Bereich 239 ein. Der erste Bereich 238 des Kollektoranschlusses 234 ist außerhalb des Innenraums 210 positioniert. Der zweite Bereich 239 ist innerhalb des Innenraums 210 des Kollektoranschlusses 234 positioniert.

**[0443]** Der erste Bereich 238 des Kollektoranschlusses 234 wird durch die Stützwand 219 des ersten Anschlussträgerabschnitts 215 gestützt. Der zweite Bereich 239 des Kollektoranschlusses 234 durchdringt die Seitenwand 207A vom ersten Bereich 238 aus und ist in das Innere des Innenraums 210 herausgeführt. Der zweite Bereich 239 des Kollektoranschlusses 234 ist elektrisch mit der ersten Kollektorverdrahtung 231 verbunden.

**[0444]** Der erste Emitteranschluss 235 ist auf dem zweiten Anschlussträgerabschnitt 216 angeordnet. Der erste Emitteranschluss 235 ist elektrisch mit der Emitterverdrahtung 233 verbunden. Der erste Emitteranschluss 235 schließt einen ersten Bereich 240 und einen zweiten Bereich 241 ein. Der erste Bereich 240 des ersten Emitteranschlusses 235 ist außerhalb des Innenraums 210 positioniert. Der zweite Bereich 241 des ersten Emitteranschlusses 235 ist innerhalb des Innenraums 210 positioniert.

**[0445]** Der erste Bereich 240 des ersten Emitteranschlusses 235 wird durch die Stützwand 219 des zweiten Anschlussträgerabschnitts 216 gestützt. Der zweite Bereich 241 des ersten Emitteranschlusses 235 durchdringt die Seitenwand 207A vom ersten Bereich 240 aus und ist in das Innere des Innenraums 210 herausgeführt. Der zweite Bereich 241 des ersten Emitteranschlusses 235 ist elektrisch mit der Emitterverdrahtung 233 verbunden.

**[0446]** Der gemeinsame Anschluss 236 ist auf dem dritten Anschlussträgerabschnitt 217 angeordnet. Der gemeinsame Anschluss 236 ist elektrisch mit der zweiten Kollektorverdrahtung 232 verbunden. Der gemeinsame Anschluss 236 schließt einen ersten Bereich 242 und einen zweiten Bereich 243 ein. Der erste Bereich 242 des gemeinsamen Anschlusses 236 ist außerhalb des Innenraums 210 positioniert. Der zweite Bereich 243 des gemeinsamen Anschlusses 236 ist innerhalb des Innenraums 210 positioniert.

**[0447]** Der erste Bereich 242 des gemeinsamen Anschlusses 236 wird durch die Stützwand 219 des zweiten Anschlussträgerabschnitts 216 gestützt. Der zweite Bereich 243 des gemeinsamen Anschlusses 236 durchdringt die Seitenwand 207C vom ersten Bereich 240 aus und ist in das Innere des Innenraums 210 herausgeführt. Der zweite Bereich 243 des gemeinsamen Anschlusses 236 ist elektrisch mit der zweiten Kollektorverdrahtung 232 verbunden.

**[0448]** Der zweite Emitteranschluss 237 ist auf dem vierten Anschlussträgerabschnitt 218 angeordnet. Der zweite Emitteranschluss 237 ist elektrisch mit der Emitterverdrahtung 233 verbunden. Der zweite Emitteranschluss 237 schließt einen ersten Bereich 244 und einen zweiten Bereich 245 ein. Der erste Bereich 244 des zweiten Emitteranschlusses 237 ist außerhalb des Innenraums 210 positioniert. Der zweite Bereich 245 des zweiten Emitteranschlusses 237 ist innerhalb des Innenraums 210 positioniert.

**[0449]** Der erste Bereich 244 des zweiten Emitteranschlusses 237 wird durch die Stützwand 219 des vierten Anschlussträgerabschnitts 218 gestützt. Der zweite Bereich 245 des zweiten Emitteranschlusses 237 durchdringt die Seitenwand 207C vom ersten Bereich 244 aus und ist in das Innere des Innenraums 210 herausgeführt. Der zweite Bereich 245 des zweiten Emitteranschlusses 237 ist elektrisch mit der Emitterverdrahtung 233 verbunden.

**[0450]** Das Halbleitermodul 201 schließt eine Vielzahl von (in dieser bevorzugten Ausführungsform sechs) Seitenwandanschlüssen 246A bis 246H ein. Die Vielzahl von Seitenwandanschlüssen 246A bis 246H sind in einem Abstand entlang der Seitenwand 207D im Innenraum 210 angeordnet.

**[0451]** Die Vielzahl von Seitenwandanschlüssen 246A bis 246H schließen jeweils einen inneren Verbindungsabschnitt 247 und einen äußeren Verbindungsabschnitt 248 ein. Der innere Verbindungsabschnitt 247 ist an der Bodenwand 206 angeordnet. Der äußere Verbindungsabschnitt 248 erstreckt sich als Linie entlang der Seitenwand 207D vom inneren Verbindungsabschnitt 247 und ist aus dem Innenraum 210 nach außen herausgeführt.

**[0452]** Die Vielzahl von Seitenwandanschlüssen 246A bis 246H schließen vier Seitenwandanschlüsse 246A bis 246D für den ersten Halbleiterchip 202A und vier Seitenwandanschlüsse 246E bis 246H für den zweiten Halbleiterchip 202B ein.

**[0453]** Die Seitenwandanschlüsse 246A bis 246D liegen der ersten Kollektorverdrahtung 231 entlang der kurzen Richtung gegenüber. Der Seitenwandanschluss 246A ist als Gate-Anschluss ausgebildet, der mit der Gate-Anschlusselektrode 14 des ersten Halbleiterchips 202A verbunden ist.

**[0454]** Die Seitenwandanschlüsse 246B bis 246D sind jeweils als Anschlüsse ausgebildet, die mit der ersten Erfassungsanschlusselektrode 15, der zweiten Erfassungsanschlusselektrode 16 und der Stromdetektionsanschlusselektrode 17 des ersten Halbleiterchips 202A verbunden sind. Mindestens einer der Seitenwandanschlüsse 246B bis 246D kann ein offener Anschluss sein.

**[0455]** Die Seitenwandanschlüsse 246E bis 246H liegen der zweiten Kollektorverdrahtung 232 entlang der kurzen Richtung gegenüber. Der Seitenwandanschluss 246E ist als Gate-Anschluss ausgebildet, der mit der Gate-Anschlusselektrode 14 des zweiten Halbleiterchips 202B verbunden ist.

**[0456]** Die Seitenwandanschlüsse 246F bis 246H sind jeweils als Anschlüsse ausgebildet, die mit der ersten Erfassungsanschlusselektrode 15, der zweiten Erfassungsanschlusselektrode 16 und der Stromdetektionsanschlusselektrode 17 des zweiten Halbleiterchips 202B verbunden sind. Mindestens einer der Seitenwandanschlüsse 246F bis 246H kann ein offener Anschluss sein.

**[0457]** Das Halbleitermodul 201 schließt eine Vielzahl von Leitungsdrähten 249A bis 249J ein. Die Vielzahl von Leitungsdrähten 249A bis 249J können jeweils mindestens einen Materialtyp von Gold, Silber, Kupfer und Aluminium enthalten. Die Leitungsdrähte 249A bis 249J können jeweils einen Bondingdraht einschließen. Die Leitungsdrähte 249A bis 249J können jeweils eine leitfähige Platte enthalten.

**[0458]** Die Vielzahl von Leitungsdrähten 249A bis 249J schließen einen ersten Leitungsdraht 249A, einen zweiten Leitungsdraht 249B, einen dritten Leitungsdraht 249C, einen vierten Leitungsdraht 249D, einen fünften Leitungsdraht 249E, einen sechsten Leitungsdraht 249F, einen siebten Leitungsdraht 249G, einen achten Leitungsdraht 249H, einen neunten Leitungsdraht 249I und einen zehnten Leitungsdraht 249J ein.

**[0459]** Der erste Leitungsdraht 249A verbindet den Kollektoranschluss 234 und die erste Kollektorverdrahtung 231. Der zweite Leitungsdraht 249B verbindet den ersten Emitteranschluss 235 und die Emitterverdrahtung 233. Der dritte Leitungsdraht 249C verbindet den gemeinsamen Anschluss 236 und die zweite Kollektorverdrahtung 232.

**[0460]** Der vierte Leitungsdraht 249D verbindet den zweiten Emitteranschluss 237 und die Emitterverdrahtung 233. Der fünfte Leitungsdraht 249E verbindet die Emitteranschlusselektrode 13 und die zweite Kollektorverdrahtung 232 des ersten Halbleiterchips 202A. Der sechste Leitungsdraht 249F verbindet die Emitteranschlusselektrode 13 und die Emitterverdrahtung 233 des zweiten Halbleiterchips 202B.

**[0461]** Der siebte Leitungsdraht 249G verbindet die Gate-Anschlusselektrode 14 und den Seitenwandanschluss 246A des ersten Halbleiterchips 202A. Der achte Leitungsdraht 249H verbindet die Gate-Anschlusselektrode 14 und den Seitenwandanschluss 246E des zweiten Halbleiterchips 202B.

**[0462]** Der neunte Leitungsdraht 249I verbindet die erste Erfassungsanschlusselektrode 15, die zweite Erfassungsanschlusselektrode 16 und die Stromdetektionsanschlusselektrode 17 des ersten Halbleiterchips 202A mit den Seitenwandanschlüssen 246B bis 246D.

**[0463]** Der zehnte Leitungsdraht 249J verbindet die erste Erfassungsanschlusselektrode 15, die zweite Erfassungsanschlusselektrode 16 und die Stromdetektionsanschlusselektrode 17 des zweiten Halbleiterchips 202B mit den Seitenwandanschlüssen 246F bis 246H.

**[0464]** **Fig.** 69 ist ein Schaltbild, das eine elektrische Konfiguration des in **Fig.** 68 gezeigten Halbleitermoduls 201 zeigt.

**[0465]** Unter Bezugnahme auf **Fig.** 69 einschließt das Halbleitermodul 201 eine Halbbrückenschaltung 250 ein. Die Halbbrückenschaltung 250 schließt den ersten Halbleiterchip 202A und den zweiten Halbleiterchip 202B ein.

**[0466]** Der erste Halbleiterchip 202A bildet einen hochspannungsseitigen Zweig der Halbbrückenschaltung 250. Der zweite Halbleiterchip 202B bildet einen niederspannungseitigen Zweig der Halbbrückenschaltung 250.

**[0467]** Der Gate-Anschluss (Seitenwandanschluss 246A) ist mit der Gate-Anschlusselektrode 14 des ersten Halbleiterchips 202A verbunden. Der Kollektoranschluss 234 ist mit der Kollektoranschlusselektrode 32 des ersten Halbleiterchips 202A verbunden.

**[0468]** Die Kollektoranschlusselektrode 32 des zweiten Halbleiterchips 202B ist mit der Emitteranschlusselektrode 13 des ersten Halbleiterchips 202A verbunden. Der gemeinsame Anschluss 236 ist mit einem Verbindungsabschnitt der Emitteranschlusselektrode 13 des ersten Halbleiterchips 202A und der Kollektoranschlusselektrode 32 des zweiten Halbleiterchips 202B verbunden.

**[0469]** Der Gate-Anschluss (Seitenwandanschluss 246D) ist mit der Gate-Anschlusselektrode 14 des zweiten Halbleiterchips 202B verbunden. Der erste Emitteranschluss 235 (zweiter Emitteranschluss 237) ist mit der Emitteranschlusselektrode 13 des zweiten Halbleiterchips 202B verbunden.

**[0470]** Eine Gate-Treiber-IC usw. kann über den Gate-Anschluss (Seitenwandanschluss 246A) mit der Gate-Anschlusselektrode 14 des ersten Halbleiterchips 202A verbunden sein. Eine Gate-Treiber-IC usw. kann über den Gate-Anschluss (Seitenwandanschluss 246D) mit der Gate-Anschlusselektrode 14 des zweiten Halbleiterchips 202B verbunden sein.

**[0471]** Das Halbleitermodul 201 kann ein Wechselrichtermodul sein, das eine beliebige Phase von einer U-Phase, einer V-Phase und einer W-Phase in einem Drehstrommotor, der die U-Phase, die V-Phase und die W-Phase aufweist, antreibt. Eine Wechselrichtervorrichtung, die den Drehstrommotor antreibt, kann aus drei Halbleitermodulen 201 angeordnet sein, die der U-Phase, der V-Phase und der W-Phase des Drehstrommotors entsprechen.

**[0472]** In diesem Fall ist eine Gleichstromversorgung an den Kollektoranschluss 234 und den ersten Emitteranschluss 235 (zweiten Emitteranschluss 237) jedes Halbleitermoduls 201 angeschlossen. Außerdem ist eine beliebige Phase von der U-Phase, der V-Phase und der W-Phase des Drehstrommotors als Last an den gemeinsamen Anschluss 236 jedes Halbleitermoduls 201 angeschlossen.

**[0473]** Mit der Wechselrichtervorrichtung werden der erste Halbleiterchip 202A und der zweite Halbleiterchip 202B gemäß einem vorgegebenen Schaltmuster angesteuert und gesteuert. Dabei wird eine Gleichspannung in eine dreiphasige Wechselspannung umgewandelt und der Drehstrommotor wird sinusförmig angetrieben.

**[0474]** Die bevorzugten Ausführungsformen der vorliegenden Offenbarung können in noch anderen Modi implementiert werden.

**[0475]** Bei jeder der vorstehend beschriebenen bevorzugten Ausführungsformen kann die Halbleiterschicht 2 eine laminierte Struktur aufweisen, die ein p-Typ-Halbleitersubstrat anstelle des $n^-$-Typ-Halbleitersubstrats 31 und eine auf dem Halbleitersubstrat ausgebildete $n^-$-Typ-Epitaxialschicht einschließt. In diesem Fall entspricht das p-Typ-Halbleitersubstrat dem Kollektorbereich 34. Außerdem entspricht die $n^-$-Typ-Epitaxialschicht dem Driftbereich 30.

**[0476]** Das p-Typ-Halbleitersubstrat kann aus Silizium hergestellt sein. Die $n^-$-Typ-Epitaxialschicht kann aus Silizium hergestellt sein. Die $n^-$-Typ-Epitaxialschicht wird durch epitaktisches Wachstum von Silizium von einer Hauptoberfläche des p-Typ-Halbleitersubstrats aus gebildet.

**[0477]** Bei jeder der vorstehend beschriebenen bevorzugten Ausführungsformen kann eine Struktur angewendet werden, bei der die Leitfähigkeitstypen der jeweiligen Halbleiterabschnitte umgekehrt sind. Das heißt, ein p-Typ-Abschnitt kann so ausgebildet sein, dass er vom n-Typ ist, und ein n-Typ-Abschnitt kann so ausgebildet sein, dass er vom p-Typ ist.

**[0478]** Aus dieser Beschreibung und den Zeichnungen sind die nachfolgend aufgeführten Merkmale ersichtlich.

[Anhang 1-1]

**[0479]** Halbleitervorrichtung (1), umfassend:

eine Halbleiterschicht (2), die eine erste Hauptoberfläche (3) und eine zweite Hauptoberfläche (4) auf der gegenüberliegenden Seite davon aufweist;

einen IGBT-Bereich (8), der in der Halbleiterschicht (2) ausgebildet ist;

einen Diodenbereich (9), der in der Halbleiterschicht (2) ausgebildet ist und zu dem IGBT-Bereich (8) benachbart ist;

einen ersten Verunreinigungsbereich (30, 31) eines ersten Leitfähigkeitstyps, der innerhalb der Halbleiterschicht (2) ausgebildet ist;

eine Vielzahl von ersten Gräben (64), die in der ersten Hauptoberfläche (3) des Diodenbereichs (9) ausgebildet sind;

einen Diodenzellenbereich (69), der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben (64) eingeschlossen ist;

einen zweiten Verunreinigungsbereich (62) eines zweiten Leitfähigkeitstyps, der an einem

Oberflächenschichtabschnitt der ersten Hauptoberfläche (3) im Diodenbereich (9) ausgebildet ist, wobei sich der zweite Verunreinigungsbereich (62) im Diodenzellenbereich (69) tiefer als eine Bodenwand des ersten Grabens (64) von der ersten Hauptoberfläche (3) entlang einer Seitenwand des ersten Grabens (64) erstreckt und außerdem mit dem ersten Verunreinigungsbereich (30, 31) einen pn-Übergangsabschnitt (68) bildet, der mindestens einen Teil der Bodenwände der zueinander benachbarten ersten Gräben (64) bedeckt;

eine erste Elektrode (32), die elektrisch mit dem ersten Verunreinigungsbereich (30, 31) verbunden ist;

und eine zweite Elektrode (13), die elektrisch mit dem zweiten Verunreinigungsbereich (62) verbunden ist.

[Anhang 1-2]

**[0480]** Halbleitervorrichtung (1) nach Anhang 1-1, wobei die Vielzahl von Diodenzellenbereichen (69) zueinander benachbart sind, wobei der erste Graben (64) dazwischen angeordnet ist, und
der zweite Verunreinigungsbereich (62) einen ersten Abschnitt (57) einschließt, der in jedem der Diodenzellenbereiche (69) ausgebildet ist, und einen zweiten Abschnitt (58), der sich so erstreckt, dass er die Vielzahl von ersten Gräben (64) entlang der ersten Hauptoberfläche (3) kreuzt, die Bodenwände der Vielzahl von ersten Gräben (64) von der Seite der zweiten Hauptoberfläche (4) her vollständig bzw. integral bedeckt, die ersten Abschnitte (57) der Vielzahl von Diodenzellenbereichen (69) koppelt und den pn-Übergangsabschnitt (68) mit dem ersten Verunreinigungsbereich (30, 31) bildet.

[Anhang 1-2-2]

**[0481]** Halbleitervorrichtung (1) nach Anhang 1-2, wobei der erste Abschnitt (57) des zweiten Verunreinigungsbereichs (62) über einer gesamten Fläche ausgehend von der ersten Hauptoberfläche (3) des Diodenzellenbereichs (69) zwischen den zueinander benachbarten ersten Gräben (64) bis zur Bodenwand des ersten Grabens (64) ausgebildet ist.

[Anhang 1-2-3]

**[0482]** Halbleitervorrichtung (1) nach Anhang 1-1, wobei die Vielzahl von Diodenzellenbereichen (69) zueinander benachbart sind, wobei der erste Graben (64) dazwischen angeordnet ist, und
der zweite Verunreinigungsbereich (62) integral bzw. vollständig einen Basisabschnitt (77), der über die Vielzahl von ersten Gräben (64) unterhalb der Bodenwände der Vielzahl von ersten Gräben (64) hinweg ausgebildet ist und den pn-Übergangsabschnitt (68) mit dem ersten Verunreinigungsbereich (30, 31) bildet, und einen Verzweigungsabschnitt (78) einschließt, der von dem Basisabschnitt (77) in Richtung der ersten Hauptoberfläche (3) an einer Position jedes Diodenzellenbereichs (69) ausgebildet ist.

[Anhang 1-2-4]

**[0483]** Halbleitervorrichtung (1) nach Anhang 1-1, wobei die Vielzahl von Diodenzellenbereichen (69) zueinander benachbart sind, wobei der erste Graben (64) dazwischen angeordnet ist, und
der zweite Verunreinigungsbereich (62) die Bodenwände der Vielzahl von ersten Gräben (64) kollektiv bzw. insgesamt bedeckt und über die Vielzahl von Diodenzellenbereichen (69) hinweg ausgebildet ist.

[Anhang 1-2-5]

**[0484]** Halbleitervorrichtung (1) nach Anhang 1-1, die eine erste eingebettete Leiterschicht bzw. leitfähige Schicht (66) einschließt, die über eine erste Isolierschicht (65) in den ersten Graben (64) eingebettet ist.

[Anhang 1-3]

**[0485]** Halbleitervorrichtung (1) nach Anhang 1-2, wobei der pn-Übergangsabschnitt (68) eine Schnittform bzw. Querschnittsform aufweist, die an der Seite der ersten Hauptoberfläche (3) und an der Seite der zweiten Hauptoberfläche (4) entlang der ersten Hauptoberfläche (3) der Halbleiterschicht (2) abwechselnd ansteigt und abfällt.

[Anhang 1-3-2]

**[0486]** Halbleitervorrichtung (1) nach Anhang 1-2, wobei der pn-Übergangsabschnitt (68) eine gewellte Form mit abwechselnden Höhen und Tiefen in einer Dickenrichtung der Halbleiterschicht (2) aufweist.

[Anhang 1-4]

**[0487]** Halbleitervorrichtung (1) nach Anhang 1-3, wobei der pn-Übergangsabschnitt (68) in Richtung hin zu der Seite der zweiten Hauptoberfläche (4) direkt unter dem Diodenzellenbereich (69) erhöht ist und in Richtung hin zu der Seite der ersten Hauptoberfläche (3) direkt unter dem ersten Graben (64) erhöht ist.

[Anhang 1-4-2]

**[0488]** Halbleitervorrichtung (1) nach Anhang 1-3-2, wobei der pn-Übergangsabschnitt (68) einen ersten Wölbungsabschnitt (59), der sich mit dem Diodenzellenbereich (69) in einer Dickenrichtung der Halbleiterschicht (2) überlappt und sich in Richtung der

zweiten Hauptoberfläche (4) wölbt, und einen zweiten Wölbungsabschnitt (60) einschließt, der sich mit dem ersten Graben (64) überlappt und in Richtung der ersten Hauptoberfläche (3) hervorsteht.

[Anhang 1-5]

**[0489]** Halbleitervorrichtung (1) nach Anhang 1-1, wobei die Vielzahl von Diodenzellenbereichen (69) zueinander benachbart sind, wobei der erste Graben (64) dazwischen angeordnet ist, und
der zweite Verunreinigungsbereich (62) physisch unabhängig in jedem der Diodenzellenbereiche (69) ausgebildet ist und den pn-Übergangsabschnitt (68) mit dem ersten Verunreinigungsbereich (30, 31) auf einer lateralen Seite der Bodenwand des ersten Grabens (64) bildet.

[Anhang 1-5-2]

**[0490]** Halbleitervorrichtung (1) nach Anhang 1-5, wobei die Bodenwand des ersten Grabens (64) in einer gekrümmten Form ausgebildet ist, die sich in Richtung der Seite der zweiten Hauptoberfläche (4) wölbt, und
der zweite Verunreinigungsbereich (62) einen Bodenabschnitt (27) aufweist, der in einer gekrümmten Form ausgebildet ist und einen Scheitelabschnitt (26) aufweist, der weiter an der Seite der zweiten Hauptoberfläche (4) positioniert ist als ein gekrümmter Scheitelabschnitt (25) der Bodenwand des gekrümmt geformten ersten Grabens (64).

[Anhang 1-5-3]

**[0491]** Halbleitervorrichtung (1) nach Anhang 1-5-2, wobei die Bodenwand des gekrümmt geformten ersten Grabens (64) derart beschaffen ist, dass ein Teil davon (43) durch den Bodenabschnitt (27) des zweiten Verunreinigungsbereichs (62) bedeckt ist, und der gekrümmte Scheitelabschnitt (25) in Kontakt mit dem ersten Verunreinigungsbereich (30, 31) steht.

[Anhang 1-6]

**[0492]** Halbleitervorrichtung (1) nach Anhang 1-5, wobei der pn-Übergangsabschnitt (68) einen ersten Endabschnitt (28) in einer Bodenwand eines der zueinander benachbarten ersten Gräben (64) aufweist und einen zweiten Endabschnitt (29) in einer Bodenwand des anderen der zueinander benachbarten ersten Gräben (64) aufweist.

[Anhang 1-7]

**[0493]** Halbleitervorrichtung (1) nach Anhang 1-6, wobei der pn-Übergangsabschnitt (68) in einer gekrümmten Form ausgebildet ist, die in Bezug auf die beiden Endabschnitte (28, 29) in Richtung der Seite der zweiten Hauptoberfläche (4) erhöht ist, und zwar mit dem ersten Endabschnitt (28) und dem zweiten Endabschnitt (29) als die beiden Endabschnitte.

[Anhang 1-8]

**[0494]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 1-1 bis Anhang 1-7, die eine Vielzahl von zweiten Gräben (39, 54, 74) einschließt, die in der ersten Hauptoberfläche (3) des IGBT-Bereichs (8) ausgebildet und in einem ersten Abstand (P1) angeordnet sind, wobei
die Vielzahl von ersten Gräben (64) in einem zweiten Abstand (P2) angeordnet sind, der der gleiche ist wie der erste Abstand (P1).

[Anhang 1-8-2]

**[0495]** Halbleitervorrichtung (1) nach Anhang 1-8, wobei der erste Abstand (P1) und der zweite Abstand (P2) nicht weniger als 1,0 µm und nicht mehr als 3,5 µm betragen.

[Anhang 1-9]

**[0496]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 1-1 bis Anhang 1-7, die eine Vielzahl von zweiten Gräben (39, 54, 74) einschließt, die in der ersten Hauptoberfläche (3) des IGBT-Bereichs (8) ausgebildet und in einem ersten Abstand (P1) angeordnet sind, wobei
die Vielzahl von ersten Gräben (64) in einem zweiten Abstand (P2) angeordnet sind, der größer ist als der erste Abstand (P1).

[Anhang 1-9-2]

**[0497]** Halbleitervorrichtung (1) nach Anhang 1-8, wobei der zweite Abstand (P2) nicht weniger als 1,0-mal und nicht mehr als 3,0-mal größer ist als der erste Abstand (P1).

[Anhang 1-9-3]

**[0498]** Halbleitervorrichtung (1) nach Anhang 1-9-2, wobei der erste Abstand (P1) nicht weniger als 1,0 µm und nicht mehr als 3,5 µm beträgt, und
der zweite Abstand (P2) nicht weniger als 1,0 µm und nicht mehr als 10,0 µm beträgt.

[Anhang 1-10]

**[0499]** Halbleitervorrichtung (1) nach Anhang 1-2, die einen zweiten Graben (39, 54, 74), der in der ersten Hauptoberfläche (3) des IGBT-Bereichs (8) ausgebildet ist, und
einen dritten Verunreinigungsbereich (87) eines zweiten Leitfähigkeitstyps einschließt, der selektiv in einer Bodenwand des zweiten Grabens (39, 54, 74) ausgebildet ist, wobei

der zweite Abschnitt (58) des zweiten Verunreinigungsbereichs (62) einen Vorsprungsabschnitt (88) einschließt, der auf der Seite der zweiten Hauptoberflächenseite (4) direkt unter dem ersten Graben (64) selektiv hervorsteht.

[Anhang 1-10-2]

**[0500]** Halbleitervorrichtung (1) nach Anhang 1-2-2, die ferner einen Mesa-Bereich (89) eines zweiten Leitfähigkeitstyps einschließt, der selektiv in einer halbkreisförmigen Form oder einer halbelliptischen Form von einem Bodenabschnitt des zweiten Verunreinigungsbereichs (62) in Richtung der Seite der zweiten Hauptoberfläche (4) direkt unter jedem der ersten Gräben (64) hervorsteht.

[Anhang 1-10-3]

**[0501]** Halbleitervorrichtung (1) nach Anhang 1-10-2, die ferner eine Vielzahl von zweiten Gräben (39, 54, 74), die in der ersten Hauptoberfläche (3) des IGBT-Bereichs (8) ausgebildet sind, und
einen dritten Verunreinigungsbereich (87) eines zweiten Leitfähigkeitstyps einschließt, der selektiv in einer halbkreisförmigen oder einer halbelliptischen Form von der Bodenwand des zweiten Grabens (39, 54, 74) in Richtung der Seite der zweiten Hauptoberfläche (4) hervorsteht, wobei
der Mesa-Bereich (89) und der dritte Verunreinigungsbereich (87) die gleiche Verunreinigungskonzentration aufweisen.

[Anhang 1-11]

**[0502]** Halbleitervorrichtung (1) nach Anhang 1-10, wobei der zweite Abschnitt (58) des zweiten Verunreinigungsbereichs (62) einen Basisabschnitt (77) einschließt, der sich so erstreckt, dass er die Vielzahl von ersten Gräben (64) kontinuierlich kreuzt bzw. quert, und mit dem Vorsprungsabschnitt (88) direkt unter jedem der ersten Gräben (64) verbunden ist, und
der Basisabschnitt (77) einen gekrümmten Abschnitt (90) aufweist, der in einer gekrümmten Form ausgebildet ist, die zwischen den zueinander benachbarten Vorsprungsabschnitten (88) in Richtung der Seite der zweiten Hauptoberfläche (4) erhöht ist.

[Anhang 1-12]

**[0503]** Halbleitervorrichtung (1) nach Anhang 1-11, wobei der Vorsprungsabschnitt (88) eine gekrümmte Form aufweist, deren Vorsprungsbetrag größer ist als jener der gekrümmten Form des gekrümmten Abschnitts (90).

[Anhang 1-13]

**[0504]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 1-10 bis Anhang 1-12, wobei der Vorsprungsabschnitt (88) eine Tiefe aufweist, die im Wesentlichen gleich der des dritten Verunreinigungsbereichs (87) ist.

[Anhang 1-14]

**[0505]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 1-10 bis Anhang 1-13, wobei die Vielzahl von zweiten Gräben (39, 54, 74) in einem ersten Abstand (engl. pitch) (P1) angeordnet sind, und
die Vielzahl von ersten Gräben (64) in einem zweiten Abstand (P2) angeordnet sind, der der gleiche ist wie der erste Abstand (P1).

[Anhang 1-14-2]

**[0506]** Halbleitervorrichtung (1) nach Anhang 1-14, wobei der erste Abstand (P1) und der zweite Abstand (P2) nicht weniger als 1,0 µm und nicht mehr als 3,5 µm betragen.

[Anhang 1-15]

**[0507]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 1-10 bis Anhang 1-13, wobei die Vielzahl von zweiten Gräben (39, 54, 74) in einem ersten Abstand (P1) angeordnet sind, und
die Vielzahl von ersten Gräben (64) in einem zweiten Abstand (P2) angeordnet sind, der größer ist als der erste Abstand (P1).

[Anhang 1-15-2]

**[0508]** Halbleitervorrichtung (1) nach Anhang 1-15, wobei der zweite Abstand (P2) nicht weniger als 1,0-mal und nicht mehr als 3,0-mal größer ist als der erste Abstand (P1).

[Anhang 1-15-3]

**[0509]** Halbleitervorrichtung (1) nach Anhang 1-15-2, wobei der erste Abstand (P1) nicht weniger als 1,0 µm und nicht mehr als 3,5 µm beträgt, und
der zweite Abstand (P2) nicht weniger als 1,0 µm und nicht mehr als 10,0 µm beträgt.

[Anhang 1-16]

**[0510]** Halbleitervorrichtung (1) nach Anhang 1-1, wobei der zweite Verunreinigungsbereich (62) einen geneigten Abschnitt (95) einschließt, der von einer Seitenwand mindestens eines der ersten Gräben (64) in Richtung der zweiten Hauptoberfläche (4) in einer Richtung weg von dem IGBT-Bereich (8) nach unten hin zu einer Position geneigt ist, die tiefer liegt

als die Bodenwand des ersten Grabens (64), und einen flachen Abschnitt (96), der sich bis zu einem unteren Ende (98) des geneigten Abschnitts (95) fortsetzt, sich entlang der ersten Hauptoberfläche (3) erstreckt und die Bodenwände der Vielzahl von ersten Gräben (64) von der Seite der zweiten Hauptoberfläche (4) her vollständig bedeckt.

[Anhang 1-16-2]

**[0511]** Halbleitervorrichtung (1) nach Anhang 1-16, wobei der geneigte Abschnitt (95) einen gekrümmten Abschnitt (95) in Kreisbogenform einschließt, der in Richtung des IGBT-Bereichs (8) gekrümmt ist.

[Anhang 1-17]

**[0512]** Halbleitervorrichtung (1) nach Anhang 1-16, wobei der geneigte Abschnitt (95) nach unten in Richtung der zweiten Hauptoberfläche (4) geneigt ist, wobei eine Seitenwand des ersten Grabens (64), der unter der Vielzahl von ersten Gräben (64) dem IGBT-Bereich (8) am nächsten ist, als Startpunkt (97) gegeben ist.

[Anhang 1-17-2]

**[0513]** Halbleitervorrichtung (1) nach Anhang 1-17, wobei der geneigte Abschnitt (95) durch den ersten Graben (64), der zu dem ersten Graben (64), der den Startpunkt (97) des geneigten Abschnitts (95) bildet, benachbart ist, geteilt bzw. unterteilt ist.

[Anhang 1-18]

**[0514]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 1-1 bis Anhang 1-17, wobei der zweite Verunreinigungsbereich (62) den tiefsten Abschnitt an einer Tiefenposition aufweist, die nicht weniger als 0,1 µm und nicht mehr als 3,0 µm von der Bodenwand des ersten Grabens (64) entfernt ist.

[Anhang 1-19]

**[0515]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 1-1 bis Anhang 1-18, wobei der IGBT-Bereich (8) einen Driftbereich (30) eines ersten Leitfähigkeitstyps, der innerhalb der Halbleiterschicht (2) ausgebildet ist, und eine FET-Struktur (35) einschließt, die einen Körperbereich (45) eines zweiten Leitfähigkeitstyps, der in einem Oberflächenschichtabschnitt des Driftbereichs (30) ausgebildet ist, einen Emitterbereich (46) eines ersten Leitfähigkeitstyps, der in einem Oberflächenschichtabschnitt des Körperbereichs (45) ausgebildet ist, und eine Gate-Leiterschicht bzw. leitfähige Gate-Schicht (41), die dem Körperbereich (45) und dem Emitterbereich (46) über eine Gate-Isolierschicht (40) gegenüberliegt, einschließt.

[Anhang 1-19-2]

**[0516]** Halbleitervorrichtung (1) nach Anhang 1-19, die eine zweite Isolierschicht (79), die die erste Hauptoberfläche (3) im IGBT-Bereich (8) bedeckt und eine Diodenöffnung (84) aufweist, die die erste Hauptoberfläche (3) in dem Diodenbereich (9) freilegt, und
eine Steckerelektrode (91) einschließt, die in die zweite Isolierschicht (79) eingebettet und elektrisch mit dem Emitterbereich (46) verbunden ist, wobei
die zweite Elektrode (13) auf der zweiten Isolierschicht (79) über die Steckerelektrode (91) elektrisch mit dem Emitterbereich (46) verbunden ist.

[Anhang 1-19-3]

**[0517]** Halbleitervorrichtung (1) nach Anhang 1-19 oder Anhang 1-19-2, wobei die FET-Struktur (35) einen Trägerspeicherungsbereich (47) eines ersten Leitfähigkeitstyps einschließt, der zwischen dem Körperbereich (45) und dem Driftbereich (30) ausgebildet ist und eine höhere Verunreinigungskonzentration als die des Driftbereichs (30) aufweist.

[Anhang 1-19-4]

**[0518]** Halbleitervorrichtung (1) nach Anhang 1-19-3, die einen dritten Graben (73A), der in der ersten Hauptoberfläche (3) des IGBT-Bereichs (8) benachbart zu dem ersten Graben (64) ausgebildet ist und eine Grenze (72) zwischen dem IGBT-Bereich (8) und dem Diodenbereich (9) bildet, und
eine zweite eingebettete Leit- bzw. Leiterschicht (76) einschließt, die über eine Isolierschicht (75) in den dritten Graben (73A) eingebettet ist.

[Anhang 1-19-5]

**[0519]** Halbleitervorrichtung (1) nach Anhang 1-19-4, wobei der Körperbereich (45) und ein vierter Verunreinigungsbereich (47) mit der gleichen Verunreinigungskonzentration wie der Trägerspeicherungsbereich (47) nacheinander ausgehend von der Seite der ersten Hauptoberfläche (3) zwischen dem dritten Graben (73A) und dem ersten Graben (64) benachbart zu dem dritten Graben (73A) ausgebildet sind.

[Anhang 1-19-6]

**[0520]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 1-19 bis Anhang 1-19-5, wobei der IGBT-Bereich (8) einen schwebenden (floating) Bereich (52) eines zweiten Leitfähigkeitstyps einschließt, der benachbart zu der FET-Struktur (35) in einem Oberflächenschichtabschnitt der ersten Hauptoberfläche (3) ist und in einem elektrisch schwebenden Zustand ausgebildet ist.

[Anhang 1-19-7]

**[0521]** Halbleitervorrichtung (1) nach Anhang 1-19-6, wobei der IGBT-Bereich (8) eine bereichstrennende Struktur (53) einschließt, die den schwebenden Bereich (52) in der ersten Hauptoberfläche (3) von der FET-Struktur (35) abgrenzt.

[Anhang 1-20]

**[0522]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 1-1 bis Anhang 1-19, die ferner ein RC-IGBT-Array (12) einschließt, das die Vielzahl von IGBT-Bereichen (8) und die Vielzahl von Diodenbereichen (9) einschließt, die entlang der ersten Richtung (X) abwechselnd angeordnet sind.

[Anhang 1-21]

**[0523]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 1-1 bis Anhang 1-20, wobei der IGBT-Bereich (8) einen Kollektorbereich (34) eines zweiten Leitfähigkeitstyps einschließt, der in einem Oberflächenschichtabschnitt der zweiten Hauptoberfläche (4) ausgebildet ist, und
der Kollektorbereich (34) einen herausgeführten Bereich (182) einschließt, der eine Grenze (72) zwischen dem IGBT-Bereich (8) und dem Diodenbereich (9) kreuzt und zur Seite des Diodenbereichs (9) herausgeführt ist.

[Anhang 1-21-2]

**[0524]** Halbleitervorrichtung (1) nach Anhang 1-21, wobei der herausgeführte Bereich (182) eine Breite von nicht weniger als 30 µm und nicht mehr als 50 µm ausgehend von der Grenze (72) zwischen dem IGBT-Bereich (8) und dem Diodenbereich (9) aufweist.

[Anhang 1-22]

**[0525]** Verfahren zur Herstellung der Halbleitervorrichtung (1), umfassend:

einen Schritt des Bildens eines ersten Verunreinigungseinführungsbereichs (62) durch selektives Einführen einer Verunreinigung eines zweiten Leitfähigkeitstyps in einen Diodenbereich (9) in einer Halbleiterschicht (162), wobei die Halbleiterschicht (162) eine erste Hauptoberfläche (163) aufweist, an der ein erster Verunreinigungsbereich (30, 31) eines ersten Leitfähigkeitstyps ausgebildet ist, und eine zweite Hauptoberfläche (164) auf der gegenüberliegenden Seite davon aufweist, und wobei ein IGBT-Bereich (8) und der Diodenbereich (9), die zueinander benachbart sind, in der Halbleiterschicht (162) eingerichtet werden;

einen Schritt des Bildens einer Vielzahl von ersten Gräben (64) in dem Diodenbereich (9), derart, dass der erste Verunreinigungseinführungsbereich (62) sandwich-artig zwischen der Vielzahl von ersten Gräben (64) eingeschlossen bzw. angeordnet wird;

einen Schritt des Ausbildens, und zwar durch Diffundieren der Verunreinigung des zweiten Leitfähigkeitstyps des ersten Verunreinigungseinführungsbereichs (62) mittels einer Wärmebehandlung, eines zweiten Verunreinigungsbereichs (62), der sich von der ersten Hauptoberfläche (163) entlang einer Seitenwand des ersten Grabens (64) in einem Diodenzellenbereich (69), der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben (64) eingeschlossen ist, tiefer erstreckt als eine Bodenwand des ersten Grabens (64), und der außerdem mit dem ersten Verunreinigungsbereich (30, 31) einen pn-Übergangsabschnitt (68) bildet, der mindestens einen Teil der Bodenwände der zueinander benachbarten ersten Gräben (64) bedeckt;

einen Schritt des Bildens einer ersten Elektrode (32) so, dass sie elektrisch mit dem ersten Verunreinigungsbereich (30, 31) verbunden ist; und

einen Schritt des Bildens einer zweiten Elektrode (13) so, dass sie elektrisch mit dem zweiten Verunreinigungsbereich (62) verbunden ist.

[Anhang 1-23]

**[0526]** Verfahren zur Herstellung der Halbleitervorrichtung (1), umfassend:

einen Schritt des Bildens einer Vielzahl von ersten Gräben (64) in einer ersten Hauptoberfläche (163) eines Diodenbereichs (9) einer Halbleiterschicht (162), wobei die Halbleiterschicht (162) die erste Hauptoberfläche (163) aufweist, an der ein erster Verunreinigungsbereich (30, 31) eines ersten Leitfähigkeitstyps ausgebildet ist, und eine zweite Hauptoberfläche (164) auf der gegenüberliegenden Seite davon aufweist, und wobei ein IGBT-Bereich (8) und der Diodenbereich (9), die zueinander benachbart sind, in der Halbleiterschicht (162) angeordnet sind;

einen Schritt des Bildens eines ersten Verunreinigungseinführungsbereichs (62) durch selektives Einführen einer Verunreinigung eines zweiten Leitfähigkeitstyps in einen Oberflächenschichtabschnitt der ersten Hauptoberfläche (163) des Diodenzellenbereichs (69), der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben (64) eingeschlossen ist;

einen Schritt des Bildens, und zwar durch Diffundieren der Verunreinigung des zweiten Leit-

fähigkeitstyps des ersten Verunreinigungseinführungsbereichs (62) mittels einer Wärmebehandlung, eines zweiten Verunreinigungsbereichs (62), der sich in dem Diodenzellenbereich (69) ausgehend von der ersten Hauptoberfläche (163) entlang einer Seitenwand des ersten Grabens (64) tiefer als eine Bodenwand des ersten Grabens (64) erstreckt und außerdem mit dem ersten Verunreinigungsbereich (30, 31) einen pn-Übergangsabschnitt (68) bildet, der mindestens einen Teil der Bodenwände der zueinander benachbarten ersten Gräben (64) bedeckt;

einen Schritt des Bildens einer ersten Elektrode (32) so, dass sie elektrisch mit dem ersten Verunreinigungsbereich (30, 31) verbunden ist; und

einen Schritt des Bildens einer zweiten Elektrode (13) so, dass sie elektrisch mit dem zweiten Verunreinigungsbereich (62) verbunden ist.

[Anhang 1-24]

**[0527]** Verfahren zur Herstellung der Halbleitervorrichtung (1), umfassend:

einen Schritt des Bildens eines ersten Verunreinigungseinführungsbereichs (100) durch selektives Einführen einer Verunreinigung eines zweiten Leitfähigkeitstyps in einen Diodenbereich (9) in einer Halbleiterschicht (162), wobei die Halbleiterschicht (162) eine erste Hauptoberfläche (163) aufweist, auf der ein erster Verunreinigungsbereich (30, 31) eines ersten Leitfähigkeitstyps ausgebildet ist, und eine zweite Hauptoberfläche (164) auf der gegenüberliegenden Seite davon aufweist, und wobei ein IGBT-Bereich (8) und der Diodenbereich (9), die zueinander benachbart sind, in der Halbleiterschicht (162) angeordnet sind;

einen Schritt des Bildens, durch Diffundieren der Verunreinigung des zweiten Leitfähigkeitstyps des ersten Verunreinigungseinführungsbereichs (100) an der Seite der zweiten Hauptoberfläche (164) durch eine Wärmebehandlung, eines zweiten Verunreinigungsbereichs (62) mit einer vorgegebenen Tiefe;

einen Schritt des Bildens, und zwar durch Bilden einer Vielzahl von ersten Gräben (64), die flacher sind als der zweite Verunreinigungsbereich (62), in dem zweiten Verunreinigungsbereich (62), eines pn-Übergangsabschnitts (68), der mindestens einen Teil der Bodenwände der zueinander benachbarten ersten Gräben (64) durch den zweiten Verunreinigungsbereich (62) bedeckt, der sich von der ersten Hauptoberfläche (163) entlang einer Seitenwand des ersten Grabens (64) in einem Diodenzellenbereich (69), der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben (64) eingeschlossen ist, tiefer erstreckt als eine Bodenwand des ersten Grabens (64), und der außerdem mit dem ersten Verunreinigungsbereich (30, 31) ausgebildet ist;

einen Schritt des Bildens einer ersten Elektrode (32) so, dass sie elektrisch mit dem ersten Verunreinigungsbereich (30, 31) verbunden ist; und

einen Schritt des Bildens einer zweiten Elektrode (13) so, dass sie elektrisch mit dem zweiten Verunreinigungsbereich (62) verbunden ist.

[Anhang 1-25]

**[0528]** Verfahren zur Herstellung der Halbleitervorrichtung (1), umfassend:

einen Schritt des Bildens eines ersten Verunreinigungseinführungsbereichs (62) durch selektives Einführen einer Verunreinigung eines zweiten Leitfähigkeitstyps in einen Diodenbereich (9) in einer Halbleiterschicht (162), wobei die Halbleiterschicht (162) eine erste Hauptoberfläche (163) aufweist, auf der ein erster Verunreinigungsbereich (30, 31) eines ersten Leitfähigkeitstyps ausgebildet ist, und eine zweite Hauptoberfläche (164) auf der gegenüberliegenden Seite davon aufweist, und wobei ein IGBT-Bereich (8) und der Diodenbereich (9), die zueinander benachbart sind, in der Halbleiterschicht (162) angeordnet sind;

einen Schritt des Bildens einer Vielzahl von ersten Gräben (64) in dem Diodenbereich (9) derart, dass der erste Verunreinigungseinführungsbereich (62) zwischen der Vielzahl von ersten Gräben (64) eingeschlossen wird;

einen Schritt des Bildens eines zweiten Grabens (39, 54, 74) in der ersten Hauptoberfläche (163) des IGBT-Bereichs (8);

einen Schritt des Bildens, und zwar durch selektives Einführen einer Verunreinigung eines zweiten Leitfähigkeitstyps in eine Bodenwand des zweiten Grabens (39, 54, 74) und eine Bodenwand des ersten Grabens (64), eines ersten Bodenabschnitts-Verunreinigungsbereichs (87) in der Bodenwand des ersten Grabens (64) und des Bildens eines zweiten Bodenabschnitts-Verunreinigungsbereichs (87) in der Bodenwand des zweiten Grabens (39, 54, 74);

einen Schritt des Bildens, und zwar durch selektives Einführen der Verunreinigung des zweiten Leitfähigkeitstyps, des ersten Verunreinigungseinführungsbereichs (62) mittels einer Wärmebehandlung, sodass dieser einstückig mit dem ersten Bodenabschnitts-Verunreinigungsbereich (87) wird, eines zweiten Verunreinigungsbereichs (62), der sich ausgehend von der ersten Hauptoberfläche (163) entlang einer Seitenwand des ersten Grabens (64) in einem

Diodenzellenbereich (69), der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben (64) eingeschlossen ist, tiefer erstreckt als die Bodenwand des ersten Grabens (64), und der außerdem mit dem ersten Verunreinigungsbereich (30, 31) einen pn-Übergangsabschnitt (68) bildet, der mindestens einen Teil der Bodenwände der zueinander benachbarten ersten Gräben (64) bedeckt,

einen Schritt des Bildens einer ersten Elektrode (32) so, dass sie elektrisch mit dem ersten Verunreinigungsbereich (30, 31) verbunden ist; und

einen Schritt des Bildens einer zweiten Elektrode (13) so, dass sie elektrisch mit dem zweiten Verunreinigungsbereich (62) verbunden ist.

[Anhang 1-26]

**[0529]** Verfahren zur Herstellung der Halbleitervorrichtung (1), umfassend:

einen Schritt des Bildens einer Vielzahl von ersten Gräben (64) in einer ersten Hauptoberfläche (163) eines Diodenbereichs (9) einer Halbleiterschicht (162), wobei die Halbleiterschicht (162) die erste Hauptoberfläche (163) aufweist, auf der ein erster Verunreinigungsbereich (30, 31) eines ersten Leitfähigkeitstyps ausgebildet ist, und eine zweite Hauptoberfläche (164) auf der gegenüberliegenden Seite davon aufweist, und wobei ein IGBT-Bereich (8) und der Diodenbereich (9), die zueinander benachbart sind, in der Halbleiterschicht (162) angeordnet sind;

einen Schritt des Bildens eines zweiten Grabens (39, 54, 74) in der ersten Hauptoberfläche (163) des IGBT-Bereichs (8);

einen Schritt des Bildens, und zwar durch selektives Einführen einer Verunreinigung eines zweiten Leitfähigkeitstyps in eine Bodenwand des zweiten Grabens (39, 54, 74) und eine Bodenwand des ersten Grabens (64), eines ersten Bodenabschnitts-Verunreinigungsbereichs (87) in der Bodenwand des ersten Grabens (64) und des Bildens eines zweiten Bodenabschnitts-Verunreinigungsbereichs (87) in der Bodenwand des zweiten Grabens (39, 54, 74);

einen Schritt des Bildens eines ersten Verunreinigungseinführungsbereichs (62) durch selektives Einführen einer Verunreinigung des zweiten Leitfähigkeitstyps in einen Oberflächenschichtabschnitt der ersten Hauptoberfläche (163) des Diodenzellenbereichs (69), der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben (64) eingeschlossen ist;

einen Schritt des Bildens, und zwar durch Diffundieren der Verunreinigung des zweiten Leitfähigkeitstyps des ersten Verunreinigungseinführungsbereichs (62) mittels einer Wärmebehandlung, sodass er mit dem Verunreinigungsbereich des ersten Bodenabschnitts einstückig wird, eines zweiten Verunreinigungsbereichs (62), der sich in dem Diodenzellenbereich (69) ausgehend von der ersten Hauptoberfläche (163) entlang einer Seitenwand des ersten Grabens (64) tiefer als eine Bodenwand des ersten Grabens (64) erstreckt und außerdem mit dem ersten Verunreinigungsbereich (30, 31) einen pn-Übergangsabschnitt (68) bildet, der mindestens einen Teil der Bodenwände der zueinander benachbarten ersten Gräben (64) bedeckt;

einen Schritt des Bildens einer ersten Elektrode (32) so, dass sie elektrisch mit dem ersten Verunreinigungsbereich (30, 31) verbunden ist; und

einen Schritt des Bildens einer zweiten Elektrode (13) so, dass sie elektrisch mit dem zweiten Verunreinigungsbereich (62) verbunden ist.

[Anhang 2-1]

**[0530]** Halbleitervorrichtung (1), umfassend:

eine Halbleiterschicht (2), die eine erste Hauptoberfläche (3) und eine zweite Hauptoberfläche (4) auf der gegenüberliegenden Seite davon aufweist;

einen IGBT-Bereich (8), der in der Halbleiterschicht (2) ausgebildet ist;

einen Diodenbereich (9), der in der Halbleiterschicht (2) ausgebildet ist und zu dem IGBT-Bereich (8) benachbart ist;

einen ersten Verunreinigungsbereich (30, 31) eines ersten Leitfähigkeitstyps, der innerhalb der Halbleiterschicht (2) ausgebildet ist;

einen Gate-Graben (39), der in der ersten Hauptoberfläche (3) des IGBT-Bereichs (8) ausgebildet ist;

eine Gate-Leiterschicht (41), die über eine Gate-Isolierschicht (40) in den Gate-Graben (39) eingebettet ist;

eine Vielzahl von ersten Gräben (64), die in der ersten Hauptoberfläche (3) des Diodenbereichs (9) ausgebildet sind;

eine erste eingebettete Leiterschicht (66), die über die erste Isolierschicht (65) in den ersten Graben (64) eingebettet ist;

einen Diodenzellenbereich (69), der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben (64) sandwichartig angeordnet bzw. eingeschlossen ist;

einen zweiten Verunreinigungsbereich (62) eines zweiten Leitfähigkeitstyps, der in einem Oberflächenschichtabschnitt der ersten Hauptoberfläche (3) in dem Diodenzellenbereich (69) ausgebildet ist und mit dem ersten Verunreinigungsbereich (30, 31) einen pn-Übergangsabschnitt (68) bildet;

eine Vertiefung (67), die in einem Öffnungsendabschnitt des ersten Grabens (64) ausgebildet ist, die durch Seitenwände (105, 112, 125, 127) des ersten Grabens (64) und einen oberen Endabschnitt (101) der ersten eingebetteten Leiterschicht (66) abgegrenzt ist, und zu der ein Teil des zweiten Verunreinigungsbereichs (62) freiliegt;

eine erste Elektrode (32), die elektrisch mit dem ersten Verunreinigungsbereich (30, 31) verbunden ist;

und eine zweite Elektrode (13), die auf der ersten Hauptoberfläche (3) der Halbleiterschicht (2) ausgebildet ist und mit dem zweiten Verunreinigungsbereich (62) mindestens in der ersten Hauptoberfläche (3) und den Seitenwänden (105, 112, 125, 127) der Vertiefung (67) verbunden ist; wobei

der obere Endabschnitt (101) der ersten eingebetteten Leiterschicht (66) in Bezug auf die erste Hauptoberfläche (3) weiter an der Seite der zweiten Hauptoberfläche (4) positioniert ist als ein oberer Endabschnitt (102) der Gate-Leiterschicht (41).

[Anhang 2-1-2]

**[0531]** Halbleitervorrichtung (1) nach Anhang 2-1, wobei der erste Graben (64) einen hinterfüllten Grabenabschnitt (103) einschließt, der an der Seite der zweiten Hauptoberfläche (4) in Bezug auf die Vertiefung (67) ausgebildet ist, der mit der ersten eingebetteten Leiterschicht (66) versehen ist, die eingebettet ist und eine flache Seitenwand (104) aufweist, und
Wobei die Vertiefung (67) eine flache Seitenwand (105) aufweist, die ein verlängerter Abschnitt einer Seitenwand (104) des hinterfüllten Grabenabschnitts (103) ist.

[Anhang 2-1-3]

**[0532]** Halbleitervorrichtung (1) nach Anhang 2-1-2, wobei sich die Vertiefung (67) und der hinterfüllte Grabenabschnitt (103) mit einer im Wesentlichen konstanten Breite ausgehend von der ersten Hauptoberfläche (3) in Richtung einer Bodenwand des ersten Grabens (64) fortsetzen.

[Anhang 2-2]

**[0533]** Halbleitervorrichtung (1) nach Anhang 2-1, wobei ein Öffnungskantenabschnitt bzw. Öffnungsrandabschnitt (108, 112) des ersten Grabens (64), der in einer Seitenwand (105, 112, 125, 127) der Vertiefung (67) ausgebildet ist, in einer Schnittansicht eine im Wesentlichen andere Form als ein Öffnungskantenabschnitt (106, 110) des Gate-Grabens (39) aufweist.

[Anhang 2-3]

**[0534]** Halbleitervorrichtung (1) nach Anhang 2-2, wobei der Öffnungskantenabschnitt (106, 110) des Gate-Grabens (39) einen Eckabschnitt (106) aufweist, an dem die erste Hauptoberfläche (3) eine Seitenwand des Gate-Grabens (39) schneidet, und
der Öffnungskantenabschnitt (108, 112) des ersten Grabens (64) einen vertieften Kantenabschnitt (108, 112) in einer Kreisbogenform aufweist, der in Richtung eines Inneren des Diodenzellenbereichs (69) vertieft ist.

[Anhang 2-4]

**[0535]** Halbleitervorrichtung (1) nach Anhang 2-2, wobei der Öffnungskantenabschnitt (106, 110) des Gate-Grabens (39) einen gateseitigen vertieften Kantenabschnitt (110) aufweist, der in Richtung eines Inneren der Halbleiterschicht (2) vertieft ist, und
der Öffnungskantenabschnitt (108, 112) des ersten Grabens (64) einen vertieften Kantenabschnitt (112) in einer Kreisbogenform aufweist, der in Richtung eines Inneren des Diodenzellenbereichs (69) um ein größeres Maß vertieft ist als der gateseitige vertiefte Kantenabschnitt (110).

[Anhang 2-4-2]

**[0536]** Halbleitervorrichtung (1) nach Anhang 2-3 oder Anhang 2-4, wobei ein Vertiefungsbetrag (A) des vertieften Kantenabschnitts (112) zum Inneren des Diodenzellenbereichs (69) in einer Richtung entlang der ersten Hauptoberfläche
(3) nicht weniger als 1,0-mal und nicht mehr als 10,0-mal größer ist als eine Dicke (T) der ersten Isolierschicht (65)

[Anhang 2-4-3]

**[0537]** Halbleitervorrichtung (1) nach Anhang 2-4-2, wobei die Dicke (T) der ersten Isolierschicht (65) nicht weniger als 80 nm und nicht mehr als 150 nm beträgt, und
der Vertiefungsbetrag (A) des vertieften Kantenabschnitts nicht weniger als 0,05 µm und nicht mehr als 1,5 µm beträgt.

[Anhang 2-5]

**[0538]** Halbleitervorrichtung (1) nach Anhang 2-3 oder Anhang 2-4, wobei der erste Graben (64) einen hinterfüllten Grabenabschnitt (103) einschließt, der an der Seite der zweiten Hauptoberfläche (4) in Bezug auf die Vertiefung (67) ausgebildet ist, und wobei bzw. worin die erste eingebettete Leiterschicht (66) eingebettet ist, und
die Vertiefung (67) einen Becherabschnitt (113) einschließt, der in einer Schnittansicht becherförmig ausgebildet ist und eine Seitenwand in dem vertieften Kantenabschnitt (112) aufweist, die ausgehend von der ersten Hauptoberfläche (3) des Diodenzellenbereichs (69) an beiden Seiten, die zu der einen Seite und der anderen Seite des ersten Grabens (64) in einer ersten Richtung (X) benachbart sind, in Richtung des hinterfüllten Grabenabschnitts (103) geneigt ist.

[Anhang 2-6]

**[0539]** Halbleitervorrichtung (1) nach Anhang 2-5, wobei der erste Graben (64) sich in einer zweiten Richtung (Y) erstreckt, die die erste Richtung (X) schneidet, und
der Becherabschnitt (113) entlang der zweiten Richtung (Y) in einer Halbzylinderform ausgebildet ist.

[Anhang 2-7]

**[0540]** Halbleitervorrichtung (1) nach Anhang 2-5 oder Anhang 2-6, wobei der Becherabschnitt (113) eine Breite (W1) aufweist, die nicht weniger als 0,62-mal und nicht mehr als 6,14-mal größer ist als eine Breite (W2) des hinterfüllten Grabenabschnitts (103).

[Anhang 2-8]

**[0541]** Halbleitervorrichtung (1) nach Anhang 2-7, wobei die Breite (W2) des hinterfüllten Grabenabschnitts (103) nicht weniger als 0,7 µm und nicht mehr als 1,3 µm beträgt, und
die Breite (W1) des Becherabschnitts (113) nicht weniger als 0,80 µm und nicht mehr als 4,3 µm beträgt.

[Anhang 2-9]

**[0542]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 2-5 bis Anhang 2-8, wobei die erste eingebettete Leiterschicht (66) des hinterfüllten Grabenabschnitts (103) und der obere Endabschnitt (101) der ersten Isolierschicht (65) zu einem unteren Ende des Becherabschnitts (113) hin freiliegen.

[Anhang 2-10]

**[0543]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 2-5 bis Anhang 2-8, wobei die Vertiefung (67) einen unteren Vertiefungsabschnitt (126) einschließt, der eine flache untere Seitenwand (125) aufweist, die sich von dem unteren Ende des Becherabschnitts (113) in Richtung der Bodenwand des ersten Grabens (64) fortsetzt.

[Anhang 2-11]

**[0544]** Halbleitervorrichtung (1) nach Anhang 2-10, wobei eine Seitenwand (105, 112, 125, 127) der Vertiefung (67) eine zweistufige Struktur aufweist, die die flache untere Seitenwand (125) des unteren Vertiefungsabschnitts (126) und eine obere Seitenwand (127) einschließt, die sich bis zu einem oberen Ende der unteren Seitenwand (125) fortsetzt und den vertieften Kantenabschnitt (112) des Becherabschnitts (113) in einer Kreisbogenform einschließt.

[Anhang 2-12]

**[0545]** Halbleitervorrichtung (1) nach Anhang 2-11 oder Anhang 2-10, wobei der untere Vertiefungsabschnitt (126) die gleiche Breite aufweist wie der hinterfüllte Grabenabschnitt (103).

[Anhang 2-13]

**[0546]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 2-10 bis Anhang 2-12, wobei der untere Vertiefungsabschnitt (126) eine Tiefe (D2) aufweist, die nicht mehr als die Hälfte einer Breite des hinterfüllten Grabenabschnitts (103) beträgt.

[Anhang 2-14]

**[0547]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 2-5 bis Anhang 2-13, wobei der Becherabschnitt (113) eine Tiefe (D) aufweist, die nicht weniger als 0,0052-mal und nicht mehr als 7,5-mal größer ist als eine Breite (W3) der ersten Hauptoberfläche (3) des Diodenzellenbereichs (69).

[Anhang 2-15]

**[0548]** Halbleitervorrichtung (1) nach Anhang 2-14, wobei die Breite (W3) der ersten Hauptoberfläche (3) des Diodenzellenbereichs (69) nicht weniger als 0,2 µm und nicht mehr als 9,7 µm beträgt, und
die Tiefe (D) des Becherabschnitts (113) nicht weniger als 0,05 µm und nicht mehr als 1,5 µm beträgt.

[Anhang 2-16]

**[0549]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 2-3 bis Anhang 2-15, wobei die erste Hauptoberfläche (3) eine erste Diodenhaupt-

oberfläche (119), die in dem Diodenzellenbereich (69) ausgebildet ist, und eine erste IGBT-Hauptoberfläche (120), die in dem IGBT-Bereich (8) ausgebildet ist, einschließt, und
die erste Diodenhauptoberfläche (119) in Bezug auf die erste Hauptoberfläche IGBT-(120) eine niedrige Position an der Seite der zweiten Hauptoberfläche (4) einnimmt.

[Anhang 2-17]

**[0550]** Halbleitervorrichtung (1) nach Anhang 2-16, die eine zweite Isolierschicht (79) einschließt, die die erste IGBT-Hauptoberfläche (120) bedeckt und eine Diodenöffnung (84) aufweist, die die erste Diodenhauptoberfläche (119) freilegt, und
eine Stufenoberfläche (122) einschließt, die innerhalb der Diodenöffnung (84) freiliegt, die die erste IGBT-Hauptoberfläche (120) und die erste Diodenhauptoberfläche
(120) verbindet und die eine Stufe (121) zwischen der ersten IGBT-Hauptoberfläche (120) und der ersten Diodenhauptoberfläche (119) bildet.

[Anhang 2-17-2]

**[0551]** Halbleitervorrichtung (1) nach Anhang 2-17, wobei die Stufe (121) zwischen der ersten IGBT-Hauptoberfläche (120) und der ersten Diodenhauptoberfläche (119) nicht weniger als 100 nm und nicht mehr als 500 nm beträgt.

[Anhang 2-18]

**[0552]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 2-1 bis Anhang 2-17, wobei die zweite Elektrode (13) in die Vertiefung (67) eingebettet und mindestens in der ersten Hauptoberfläche (3) und der Seitenwand (105, 112, 125, 127) der Vertiefung (67) direkt mit dem zweiten Verunreinigungsbereich (62) verbunden ist.

[Anhang 2-18-2]

**[0553]** Halbleitervorrichtung (1) nach Anhang 2-18, wobei der zweite Verunreinigungsbereich (62) eine Verunreinigungskonzentration aufweist, die nicht weniger als $1{,}0\times10^{15}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{18}$ $cm^{-3}$ beträgt.

[Anhang 2-18-3]

**[0554]** Halbleitervorrichtung (1) nach Anhang 2-18-2, wobei die zweite Elektrode (13) einen Teil (22) einschließt, der an einem Teil, der in direktem Kontakt mit dem zweiten Verunreinigungsbereich (62) steht, Aluminium enthält.

[Anhang 2-19]

**[0555]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 2-1 bis Anhang 2-18, wobei der zweite Verunreinigungsbereich (62) eine Verunreinigungskonzentration aufweist, die nicht weniger als $1{,}0\times10^{15}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{18}$ $cm^{-3}$ beträgt.

[Anhang 2-20]

**[0556]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 2-1 bis Anhang 2-19, wobei der IGBT-Bereich (8) einen Driftbereich (30) eines ersten Leitfähigkeitstyps einschließt, der innerhalb der Halbleiterschicht (2) ausgebildet ist, und eine FET-Struktur (35), die einen Körperbereich (45) eines zweiten Leitfähigkeitstyps einschließt, der in einem Oberflächenschichtabschnitt des Driftbereichs (30) ausgebildet ist, und einen Emitterbereich (46) eines ersten Leitfähigkeitstyps, der in einem Oberflächenschichtabschnitt des Körperbereichs (45) ausgebildet ist, und wobei die zweite Elektrode (13) elektrisch mit dem Emitterbereich (46) verbunden ist.

[Anhang 2-20-2]

**[0557]** Halbleitervorrichtung (1) nach Anhang 2-20, die eine zweite Isolierschicht (79), die die erste Hauptoberfläche (3) in dem IGBT-Bereich (8) bedeckt und eine Diodenöffnung (84) aufweist, die die erste Hauptoberfläche (3) in dem Diodenbereich (9) freilegt, und
eine Steckerelektrode (91) einschließt, die in die zweite Isolierschicht (79) eingebettet und elektrisch mit dem Emitterbereich (46) verbunden ist, wobei
die zweite Elektrode (13) auf der zweiten Isolierschicht (79) über die Steckerelektrode (91) elektrisch mit dem Emitterbereich (46) verbunden ist.

[Anhang 2-20-3]

**[0558]** Halbleitervorrichtung (1) nach Anhang 2-20 oder Anhang 2-20-2, wobei die FET-Struktur (35) einen Trägerspeicherungsbereich (47) eines ersten Leitfähigkeitstyps einschließt, der zwischen dem Körperbereich (45) und dem Driftbereich (30) ausgebildet ist und eine höhere Verunreinigungskonzentration als die des Driftbereichs (30) aufweist.

[Anhang 2-20-4]

**[0559]** Halbleitervorrichtung (1) nach Anhang 2-20-3, wobei die FET-Struktur (35) die Vielzahl von zweiten Gräben (39, 54, 74) einschließt, und
mindestens einer der Vielzahl von zweiten Gräben (39, 54, 74) zu dem ersten Graben (64) benachbart ist und eine Grenze (72) zwischen dem IGBT-Bereich (8) und dem Diodenbereich (9) bildet.

[Anhang 2-20-5]

**[0560]** Halbleitervorrichtung (1) nach Anhang 2-20-4, wobei der Körperbereich (45) und ein dritter Verunreinigungsbereich (47) mit der gleichen Verunreinigungskonzentration wie der Trägerspeicherungsbereich (47) nacheinander ausgehend von der Seite der ersten Hauptoberfläche (3) zwischen dem zweiten Graben (39, 54, 74), der die Grenze (72) bildet, und dem ersten Graben (64) neben dem zweiten Graben (39, 54, 74) gebildet werden.

[Anhang 2-20-6]

**[0561]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 2-20 bis Anhang 2-20-5, wobei der IGBT-Bereich (8) einen schwebenden Bereich (52) eines zweiten Leitfähigkeitstyps einschließt, der benachbart zu der FET-Struktur (35) in einem Oberflächenschichtabschnitt der ersten Hauptoberfläche (3) ist und in einem elektrisch schwebenden Zustand ausgebildet ist.

[Anhang 2-20-7]

**[0562]** Halbleitervorrichtung (1) nach Anhang 2-20-6, wobei der IGBT-Bereich (8) eine bereichstrennende Struktur (53) einschließt, die den schwebenden Bereich (52) in der ersten Hauptoberfläche (3) von der FET-Struktur (35) abgrenzt.

[Anhang 2-21]

**[0563]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 2-1 bis Anhang 2-20, die ferner ein RC-IGBT-Array (12) einschließt, das die Vielzahl von IGBT-Bereichen (8) und die Vielzahl von Diodenbereichen (9) einschließt, die entlang der ersten Richtung (X) abwechselnd angeordnet sind.

[Anhang 2-22]

**[0564]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 2-1 bis Anhang 2-21, wobei der IGBT-Bereich (8) einen Kollektorbereich (34) eines zweiten Leitfähigkeitstyps einschließt, der in einem Oberflächenschichtabschnitt der zweiten Hauptoberfläche (4) ausgebildet ist, und
der Kollektorbereich (34) einen herausgeführten Bereich (182) einschließt, der eine Grenze (72) zwischen dem IGBT-Bereich (8) und dem Diodenbereich (9) kreuzt bzw. quert und zur Seite des Diodenbereichs (9) herausgeführt ist.

[Anhang 2-22-2]

**[0565]** Halbleitervorrichtung (1) nach Anhang 2-22, wobei der herausgeführte Bereich (182) eine Breite von nicht weniger als 30 µm und nicht mehr als 50 µm ausgehend von der Grenze (72) zwischen dem IGBT-Bereich (8) und dem Diodenbereich (9) aufweist.

[Anhang 2-23]

**[0566]** Verfahren zur Herstellung der Halbleitervorrichtung (1), umfassend:

einen Schritt des Bildens eines Gate-Grabens (39) in einer ersten Hauptoberfläche (163) eines IGBT-Bereichs (8) einer Halbleiterschicht (2), wobei die Halbleiterschicht (2) die erste Hauptoberfläche (163) aufweist, auf der ein erster Verunreinigungsbereich (30, 31) eines ersten Leitfähigkeitstyps ausgebildet ist, und eine zweite Hauptoberfläche (164) auf der gegenüberliegenden Seite davon aufweist, und wobei der IGBT-Bereich (8) und ein Diodenbereich (9), die zueinander benachbart sind, in der Halbleiterschicht (2) angeordnet sind;

einen Schritt des Bildens einer Vielzahl von ersten Gräben (64) in der ersten Hauptoberfläche (163) des Diodenbereichs (9);

einen Schritt des Bildens einer Gate-Isolierschicht (40) innerhalb des Gate-Grabens (39);

einen Schritt des Bildens einer ersten Isolierschicht (65) innerhalb des ersten Grabens (64);

einen Schritt des Einbettens einer Gate-Leiterschicht (41) in den Gate-Graben (39) über die Gate-Isolierschicht (40);

einen Schritt des Einbettens einer ersten eingebetteten Leiterschicht (66) in den ersten Graben (64) über die erste Isolierschicht (65);

einen Schritt des Heruntergrabens der ersten eingebetteten Leiterschicht (66), und zwar durch selektives Ätzen der ersten eingebetteten Leiterschicht (66), sodass ein oberer Endabschnitt (101) der ersten eingebetteten Leiterschicht (66) in Bezug auf die erste Hauptoberfläche (163) tiefer liegend wird als ein oberer Endabschnitt (102) der Gate-Leiterschicht (41), und des Abgrenzens einer Vertiefung (67) durch eine Seitenwand (105) des ersten Grabens (64) und den oberen Endabschnitt (101) der ersten eingebetteten Leiterschicht (66);

einen Schritt des Bildens eines zweiten Verunreinigungsbereichs (62) eines zweiten Leitfähigkeitstyps in einem Diodenzellenbereich (69), der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben (64) sandwich-artig angeordnet bzw. eingeschlossen ist;

einen Schritt des Bildens einer ersten Elektrode (32) so, dass sie elektrisch mit dem ersten Verunreinigungsbereich (30, 31) verbunden ist; und

einen Schritt des Bildens einer zweiten Elektrode (13) auf der ersten Hauptoberfläche (163) der Halbleiterschicht (2) so, dass sie mit dem zweiten Verunreinigungsbereich (62) mindestens in der ersten Hauptoberfläche (163) und einer Seitenwand (105) der Vertiefung (67) verbunden ist.

[Anhang 2-24]

**[0567]** Verfahren zur Herstellung der Halbleitervorrichtung (1), umfassend:

einen Schritt des Bildens eines Gate-Grabens (39) in einer ersten Hauptoberfläche (163) eines IGBT-Bereichs (8) einer Halbleiterschicht (2), wobei die Halbleiterschicht (2) die erste Hauptoberfläche (163) aufweist, auf der ein erster Verunreinigungsbereich (30, 31) eines ersten Leitfähigkeitstyps ausgebildet ist, und eine zweite Hauptoberfläche (164) auf der gegenüberliegenden Seite davon aufweist, und wobei der IGBT-Bereich (8) und ein Diodenbereich (9), die zueinander benachbart sind, in der Halbleiterschicht (2) angeordnet sind;

einen Schritt des Bildens, und zwar indem ein Oberflächenschichtabschnitts der ersten Hauptoberfläche (163) des Diodenbereichs (9) selektiv einem isotropen Ätzen unterzogen wird, eines becherförmigen Vertiefungsabschnitts (115), der in einer Kreisbogenform zu der ersten Hauptoberfläche (163) hin vertieft ist;

einen Schritt des Bildens, und zwar indem die Halbleiterschicht (2) selektiv einem anisotropen Ätzen ausgehend von einer Bodenwand des Vertiefungsabschnitts (115) unterzogen wird, um einen Grabenhauptkörperabschnitt (118) mit einer geringeren Breite als der Vertiefungsabschnitt (115) zu bilden, einer Vielzahl von ersten Gräben (64), in denen der Vertiefungsabschnitt und der Grabenhauptkörperabschnitt (118) einstückig ausgebildet sind;

einen Schritt des Bildens einer Gate-Isolierschicht (40) innerhalb des Gate-Grabens (39);

einen Schritt des Bildens einer ersten Isolierschicht (65) innerhalb des ersten Grabens (64);

einen Schritt des Einbettens einer Gate-Leiterschicht (41) in den Gate-Graben (39) über die Gate-Isolierschicht (40);

einen Schritt des Einbettens einer ersten eingebetteten Leiterschicht (66) in den ersten Graben (64) über die erste Isolierschicht (65);

einen Schritt des Entfernens der ersten eingebetteten Leiterschicht (66) mindestens innerhalb des Vertiefungsabschnitts (115), und zwar durch selektives Ätzen der ersten eingebetteten Leiterschicht (66), und des Niedrigermachens eines oberen Endabschnitts (101) der ersten eingebetteten Leiterschicht (66) als ein oberer Endabschnitt (102) der Gate-Leiterschicht (41), und zwar in Bezug auf die erste Hauptoberfläche (163);

einen Schritt des Bildens eines zweiten Verunreinigungsbereichs (62) eines zweiten Leitfähigkeitstyps in einem Diodenzellenbereich (69), der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben (64) sandwich-artig angeordnet bzw. eingeschlossen ist;

einen Schritt des Bildens einer ersten Elektrode (32) so, dass sie elektrisch mit dem ersten Verunreinigungsbereich (30, 31) verbunden ist; und

einen Schritt des Bildens einer zweiten Elektrode (13) auf der ersten Hauptoberfläche (163) der Halbleiterschicht (2) so, dass sie mit dem zweiten Verunreinigungsbereich (62) mindestens in der ersten Hauptoberfläche (163) und einer Seitenwand (112) des Vertiefungsabschnitts (115) des ersten Grabens (64) verbunden ist.

[Anhang 2-25]

**[0568]** Verfahren zur Herstellung einer Halbleitervorrichtung (1) nach Anhang 2-24, wobei der Schritt des Ätzens der ersten eingebetteten Leiterschicht (66) einen Schritt des Entfernens eines Teils der ersten eingebetteten Leiterschicht (66) innerhalb des Grabenhauptkörperabschnitts (118) im Anschluss an das Entfernen der ersten eingebetteten Leiterschicht (66) innerhalb des Vertiefungsabschnitts einschließt.

[Anhang 2-26]

**[0569]** Verfahren zur Herstellung der Halbleitervorrichtung (1), umfassend:

einen Schritt des Bildens eines Gate-Grabens (39) in einer ersten Hauptoberfläche (163) eines IGBT-Bereichs (8) einer Siliziumhalbleiterschicht (162), wobei die Siliziumhalbleiterschicht (162) die erste Hauptoberfläche (163) aufweist, auf der ein erster Verunreinigungsbereich (30, 31) eines ersten Leitfähigkeitstyps ausgebildet ist, und eine zweite Hauptoberfläche (164) auf der gegenüberliegenden Seite davon aufweist, und wobei der IGBT-Bereich (8) und ein Diodenbereich (9), die zueinander benachbart sind, in der Siliziumhalbleiterschicht (162) angeordnet sind;

einen Schritt des Bildens einer Vielzahl von ersten Gräben (64) in der ersten Hauptoberfläche (163) des Diodenbereichs (9);

einen Schritt des Bildens einer Gate-Isolierschicht (40) innerhalb des Gate-Grabens (39);

einen Schritt des Bildens einer ersten Isolierschicht (65) innerhalb des ersten Grabens (64);

einen Schritt des Einbettens einer Gate-Leiterschicht (41), die ein Polysilizium enthält, in den Gate-Graben (39) über die Gate-Isolierschicht (40);

einen Schritt des Einbettens einer ersten eingebetteten Leiterschicht (66), die ein Polysilizium enthält, in den ersten Graben (64) über die erste Isolierschicht (65);

einen Schritt des Bildens einer zweiten Isolierschicht (79), die den IGBT-Bereich (8) bedeckt und eine Diodenöffnung (84) aufweist, die den Diodenbereich (9) in der ersten Hauptoberfläche (163) selektiv freilegt;

einen Schritt des Bildens, und zwar indem die erste eingebettete Leiterschicht (66) und ein Teil der Siliziumhalbleiterschicht (162), der zu der ersten eingebetteten Leiterschicht (66) benachbart ist, über die Diodenöffnung (84) einem isotropen Ätzen unterzogen werden, eines becherförmigen Becherabschnitts (113), der in Bezug auf die erste Hauptoberfläche (163) an einem Öffnungsendabschnitt des ersten Grabens (64) in einer Kreisbogenform vertieft ist;

einen Schritt des Bildens eines zweiten Verunreinigungsbereichs (62) eines zweiten Leitfähigkeitstyps in einem Diodenzellenbereich (69), der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben (64) sandwich-artig angeordnet bzw. eingeschlossen ist;

einen Schritt des Bildens einer ersten Elektrode (32) so, dass sie elektrisch mit dem ersten Verunreinigungsbereich (30, 31) verbunden ist; und

einen Schritt des Bildens einer zweiten Elektrode (13) so, dass sie mit dem zweiten Verunreinigungsbereich (62) mindestens in der ersten Hauptoberfläche (163) und einer Seitenwand (112) des Becherabschnitts (113) des ersten Grabens (64) auf der ersten Hauptoberfläche (163) der Halbleiterschicht (162) verbunden ist.

[Anhang 3-1]

**[0570]** Halbleitervorrichtung (1), umfassend:

eine Halbleiterschicht (2), die eine erste Hauptoberfläche (3) und eine zweite Hauptoberfläche (4) auf der gegenüberliegenden Seite davon aufweist;

einen IGBT-Bereich (8), der in der Halbleiterschicht (2) ausgebildet ist;

einen Diodenbereich (9), der in der Halbleiterschicht (2) ausgebildet ist und zu dem IGBT-Bereich (8) benachbart ist;

einen ersten Verunreinigungsbereich (30, 31) eines ersten Leitfähigkeitstyps, der innerhalb der Halbleiterschicht (2) ausgebildet ist;

einen Gate-Graben (39), der in der ersten Hauptoberfläche (3) des IGBT-Bereichs (8) ausgebildet ist;

eine Gate-Leiterschicht (41), die über eine Gate-Isolierschicht (40) in den Gate-Graben (39) eingebettet ist;

eine Vielzahl von ersten Gräben (64), die in der ersten Hauptoberfläche (3) des Diodenbereichs (9) ausgebildet sind;

eine erste eingebettete Leiterschicht (66), die über die erste Isolierschicht (65) in den ersten Graben (64) eingebettet ist;

einen Diodenzellenbereich (69), der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben (64) sandwich-artig angeordnet bzw. eingeschlossen ist;

einen zweiten Verunreinigungsbereich (62) eines zweiten Leitfähigkeitstyps, der in einem Oberflächenschichtabschnitt der ersten Hauptoberfläche (3) in dem Diodenbereich (9) ausgebildet ist, wobei sich der zweite Verunreinigungsbereich (62) in dem Diodenzellenbereich (69) tiefer als eine Bodenwand des ersten Grabens (64) ausgehend von der ersten Hauptoberfläche (3) entlang einer Seitenwand des ersten Grabens (64) erstreckt und außerdem mit dem ersten Verunreinigungsbereich (30, 31) einen pn-Übergangsabschnitt (68) bildet, der zwischen Bodenwänden der zueinander benachbarten ersten Gräben (64) ausgreift bzw. sich dazwischen erstreckt (engl. strides);

eine Vertiefung (67), die in einem Öffnungsendabschnitt des ersten Grabens (64) ausgebildet ist, die durch die Seitenwände (105, 112, 125, 127) des ersten Grabens (64) und einen oberen Endabschnitt (101) der ersten eingebetteten Leiterschicht (66) abgegrenzt ist, und zu der ein Teil des zweiten Verunreinigungsbereichs (62) freiliegt;

eine erste Elektrode (32), die elektrisch mit dem ersten Verunreinigungsbereich (30, 31) verbunden ist;

und eine zweite Elektrode (13), die auf der ersten Hauptoberfläche (3) der Halbleiterschicht (2) ausgebildet ist und mit dem zweiten Verunreinigungsbereich (62) mindestens in der ersten Hauptoberfläche (3) und den Seitenwänden (105, 112, 125, 127) der Vertiefung (67) verbunden ist; wobei

der obere Endabschnitt (101) der ersten eingebetteten Leiterschicht (66) in Bezug auf die erste Hauptoberfläche (3) weiter an der Seite der zweiten Hauptoberfläche (4) positioniert ist als ein oberer Endabschnitt (102) der Gate-Leiterschicht (41).

[Anhang 3-2]

**[0571]** Halbleitervorrichtung (1) nach Anhang 3-1, wobei die Vielzahl von Diodenzellenbereichen (69) zueinander benachbart sind, wobei der erste Graben (64) dazwischen angeordnet ist, und
der zweite Verunreinigungsbereich (62) einen ersten Abschnitt (57) einschließt, der in jedem der Diodenzellenbereiche (69) ausgebildet ist, und einen zweiten Abschnitt (58), der sich so erstreckt, dass er die Vielzahl von ersten Gräben (64) entlang der ersten Hauptoberfläche (3) kreuzt, die Bodenwände der Vielzahl von ersten Gräben (64) von der Seite der zweiten Hauptoberfläche (4) her vollständig bedeckt, die ersten Abschnitte (57) der Vielzahl von Diodenzellenbereichen (69) koppelt, und den pn-Übergangsabschnitt (68) mit dem ersten Verunreinigungsbereich (30, 31) bildet.

[Anhang 3-3]

**[0572]** Halbleitervorrichtung (1) nach Anhang 3-2, wobei der pn-Übergangsabschnitt (68) eine Querschnittform aufweist, die an der Seite der ersten Hauptoberfläche (3) und an der Seite der zweiten Hauptoberfläche (4) entlang der ersten Hauptoberfläche (3) der Halbleiterschicht (2) abwechselnd ansteigt und abfällt.

[Anhang 3-4]

**[0573]** Halbleitervorrichtung (1) nach Anhang 3-3, wobei der pn-Übergangsabschnitt (68) in Richtung hin zu der Seite der zweiten Hauptoberfläche (4) direkt unter dem Diodenzellenbereich (69) erhöht ist und in Richtung hin zu der Seite der ersten Hauptoberfläche (3) direkt unter dem ersten Graben (64) erhöht ist.

[Anhang 3-5]

**[0574]** Halbleitervorrichtung (1) nach Anhang 3-1, wobei die Vielzahl von Diodenzellenbereichen (69) zueinander benachbart sind, wobei der erste Graben (64) dazwischen angeordnet ist, und
der zweite Verunreinigungsbereich (62) physisch unabhängig in jedem der Diodenzellenbereiche (69) ausgebildet ist und den pn-Übergangsabschnitt (68) mit dem ersten Verunreinigungsbereich (30, 31) auf einer lateralen Seite der Bodenwand des ersten Grabens (64) bildet.

[Anhang 3-6]

**[0575]** Halbleitervorrichtung (1) nach Anhang 3-5, wobei der pn-Übergangsabschnitt (68) einen ersten Endabschnitt (28)
in einer Bodenwand eines der zueinander benachbarten ersten Gräben (64) aufweist und einen zweiten Endabschnitt (29) in einer Bodenwand des anderen der zueinander benachbarten ersten Gräben (64) aufweist.

[Anhang 3-7]

**[0576]** Halbleitervorrichtung (1) nach Anhang 3-6, wobei der pn-Übergangsabschnitt (68) in einer gekrümmten Form ausgebildet ist, die in Bezug auf die beiden Endabschnitte (28, 29) in Richtung der Seite der zweiten Hauptoberfläche (4) erhöht ist, und zwar mit dem ersten Endabschnitt (28) und dem zweiten Endabschnitt (29) als die beiden Endabschnitte.

[Anhang 3-8]

**[0577]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-1 bis Anhang 3-7, die eine Vielzahl von zweiten Gräben (39, 54, 74) einschließt, die in der ersten Hauptoberfläche (3) des IGBT-Bereichs (8) ausgebildet und in einem ersten Abstand (P1) angeordnet sind, wobei
die Vielzahl von ersten Gräben (64) in einem zweiten Abstand (P2) angeordnet sind, der der gleiche ist wie der erste Abstand (P1).

[Anhang 3-9]

**[0578]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-1 bis Anhang 3-7, die eine Vielzahl von zweiten Gräben (39, 54, 74) einschließt, die in der ersten Hauptoberfläche (3) des IGBT-Bereichs (8) ausgebildet und in einem ersten Abstand (P1) angeordnet sind, wobei
die Vielzahl von ersten Gräben (64) in einem zweiten Abstand (P2) angeordnet sind, der größer ist als der erste Abstand (P1).

[Anhang 3-10]

**[0579]** Halbleitervorrichtung (1) nach Anhang 3-2, die einen zweiten Graben (39, 54, 74), der in der ersten Hauptoberfläche (3) des IGBT-Bereichs (8) ausgebildet ist, und
einen dritten Verunreinigungsbereich (87) eines zweiten Leitfähigkeitstyps einschließt, der selektiv in einer Bodenwand des zweiten Grabens (39, 54, 74) ausgebildet ist, wobei
der zweite Abschnitt (58) des zweiten Verunreinigungsbereichs (62) einen Vorsprungsabschnitt (88) einschließt, der auf der Seite der zweiten Haupt-

oberflächenseite (4) direkt unter dem ersten Graben (64) selektiv hervorsteht.

[Anhang 3-11]

**[0580]** Halbleitervorrichtung (1) nach Anhang 3-10, wobei der zweite Abschnitt (58) des zweiten Verunreinigungsbereichs (62) einen Basisabschnitt (77) einschließt, der sich so erstreckt, dass er die Vielzahl von ersten Gräben (64) kontinuierlich kreuzt bzw. quert, und mit dem Vorsprungsabschnitt (88) direkt unter jedem der ersten Gräben (64) verbunden ist, und
der Basisabschnitt (77) einen gekrümmten Abschnitt (90) aufweist, der in einer gekrümmten Form ausgebildet ist, die zwischen den zueinander benachbarten Vorsprungsabschnitten (88) in Richtung der Seite der zweiten Hauptoberfläche (4) erhöht ist.

[Anhang 3-12]

**[0581]** Halbleitervorrichtung (1) nach Anhang 3-11, wobei der Vorsprungsabschnitt (88) eine gekrümmte Form aufweist, deren Vorsprungsbetrag größer ist als jener der gekrümmten Form des gekrümmten Abschnitts (90).

[Anhang 3-13]

**[0582]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-10 bis Anhang 3-12, wobei der Vorsprungsabschnitt (88) eine Tiefe aufweist, die im Wesentlichen gleich der des dritten Verunreinigungsbereichs (87) ist.

[Anhang 3-14]

**[0583]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-10 bis Anhang 3-13, wobei die Vielzahl von zweiten Gräben (39, 54, 74) in einem ersten Abstand (P1) angeordnet sind, und
die Vielzahl von ersten Gräben (64) in einem zweiten Abstand (P2) angeordnet sind, der der gleiche ist wie der erste Abstand (P1).

[Anhang 3-15]

**[0584]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-10 bis Anhang 3-13, wobei die Vielzahl von zweiten Gräben (39, 54, 74) in einem ersten Abstand (engl. pitch)
(P1) angeordnet sind, und
die Vielzahl von ersten Gräben (64) in einem zweiten Abstand (P2) angeordnet sind, der größer ist als der erste Abstand (P1).

[Anhang 3-16]

**[0585]** Halbleitervorrichtung (1) nach Anhang 3-1, wobei der zweite Verunreinigungsbereich (62) einen geneigten Abschnitt (95) einschließt, der von einer Seitenwand mindestens eines der ersten Gräben (64) in Richtung der zweiten Hauptoberfläche (4) in einer Richtung weg von dem IGBT-Bereich (8) nach unten hin zu einer Position geneigt ist, die tiefer liegt als die Bodenwand des ersten Grabens (64), und einen flachen Abschnitt (96), der sich bis zu einem unteren Ende (98) des geneigten Abschnitts (95) fortsetzt, sich entlang der ersten Hauptoberfläche (3) erstreckt und die Bodenwände der Vielzahl von ersten Gräben (64) von der Seite der zweiten Hauptoberfläche (4) her vollständig bedeckt.

[Anhang 3-17]

**[0586]** Halbleitervorrichtung (1) nach Anhang 3-16, wobei der geneigte Abschnitt (95) nach unten in Richtung der zweiten Hauptoberfläche (4) geneigt ist, wobei eine Seitenwand des ersten Grabens (64), der unter der Vielzahl von ersten Gräben (64) dem IGBT-Bereich (8) am nächsten ist, als Startpunkt (97) gegeben ist.

[Anhang 3-18]

**[0587]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-1 bis Anhang 3-17, wobei der zweite Verunreinigungsbereich (62) den tiefsten Abschnitt an einer Tiefenposition aufweist, die nicht weniger als 0,1 µm und nicht mehr als 3,0 µm von der Bodenwand des ersten Grabens (64) entfernt ist.

[Anhang 3-19]

**[0588]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-1 bis Anhang 3-18, wobei der IGBT-Bereich (8) eine Driftbereich (30) eines ersten Leitfähigkeitstyps, der innerhalb der Halbleiterschicht (2) ausgebildet ist, und eine FET-Struktur (35) einschließt, die einen Körperbereich (45) eines zweiten Leitfähigkeitstyps, der in einem Oberflächenschichtabschnitt des Driftbereichs (30) ausgebildet ist, einen Emitterbereich (46) eines ersten Leitfähigkeitstyps, der in einem Oberflächenschichtabschnitt des Körperbereichs (45) ausgebildet ist, und eine Gate-Leiterschicht (41), die dem Körperbereich (45) und dem Emitterbereich (46) über eine Gate-Isolierschicht (40) gegenüberliegt, einschließt.

[Anhang 3-20]

**[0589]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-1 bis Anhang 3-19, die ferner ein RC-IGBT-Array (12) einschließt, das die Vielzahl von IGBT-Bereichen (8) und die Vielzahl von Diodenbereichen (9) einschließt, die entlang der ersten Richtung (X) abwechselnd angeordnet sind.

[Anhang 3-21]

**[0590]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-1 bis Anhang 3-20, wobei ein Öffnungskantenabschnitt bzw. Öffnungsrandabschnitt (108, 112) des ersten Grabens (64), der in einer Seitenwand (105, 112, 125, 127) der Vertiefung (67) ausgebildet ist, in einer Schnittansicht eine im Wesentlichen andere Form als ein Öffnungskantenabschnitt (106, 110) des Gate-Grabens (39) aufweist.

[Anhang 3-22]

**[0591]** Halbleitervorrichtung (1) nach Anhang 3-21, wobei der Öffnungskantenabschnitt (106, 110) des Gate-Grabens (39) einen Eckabschnitt (106) aufweist, an dem die erste Hauptoberfläche (3) eine Seitenwand des Gate-Grabens (39) schneidet, und
der Öffnungskantenabschnitt (108, 112) des ersten Grabens (64) einen vertieften Kantenabschnitt (108, 112) in eine rKreisbogenform aufweist, der in Richtung eines Inneren des Diodenzellenbereichs (69) vertieft ist.

[Anhang 3-23]

**[0592]** Halbleitervorrichtung (1) nach Anhang 3-21, wobei der Öffnungskantenabschnitt (106, 110) des Gate-Grabens (39) einen gateseitigen vertieften Kantenabschnitt (110) aufweist, der in Richtung eines Inneren der Halbleiterschicht (2) vertieft ist, und
der Öffnungskantenabschnitt (108, 112) des ersten Grabens (64) einen vertieften Kantenabschnitt (112) in einer Kreisbogenform aufweist, der in Richtung eines Inneren des Diodenzellenbereichs (69) um ein größeres Maß vertieft ist als der gateseitige vertiefte Kantenabschnitt (110).

[Anhang 3-24]

**[0593]** Halbleitervorrichtung (1) nach Anhang 3-22 oder Anhang 3-23, wobei der erste Graben (64) einen hinterfüllten Grabenabschnitt (103) einschließt, der an der Seite der zweiten Hauptoberfläche (4) in Bezug auf die Vertiefung (67) ausgebildet ist, und wobei bzw. worin die erste eingebettete Leiterschicht (66) eingebettet ist, und
die Vertiefung (67) einen Becherabschnitt (113) einschließt, der in Schnittansicht becherförmig ausgebildet ist und eine Seitenwand in dem vertieften Kantenabschnitt (112) aufweist, die ausgehend von der ersten Hauptoberfläche (3) des Diodenzellenbereichs (69) an beiden Seiten, die zu der einen Seite und der anderen Seite des ersten Grabens (64) in einer ersten Richtung (X) benachbart sind, in Richtung des hinterfüllten Grabenabschnitts (103) geneigt ist.

[Anhang 3-25]

**[0594]** Halbleitervorrichtung (1) nach Anhang 3-24, wobei der erste Graben (64) sich in einer zweiten Richtung (Y) erstreckt, die die erste Richtung (X) schneidet, und
der Becherabschnitt (113) entlang der zweiten Richtung (Y) in einer Halbzylinderform ausgebildet ist.

[Anhang 3-26]

**[0595]** Halbleitervorrichtung (1) nach Anhang 3-24 oder Anhang 3-25, wobei der Becherabschnitt (113) eine Breite (W1) aufweist, die nicht weniger als 0, 62-mal und nicht mehr als 6,14-mal größer ist als eine Breite (W2) des hinterfüllten Grabenabschnitts (103).

[Anhang 3-27]

**[0596]** Halbleitervorrichtung (1) nach Anhang 3-26, wobei die Breite (W2) des hinterfüllten Grabenabschnitts (103) nicht weniger als 0,7 µm und nicht mehr als 1,3 µm beträgt, und
die Breite (W1) des Becherabschnitts (113) nicht weniger als 0,80 µm und nicht mehr als 4,3 µm beträgt.

[Anhang 3-28]

**[0597]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-24 bis Anhang 3-27, wobei die erste eingebettete Leiterschicht (66) des hinterfüllten Grabenabschnitts (103) und der obere Endabschnitt (101) der ersten Isolierschicht (65) zu einem unteren Ende des Becherabschnitts (113) hin freiliegen.

[Anhang 3-29]

**[0598]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-24 bis Anhang 3-27, wobei die Vertiefung (67) einen unteren Vertiefungsabschnitt (126) einschließt, der eine flache untere Seitenwand (125) aufweist, die sich vom unteren Ende des Becherabschnitts (113) in Richtung der Bodenwand des ersten Grabens (64) fortsetzt.

[Anhang 3-30]

**[0599]** Halbleitervorrichtung (1) nach Anhang 3-29, wobei eine Seitenwand (105, 112, 125, 127) der Vertiefung (67) eine zweistufige Struktur aufweist, die die flache untere Seitenwand (125) des unteren Vertiefungsabschnitts (126) und eine obere Seitenwand (127) einschließt, die sich bis zu einem oberen Ende der unteren Seitenwand (125) erstreckt und den vertieften Kantenabschnitt (112) des Becherabschnitts (113) in einer Kreisbogenform einschließt.

[Anhang 3-31]

**[0600]** Halbleitervorrichtung (1) nach Anhang 3-29 oder Anhang 3-30, wobei der untere Vertiefungsabschnitt (126) die gleiche Breite aufweist wie der hinterfüllte Grabenabschnitt (103).

[Anhang 3-32]

**[0601]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-29 bis Anhang 3-31, wobei der untere Vertiefungsabschnitt (126) eine Tiefe aufweist, die nicht mehr als die Hälfte einer Breite des hinterfüllten Grabenabschnitts (103) beträgt.

[Anhang 3-33]

**[0602]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-24 bis Anhang 3-32, wobei der Becherabschnitt (113) eine Tiefe (D) aufweist, die nicht weniger als 0,0052-mal und nicht mehr als 7,5-mal größer ist als eine Breite (W3) der ersten Hauptoberfläche (3) des Diodenzellenbereichs (69).

[Anhang 3-34]

**[0603]** Halbleitervorrichtung (1) nach Anhang 3-33, wobei die Breite (W3) der ersten Hauptoberfläche (3) des Diodenzellenbereichs (69) nicht weniger als 0,2 µm und nicht mehr als 9,7 µm beträgt, und
die Tiefe (D) des Becherabschnitts (113) nicht weniger als 0,05 µm und nicht mehr als 1,5 µm beträgt.

[Anhang 3-35]

**[0604]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-22 bis Anhang 3-34, wobei die erste Hauptoberfläche (3) eine erste Diodenhauptoberfläche (119), die in dem Diodenzellenbereich (69) ausgebildet ist, und eine erste IGBT-Hauptoberfläche (120), die in dem IGBT-Bereich (8) ausgebildet ist, einschließt, und die erste Diodenhauptoberfläche (119) in Bezug auf die erste Hauptoberfläche IGBT-(120) eine niedrige Position an der Seite der zweiten Hauptoberfläche (4) einnimmt.

[Anhang 3-36]

**[0605]** Halbleitervorrichtung (1) nach Anhang 3-35, die eine zweite Isolierschicht (79) einschließt, die die erste IGBT-Hauptoberfläche (120) bedeckt und eine Diodenöffnung (84) aufweist, die die erste Diodenhauptoberfläche (119) freilegt, und
eine Stufenoberfläche (122) einschließt, die innerhalb der Diodenöffnung (84) freiliegt, die die erste IGBT-Hauptoberfläche (120) und die erste Diodenhauptoberfläche (119) verbindet und die eine Stufe (121) zwischen der ersten IGBT-Hauptoberfläche (120) und der ersten Diodenhauptoberfläche (119) bildet.

[Anhang 3-37]

**[0606]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-1 bis Anhang 3-36, wobei die zweite Elektrode (13) in die Vertiefung (67) eingebettet und mindestens in der ersten Hauptoberfläche (3) und der Seitenwand (105, 112, 125, 127) der Vertiefung (67) direkt mit dem zweiten Verunreinigungsbereich (62) verbunden ist.

[Anhang 3-38]

**[0607]** Halbleitervorrichtung (1) nach einem beliebigen von Anhang 3-1 bis Anhang 3-37, wobei der zweite Verunreinigungsbereich (62) eine Verunreinigungskonzentration aufweist, die nicht weniger als $1{,}0\times10^{15}$ $cm^{-3}$ und nicht mehr als $1{,}0\times10^{18}$ $cm^{-3}$ beträgt.

**[0608]** Die vorliegende Anmeldung entspricht der japanischen Patentanmeldung Nr. 2021-199503, eingereicht am 8. Dezember 2021 beim japanischen Patentamt, und der japanischen Patentanmeldung Nr. 2021-199504, eingereicht am 8. Dezember 2021 beim japanischen Patentamt, und die gesamten Offenbarungen dieser Anmeldungen werden hierin durch Bezugnahme aufgenommen.

LISTE DER BEZUGSZEICHEN

| | |
|---|---|
| 1 | Halbleitervorrichtung |
| 2 | Halbleiterschicht |
| 3 | erste Hauptoberfläche |
| 4 | zweite Hauptoberfläche |
| 5A | Seitenoberfläche |
| 5B | Seitenoberfläche |
| 5C | Seitenoberfläche |
| 5D | Seitenoberfläche |
| 6 | aktiver Bereich |
| 7 | Außenbereich |
| 8 | IGBT-Bereich |
| 9 | Diodenbereich |
| 11 | Sensorbereich |
| 12 | RC-IGBT-Array |
| 13 | Emitter-Anschlusselektrode (emitter terminal electrode) |
| 14 | Gate-Anschlusselektrode |
| 15 | erste Erfassungsanschlusselektrode |
| 16 | zweite Erfassungsanschlusselektrode |
| 17 | Stromdetektionsanschlusselektrode |

| | |
|---|---|
| 18 | offene Anschlusselektrode bzw. Elektrode mit offenem Anschluss (open terminal electorde) |
| 19 | Gate-Verdrahtung |
| 19a | erster Bereich |
| 19b | zweiter Bereich |
| 20 | erste Erfassungsverdrahtung |
| 20a | erster Bereich |
| 20b | zweiter Bereich |
| 21 | zweite Erfassungsverdrahtung |
| 21a | erster Bereich |
| 21b | zweiter Bereich |
| 22 | erste Elektrodenschicht |
| 23 | zweite Elektrodenschicht |
| 24 | dritte Elektrodenschicht |
| 25 | Scheitelabschnitt |
| 26 | Scheitelabschnitt |
| 27 | Bodenabschnitt |
| 28 | erster Endabschnitt |
| 29 | zweiter Endabschnitt |
| 30 | Driftbereich |
| 31 | Halbleitersubstrat |
| 32 | Kollektoranschlusselektrode |
| 33 | Pufferschicht |
| 34 | Kollektorbereich |
| 35 | FET-Struktur |
| 36 | Graben-Gate-Struktur |
| 37 | erste äußere Graben-Gate-Struktur |
| 38 | zweite äußere Graben-Gate-Struktur |
| 39 | Gate-Graben |
| 40 | Gate-Isolierschicht |
| 41 | Gate-Elektrodenschicht |
| 41a | herausgeführte Gate-Elektrodenschicht |
| 42 | Blind- bzw. Dummy-FET-Struktur |
| 43 | Endabschnitt |
| 45 | Körperbereich |
| 46 | Emitterbereich |
| 47 | Trägerspeicherungsbereich |
| 48 | Kontaktgraben |
| 49 | Kontaktbereich |
| 50 | bereichstrennende Struktur |
| 51 | IE-Struktur |
| 52 | schwebender Bereich |
| 52A | nahegelegener schwebender Bereich |
| 53 | bereichstrennende Grabenstruktur |
| 54 | bereichstrennender Graben |
| 55 | bereichstrennende Isolierschicht |
| 56 | bereichstrennende Elektrodenschicht |
| 56a | trennende herausgeführte Elektrodenschicht |
| 57 | erster Abschnitt |
| 58 | zweiter Abschnitt |
| 59 | erster Wölbungsabschnitt |
| 60 | zweiter Wölbungsabschnitt |
| 61 | Kathodenbereich |
| 62 | Anodenbereich |
| 62A | geneigter Anodenbereich |
| 63 | zellentrennende Struktur |
| 64 | zellentrennender Graben |
| 65 | zellentrennende Isolierschicht |
| 66 | zellentrennende Elektrodenschicht |
| 67 | Vertiefung |
| 68 | pn-Übergangsabschnitt |
| 69 | Diodenzellenbereich |
| 70 | Scheitelabschnitt |
| 72 | Grenze |
| 73 | Emitter-Grabenstruktur |
| 73A | Abschluss-Emittergrabenstruktur |
| 74 | Emittergraben |
| 75 | Emitterisolierschicht |
| 76 | Emitterpotenzialelektrodenschicht |
| 76a | herausgeführte Elektrodenschicht |
| 77 | Basisabschnitt |
| 78 | Verzweigungsabschnitt |
| 79 | Zwischenschicht-Isolierschicht |
| 80 | erste Isolierschicht |
| 81 | zweite Isolierschicht |
| 82 | dritte Isolierschicht |
| 83 | Emitteröffnung |
| 84 | Diodenöffnung |
| 86 | erste Öffnung |

| | |
|---|---|
| 87 | Graben-Bodenabschnitts-Verunreinigungsstruktur |
| 88 | Vorsprungsabschnitt |
| 89 | Mesa-Bereich |
| 90 | gekrümmter Abschnitt |
| 91 | Emittersteckerelektrode (emitter plug electrode) |
| 92 | Barriereelektrodenschicht |
| 93 | Hauptelektrodenschicht |
| 94 | erste Steckerelektrode |
| 95 | geneigter Abschnitt |
| 96 | flacher Abschnitt |
| 97 | Startpunkt |
| 98 | unteres Ende |
| 99 | Bodenabschnitt |
| 100 | Verunreinigungseinführungsbereich |
| 101 | oberer Endabschnitt |
| 102 | oberer Endabschnitt |
| 103 | hinterfüllter Grabenabschnitt |
| 104 | Seitenwand |
| 105 | Seitenwand |
| 106 | Eckabschnitt |
| 107 | Eckabschnitt |
| 108 | vertiefter bzw. zurückversetzter Kantenabschnitt |
| 109 | Resistmaske |
| 109A | Öffnung |
| 110 | vertiefter Kantenabschnitt |
| 111 | vertiefter Kantenabschnitt |
| 112 | vertiefter Kantenabschnitt |
| 113 | Becherabschnitt |
| 114 | Hartmaske |
| 114A | Öffnung |
| 115 | Vertiefungsabschnitt |
| 116 | Resistmaske |
| 117 | Hartmaske |
| 117A | Öffnung |
| 118 | Grabenhauptkörperabschnitt |
| 119 | erste Diodenhauptoberfläche |
| 120 | erste IGBT-Hauptoberfläche |
| 121 | Stufe |
| 122 | Stufenoberfläche |
| 123 | Maske |
| 123A | Öffnung |
| 124 | Spalt |
| 125 | untere Seitenwand |
| 126 | unterer Vertiefungsabschnitt |
| 127 | obere Seitenwand |
| 128 | eingebetteter Abschnitt |
| 129 | erster Abschnitt |
| 130 | zweiter Abschnitt |
| 160 | Hartmaske |
| 160A | Öffnung |
| 161 | Ioneneinführungsmaske |
| 161A | Öffnung |
| 162 | Halbleiterwafer |
| 163 | erste Waferhauptoberfläche |
| 164 | zweite Waferhauptoberfläche |
| 165 | Vorrichtungsbildungsbereich |
| 166 | Ioneneinführungsmaske |
| 166A | Öffnung |
| 167 | Hartmaske |
| 167A | Öffnung |
| 168 | Basiselektrodenschicht |
| 169 | Maske |
| 169A | Öffnung |
| 170 | Stecker-Basiselektrodenschicht |
| 171 | Maske |
| 171A | Öffnung |
| 172 | Ioneneinführungsmaske |
| 172A | Öffnung |
| 173 | Ioneneinführungsmaske |
| 173A | Öffnung |
| 174 | Opferisolierschicht |
| 175 | Ioneneinführungsmaske |
| 175A | Öffnung |
| 181 | Halbleitervorrichtung |
| 182 | herausgeführter Bereich |
| 201 | Halbleitermodul |
| 202 | Halbleiterchip |
| 202A | erster Halbleiterchip |

| | |
|---|---|
| 202B | zweiter Halbleiterchip |
| 203 | Gehäuse |
| 204 | Harzhülle bzw. -gehäuse |
| 205 | Trägersubstrat |
| 206 | Bodenwand |
| 207A | Seitenwand |
| 207B | Seitenwand |
| 207C | Seitenwand |
| 207D | Seitenwand |
| 208 | Durchgangsloch |
| 209 | Öffnung |
| 210 | Innenraum |
| 211 | Bolzeneinsteckloch |
| 212 | Bolzeneinsteckloch |
| 213 | Bolzeneinsteckloch |
| 214 | Bolzeneinsteckloch |
| 215 | erster Anschlussträgerabschnitt |
| 216 | zweiter Anschlussträgerabschnitt |
| 217 | dritter Anschlussträgerabschnitt |
| 218 | vierter Anschlussträgerabschnitt |
| 219 | Stütz- bzw. Trägerwand |
| 221 | erstes Bolzeneinsteckloch |
| 222 | zweites Bolzeneinsteckloch |
| 225 | Wärmeableitungsplatte |
| 226 | Isoliermaterial |
| 227 | Schaltungsabschnitt |
| 231 | erste Kollektorverdrahtung |
| 232 | zweite Kollektorverdrahtung |
| 233 | Emitterverdrahtung |
| 234 | Kollektoranschluss |
| 235 | erster Emitteranschluss |
| 236 | gemeinsamer Anschluss |
| 237 | zweiter Emitteranschluss |
| 238 | erster Bereich |
| 239 | zweiter Bereich |
| 240 | erster Bereich |
| 241 | zweiter Bereich |
| 242 | erster Bereich |
| 243 | zweiter Bereich |
| 244 | erster Bereich |
| 245 | zweiter Bereich |
| 246A | Seitenwandanschluss |
| 246B | Seitenwandanschluss |
| 246C | Seitenwandanschluss |
| 246D | Seitenwandanschluss |
| 246E | Seitenwandanschluss |
| 246F | Seitenwandanschluss |
| 246G | Seitenwandanschluss |
| 246H | Seitenwandanschluss |
| 247 | innerer Verbindungsabschnitt |
| 248 | äußerer Verbindungsabschnitt |
| 249A | erster Leitungsdraht |
| 249B | zweiter Leitungsdraht |
| 249C | dritter Leitungsdraht |
| 249D | vierter Leitungsdraht |
| 249E | fünfter Leitungsdraht |
| 249F | sechster Leitungsdraht |
| 249G | siebter Leitungsdraht |
| 249H | achter Leitungsdraht |
| 249I | neunter Leitungsdraht |
| 249J | zehnter Leitungsdraht |
| 250 | Halbbrückenschaltung |

**ZITATE ENTHALTEN IN DER BESCHREIBUNG**

*Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.*

**Zitierte Patentliteratur**

- WO 2020/080476 [0003]
- JP 2021199503 [0608]
- JP 2021199504 [0608]

## Patentansprüche

1. Halbleitervorrichtung, umfassend:
eine Halbleiterschicht, die eine erste Hauptoberfläche und eine zweite Hauptoberfläche auf der gegenüberliegenden Seite davon aufweist;
einen IGBT-Bereich, der in der Halbleiterschicht ausgebildet ist;
einen Diodenbereich, der in der Halbleiterschicht ausgebildet ist und zu dem IGBT-Bereich benachbart ist;
einen ersten Verunreinigungsbereich eines ersten Leitfähigkeitstyps, der innerhalb der Halbleiterschicht ausgebildet ist;
eine Vielzahl von ersten Gräben, die in der ersten Hauptoberfläche des Diodenbereichs ausgebildet sind;
einen Diodenzellenbereich, der dadurch abgegrenzt ist, dass er zwischen den zueinander benachbarten ersten Gräben angeordnet ist;
einen zweiten Verunreinigungsbereich eines zweiten Leitfähigkeitstyps, der in einem Oberflächenschichtabschnitt der ersten Hauptoberfläche in dem Diodenbereich ausgebildet ist, wobei sich der zweite Verunreinigungsbereich in dem Diodenzellenbereich tiefer als eine Bodenwand des ersten Grabens von der ersten Hauptoberfläche entlang einer Seitenwand des ersten Grabens erstreckt und außerdem zusammen mit dem ersten Verunreinigungsbereich einen pn-Übergangsabschnitt bildet, der mindestens einen Teil der Bodenwände der zueinander benachbarten ersten Gräben bedeckt;
eine erste Elektrode, die elektrisch mit dem ersten Verunreinigungsbereich verbunden ist; und
eine zweite Elektrode, die elektrisch mit dem zweiten Verunreinigungsbereich verbunden ist.

2. Halbleitervorrichtung nach Anspruch 1, wobei die Vielzahl von Diodenzellenbereichen zueinander benachbart sind, wobei der erste Graben dazwischen angeordnet ist, und
der zweite Verunreinigungsbereich einen ersten Abschnitt einschließt, der in jedem der Diodenzellenbereiche ausgebildet ist, und einen zweiten Abschnitt, der sich so erstreckt, dass er die Vielzahl von ersten Gräben entlang der ersten Hauptoberfläche kreuzt, die Bodenwände der Vielzahl von ersten Gräben von der Seite der zweiten Hauptoberfläche her vollständig bedeckt, die ersten Abschnitte der Vielzahl von Diodenzellenbereichen koppelt und den pn-Übergangsabschnitt mit dem ersten Verunreinigungsbereich bildet.

3. Halbleitervorrichtung nach Anspruch 2, wobei der pn-Übergangsabschnitt eine Schnittform aufweist, die an der Seite der ersten Hauptoberfläche und an der Seite der zweiten Hauptoberfläche entlang der ersten Hauptoberfläche der Halbleiterschicht abwechselnd ansteigt und abfällt.

4. Halbleitervorrichtung nach Anspruch 3, wobei der pn-Übergangsabschnitt in Richtung hin zu der Seite der zweiten Hauptoberfläche direkt unter dem Diodenzellenbereich erhöht und in Richtung hin zu der Seite der ersten Hauptoberfläche direkt unter dem ersten Graben erhöht ist.

5. Halbleitervorrichtung nach Anspruch 1, wobei die Vielzahl von Diodenzellenbereichen zueinander benachbart sind, wobei der erste Graben dazwischen angeordnet ist, und
der zweite Verunreinigungsbereich physisch unabhängig in jedem der Diodenzellenbereiche ausgebildet ist und den pn-Übergangsabschnitt mit dem ersten Verunreinigungsbereich auf einer lateralen Seite der Bodenwand des ersten Grabens bildet.

6. Halbleitervorrichtung nach Anspruch 5, wobei der pn-Übergangsabschnitt einen ersten Endabschnitt in einer Bodenwand eines der zueinander benachbarten ersten Gräben aufweist und einen zweiten Endabschnitt in einer Bodenwand des anderen der zueinander benachbarten ersten Gräben aufweist.

7. Halbleitervorrichtung nach Anspruch 6, wobei der pn-Übergangsabschnitt, und zwar mit dem ersten Endabschnitt und dem zweiten Endabschnitt gegeben als die beiden Endabschnitte, in einer gekrümmten Form ausgebildet ist, die in Bezug auf die beiden Endabschnitte in Richtung der Seite der zweiten Hauptoberflächen erhöht ist.

8. Halbleitervorrichtung nach einem der Ansprüche 1 bis 7, die eine Vielzahl von zweiten Gräben einschließt, die in der ersten Hauptoberfläche des IGBT-Bereichs ausgebildet und in einem ersten Abstand angeordnet sind, wobei die Vielzahl von ersten Gräben in einem zweiten Abstand angeordnet sind, der der gleiche ist wie der erste Abstand.

9. Halbleitervorrichtung nach einem der Ansprüche 1 bis 7, die eine Vielzahl von zweiten Gräben einschließt, die in der ersten Hauptoberfläche des IGBT-Bereichs ausgebildet und in einem ersten Abstand angeordnet sind, wobei die Vielzahl von ersten Gräben in einem zweiten Abstand angeordnet sind, der größer ist als der erste Abstand.

10. Halbleitervorrichtung nach Anspruch 2, die einen zweiten Graben, der in der ersten Hauptoberfläche des IGBT-Bereichs ausgebildet ist, und
einen dritten Verunreinigungsbereich eines zweiten Leitfähigkeitstyps einschließt, der selektiv in einer Bodenwand des zweiten Grabens ausgebildet ist, wobei
der zweite Abschnitt des zweiten Verunreinigungsbereichs einen Vorsprungsabschnitt einschließt, der auf der Seite der zweiten Hauptoberflächenseite direkt unter dem ersten Graben selektiv hervorsteht.

11. Halbleitervorrichtung nach Anspruch 10, wobei
der zweite Abschnitt des zweiten Verunreinigungsbereichs einen Basisabschnitt einschließt, der sich so erstreckt, dass er die Vielzahl von ersten Gräben kontinuierlich kreuzt, und mit dem Vorsprungsabschnitt direkt unter jedem der ersten Gräben verbunden ist, und
der Basisabschnitt einen gekrümmten Abschnitt aufweist, der in einer gekrümmten Form ausgebildet ist, die zwischen den zueinander benachbarten Vorsprungsabschnitten in Richtung der Seite der zweiten Hauptoberfläche erhöht ist.

12. Halbleitervorrichtung nach Anspruch 11, wobei der Vorsprungsabschnitt eine gekrümmte Form aufweist, deren Vorsprungsbetrag größer ist als der der gekrümmten Form des gekrümmten Abschnitts.

13. Halbleitervorrichtung nach einem der Ansprüche 10 bis 12, wobei der Vorsprungsabschnitt eine Tiefe aufweist, die im Wesentlichen gleich der des dritten Verunreinigungsbereichs ist.

14. Halbleitervorrichtung nach einem der Ansprüche 10 bis 13, wobei
die Vielzahl von zweiten Gräben in einem ersten Abstand angeordnet sind und
die Vielzahl von ersten Gräben in einem zweiten Abstand angeordnet sind, der der gleiche ist wie der erste Abstand.

15. Halbleitervorrichtung nach einem der Ansprüche 10 bis 13, wobei
die Vielzahl von zweiten Gräben in einem ersten Abstand angeordnet sind und
die Vielzahl von ersten Gräben in einem zweiten Abstand angeordnet sind, der größer ist als der erste Abstand.

16. Halbleitervorrichtung nach Anspruch 1, wobei der zweite Verunreinigungsbereich einen geneigten Abschnitt, der von einer Seitenwand mindestens eines der ersten Gräben in Richtung der zweiten Hauptoberfläche in einer Richtung weg von dem IGBT-Bereich nach unten zu einer Position geneigt ist, die tiefer liegt als die Bodenwand des ersten Grabens, und einen flachen Abschnitt einschließt, der sich bis zu einem unteren Ende des geneigten Abschnitts fortsetzt, sich entlang der ersten Hauptoberfläche erstreckt und die Bodenwände der Vielzahl von ersten Gräben von der Seite der zweiten Hauptoberfläche her vollständig bedeckt.

17. Halbleitervorrichtung nach Anspruch 16, wobei der geneigte Abschnitt nach unten in Richtung der zweiten Hauptoberfläche geneigt ist, wobei eine Seitenwand des ersten Grabens, der unter der Vielzahl von ersten Gräben dem IGBT-Bereich am nächsten ist, als Startpunkt gegeben ist.

18. Halbleitervorrichtung nach einem der Ansprüche 1 bis 17, wobei der zweite Verunreinigungsbereich einen tiefsten Abschnitt an einer Tiefenposition aufweist, die nicht weniger als 0,1 µm und nicht mehr als 3,0 µm von der Bodenwand des ersten Grabens entfernt ist.

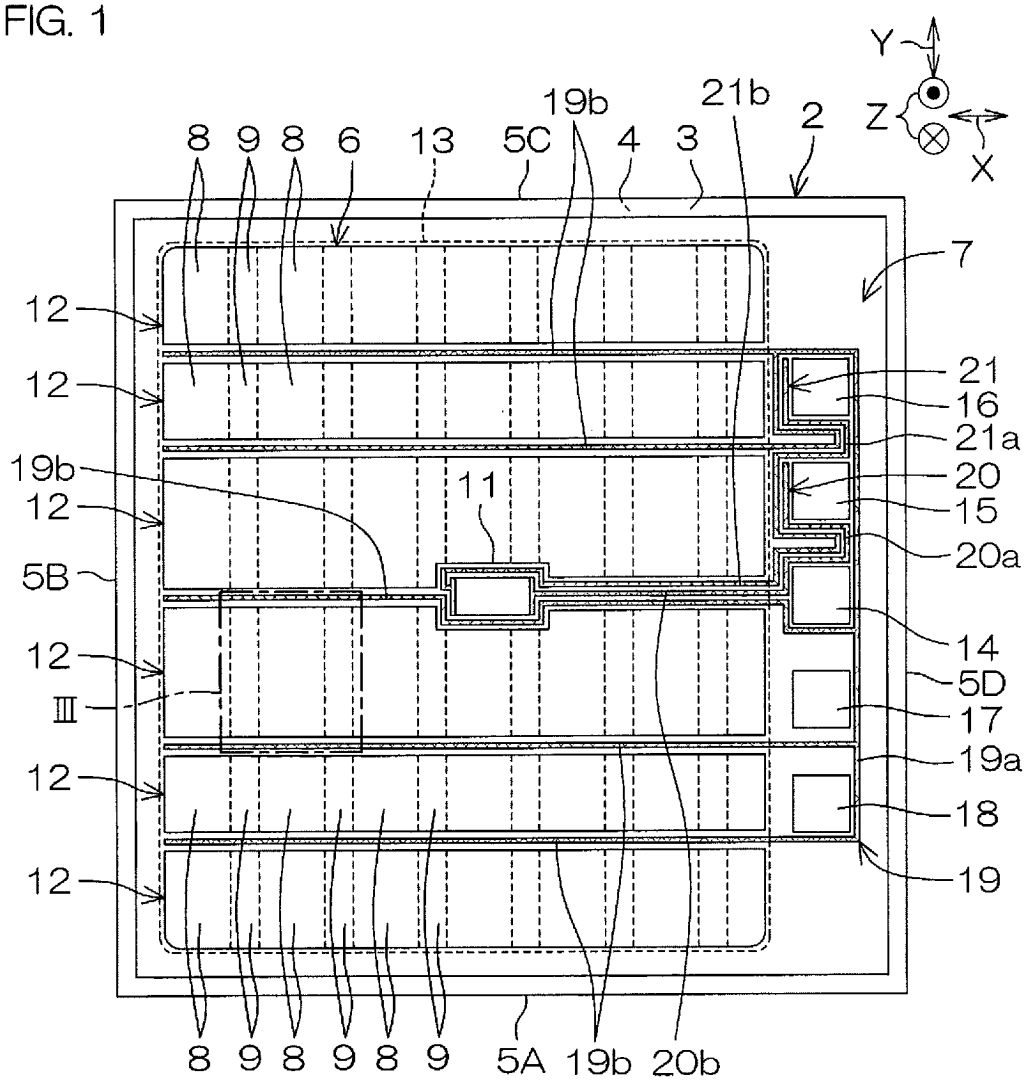
19. Halbleitervorrichtung nach einem der Ansprüche 1 bis 18, wobei der IGBT-Bereich einen Driftbereich eines ersten Leitfähigkeitstyps, der innerhalb der Halbleiterschicht ausgebildet ist, und eine FET-Struktur einschließt, die einen Körperbereich eines zweiten Leitfähigkeitstyps, der in einem Oberflächenschichtabschnitt des Driftbereichs ausgebildet ist, einen Emitterbereich eines ersten Leitfähigkeitstyps, der in einem Oberflächenschichtabschnitt des Körperbereichs ausgebildet ist, und eine leitende Gate-schicht bzw. Gate-Leiterschicht, die dem Körperbereich und dem Emitterbereich über eine Gate-Isolierschicht gegenüberliegt, einschließt und die zweite Elektrode elektrisch mit dem Emitterbereich verbunden ist.

20. Halbleitervorrichtung nach einem der Ansprüche 1 bis 19, die ferner ein RC-IGBT-Array einschließt, das die Vielzahl von IGBT-Bereichen und die Vielzahl von Diodenbereichen einschließt, die entlang der ersten Richtung abwechselnd angeordnet sind.

Es folgen 116 Seiten Zeichnungen

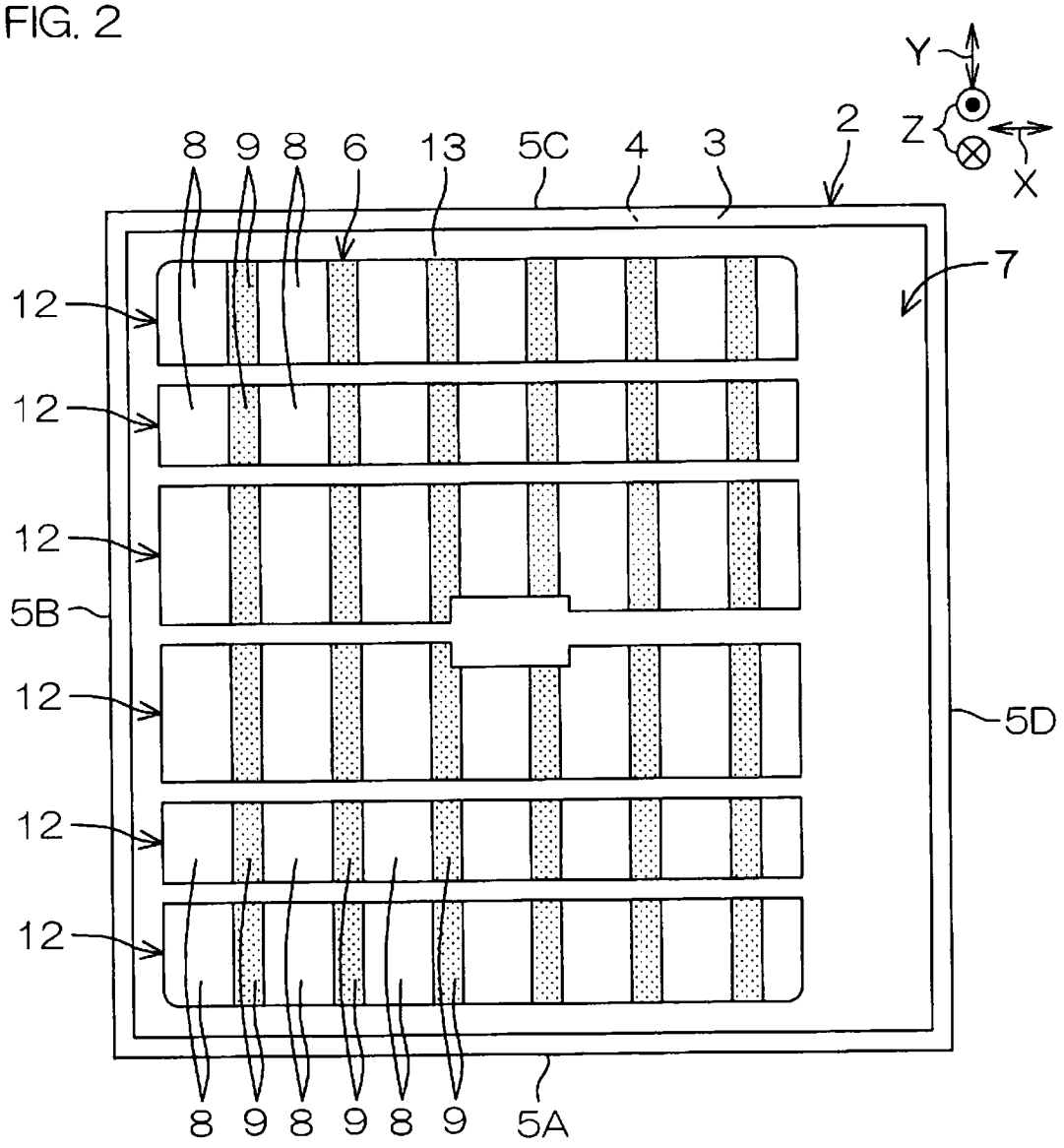
**Anhängende Zeichnungen**

FIG. 1




1

FIG. 2



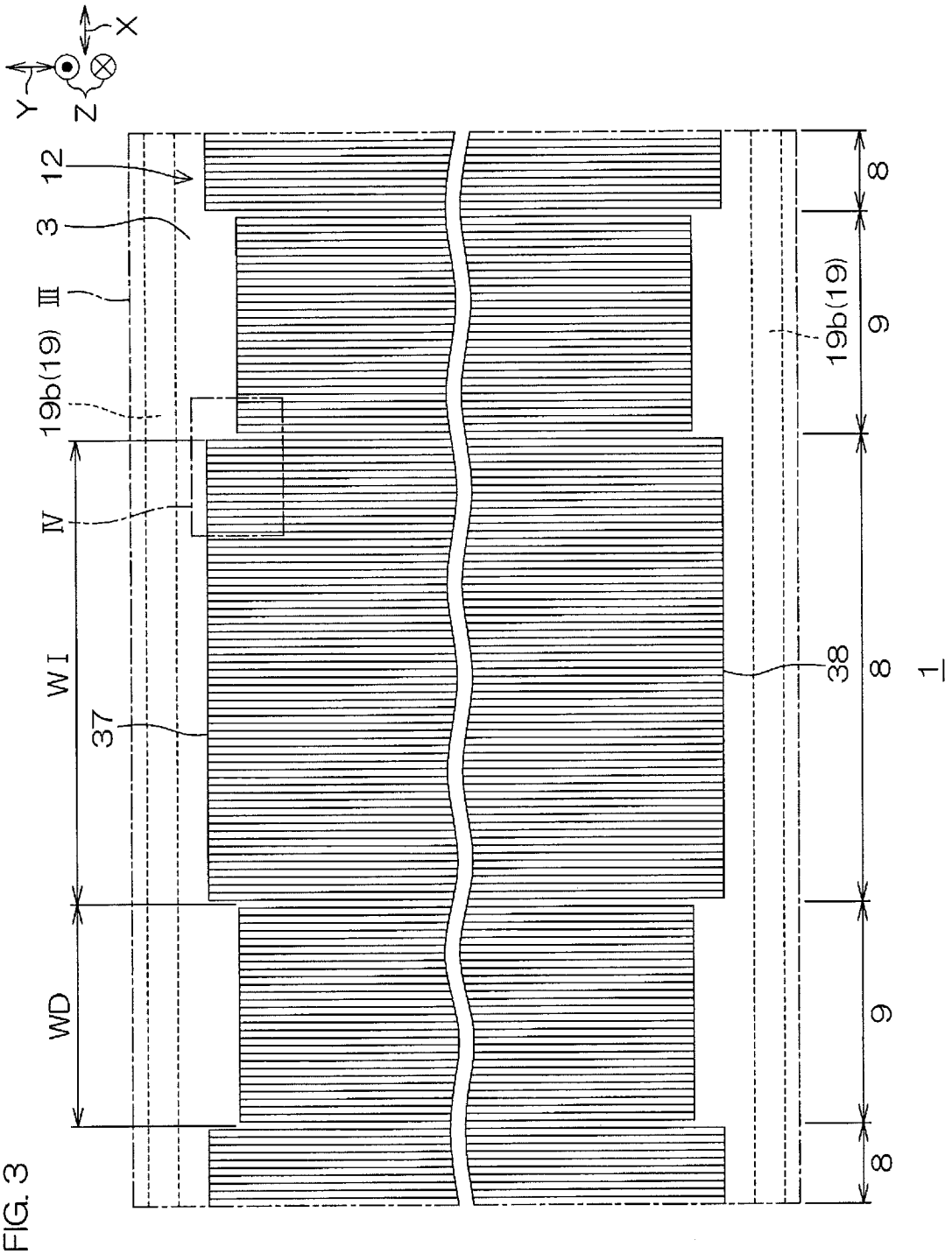



FIG. 3

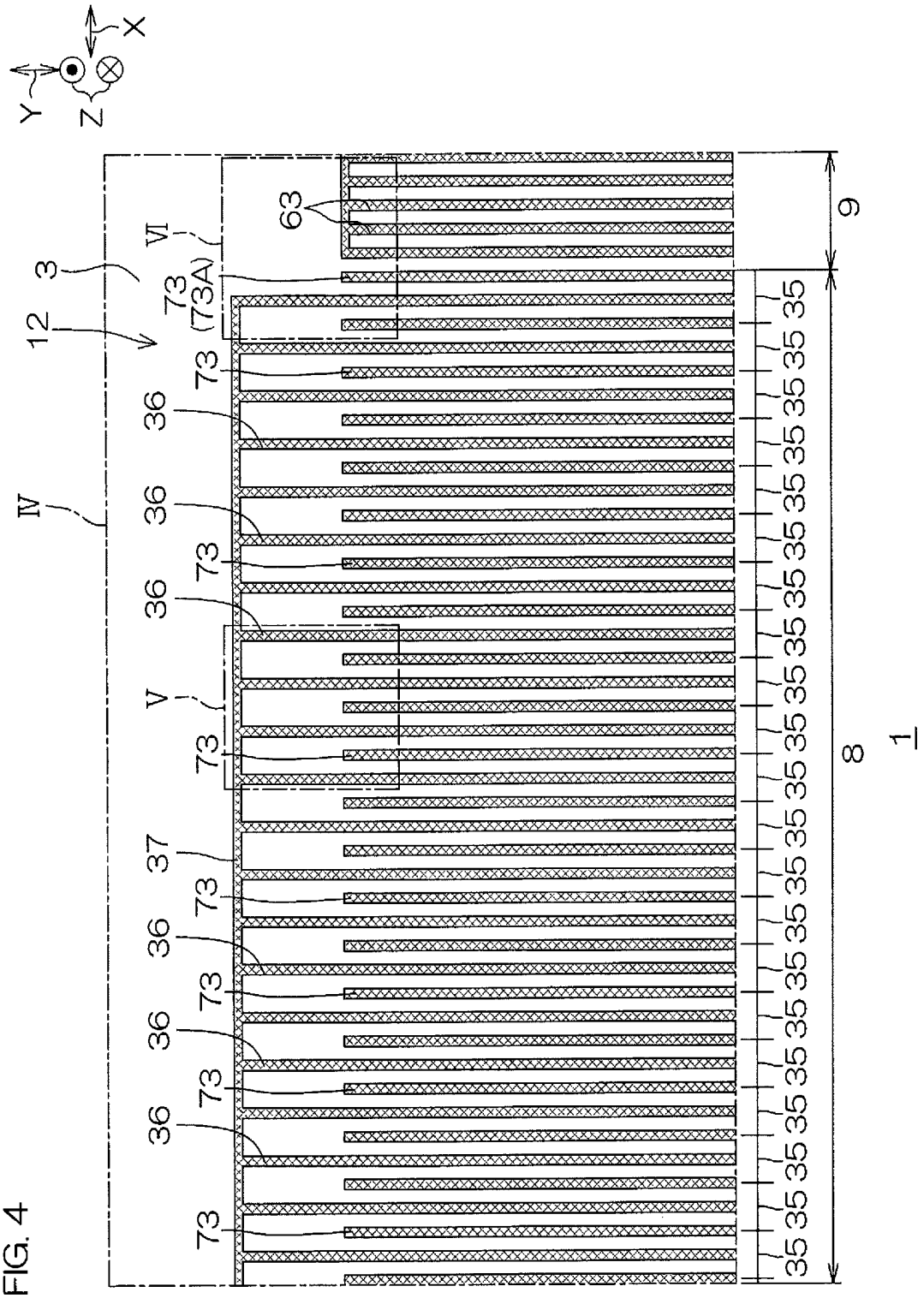

X
Y
Z
63
9
VI
3
73
(73A)
12
73
36
IV
36
73
36
V
73
37
73
36
73
36
73
36
73
35
8
1

FIG. 4

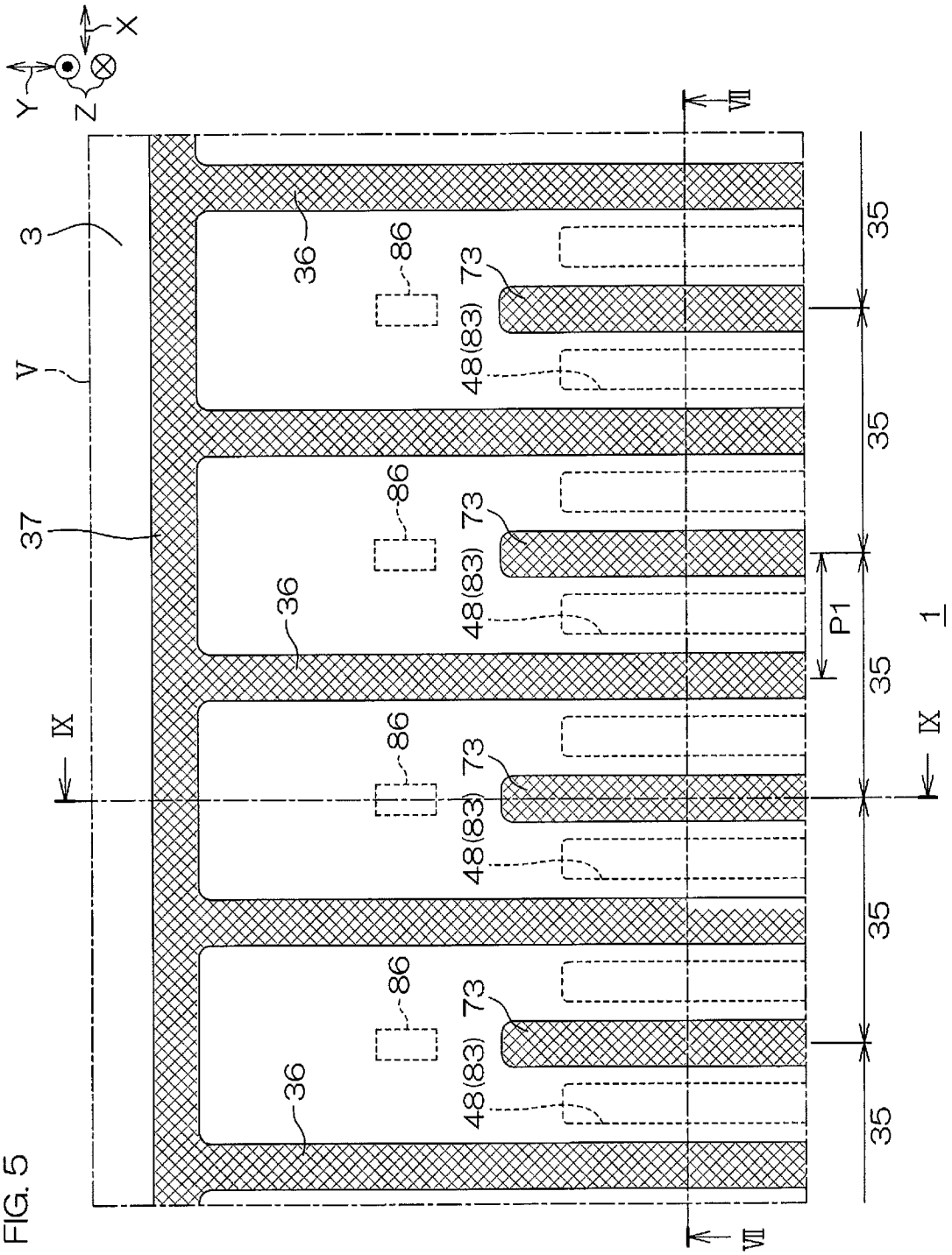



FIG. 5

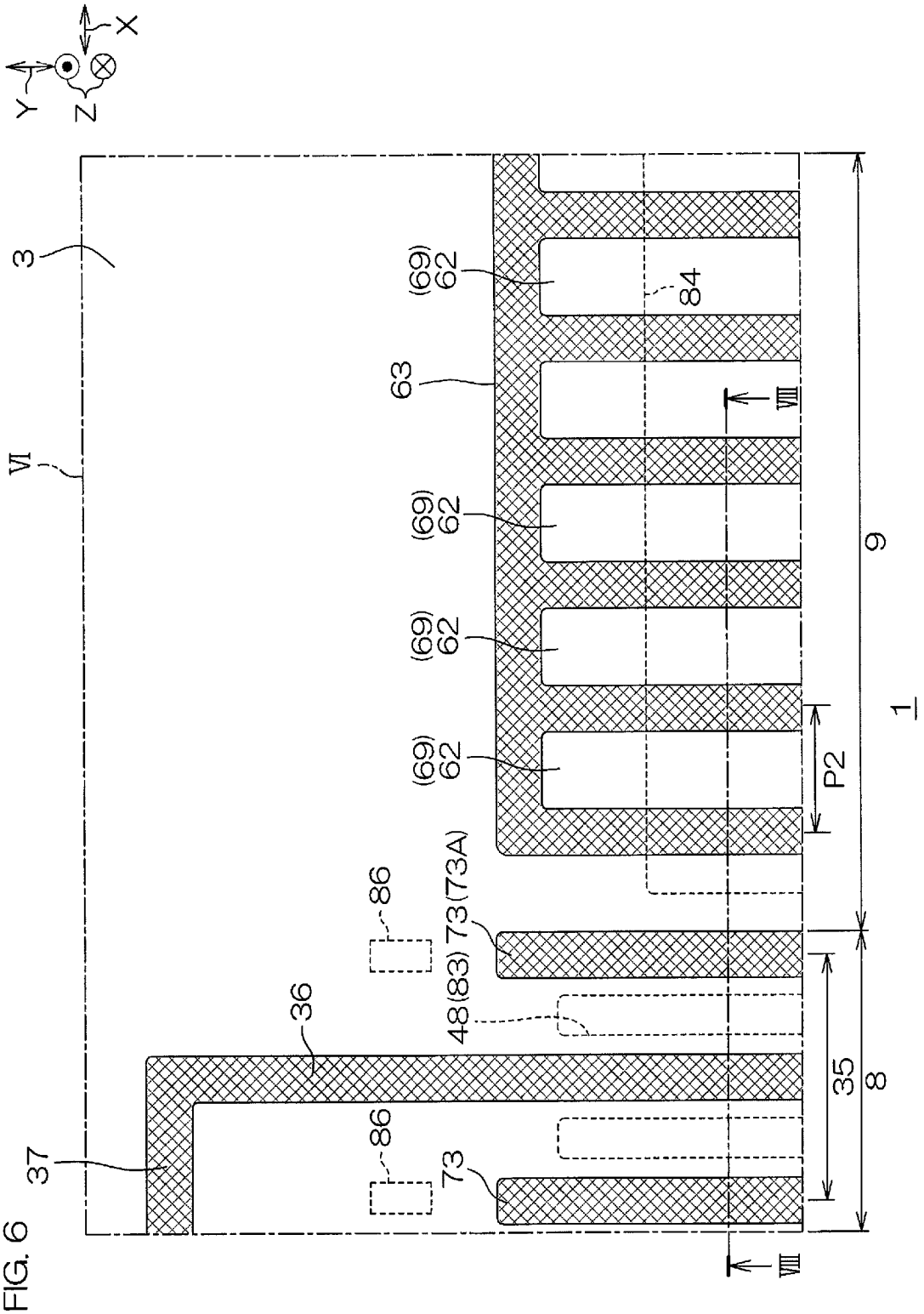



FIG. 6

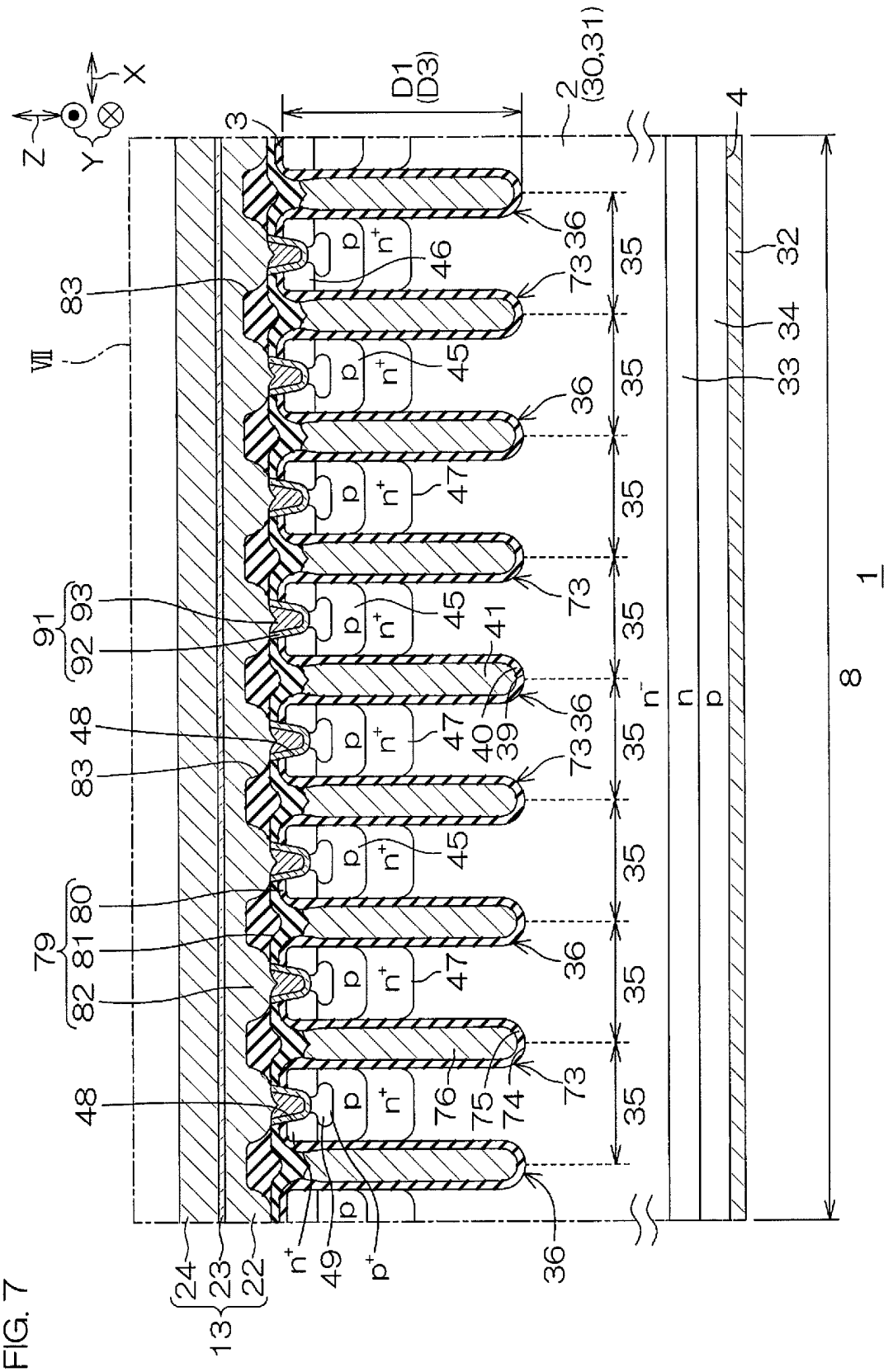

Z
Y
X
D1
(D3)
2
(30,31)
3
4
VII
83
91
92
93
48
79
80
81
82
24
23
22
13
49
36
35
73
46
45
47
41
40
39
76
75
74
32
34
33
n+
p+
p
n
n-
8
1

FIG. 7

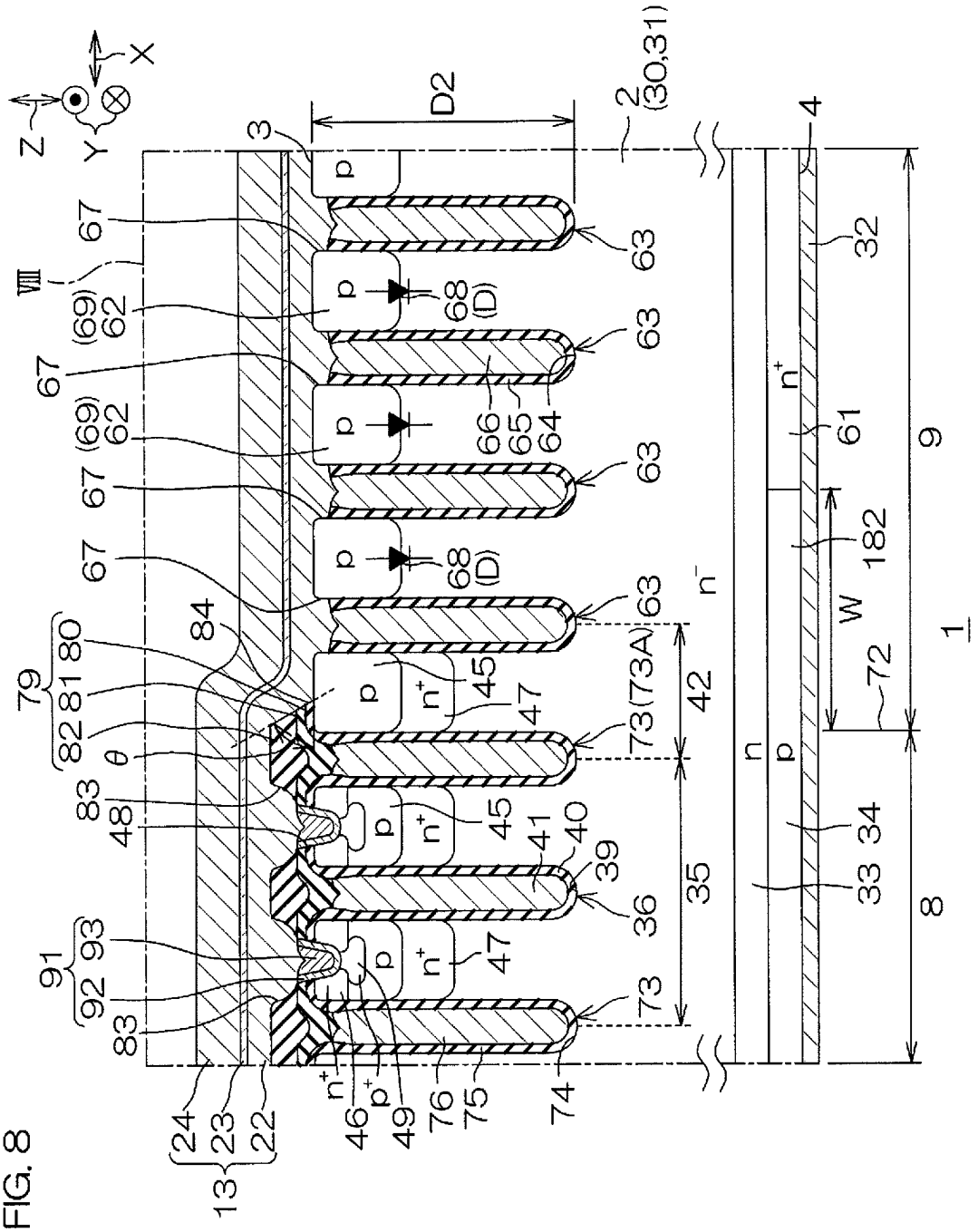
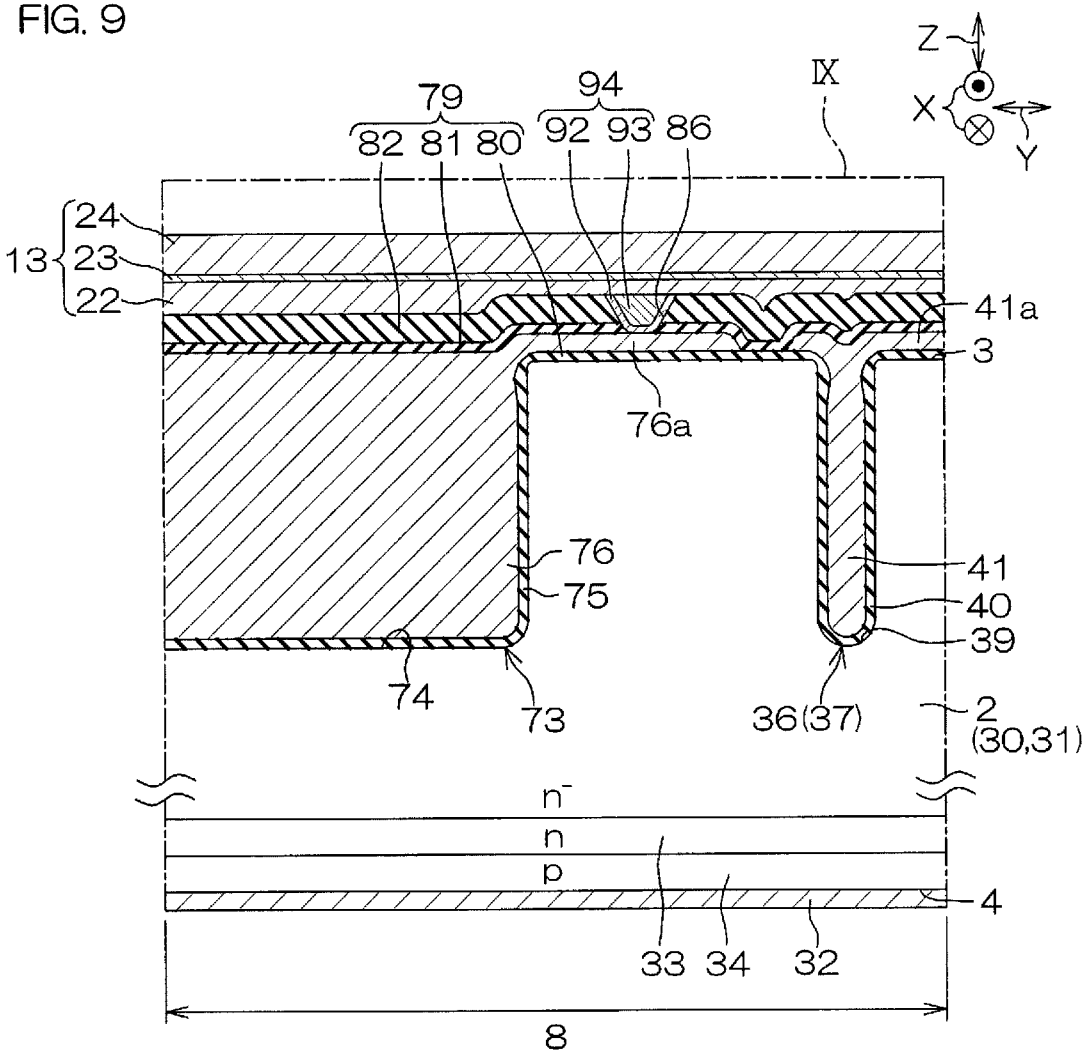

Z
Y
X
D2
2
(30,31)
3
4
VIII
67
(69)
62
63
68
(D)
66
65
64
84
79
80
81
82
θ
83
48
45
47
73(73A)
42
41
40
39
36
35
91
93
92
73
74
n+
p+
46
49
76
75
24
23
22
13
n
p
n+
61
32
9
W
182
72
1
34
33
8

FIG. 8

FIG. 9


Z
X
Y
IX
79
82 81 80
94
92 93 86
24
23
22
13
41a
3
76a
76
75
41
40
39
74
73
36(37)
2
(30,31)
n⁻
n
p
4
33 34 32
8
1

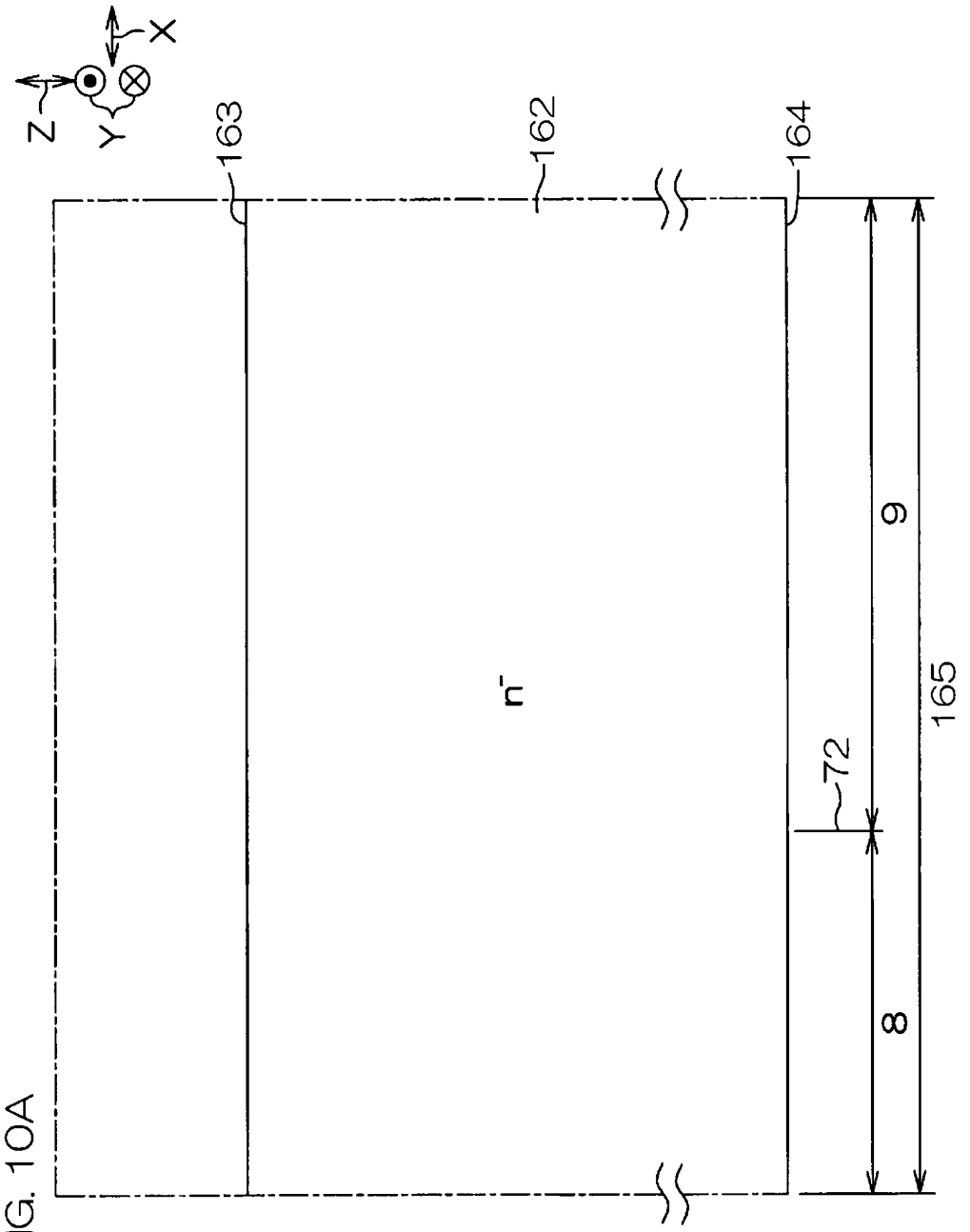



FIG. 10A

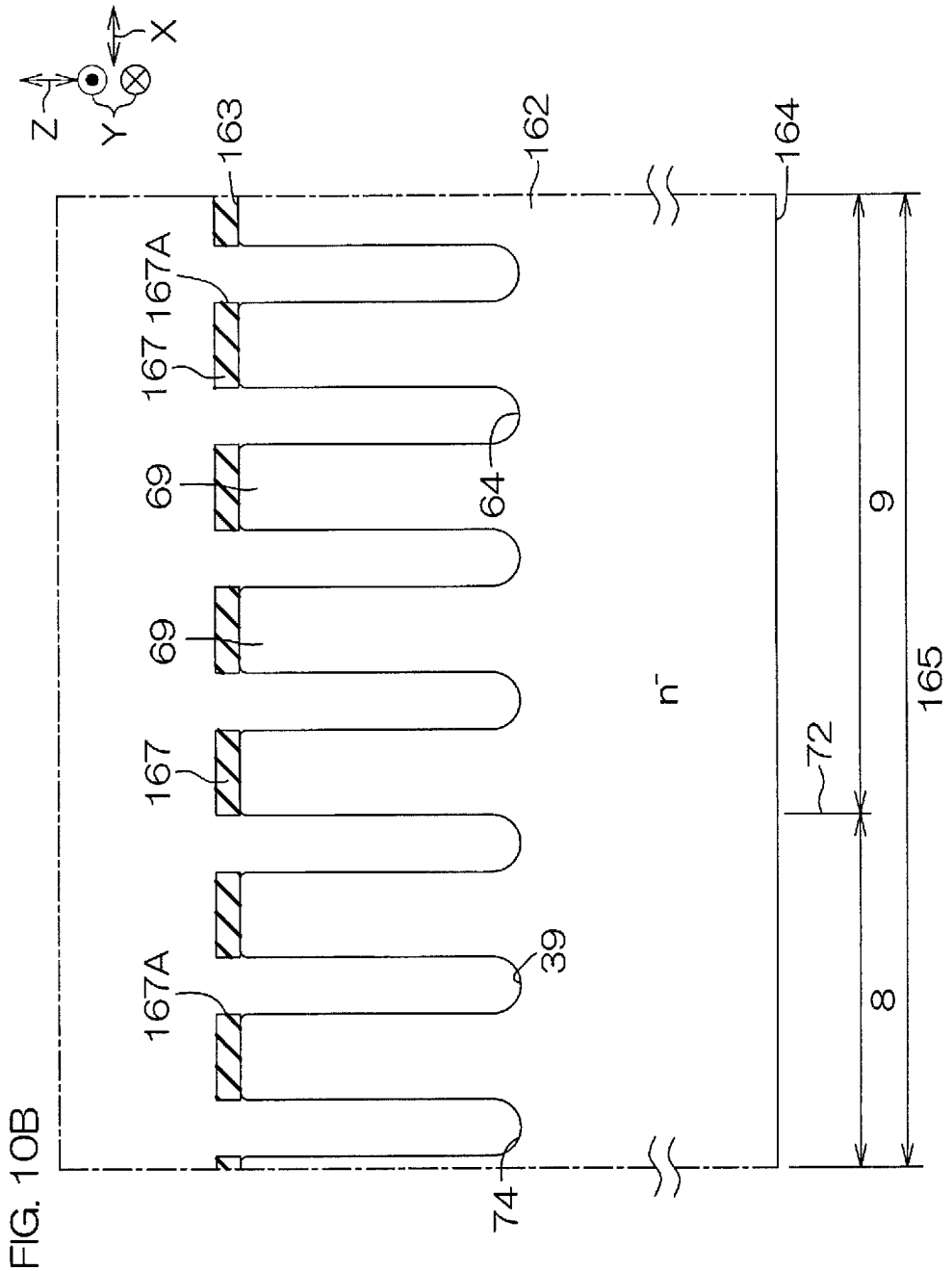



FIG. 10B

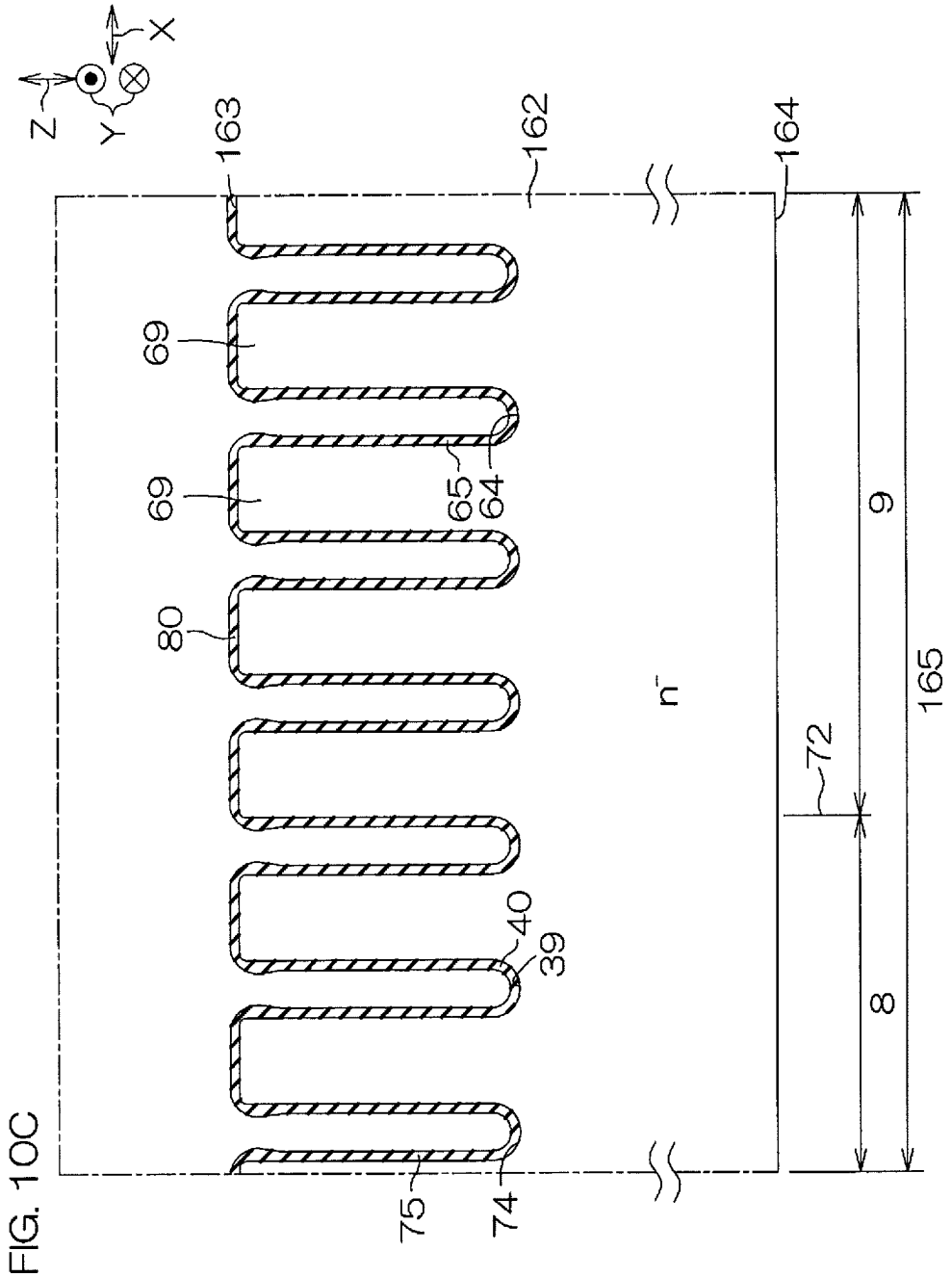



FIG. 10C

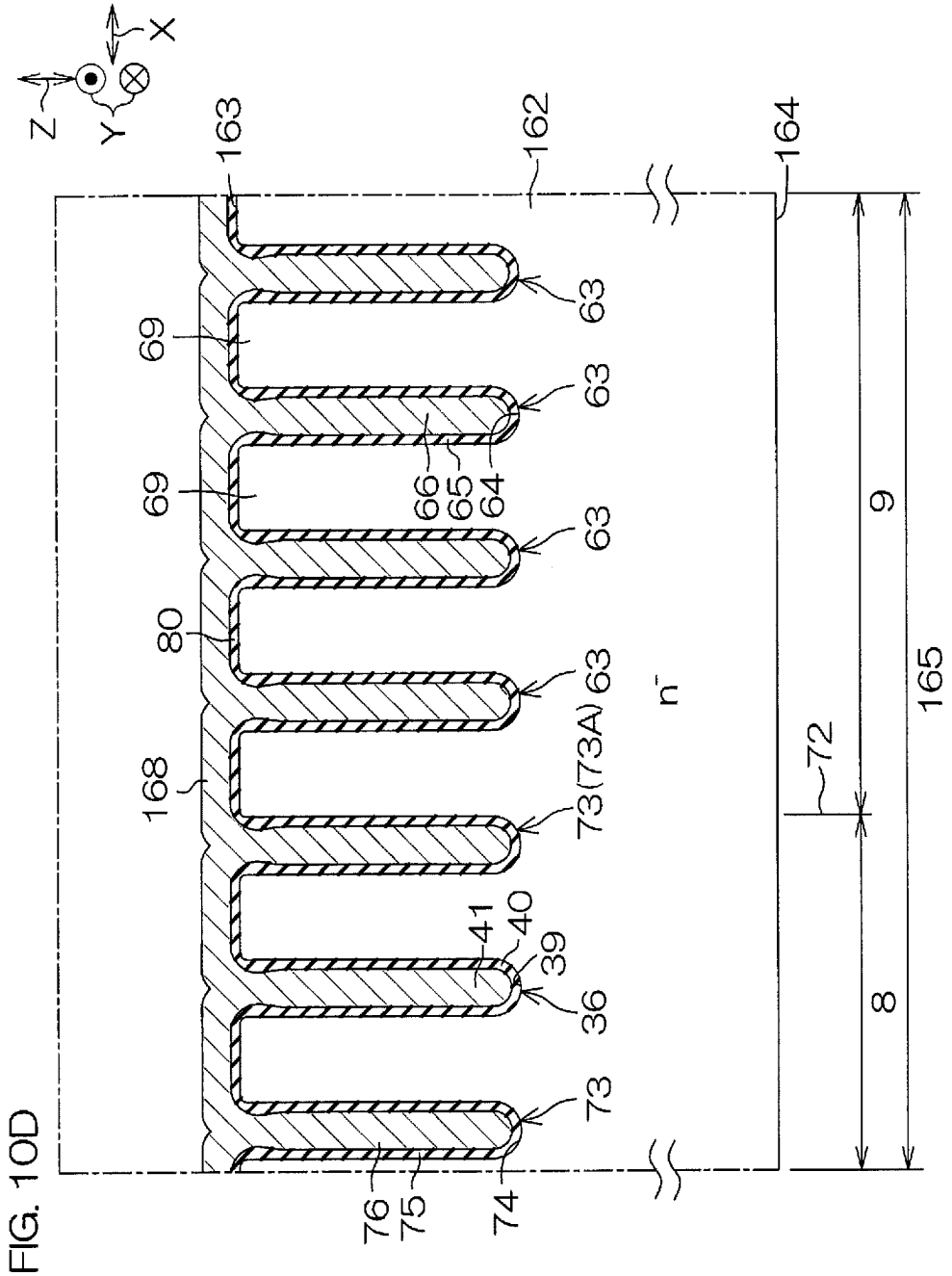

X
Z
Y
163
162
164
63
69
63
69
66
65
64
63
80
63
168
73(73A)
n⁻
72
9
165
41
40
39
36
8
73
76
75
74

FIG. 10D

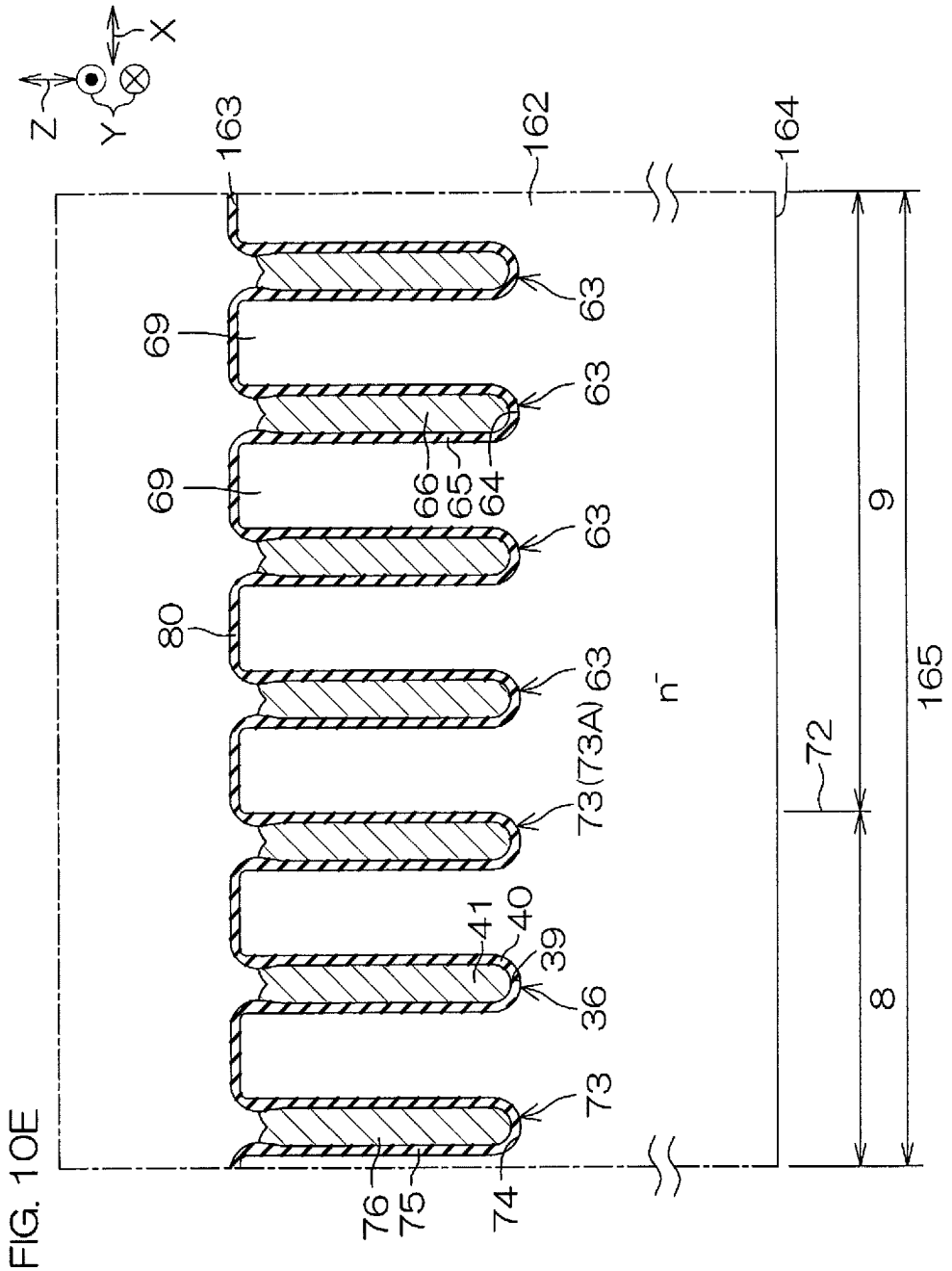

X
Z
Y
163
162
164
63
69
63
69
66
65
64
63
80
63
73(73A)
n⁻
72
9
165
41
40
39
36
8
73
76
75
74

FIG. 10E

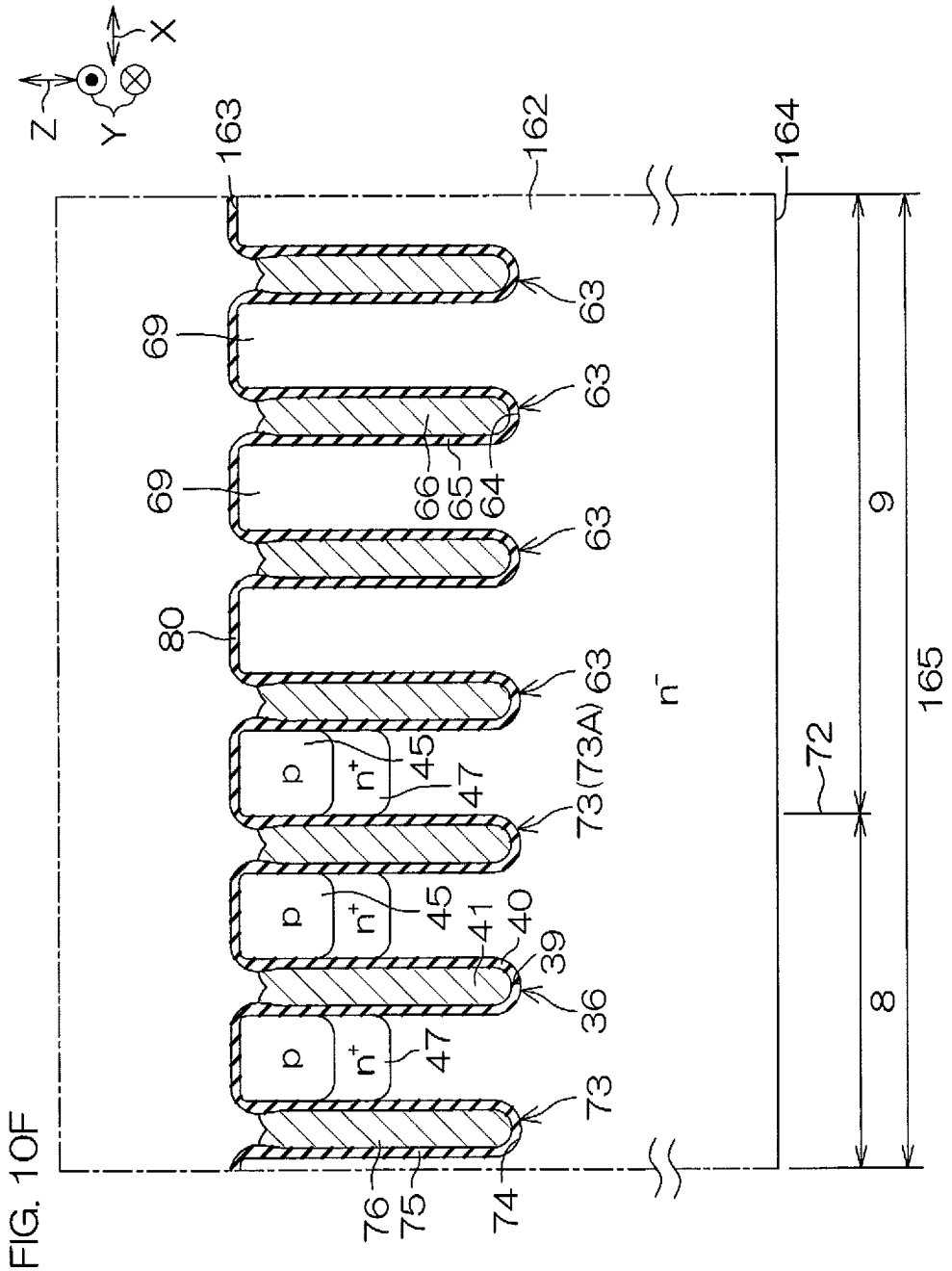

X
Z
Y
163
162
164
63
69
63
69
66
65
64
63
80
63
p
n+
45
47
73(73A)
p
n+
45
41
40
39
36
p
n+
47
73
n-
9
8
165
72
76
75
74

FIG. 10F

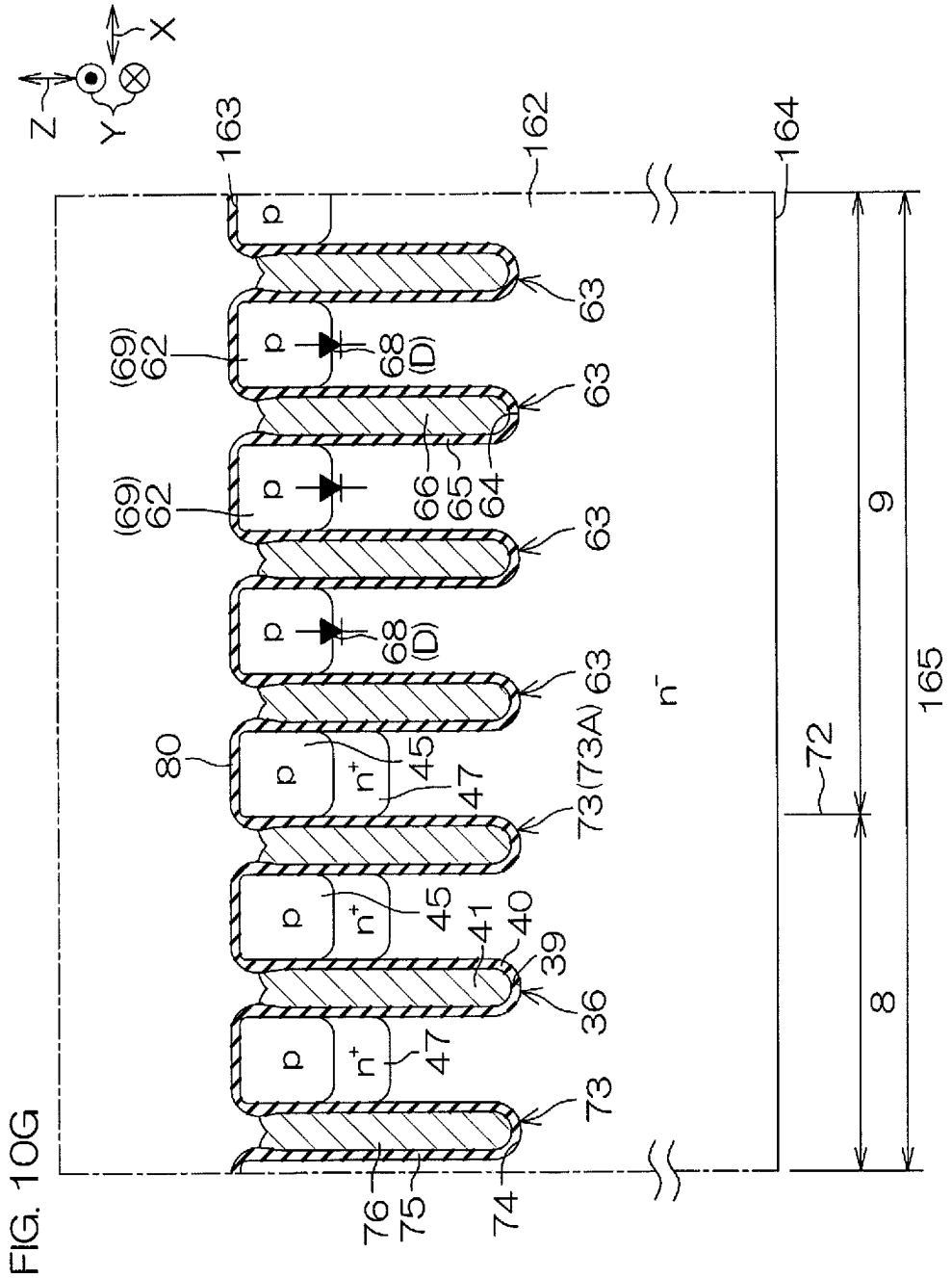

X
Z
Y
163
162
164
p
63
(69)
62
68
(D)
66
65
64
n+
45
47
80
73(73A)
41
40
39
36
73
n-
9
8
72
165
76
75
74

FIG. 10G

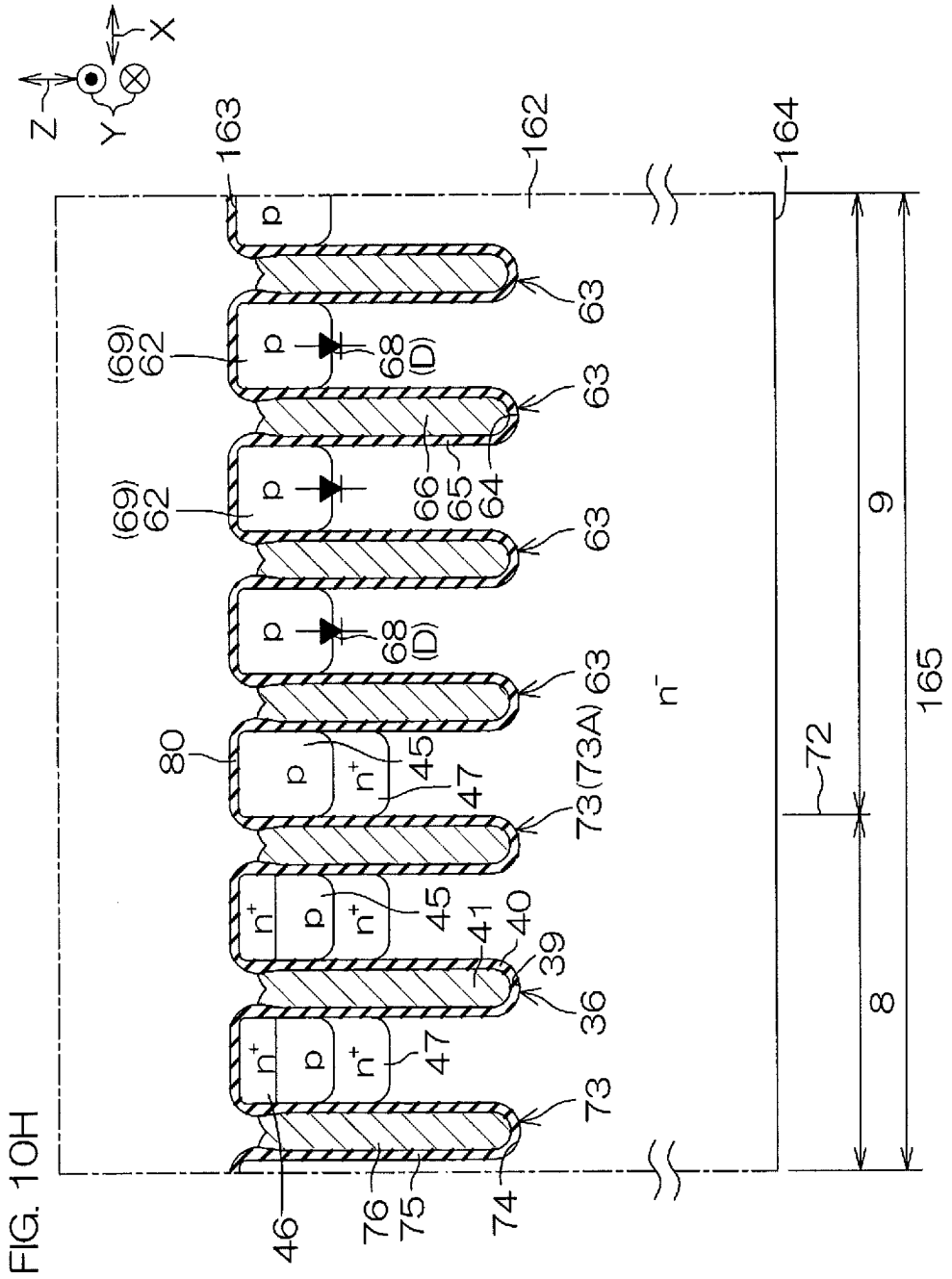

X
Z
Y
163
162
164
p
63
(69)
62
68
(D)
66
65
64
n+
45
47
80
73(73A)
n-
41
40
39
36
73
46
76
75
74
9
8
72
165

FIG. 10H

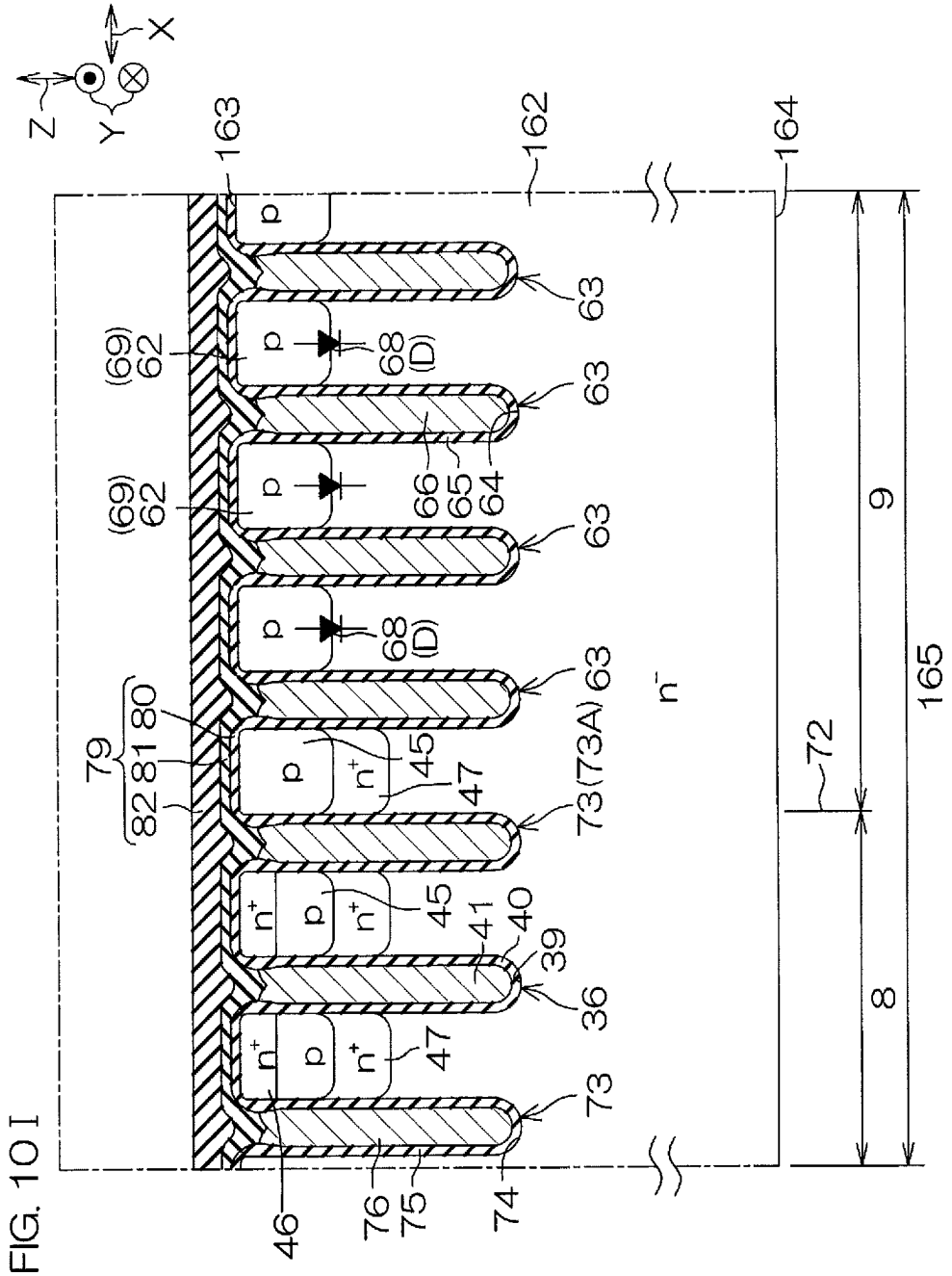

X
Z
Y
163
162
164
p
63
(69)
62
68
(D)
66
65
64
79
81
80
82
45
47
73(73A)
n+
n-
41
40
39
36
73
72
9
8
165
46
76
75
74

FIG. 10I

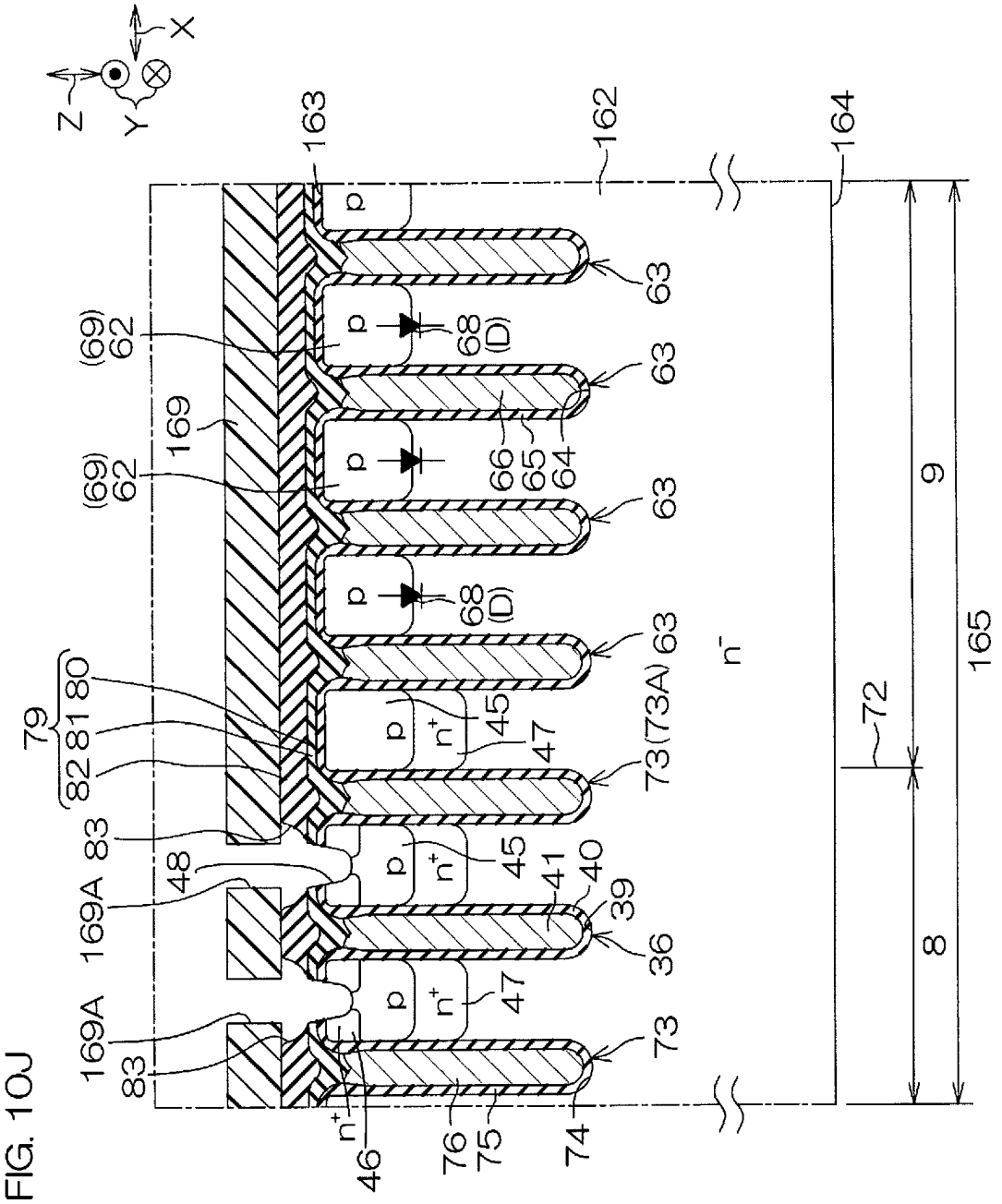

X
Z
Y
163
162
164
p
63
(69)
62
68
(D)
169
66
65
64
79
80
81
82
83
45
47
73(73A)
n⁻
48
169A
40
41
39
36
73
n+
46
76
75
74
72
9
8
165

FIG. 10J

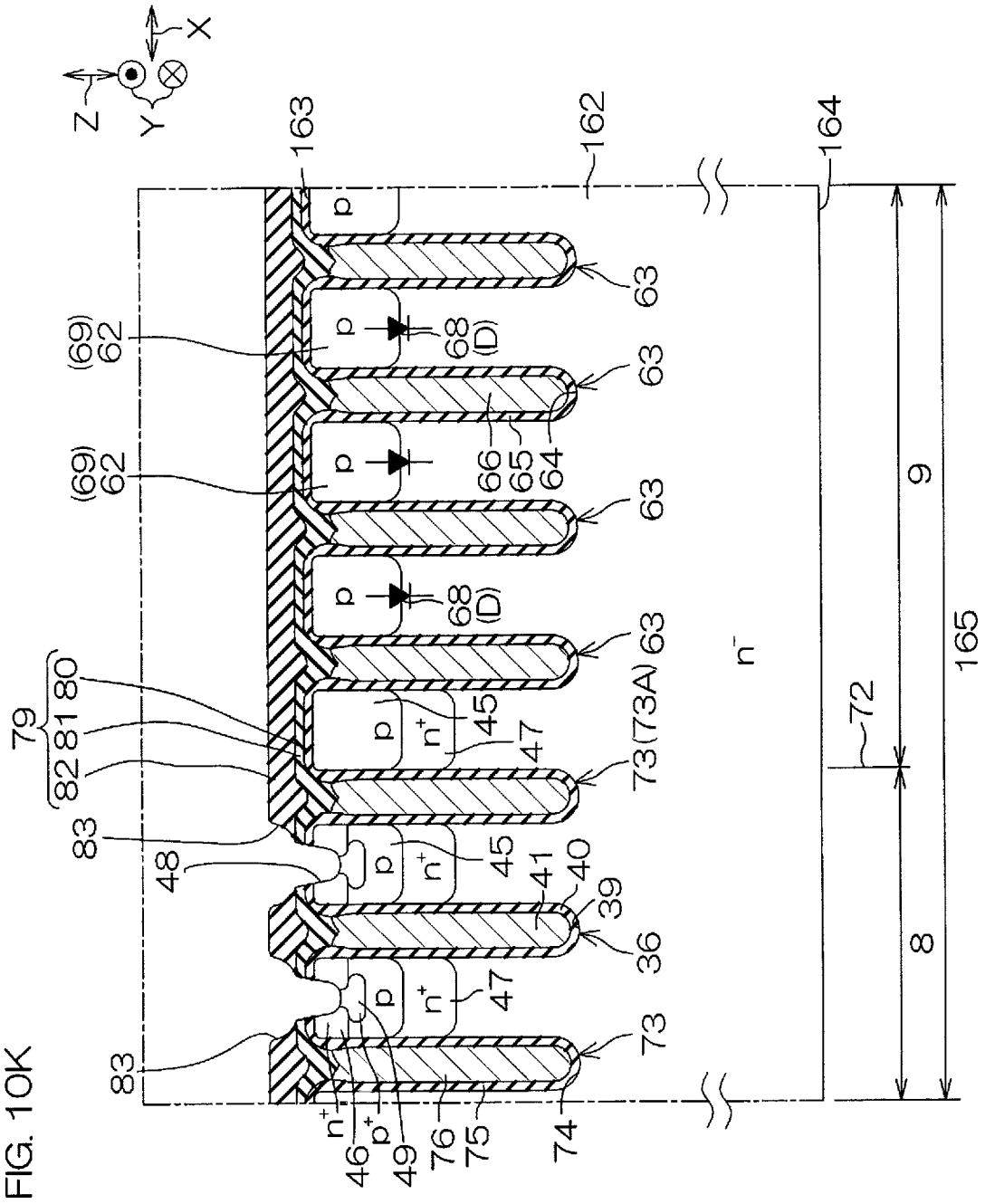

X
Z
Y
163
162
164
p
63
(69)
62
68
(D)
66
65
64
79
80
81
82
83
48
45
47
41
40
39
36
73
(73A)
n⁻
72
9
8
165
n⁺
p⁺
46
49
76
75
74

FIG. 10K

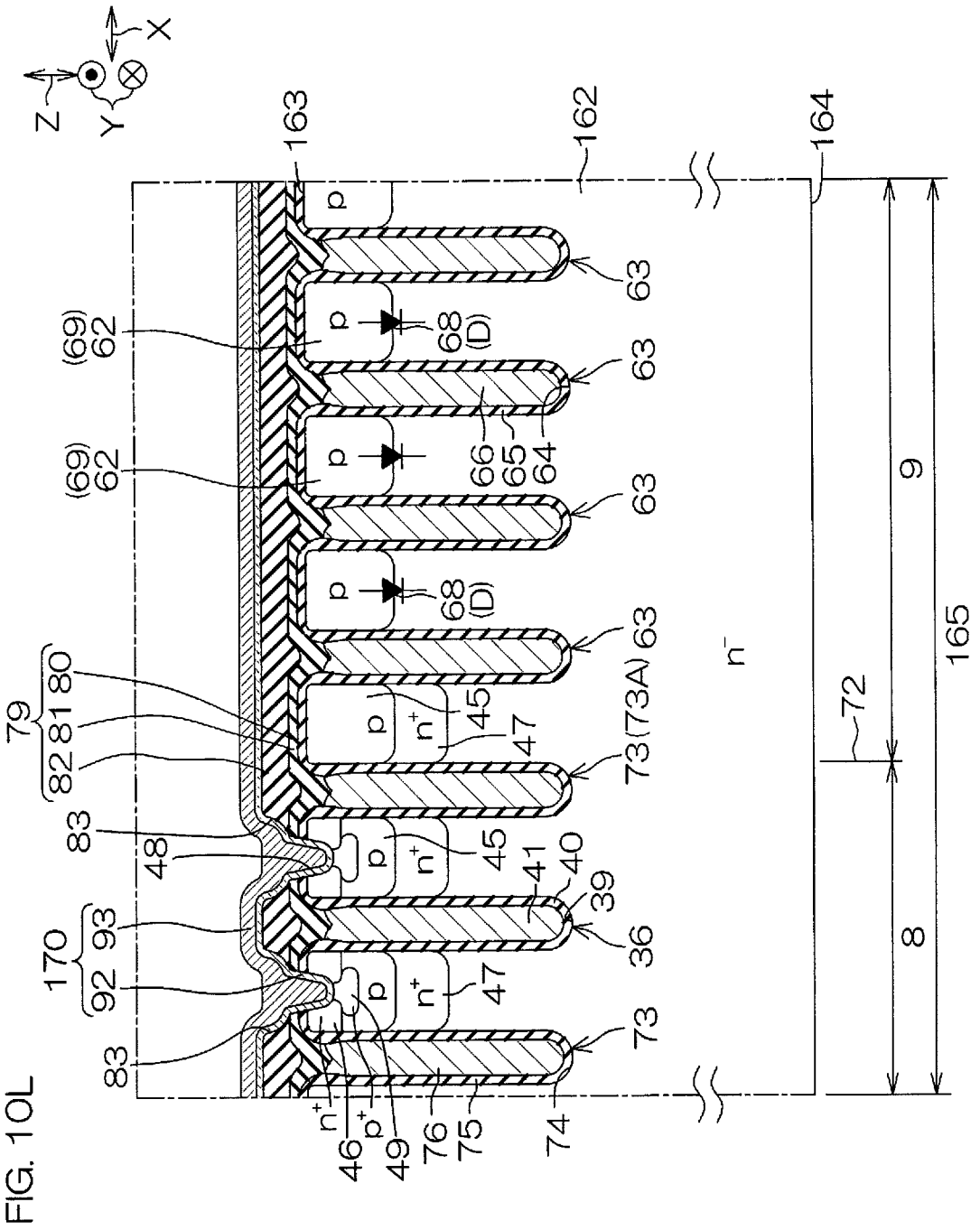

X
Z
Y
163
162
164
p
63
(69)
62
68
(D)
66
65
64
n+
45
47
73(73A)
n-
79
80
81
82
83
48
41
40
39
36
170
93
92
73
46
49
76
75
74
9
8
72
165

FIG. 10L

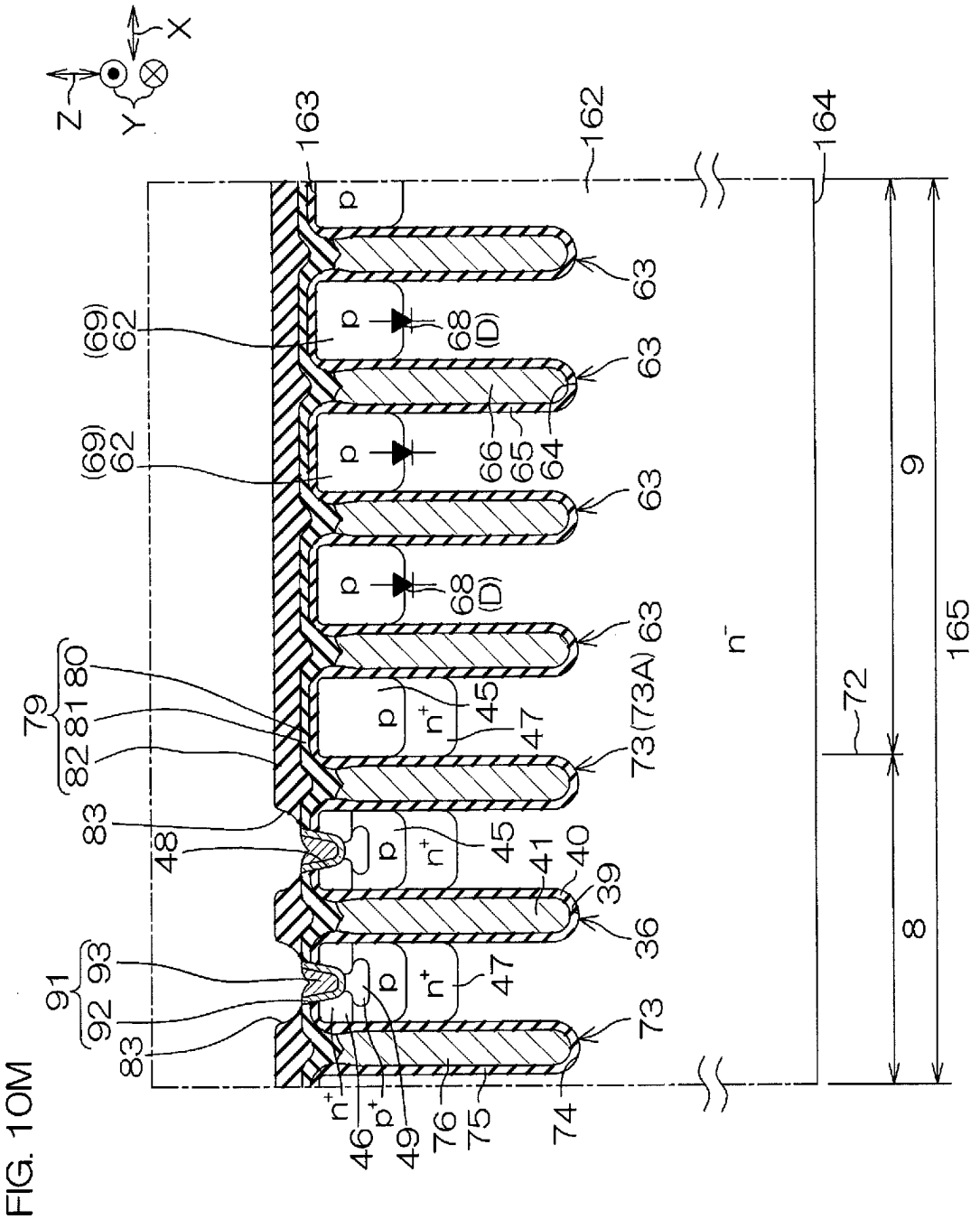

X
Z
Y
163
162
164
p
63
(69)
62
68
(D)
66
65
64
79
80
81
82
83
48
45
47
73
(73A)
41
40
39
36
91
93
92
46
49
76
75
74
n⁻
72
9
8
165

FIG. 10M

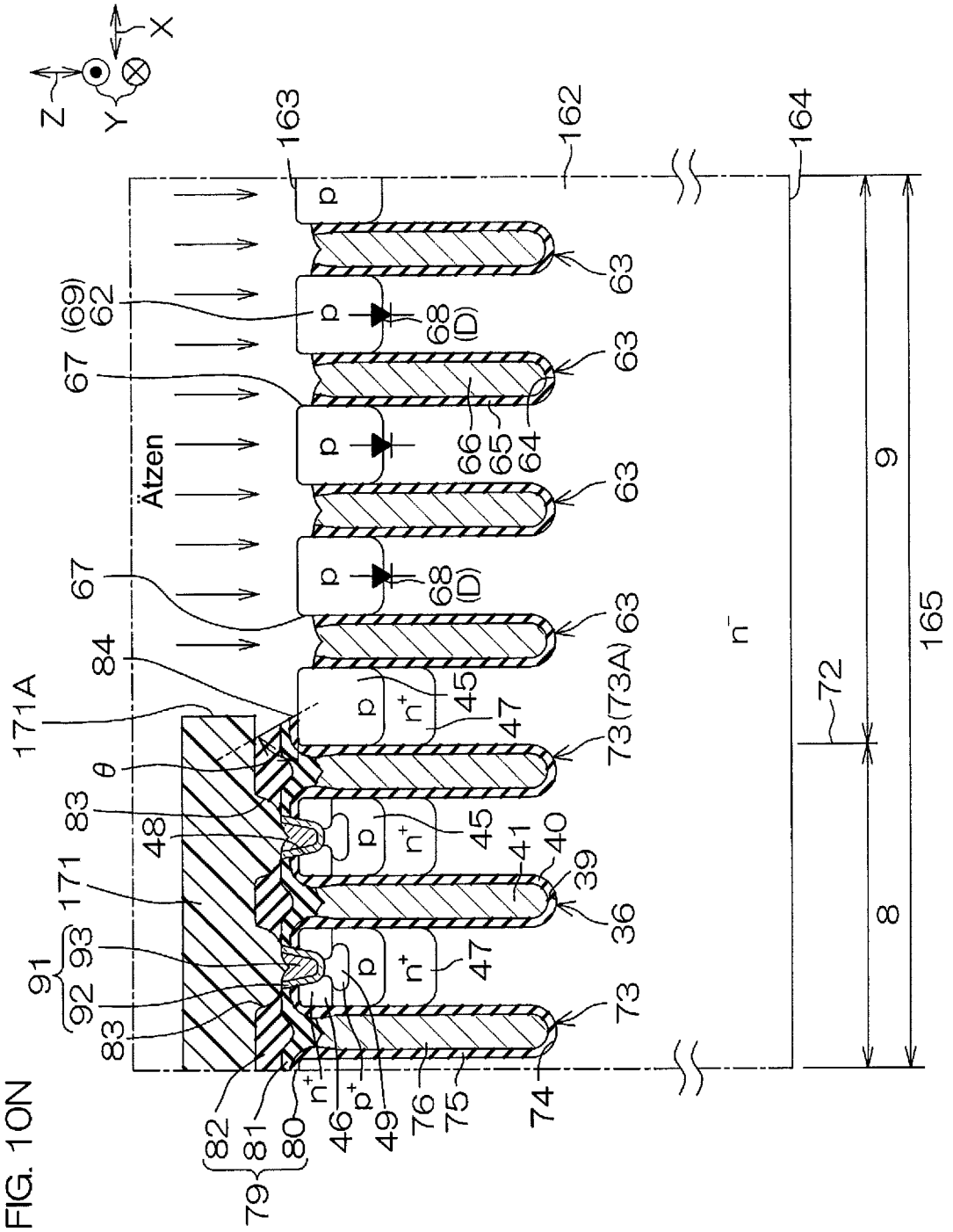

Z
Y
X
163
162
164
p
63
62
(69)
68
(D)
67
66
65
64
Ätzen
84
171A
θ
83
48
171
91
93
92
45
47
41
40
39
36
73(73A)
72
9
8
165
n⁻
n⁺
82
81
80
79
46
49
76
75
74

FIG. 10N

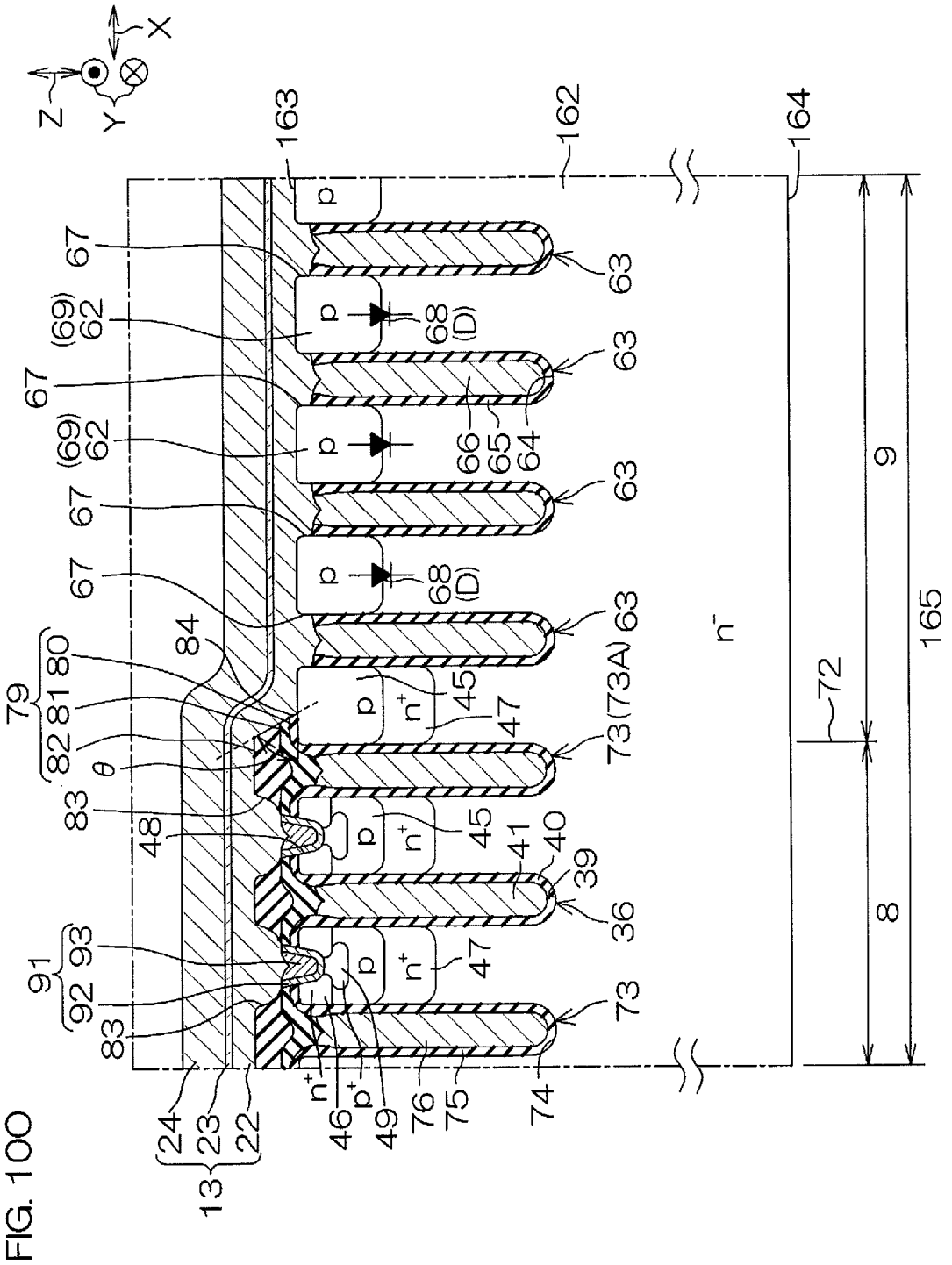

X
Z
Y
163
162
164
p
67
63
(69)
62
68
(D)
66
65
64
n⁻
9
165
72
8
79
80
81
82
84
θ
83
48
45
47
73(73A)
41
40
39
36
91
93
92
73
24
23
22
13
46
49
76
75
74

FIG. 100

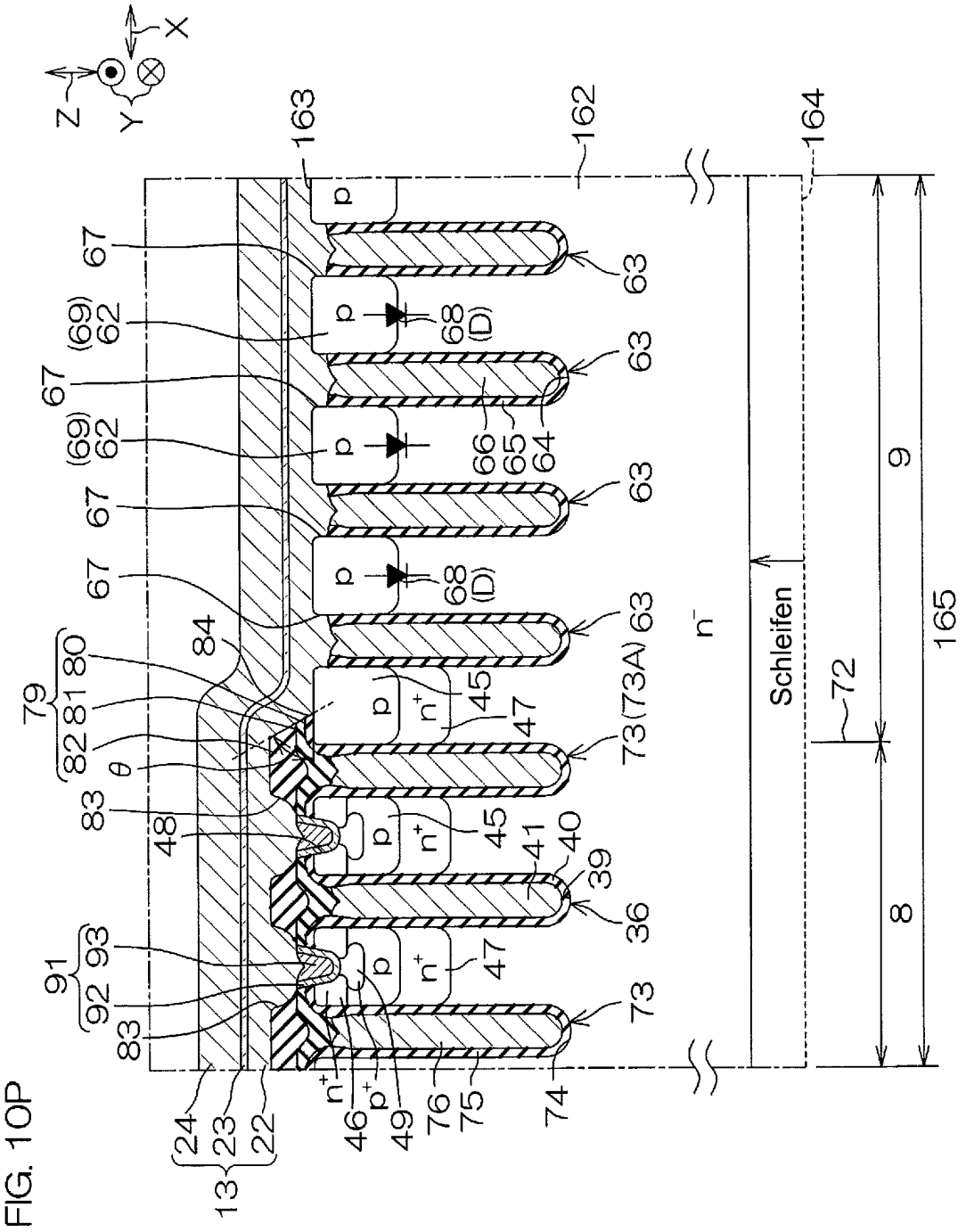

X
Z
Y
163
162
164
p
67
63
(69)
62
68
(D)
66
65
64
84
79
80
81
82
θ
83
48
45
47
73
(73A)
n⁻
Schleifen
72
9
165
41
40
39
36
8
91
93
92
73
24
23
22
13
n+
46
p+
49
76
75
74

FIG. 10P

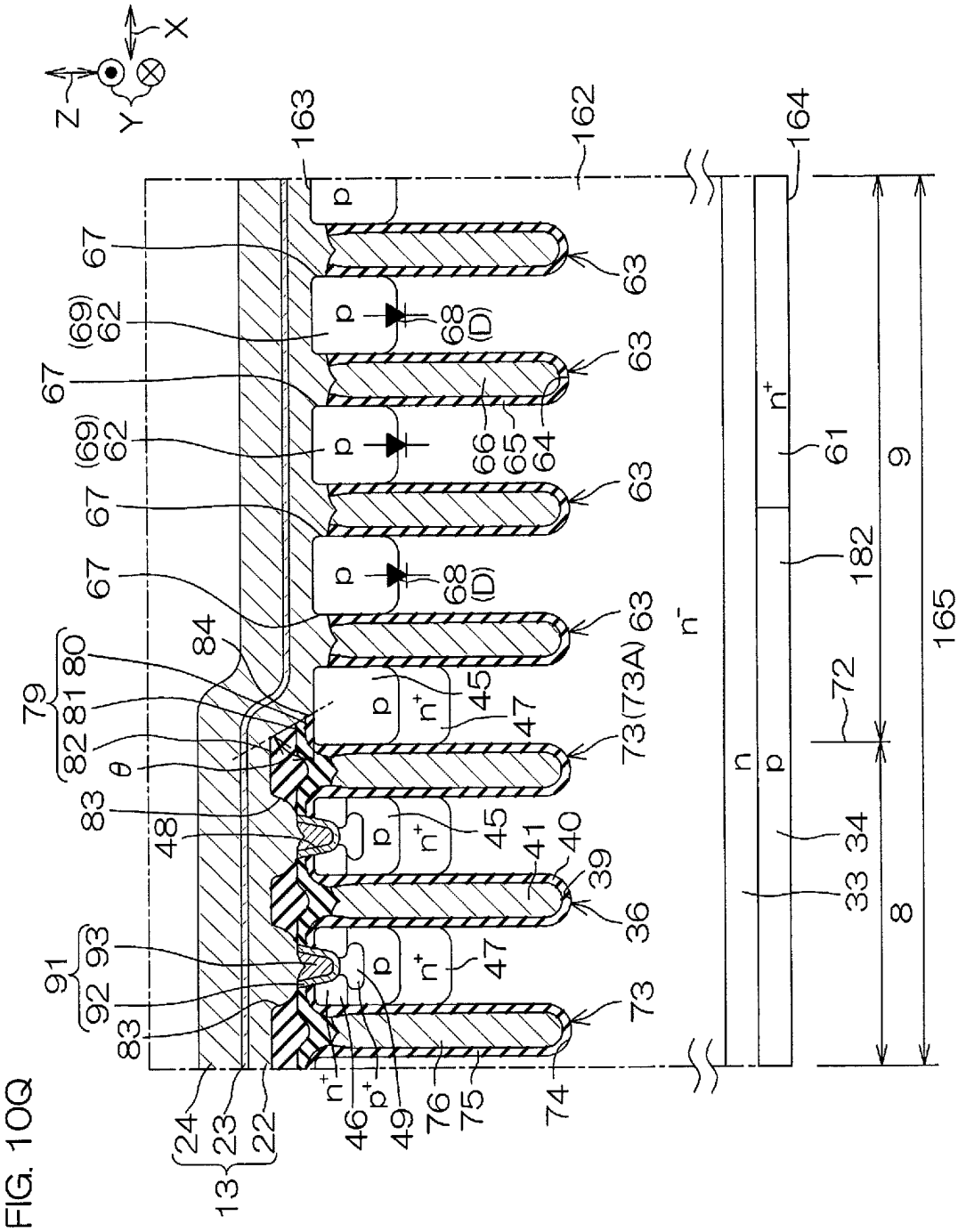

X
Z
Y
163
162
164
p
n+
n-
n
67
63
(69)
62
68
(D)
66
65
64
61
9
182
165
72
79
80
81
82
84
θ
83
48
45
47
73(73A)
41
40
39
36
91
92
93
73
24
23
22
13
46
49
76
75
74
34
33
8

FIG. 10Q

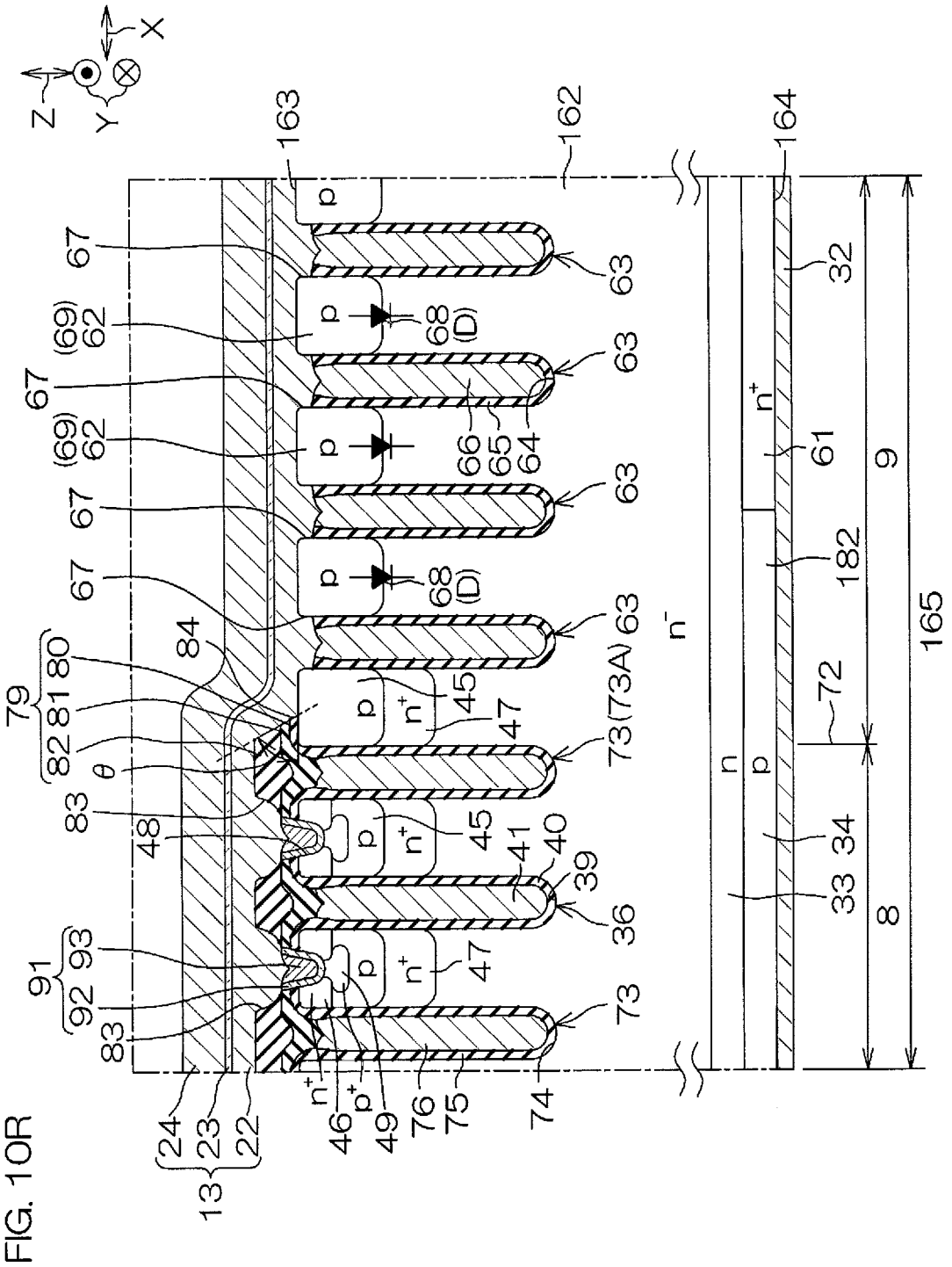
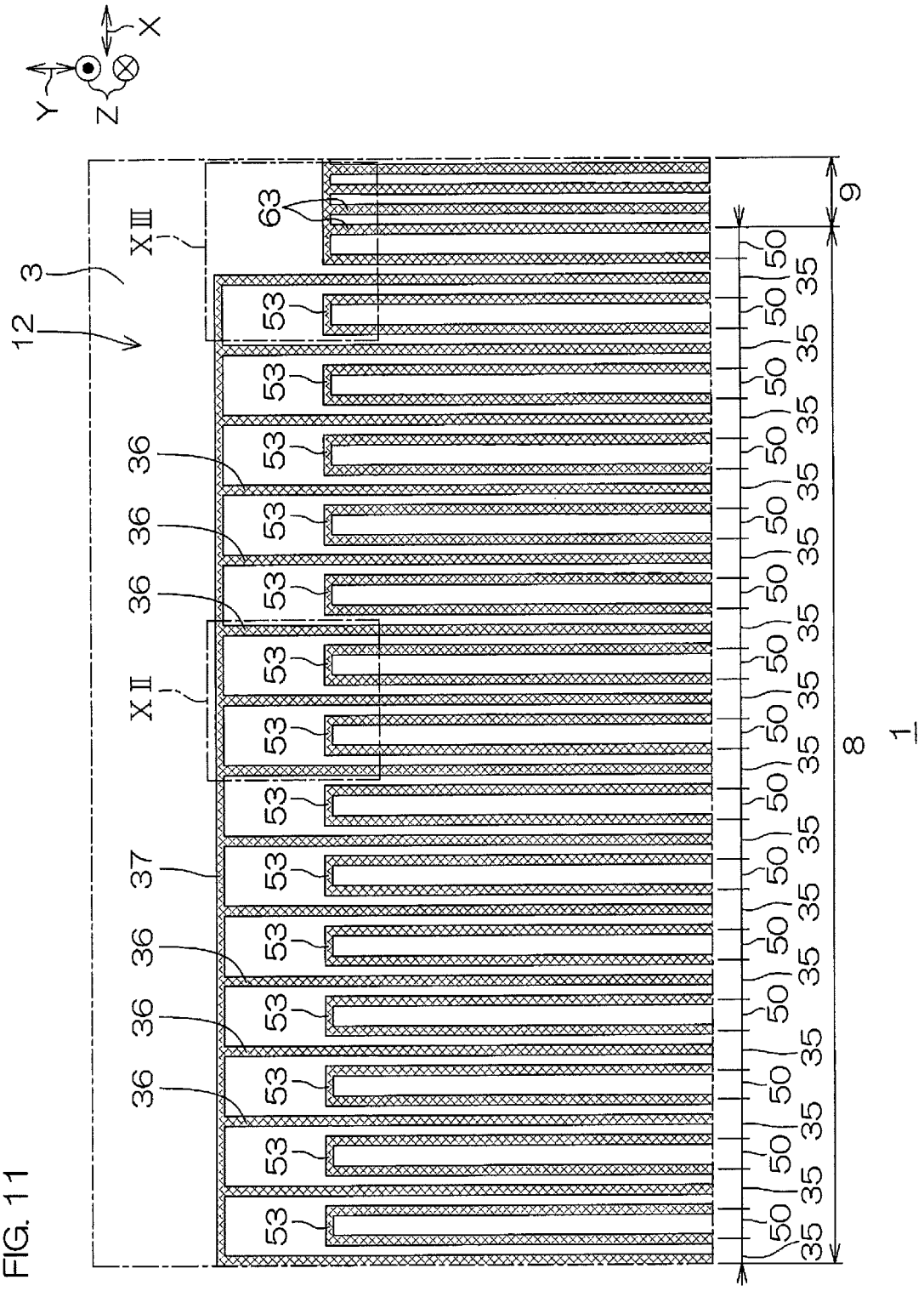

Z
Y
X
163
162
164
67
63
(69)
62
68
(D)
66
65
64
61
32
9
182
165
72
84
80
79
81
82
θ
83
48
45
47
73(73A)
41
40
39
36
93
91
92
73
24
23
22
13
46
49
76
75
74
n+
p+
p
n
n−
34
33
8

FIG. 10R

FIG. 11



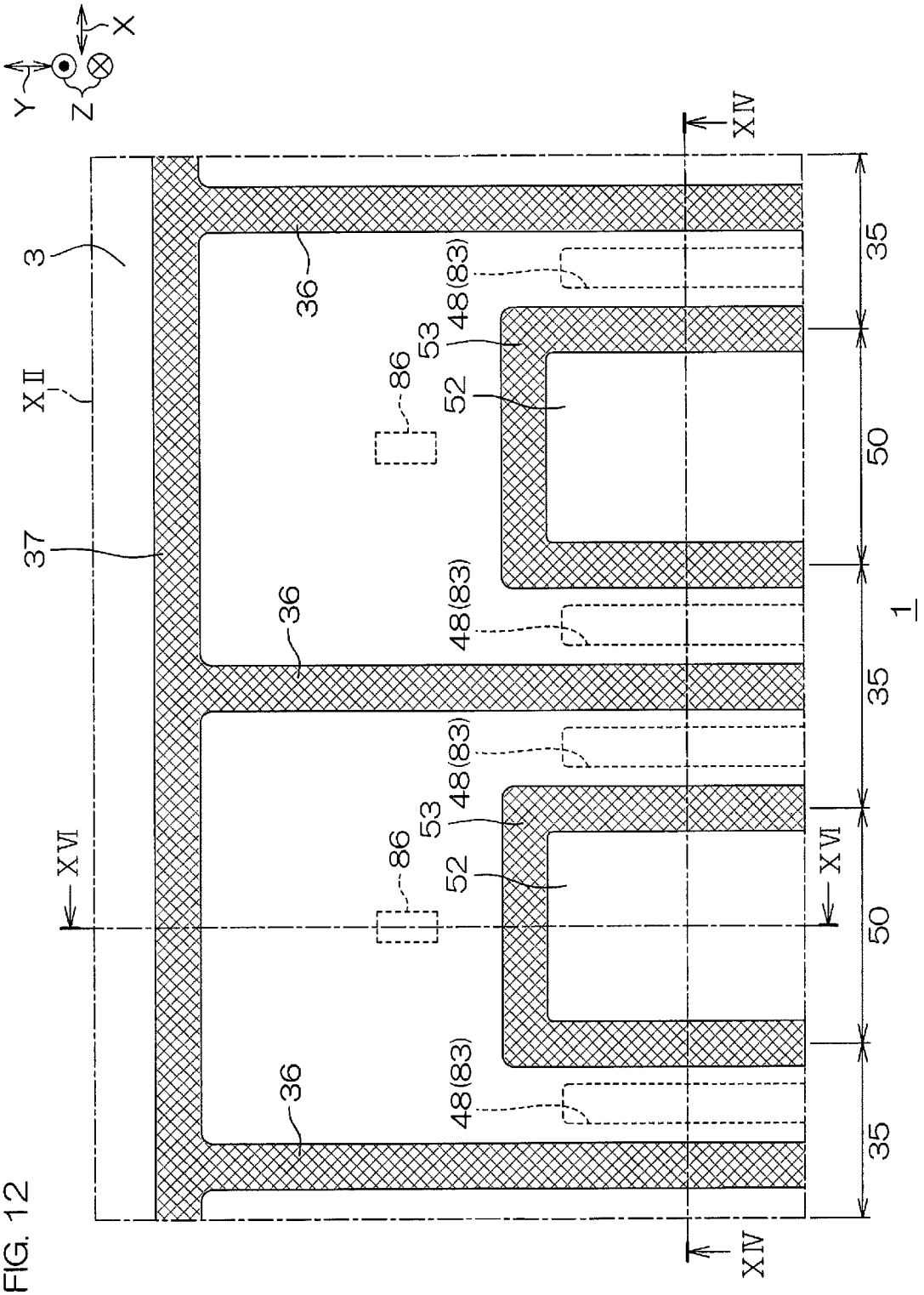



FIG. 12

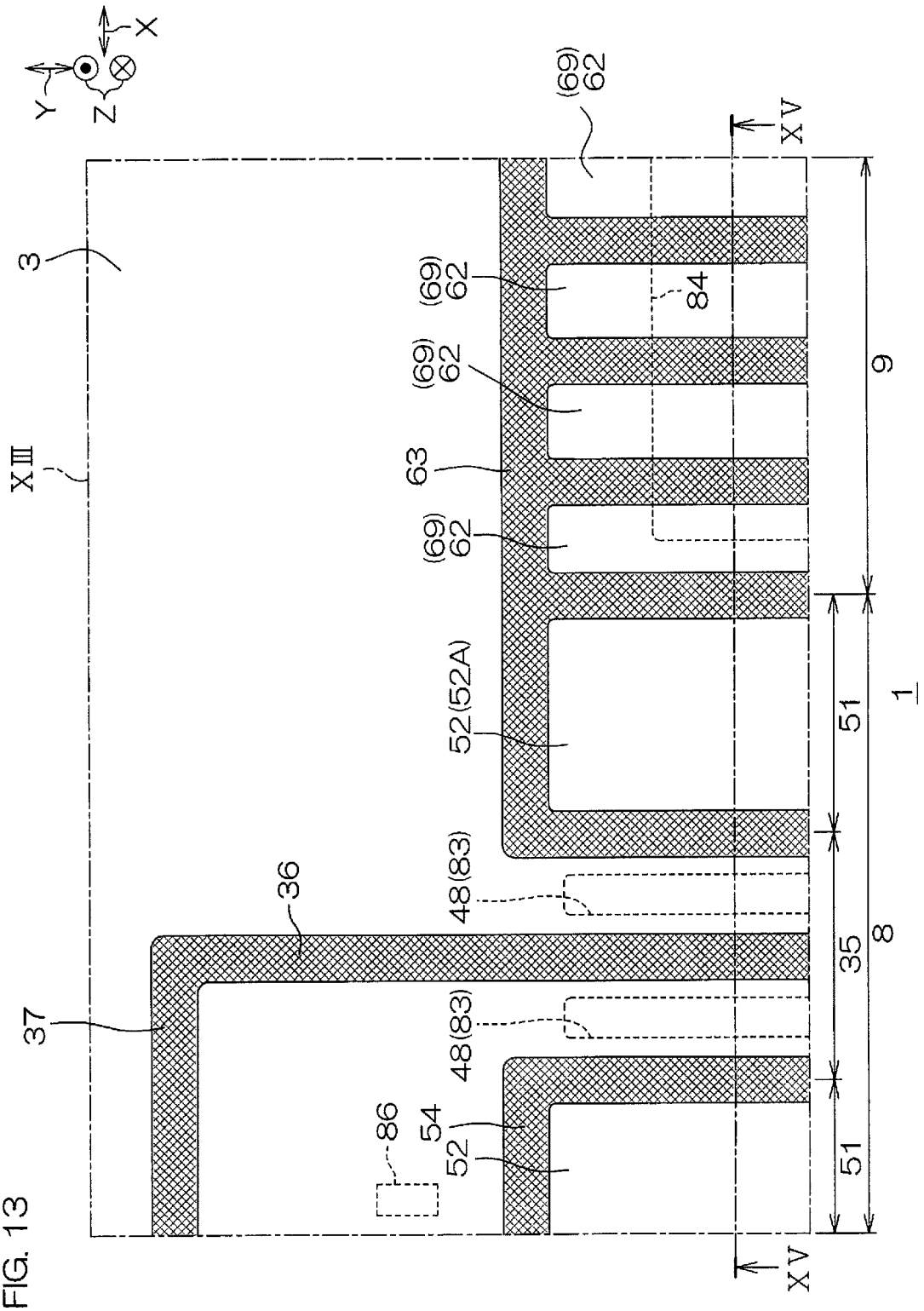



FIG. 13

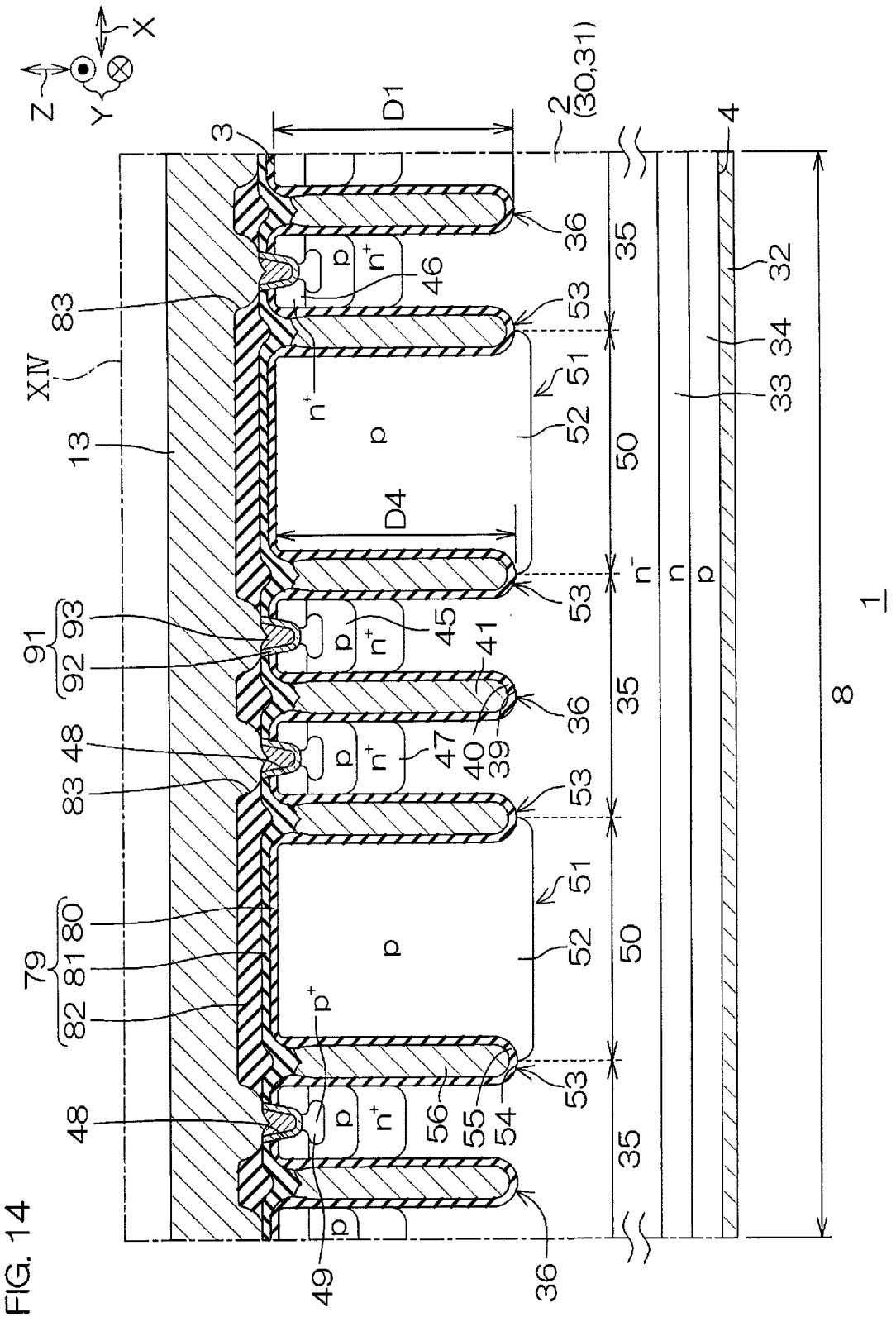

Z
Y
X
D1
D4
3
2
(30,31)
4
36
35
32
34
33
46
53
51
52
50
83
XIV
13
n+
p
n-
n
91
93
92
45
41
48
47
40
39
79
80
81
82
p+
56
55
54
49
8
1

FIG. 14

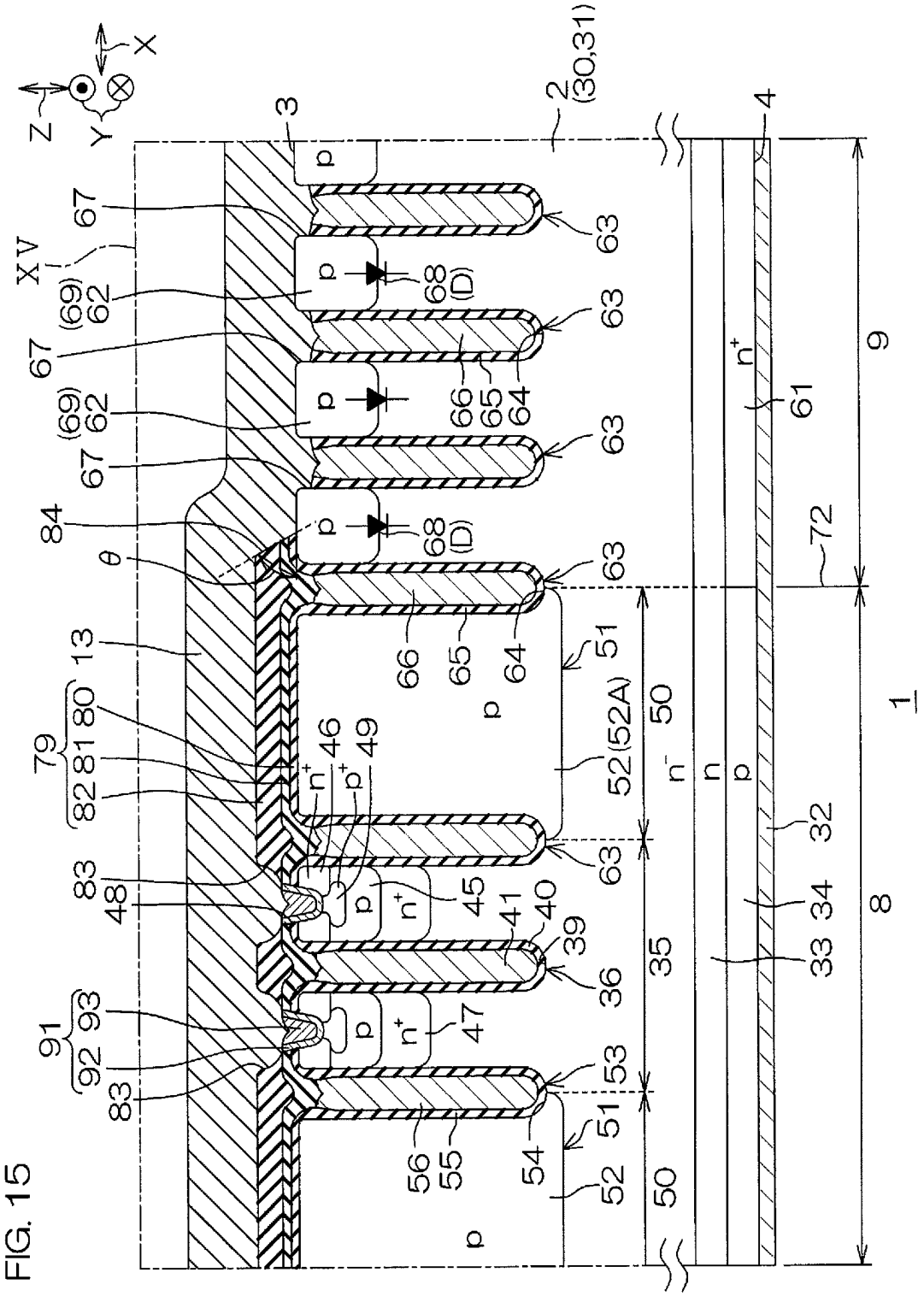
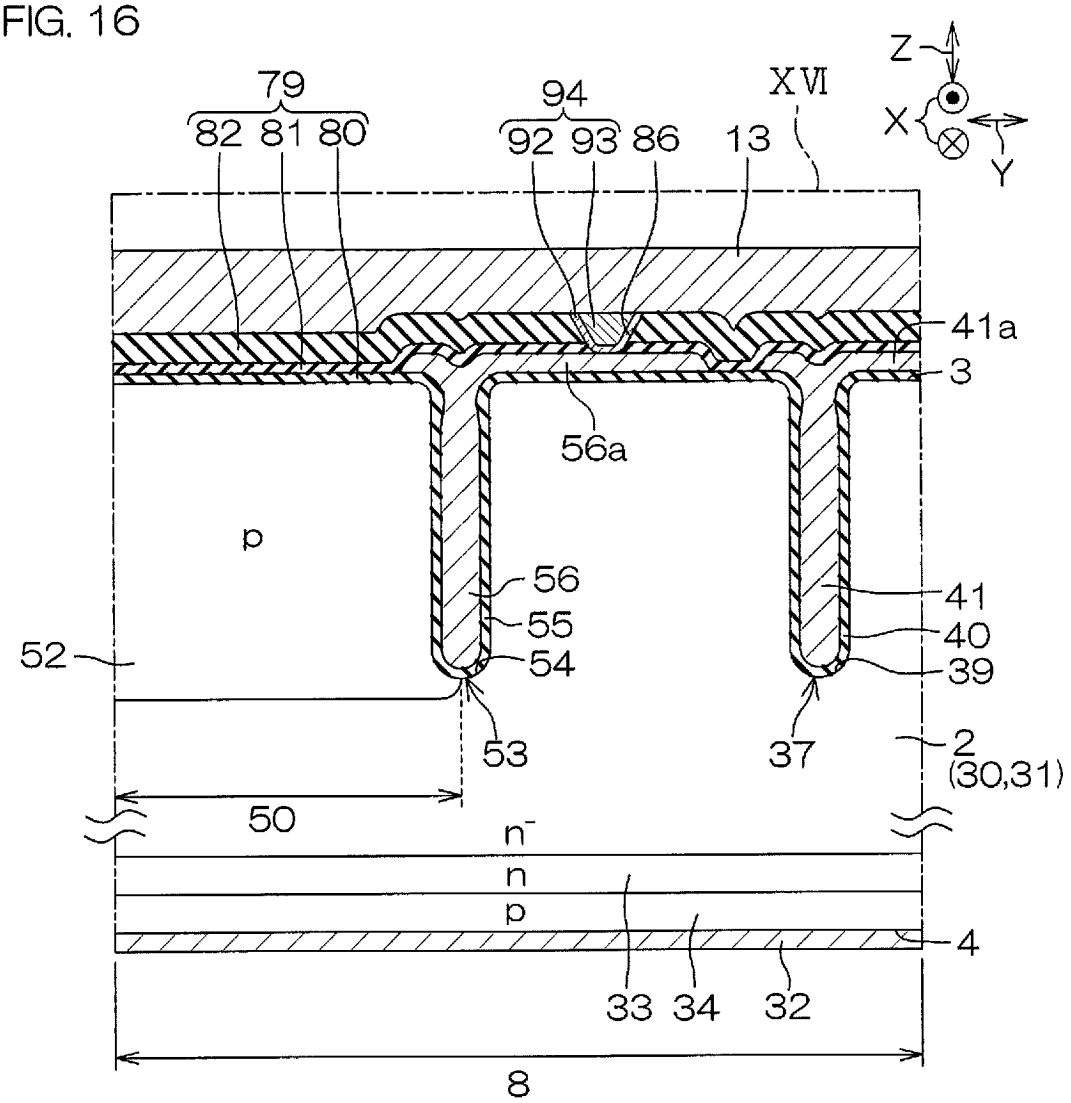

X
Z
Y
XV
2 (30,31)
3
4
p
n+
n
n-
63
67
68 (D)
62
(69)
66
65
64
61
9
72
84
θ
13
79
80
81
82
46
49
51
52 (52A)
50
32
83
48
45
41
40
39
36
35
34
33
8
1
91
93
92
47
53
56
55
54

FIG. 15

FIG. 16


Z
X
Y
79
82 81 80
94
92 93 86
13
XVI
41a
3
56a
p
56
55
54
52
53
37
41
40
39
2
(30,31)
50
n⁻
n
p
4
33 34 32
8
1

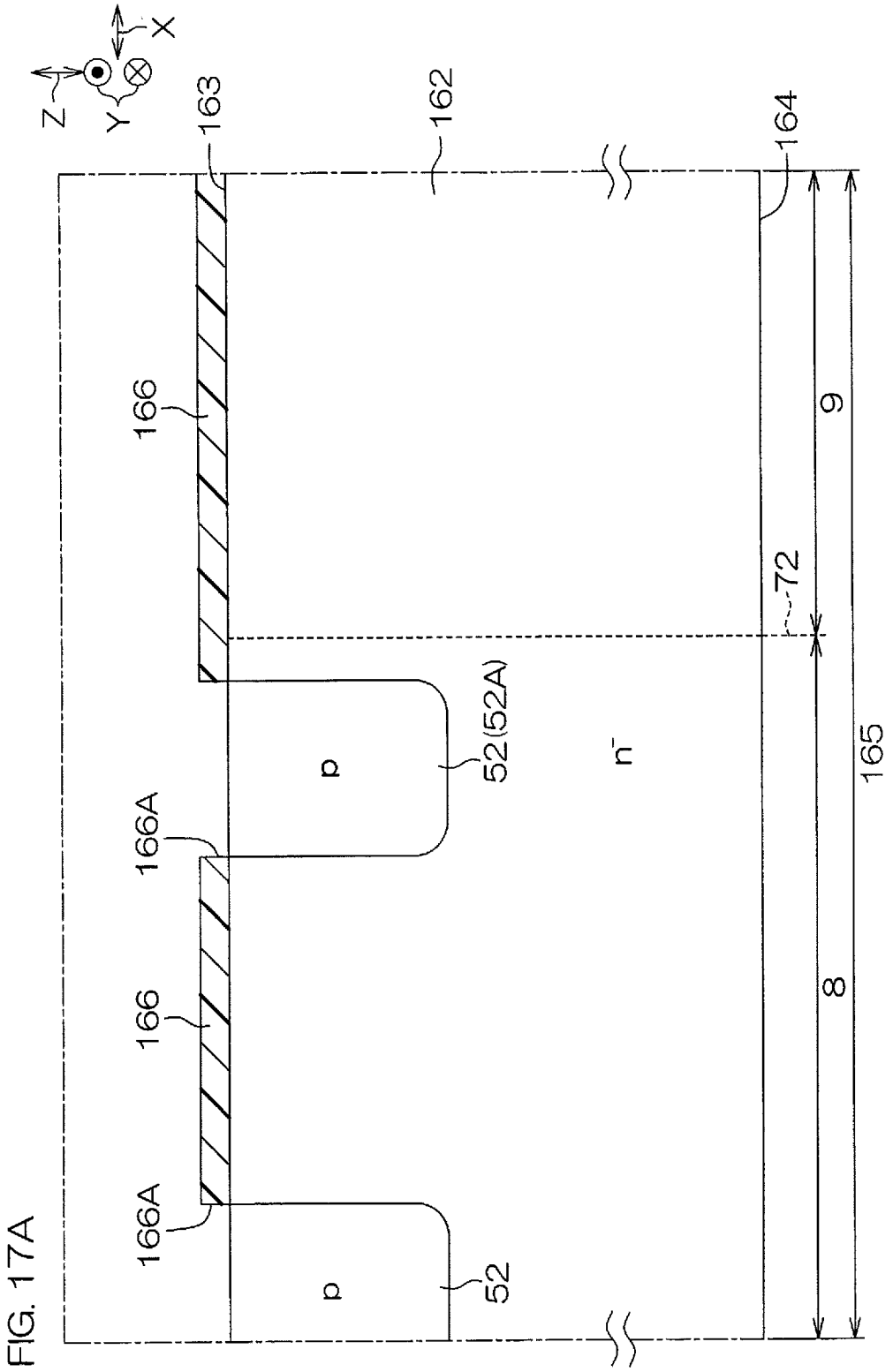



FIG. 17A

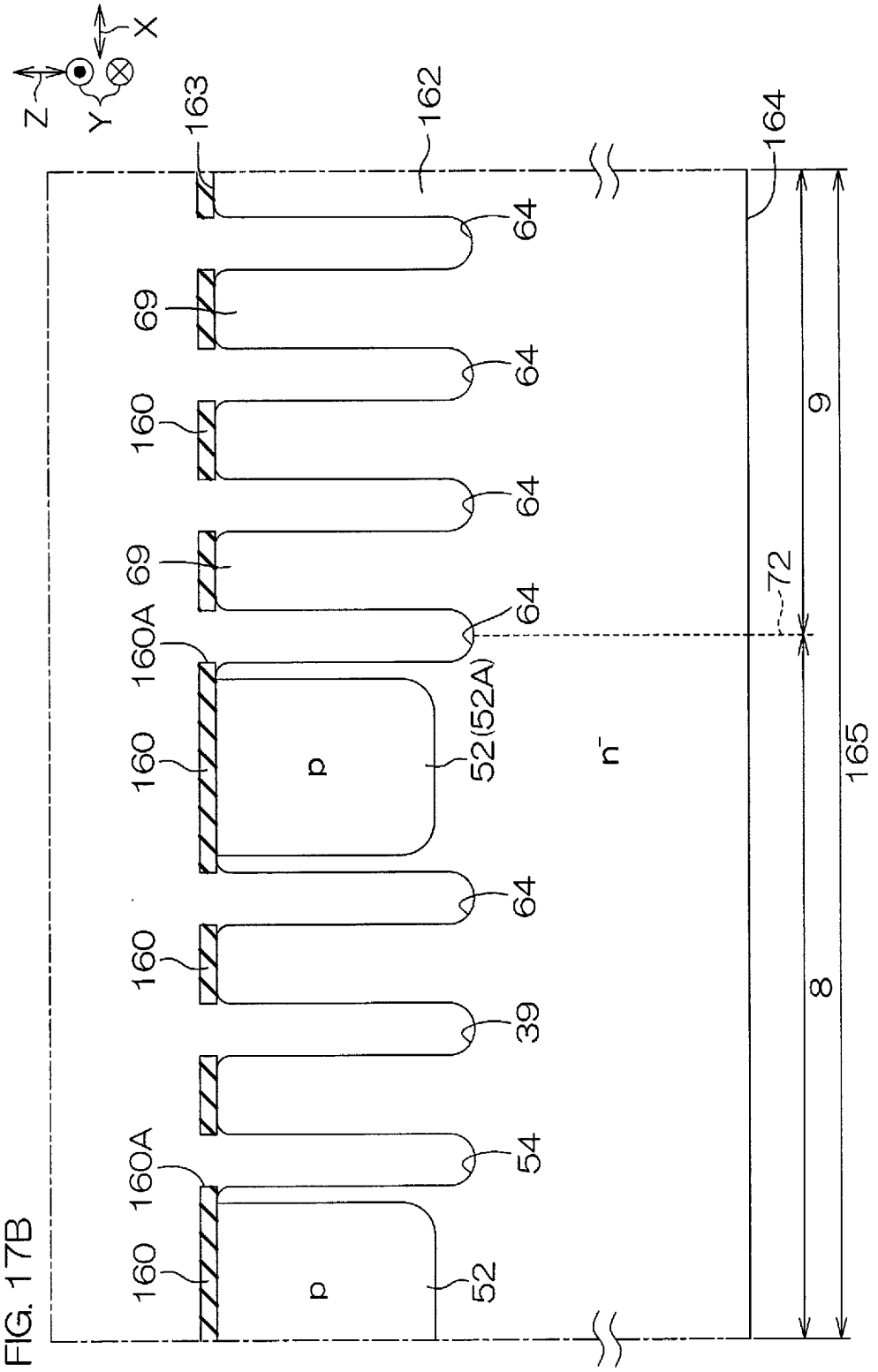



FIG. 17B

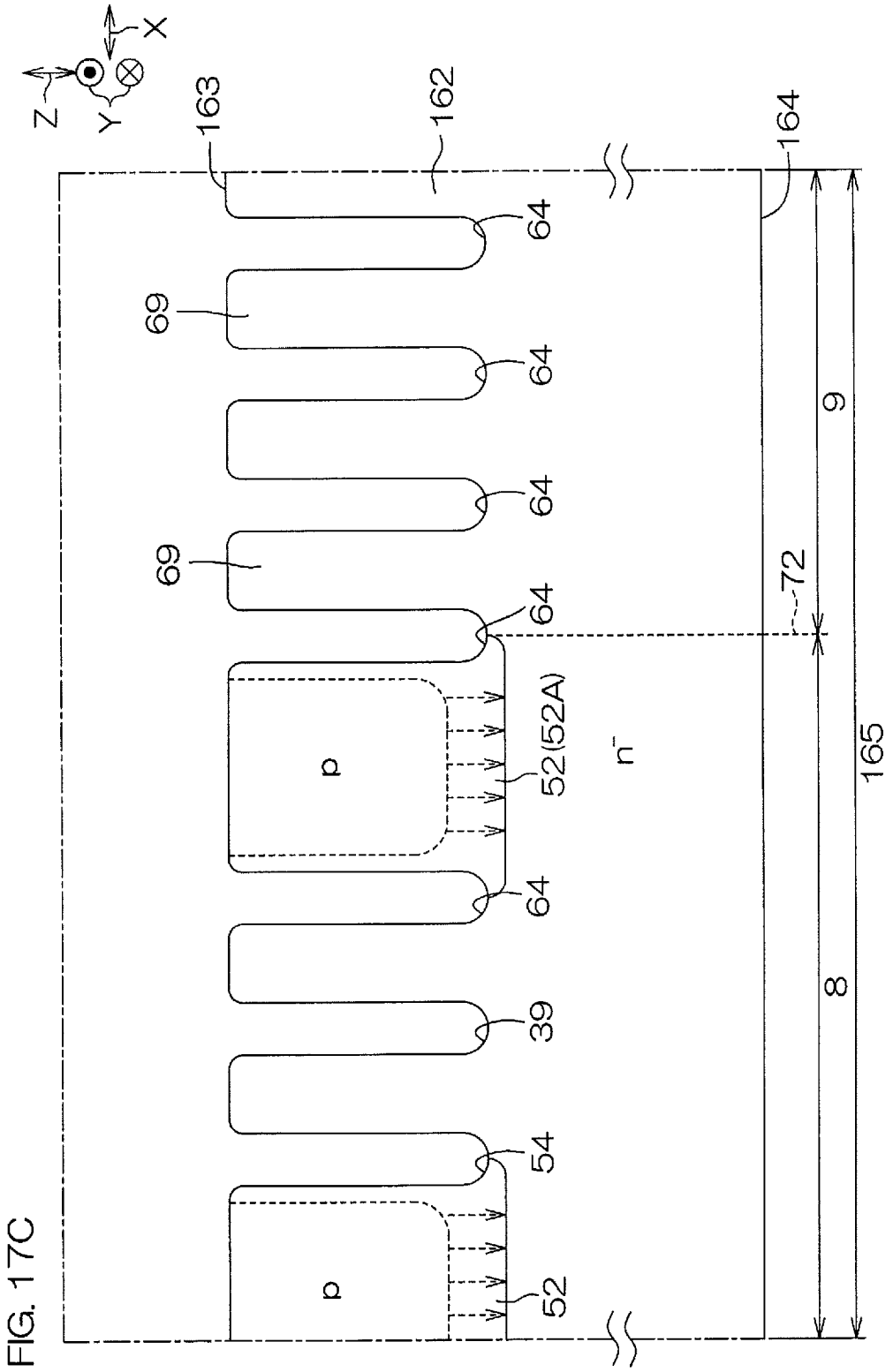



FIG. 17C

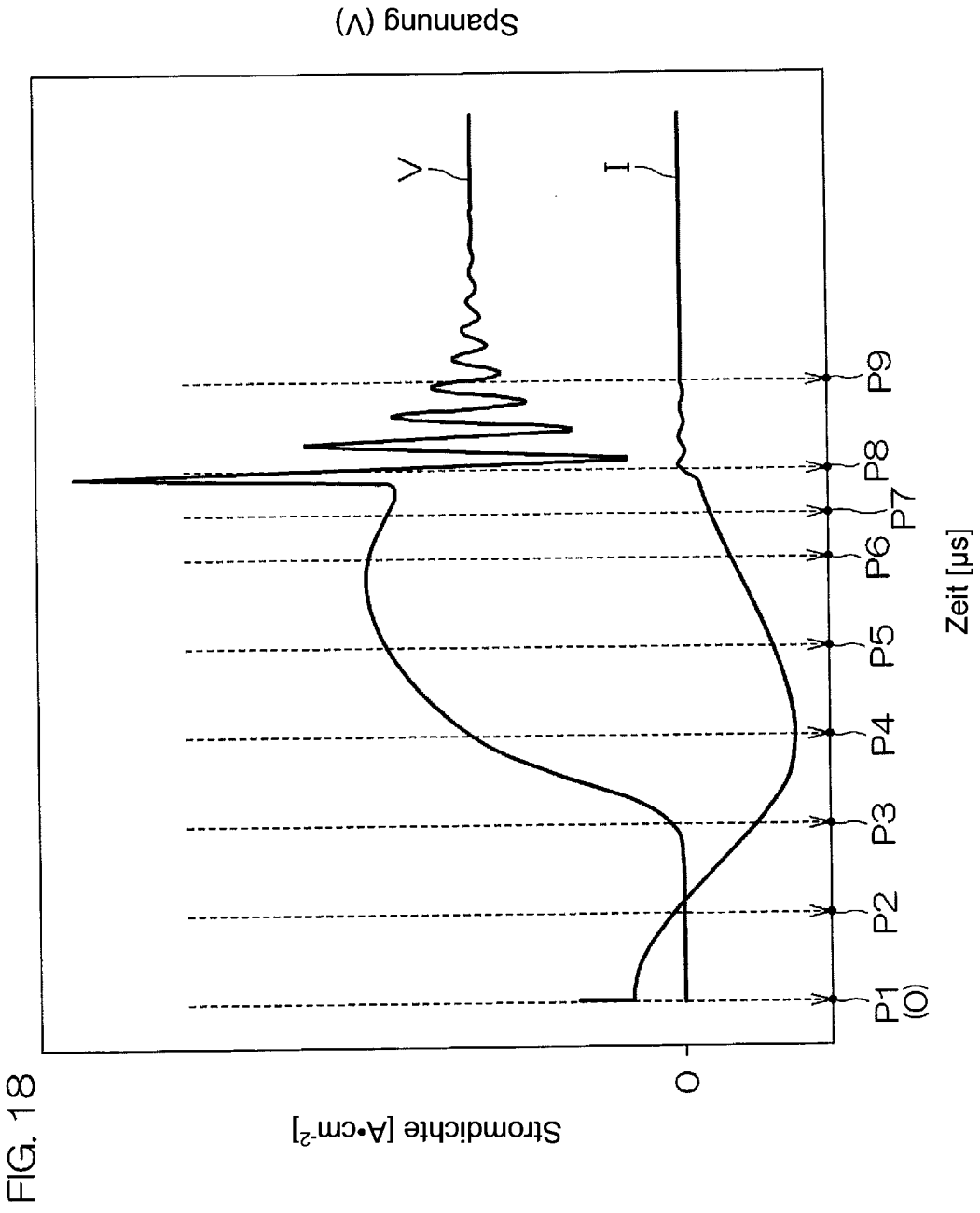

Spannung (V)
V
I
P9
P8
P7
P6
P5
P4
P3
P2
P1
(0)
Zeit [µs]
0
Stromdichte [A•cm-2]

FIG. 18

FIG. 19A

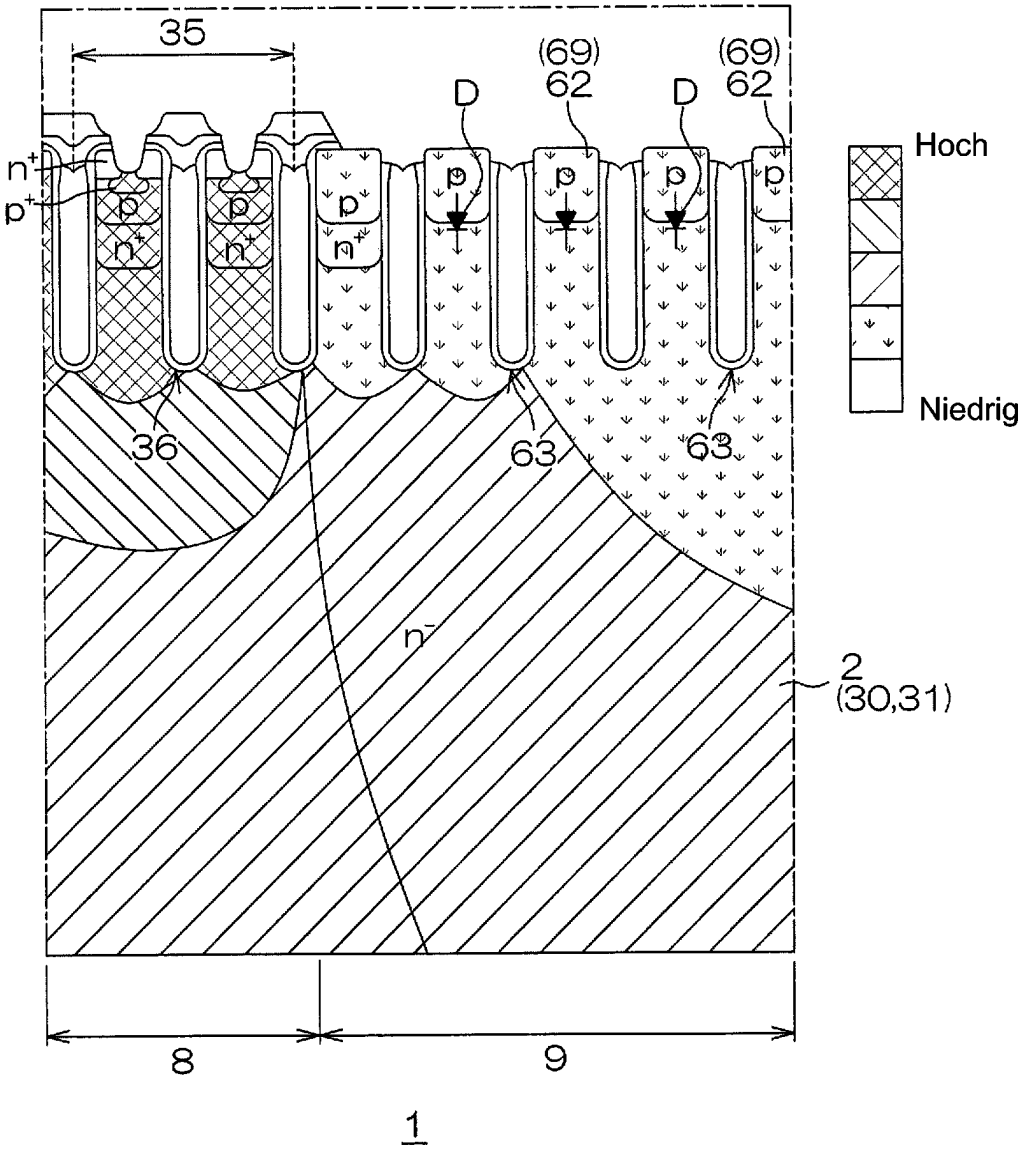


FIG. 19B

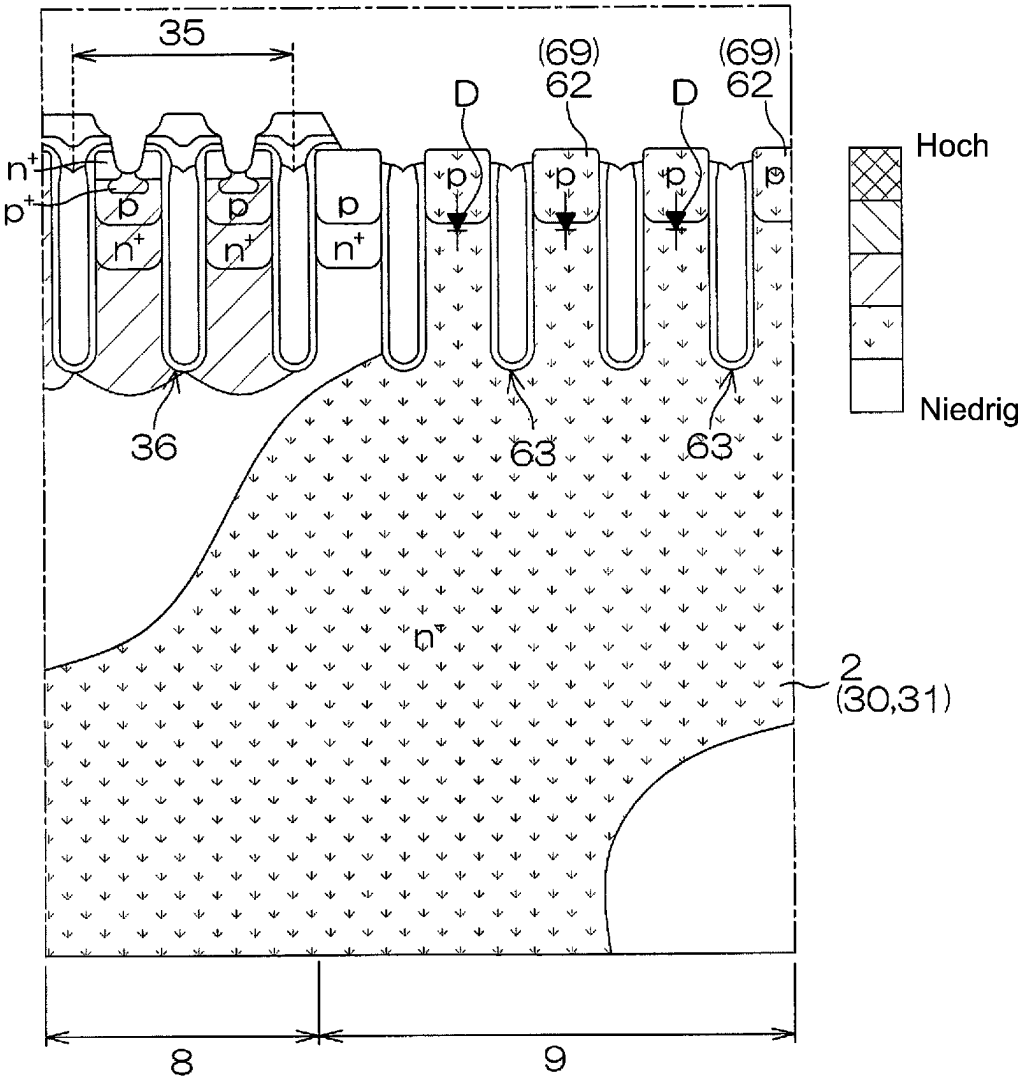
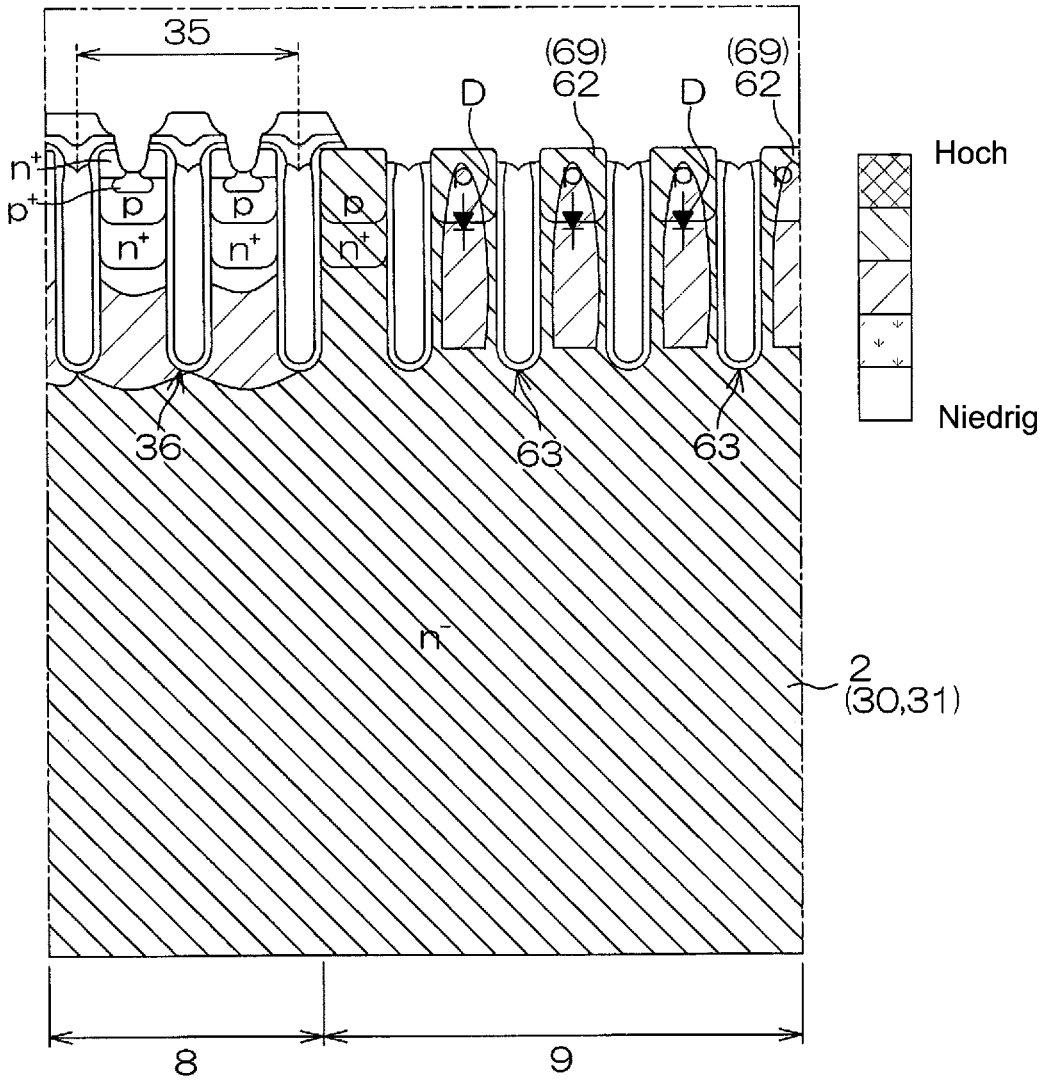
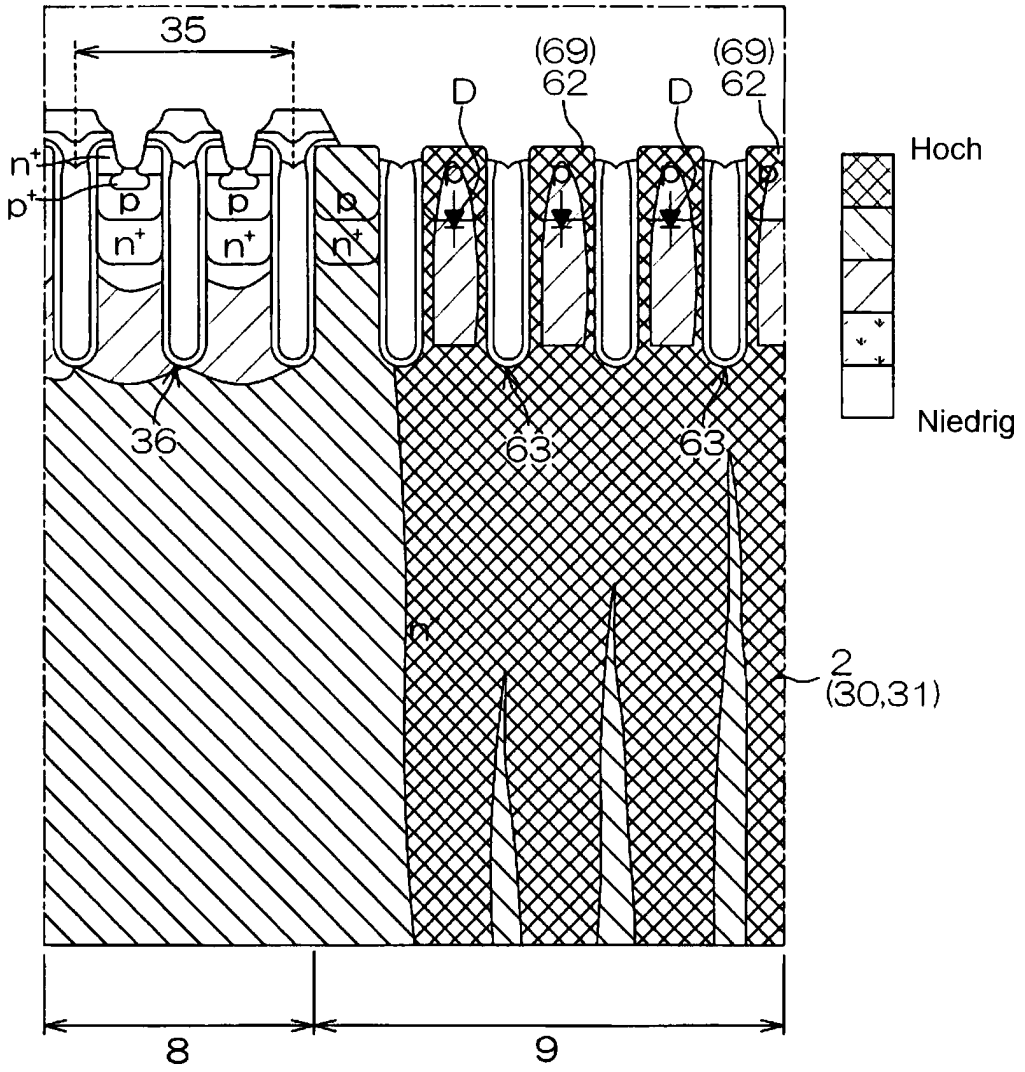


FIG. 19C




1

FIG. 19D




1

FIG. 19E

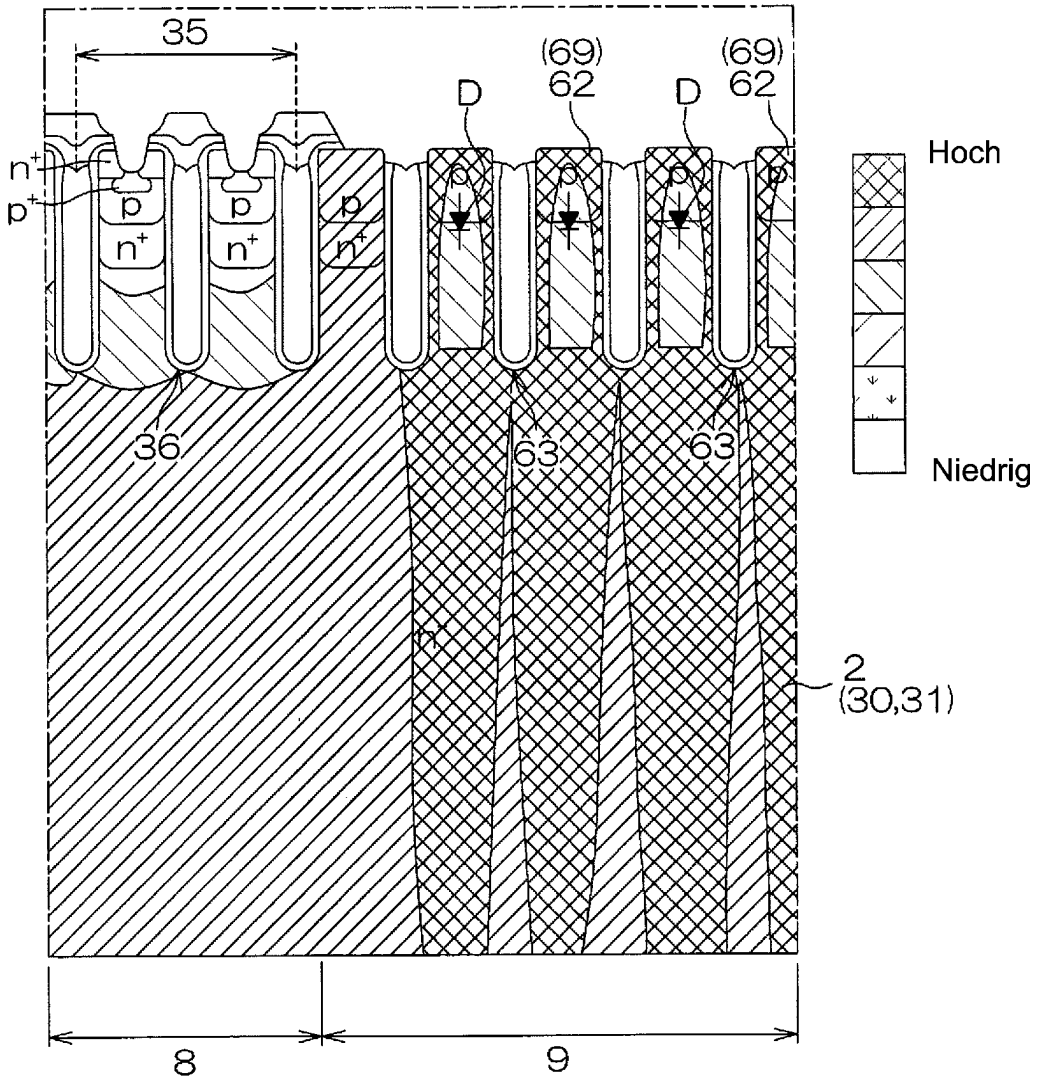


FIG. 19F

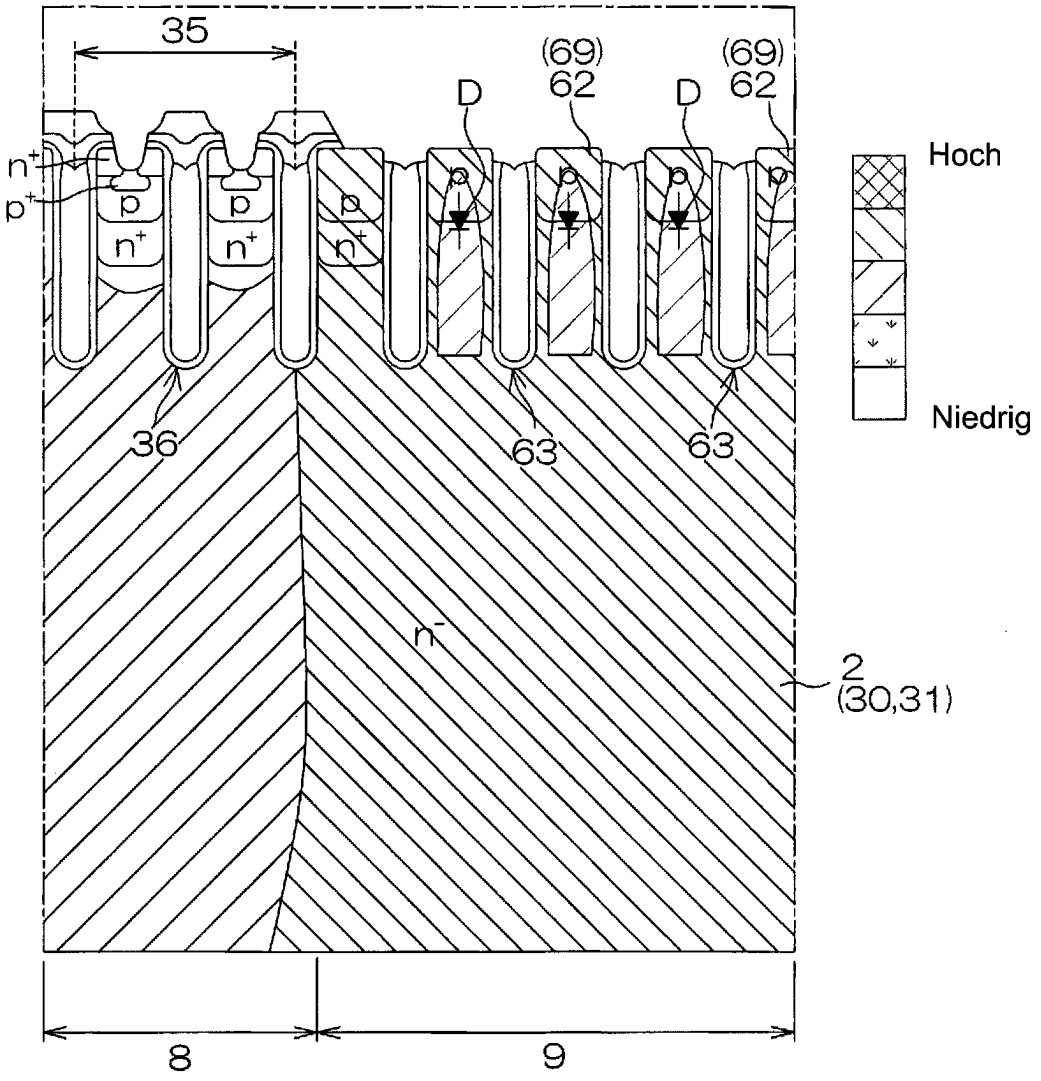


FIG. 19G

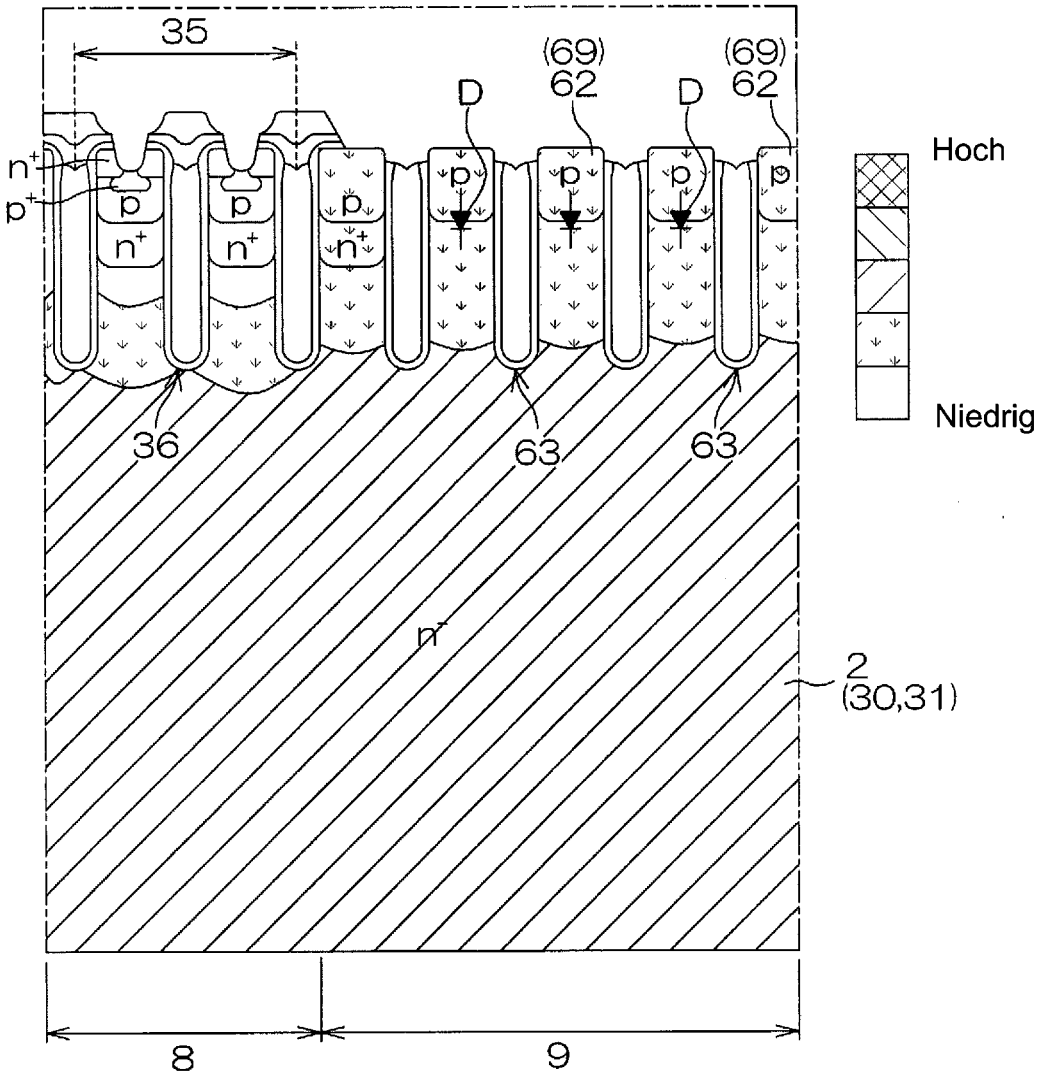


FIG. 19H

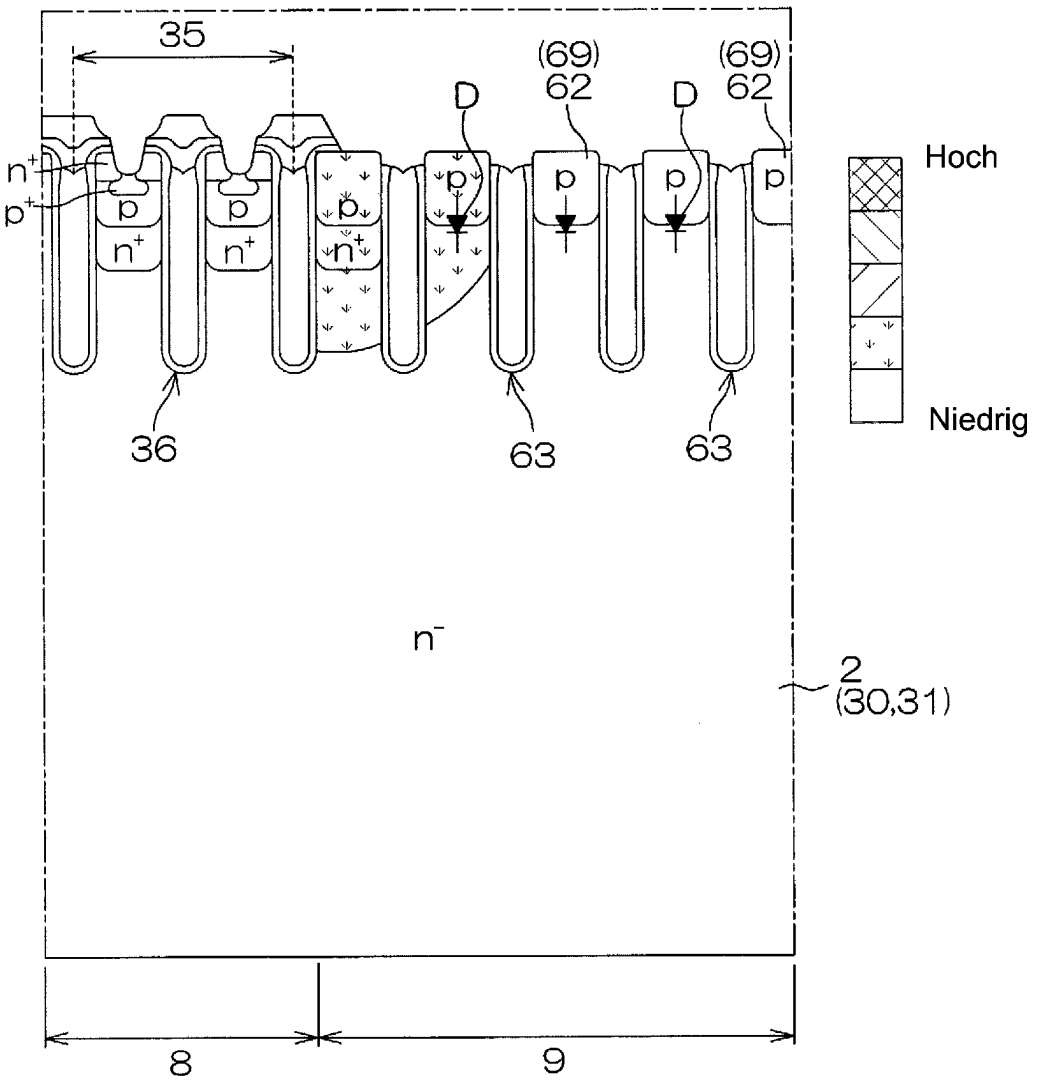


FIG. 19 I

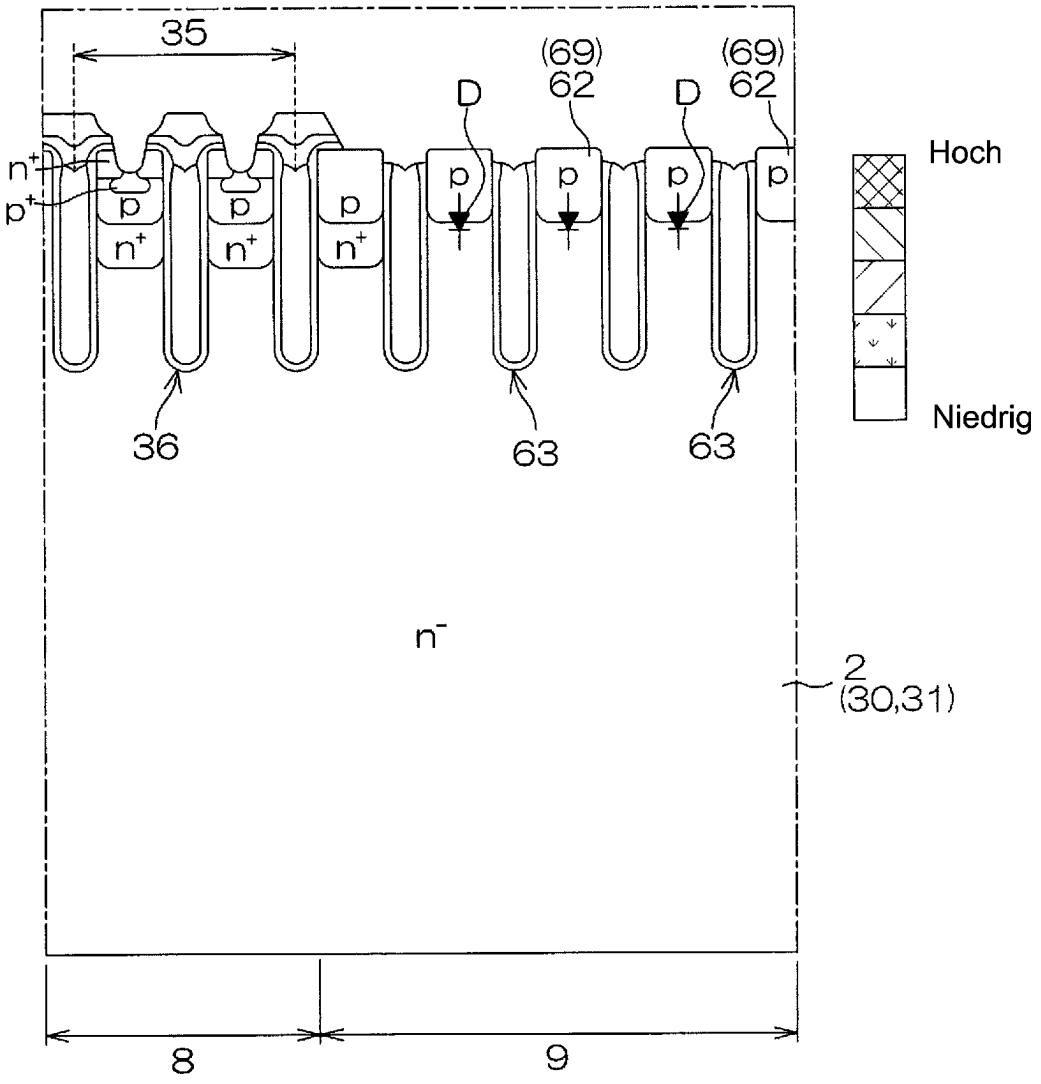


FIG. 20A

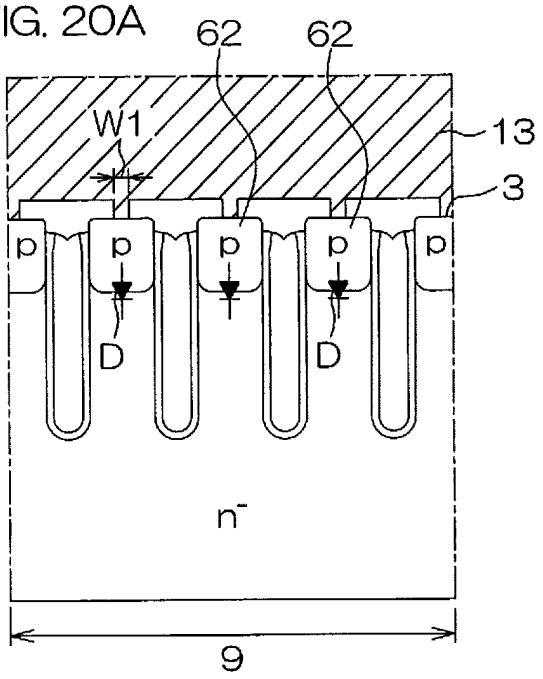



FIG. 20B

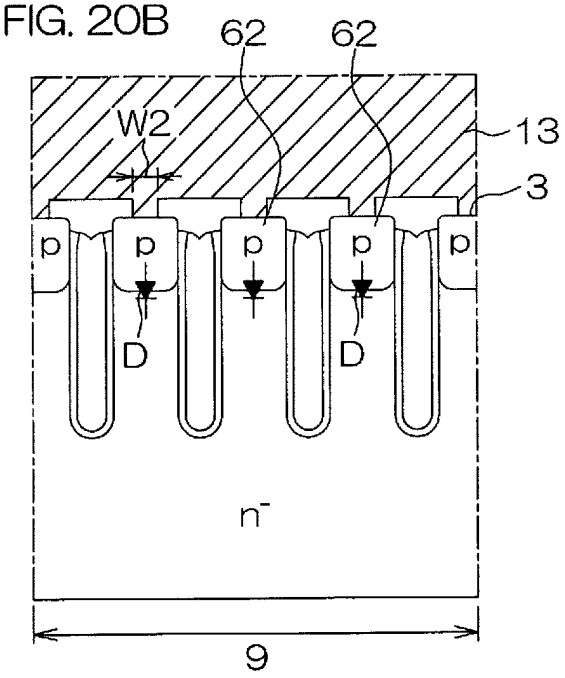


FIG. 20C

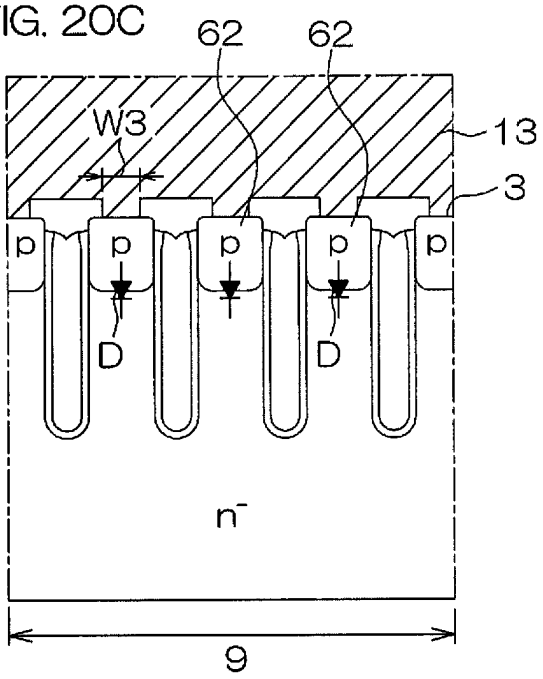
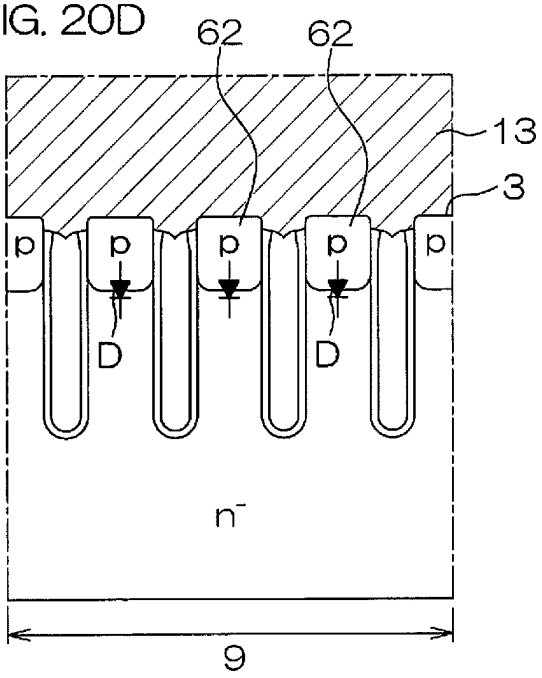



FIG. 20D



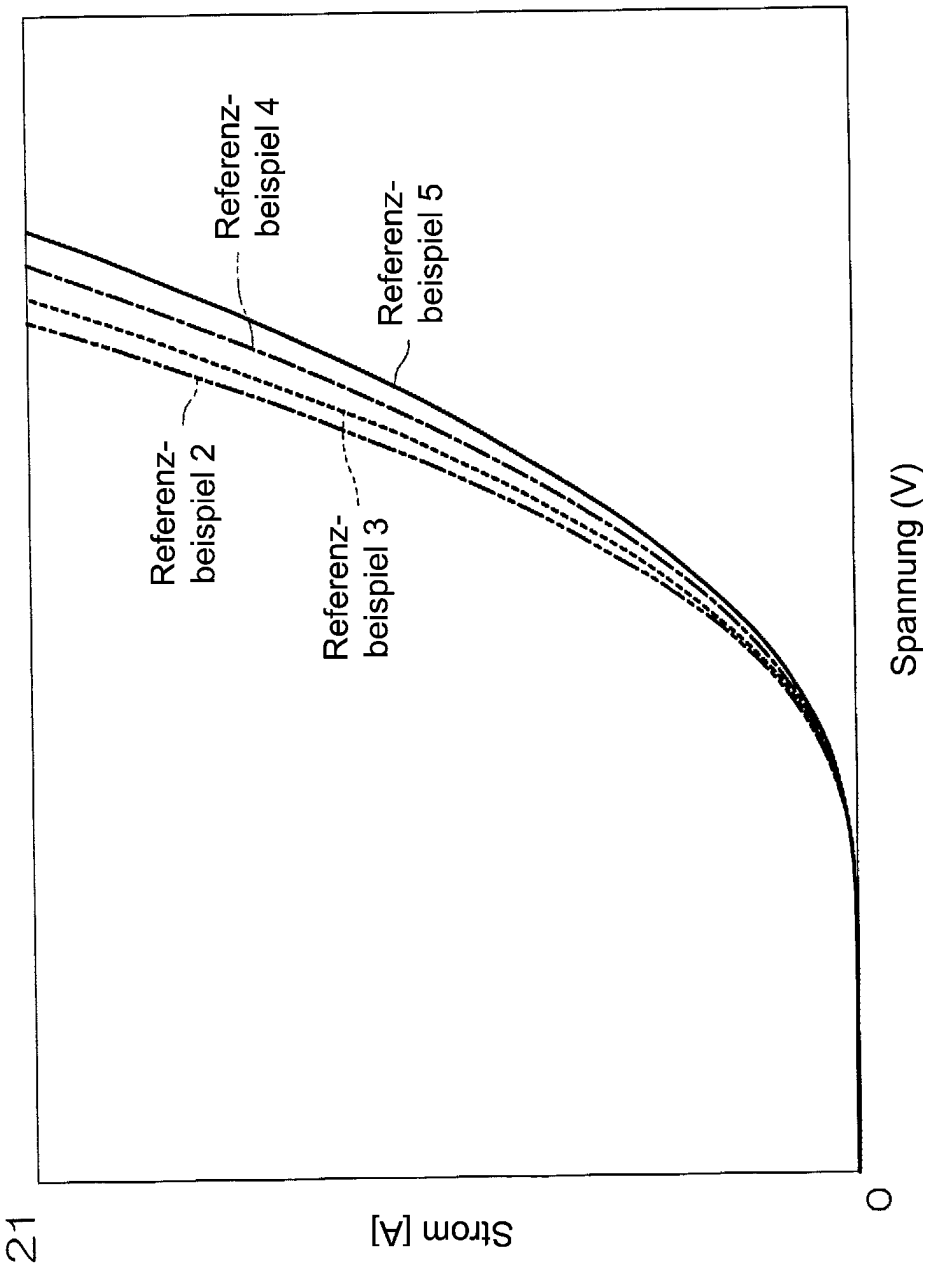
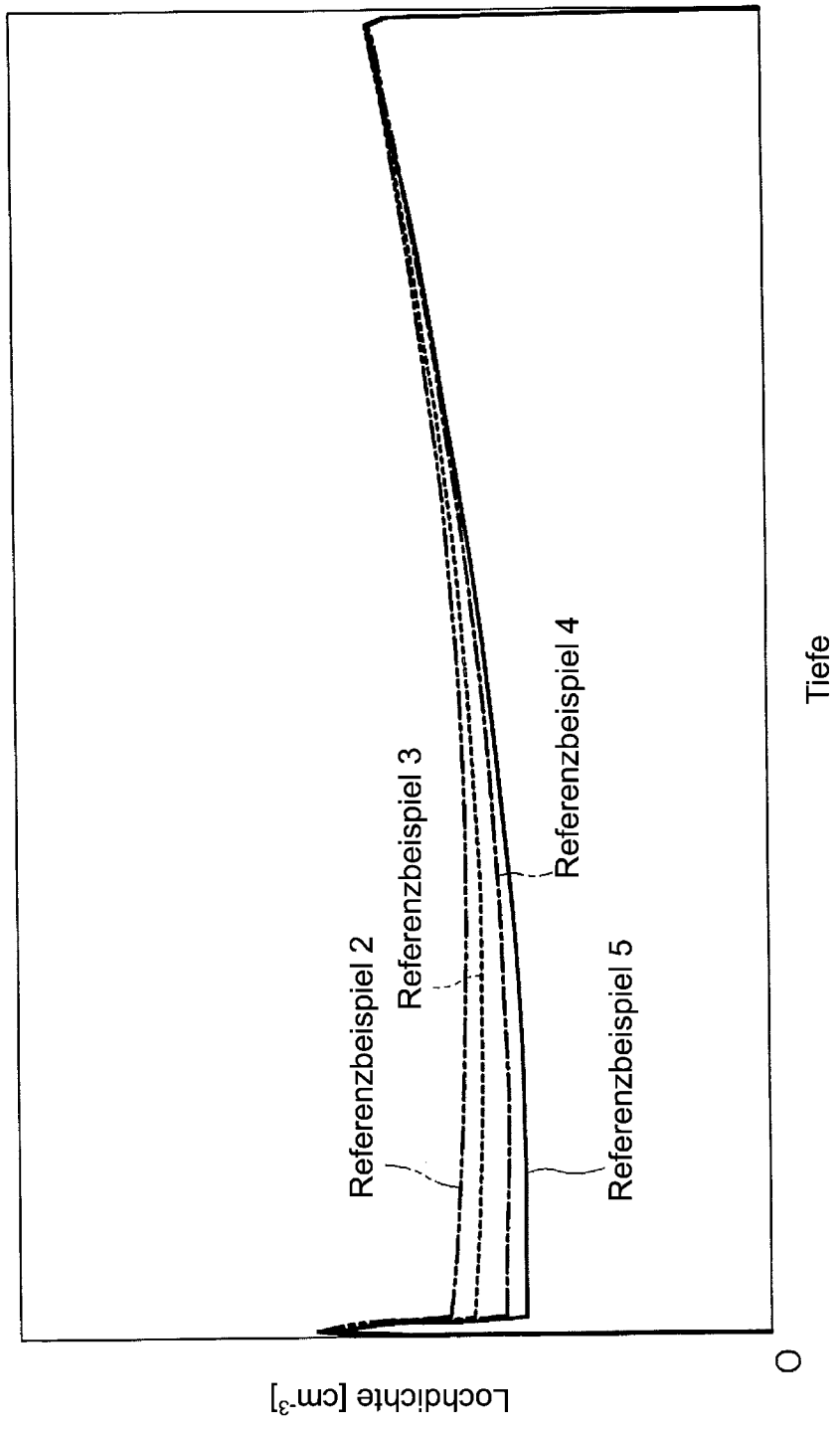

Referenz-
beispiel 4
Referenz-
beispiel 5
Referenz-
beispiel 2
Referenz-
beispiel 3
Strom [A]
O
Spannung (V)

FIG. 21

FIG. 22


Lochdichte [cm-3]
O
Tiefe
Referenzbeispiel 2
Referenzbeispiel 3
Referenzbeispiel 4
Referenzbeispiel 5

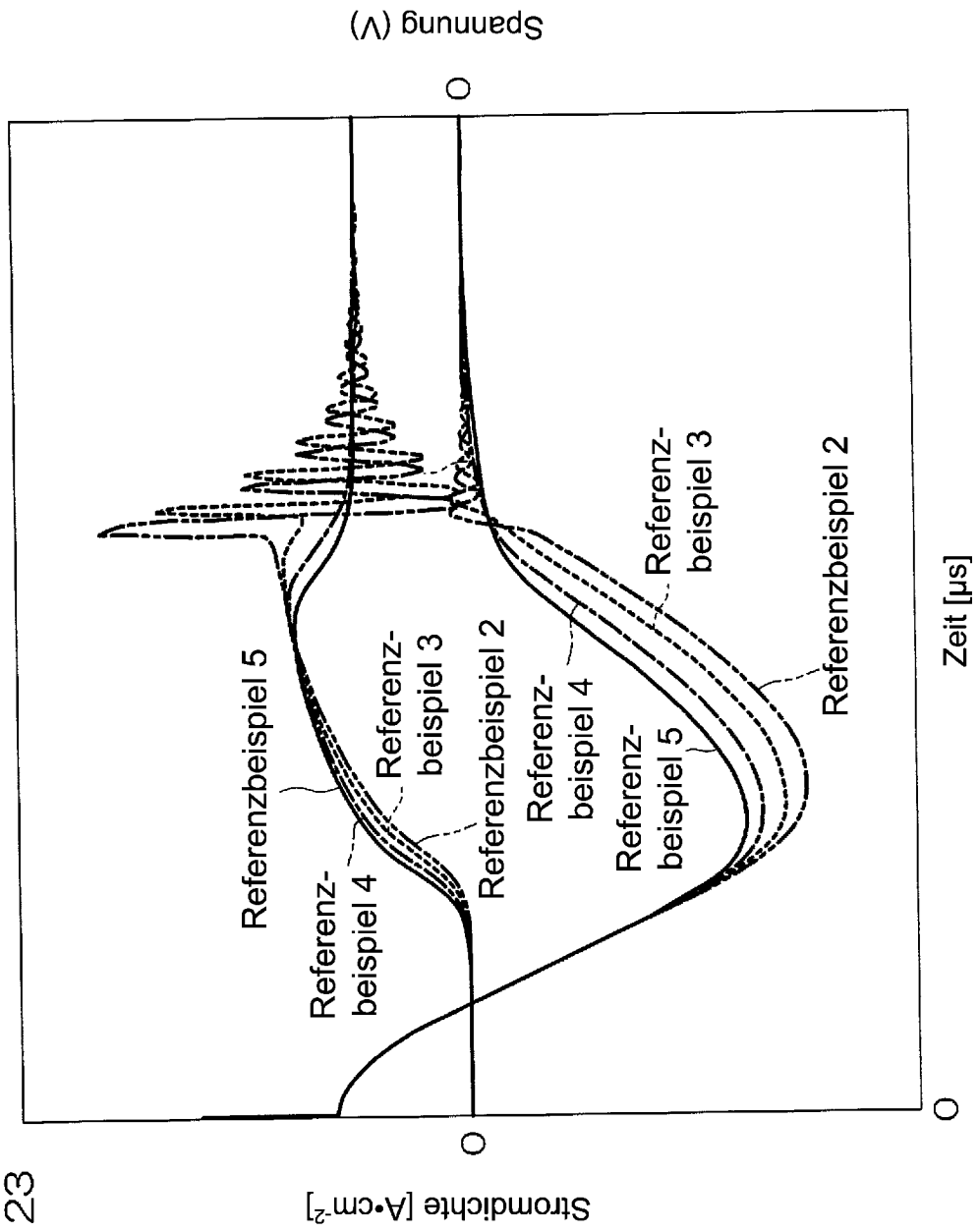

Spannung (V)
O
Referenzbeispiel 5
Referenz-
beispiel 4
Referenz-
beispiel 3
Referenzbeispiel 2
Referenz-
beispiel 4
Referenz-
beispiel 5
Referenz-
beispiel 3
Referenzbeispiel 2
O
O
Zeit [µs]
Stromdichte [A•cm-2]

FIG. 23

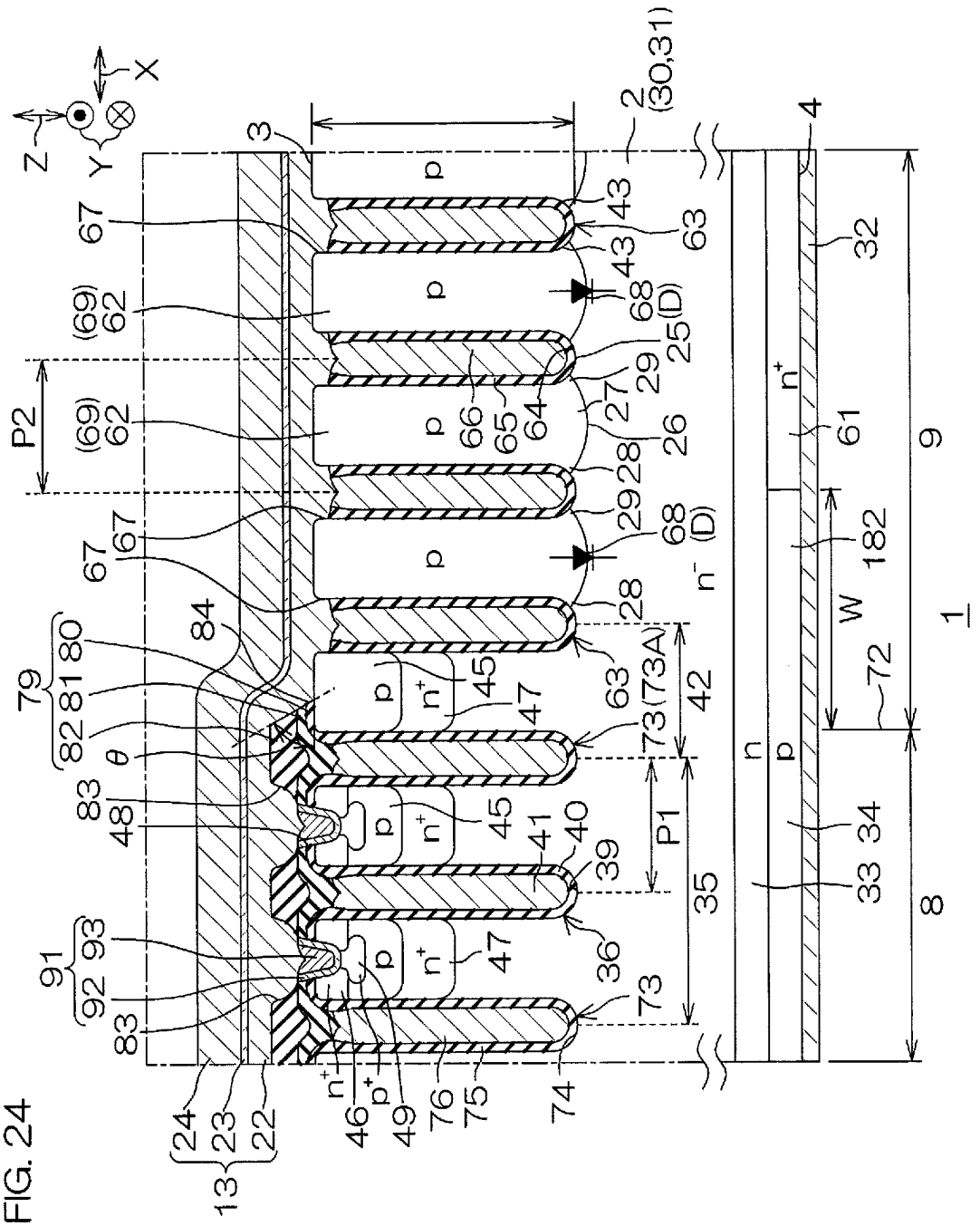

X
Z
Y
3
2
(30,31)
4
p
n+
n
n-
67
(69)
62
43
63
68
(D)
25
29
27
26
66
65
64
28
61
32
9
P2
182
W
72
1
79
80
81
82
84
45
47
73
(73A)
42
θ
83
48
41
40
39
P1
35
34
33
8
91
92
93
36
74
75
76
49
46
24
23
22
13

FIG. 24

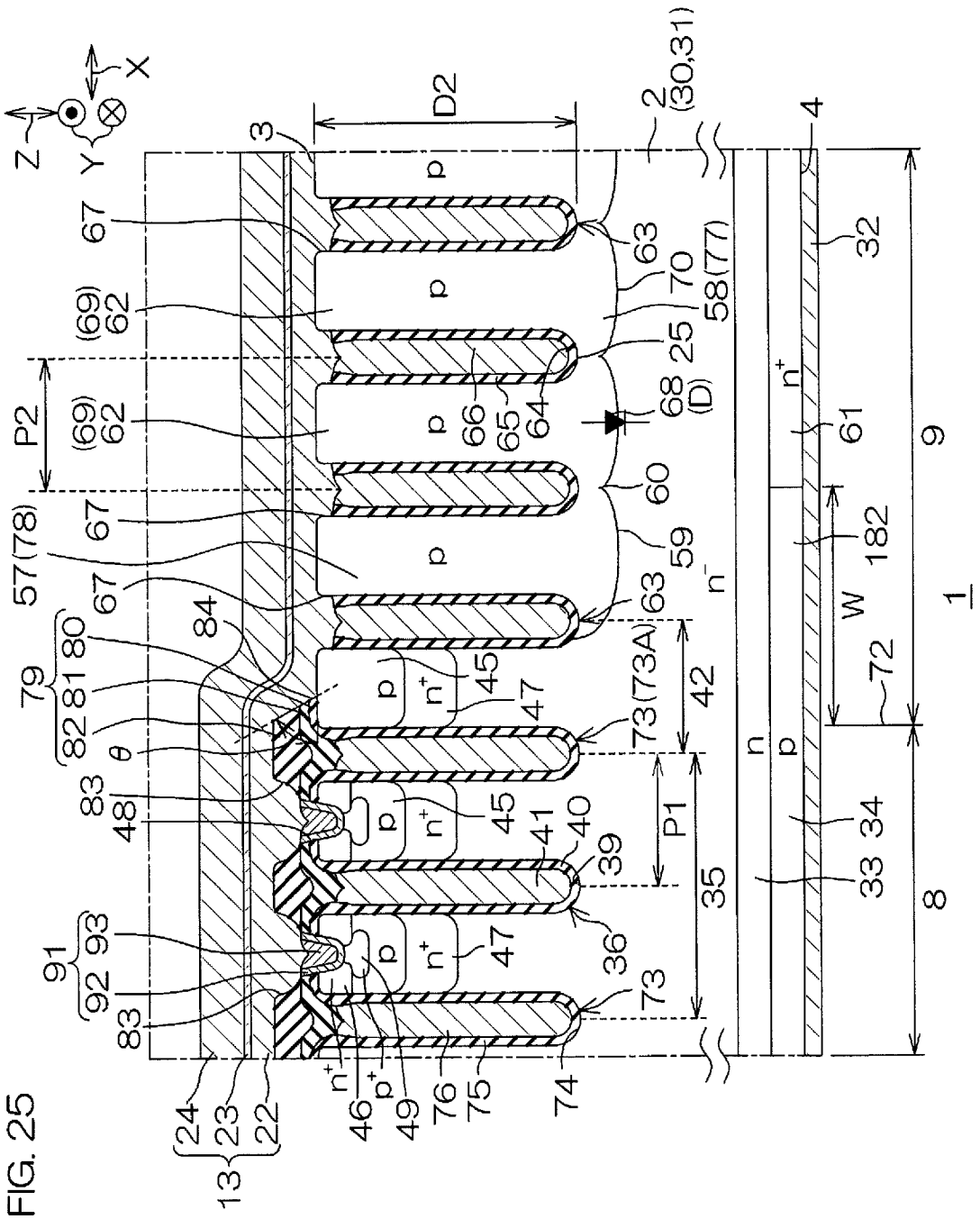

Z
Y
X
D2
P2
P1
W
p
n
n+
p+
n-
1
2 (30,31)
3
4
8
9
13
22
23
24
25
32
33
34
35
36
39
40
41
42
45
46
47
48
49
57(78)
58(77)
59
60
61
62
63
64
65
66
67
68 (D)
70
72
73
73(73A)
74
75
76
79
80
81
82
83
84
91
92
93
182
θ

FIG. 25

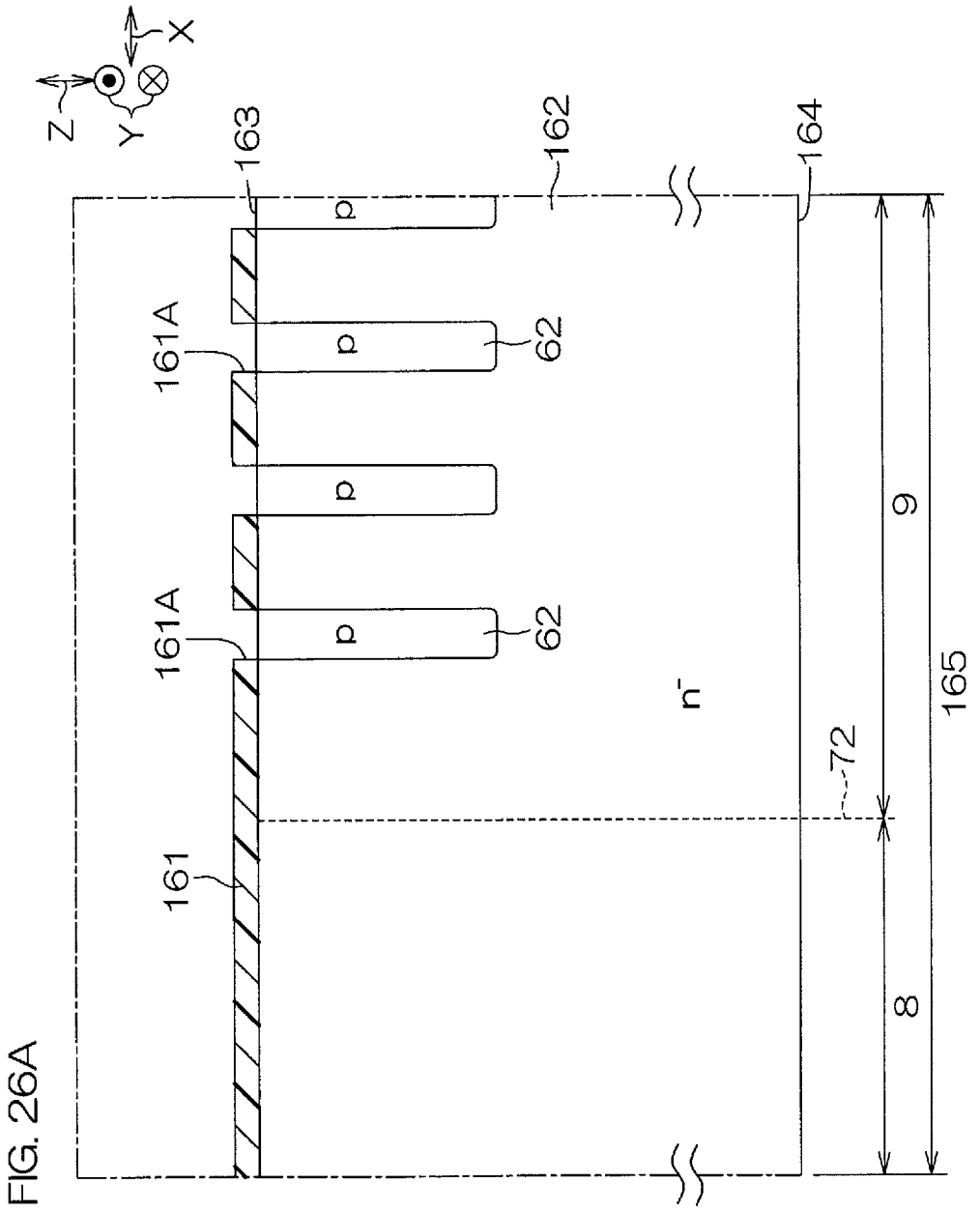



FIG. 26A

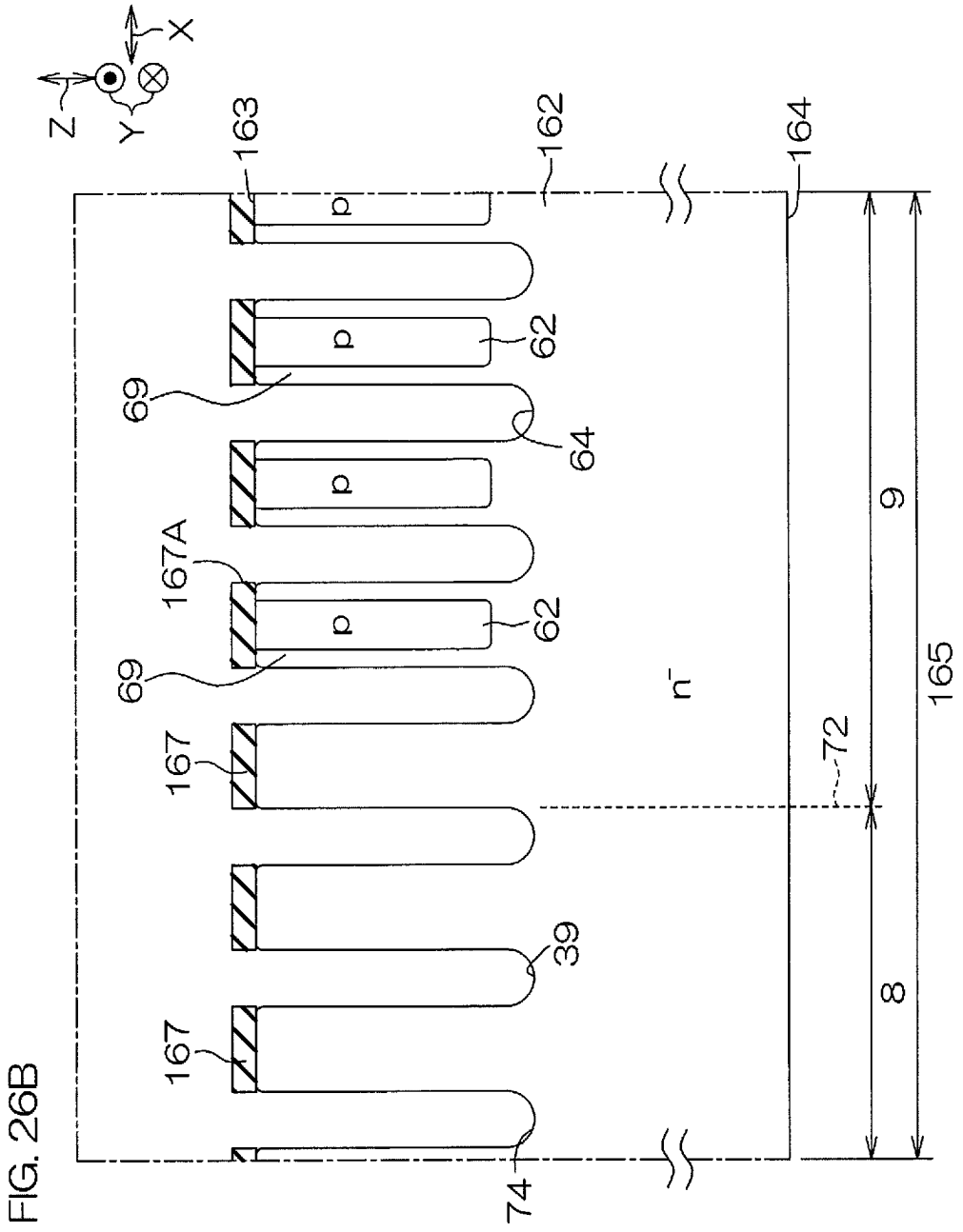



FIG. 26B

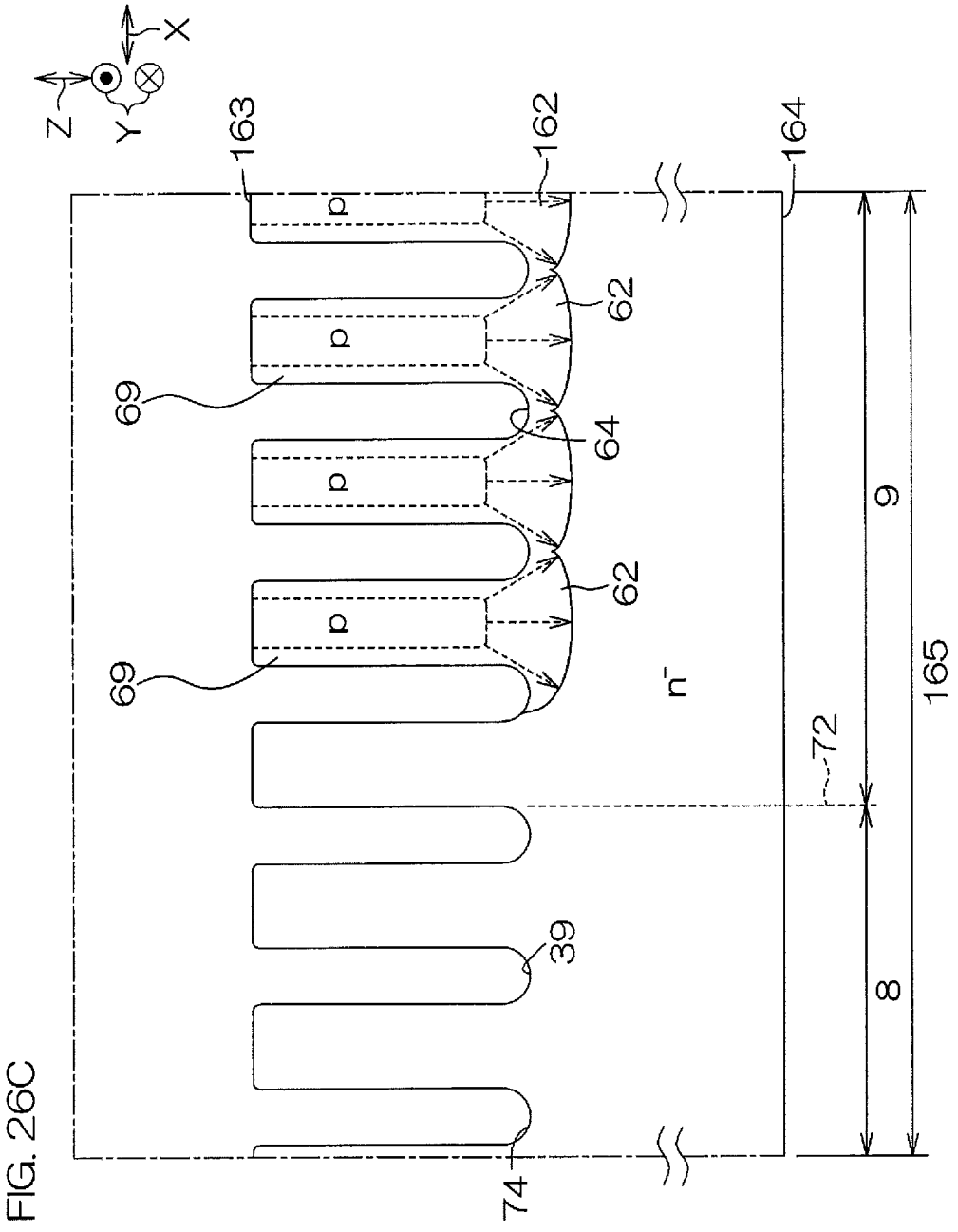



FIG. 26C

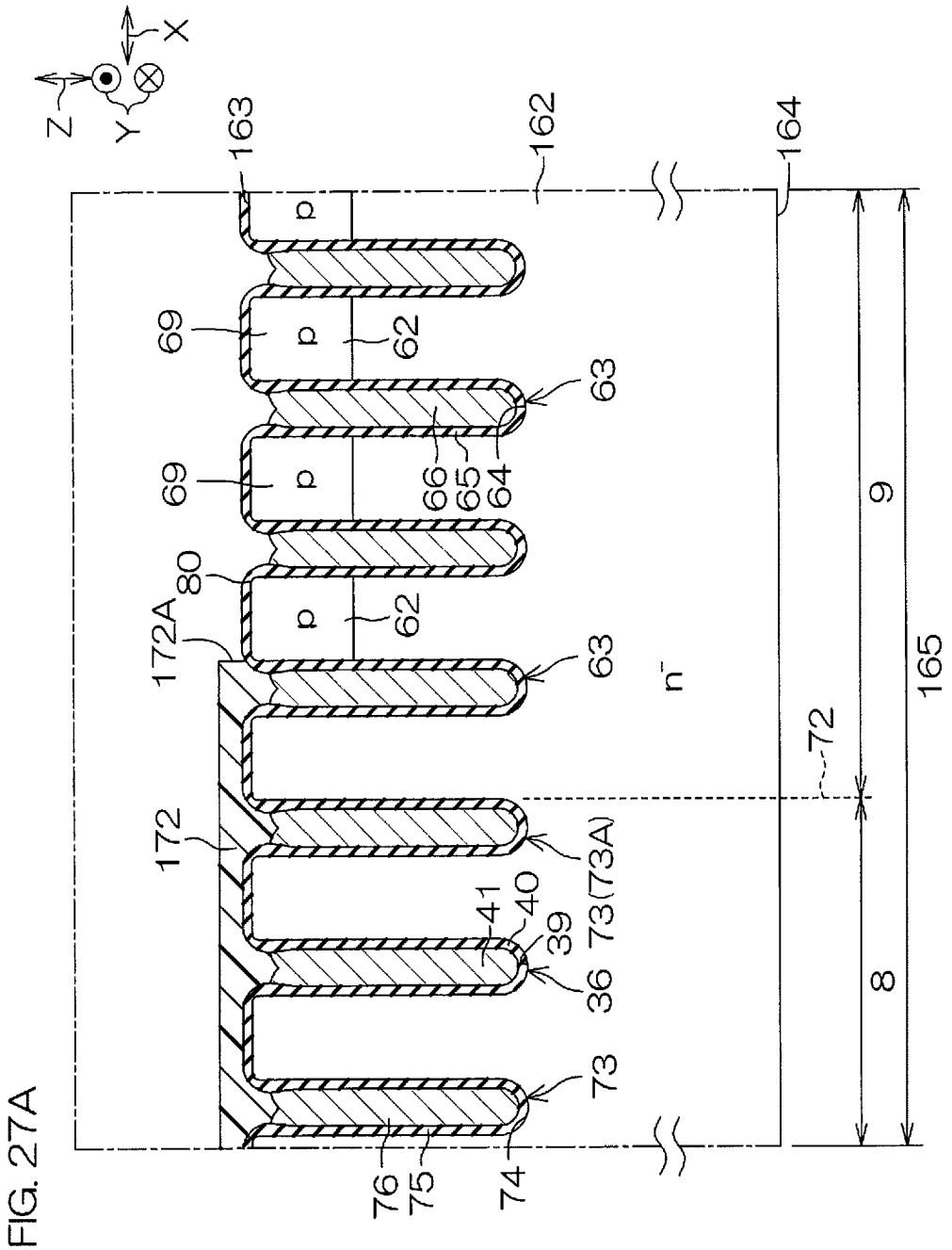

X
Z
Y
163
162
164
p
69
62
63
66
65
64
80
172A
172
73(73A)
41
40
39
36
73
76
75
74
n⁻
72
9
8
165

FIG. 27A

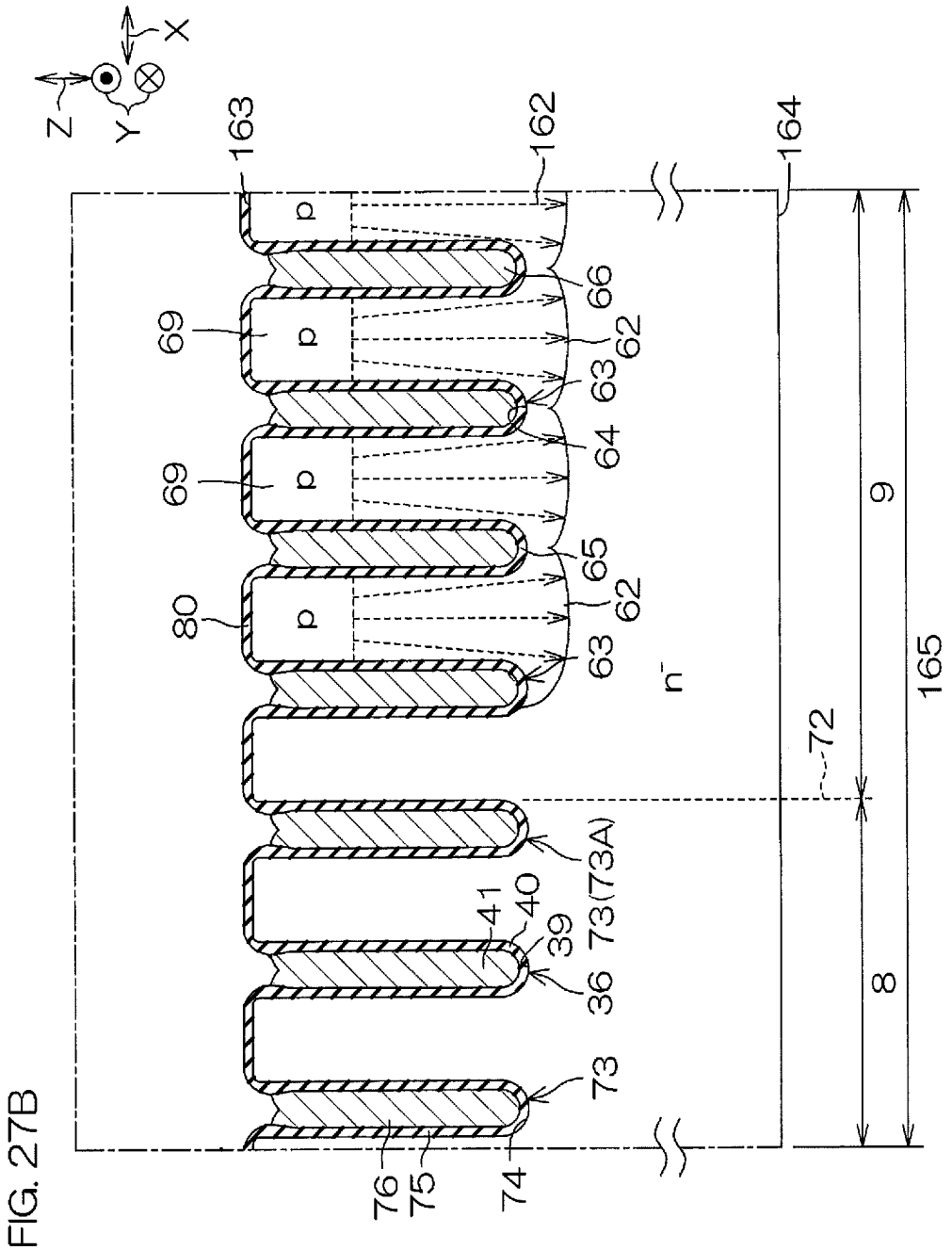

X
Z
Y
163
162
164
p
66
69
62
63
64
65
80
n⁻
72
165
9
8
73(73A)
41
40
39
36
73
76
75
74

FIG. 27B

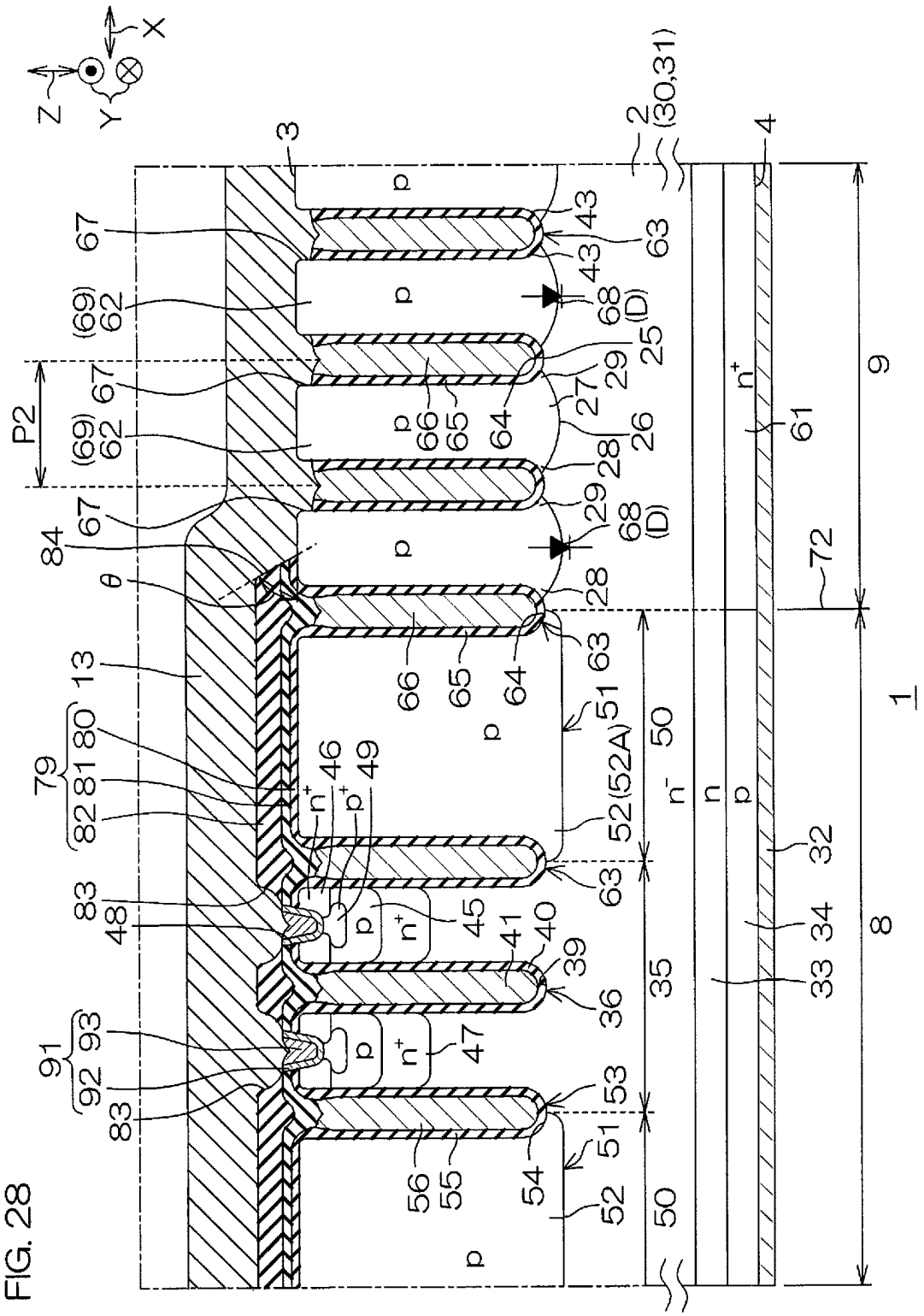

X
Z
Y
3
2
(30,31)
4
p
n+
n
n-
67
(69)
62
63
43
68
(D)
25
29
27
26
28
66
65
64
61
9
72
P2
84
θ
13
79
80
81
82
46
49
51
50
52
(52A)
32
34
33
8
1
83
48
45
41
40
39
36
35
91
93
92
47
53
56
55
54

FIG. 28

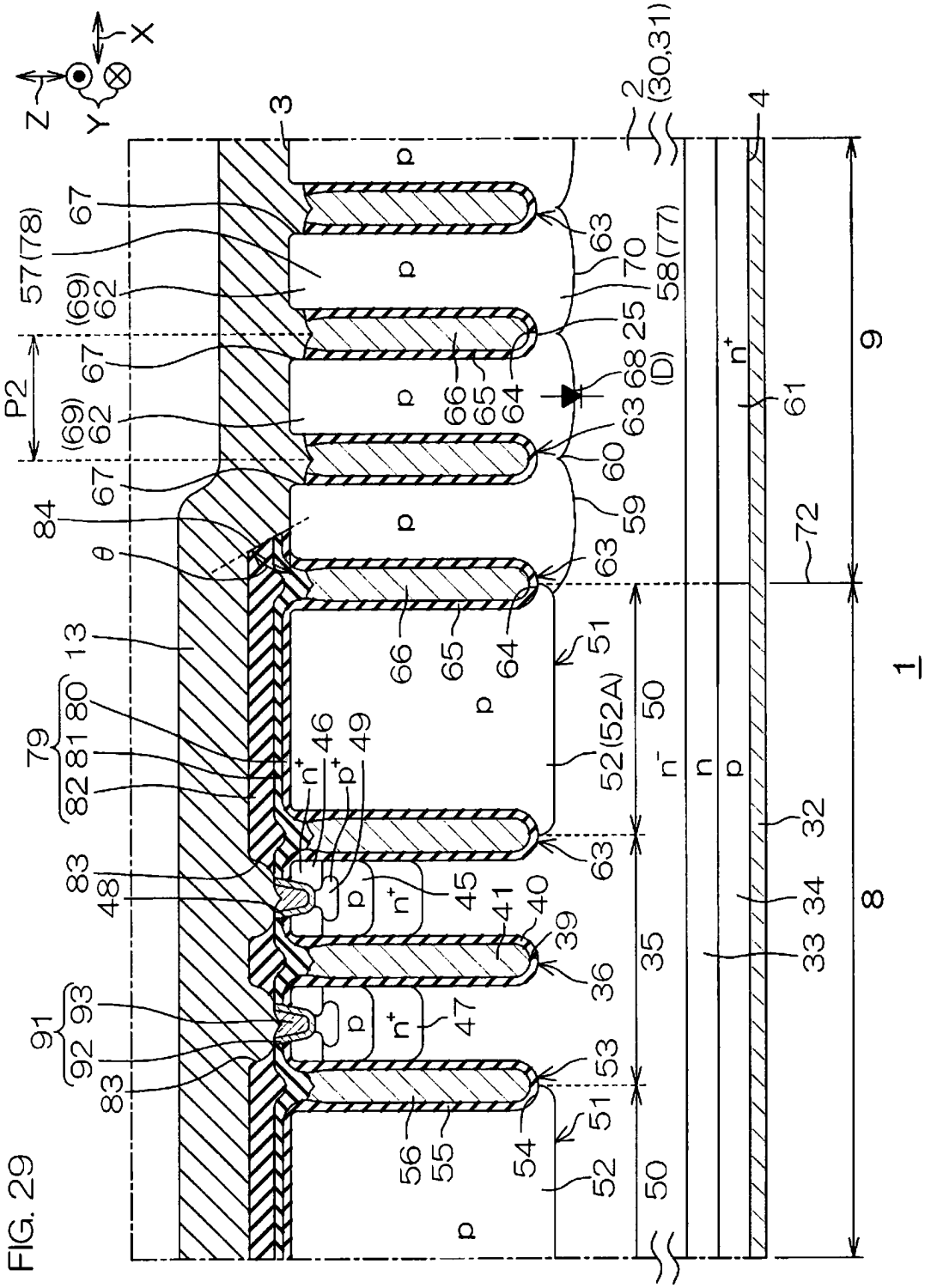

X
Z
Y
3
2
(30,31)
4
67
57(78)
(69)
62
P2
84
θ
13
79
80
81
82
83
48
91
93
92
56
55
54
53
51
52
50
52(52A)
n⁻
n
p
n⁺
p⁺
46
49
45
41
40
39
36
35
47
66
65
64
63
60
59
70
58(77)
25
68
(D)
61
72
9
8
32
34
33
1

FIG. 29

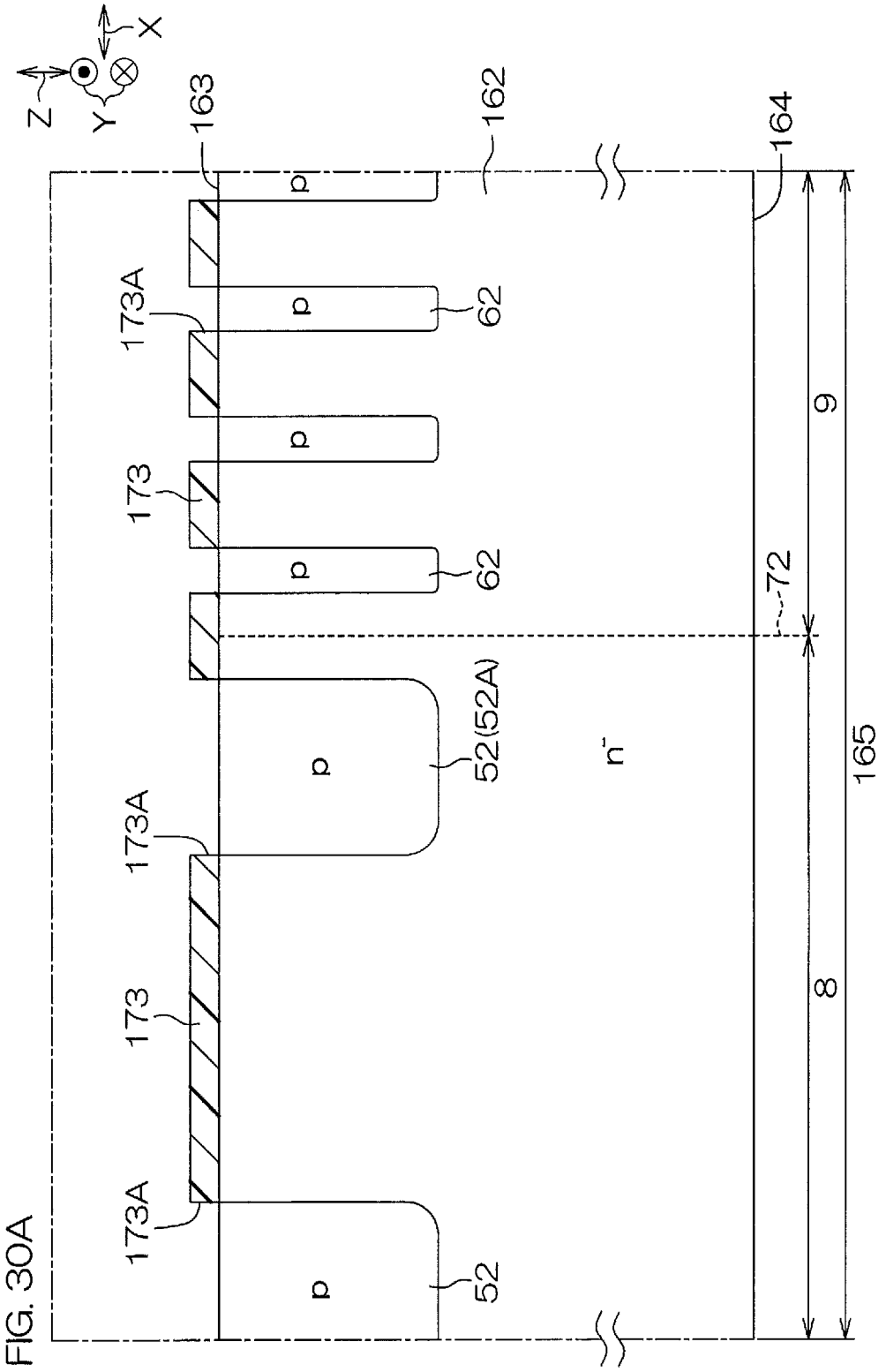

X
Z
Y
163
162
164
173A
62
173
62
72
52(52A)
n-
173A
173
173A
52
9
8
165
p

FIG. 30A

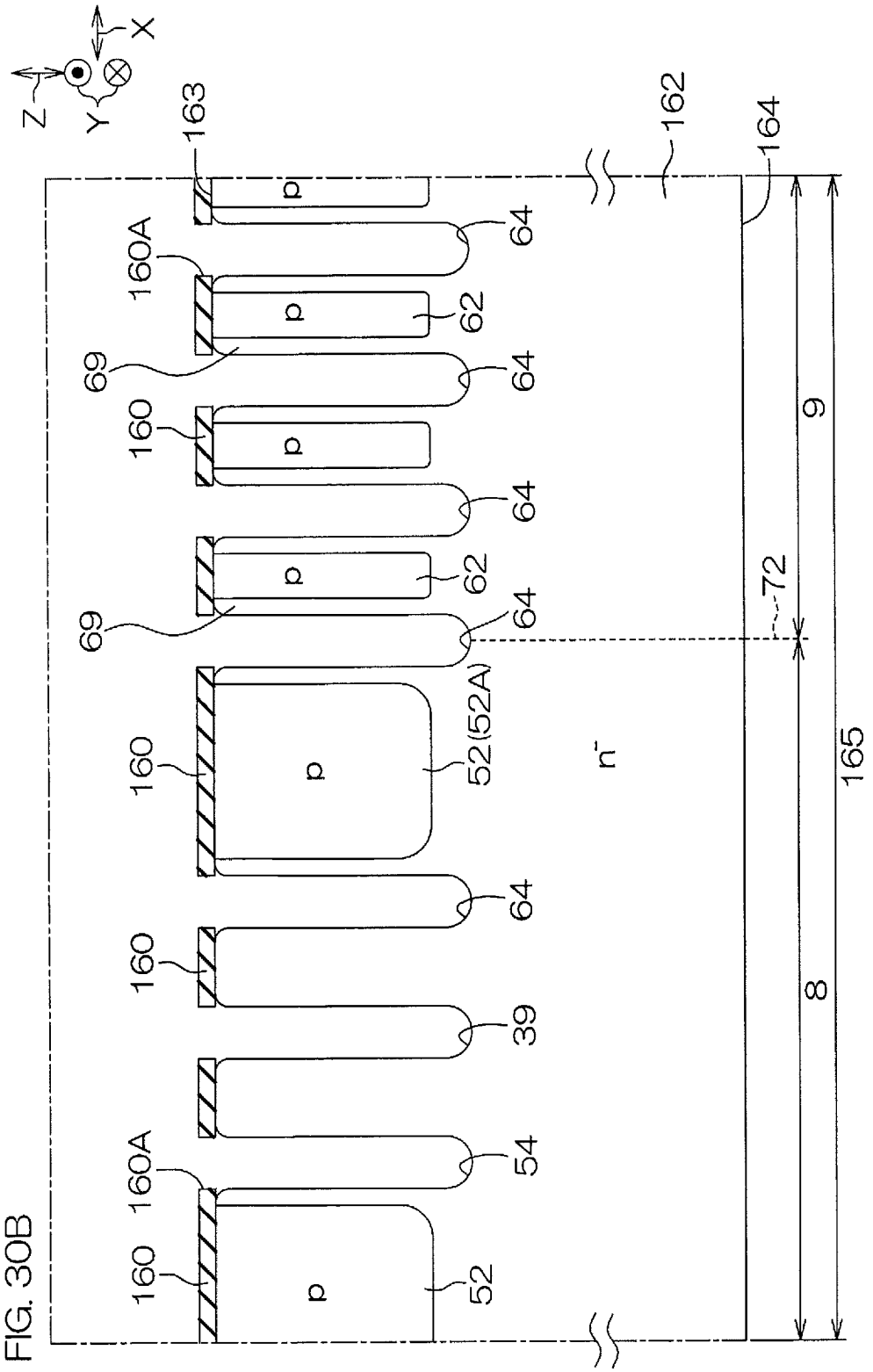



FIG. 30B

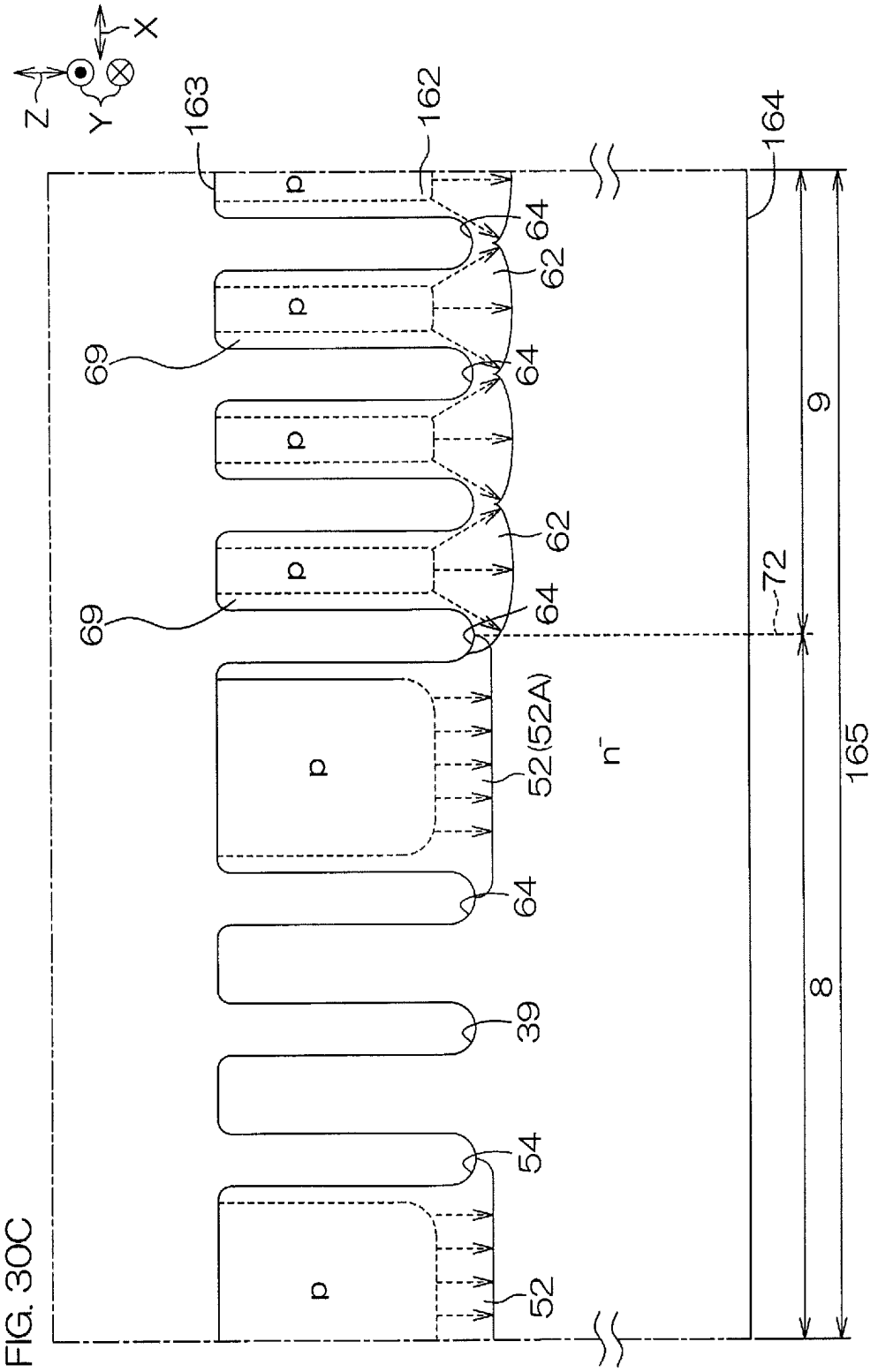



FIG. 30C

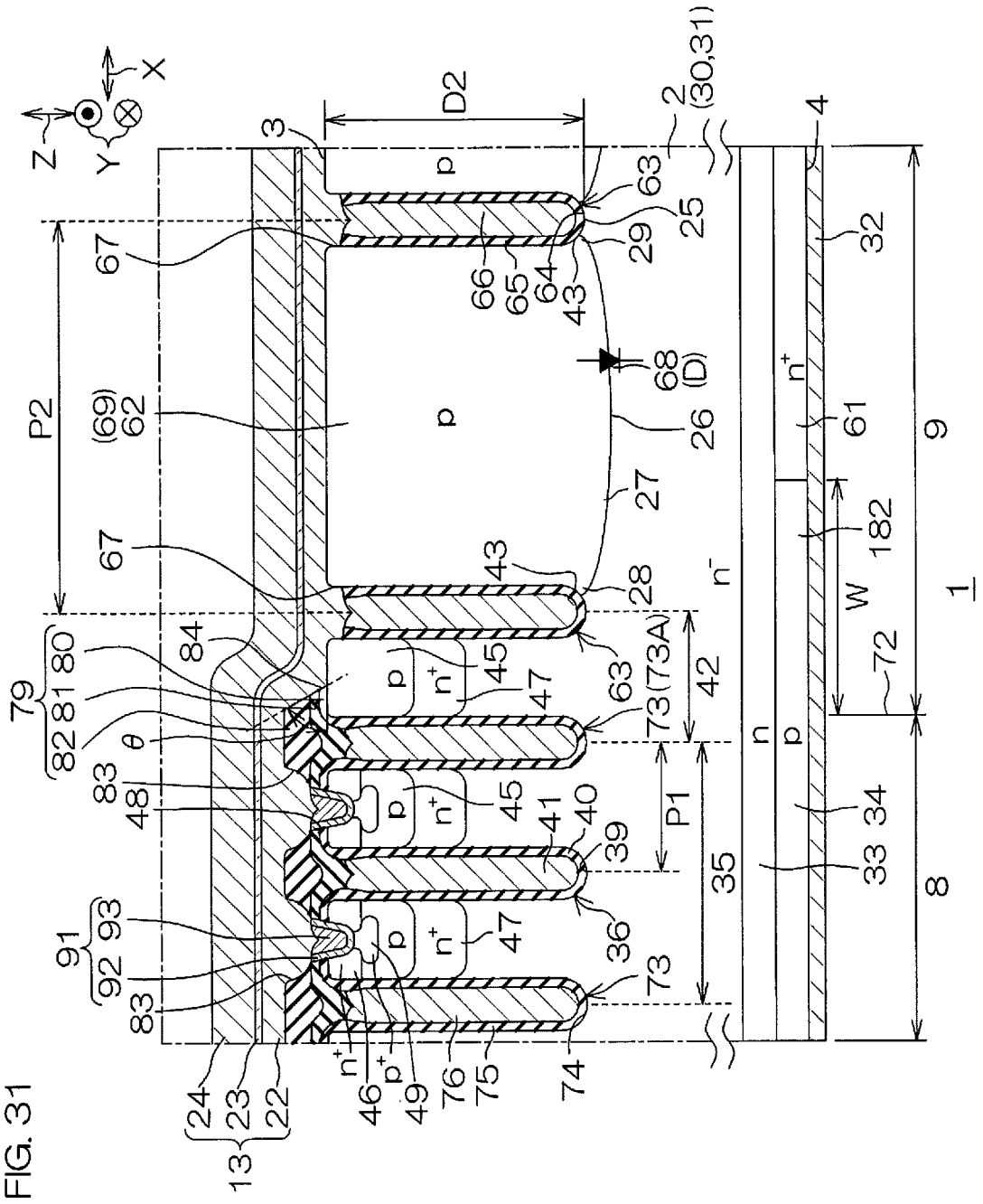

X
Z
Y
D2
3
2
(30,31)
4
63
25
29
66
65
64
43
67
68
(D)
P2
(69)
62
26
27
61
32
9
182
W
72
28
42
73(73A)
84
80
79
81
82
θ
83
48
45
47
41
40
39
P1
35
34
33
8
1
91
93
92
36
73
24
23
22
13
46
49
76
75
74
n+
p+
p
n
n-

FIG. 31

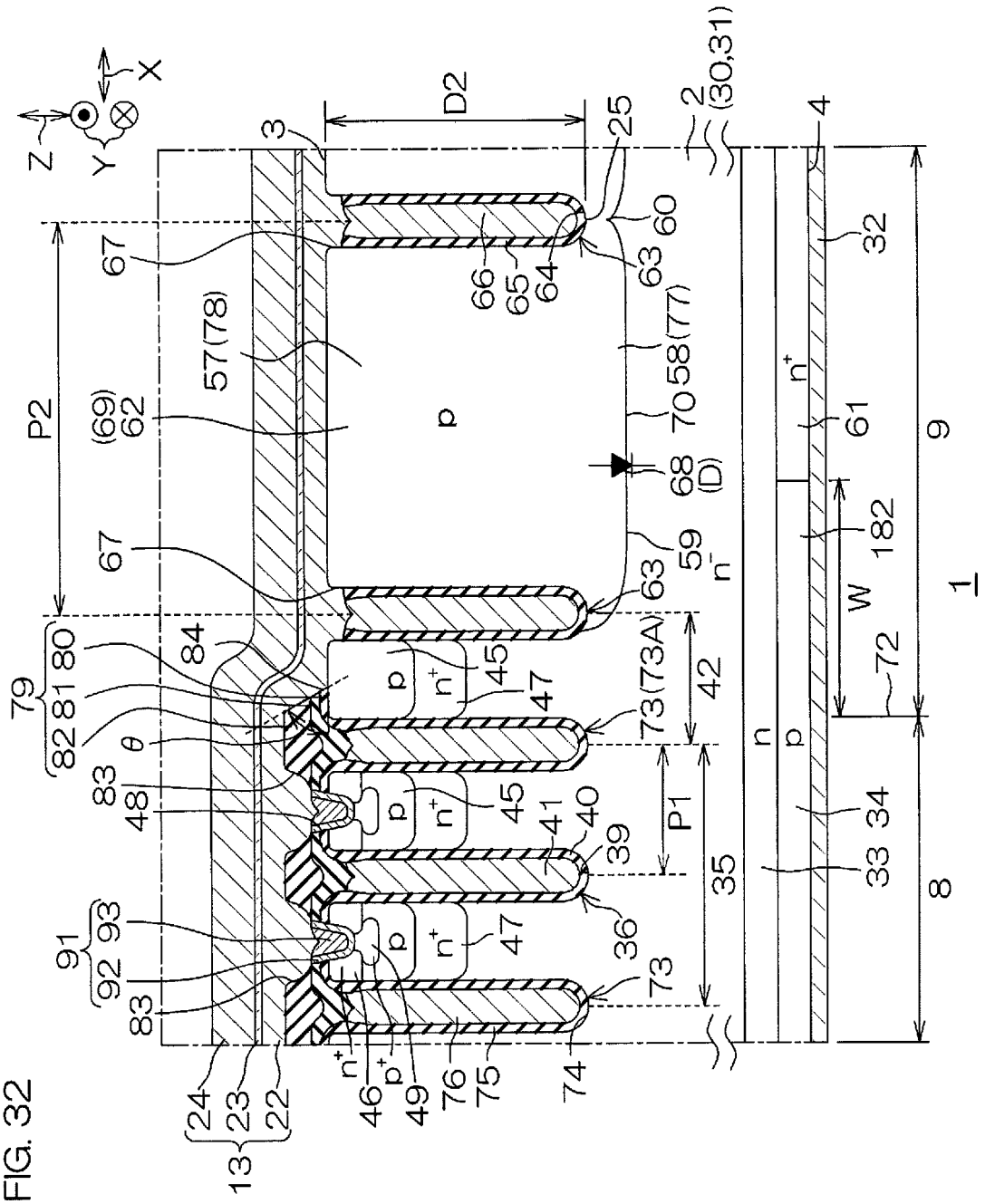
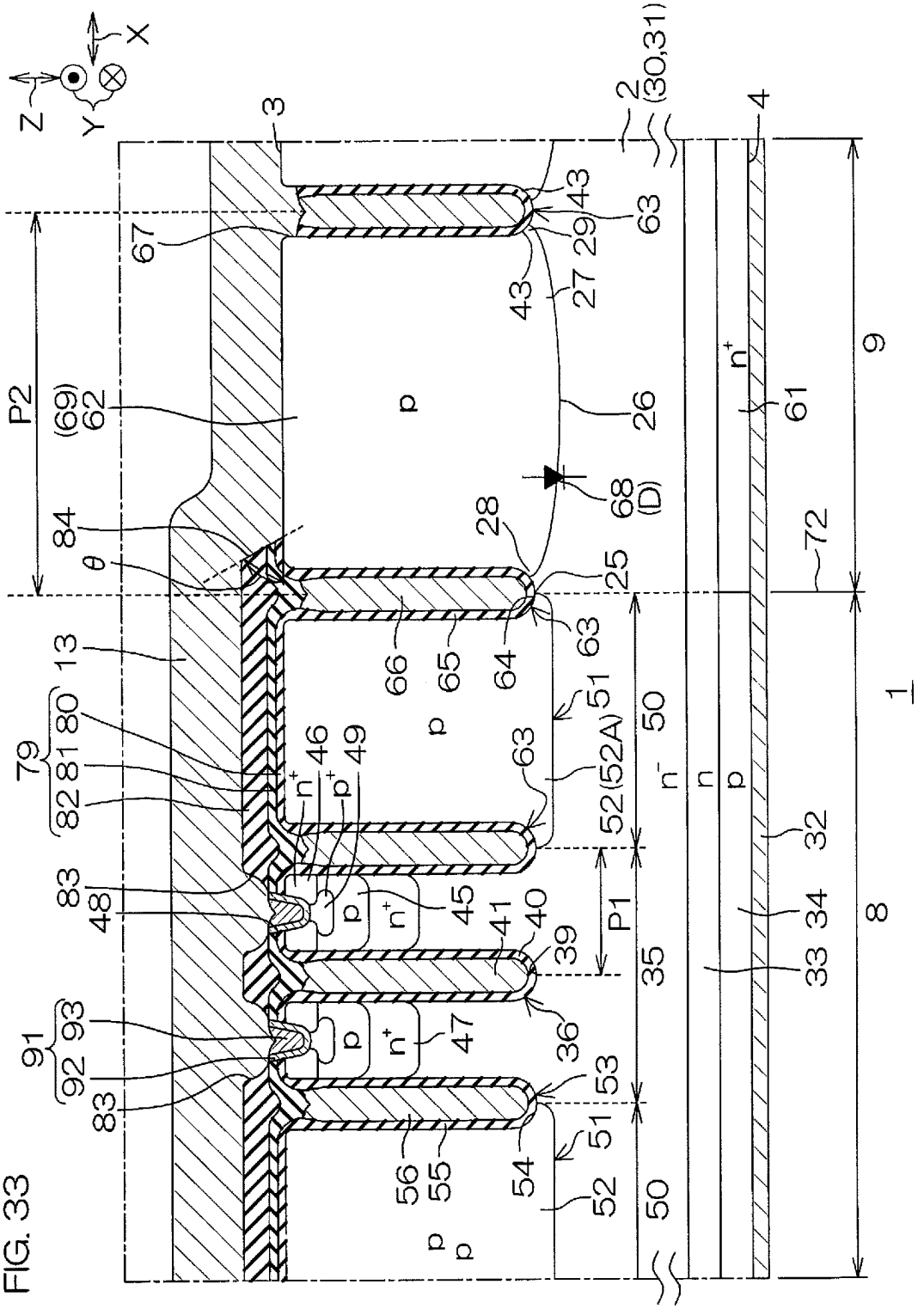

X
Z
Y
D2
3
25
2
(30,31)
4
67
66
65
64
63
60
32
57(78)
58(77)
70
P2
(69)
62
p
n+
61
9
68
(D)
67
59
n-
63
182
W
1
79
80
81
82
84
45
47
73(73A)
42
72
θ
83
48
41
40
39
P1
35
34
33
8
91
93
92
36
73
n
24
23
22
13
46
49
76
75
74

FIG. 32


X
Z
Y
3
2
(30,31)
4
67
43
63
29
27
43
26
P2
(69)
62
p
n+
61
9
68
(D)
84
θ
28
25
72
13
66
65
64
63
51
50
79
80
81
82
46
49
63
52(52A)
n-
n
p
32
83
48
45
41
40
39
P1
35
34
33
8
1
91
93
92
47
36
53
56
55
54
52
FIG. 33

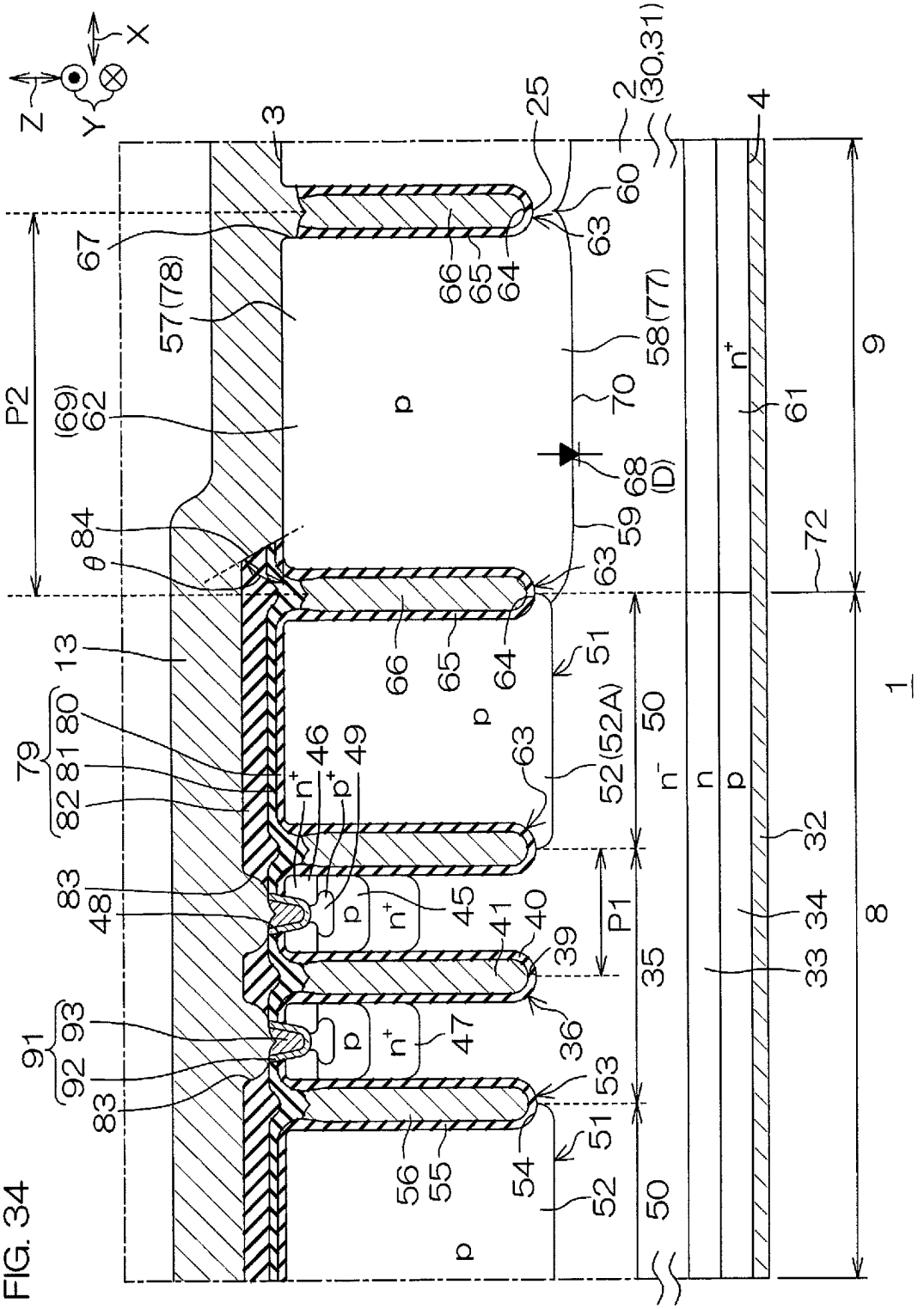

X
Z
Y
3
25
2
(30,31)
4
60
63
67
66
65
64
57(78)
58(77)
P2
(69)
62
p
70
n+
61
9
68
(D)
59
θ 84
72
63
13
66
65
64
51
79
80
81
82
p
50
63
52(52A)
n-
n
p
32
46
49
n+
p+
83
48
p
n+
45
41
40
39
P1
35
34
33
8
91
93
92
83
p
n+
47
36
53
51
56
55
54
52
50
p
1

FIG. 34

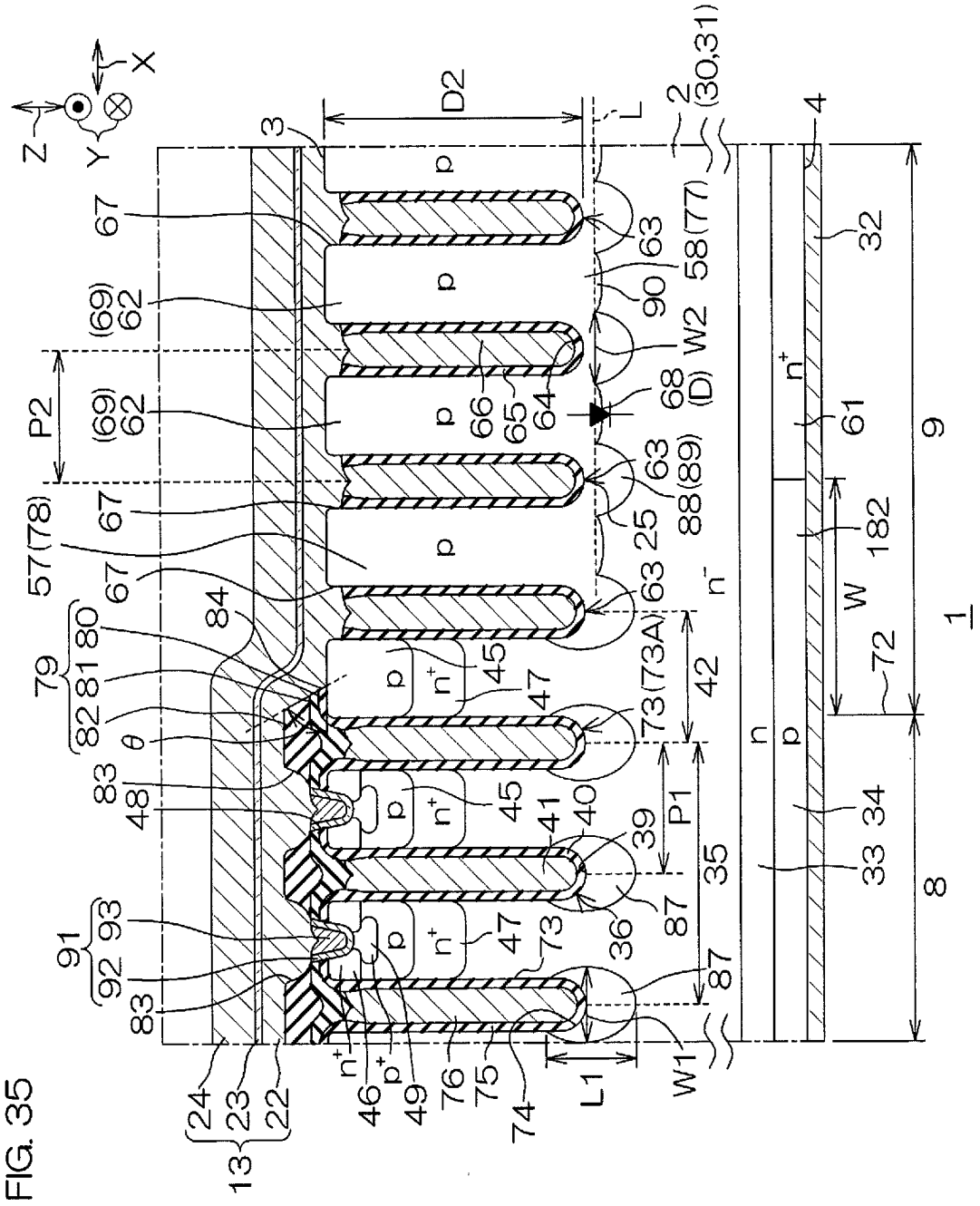

Z
Y
X
D2
L
3
2
(30,31)
4
67
(69)
62
63
58(77)
90
W2
68
(D)
64
65
66
P2
57(78)
88(89)
25
84
80
79
81
82
θ
83
48
45
47
73(73A)
42
41
40
39
P1
35
87
36
73
91
93
92
46
49
76
75
74
L1
W1
24
23
22
13
n+
p+
n-
n
p
32
61
9
182
W
72
1
34
33
8

FIG. 35

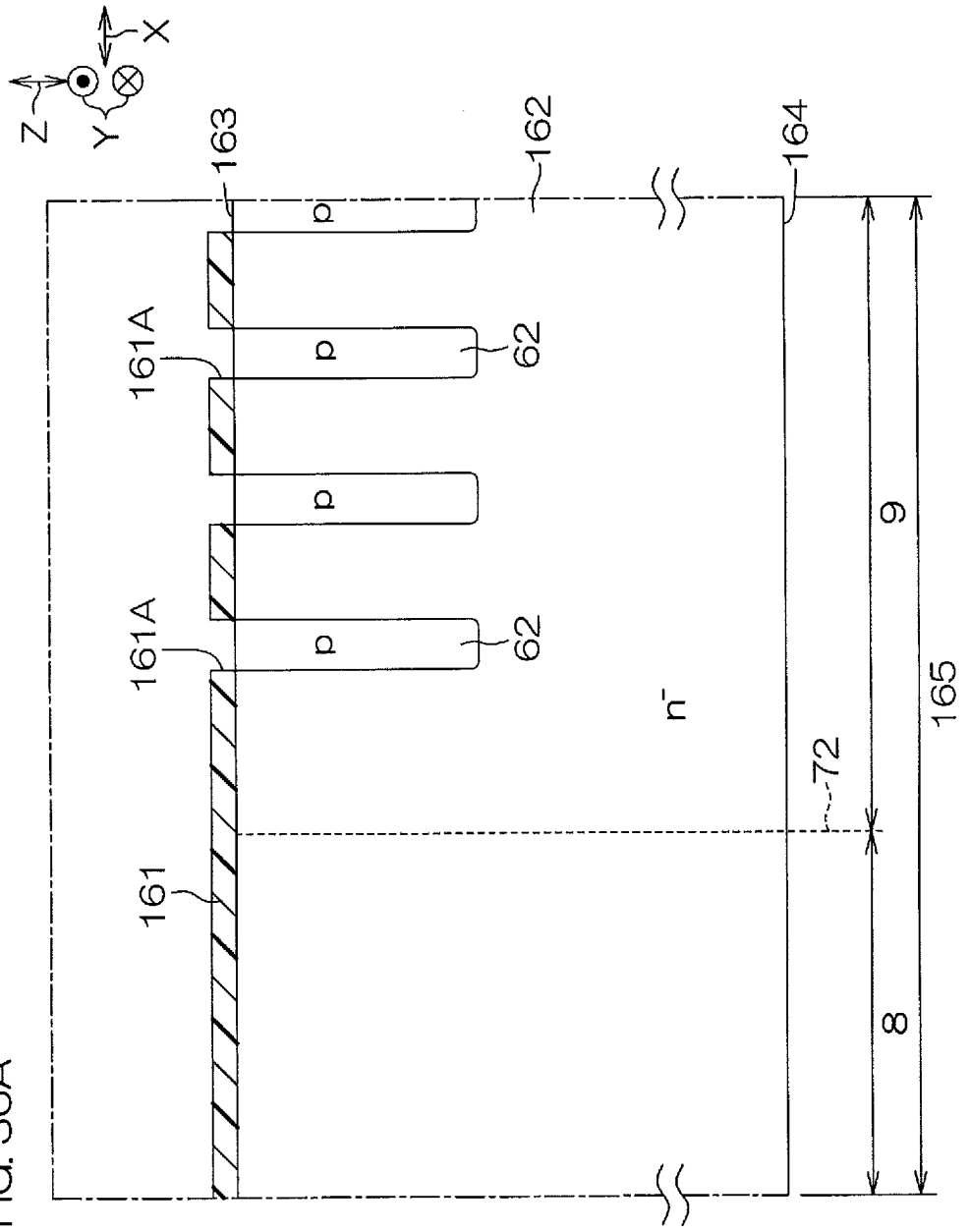



FIG. 36A

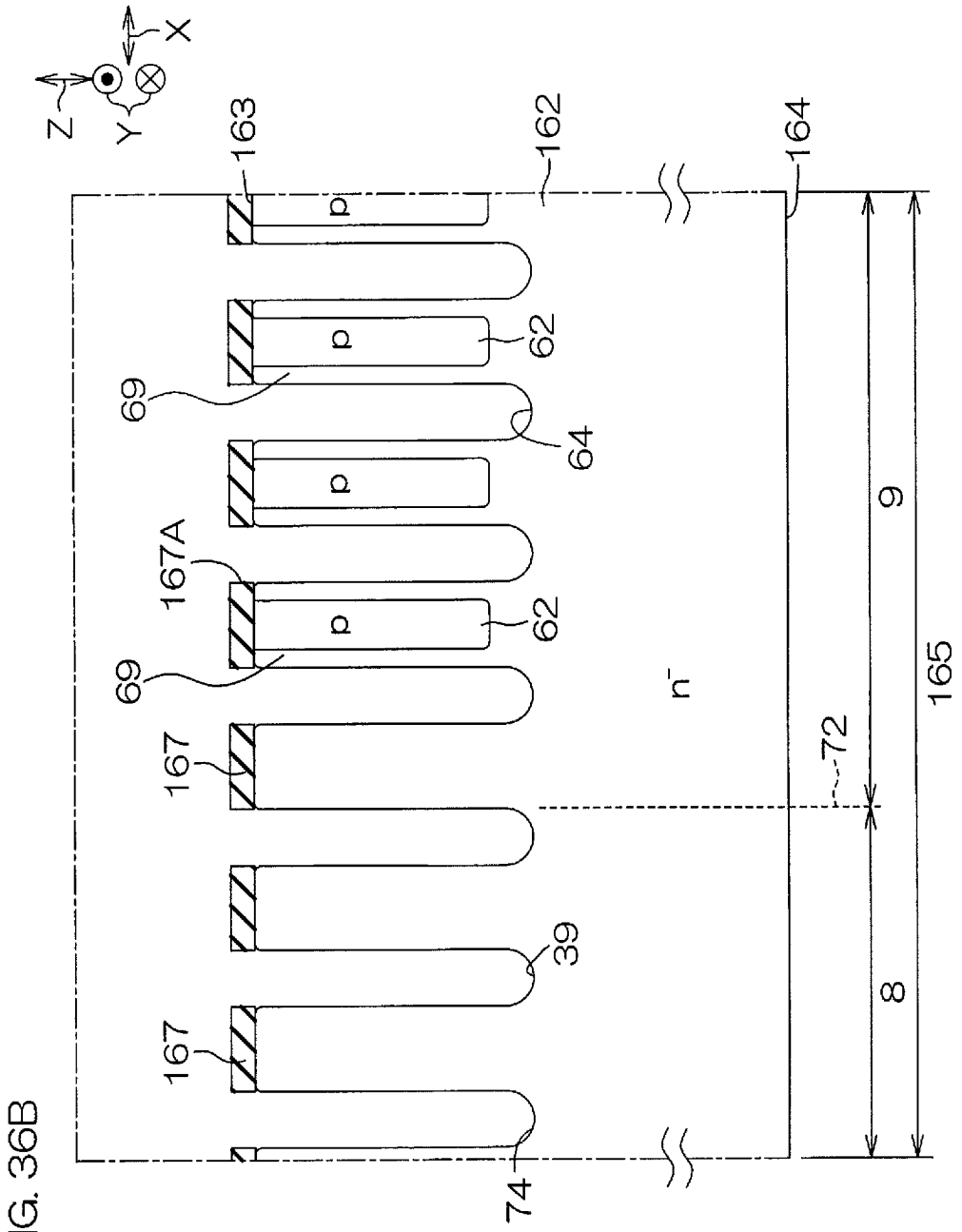



FIG. 36B

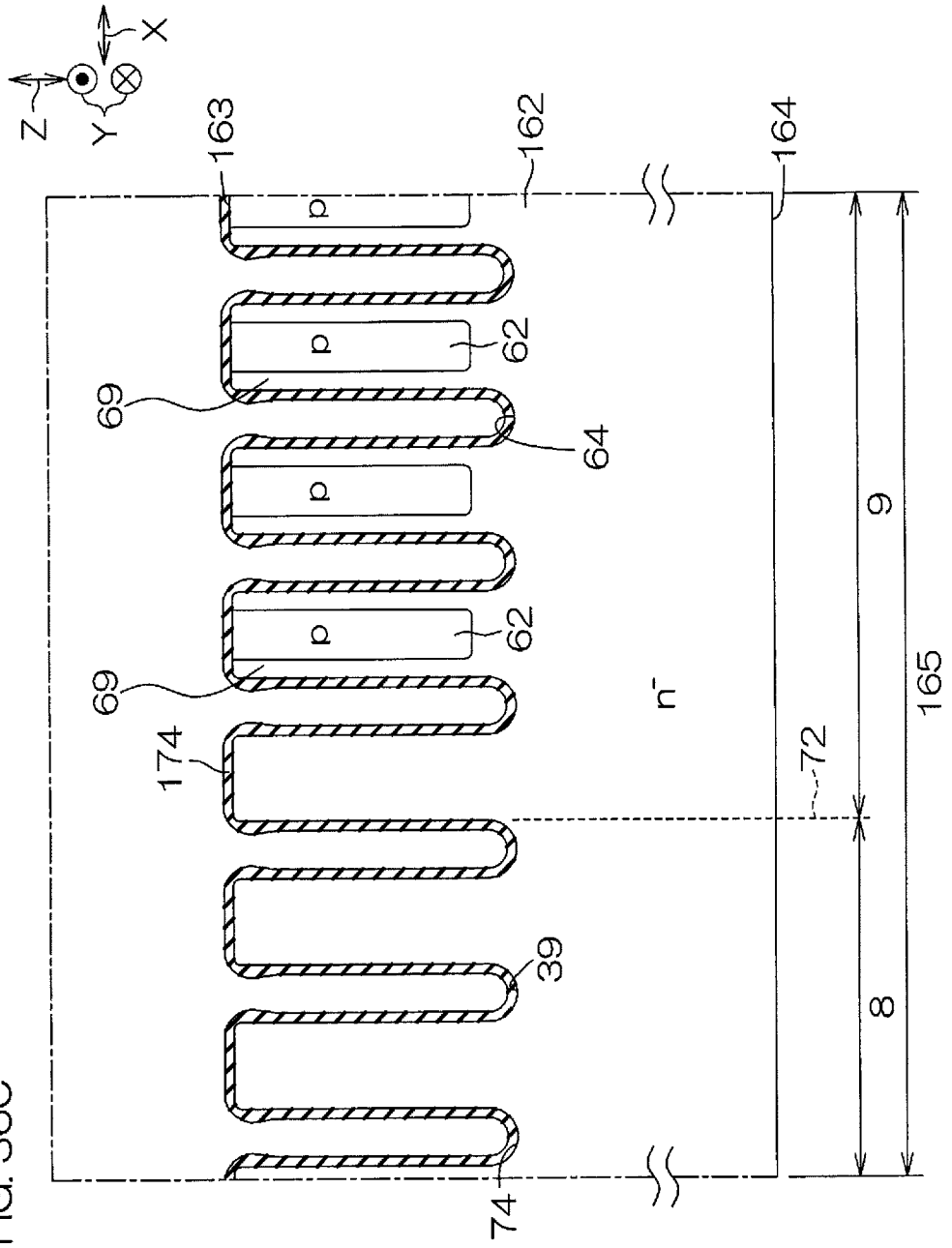



FIG. 36C

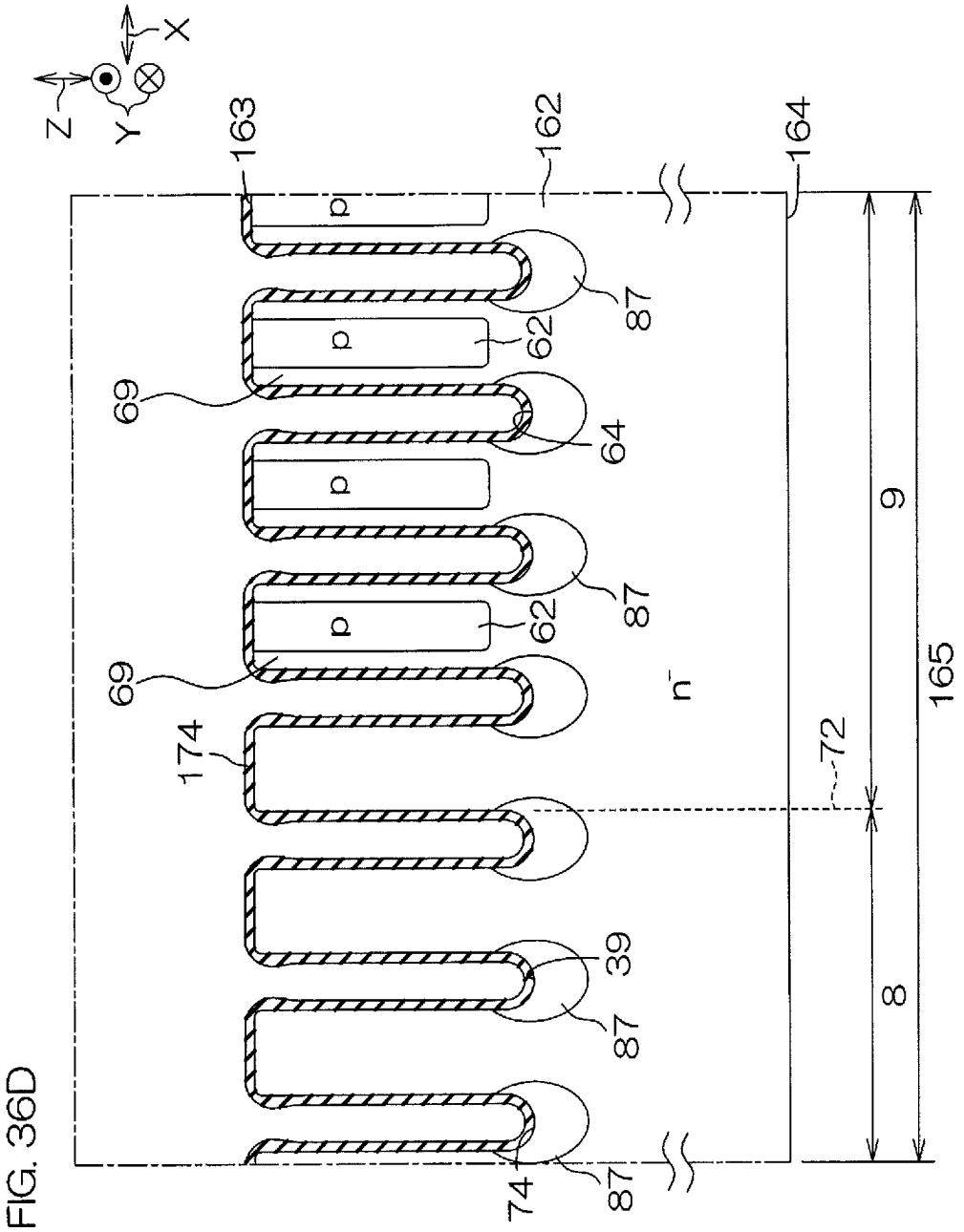



FIG. 36D

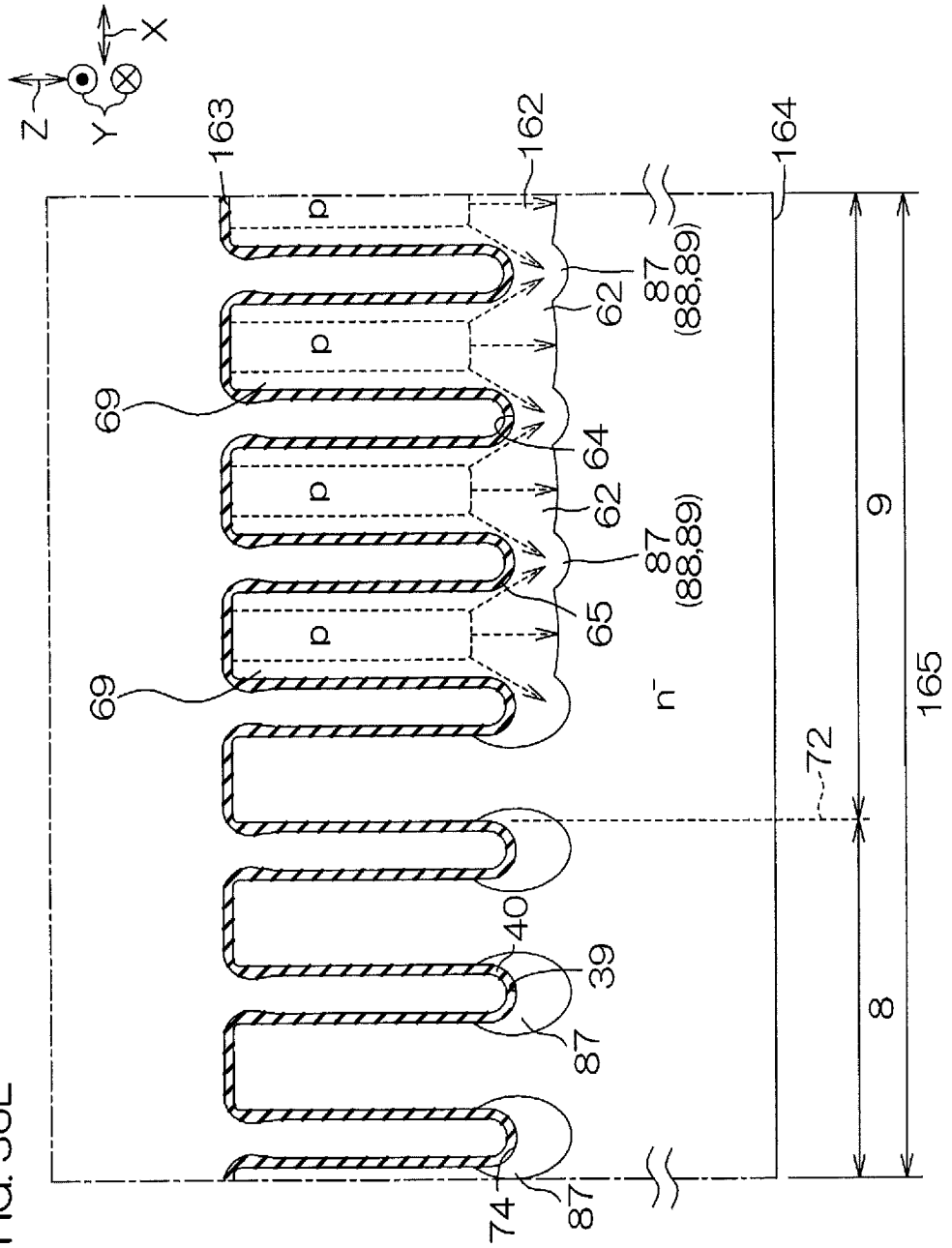



FIG. 36E

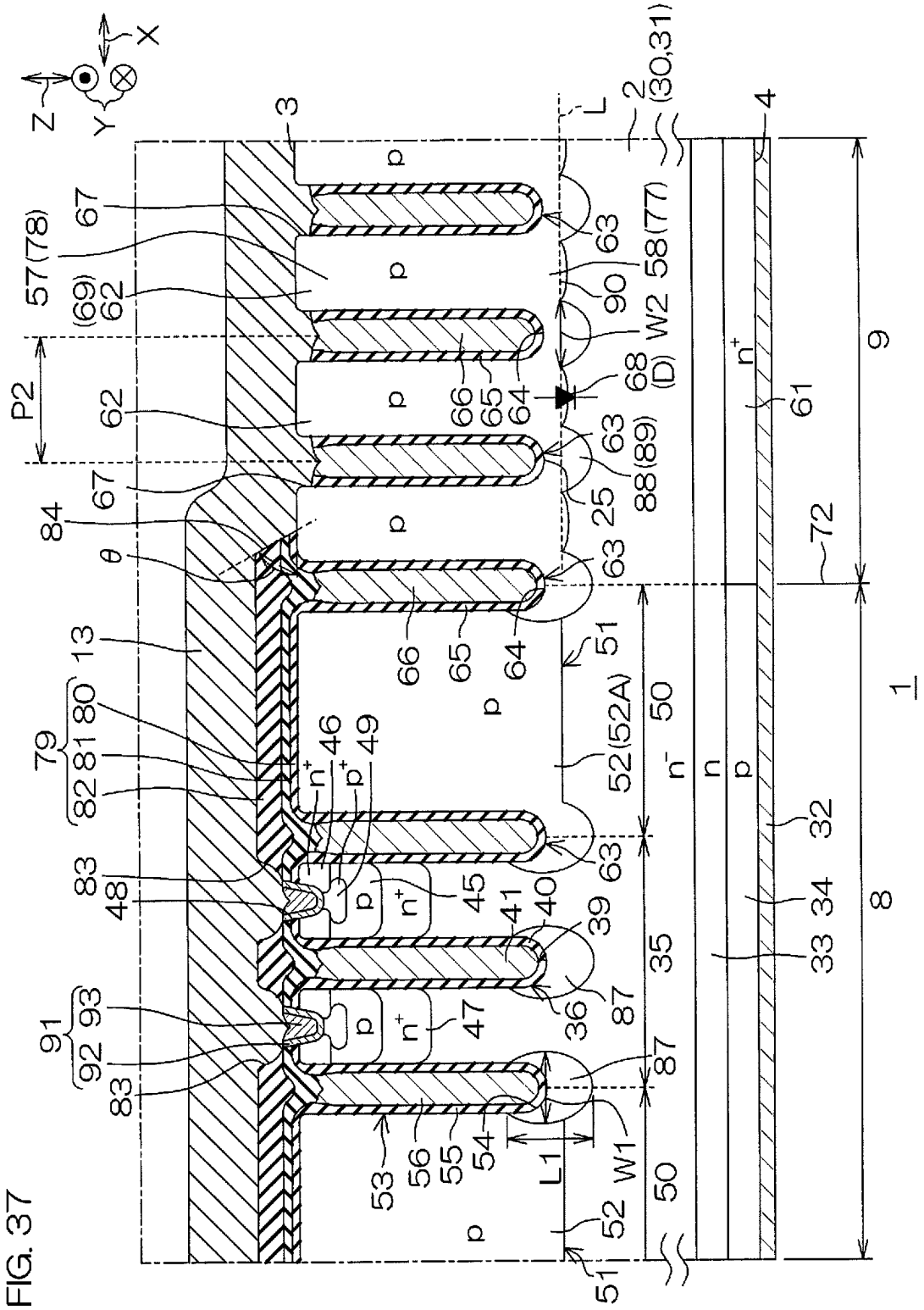

X
Z
Y
3
L
2
(30,31)
4
67
57(78)
(69)
62
63
90
58(77)
W2
68
(D)
66
65
64
61
9
P2
88(89)
25
84
θ
72
13
51
50
79
80
81
82
46
49
52(52A)
n⁻
n
p
32
83
48
45
41
40
39
63
34
35
33
8
1
91
93
92
47
36
87
53
56
55
54
L1
W1
52

FIG. 37

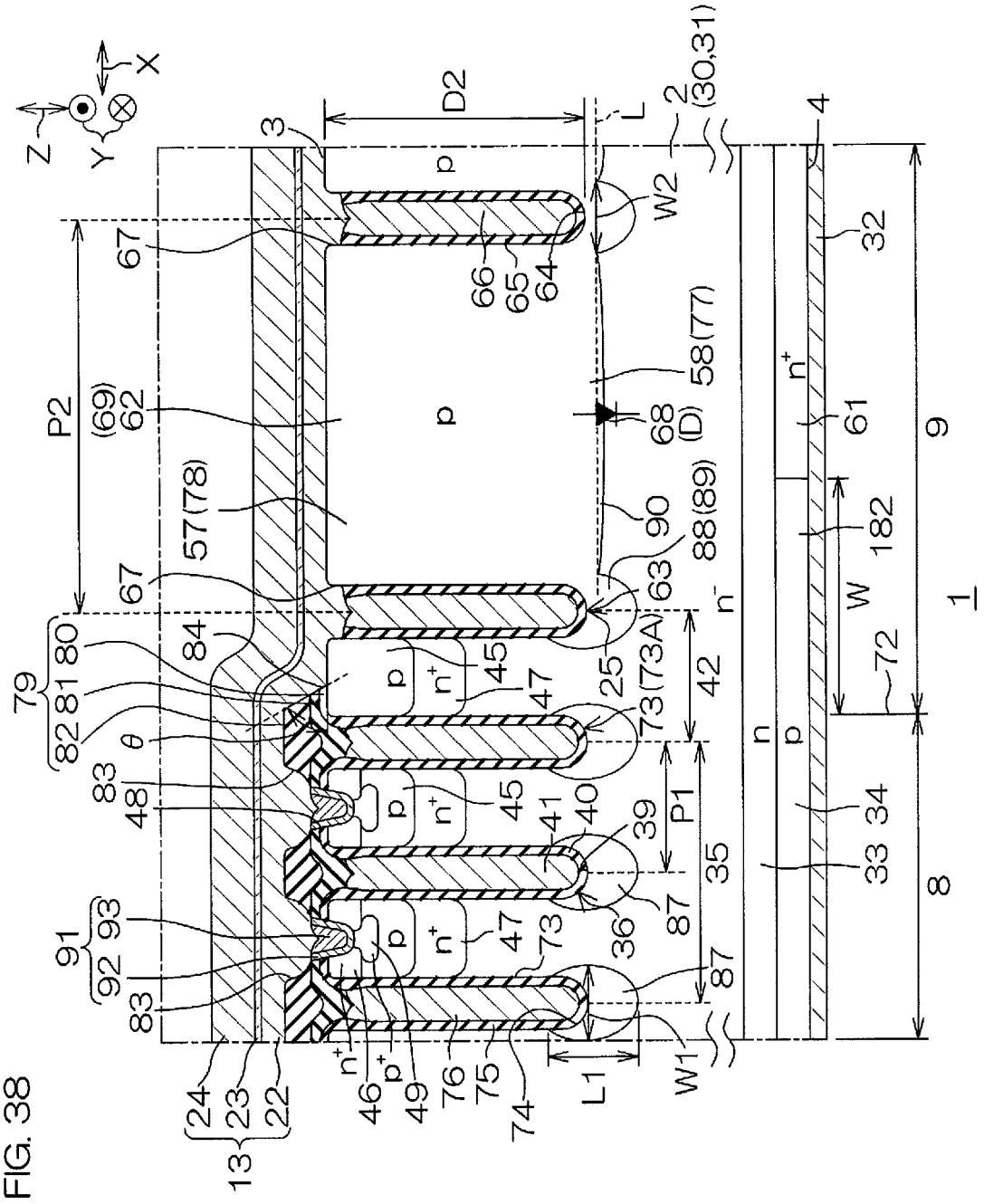

Z
Y
X
D2
L
3
2
(30,31)
4
W2
67
66
65
64
p
P2
(69)
62
58(77)
68
(D)
61
32
9
57(78)
90
88(89)
63
182
W
67
n⁻
79
80
81
82
84
45
47
25
73(73A)
42
72
θ
83
48
41
40
39
P1
35
34
33
8
91
93
92
87
36
73
n
1
24
23
22
13
46
49
76
75
74
L1
W1

FIG. 38

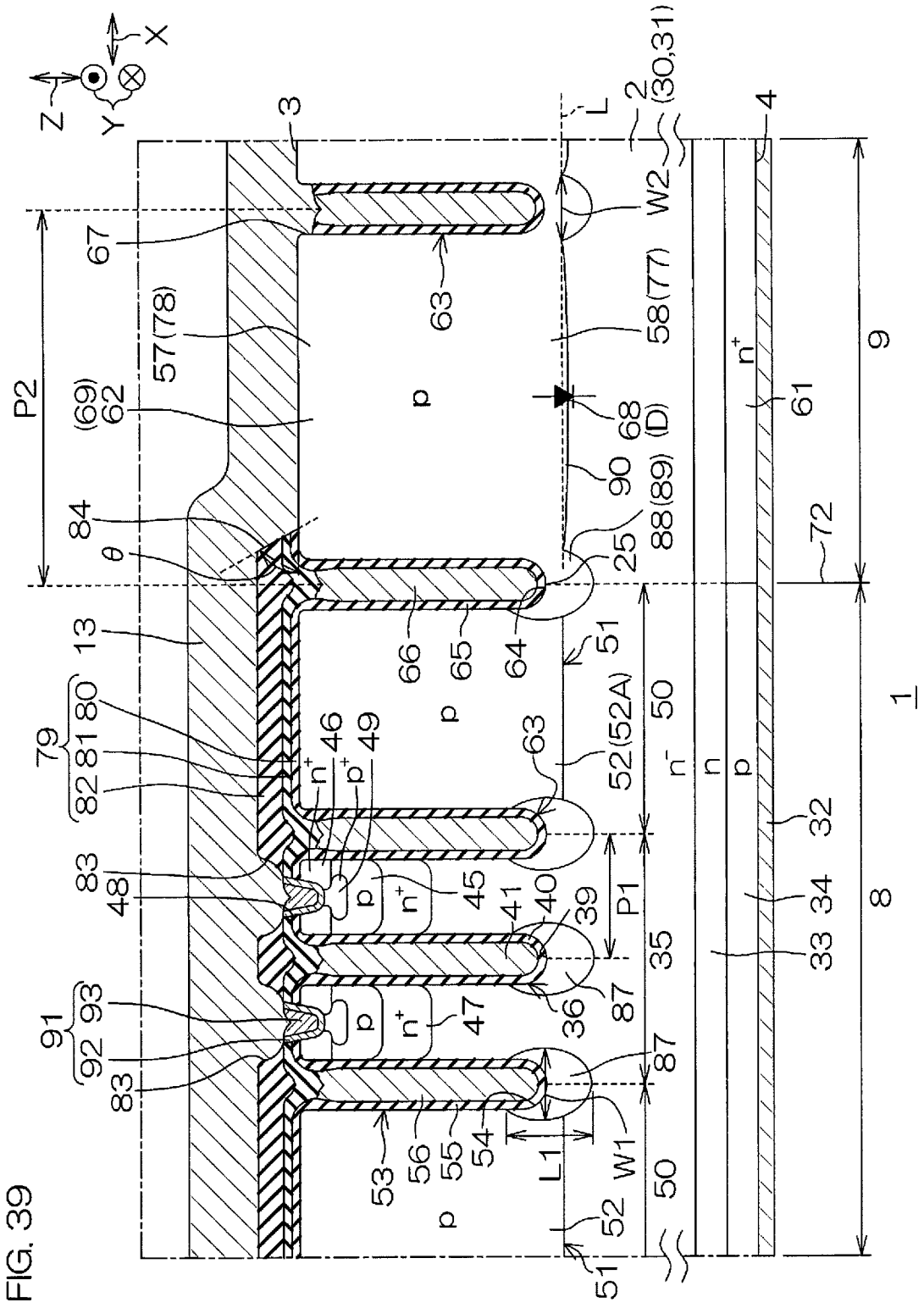

X
Z
Y
3
L
2
(30,31)
4
W2
67
63
58(77)
57(78)
P2
(69)
62
p
68
(D)
61
n+
9
90
88(89)
84
θ
25
72
66
65
64
51
13
p
50
79
80
81
82
46
49
63
52(52A)
n-
n
p
32
83
48
45
41
40
39
P1
34
35
33
8
1
91
93
92
47
36
87
53
56
55
54
L1
W1
52

FIG. 39

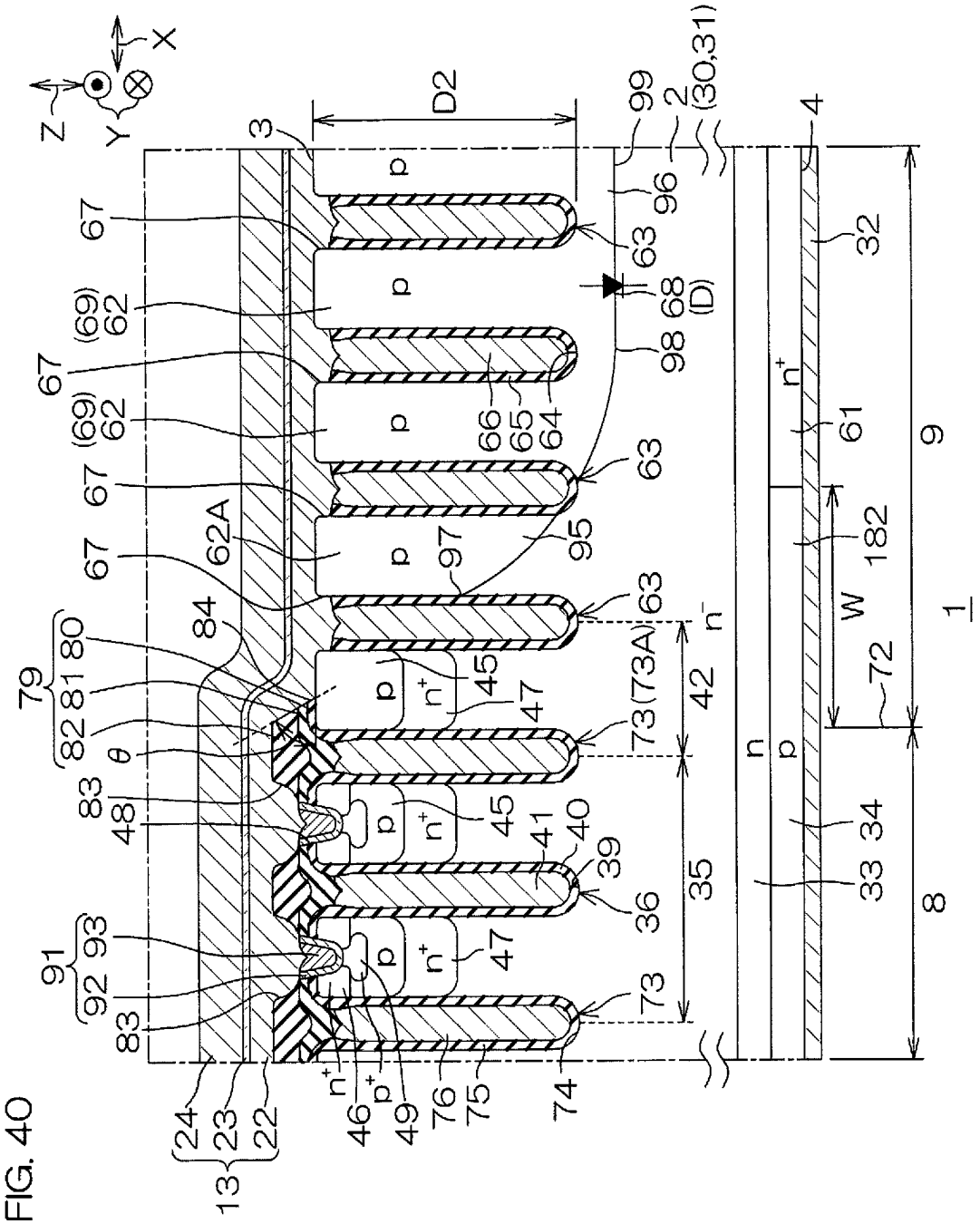

X
Z
Y
D2
3
99
2
(30,31)
4
p
67
63
96
32
68
(D)
(69)
62
98
n+
61
66
65
64
62A
97
95
W
182
9
n−
84
80
79
81
82
θ
83
48
45
47
73(73A)
42
72
1
n
p
41
40
39
36
35
34
33
8
91
93
92
24
23
22
13
n+
46
p+
49
76
75
74

FIG. 40

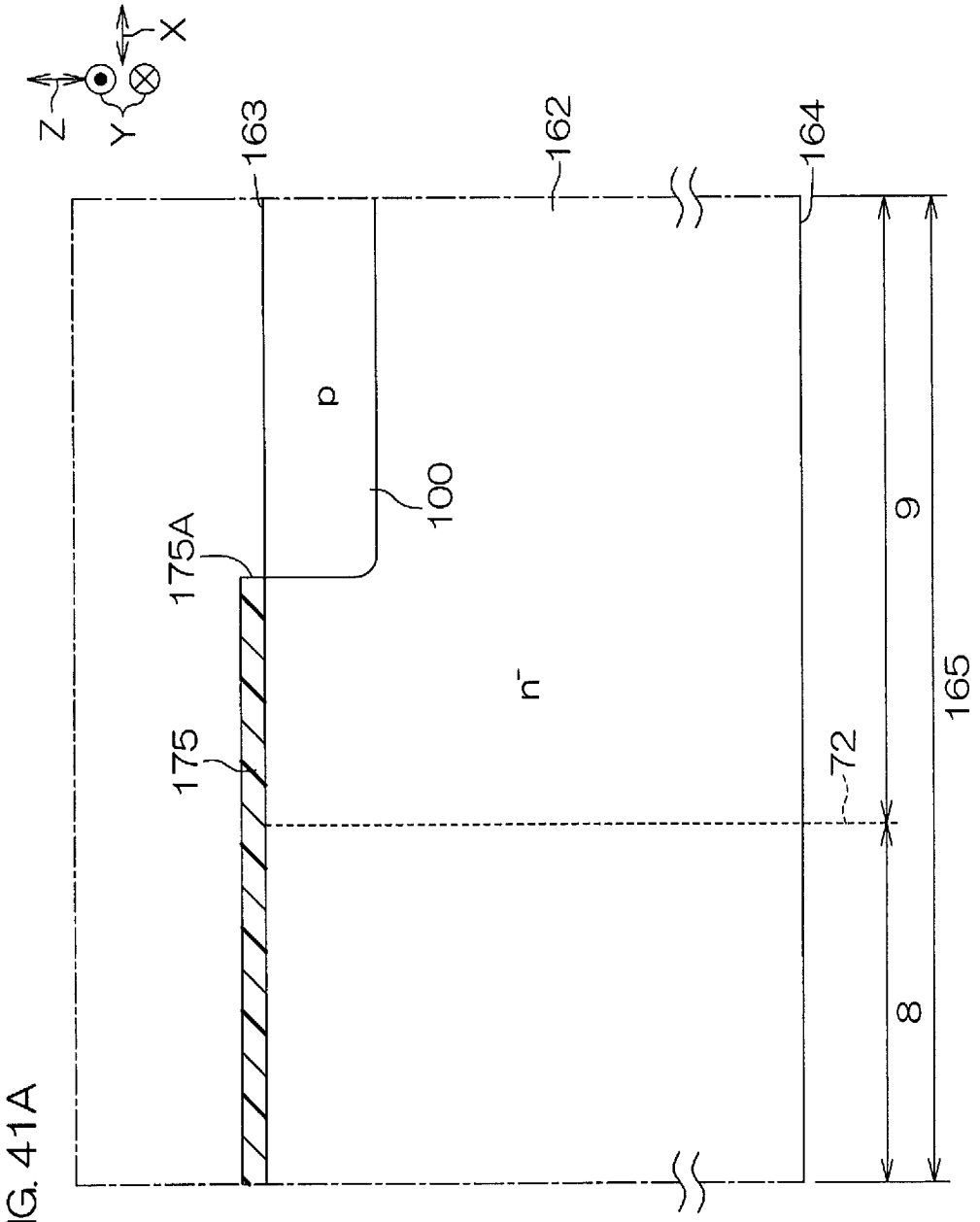



FIG. 41A

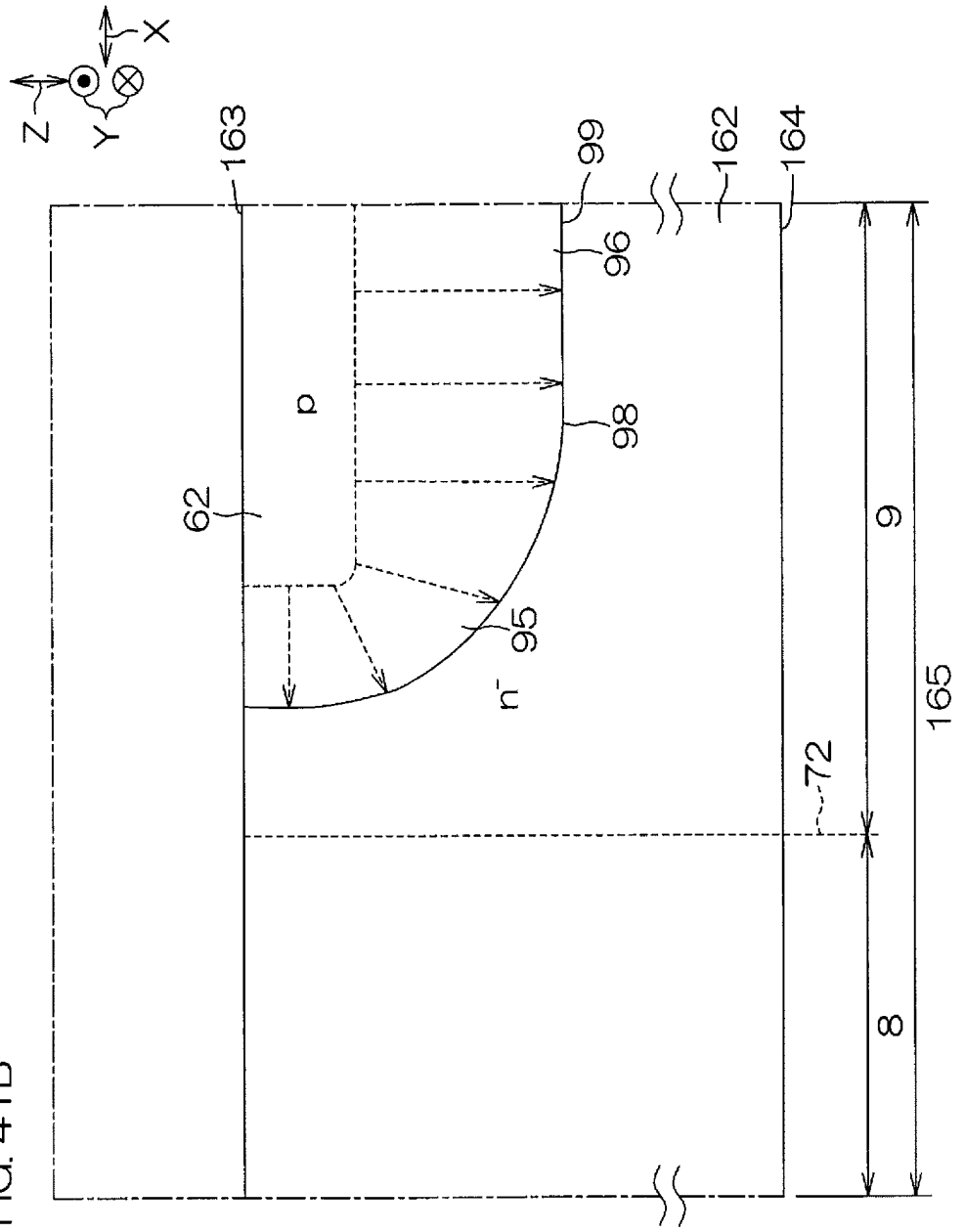



FIG. 41B

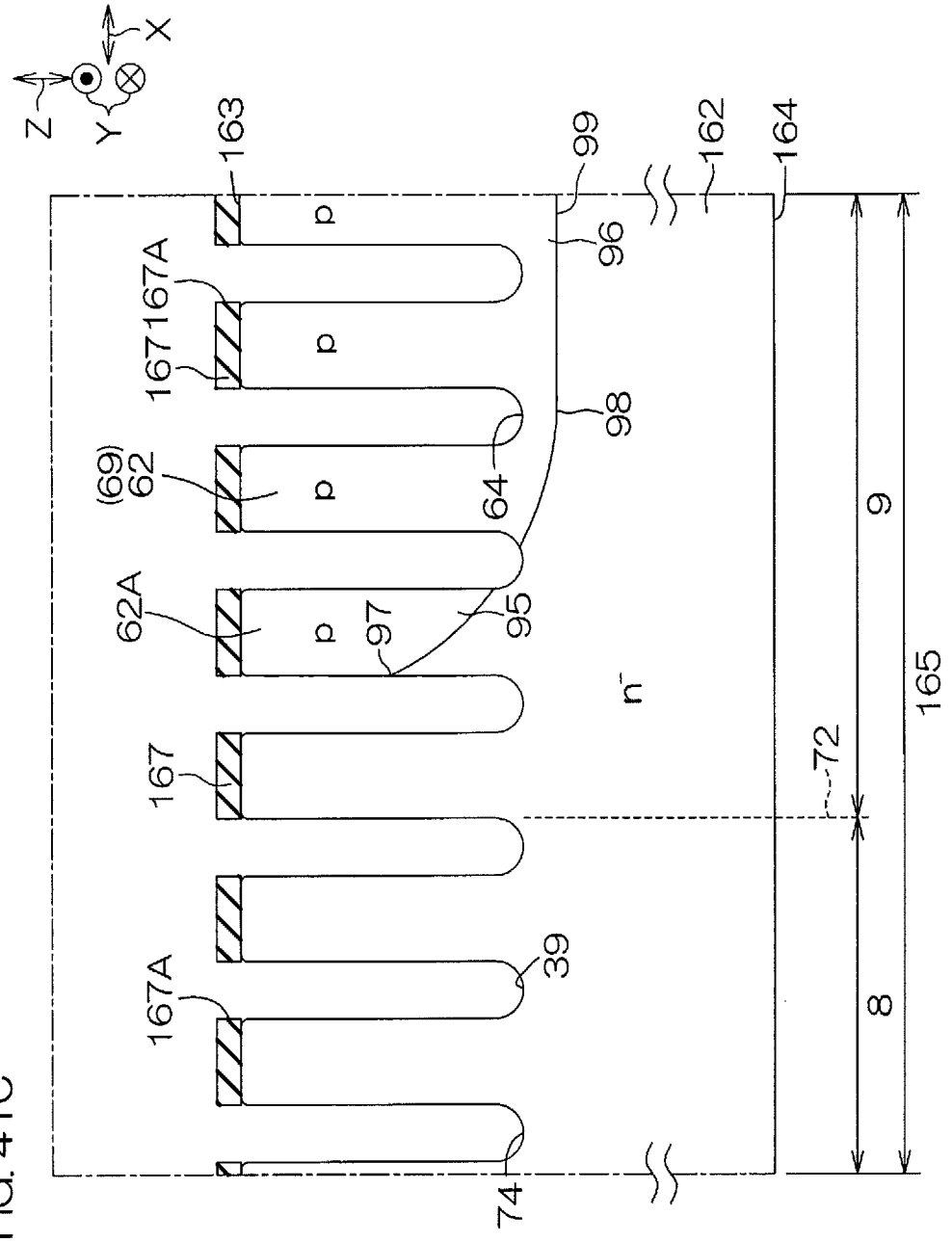

X
Z
Y
163
99
162
164
96
167A
167
98
(69)
62
64
62A
97
95
n⁻
9
165
72
167
39
167A
8
74

FIG. 41C

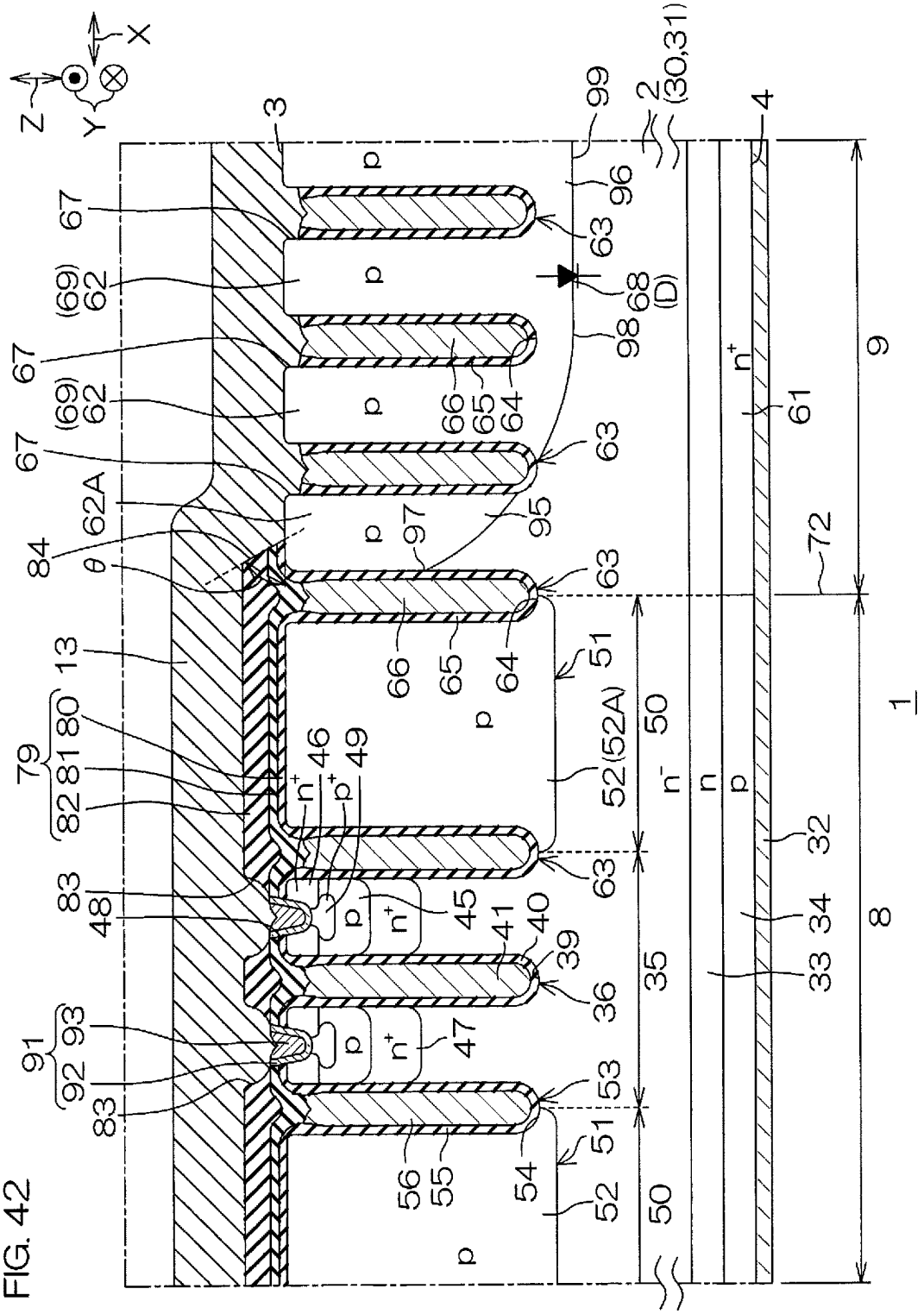
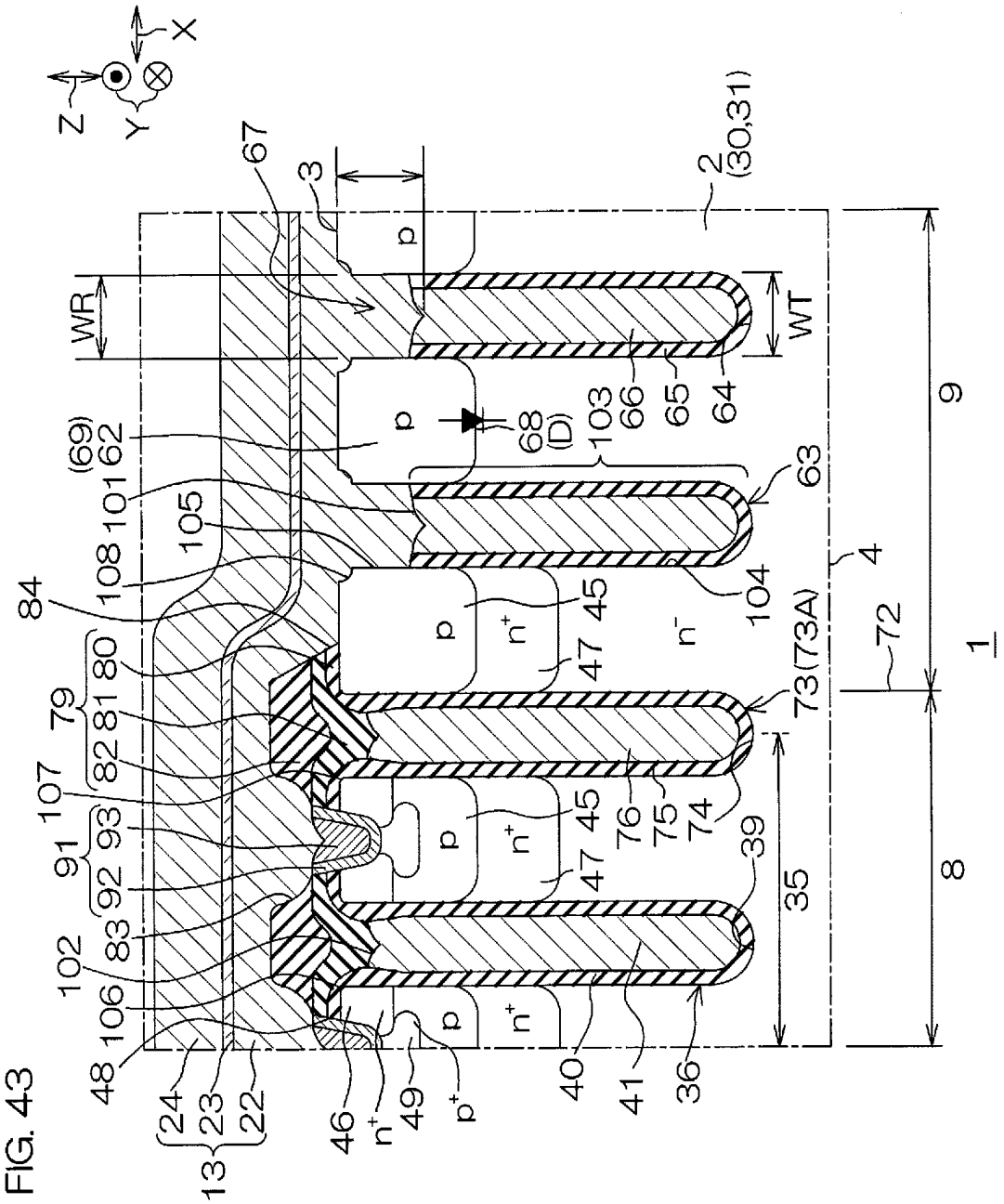

X
Y
Z
3
99
2
(30,31)
4
67
(69)
62
63
68
(D)
98
66
65
64
61
9
62A
84
θ
97
95
72
13
51
50
79
80
81
82
46
49
52(52A)
n⁻
n
p
32
83
48
45
41
40
39
34
35
36
33
8
1
91
93
92
47
53
56
55
54
52

FIG. 42

FIG. 43


X
Z
Y
67
3
2
(30,31)
WR
WT
p
n+
n-
p+
68
(D)
(69)
62
101
105
108
84
80
79
81
82
107
91
93
92
83
102
106
48
24
23
22
13
46
49
40
41
36
39
35
8
9
4
72
1
63
64
65
66
103
104
73(73A)
74
75
76
45
47

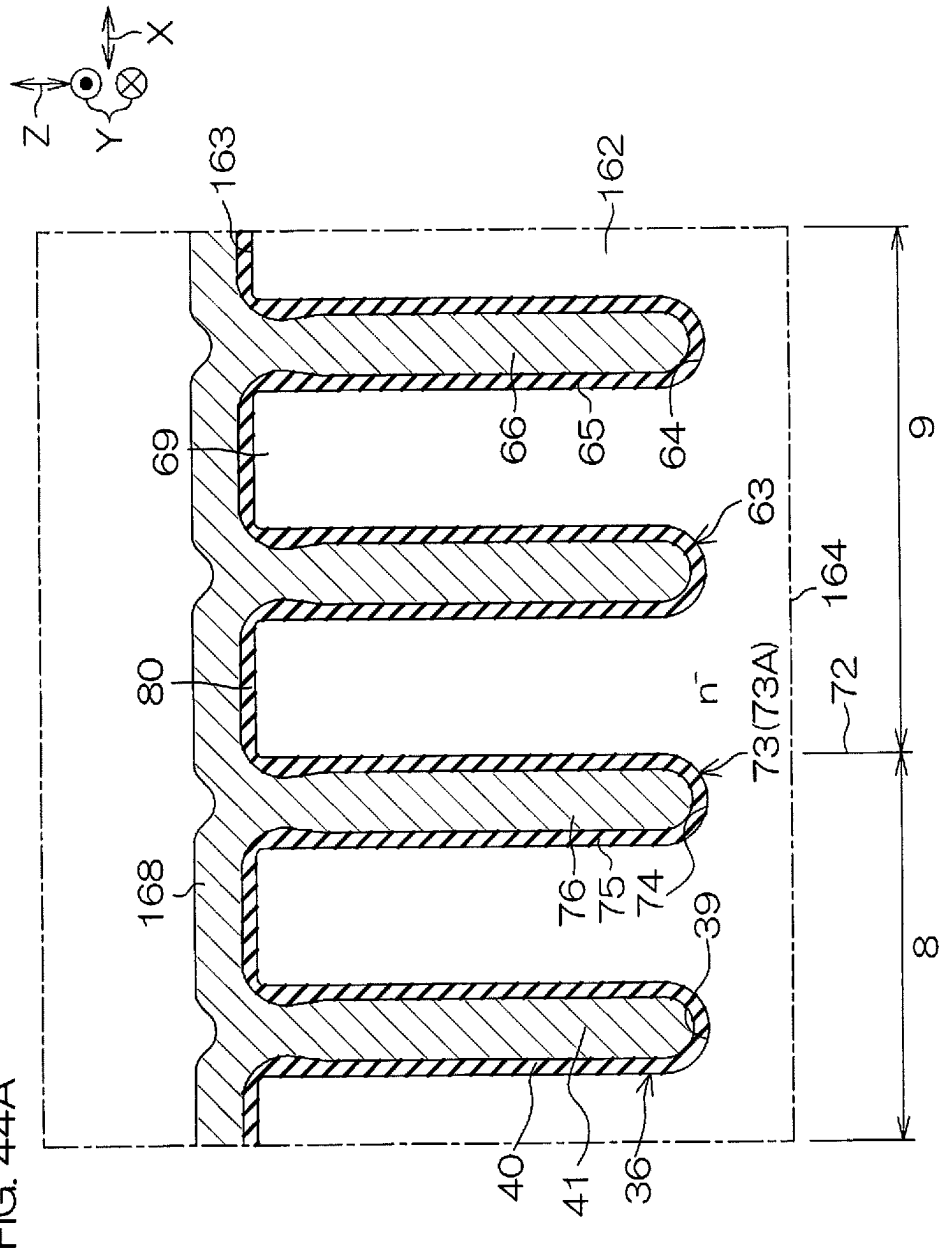

X
Z
Y
163
162
69
66
65
64
63
164
80
n⁻
72
73(73A)
168
76
75
74
39
9
8
40
41
36

FIG. 44A

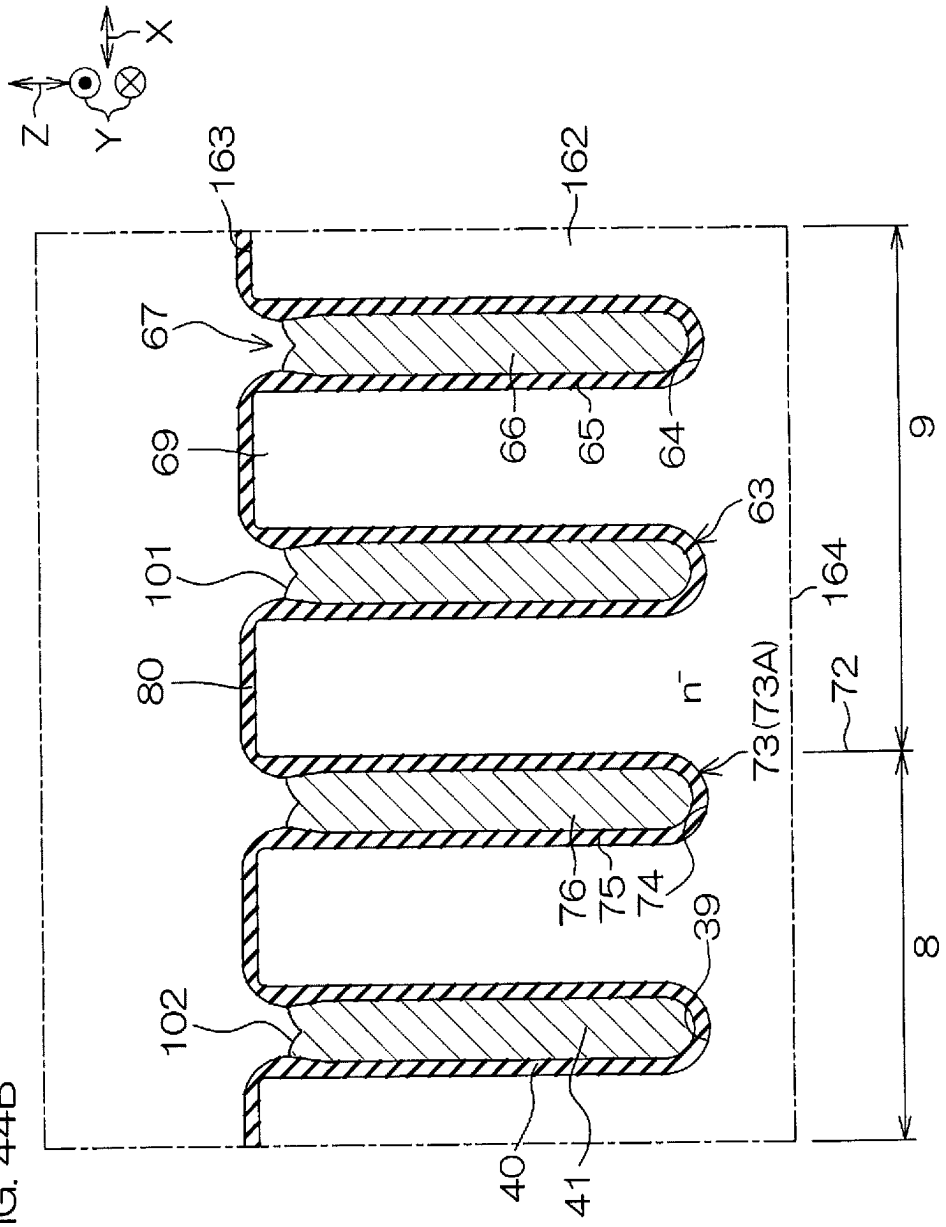

X
Z
Y
163
162
67
69
101
80
102
66
65
64
63
164
72
73(73A)
n⁻
76
75
74
39
40
41
9
8

FIG. 44B

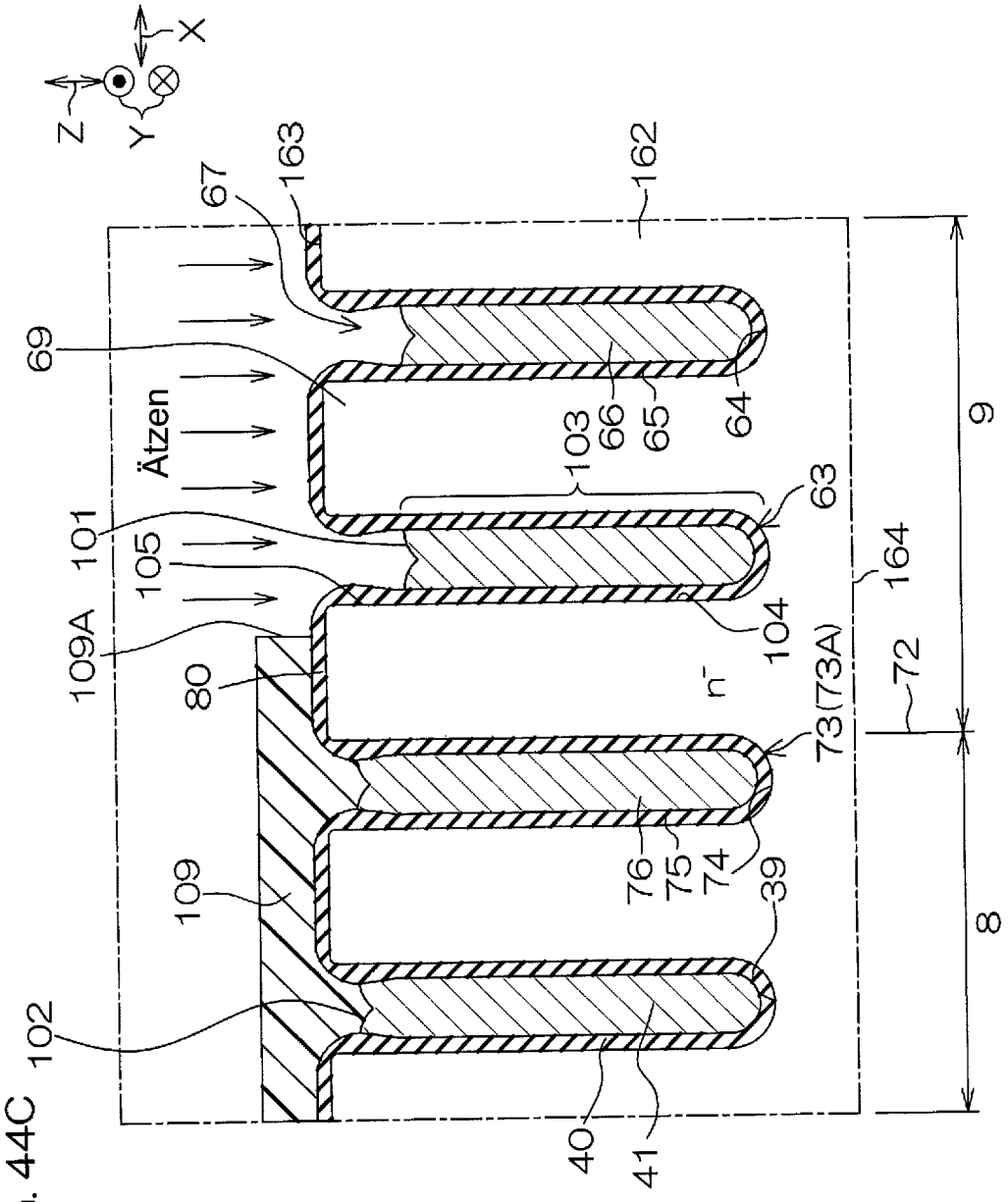

X
Z
Y
67
163
162
69
Ätzen
103
66
65
64
63
101
105
164
104
109A
80
n⁻
72
73(73A)
9
76
75
74
39
109
8
102
40
41

FIG. 44C

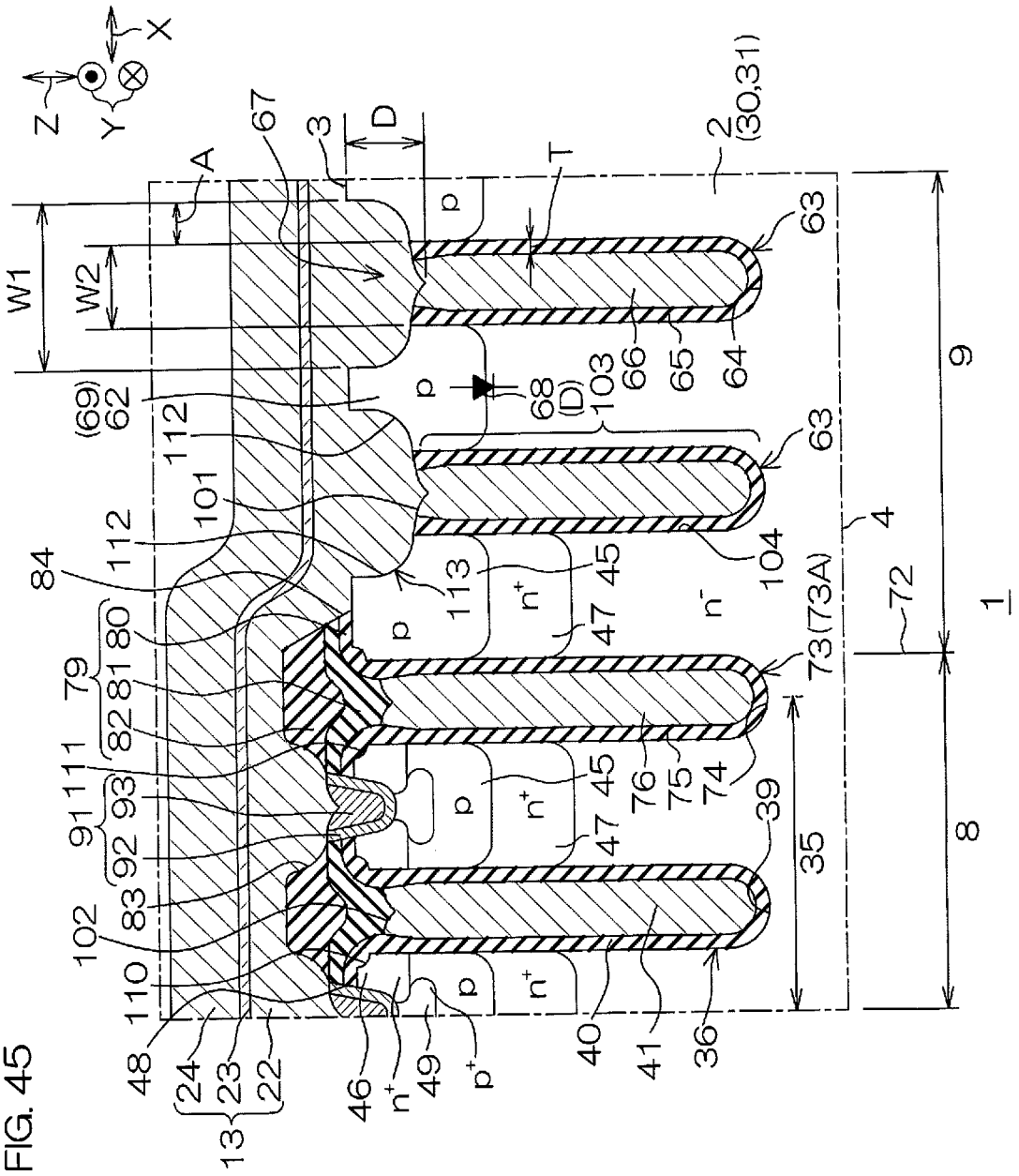
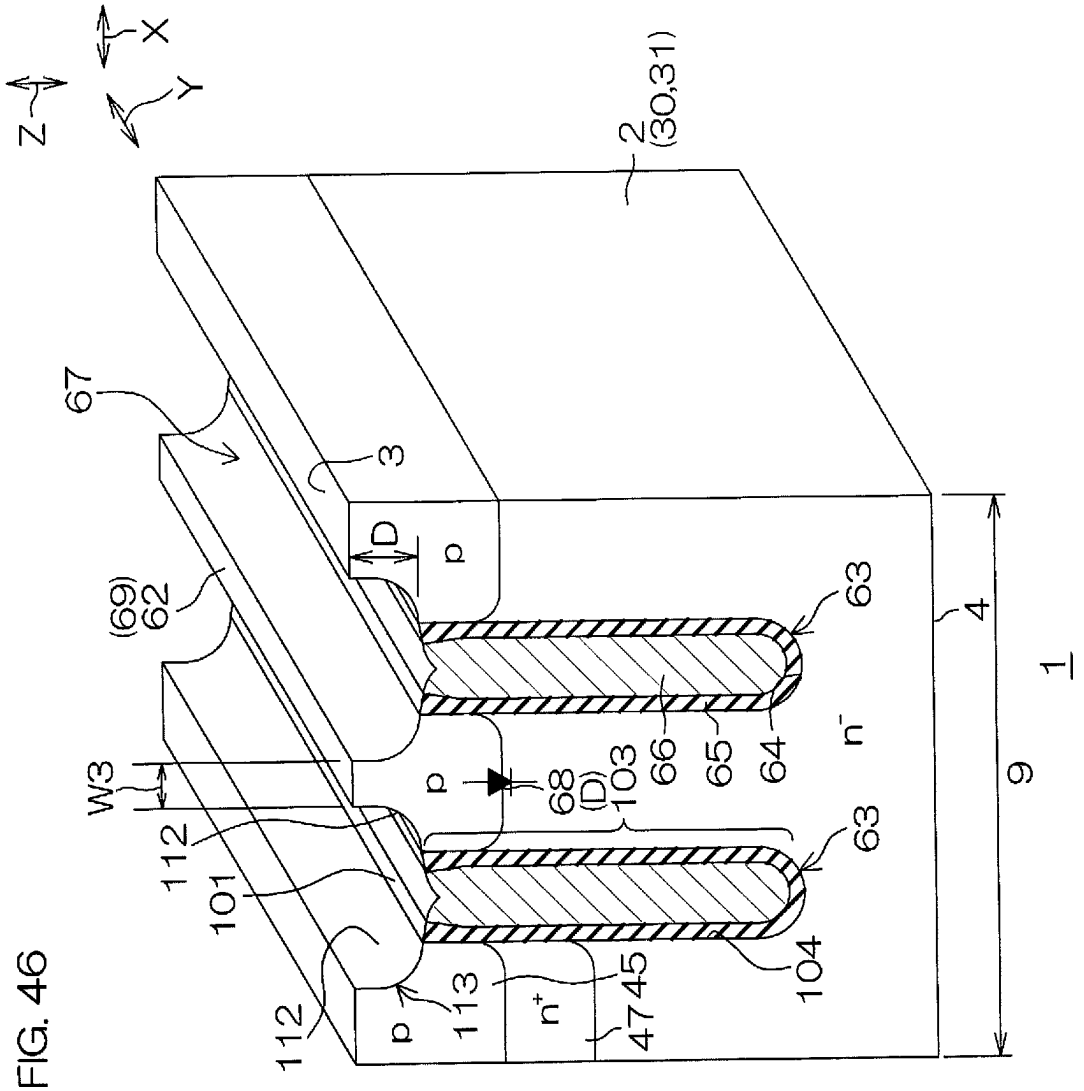

X
Z
Y
A
67
3
D
T
2
(30,31)
W1
W2
63
64
65
66
103
68
(D)
(69)
62
112
101
84
79
80
81
82
111
91
93
92
83
102
110
48
24
23
22
13
46
49
40
41
36
39
45
47
76
75
74
73(73A)
104
113
72
9
8
35
4
1
p
n+
n-
p+

FIG. 45

FIG. 46


Z
X
Y
2
(30,31)
67
3
D
p
(69)
62
63
4
1
W3
112
101
p
68
(D)
103
66
65
64
n-
63
9
104
112
p
113
n+
47
45

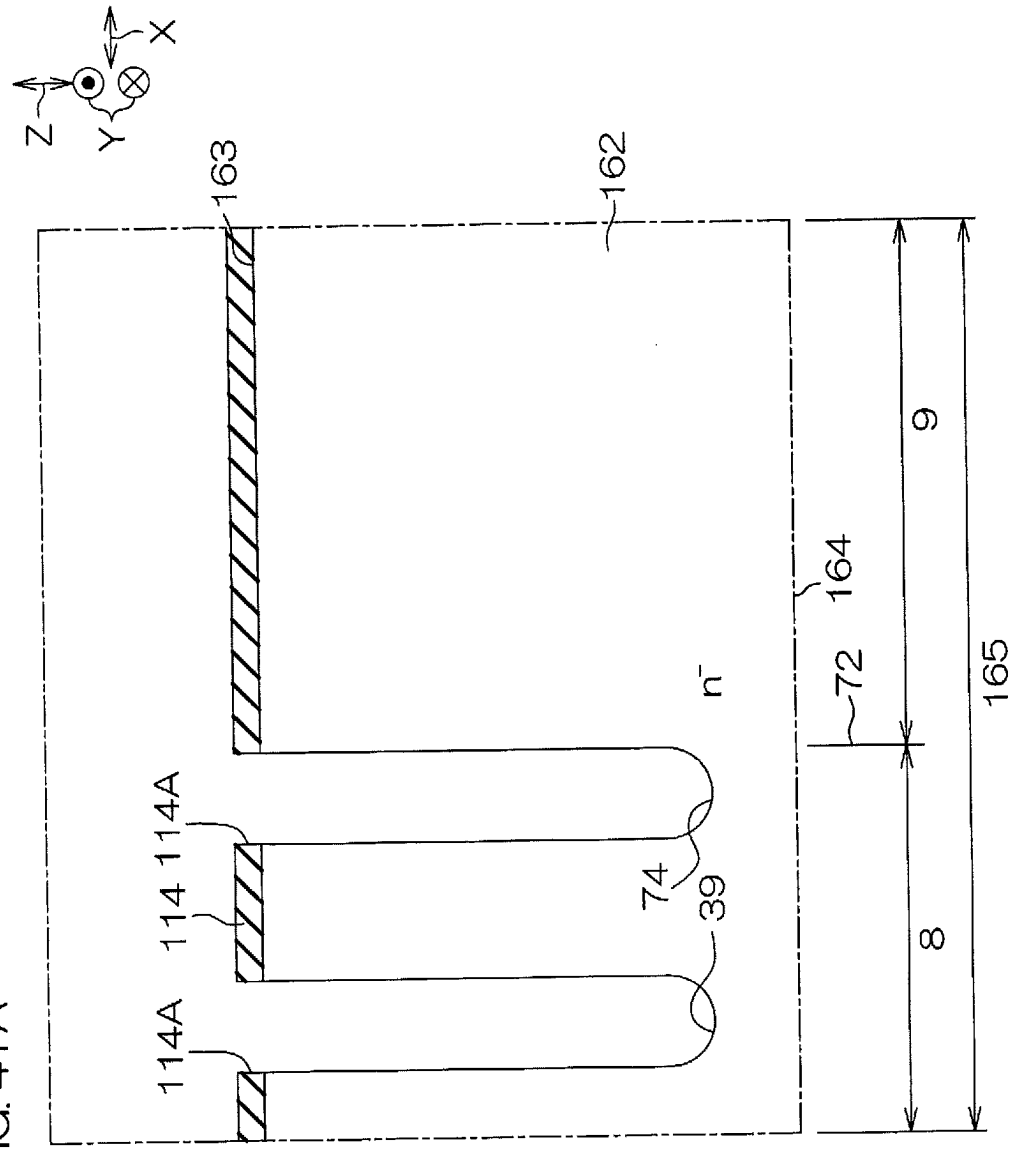



FIG. 47A

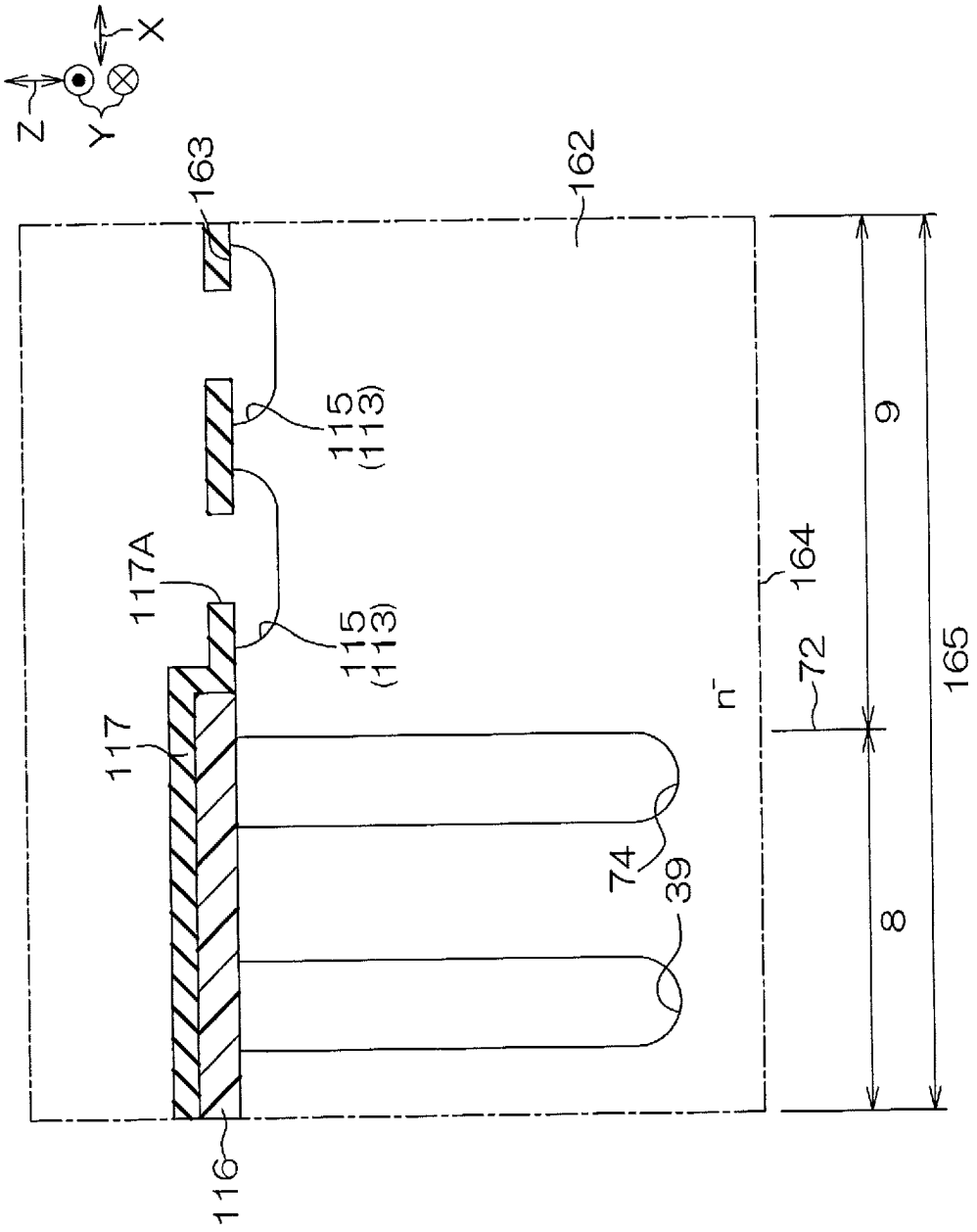



FIG. 47B

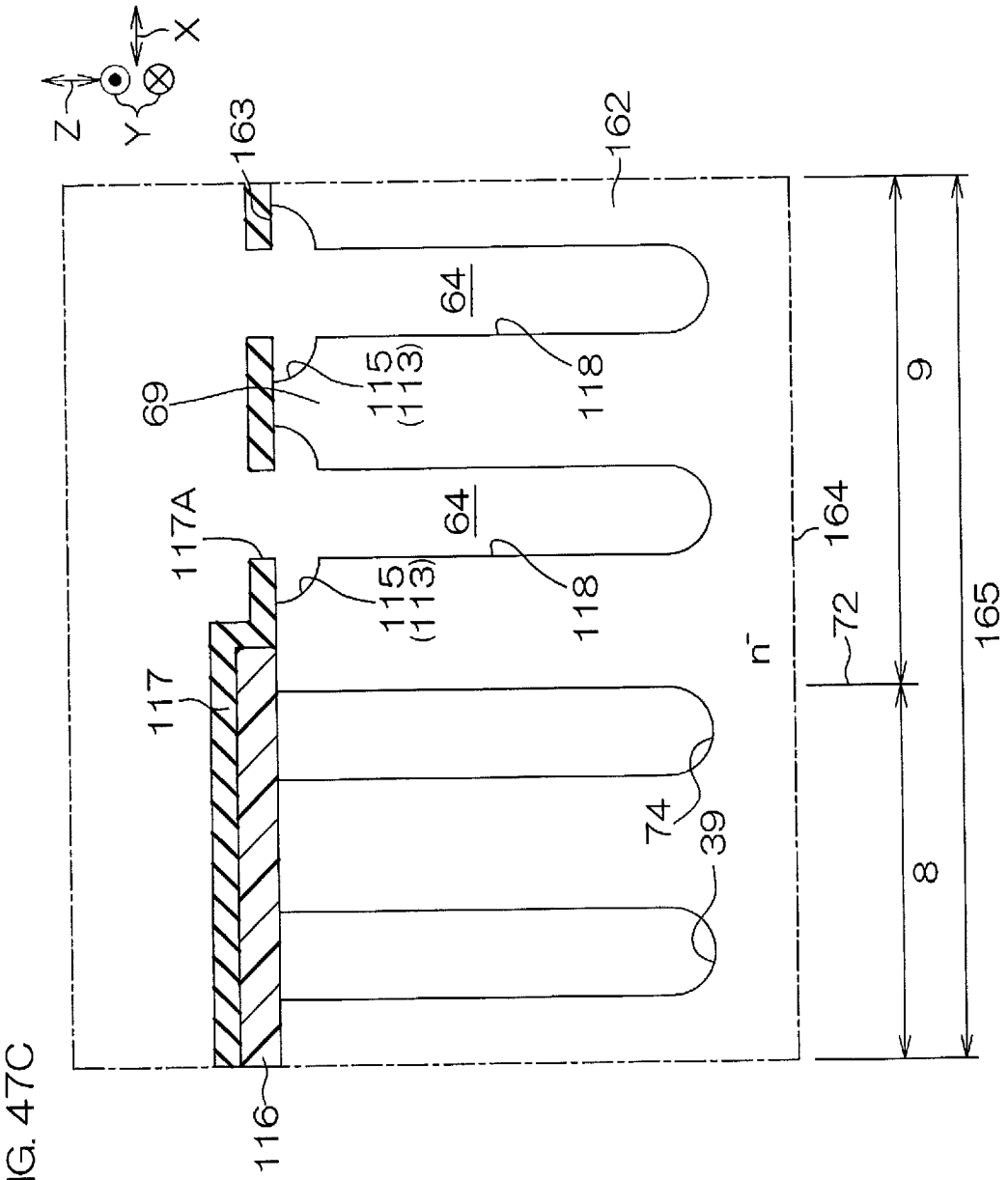

X
Z
Y
163
162
64
69
115
(113)
118
64
117A
115
(113)
118
164
9
165
72
117
n⁻
74
39
8
116

FIG. 47C

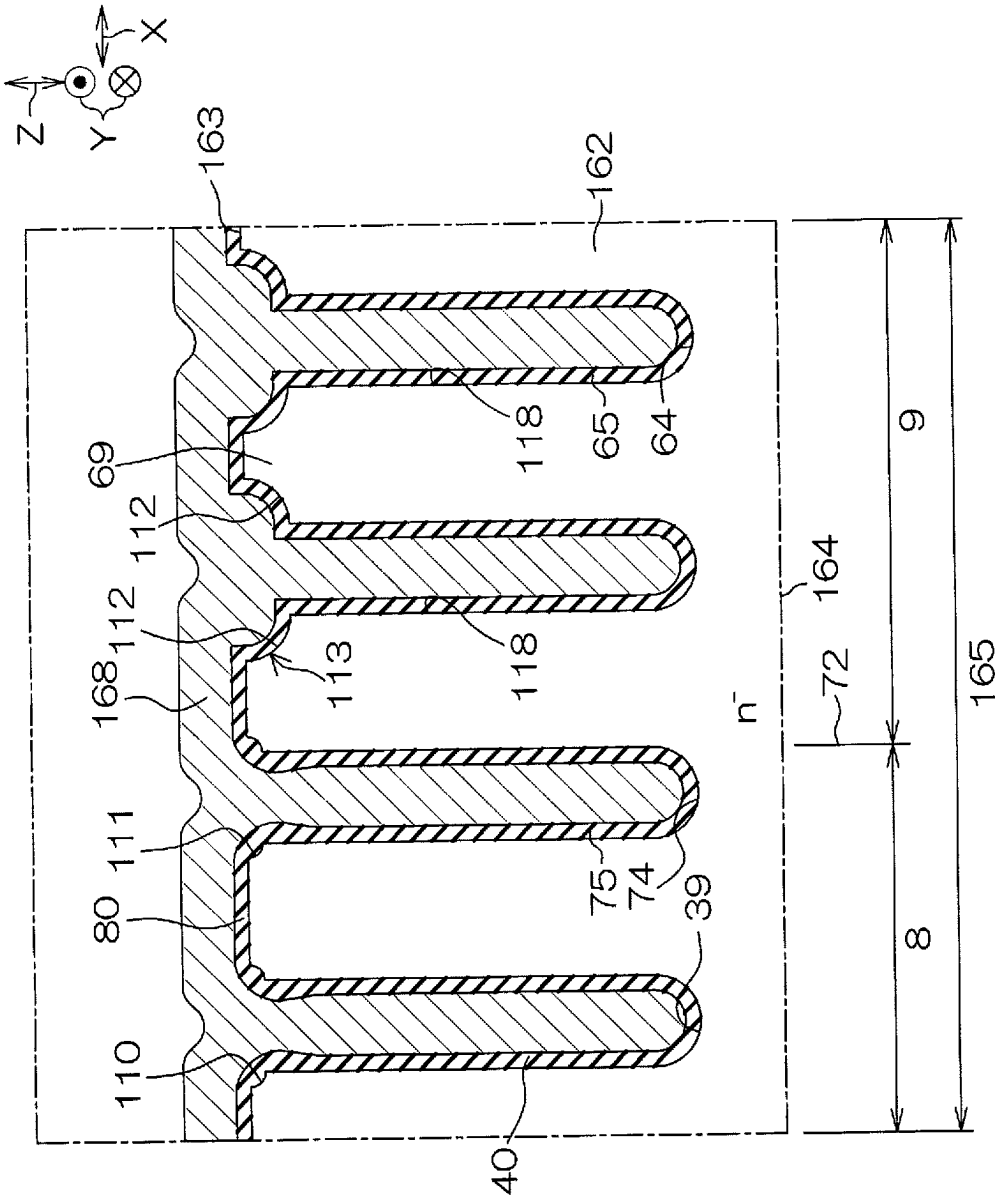

X
Z
Y
163
162
118
65
64
69
112
112
113
118
168
111
80
110
75
74
39
40
n⁻
164
72
9
8
165

FIG. 47D

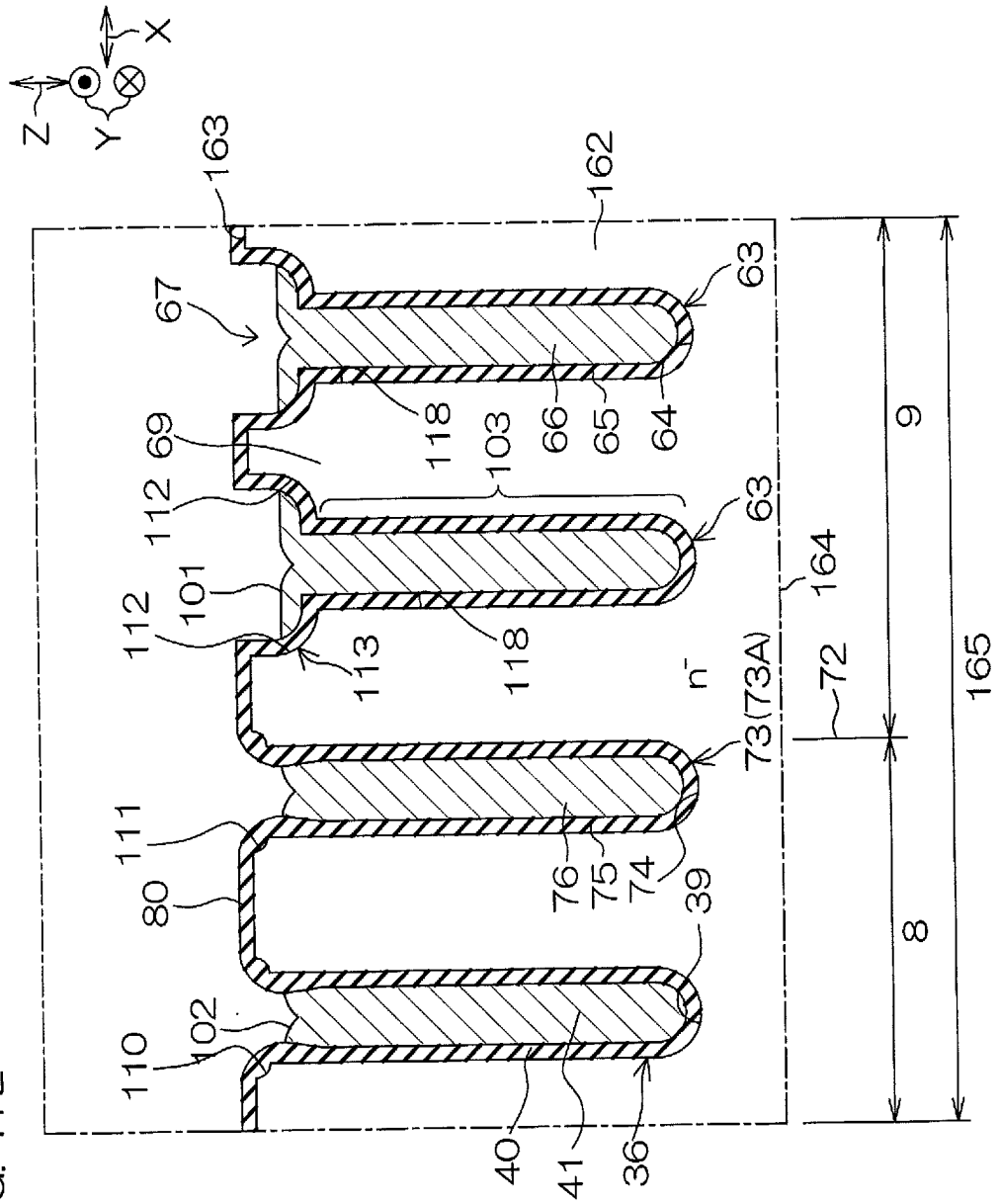
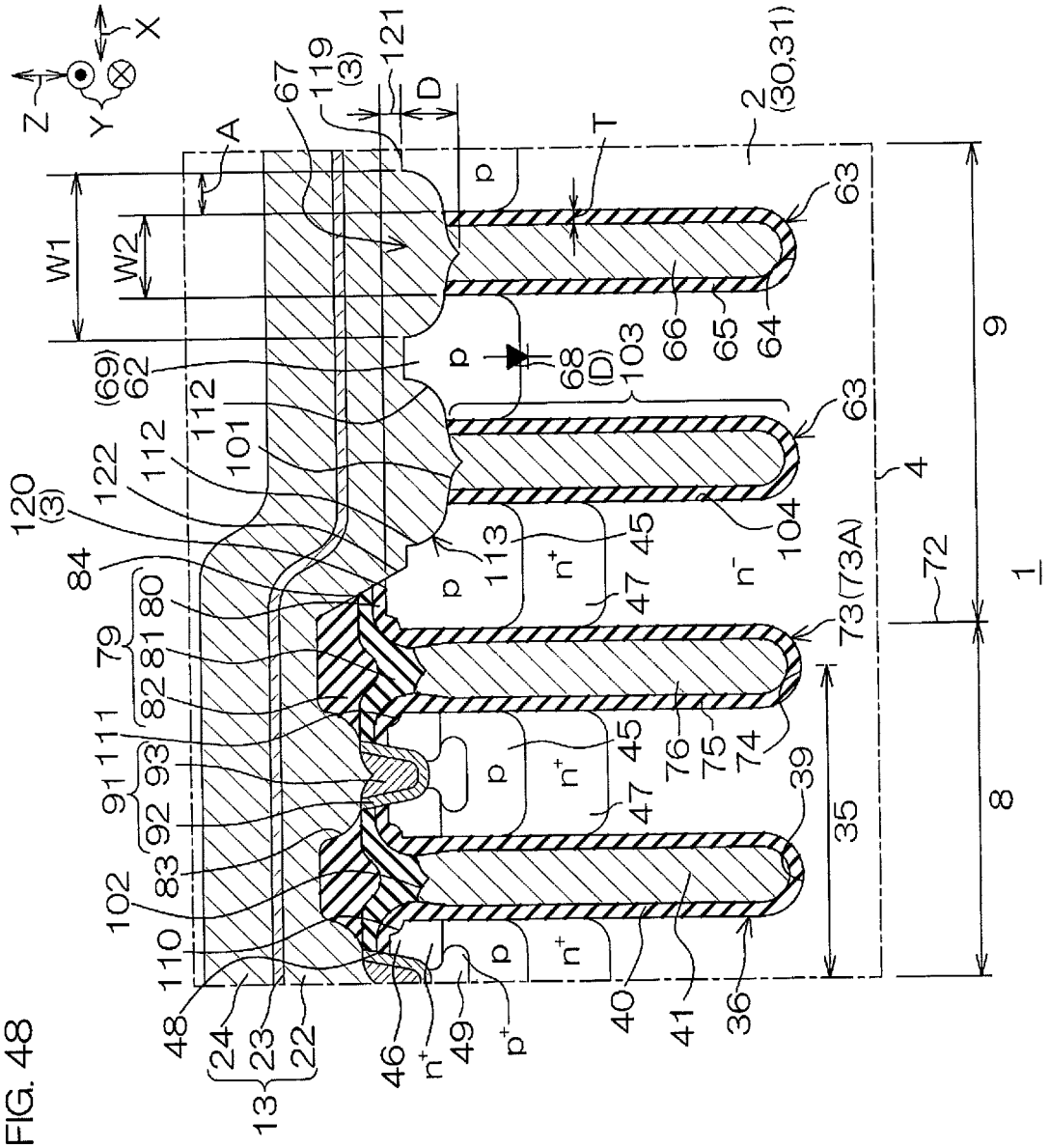

X
Z
Y
163
162
67
63
69
118
103
66
65
64
112
63
101
164
112
113
118
n-
72
73(73A)
165
9
111
80
76
75
74
39
8
102
110
40
41
36

FIG. 47E

FIG. 48


X
Z
Y
A
67
119
(3)
121
D
T
2
(30,31)
W1
W2
63
66
65
64
(69)
62
68
(D)
103
112
101
120
(3)
122
84
113
45
47
104
4
72
9
1
73(73A)
79
80
81
82
111
91
93
92
83
102
110
76
75
74
39
35
8
48
24
23
22
13
46
49
40
41
36
p
n+
n-
p+

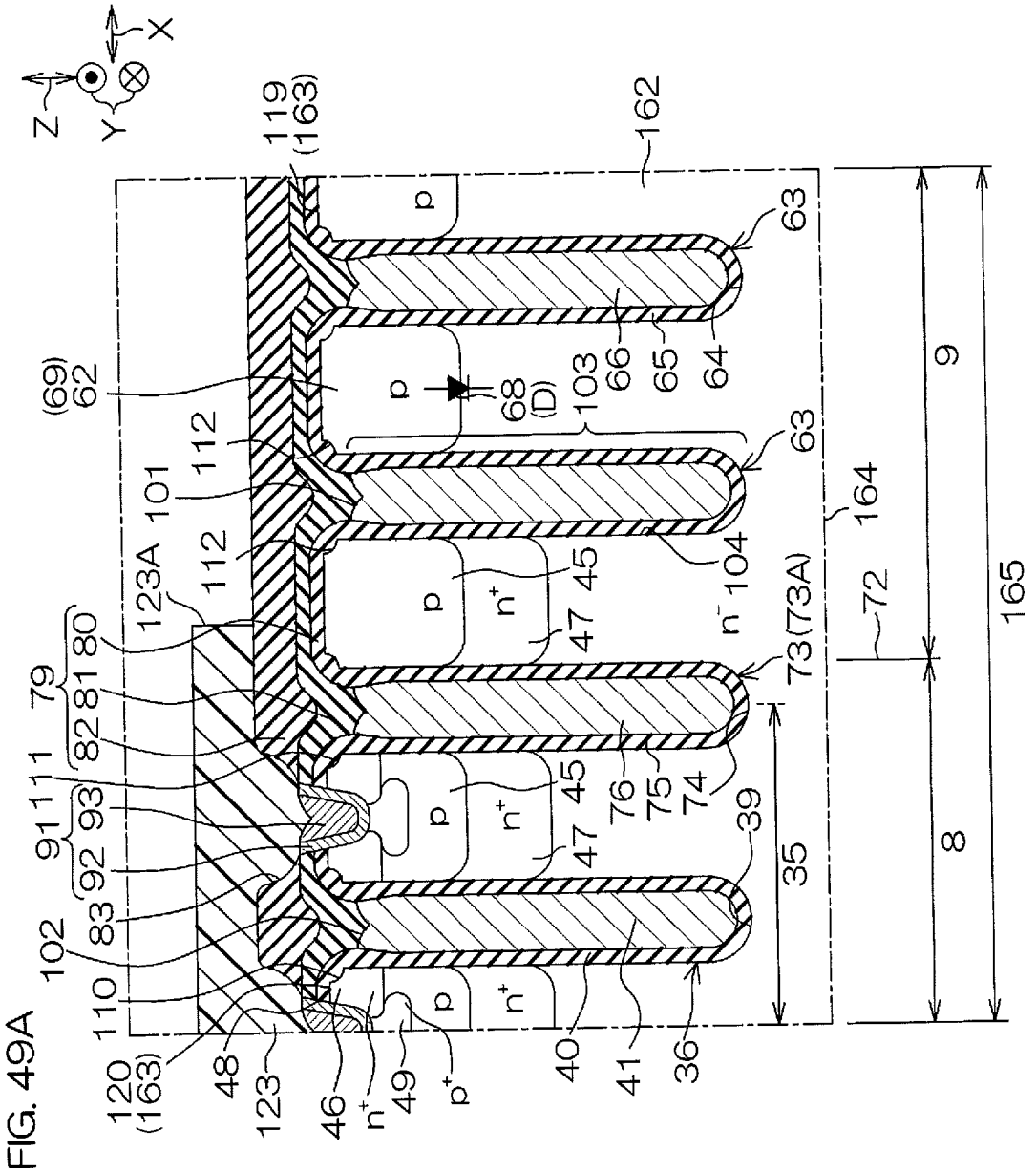

Z
Y
X
119
(163)
162
63
(69)
62
68
(D)
103
66
65
64
112
101
123A
104
45
47
80
81
79
82
111
91
93
92
83
102
110
120
(163)
48
123
46
49
40
41
36
39
76
75
74
73(73A)
72
164
165
9
8
35
p
n+
p+
n-

FIG. 49A

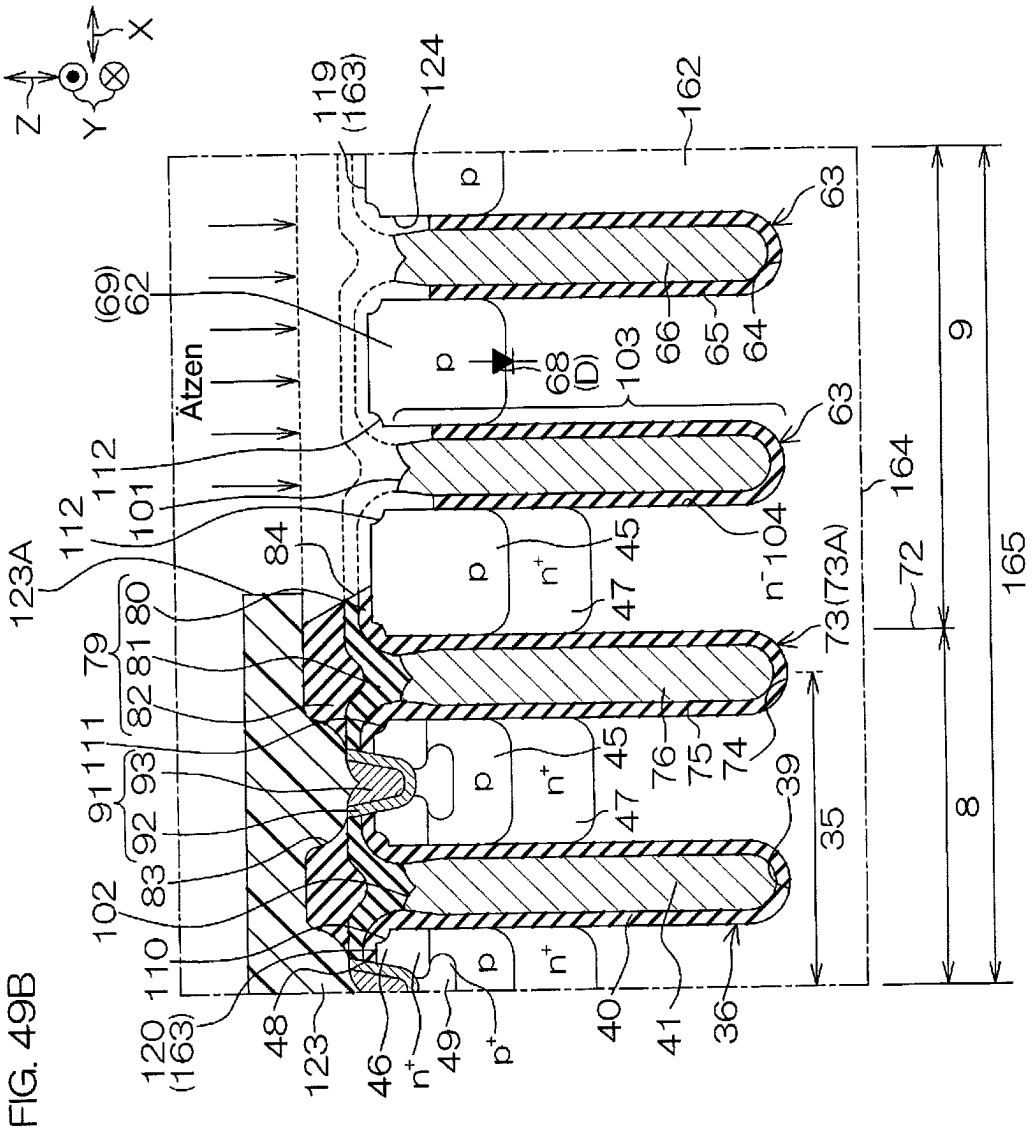

Z
Y
X
119
(163)
124
162
63
(69)
62
Ätzen
p
68
(D)
103
66
65
64
112
101
84
123A
45
47
$n^+$
$n^-$104
73(73A)
164
72
9
165
80
79
81
82
111
91
93
92
83
102
110
76
75
74
39
35
8
120
(163)
48
123
46
49
$p^+$
40
41
36

FIG. 49B

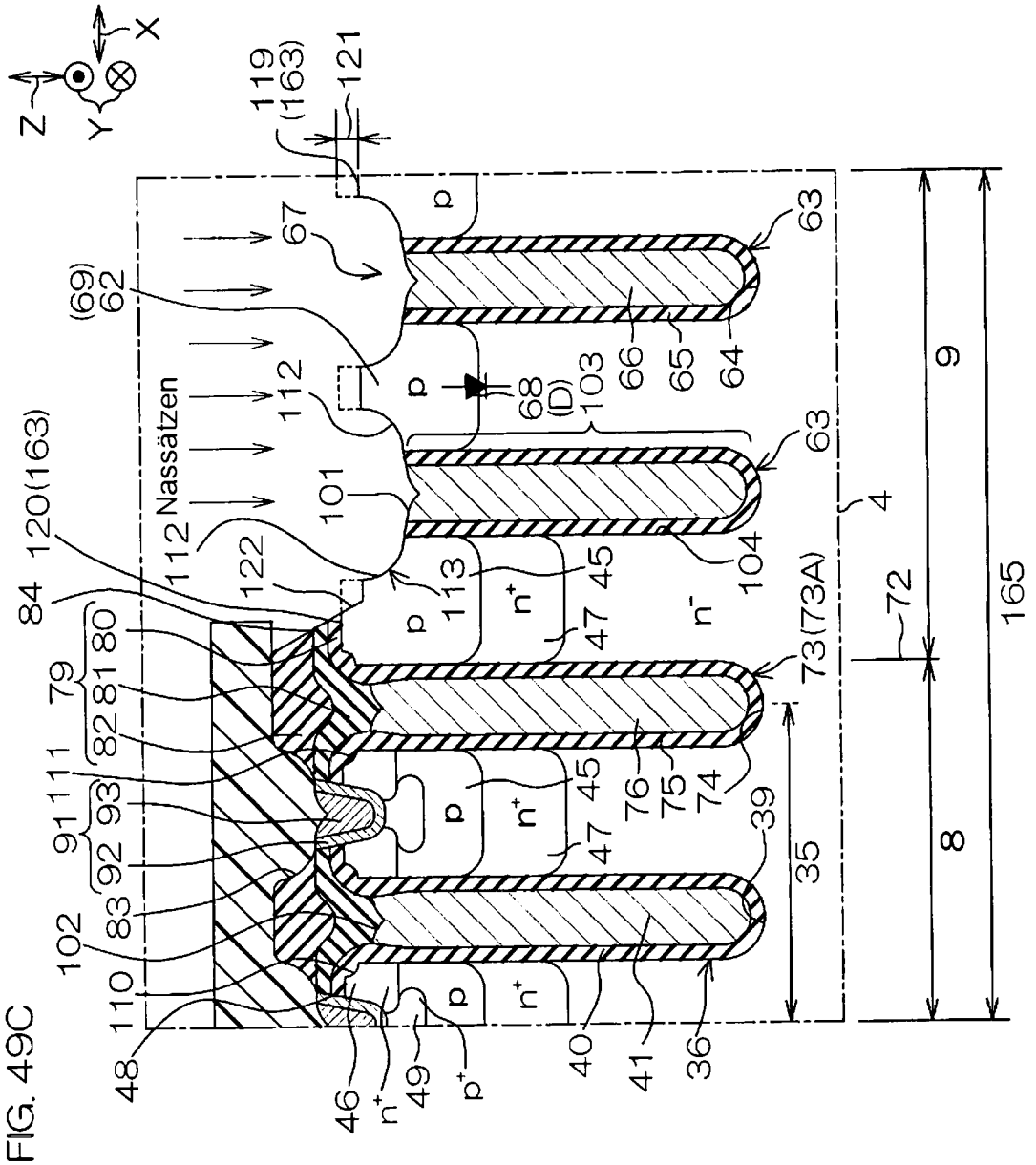

X
Z
Y
119
(163)
121
67
(69)
62
63
66
65
64
p
68
(D)
103
112
Nassätzen
101
120(163)
84
122
113
45
47
104
4
72
165
9
8
35
73(73A)
80
81
79
82
111
91
93
92
83
102
110
48
46
49
40
41
36
39
74
75
76
n+
p+
n-

FIG. 49C

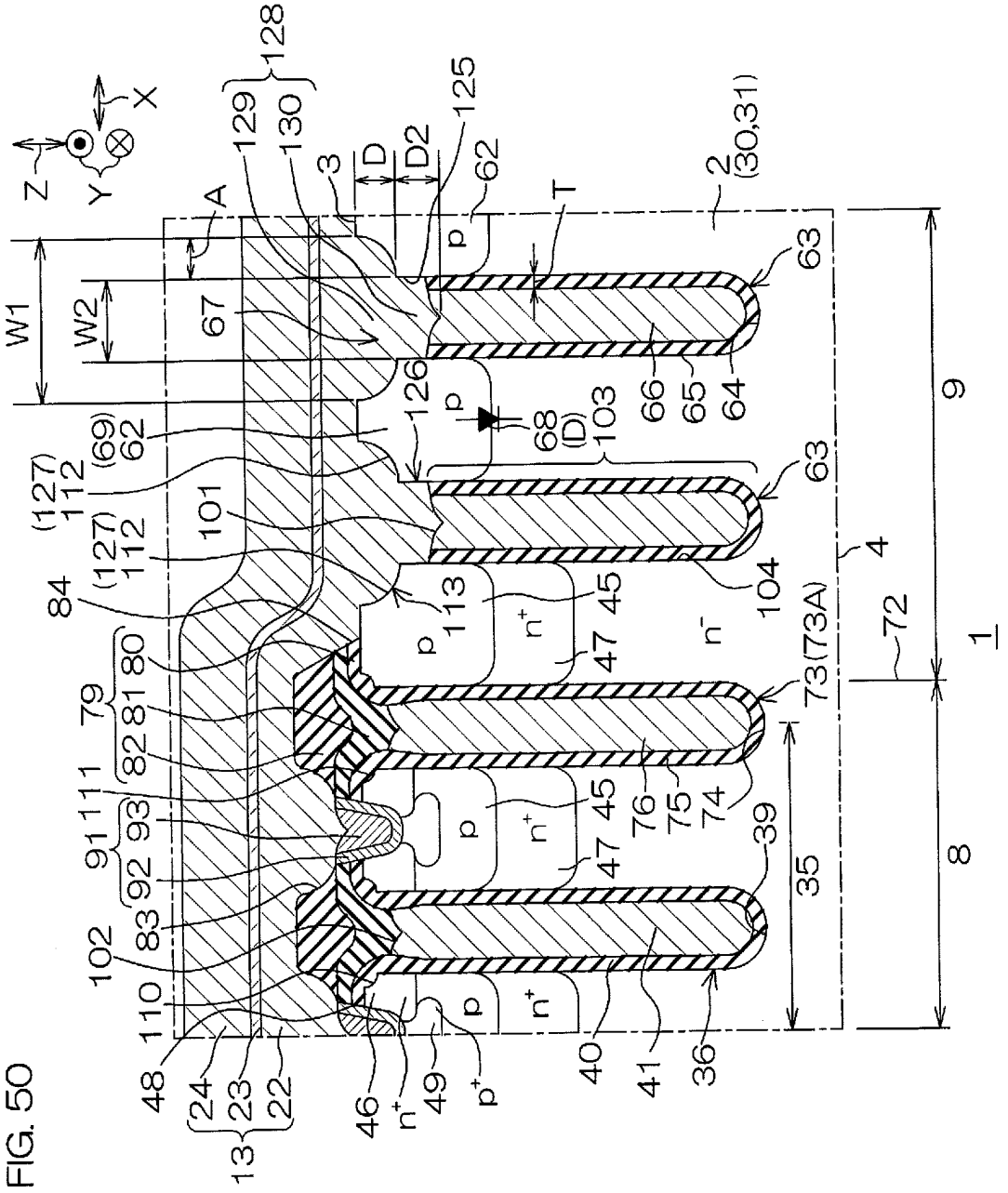
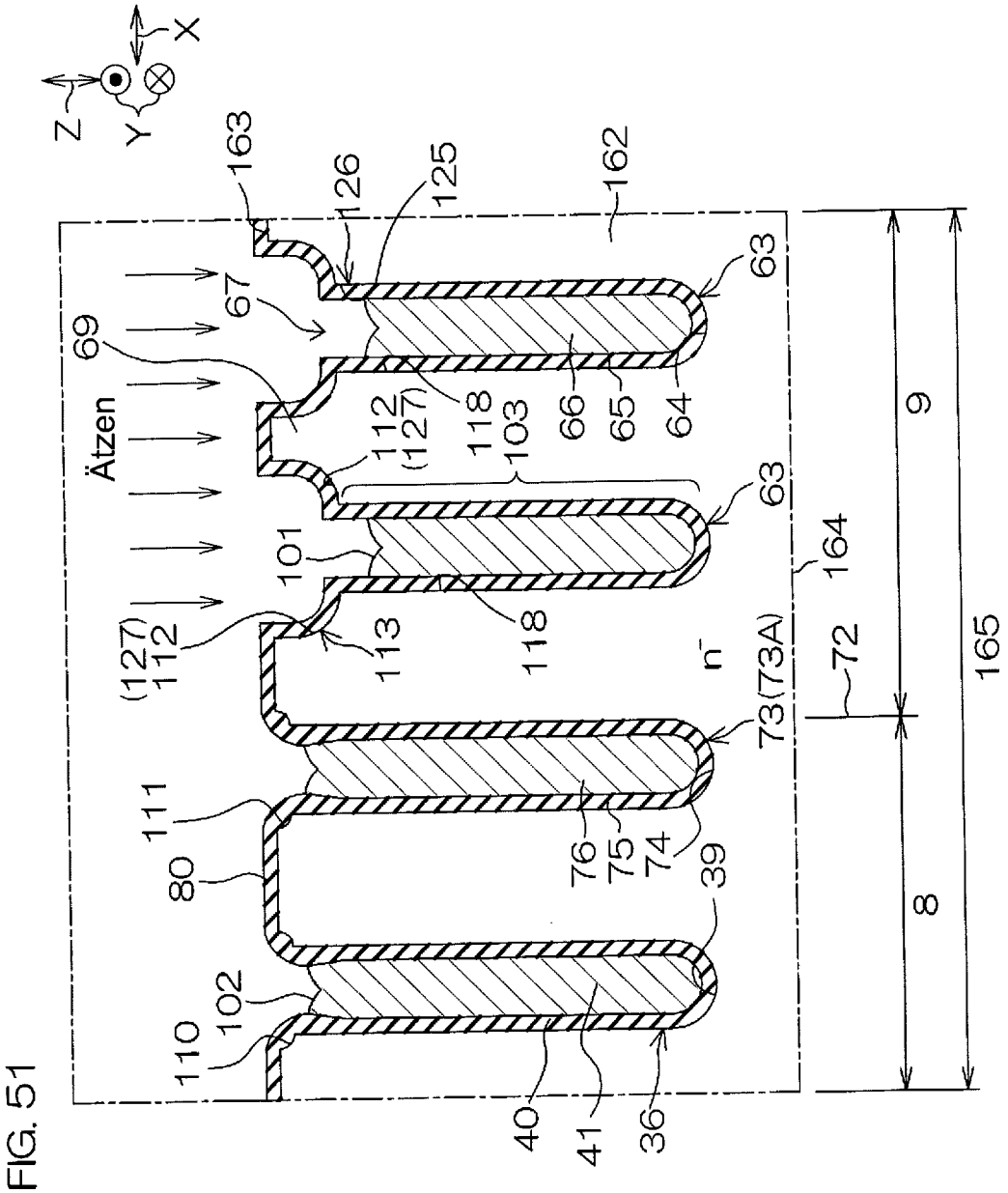

Z
Y
X
A
W1
W2
67
128
129
130
3
D
D2
125
62
T
2
(30,31)
63
126
66
65
64
9
68
(D)
103
(69)
62
(127)
112
101
104
84
113
45
47
80
79
81
82
73(73A)
72
4
1
111
91
93
92
83
102
110
76
75
74
39
35
8
48
24
23
22
13
46
49
40
41
36

FIG. 50

FIG. 51


X
Z
Y
163
126
125
162
63
67
69
Ätzen
112
(127)
118
103
66
65
64
63
101
164
(127)
112
113
118
n⁻
72
73(73A)
9
165
111
80
76
75
74
39
8
102
110
40
41
36

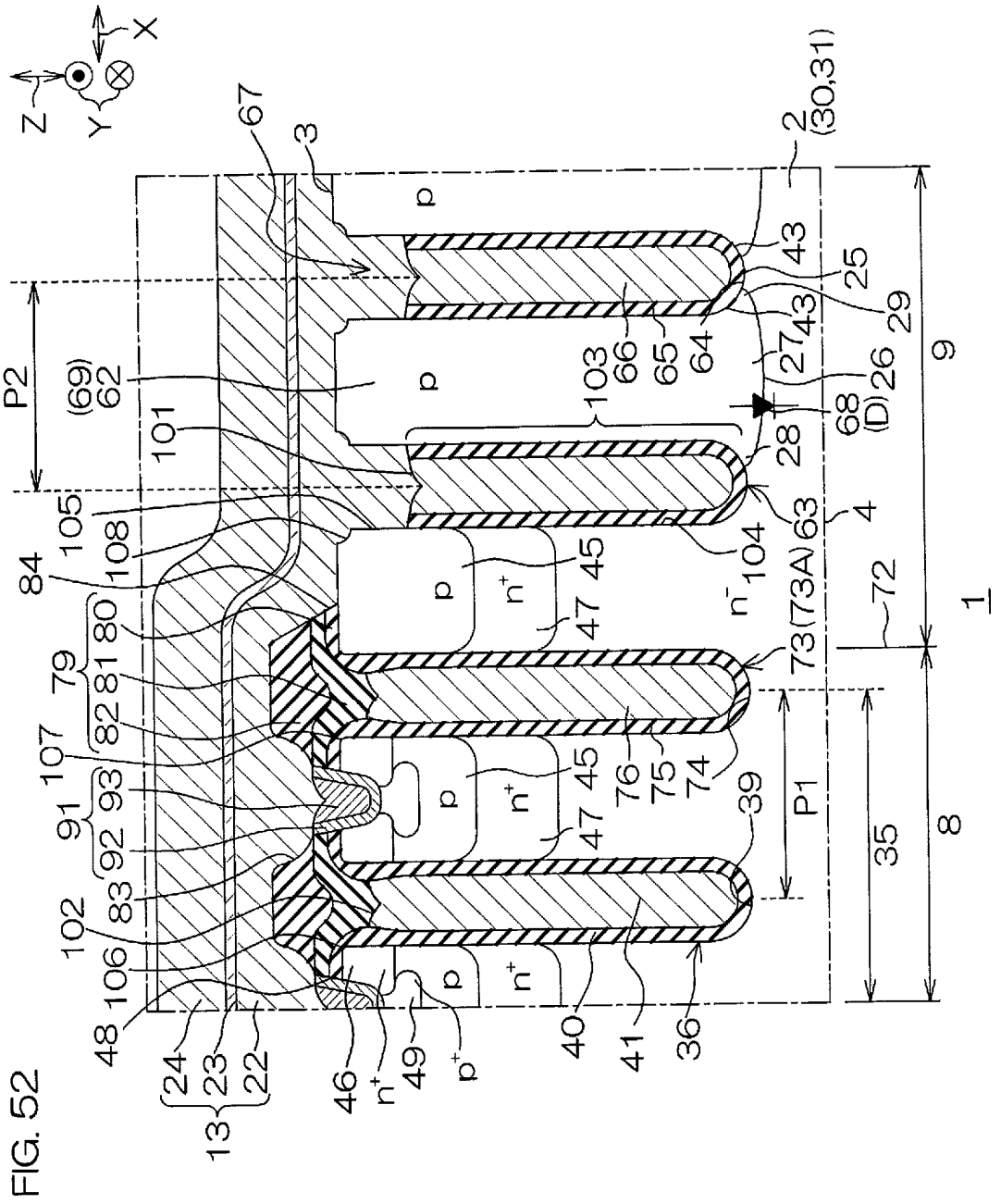

Z
Y
X
67
3
2
(30,31)
p
43
25
29
27
43
26
9
P2
(69)
62
101
103
66
65
64
(D)
68
28
105
108
84
63
4
104
72
1
80
81
79
82
107
93
91
92
83
102
106
48
24
23
22
13
46
49
40
41
36
45
47
76
75
74
39
P1
35
8
73(73A)

FIG. 52

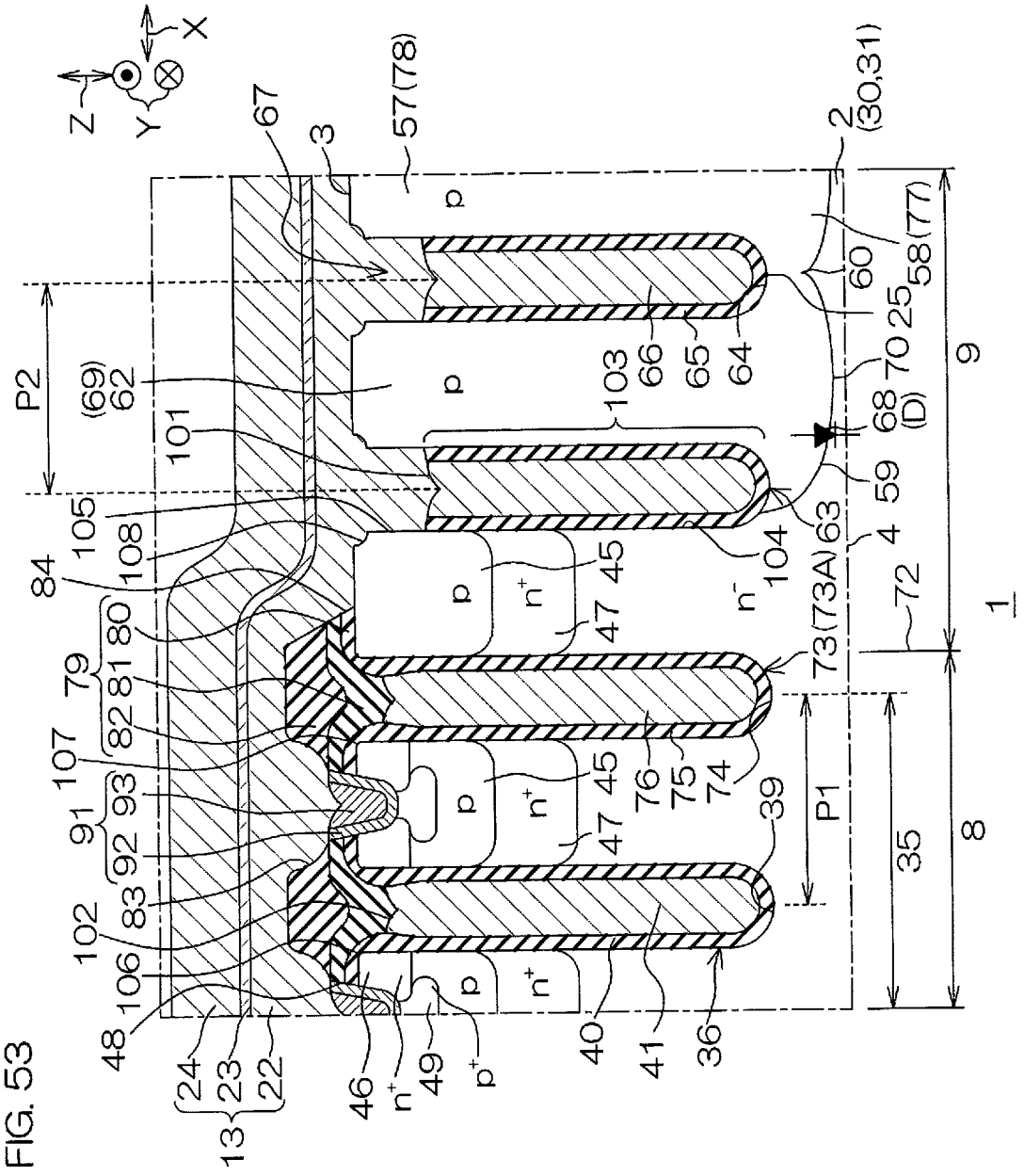

X
Z
Y
67
3
57(78)
2
(30,31)
60
58(77)
25
70
68
(D)
59
63
4
72
73(73A)
9
8
35
P1
P2
(69)
62
101
105
108
84
80
81
79
82
107
91
93
92
83
102
106
48
24
23
22
13
46
49
40
41
36
39
74
75
76
64
65
66
103
104
45
47
p
n+
n-
p+

FIG. 53

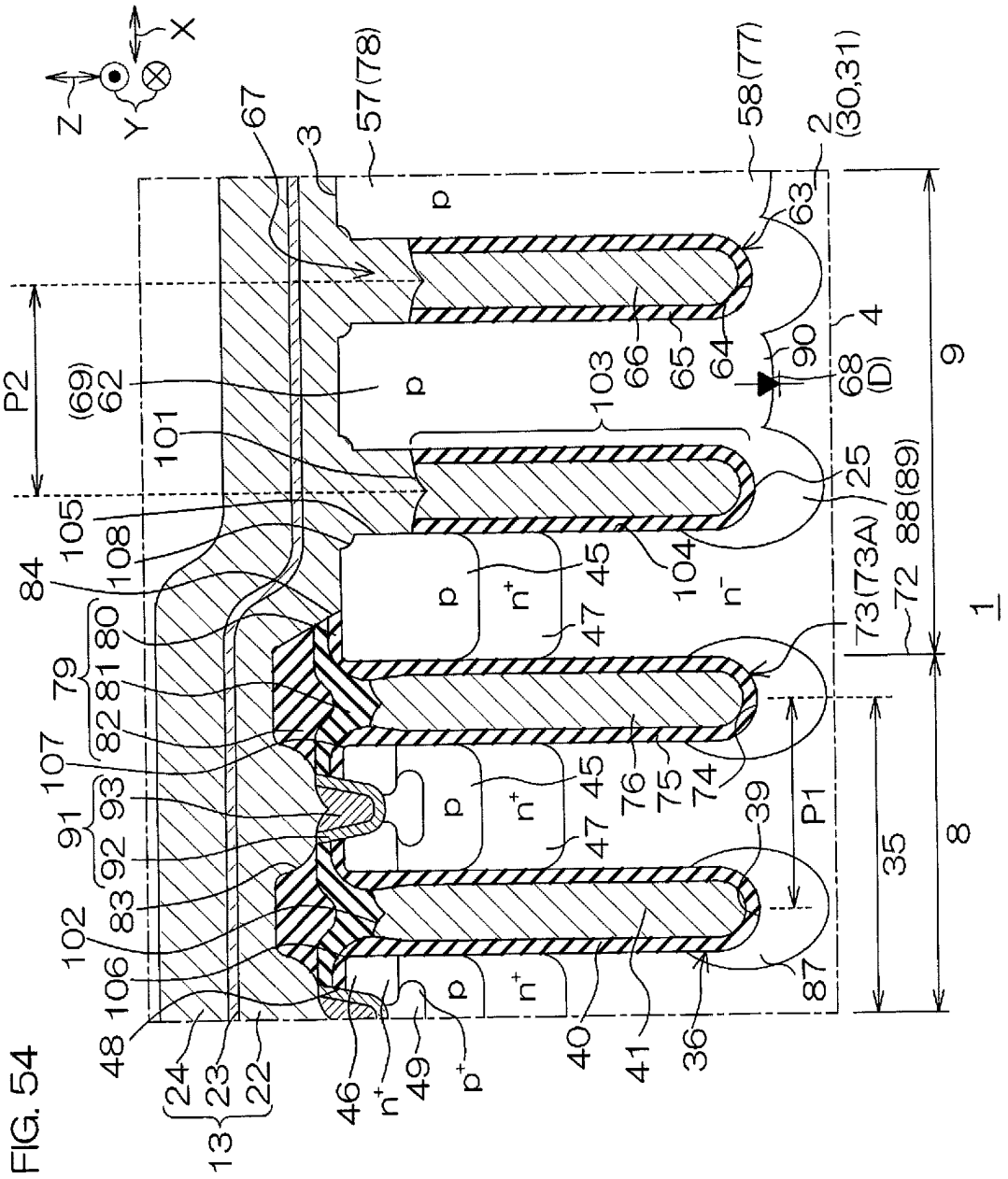

X
Z
Y
67
3
57(78)
58(77)
2
(30,31)
63
4
90
68
(D)
9
P2
(69)
62
101
103
66
65
64
25
105
108
84
104
45
47
73(73A)
72
88(89)
1
80
81
79
82
107
91
93
92
83
102
106
48
24
23
22
13
46
49
39
P1
76
75
74
35
8
87
40
41
36
p
n+
n-
p+

FIG. 54

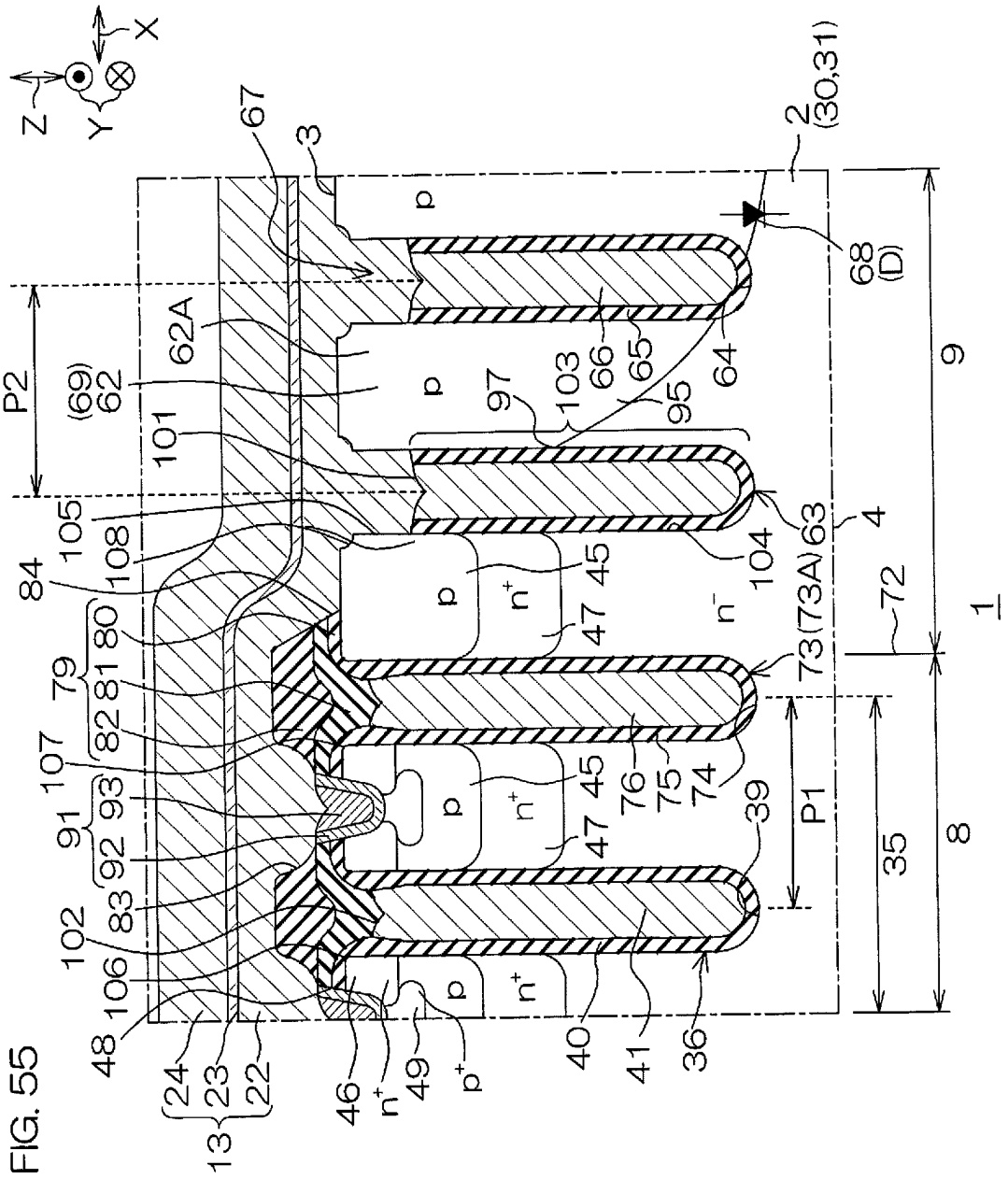

Z
Y
X
67
3
2
(30,31)
68
(D)
9
P2
(69)
62
62A
101
105
108
84
80
79
81
82
107
91
93
92
83
102
106
48
24
23
22
13
46
n+
49
p+
40
41
36
p
n+
n−
45
47
97
103
66
65
95
64
63
4
104
73(73A)
72
1
76
75
74
39
P1
35
8

FIG. 55

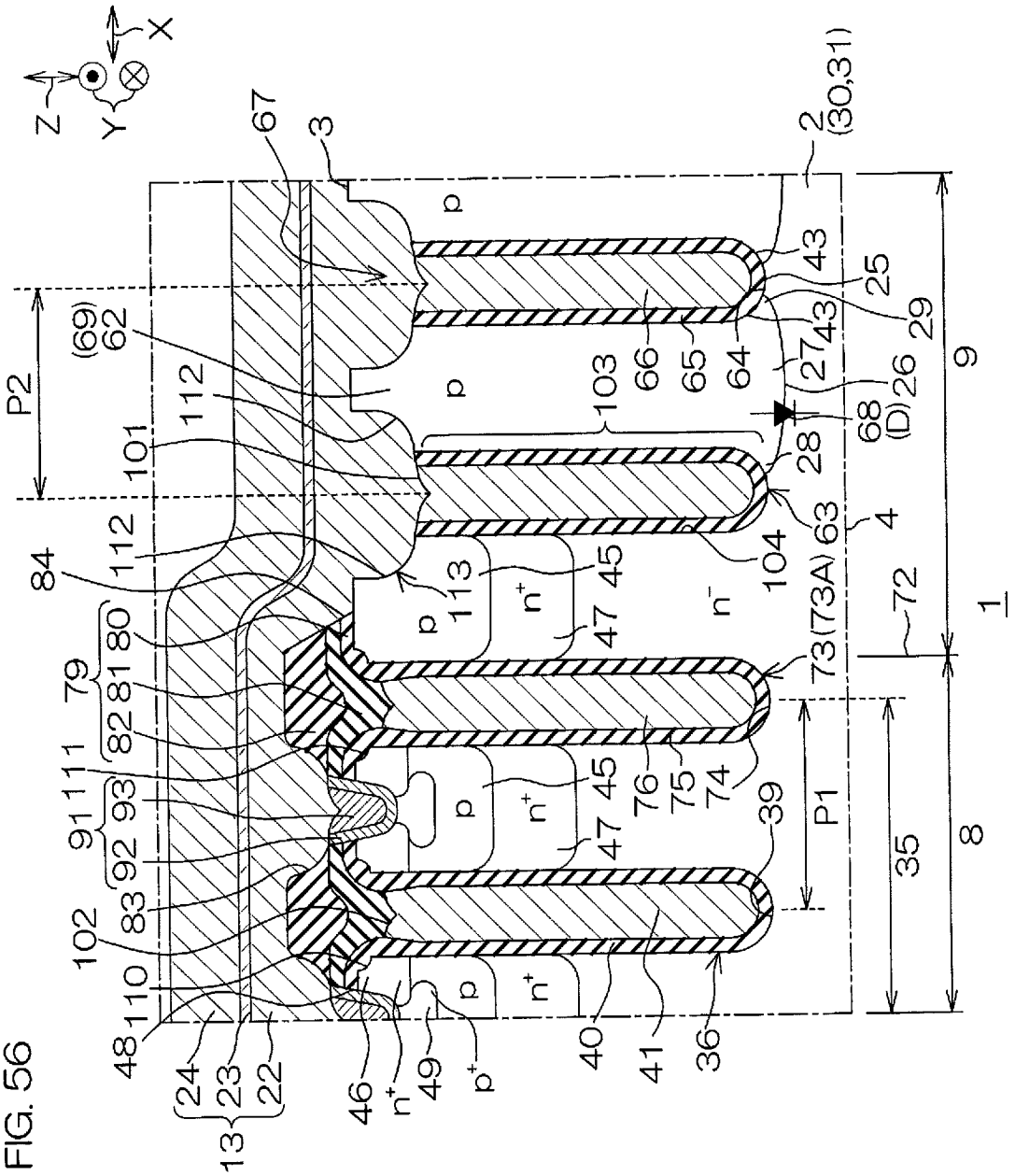

X
Z
Y
67
3
2
(30,31)
P2
(69)
62
112
101
84
79
81
80
82
111
91
93
92
83
102
110
48
24
23
22
13
46
49
40
41
36
43
25
29
27
26
(D)
68
28
63
4
72
73(73A)
9
1
8
35
P1
39
74
75
76
103
66
65
64
104
113
45
47
p
n+
n-
p+

FIG. 56

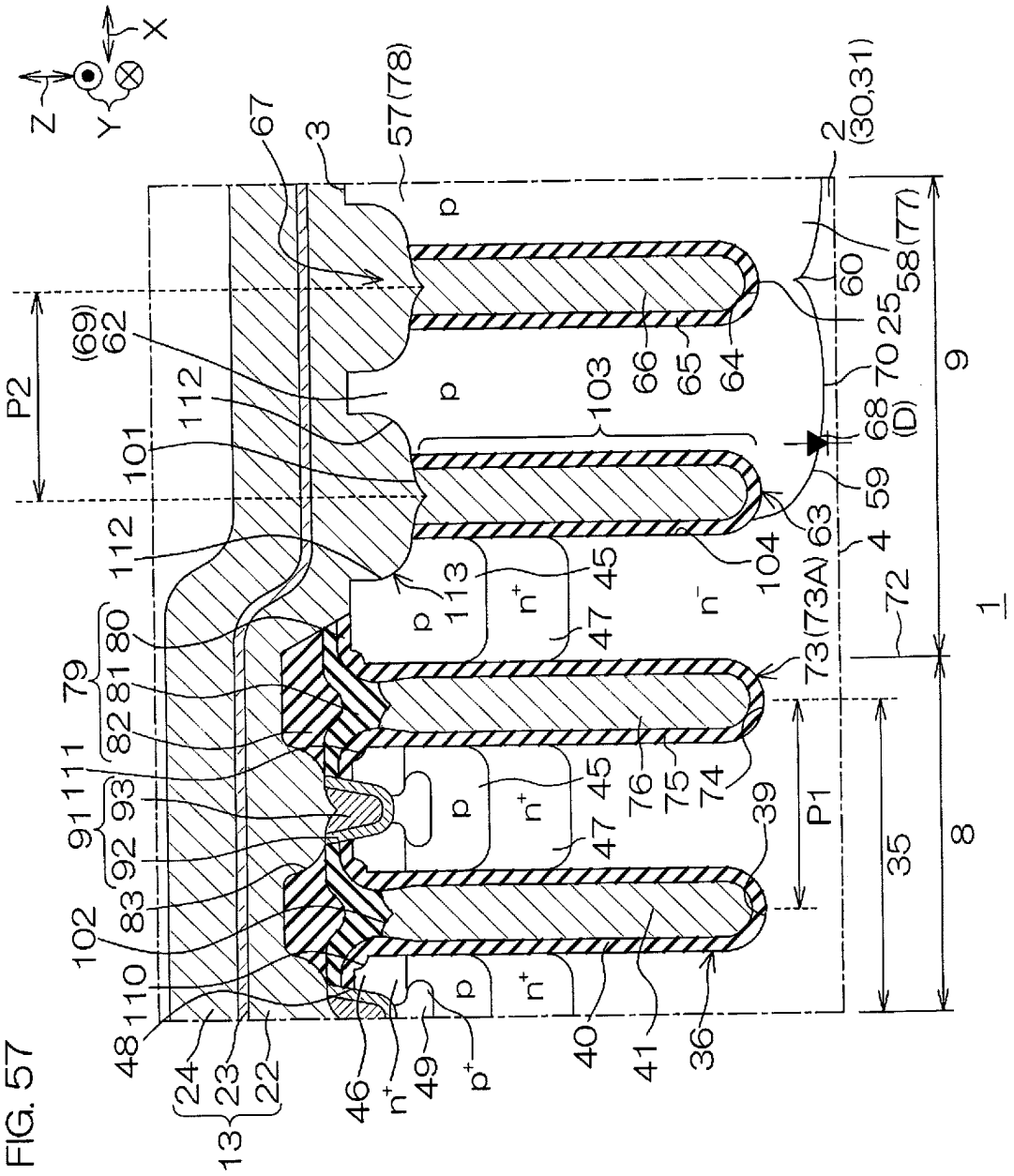

X
Z
Y
67
3
57(78)
2
(30,31)
p
60
58(77)
25
70
68
(D)
9
(69)
62
112
101
P2
103
66
65
64
59
63
4
104
72
73(73A)
1
113
45
47
80
81
79
82
111
91
93
92
83
102
110
48
24
23
22
13
46
49
40
41
36
76
75
74
39
P1
35
8
n+
p+
n-

FIG. 57

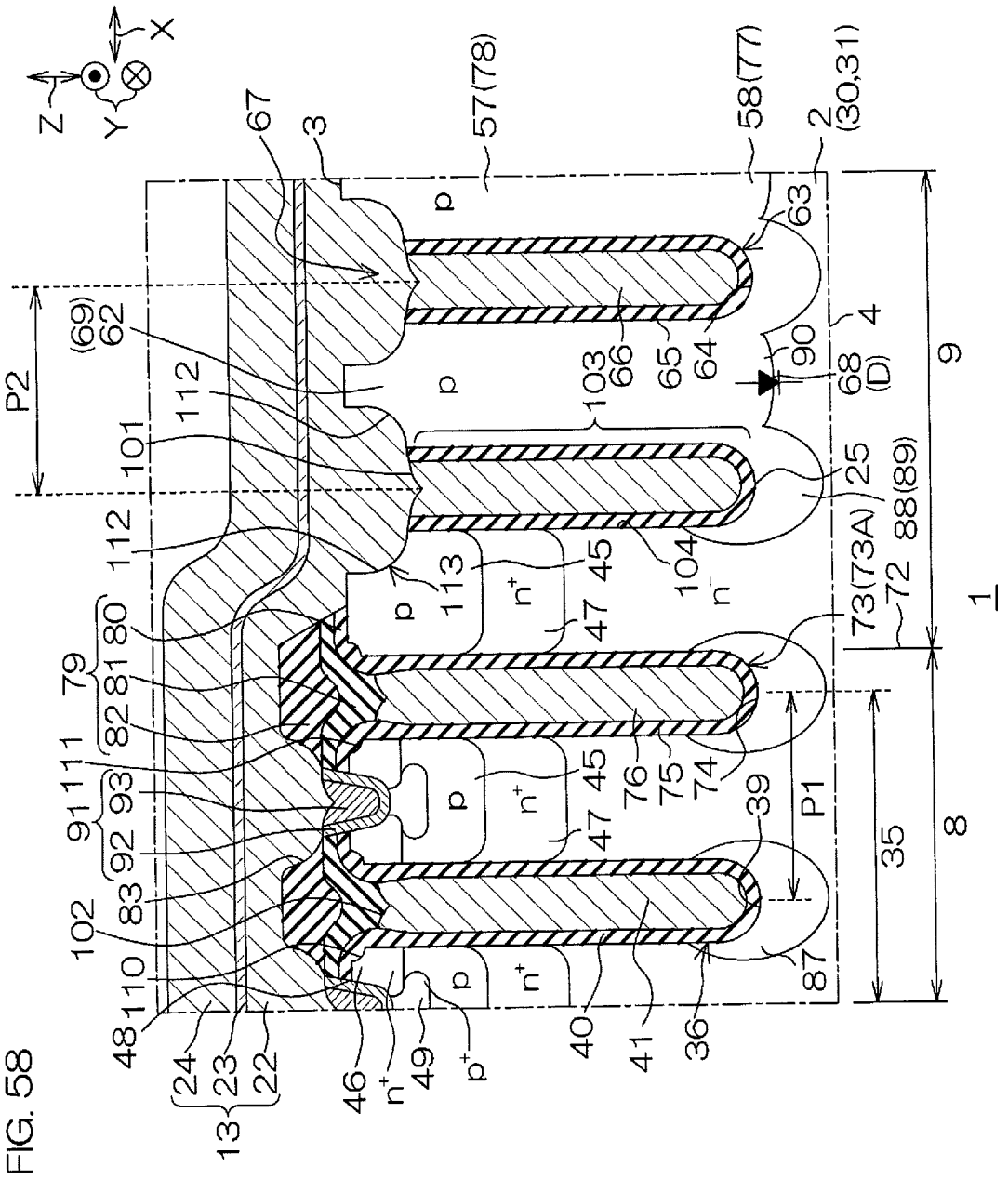

Z
Y
X
67
3
57(78)
58(77)
2
(30,31)
63
4
(69)
62
112
101
P2
103
66
65
64
90
68
(D)
9
25
88(89)
73(73A)
72
104
113
45
47
80
79
81
82
111
91
93
92
83
102
110
48
24
23
22
13
46
49
40
41
36
39
76
75
74
87
P1
35
8
1
p
n+
n-
p+

FIG. 58

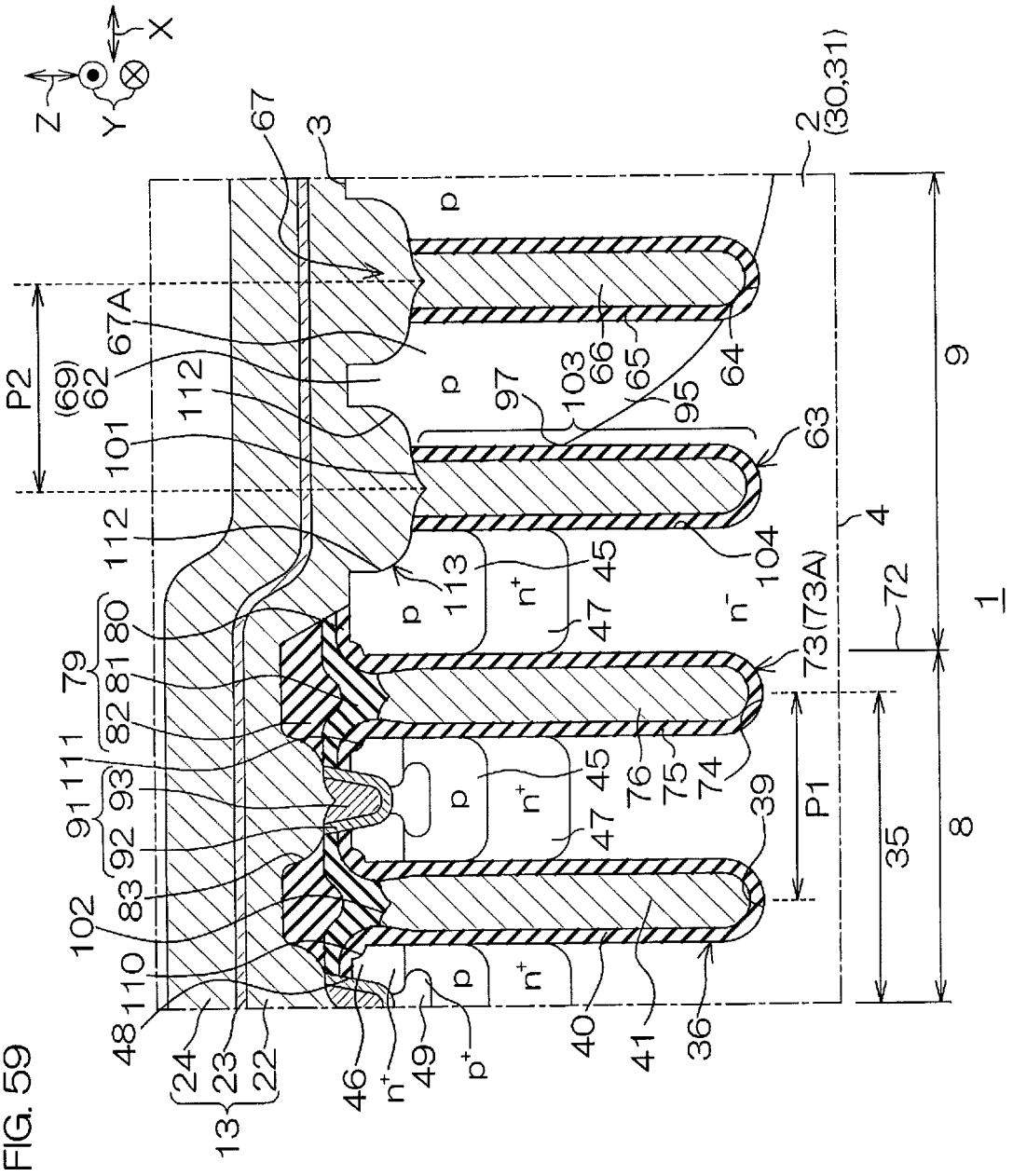

Z
Y
X
67
3
2
(30,31)
P2
(69)
62
67A
112
101
p
97
103
66
65
95
64
63
9
4
72
1
73(73A)
104
n⁻
113
45
47
n⁺
80
81
79
82
111
91
93
92
83
102
110
48
24
23
22
13
46
49
p⁺
40
41
36
39
76
75
74
P1
35
8

FIG. 59

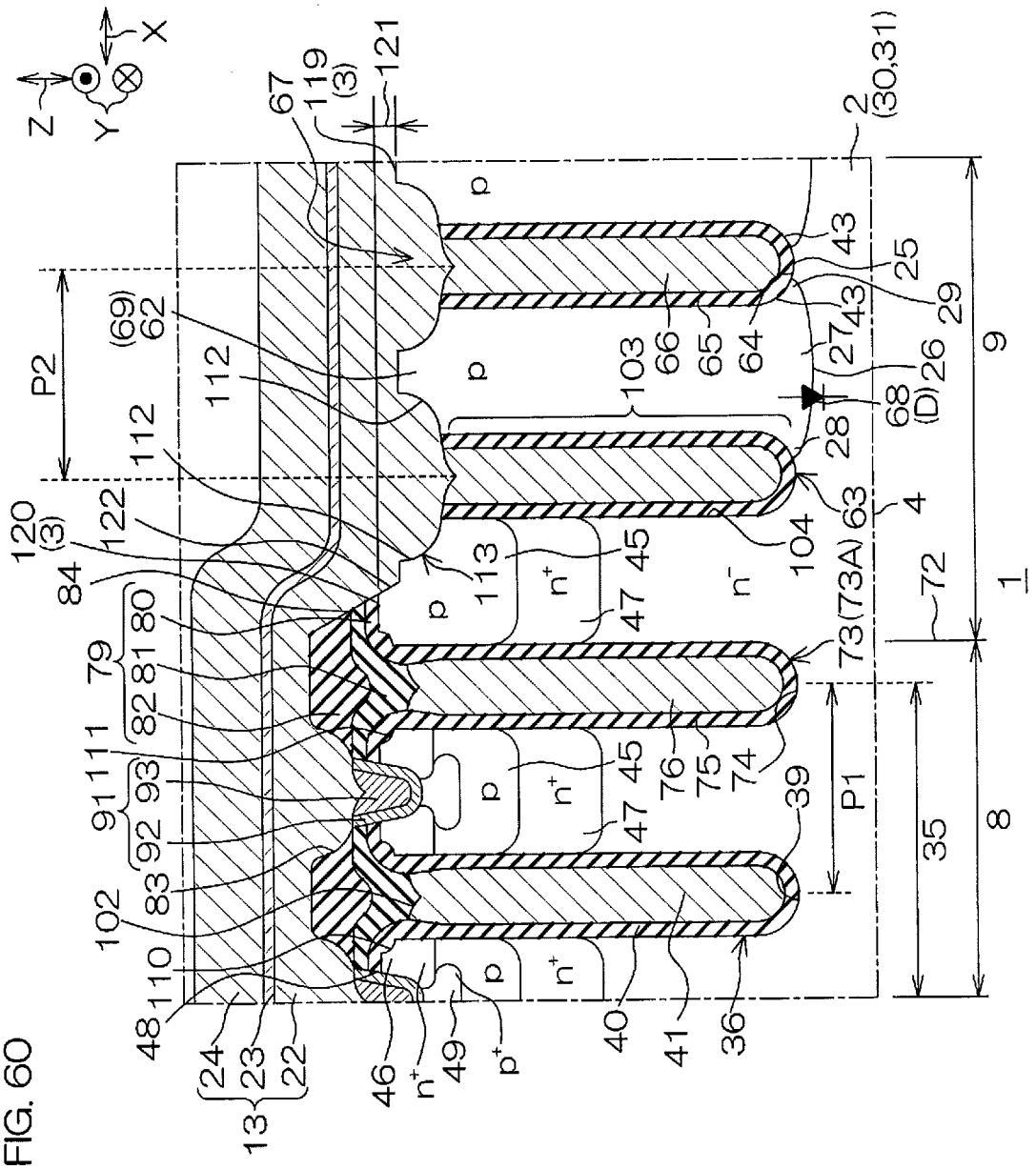

X
Z
Y
67
119
(3)
121
2
(30,31)
P2
(69)
62
112
112
120
(3)
122
84
79
80
81
82
111
91
93
92
83
102
110
48
24
23
22
13
46
n+
49
p+
40
41
36
p
n+
n-
103
66
65
64
43
25
29
27
26
(D)
68
28
63
4
104
113
45
47
72
73(73A)
9
1
8
35
P1
76
75
74
39

FIG. 60

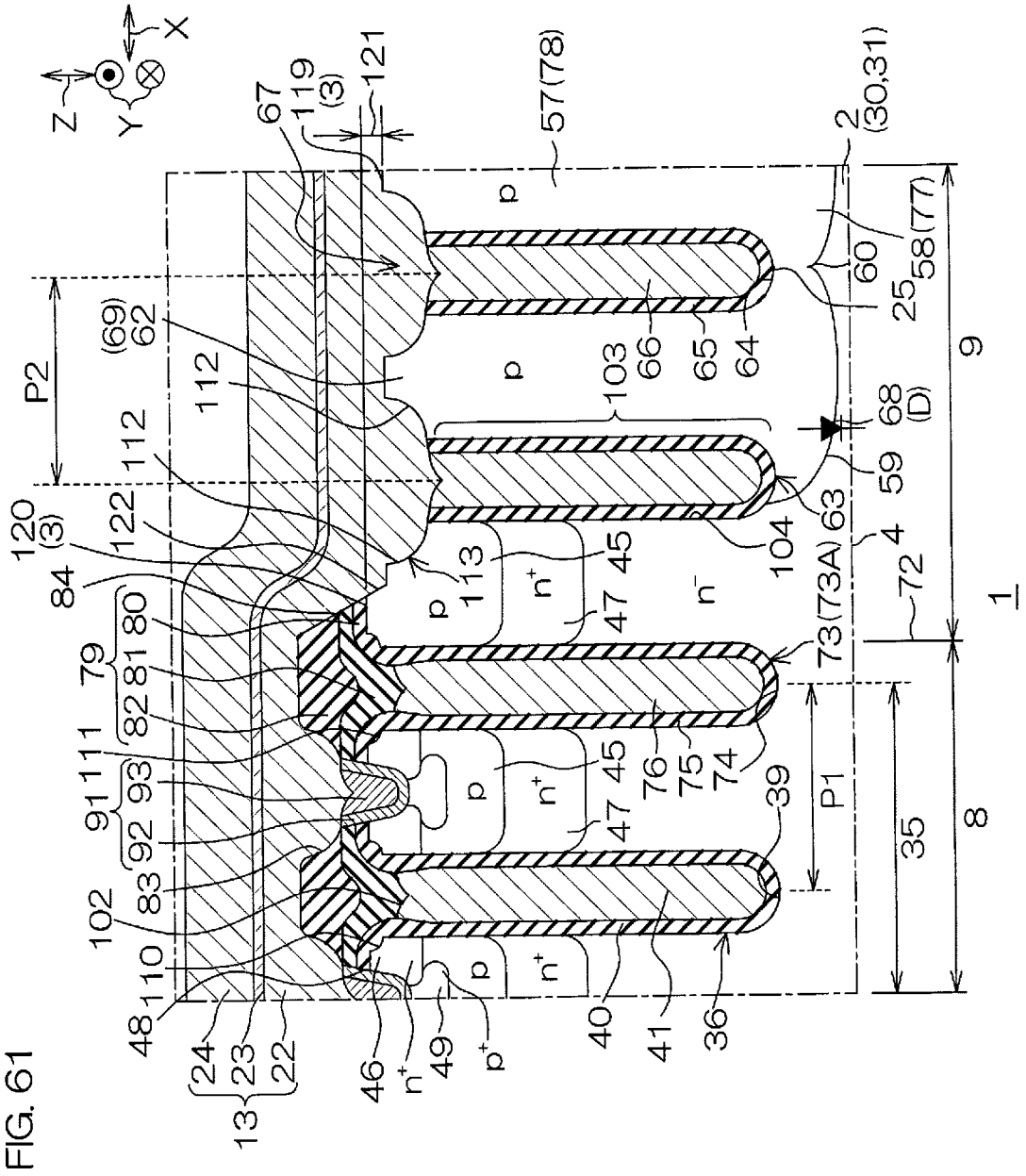

Z
Y
X
67
119
(3)
121
57(78)
2
(30,31)
60
58(77)
25
9
P2
(69)
62
112
112
120
(3)
122
84
79
80
81
82
111
91
93
92
83
102
110
48
24
23
22
13
46
n+
49
p+
40
41
36
p
n+
n−
103
66
65
64
68
(D)
59
63
104
4
72
73(73A)
45
47
113
76
75
74
39
P1
35
8
1

FIG. 61

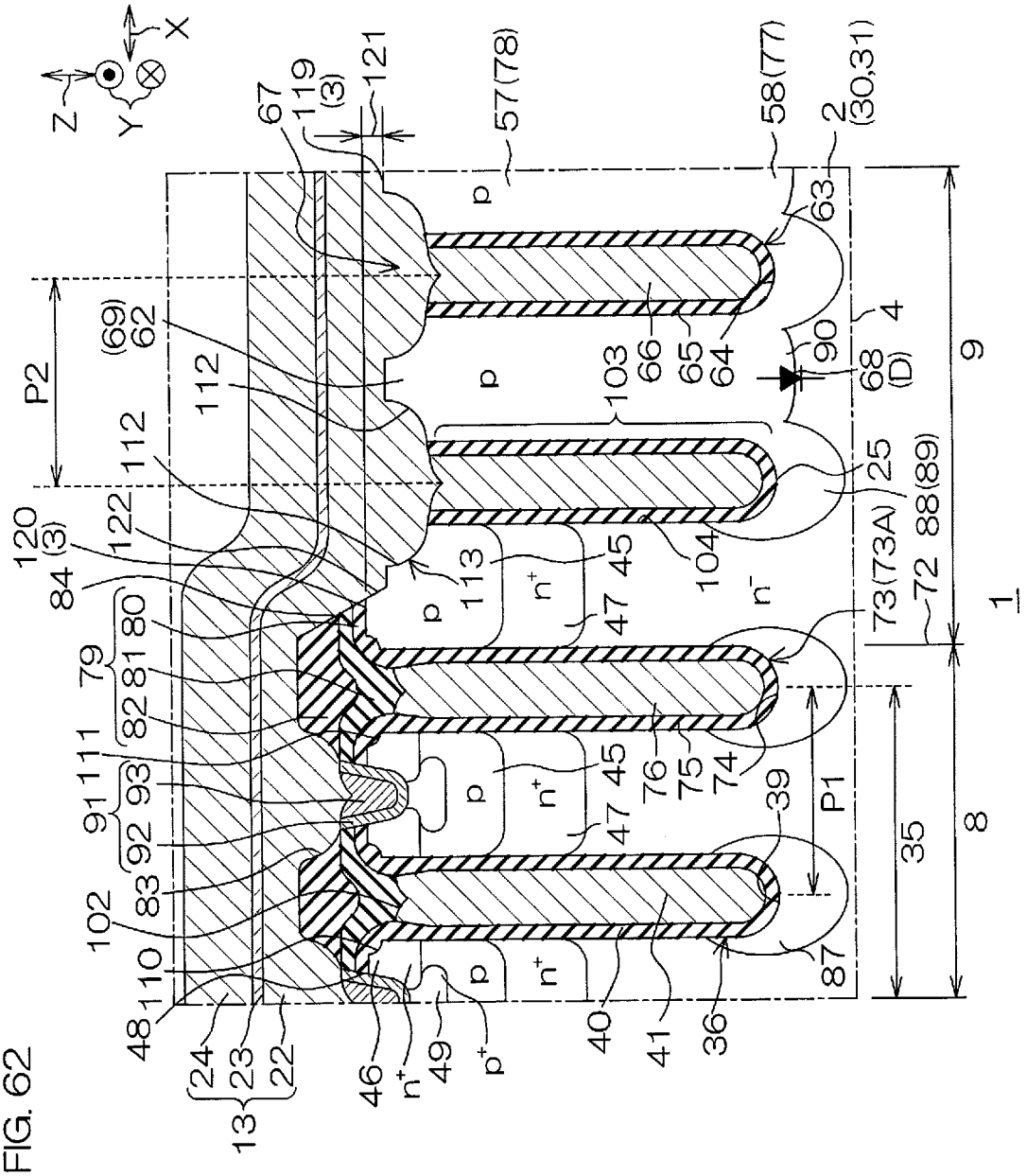

Z
Y
X
67
119
(3)
121
57(78)
58(77)
2
(30,31)
63
4
90
68
(D)
9
(69)
62
112
112
120
(3)
122
84
79
82
81
80
111
91
93
92
83
102
110
48
24
23
22
13
46
n+
49
p+
40
41
36
87
39
P1
35
8
1
73(73A)
72
88(89)
25
104
103
66
65
64
76
75
74
45
47
113
p
n+
n-

FIG. 62

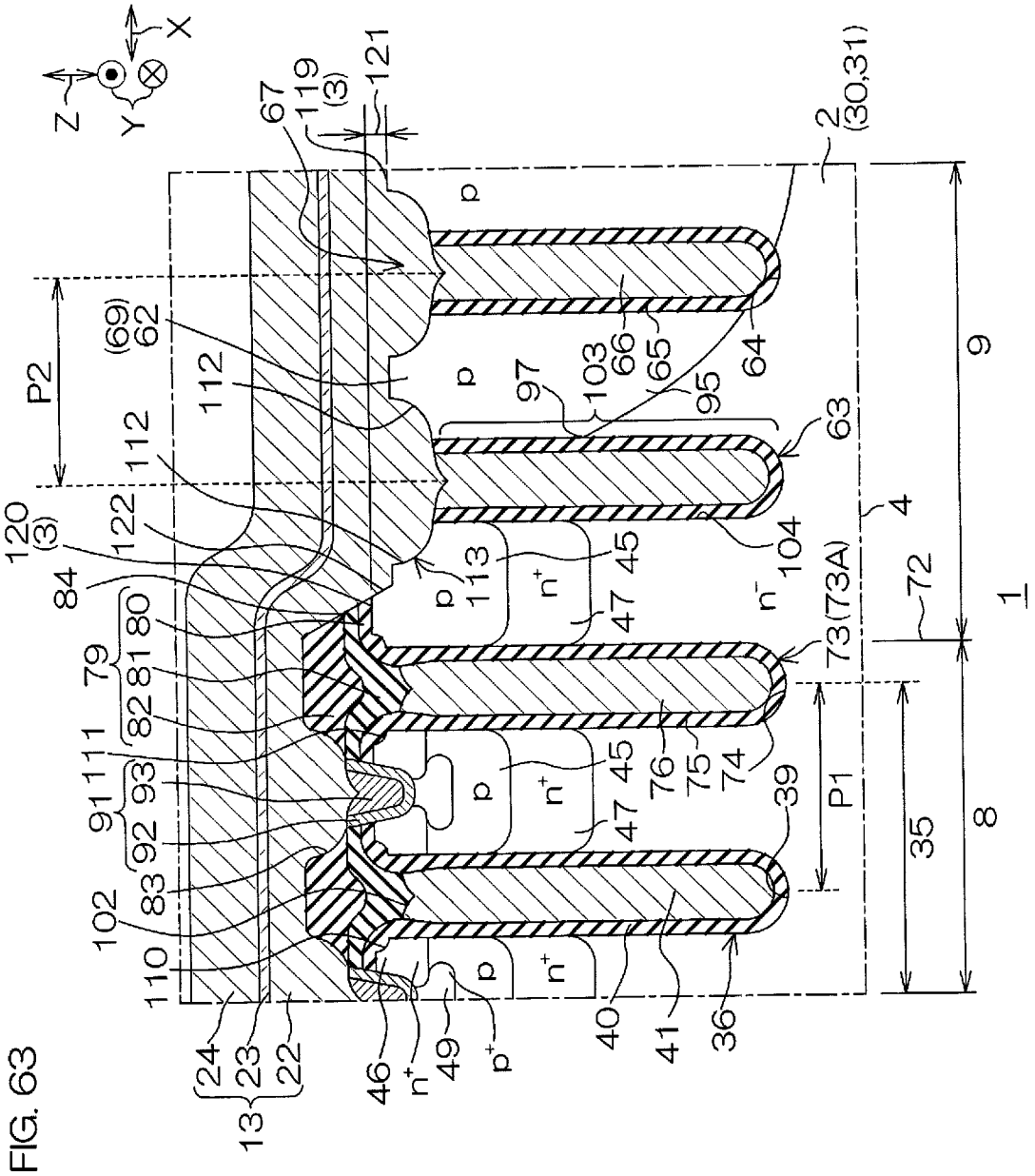

X
Z
Y
67
119
(3)
121
2
(30,31)
p
P2
(69)
62
112
97
103
66
65
64
95
63
9
120
(3)
122
84
113
45
47
104
4
72
73(73A)
1
79
81
80
82
111
91
93
92
83
102
110
76
75
74
39
P1
35
8
24
23
22
13
46
49
40
41
36

FIG. 63

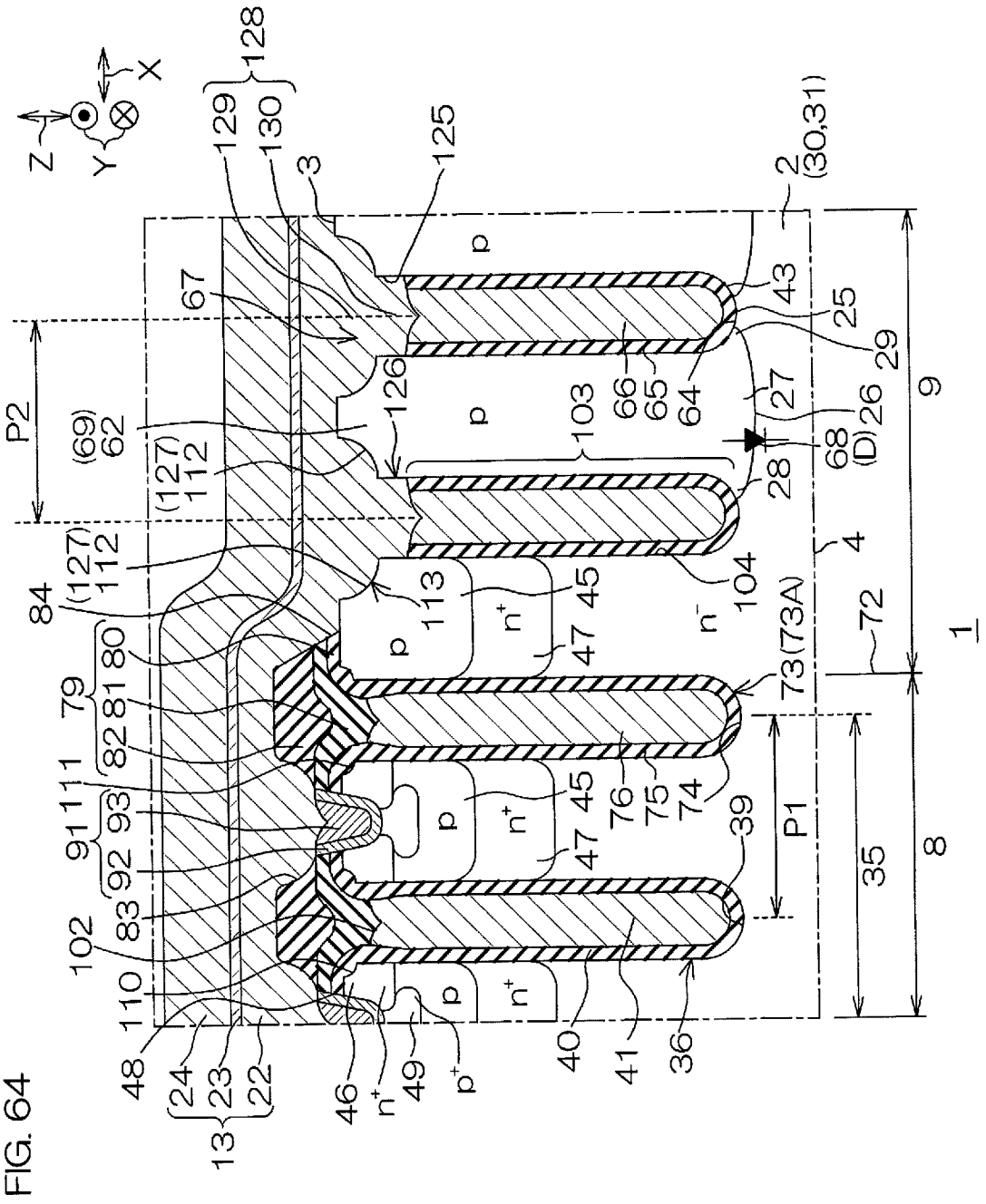

X
Z
Y
128
129
130
3
125
2
(30,31)
67
43
25
29
P2
(69)
62
126
p
103
66
65
64
27
26
9
(127)
112
68
(D)
28
4
84
(127)
112
113
104
72
80
79
81
82
73(73A)
1
111
91
93
92
83
102
110
45
47
76
75
74
39
P1
35
8
48
24
23
22
13
46
49
40
41
36
n+
p+
n-

FIG. 64

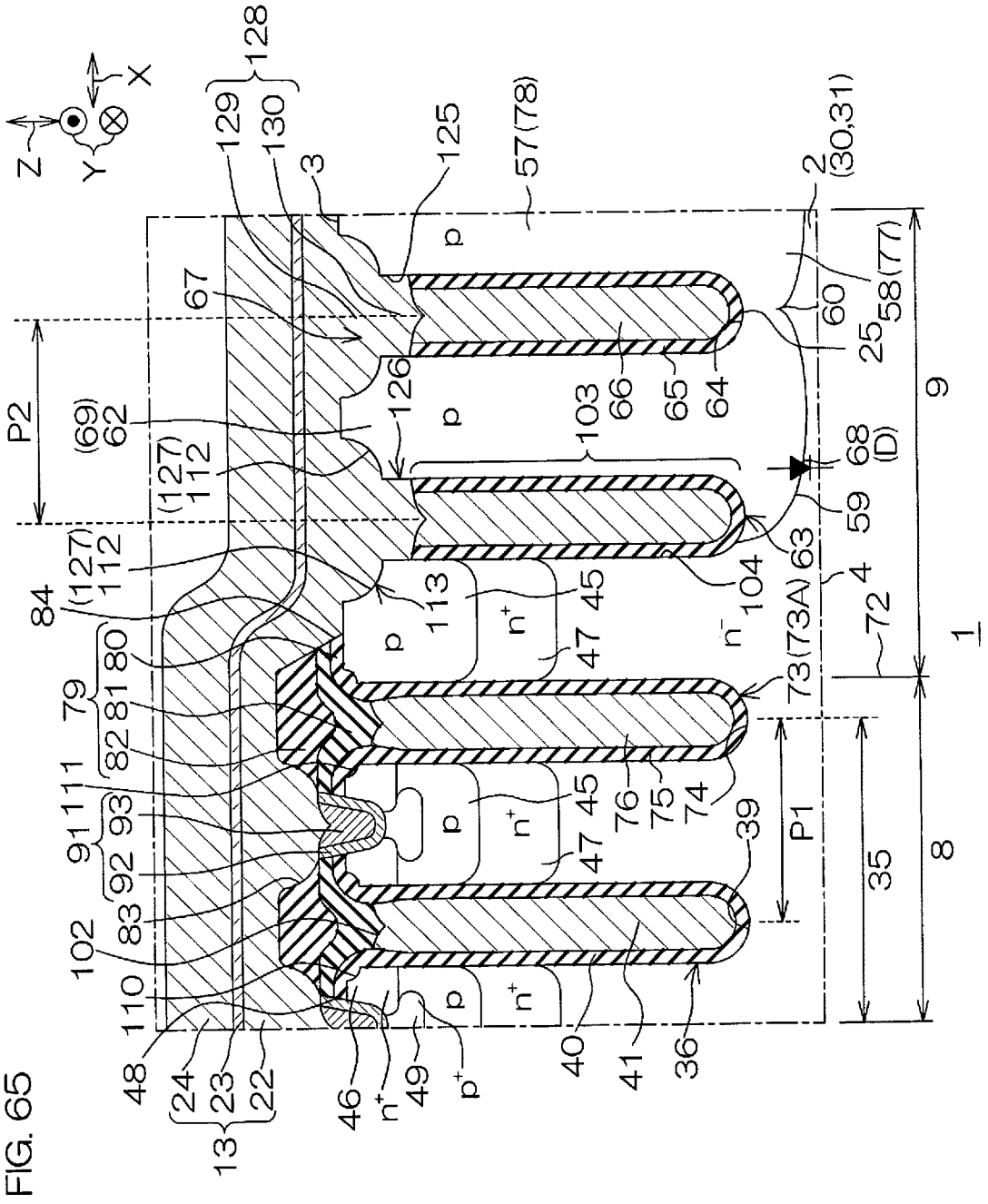

Z
Y
X
128
129
130
3
125
57(78)
2
(30,31)
67
60
25
58(77)
P2
(69)
62
(127)
112
126
p
103
66
65
64
68
(D)
9
59
63
4
72
84
(127)
112
113
p
n+
45
47
n-
104
73(73A)
1
79
80
81
82
111
91
93
92
83
102
110
76
75
74
39
P1
35
8
48
24
23
22
13
46
n+
49
p+
40
41
36

FIG. 65

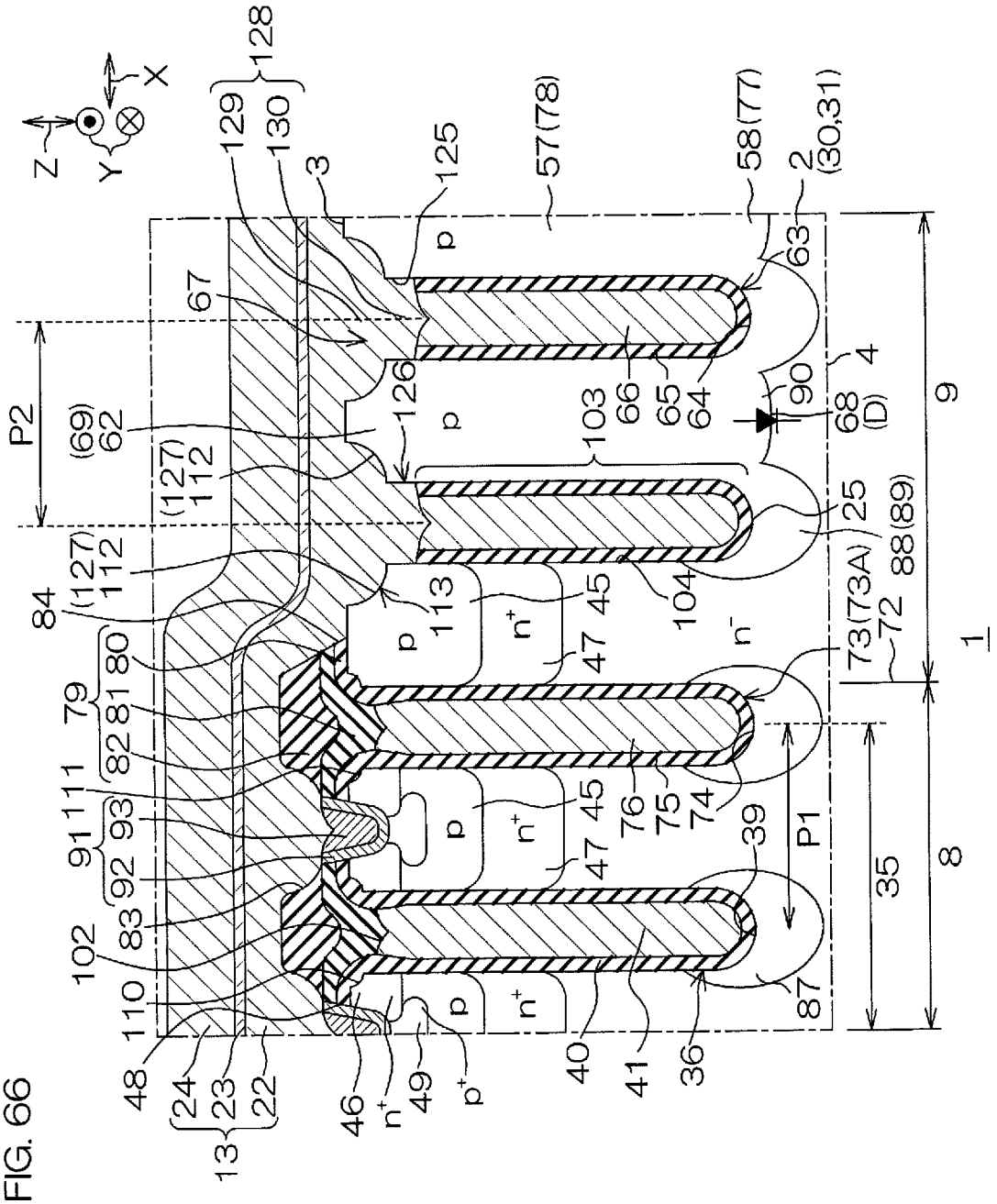

Z
Y
X
128
129
130
3
125
57(78)
58(77)
2
(30,31)
63
67
4
P2
(69)
62
126
p
103
66
65
64
90
68
(D)
9
(127)
112
25
88(89)
84
113
45
104
73(73A)
72
80
79
81
82
111
91
93
92
83
102
110
76
75
74
39
P1
35
8
1
47
48
24
23
22
13
46
49
40
41
36
87

FIG. 66

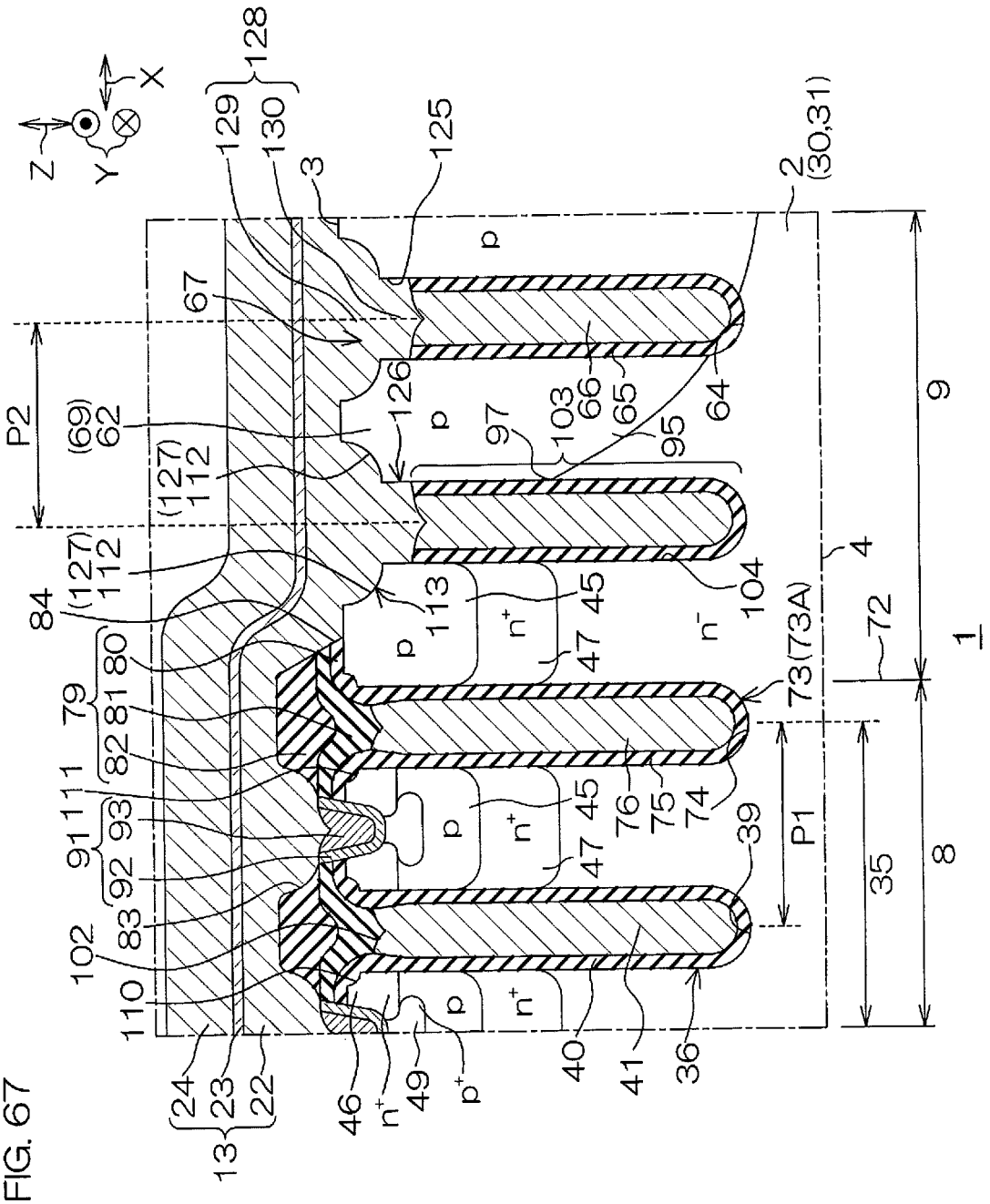

Z
Y
X
128
129
130
3
125
2
(30,31)
67
P2
(69)
62
(127)
112
126
p
97
103
66
65
64
95
9
4
84
104
113
n+
45
47
n-
72
1
79
80
81
82
73(73A)
111
91
93
92
83
102
110
76
75
74
39
P1
35
8
24
23
22
13
46
n+
49
p+
40
41
36

FIG. 67

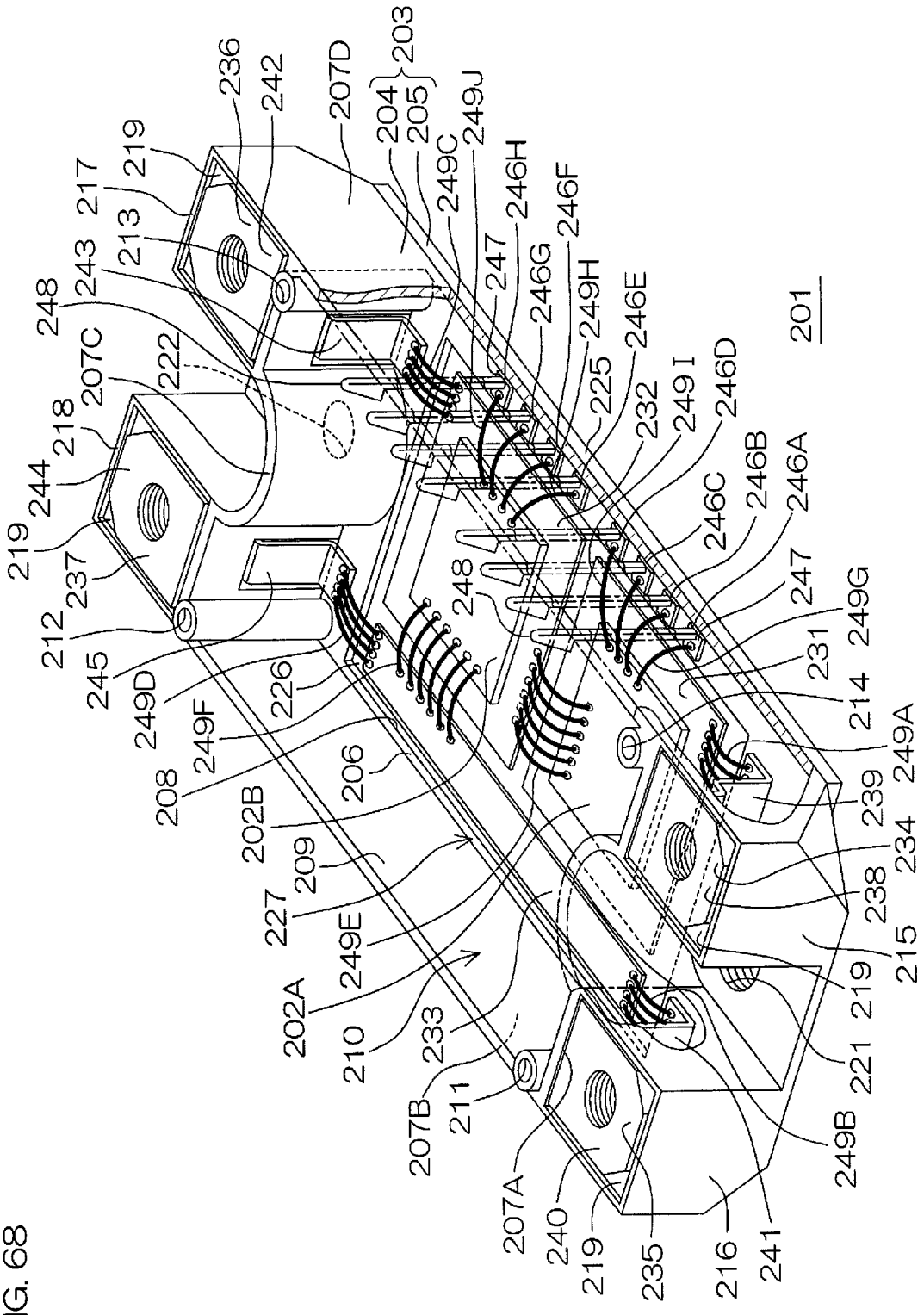

201
202A
202B
203
204
205
206
207A
207B
207C
207D
208
209
210
211
212
213
214
215
216
217
218
219
220
221
222
225
226
227
231
232
233
234
235
236
237
238
239
240
241
242
243
244
245
246A
246B
246C
246D
246E
246F
246G
246H
247
248
249A
249B
249C
249D
249E
249F
249G
249H
249I
249J

FIG. 68

FIG. 69

