

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-103162

(P2004-103162A)

(43) 公開日 平成16年4月2日(2004.4.2)

(51) Int. Cl.⁷

G 1 1 C 16/02

G 1 1 C 16/04

F I

G 1 1 C 17/00

G 0 1 E

G 1 1 C 17/00

6 1 3

G 1 1 C 17/00

6 2 2 E

テーマコード (参考)

5 B 0 2 5

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号

特願2002-265849 (P2002-265849)

(22) 出願日

平成14年9月11日 (2002.9.11)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100104190

弁理士 酒井 昭徳

(72) 発明者 古川 秀之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5B025 AD05 AE05 AE08

(54) 【発明の名称】 NAND型フラッシュメモリ

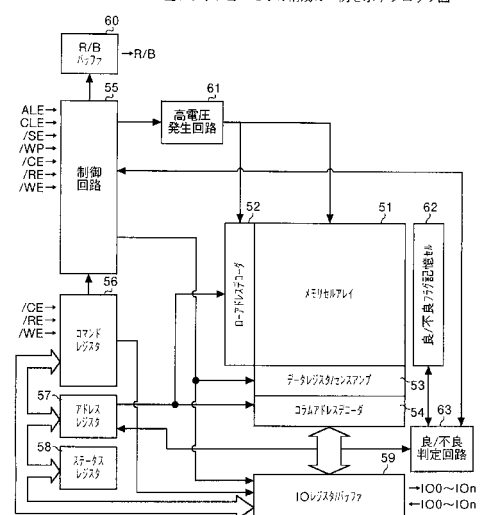
(57) 【要約】

【課題】 NAND型フラッシュメモリにおいて、複雑なファイル管理をおこなわなくても、欠陥ブロックへのアクセスを回避し、リードインエーブルのトグル動作だけで、指定アドレスに対応するデータ以降のデータを順次出力させること。

【解決手段】 メモリセルアレイ51の各ブロックごとに、正常であるか否かを識別するためのフラグを記録した不揮発性の良/不良フラグ記憶セル62と、上記フラグに基づきブロックの良否を判定する良/不良判定回路63を設ける。あるブロックの最終ページのデータが外部へ出力されたら、つぎのブロックが正常であるか否かの判定をおこない、正常でない場合は、正常なブロックに達するまで、順次、後続のブロックの良否の判定をおこなう。その間、メモリセルアレイ51へのアクセスを禁止し、正常なブロックに達したら、そのブロックからのデータの読み出しを再開する。

【選択図】 図1

本発明にかかるNAND型フラッシュメモリの構成の一例を示すブロック図



【特許請求の範囲】

【請求項 1】

複数のブロックで構成され、かつ各ブロックが複数のページで構成されたメモリセルアレイと、

前記メモリセルアレイから読み出されたページ単位のデータを保持するデータレジスタと

、
前記メモリセルアレイから前記データレジスタへ転送される 1 ページ分のデータを指定するページアドレス、および当該ページを含むブロックを指定するブロックアドレスを保持し、かつ前記データレジスタに保持された 1 ページ分のデータが外部へ出力されるたびに前記ページアドレスが更新されるアドレスレジスタと、

前記メモリセルアレイの各ブロックごとに、正常なブロックであるか、または欠陥を含むブロックであるかを識別するためのフラグを記録した不揮発性の良 / 不良フラグ記憶セルと、

前記アドレスレジスタに保持されているブロックアドレスにより指定されたブロックに対応するフラグを前記良 / 不良フラグ記憶セルから読み出し、読み出されたフラグに基づいて当該ブロックの良否を判定する処理を、ブロックが正常であるという判定結果が得られるまで繰り返しおこなう良 / 不良判定回路と、

前記良 / 不良判定回路でブロックが正常であるという判定結果が得られた場合に、前記メモリセルアレイから前記データレジスタへのページ単位のデータ転送を再開する制御回路と、

を具備することを特徴とする N A N D 型フラッシュメモリ。

【請求項 2】

前記良 / 不良判定回路は、前記データレジスタに保持された 1 ページ分のデータが外部へ出力された後に、その出力されたデータがブロックの最終ページのデータである場合に、前記アドレスレジスタに保持されているブロックアドレスの値を 1 だけインクリメントするとともに、インクリメントされたブロックアドレスにより指定されたブロックに対応するフラグを前記良 / 不良フラグ記憶セルから読み出し、読み出されたフラグに基づいて当該ブロックの良否を判定する処理を、ブロックが正常であるという判定結果が得られるまで繰り返しおこなうことを特徴とする請求項 1 に記載の N A N D 型フラッシュメモリ。

【請求項 3】

前記データレジスタから外部へブロックの最終ページのデータが出力された後、前記良 / 不良判定回路でブロックが正常であるという判定結果が得られ、前記メモリセルアレイから前記データレジスタへのページ単位のデータ転送が完了するまでの期間、前記データレジスタへのアクセスを禁止するビジー信号が外部へ出力されることを特徴とする請求項 1 または 2 に記載の N A N D 型フラッシュメモリ。

【請求項 4】

同一ページ内のデータは、前記データレジスタから外部に、リードイネーブルのトグル動作により順次読み出されることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の N A N D 型フラッシュメモリ。

【請求項 5】

前記メモリセルアレイには、コードデータが格納されていることを特徴とする請求項 1 ~ 4 のいずれか一つに記載の N A N D 型フラッシュメモリ。

【請求項 6】

前記コードデータの最終データが格納されているページには、コードデータの終わりであることを示すフラグが格納されていることを特徴とする請求項 5 に記載の N A N D 型フラッシュメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、N A N D 型フラッシュメモリに関し、特にコード格納用として使用可能な N A

10

20

30

40

50

NAND型フラッシュメモリに関する。

【0002】

フラッシュメモリには、NAND型フラッシュメモリとNOR型フラッシュメモリがある。NOR型フラッシュメモリは、SRAMと同様に、アドレス端子とデータIO端子とが別々に機能してランダムアクセスが可能であるため、マイクロコンピュータのコード記憶デバイスとして用いられている。それに対して、NAND型フラッシュメモリは、主にファイルを格納する用途に使用されていたが、メモリセルの面積がNOR型フラッシュメモリより小さいため、コストが安く、大容量化も容易であることから、近時、コードを格納する用途にも用いられるようになってきている。

【0003】

10

【従来の技術】

図4は、従来のNAND型フラッシュメモリの構成を示すブロック図である。図4に示すように、従来のNAND型フラッシュメモリは、メモリセルアレイ11、ローアドレスデコーダ12、データレジスタ/センスアンプ13、コラムアドレスデコーダ14、制御回路15、コマンドレジスタ16、アドレスレジスタ17、ステータスレジスタ18、IOレジスタ/バッファ19、レディ/ビジーバッファ20および高電圧発生回路21により構成されている。NAND型フラッシュメモリは、NOR型フラッシュメモリのようにアドレス端子とデータの入出力端子とが別々に設けられた構成とはなっていない。

【0004】

図5は、従来のNAND型フラッシュメモリのリードサイクルタイミングを示す図である。図5を参照しながら、従来のNAND型フラッシュメモリのデータアクセス方法について説明する。なお、アドレスビットをA0～A26の27ビットとし、8ビット幅IOでアドレス0～[227-1]の領域を有する1GビットNAND型フラッシュメモリとする。

20

【0005】

図5に示すように、データを読み出す際には、まず、コマンドラッチイネーブル(CLE)がアクティブとなる。そして、ライトイネーブル(/WE)の立ち上がりで、アドレスビットA8をたとえば「0」に設定する機能を有するコマンド00Hが入力される。つづいて、アドレスラッチイネーブル(ALE)がアクティブとなる。そして、ライトイネーブル(/WE)の立ち上がりで、入出力端子IO0～IO7に、A8を除くアドレスビットA0～A26が順にラッチされて入力され、アドレスレジスタ17に格納される。この時点で、メモリセルアレイ11からのデータ読み出しが開始される。

30

【0006】

ここで、アドレスの指定はバイト単位でおこなわれるが、実際にメモリセルアレイ11からデータレジスタ/センスアンプ13のデータレジスタには、内部リード処理として、指定されたアドレスを含む1ページ分のデータ、たとえばD0～D527で示す528バイトのデータが読み出される。この内部リード処理がおこなわれている間、すなわち指定されたアドレスにアクセスしている間、レディ/ビジー端子R/Bからビジー信号が出力される。

【0007】

40

内部リード処理が終了すると、ビジー信号にかわってレディ信号が出力される。その後、リードイネーブル(/RE)のトグル動作により、データレジスタから入出力端子IO0～IO7にデータが、指定されたアドレスに対応するデータから順に出力される。当該ページの最終データが出力されると、つぎのページへアクセスし、1ページ分のデータがリードイネーブル(/RE)のトグル動作により、順次読み出される。

【0008】

ところで、一般に、NAND型フラッシュメモリは、メモリセルアレイ11に欠陥を含む領域が存在しても、その領域を避けて使用される。したがって、あるブロックの最終ページの最終データを出力した後、つづいてアクセスするブロックが欠陥ブロックである場合には、リードイネーブル(/RE)のトグル動作だけでは全データを読み出すことはでき

50

ないため、欠陥を含む領域を避けるための複雑なファイル管理システムが必要である。従来のファイル管理システムについて、図6を参照しながら説明する。図6は、従来のNAND型フラッシュメモリのデータ領域の構成を模式的に示す図である。

【0009】

図6に示すように、データ領域は、データ消去時の単位であるとともに、正常な領域と欠陥を含む領域とを区別する単位でもある複数のブロック31により構成されている。各ブロック31は、データの書き込みまたは読み出し時の単位である複数のページ32により構成されている。各ページ32は、主データを格納するメインデータ領域33と、メインデータ領域33に格納された主データに対する付帯的な情報を格納するスペアデータ領域34で構成されている。

10

【0010】

スペアデータ領域34には、良/不良フラグ格納領域35と、論理アドレス格納領域36が設けられている。良/不良フラグ格納領域35には、当該スペアデータ領域34を含むブロック31が正常な領域であるか、または欠陥を含む領域であるかということを識別するための良/不良フラグが格納される。論理アドレス格納領域36には、当該スペアデータ領域34を含むブロック31が正常な領域である場合に、そのブロック31の論理アドレスが格納される。

【0011】

また、図6に示す例では、最終のブロック31のメインデータ領域33には、格納されているファイルデータごとに、そのファイルの論理アドレスを記録したファイルアロケーションテーブル37が格納されている。上述したように欠陥領域の単位がブロック31であるため、ファイル管理の単位もブロック31であり、したがって、ファイルは各ブロック31の論理アドレスに基づいて管理される。従来のNAND型フラッシュメモリにおけるファイル管理の方法には様々な方法があるが、基本的には上述した方法、またはこれに類似した方法である。

20

【0012】

図7は、NAND型フラッシュメモリをコード格納用のメモリとして用いた場合のシステムの構成を示す図である。このシステムに電源が投入されると、まず、BIOS41に割り当てられたアドレスからブートされる。NAND型フラッシュメモリコントローラ42は、BIOS41のコードにより制御され、NAND型フラッシュメモリ43に格納されたメインコードを、データバス46を介してSRAM44へ転送する。このとき、NAND型フラッシュメモリコントローラ42またはBIOS41のコードは、上述したような複雑なファイル管理システムを備えている必要がある。

30

【0013】

ついで、実行アドレスがSRAM44に移され、マイクロコンピュータ45によりメインコードが実行される。このような複雑な構成になる理由は、上述したように、NAND型フラッシュメモリ43には、アドレス端子とデータの入出力端子とが別々に設けられていないことと、欠陥を含む領域を避けるための複雑なファイル管理システムが必要であるため、一般的なマイコンはNAND型フラッシュメモリ43に直接アクセスすることができないからである。

40

【0014】

また、本発明の先行技術として、たとえば下記の特許文献1、特許文献2がある。

【0015】

【特許文献1】

特開平7-44451号公報

【0016】

【特許文献2】

特開平8-23508号公報

【0017】

【発明が解決しようとする課題】

50

しかしながら、従来のNAND型フラッシュメモリをコード格納用のメモリとして用いたシステムでは、上述したように、NAND型フラッシュメモリコントローラ42やBIOSS41のコードは、複雑なファイル管理をおこなう必要がある。そのため、コストが高くなってしまい、コード格納用のメモリとして、NOR型フラッシュメモリに代えて、NAND型フラッシュメモリを使用することにより期待されるコスト削減効果が小さいという問題点があった。

【0018】

本発明は、上記問題点に鑑みてなされたものであって、複雑なファイル管理をおこなわなくても、欠陥ブロックへのアクセスを回避して、リードインーブルのトグル動作だけで、指定アドレスに対応するデータ以降のデータを順次出力することができるNAND型フラッシュメモリを提供することを目的とする。

10

【0019】

【課題を解決するための手段】

上記目的を達成するため、本発明は、コードデータを格納するメモリセルアレイの他に、メモリセルアレイの各ブロックごとに、そのブロックが正常であるか否かを識別するためのフラグを記録した不揮発性の良/不良フラグ記憶セルと、その良/不良フラグ記憶セルに記録されたフラグに基づいて、ブロックの良否を判定する良/不良判定回路を備えた構成とする。そして、あるブロックの最終ページのデータがメモリセルアレイから読み出されて外部へ出力された後に、そのつぎのブロックに対応するフラグを前記良/不良フラグ記憶セルから読み出し、良/不良判定回路により、そのブロックが正常であるか否かの判定をおこなう。正常でない場合には、正常なブロックに達するまで、つぎつぎと後続のブロックについて良否の判定をおこなう。その間、メモリセルアレイへのアクセスを禁止し、正常なブロックに達したら、そのブロックからのデータの読み出しを再開する構成とする。

20

【0020】

この発明によれば、メモリセルアレイの欠陥ブロックを自動的にとばして、正常なブロックからデータの読み出しが再開されるので、読み出す対象のデータが欠陥ブロックの前後にまたがって格納されていても、リードインーブルのトグル動作だけでシーケンシャルリードが継続される。

【0021】

30

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。図1は、本発明にかかるNAND型フラッシュメモリの構成の一例を示すブロック図である。図1に示すように、このNAND型フラッシュメモリは、メモリセルアレイ51、ローアドレスデコーダ52、データレジスタ/センスアンプ53、コラムアドレスデコーダ54、制御回路55、コマンドレジスタ56、アドレスレジスタ57、ステータスレジスタ58、I/Oレジスタ/バッファ59、レディ/ビジーバッファ60および高電圧発生回路61からなる従来同様の構成に、不揮発性の良/不良フラグ記憶セル62と、良/不良判定回路63を追加した構成となっている。

【0022】

40

良/不良フラグ記憶セル62は、メモリセルアレイ51の各ブロックごとに、正常なブロックであるか、または欠陥を含むブロックであるかということを識別するためのフラグデータを記録している。このフラグデータは、NAND型フラッシュメモリの製造が終了した段階で、デバイスメーカーが図示しないテスト用回路を用いて各ブロックの良否を調べ、その結果として良/不良フラグ記憶セル62に書き込まれる。

【0023】

良/不良判定回路63は、良/不良フラグ記憶セル62に記録されたフラグデータに基づいて、メモリセルアレイ51の、つぎにアクセスしようとしているブロックが正常なブロックであるか、または欠陥を含むブロックであるかということの判定をおこない、その判定結果を制御回路55に通知する。制御回路55は、判定対象のブロックが正常なブロッ

50

クである場合には、メモリセルアレイ 5 1 からデータレジスタ 5 3 へのデータ読み出し完了後、レディ / ビジーバッファ 6 0 およびレディ / ビジー端子 R / B を介してレディ信号を出力し、欠陥ブロックである場合にはビジー信号の出力を継続する。

【 0 0 2 4 】

また、欠陥を含むブロックであるという判定結果は、アドレスレジスタ 5 7 にも通知される。その通知を受け取ると、アドレスレジスタ 5 7 は、ブロックアドレスの値を 1 だけインクリメントして、その値を良 / 不良判定回路 6 3 に返す。ブロックアドレスの値が 1 だけインクリメントされるということは、インクリメントする前のブロックアドレスで指定された欠陥ブロックのつぎのブロックがあらたに指定されることになる。このブロックについて、再び良 / 不良フラグ記憶セル 6 2 のフラグデータに基づいて良 / 不良判定回路 6 3 により良否が判定される。 10

【 0 0 2 5 】

このような処理が、ブロックアドレスの値のインクリメントによりあらたに指定されたブロックが正常なブロックになるまで、繰り返される。つぎにアクセスするブロックが正常であれば、データ読み出し完了後、レディ信号が出力され、リードイネーブル (/ R E) のトグル動作により、データが順次出力される。

【 0 0 2 6 】

図 2 は、本発明にかかる N A N D 型フラッシュメモリのデータ領域の構成の一例を示す模式図である。図 2 に示すように、従来同様、データ領域は複数のブロック 7 1 により構成されており、各ブロック 7 1 は複数のページ 7 2 により構成されている。各ページ 7 2 のメインデータ領域 7 3 には、コードデータが格納されている。コードデータは、連続した 1 個のデータとして、先頭アドレスからアドレス順に、欠陥を含むブロック 7 5 をスキップして書き込まれる。欠陥を含むブロック 7 5 にコードデータが書き込まれるのを避ける処理は、出荷時の初期データによる判別など、デバイスメーカーが保証する欠陥識別処理方法を備えた書き込み装置によりおこなわれる。 20

【 0 0 2 7 】

スペアデータ領域 7 4 のうち、コードデータの最終データが格納されたページ (図示例では、ブロックアドレスが n で、ページアドレスが m のページ) のスペアデータ領域 7 4 に、最終アドレスであることを示すコード最終ページフラグ 7 6 が格納されている。このコード最終ページフラグ 7 6 は、出荷時の初期データによる判別など、デバイスメーカーが保証する欠陥識別処理方法を備えた書き込み装置により書き込まれる。 30

【 0 0 2 8 】

上述した構成の N A N D 型フラッシュメモリを適用した、図 7 に示す構成のシステムでは、アドレスラッチイネーブルがアクティブとなって、先頭アドレスが入力される。そして、1 ページ分のリードイネーブルのトグル動作によりそのページのコードデータと、スペアデータ領域 7 4 のデータが N A N D 型フラッシュメモリ 4 3 から出力される。その後、読み出したスペアデータ領域 7 4 のコード最終ページフラグ 7 6 の有無がチェックされる。

【 0 0 2 9 】

コード最終ページフラグ 7 6 がなければ、レディ信号の検出後、つぎの 1 ページ分に対するリードイネーブルのトグル動作によりコードデータと、スペアデータ領域 7 4 のデータが出力される。このような処理の繰り返しによって、B I O S 4 1 または N A N D 型フラッシュメモリコントローラ 4 2 は、N A N D 型フラッシュメモリ 4 3 に格納されているすべてのコードデータにアクセスすることができる。 40

【 0 0 3 0 】

つぎに、コードデータが欠陥ブロックの前後にまたがって格納されている場合のコードデータの読み出し動作について、図 3 を参照しながら説明する。図 3 には、図 2 に示すようにブロックアドレス b のブロックが欠陥ブロックである場合の、その一つ手前のブロック (ブロックアドレスが [b - 1] のブロック) の最終ページ (ページアドレスが s のページ) の最終データ (D 5 2 7) の読み出しが終了した時点から、ブロックアドレスが [b 50

+ 1] であるブロックの先頭データ (D 0) の読み出しがおこなわれるまでのリードサイクルタイミングの一例が示されている。

【 0 0 3 1 】

図 3 に示すように、ブロックアドレスが [b - 1] のブロックの最終データまでの出力が終了すると、レディ / ビジー端子 R / B からビジー信号が出力される。そして、良 / 不良判定回路 6 3 は、良 / 不良フラグ記憶セル 6 2 から、ブロックアドレス b のブロックの良 / 不良を示すフラグを読み出し、そのブロックの良 / 不良を判定する。ここでは、ブロックアドレス b のブロックは欠陥ブロックである。そのため、良 / 不良判定回路 6 3 は、良 / 不良フラグ記憶セル 6 2 から、ブロックアドレス [b + 1] のブロックの良 / 不良を示すフラグを読み出し、そのブロックの良 / 不良を判定する。

10

【 0 0 3 2 】

ここでは、ブロックアドレス [b + 1] のブロックは正常なブロックである。したがって、制御回路 5 5 により、メモリセルアレイ 5 1 から、ブロックアドレスが [b + 1] であるブロックの先頭ページのデータが、データレジスタに読み出される。この読み出しが終わった時点で、レディ / ビジー端子 R / B の出力信号がレディ信号に切り替わり、リードイネーブル (/ R E) のトグル動作により、ブロックアドレス [b + 1] のブロックに格納されているコードデータが順次 S R A M 4 4 へ転送される。

【 0 0 3 3 】

上述した実施の形態によれば、メモリセルアレイ 5 1 の欠陥ブロックを自動的にとばして、正常なブロックからデータの読み出しが再開されるので、メモリセルアレイ 5 1 にたとえばマイクロコンピュータのコードデータを書き込む際に、欠陥ブロックをとばして先頭ブロックから順に書き込んでおけば、先頭アドレスから最終データまでリードイネーブル (/ R E) をトグルするだけで、欠陥ブロックの管理をしなくても、コードデータを読み出すことができる。したがって、従来のような複雑なファイル管理をおこなわなくても、欠陥ブロックへのアクセスを回避して、リードイネーブル (/ R E) のトグル動作だけでデータを順次出力することが可能な N A N D 型フラッシュメモリが得られる。この N A N D 型フラッシュメモリを用いることによって、N A N D 型フラッシュメモリコントローラや B I O S のファイル管理システムを大幅に簡略化することができる。

20

【 0 0 3 4 】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。たとえば、ブロックアドレスを保持するレジスタ (ブロックアドレスレジスタ) をアドレスレジスタとは別に設けた構成としてもよい。また、メモリセルアレイ 5 1 から読み出す対象のコードデータのサイズが予めわかっている場合には、スペアデータ領域 7 4 にコード最終ページフラグ 7 6 を書き込まなくてもよい。また、本発明は、N A N D 型フラッシュメモリをファイル格納用に用いる場合にも適用可能である。

30

【 0 0 3 5 】

【 発明の効果 】

本発明によれば、メモリセルアレイの欠陥ブロックを自動的にとばして、正常なブロックからデータの読み出しが再開されるので、読み出す対象のデータが欠陥ブロックの前後にまたがって格納されていても、リードイネーブルのトグル動作だけでシーケンシャルリードを続けることができる。したがって、従来のような複雑なファイル管理をおこなわなくても、欠陥ブロックへのアクセスを回避して、リードイネーブルのトグル動作だけでデータを順次出力することが可能な N A N D 型フラッシュメモリが得られる。そして、この N A N D 型フラッシュメモリを用いることによって、N A N D 型フラッシュメモリコントローラや B I O S のファイル管理システムが大幅に簡略化されるという効果が得られる。

40

【 図面の簡単な説明 】

【 図 1 】 本発明にかかる N A N D 型フラッシュメモリの構成の一例を示すブロック図である。

【 図 2 】 本発明にかかる N A N D 型フラッシュメモリのデータ領域の構成の一例を示す模式図である。

50

【図 3】本発明にかかるNAND型フラッシュメモリのリードサイクルタイミングの一例を示すチャートである。

【図 4】従来のNAND型フラッシュメモリの構成を示すブロック図である。

【図 5】従来のNAND型フラッシュメモリのリードサイクルタイミングを示すチャートである。

【図 6】従来のNAND型フラッシュメモリのデータ領域の構成を示す模式図である。

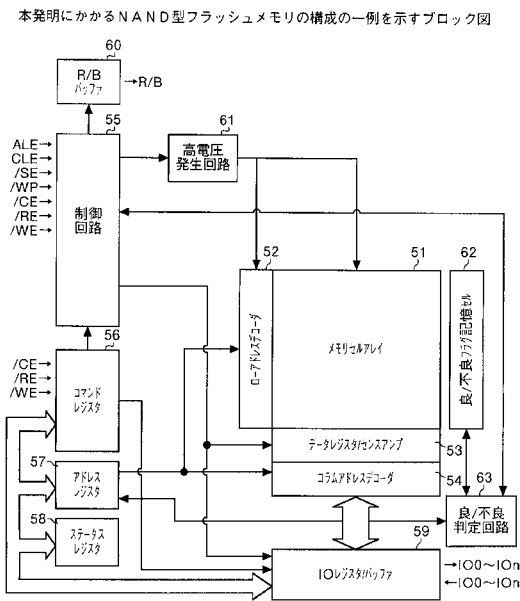
【図 7】NAND型フラッシュメモリをコード格納用メモリとして用いた場合のシステムの構成を示すブロック図である。

【符号の説明】

- 5 1 メモリセルアレイ
- 5 3 データレジスタ/センスアンプ
- 5 5 制御回路
- 5 7 アドレスレジスタ
- 6 2 良/不良フラグ記憶セル
- 6 3 良/不良判定回路
- 7 6 コード最終ページフラグ

10

【図 1】

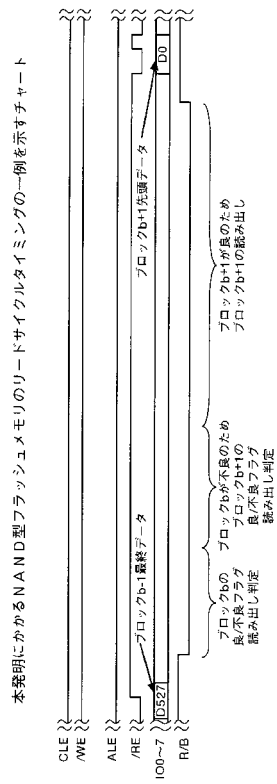


【図 2】

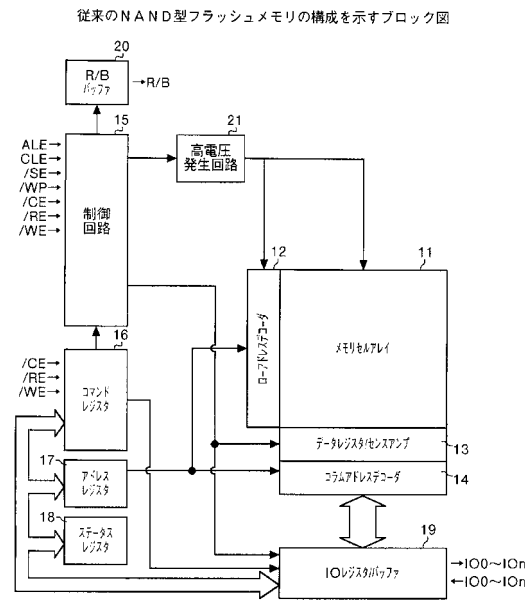
本発明にかかるNAND型フラッシュメモリのデータ領域の構成の一例を示す模式図

ブロック アドレス	ページ アドレス	メインデータ領域 (512バイト)	スベアデータ領域 (16バイト)
0	0	コードデータ	
	1		
	⋮		
	⋮		
	s		
1	0		
	1		
	⋮		
	⋮		
	s		
⋮	⋮		
	⋮		
	⋮		
	⋮		
	s		
b	0	欠陥を含むブロック	
	1		
	⋮		
	⋮		
	s		
⋮	⋮		
	⋮		
	⋮		
	⋮		
	s		
n	0	コードデータ	
	1		
	⋮		
	⋮		
	s		
m	0		
	1		
	⋮		
	⋮		
	s		
⋮	⋮		
	⋮		
	⋮		
	⋮		
	s		
t	0		
	1		
	⋮		
	⋮		
	s		

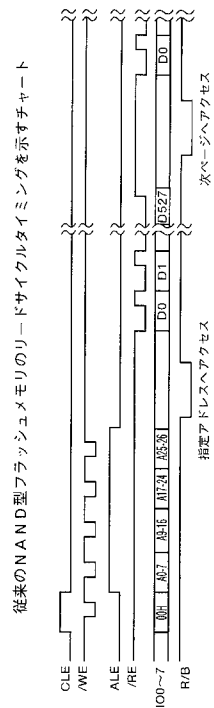
【図 3】



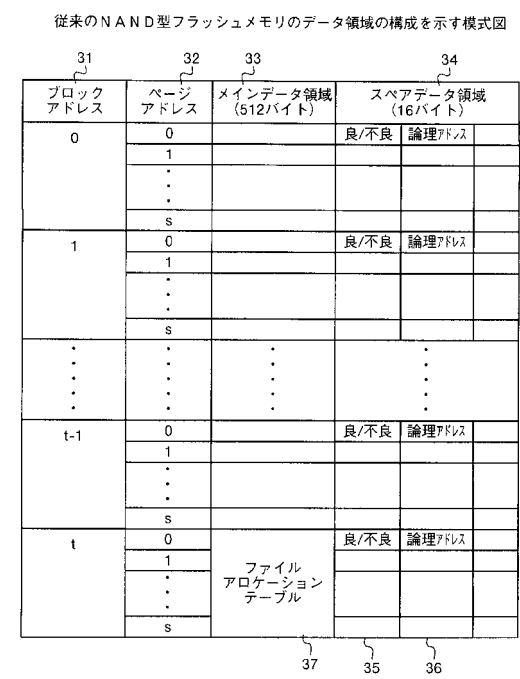
【図 4】



【図 5】



【図 6】



【図 7】

NAND型フラッシュメモリをコード格納用メモリとして用いた場合のシステムの構成を示すブロック図

