

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2015-500546

(P2015-500546A)

(43) 公表日 平成27年1月5日(2015. 1. 5)

(51) Int.Cl. F I テーマコード (参考)  
**G 1 1 C 16/02 (2006.01)** G 1 1 C 17/00 6 1 1 D 5 B 1 2 5  
 G 1 1 C 17/00 6 O 1 E

審査請求 有 予備審査請求 未請求 (全 22 頁)

(21) 出願番号	特願2014-545913 (P2014-545913)	(71) 出願人	500147506
(86) (22) 出願日	平成24年11月13日 (2012. 11. 13)		シリコン ストリージ テクノロジー
(85) 翻訳文提出日	平成26年8月6日 (2014. 8. 6)		インコーポレイテッド
(86) 国際出願番号	PCT/US2012/064881		S I L I C O N S T O R A G E T E C
(87) 国際公開番号	W02013/085676		H N O L O G Y , I N C .
(87) 国際公開日	平成25年6月13日 (2013. 6. 13)		アメリカ合衆国 9 5 1 3 4 カリフォル
(31) 優先権主張番号	13/315, 213		ニア州 サンノゼ ホルガー ウェイ 4
(32) 優先日	平成23年12月8日 (2011. 12. 8)		5 0
(33) 優先権主張国	米国 (US)	(74) 代理人	100092093
			弁理士 辻居 幸一
		(74) 代理人	100082005
			弁理士 熊倉 禎男
		(74) 代理人	100067013
			弁理士 大塚 文昭

最終頁に続く

(54) 【発明の名称】 不揮発性メモリデバイス及びかかるデバイスのプログラミング方法

## (57) 【要約】

不揮発性メモリデバイスは、プログラミング電流を供給するための電荷ポンプと、不揮発性メモリセルの a f t アレイとを有する。アレイの各メモリセルは、電荷ポンプからのプログラミング電流によってプログラムされる。不揮発性メモリセルのアレイは、各ユニットが複数のメモリセルを含む複数のユニットに分割される。インジケータ・メモリセルが、不揮発性メモリセルの各ユニットに関連する。プログラミング回路は、各ユニットのメモリセルの 5 0 パーセント又はそれ以下がプログラムされることになる場合には、プログラミング電流を用いて各ユニットのメモリセルをプログラムし、各ユニットのメモリセルの 5 0 パーセントよりも多くがプログラムされることになる場合には、プログラミング電流を用いて、各ユニットのメモリセル及び各ユニットに関連するインジケータ・メモリセルの反転をプログラムする。

【選択図】 図 4

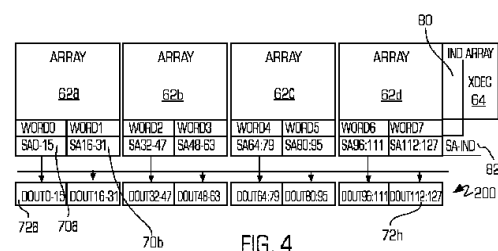


FIG. 4

## 【特許請求の範囲】

## 【請求項 1】

プログラミング電流を供給するための電荷ポンプと、  
各ユニットが複数のメモリセルを含む複数のユニットに分割され、各メモリセルが前記プログラミング電流によってプログラムされる不揮発性メモリセルアレイと、  
前記不揮発性メモリセルの各ユニットに関連するインジケータ・メモリセルと、  
各ユニットの前記メモリセルの特定の割合又はそれ以下がプログラムされることになる場合には、前記プログラミング電流を用いて各ユニットの前記メモリセルをプログラムし、各ユニットの前記メモリセルの前記特定の割合よりも多くがプログラムされることになる場合には、前記プログラミング電流を用いて、各ユニットの前記メモリセル及び各ユニットに関連する前記インジケータ・メモリセルの反転をプログラムするためのプログラミング回路と、  
を備える不揮発性メモリデバイス。

10

## 【請求項 2】

前記不揮発性メモリセルの状態を検知するために、1つがユニットの各不揮発性メモリセルに接続された複数のセンスアンプと、  
前記検知されたユニットに関連する前記インジケータ・メモリセルの状態を検知するために、前記インジケータ・メモリセルに接続されたインジケータ・センスアンプと、  
前記インジケータ・センスアンプが、前記インジケータ・メモリセルの状態が特定の1つの状態にあることを検知した場合には、前記複数のセンスアンプの状態を出力し、前記インジケータ・センスアンプが、前記インジケータ・メモリセルの状態が別の状態にあることを検知した場合には、前記複数のセンスアンプの反転状態を出力するための論理回路と、  
を更に備える、請求項 1 に記載のメモリデバイス。

20

## 【請求項 3】

前記不揮発性メモリセルアレイは、複数のロー及びカラムに配列され、インジケータ・メモリセルアレイは、前記不揮発性メモリセルアレイにロー方向で隣接して位置し、1つのインジケータ・メモリセルが前記同じロー内の複数のメモリセルに関連する、請求項 1 に記載のメモリデバイス。

30

## 【請求項 4】

前記不揮発性メモリセルアレイは、複数のロー及びカラムに配列され、インジケータ・メモリセルアレイは、前記不揮発性メモリセルアレイにカラム方向で隣接して位置し、1つのインジケータ・メモリセルが前記同じカラム内の複数のメモリセルに関連する、請求項 1 に記載のメモリデバイス。

## 【請求項 5】

前記メモリセルの各々は、  
平面を有する第 1 の導電型の半導体基板と、  
前記平面上の第 2 の導電型の第 1 の領域と、  
前記第 1 の領域から間隔を置いて配置され、チャネル領域が該間隔に含まれている、前記平面上の前記第 2 の導電型の第 2 の領域と、  
前記チャネル領域の第 1 の部分から間隔を置いて配置された浮遊ゲートと、  
前記浮遊ゲートの一方の側面で前記浮遊ゲートに隣接し、前記浮遊ゲートから絶縁されており、更に前記チャネル領域の第 2 の部分から間隔を置いて配置されているワード線と、  
前記浮遊ゲートの他方の側面で前記浮遊ゲートに隣接し、前記浮遊ゲートから絶縁されており、更に前記第 2 の領域から間隔を置いて配置されている消去ゲートと、  
前記浮遊ゲートから間隔を置いて配置され、前記ワード線と前記消去ゲートとの間に存在しており、更にそれらから絶縁された前記浮遊ゲート上のカップリングゲートと、  
を備える、請求項 1 に記載のメモリデバイス。

40

## 【請求項 6】

50

前記特定の割合は50パーセントである、請求項1に記載のメモリデバイス。

【請求項7】

デジタル「0」ビット検出器を更に備える、請求項1に記載のメモリデバイス。

【請求項8】

前記デジタル「0」ビット検出器は、クロックパルス発生器を備え、連続的にクロック制御されたデジタル「0」ビット検出に基づく、請求項7に記載のメモリデバイス。

【請求項9】

アナログ「0」ビット検出器を更に備える、請求項1に記載のメモリデバイス。

【請求項10】

前記アナログ「0」ビット検出器は、電流バイアスのユニットに基づいて検出する、請求項9に記載のメモリデバイス。

10

【請求項11】

前記電流バイアスは、マイクロアンペアである、請求項10に記載のメモリデバイス。

【請求項12】

前記メモリアレイは更に、複数のメモリサブアレイを含む、請求項1に記載のメモリデバイス。

【請求項13】

プログラミングに関するメモリセルを有さない各サブアレイは、プログラミングバイアスをディセーブルにする、請求項12に記載のメモリデバイス。

【請求項14】

不揮発性メモリデバイスをプログラミングする方法であって、  
前記メモリデバイスは、各メモリユニットが、複数のメモリセルを有し関連するインジケータ・メモリセルを含む、複数のメモリユニットを備え、前記ユニットの複数のメモリセル及び前記関連するインジケータ・メモリセルは、電荷ポンプからのプログラミング電流によってプログラムされ、  
前記方法は、

20

前記ユニット内のメモリセルの特定の割合又はそれ以下が、前記プログラミング電流によってプログラムされることになるか否かを判定する段階と、

プログラムされる場合には、前記プログラミング電流によって前記メモリセルをプログラムする段階と、

30

プログラムされない場合には、前記メモリセル及び前記関連するインジケータ・メモリセルの反転を前記プログラミング電流によってプログラムする段階と、を含む方法。

【請求項15】

同じユニットからの前記メモリセルの各々の状態を検知する段階と、

同じユニットに関連する前記インジケータ・メモリセルの状態を検知する段階と、

前記関連するインジケータ・メモリセルが特定の1つの状態にある場合には、前記同じユニットからのメモリセルの各々の状態を出力する段階と、

前記関連するメモリセルが別の状態にある場合には、前記同じユニットからのメモリセルの各々の反転状態を出力する段階と、

を更に含む、請求項14に記載の方法。

40

【請求項16】

前記特定の割合は、約50パーセントである、請求項14に記載の方法。

【請求項17】

インジケータ・メモリセルは、複数の基本メモリセルを含む、請求項14に記載の方法。

【請求項18】

インジケータ・メモリは、ローデコードに隣接する、請求項14に記載の方法。

【請求項19】

不揮発性メモリデバイスをプログラミングする方法であって、

前記メモリデバイスは、各メモリユニットが複数のメモリセルを有する複数のメモリユ

50

ニットを含み、前記ユニットの複数のメモリセルは、高電圧電荷ポンプからのプログラミング電流によってプログラムされ、

前記方法は、

前記高電圧電荷ポンプによって消去状態からプログラム状態に記憶状態が変化することになる前記ユニット内のメモリセルの数が、所定の数に達しているか否かを、ユニット内のメモリセルの最初から最後まで連続的に判定する段階と、

前記所定の数に達している場合には、前記判定された数の前記メモリセルを前記高電圧電荷ポンプによってプログラムする段階と、

前記所定の数に達しない場合には、前記ユニット内の全てのメモリセルをプログラムするか又はプログラムしないかが判定されるまで、プログラムされる前記ユニット内のメモリセル数の残りを判定することを継続する段階と、

を含む方法。

【請求項 20】

前記判定する段階は、ビット単位に基づく、請求項 19 に記載の方法。

【請求項 21】

前記判定する段階は、ワード単位に基づく、請求項 19 に記載の方法。

【請求項 22】

各メモリユニットは更に、関連するインジケータ・メモリセルを含む、請求項 19 に記載の方法。

【請求項 23】

プログラミングに関して判断された前記メモリセルは、datain ビット「0」に対応する、請求項 19 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリデバイス、及びかかる不揮発性メモリデバイスのプログラミング方法に関する。

【背景技術】

【0002】

浮遊ゲート、すなわちそれへの電荷の蓄積のための電荷トラップ層を有する不揮発性メモリセルは、当該技術において公知である。図 1 を参照すれば、従来技術の不揮発性メモリセル 10 (スプリットゲート・ソースサイド注入ホットエレクトロンプログラミングセル) の断面図が示されている。メモリセル 10 は、P 型のような第 1 の導電型の単一の結晶基板 12 を含む。N 型のような第 2 の導電型の第 1 の領域 14 が、基板 12 の表面において又はその近くに存在する。更に、第 2 の導電型の第 2 の領域 16 が、第 1 の領域 14 から間隔を置いて配置される。チャンネル領域 18 が、第 1 の領域 14 と第 2 の領域 16 との間に存在する。ポリシリコン製のワード線 20 が、チャンネル領域 18 の第 1 の部分上に配置される。ワード線 20 は、(二)酸化ケイ素のような絶縁層 22 によってチャンネル領域 18 から間隔を置いて配置される。浮遊ゲート 24 が、ワード線 20 に直接隣接し、間隔を置いて配置され、ポリシリコン製であり、チャンネル領域 18 の別の部分上に位置する。浮遊ゲート 24 は、通常はこれも(二)酸化ケイ素製である別の絶縁層 30 によってチャンネル領域 18 から分離される。カップリングゲート 26 は、これもポリシリコン製であり、浮遊ゲート 24 上に位置し、別の絶縁層 32 によって浮遊ゲート 24 から絶縁される。消去ゲート 28 が、浮遊ゲート 24 の反対側に存在し、浮遊ゲート 24 から間隔を置いて配置され、更にポリシリコン製である。消去ゲート 28 は、第 2 の領域 16 上に位置し、そこから絶縁される。消去ゲート 28 は、カップリングゲート 26 に隣接し、それから間隔を置いて配置される。消去ゲート 28 は、浮遊ゲート 24 上にわずかな突出部を有することができる。メモリセル 10 の動作において、浮遊ゲート 24 に蓄積された電荷が、第 1 の領域 14 と第 2 の領域 16 との間の電流の流れを制御する。浮遊ゲート 24 が、そこで負に帯電している場合には、メモリセルがプログラムされる。浮遊ゲート 24 がそこ

で正に帯電している場合には、メモリセルが消去される。メモリセル 10 は、米国特許第 7,868,375 に十分に開示されており、その開示内容全体は、引用により本明細書に組み込まれている。

#### 【0003】

メモリセル 10 は、以下のように動作する。消去動作中、浮遊ゲート 24 から電子が除去される際に、高い正電圧、例えば 8 - 11 V が、消去ゲート 28 に印加される。負電圧、例えば -6 から -8 V 又は接地電圧は、カップリングゲート 26 及び / 又はワード線 20 に印加することができる。電子は、浮遊ゲート 24 と消去ゲート 28 との間の絶縁層を通じたファウラー・ノルトハイムトンネルにより、浮遊ゲート 24 から消去ゲート 28 に移動する。特に、浮遊ゲート 24 は、消去ゲート 28 に面した鋭い先端部を備えて形成することができ、これにより、電子のトンネル現象を円滑にする。消去動作中、高い正電圧が、電荷ポンプ 52 (図 2 に図示) から供給される。通常、消去動作は、浮遊ゲート 24 からの電子の除去のみを伴うので、電荷ポンプ 52 が、大きな電流 (通常はナノアンペア程度) を供給する必要はない。

#### 【0004】

その後、メモリセル 10 をプログラムすることができる。プログラミング動作中に、電子が、逆に浮遊ゲート 24 の下のチャネル 18 の部分によるホットエレクトロン注入を通じて浮遊ゲート 24 に注入される場合には、例えば 1 V から 2 V の第 1 の正電圧をパルスの形態でワード線 20 に印加することによって、ワード線 20 下のチャネル領域 18 部分が導電性を帯びる。例えば 8 V から 10 V の第 2 の正電圧は、これもまたパルスの形態であり、カップリングゲート 26 に印加されて、カップリングゲート 26 と浮遊ゲート 24 との間の高いカップリング比を利用して、浮遊ゲート 24 への電圧カップリングを最大にする。例えば 3 V から 6 V の第 3 の正電圧は、これもまたパルスの形態であり、消去ゲート 28 に印加されて、消去ゲート 28 と浮遊ゲート 24 との間のカップリング比を利用して、浮遊ゲート 24 への電圧カップリングを最大にする。例えば 4 V から 7 V の高電圧差動は、これもまたパルスの形態であり、第 1 の領域 14 と第 2 の領域 16 との間に印加されて、チャネル 18 におけるホットエレクトロンの生成をもたらす。したがって、プログラミング動作中には、電流 (通常はマイクロアンペアの) は、第 1 の領域 14 と第 2 の領域 16 との間を流れ、電荷ポンプ 52 から供給される必要がある。

#### 【0005】

読み出し動作中には、例えば 1 V から 3 V の第 1 の正電圧は、ワード線 20 に印加されて、ワード線 20 の下のチャネル領域 18 部分をオンにする。例えば 0 V から 4 V の第 2 の正電圧は、カップリングゲート 26 に印加される。例えば 0 V から 3 V の第 3 の電圧は、消去ゲート 28 に印加される。例えば 0.5 V から 2 V の電圧差動は、第 1 の領域 14 及び第 2 の領域 16 に印加される。浮遊ゲート 24 がプログラムされている場合、すなわち、浮遊ゲート 24 が電子を蓄積している場合、カップリングゲート 26 に印加される第 2 の正電圧及び消去ゲート 28 に印加される第 3 の電圧は、浮遊ゲート 24 に蓄積された陰電子を克服することができず、浮遊ゲート 24 の下のチャネル領域 18 部分は、依然として非導電性である。したがって、第 1 の領域 14 と第 2 の領域 16 との間には、電流が流れないこと又は無視できるほど少量の電流が流れることになる。しかしながら、浮遊ゲート 24 がプログラムされていない場合、すなわち、浮遊ゲート 24 が中性又は正に電荷された状態である場合には、カップリングゲート 26 に印加される第 2 の正電圧及び消去ゲート 28 に印加される第 3 の電圧により、浮遊ゲート 24 の下のチャネル領域 18 部分が導電性を帯びることができる。したがって、電流が、第 1 の領域 14 と第 2 の領域 16 との間を流れることになる。

#### 【0006】

公知のように、メモリセル 10 は、通常、半導体ウェハー上にメモリセル 10 の複数のロー及びカラムを有するアレイで形成される。図 2 を参照すれば、メモリセル 10 のアレイ 60 と共に従来技術のメモリデバイス 50 のブロックレベルの図面が示されている。図 3 は、図 2 に示したアレイ 60 のより詳細な図面である。アレイ 60 は、複数のサブアレ

10

20

30

40

50

イ 6 2 ( a - d ) を備え、メモリセル 1 0 のような複数のメモリセルは、複数のロー及びカラムに配列される。ローデコーダ ( x d e c 、更にワード線デコーダとして公知 ) 6 4 は、サブアレイ 6 2 a 、 6 2 b 、 6 2 c 、及び 6 2 d にわたるメモリセル 1 0 の各ローに関連する。センスアンプ 7 0 a 及び 7 0 b は、各サブアレイ、例えばサブアレイ 6 2 a 内のメモリセル 1 0 のカラムに関連する。カラム ( ビット線 ) デコーダ ( y m u x 、図示せず ) を用いて、メモリセルのカラムをセンスアンプに選択 ( 多重化、デコード ) する。センスアンプ 7 0 から、信号が、出力レジスタ 7 2 に供給される。図 3 に示す実施形態では、各サブアレイ 6 2 が、各ワードが 1 6 ビットを有する 2 個のワードに多重化 ( すなわち、図示していない y m u x によってデコード ) される。一実施形態では、サブアレイ 6 2 において、各ローは、2 0 4 8 個のメモリセルを有し、先頭の 1 0 2 4 セルが、( プログラムされる ) 第 1 のワードに多重化され、次の 1 0 2 4 セルが、( プログラムされる ) 第 2 のワードに多重化される。

10

#### 【 0 0 0 7 】

消去中には、メモリセルのユニットのブロック又はグループ ( 多数のバイトなど ( 8 ビットが 1 バイトに相当 ) ) が、同時に消去される。消去動作は、複数のビットを「 F F ( 1 6 進 ) 」又は「 1 1 1 1 1 1 1 1 」の状態にセットする。プログラミング中には、バイトのうちの選択されたビットが、浮遊ゲート上に電子を注入することによって「 0 」の論理状態にプログラムされる。しかしながら、電荷ポンプ 5 2 は、バイトのうちのビットの全てがプログラムされるように、プログラミング電流を供給できる必要がある。したがって、電荷ポンプ 5 2 は、バイトの全ビットが「 0 0 ( 1 6 進 ) 」又は「 0 0 0 0 0 0 0 0 」の状態にプログラムされることになるようにプログラミング電流を供給する能力を備えて設計される必要がある。更に、性能を向上させるために、多数のバイトは、同時にプログラムされる。これにより、更なる負荷が電荷ポンプ 5 2 に加えられ、大きなプログラミング電流が供給される。大電流を供給する能力がある電荷ポンプ 5 2 は、シリコンダイ上に大きなリアルエステートを必要とするので、より大型の電荷ポンプ 5 2 は、より大きなシリコン・リアルエステートを占める。したがって、電荷ポンプ 5 2 のサイズを縮小することが本発明の 1 つの目的である。

20

#### 【 0 0 0 8 】

最後に、パリティビットは、当業者に公知である。パリティビットは、複数のビット ( バイトなど ) に関連するビットであり、バイト内に記憶されたデータに対する誤りチェックを表す状態にプログラムされる。しかしながら、パリティビットは、一般的に、揮発性メモリセルで用いられており、誤り訂正に関してのみ使用されている。

30

#### 【 先行技術文献 】

#### 【 特許文献 】

#### 【 0 0 0 9 】

【 特許文献 1 】 米国特許第 7 , 8 6 8 , 3 7 5 号明細書

#### 【 発明の概要 】

#### 【 課題を解決するための手段 】

#### 【 0 0 1 0 】

本発明は、プログラミング電流を供給するための電荷ポンプを有する不揮発性メモリデバイスである。メモリデバイスは、不揮発性メモリセルのアレイを有し、各メモリセルは、プログラミング電流によってプログラムされる。不揮発性メモリセルのアレイは、複数のユニットに分割され、各ユニットが複数のメモリセルを含む。インジケータ・メモリセルは、不揮発性メモリセルの各ユニットに関連する。プログラミング回路は、各ユニットのメモリセルの特定の割合又はそれ以下がプログラムされることになる場合には、プログラミング電流を用いて各ユニットのメモリセルをプログラムし、各ユニットのメモリセルの特定の割合よりも多くがプログラムされることになる場合には、プログラミング電流を用いて、各ユニットのメモリセル及び各ユニットに関連するインジケータ・メモリセルの反転をプログラムする。

40

#### 【 0 0 1 1 】

50

本発明は更に、プログラミング動作中にプログラミング電流を供給する電荷ポンプに依存する不揮発性メモリデバイスをプログラムする方法である。

【図面の簡単な説明】

【0012】

【図1】本発明のプログラミング方法が適用可能であり本発明のメモリデバイスで使用可能な従来技術の不揮発性メモリセルであって、それへの電荷の蓄積のための浮遊ゲートウェイを有する不揮発性メモリセルの断面図である。

【図2】不揮発性メモリセルのプログラミング中に用いられるプログラミング電流を供給する電荷ポンプを含む、従来技術の不揮発性メモリデバイスのブロックレベルの図面である。

【図3】図2に示す従来技術の不揮発性メモリデバイスのアレイ部分の詳細なブロックレベルの図面である。

【図4】本発明の不揮発性メモリデバイスの一実施形態のアレイ部分の詳細なブロックレベルの図面である。

【図5】本発明の不揮発性メモリデバイスの別の実施形態のアレイ部分の詳細なブロックレベルの図面である。

【図6】本発明の不揮発性メモリデバイスで用いられるプログラミング回路のブロックレベルの図面である。

【図7】本発明の不揮発性メモリデバイスで用いられる読み出し回路のブロックレベルの図面である。

【図8】本発明の不揮発性メモリデバイスで用いられるdatain（データ入力）「0」検出アナログ回路の図面である。

【図9】本発明の不揮発性メモリデバイスで用いられるdatain「0」アナログ検出のフロー図である。

【図10】本発明の不揮発性メモリデバイスで用いられるdatain「0」検出デジタル回路のブロック図である。

【図11】本発明の不揮発性メモリデバイスで用いられるプログラミングのフロー図である。

【図12】本発明の不揮発性メモリデバイスで用いられるプログラミングの代替的なフロー図である。

【図13】本発明の不揮発性メモリデバイスで用いられるプログラミングの別の代替的なフロー図である。

【発明を実施するための形態】

【0013】

図4を参照すれば、本発明の不揮発性メモリアレイ200の一実施形態のブロックレベルの図面が示されている。不揮発性メモリアレイ200は、図2に示す不揮発性メモリデバイス50におけるアレイ60の代わりに使用することができる。本発明のメモリアレイ200は、メモリアレイ60に類似するので、同様の要素には同様の符号が用いられる。

【0014】

アレイ200は、複数のサブアレイ62（a - d）を含み、メモリセル10のような複数のメモリセルは、複数のロー及びカラムに配列される。ローデコーダ64は、サブアレイ62a、62b、62c、及び62dにわたるメモリセル10の各ローに関連する。センスアンプ70a及び70bは、各サブアレイ、例えばサブアレイ62a内のメモリセル10の各カラムに関連する。センスアンプ70から、信号が出力レジスタ72に供給される。図4に示す実施形態では、各サブアレイ62は、各ローが2048個のメモリセル10を有する複数のローを有し、先頭の1024個のセルが第1のワード（各ワードはプログラムされる16ビットを有する）に多重化され、次の1024個のセルが（プログラムされる）第2のワードに多重化される。したがって、アレイ60内のメモリセル10のロー全体が、128個のメモリセル10の複数のユニットを含み、各ユニットが、8個のワード、ワード0 - ワード7に多重化され、センスアンプSA0 - SA127 70に接続

10

20

30

40

50

される。

【0015】

アレイ200は更に、サブアレイ62(a-d)で用いられるメモリセルと同じタイプのメモリセル、すなわちメモリセル10とすることができるメモリセル(インジケータ・メモリセルと呼ばれる)のアレイ80を含み、アレイ80の各ローが、複数のインジケータ・メモリセルを有する。メモリセルのアレイ80は、サブアレイ62(d)とローデコーダ64との間に位置し、インジケータ・メモリセル10の1つのローが、サブアレイ62(a-d)内のメモリセル10の各ローに関連する。インジケータ・セルアレイ80の位置は、ローデコーディングによる最高速のアクセス時間を有するためにローデコーダ64に直接隣接しており、インジケータビットに関連するロジックに起因する速度全体の影響が軽減される。一実施形態において、1個のインジケータ・セルが、各サブアレイ62内の選択された2個のワード(選択された32個のメモリセル10)に関連する。別の実施形態では、1個のインジケータ・メモリセル10が、選択された8個のワードの各ユニット(128個のメモリセル10)に関連する。当然ながら、以下で分かるように、本発明はそのように限定されず、各インジケータ・メモリセル10は、任意の数を有するメモリセルのユニットに関連することができる。センスアンプ82が、アレイ80内のインジケータ・メモリセル10に関連する。以下で分かるように、センスアンプ82の出力は、センスアンプ70(a-h)からレジスタ72(a-h)への出力をゲート制御する。一実施形態において、各インジケータビット(セル)は、1個の(基本)メモリセル10から構成される。別の実施形態では、各インジケータビットは、2つ又はそれ以上の(基本)メモリセル10から構成され、この場合、インジケータ・セルの検知がより高速になり、チェック及びデータ出力の反転に起因する全体的な速度に影響を与えない。

10

20

【0016】

本発明の動作は、以下の実施例によって最もよく理解することができる。インジケータ・メモリセル10が関連するメモリセル10のユニットが、1バイト又は8ビットであると仮定する。このバイト又は8ビットが消去された後には、それは、「FF(16進)」又は「11111111」のビットパターンの状態にある。バイト内にプログラムされる新規のデータが「00000000」である場合には、8個のメモリセル10の状態を変更する程度のプログラミング電流を供給する代わりに、本発明のメモリデバイス200は、関連するインジケータ・メモリセル10を単に「1」から「0」にプログラムし、関連するバイトのビット状態を「11111111」に維持する。このようにして、1ビットのみがプログラムされ、1個のみのメモリセル10をプログラムする程度のプログラミング電流が、電荷ポンプ52によって供給される必要がある。

30

【0017】

本発明の別の実施例は以下のとおりである。この場合もやはり、インジケータ・メモリセル10が関連するメモリセル10のユニットが、1バイト又は8ビットであると仮定する。このバイト又は8ビットが消去された後には、それは、「FF(16進)」又は「11111111」のビットパターンの状態にある。関連するバイトにプログラムされる新規のデータが、「01010101」であり、関連するユニット内のビットの50パーセントである場合には、プログラミング回路は、関連するバイトのビットに「01010101」のビットパターンをプログラムする。この場合、4ビットのみがプログラムされ、必要な総プログラミング電流は、4ビットのプログラミングに関する。しかしながら、関連するバイトにプログラムされる新規のデータが、「01010100」であり、関連するバイト内のビットの50パーセントより多い場合には、プログラミング回路は、反転ビットパターン又は「10101011」が関連するバイトのビットにプログラムされるようにし、関連するインジケータビットが「0」の状態にプログラムされるようにする。この実施例では、この場合もやはり、4ビットのみがプログラムされる必要があり、総プログラミング電流は、この場合もやはり、4ビットのみである。これらの実施例から分かるように、本発明の方法によって、電荷ポンプ52がアレイ200をプログラムするのに供給する必要があるプログラミング電流の最大量は、従来技術のアレイ60と比較して、そ

40

50



の他の場合には従来技術のメモリアレイ 60 に必要とされるプログラミング電流の半分又は 50 パーセントのみである。説明するこの方法では、記憶されるデータパターンは、ほとんど「1」のデータである(50 パーセントより多くがデータ「0」である場合、データ「0」は、データ「1」に反転されることになるので)。代替的な実施形態は、正確に 50 パーセントであることを必要とせず、約 50 パーセント又は任意の割合とすることができる。50 パーセント未満の場合には、チップ動作が最適ではない。

#### 【0018】

図 5 を参照すれば、本発明の不揮発性メモリアレイ 300 の別の実施形態のブロックレベルの図面が示されている。不揮発性メモリアレイ 300 は、図 4 に示す不揮発性メモリアレイ 200 に類似しており、図 2 に示す不揮発性メモリデバイス 50 におけるアレイ 60 の代わりに使用することができる。本発明のメモリアレイ 300 は、メモリアレイ 200 に類似するので、同様の要素には同様の符号が用いられる。

10

#### 【0019】

アレイ 300 は、複数のサブアレイ 62 (a - d) を含み、メモリセル 10 のような複数のメモリセルは、複数のロー及びカラムに配列される。ローデコーダ 64 は、サブアレイ 62 a、62 b、62 c、及び 62 d にわたるメモリセル 10 の各ローに関連する。センスアンプ 70 a 及び 70 b は、各サブアレイ、例えばサブアレイ 62 a 内のメモリセル 10 の各カラムに関連する。センスアンプ 70 から、信号が出力レジスタ 72 に供給される。図 5 に示す実施形態では、各サブアレイ 62 は、各ローが 2048 個のメモリセル 10 を有する複数のローを有し、先頭の 1024 個のセルが第 1 のワード(各ワードはプログラムされる 16 ビットを有する)に多重化され、次の 1024 個のセルが(プログラムされる)第 2 のワードに多重化される。したがって、アレイ 60 内のメモリセル 10 のロー全体は、128 個のメモリセル 10 のユニットを含み、各ユニットが、8 個のワード、ワード 0 - ワード 7 に多重化され、センスアンプ SA0 - SA127 70 に接続される。

20

#### 【0020】

アレイ 300 は更に、サブアレイ 62 (a - d) で用いられるメモリセルと同じタイプのメモリセル、すなわちメモリセル 10 とすることができるメモリセル(インジケータ・メモリセルと呼ばれる)の複数のアレイ 80 (a - d) を含む。インジケータ・メモリセルの各アレイ 80 は、メモリセルのサブアレイ 62 に関連し、関連するサブアレイ 62 と関連するセンスアンプ 70 との間に位置し、1 個のインジケータ・メモリセル 10 がサブアレイ 62 内のメモリセル 10 の関連カラムに関連する。メモリセルのローに関連する各インジケータ・メモリセルに関する前述の説明と同様に、各インジケータ・メモリセル 10 は、メモリセルの 1 つのカラムに関連する必要はなく、任意の数を有するメモリセルのユニットに関連することができる。センスアンプ 82 は、インジケータ・メモリセルの各アレイ 80 に関連し、このセンスアンプの出力が、センスアンプ 70 からレジスタ 72 への出力をゲート制御する。

30

#### 【0021】

図 6 を参照すれば、プログラムされるデータをテストしてデータ又はその反転をプログラムするかどうかを判定するための、本発明の方法による回路 210 が示されている。回路 210 は、デジットカウンタ回路 246 と、反転回路 204 と、マルチプレクサ MUX 202 とを備える。デジットカウンタ回路 246 は、data\_in ストリーム内の論理ビット「0」の数をカウントするために使用される。論理ビット「0」の数が特定の所定のデジットの割合、例えば 50 % を超える場合には、データは、選択 MUX 202 及び反転回路 204 を介して反転される。代替的に、例えば、33 %、66 %、51 % などのデジットの割合を用いることができる。MUX 回路 202 の出力は、メモリセル 10 に記憶されるデータである。

40

#### 【0022】

図 7 を参照すれば、センスアンプ 70 からレジスタ 72 への出力をゲート制御するための、本発明の方法による data\_out\_mux 回路 260 が示されている。data

50

out mux回路260は、インジケータ・センスアンプ82と、センスアンプ70と、反転回路264と、多重回路MUX262とを備える。インジケータ・センスアンプ82への入力、アレイ80からのインジケータ・メモリセルである。センスアンプ70への入力、アレイ62からのメモリセル10である。インジケータ・センスアンプ82の出力に応じて、センスアンプ70の出力が、MUX262及び反転回路264を介して供給される、又はこれらによって反転される。MUX262の出力は通常、DOU T (Data Output) 回路72に送られ、これはIOBU F (Input / Output Buffer (入出力バッファ)) 回路に接続されている。

#### 【0023】

図8を参照すれば、アナログデジット「0」カウンタ(検出)回路310が示されている。回路310は、複数のイネーブルバイアス回路320と、PMOSTランジスタ316と、PMOSTランジスタ330と、電流バイアス回路332とを含む。イネーブルバイアス回路320は、電流バイアス回路IBIAS324と、NMOSTランジスタ322とを含む。NMOST322のゲートへの入力、反転されたdatain IN/であり、したがって、datain IN = 「0」の場合には、反転されたdatain IN / = 「1」が、NMOSTランジスタ322をイネーブルにする。バイアス回路324は、ユニットバイアス電流IBIAS、例えばIBIAS = 2 uAとして実装される。例えば、16個のdatain IN < 0 - 15 > が存在し、したがって、16個の回路320が存在する。例えば、9個のdatain = 「0」(他の7個のdatain = 「1」)である場合には、バイアス電流IBIAS324の9個のユニットが、PMOS316内にイネーブルにされる。この電流は、PMOSTランジスタ330内にミラーリングされる。例えば、回路332が、M = 8及びIBIAS = 2 uAでのM x IBIASを有する。PMOS330内の電流は、9 x IBIASであり、回路332内の電流は、8 x IBIASであり、したがって、出力334は、high(高)に引き上げられ、デジット「0」の数が、16のdatainビットのうち8を上回ることが示される。回路310は、全datainビットに対して同時に動作する。

#### 【0024】

図9を参照すれば、デジタルデジット「0」検出のフローチャートアルゴリズムが示されている。開始段階410において、初期化シーケンスは、Dn = D0(例えば64のうちの最初のdatain)、クロックパルスCKn = CK0(最初のクロック)、及びカウンタCn = 0に初期化する。次に段階412において、datain Dn = 0(デジット「0」)かどうかをチェックし、Y(はい)の場合には、段階414に進み、カウンタCnを1だけ増加し(Cn = Cn + 1)、N(いいえ)の場合には、段階416に進み、カウンタCnを現在のカウンタと同じに維持する。次に段階418に進み、クロックパルスを次のクロックパルスCKn = CKn + 1に増加し、次のdatain Dn = Dn + 1を入力する。次に段階420に進み、n = K、例えばK = 64であるか否かをチェックし、No(いいえ)の場合には、段階412にループバックし、デジット「0」に関するチェックを繰り返す。n = KがYes(はい)の場合には、段階422に進む。ここで、カウンタCn > M、例えばM = 33であるか否かをチェックして、true(真)の場合には、「0」を検出してDET0 = true(真) = 1とし、trueでない場合には、DET0 = false(偽) = 0とする。次は、最終段階424の完了シーケンスである。

#### 【0025】

図10を参照すれば、デジタルデジット「0」検出回路500が示されている。回路500は、a - ビットカウンタ510と、検出口ジックDet - Logic回路520とを含む。a - ビットカウンタは、クロックパルスCKnを供給し、検出口ジック520は、Dnに関するデジット「0」チェック、Cn、Dn、CKnに関するインクリメント関数、カウンタCnに関するチェック、初期化(initialization)、開始(start)、及び完了(done)関数を提供する。例えば、64個のdatainビットD < 0 : 63 > に関して、33個のdatain = 0が存在する場合には、出力はDE

10

20

30

40

50

C T 0 5 2 2 = 1 であり、「0」デジットの数が、6 4 のうち 3 2 を上回ることが示される。回路 5 0 0 は、一度に 1 ビットずつに対して連続的に作動し、例えば、6 4 個の d a t a i n ビットの場合には、6 4 クロックパルスで動作する。

#### 【0026】

図 1 1、1 2、及び 1 3 のプログラミングアルゴリズムは、必要なデータビットに対してのみ作動することにおいて動作上更に最適化するために、上述の発明と組み合わせて使用することができる。

#### 【0027】

図 1 1 を参照すれば、「0」d a t a i n パターンの効率的なプログラミングに関するプログラミングアルゴリズム 6 0 0 のフローチャートが示されている。この実施形態では、6 4 個の d a t a i n ビットが存在し（図 4 及び 5 では 1 2 8 個の d a t a i n ビットが存在）、1 6 ビットの「0」d a t a i n のみを一度にプログラムすることができる（高電圧電荷ポンプは、プログラミングにおいて一度に 1 6 ビットを供給する（電荷ポンプの面積を最小にするため）よう設計されており、例えば、3 2 ビットをプログラムするには、2 つのプログラミングパルスが連続的に動作し、各プログラミングパルスが 1 6 ビットを一度にプログラムすることが必要となることを意味する）。アルゴリズムは、最初の d a t a i n から開始し、「0」d a t a i n デジットの数をカウントし、1 6 個の「0」デジットに達すると、プログラム（書き込み）動作が実行されてこれらの 1 6 ビットを適切なメモリセル 1 0 内にプログラムするが、このことは、これらのセルのメモリセルの記憶状態を消去状態（「1」）からプログラム状態（「0」）に変更することを意味する。このプログラミングが完了した後、次に、プログラムされる次の 1 6 個の「0」d a t a i n デジットが、カウント及び識別される。シーケンスは、全ての 6 4 個の d a t a i n がプログラミング動作に関して考慮されるまで継続する。

#### 【0028】

プログラムアルゴリズムシーケンスは、以下のように機能する。選択された全てのメモリセルを消去するための消去動作の後、アルゴリズム 6 0 0 を用いて、d a t a i n をメモリセル 1 0 内にプログラムする。開始段階 6 0 2 において、初期化段階は、D i n n = D i n 0 に初期化し、次は、カウント C = 0 をイネーブルにする段階 6 0 4 であり、次は、D I N n = 0 であるか否かチェックするための段階 6 0 6 であり、D I N n を後でプログラム（書き込み）するようにイネーブルにし、カウント C を 1 だけインクリメントし（C = C + 1）、D I N n = 1 の場合には、後のプログラミング動作に関して D I N n をデイセーブルにし、カウント C を現在のまま維持する。次は、段階 6 0 8 であり、次の d a t a i n D I N n = D I N n + 1 に進み、次は、段階 6 1 0 であり、最後の d a t a i n に達しているか否か、すなわち D I N n = D I N 6 3 をチェックする。N o（いいえ）の場合には、段階 6 1 2 に進み、カウント C が 1 6 に達しているか否かをチェックし、Y e s（はい）の場合には、段階 6 1 4 に進み、これらの 1 6 個のイネーブルにされた d a t a i n D I N n に対してプログラム動作を実行する。C が 1 6 ではない場合には、段階 6 0 6 に戻り、次の「0」d a t a i n をイネーブルにするためのチェックを行う。段階 6 1 0 において、D I N n = D I N 6 3 の場合には、段階 6 1 6 に進み、ここでカウント C < 1（プログラムする必要があるメモリセルはない）の場合には、最終段階 6 6 6 の D o n e（完了）に進み、C > = 1 の場合には、段階 6 1 8 に進み、プログラミングに関してイネーブルにされていた d a t a i n ビットに対するプログラム動作を実行し、次に最終段階 6 6 6 の D o n e（完了）に進む。

#### 【0029】

図 1 2 を参照すれば、「0」d a t a i n パターンの効率的なプログラミングに関する別のプログラミングアルゴリズム 6 0 0 のフローチャートが示されている。この実施形態では、「0」デジット検出が、ワード（1 6 ビット）単位で作動する。プログラム（書き込み）可能な選択されたワードのうちのゼロの数は、この実施形態では一度に 1 6 である。この実施形態では、示した実施例は、4 個のワードの場合である。このアルゴリズムは、必要なワードを「0」デジットでプログラムするのみであり、これは、メモリセル記憶

10

20

30

40

50

状態を消去状態（「1」）からプログラム状態（「0」）に変更することを意味する。この方法は、図11の方法（ワードではなくビットに対して作用）よりも効率は低い、より簡単な実施形態を必要とする。

#### 【0030】

アルゴリズムは、以下のように機能する。最初は開始段階702であり、必要なあらゆるパラメータを初期化する。次は段階704であり、4個のワードW0 - 3の「0」デジットの数が1より小さい（プログラムする必要があるセルのメモリセルがない）か否かをチェックし、yes（はい）の場合には、最終段階777のdone（完了）に進む（実行される必要があるプログラミング動作がないことを意味する）。no（いいえ）の場合には、段階706に進み、4個のワードのW0 - 3の「0」デジットの数が16より小さいかどうかをチェックし、Yes（はい）の場合には、段階708に進み、全てのワードをプログラムし（プログラムされるビットの数が、同時にプログラム可能なビット数である16ビットより小さいので）、その後、最終段階777のdone（完了）に進む。段階706において、4個のワードW0 - 3の「0」デジットの数が16より小さいか否かがNo（いいえ）の場合には、段階710に進み、2個のワードのW0、W1の「0」デジットの数が1より小さいか否かをチェックし、それがNo（いいえ）の場合には、段階712に進み、2個のワードW0、W1の「0」デジットの数が16より小さいか否かをチェックし、Yes（はい）の場合には、両方のワードW0、W1を同時にプログラムし、次に段階720に進み、No（いいえ）の場合には、個別にW0をプログラムしてW1をプログラムし（すなわち、一度に1ワードを連続的に）、次に段階720に進む。段階710において、応答がYes（はい）の場合には、段階720に進む。段階720において、ワードW2、W3の「0」デジットの数が1より小さいか否かをチェックし、Yes（はい）の場合には、最終段階777のdone（完了）に進み、No（いいえ）の場合には、段階722に進み、ワードW2、W3の「0」デジットの数が16より小さいか否かをチェックする。yes（はい）の場合には、段階724に進み、両方のワードW2、W3を同時にプログラムし、No（いいえ）の場合には、段階726に進み、ワードW2、W3を個別に（連続的に）プログラムし、次に最終段階777のdone（完了）に進む。

#### 【0031】

図13を参照すれば、「0」datainパターンの効率的なプログラミングに関する別のプログラミングアルゴリズム600のフローチャートが示されている。この実施形態では、「0」デジット検出がワード（16ビット）単位で作動する。プログラム（書き込み）可能な選択されたワードのうちのゼロの数は、この実施形態では一度に16である。この実施形態では、示した実施例は、4個のワードの場合である。このアルゴリズムは、必要なワードを「0」デジットでプログラムするだけである。この方法は、図12の方法よりも効率的であるが、より網羅的なワード組み合わせをチェックするには、より複雑な実施形態が必要である。

#### 【0032】

アルゴリズムは、以下のように機能する。最初は開始段階802であり、必要なあらゆるパラメータを初期化する。次は段階804であり、4個のワードW0 - 3のdatain内の「0」デジットの数が16より小さいか否かをチェックする。Yes（はい）の場合には、段階806に進み、全てのワードを同時にプログラムし、その後、最終段階888のdone（完了）に進む。no（いいえ）の場合には、段階810に進み、ワードW0、W1の「0」デジットの数が16より小さいか否かをチェックする。Yes（はい）の場合には、段階812に進み、両方のワードW0、W1を同時にプログラムする。段階812の後に、段階814に進み、ワードW2、W3の「0」デジットの数が16より小さいか否かをチェックする。yes（はい）の場合には、段階816に進み、両方のワードW2、W3を同時にプログラムして、次に最終段階888のdone（完了）に進む。段階814において、応答がNo（いいえ）の場合には、段階818に進み、個別に（連続的に）W2をプログラムしてW3をプログラムし、次に最終段階888のdone（完

了)に進む。同様に、4個のワードの残りの網羅的な組み合わせに関する段階820-828、段階830-838、段階840-848、段階850-858、段階860-868は、段階810-818に類似している。段階870は、各ワードW0、W1、W2、W3を個別にプログラムし、次に最終段階888のdone(完了)に進む。

#### 【0033】

図12及び13の上記の4個のワードのdatain(64個のdatainビット)に関するレイ・アーキテクチャは、図4及び5それぞれのサブレイ62a及び62bのみから構成される(サブレイ62c及び62dがない)レイ200又はレイ300に類似している。

#### 【0034】

複数のサブレイ(62a-d)から構成されるメモリアレイに関して、選択された(イネーブルにされた)ワードがプログラムされる場合、これらのワードに関連するサブレイがイネーブルにされ(プログラミングバイアス、プログラミング高電圧、及び回路がアレイメモリセル10内に入るようにイネーブルにされる)、選択されていない(ディセーブルにされた)ワードに関連するサブレイがディセーブルにされ(プログラミングバイアス、プログラミング高電圧、及び回路がアレイメモリセル10内に導入されないようにディセーブルにされる)、選択されていないサブレイでのディスタープによる任意のプログラミング高電圧及びバイアスを最小にする。

#### 【0035】

上記で説明した本発明において、インジケータビット及び動作アルゴリズムは、プログラミングデータパターンに関連付けられる。datain「0」は、プログラムされた状態に関連する。データ「1」は、datainを反転しdataoutを反転することによって、プログラムされた状態に関連付けることができる。代替的な実施形態は、インジケータビット及び動作アルゴリズムを、消去動作に関して最適化できる技術に関する消去データパターンに関連付けることができる。

#### 【0036】

別の実施形態では、インジケータビット及び動作アルゴリズムを、持続時間(動作寿命に関する消去/プログラムサイクルの数)、及びデータ保持(動作寿命、例えば10年間、データを永続的に保持する能力)に関して最適化できる技術に関するデータパターンに関連付け、例えば、持続時間及びデータ保持が、最良の持続時間及びデータ保持性能に関して「1」の状態を選択する場合には、メモリ内に記憶されるデータパターンは、動作アルゴリズムによって処理された後に、より多くのデータが「1」の状態となる。別の実施形態は、インジケータビット及び動作アルゴリズムを、ディスタープに関して最適化できる(消去又はプログラミング動作において選択されていないセルのデータ状態における変化が少ないことを意味する)技術に関するデータパターンに関連付けることができ、この場合、特定のデータパターンのディスタープの傾向が低い。

#### 【0037】

別の実施形態は、インジケータビット及び動作アルゴリズムを、全体的な最適なビット誤り率(BER)に関して最適化できる(消去、プログラミング、又は読み出し動作においてメモリセルのデータ状態における変化が少ないことを意味する)技術及び/又は設計に関するデータパターンに関連付けることができる。これは、技術の特性化、並びに動作寿命にわたる動作モードの製品設計、及びメモリセルに記憶されるのに最も適合したデータパターン(例えば、ほとんど「1」又はほとんど「0」のデータパターン)に関するアルゴリズムを見出すためのユーザアプリケーションの製品設計に係る。

#### 【0038】

別の実施形態は、インジケータビット及び動作アルゴリズムを、読み出し電力消費量に関して最適化される(例えば、「0」状態では、メモリセル電流が存在しないので、メモリに記憶されるデータパターンは、メモリセル10に関するアルゴリズムによって処理された後に、より多くのデータが「0」の状態になるが、これは、メモリセル10からの電力消費量がないことを意味する)技術に関するデータパターンに関連付けることができる

10

20

30

40

50

。別の実施形態は、インジケータビット及び動作アルゴリズムを、ユーザの使用に応じた電力プロファイルに従って、全動作モード（例えば、読み出し、プログラム、消去）の総電力消費量に関して最適化される技術及び設計に関するデータパターンに関連付けることができる。

【 0 0 3 9 】

上記から分かるように、本発明は、プログラミング電流を供給するのに電荷ポンプを必要とする任意の不揮発性メモリデバイスに適用することができる。したがって、本発明は、プログラミング中に浮遊ゲートに電荷を蓄積するための電荷ポンプを用いて電荷を蓄積するための浮遊ゲートを備える不揮発性メモリデバイスに適用可能であり、図 1 に示したタイプのメモリセル 1 0 に限定されない。更に、本発明は、電荷ポンプを用いて電荷を蓄積して、プログラミング中に電荷トラップ層に電荷を蓄積するための電荷トラップ層を備えるメモリデバイスに適用することができる。

10

【符号の説明】

【 0 0 4 0 】

- 6 2 a    アレイ
- 6 2 b    アレイ
- 6 2 c    アレイ
- 6 2 d    アレイ
- 6 4    ロードコーダ ( X D E C )
- 7 0 a    センスアンプ
- 7 0 b    センスアンプ
- 7 2 a    出力レジスタ
- 7 2 h    出力レジスタ
- 8 0    インジケータ・アレイ
- 8 2    インジケータ・センスアンプ
- 2 0 0    不揮発性メモリアレイ

20

【図 1】

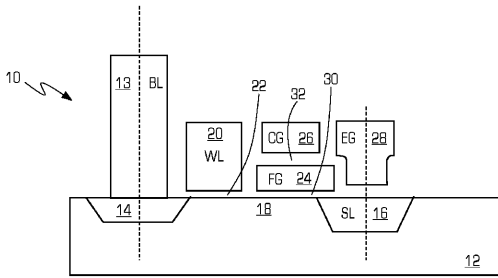


FIG. 1 (PRIOR ART)

【図 2】

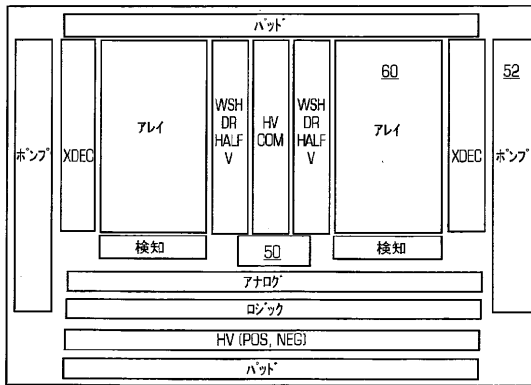


FIG. 2 (従来技術)

【図 3】

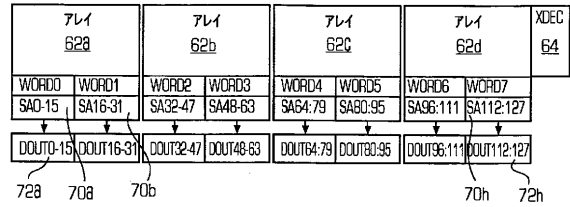


FIG. 3 (従来技術)

【図 4】

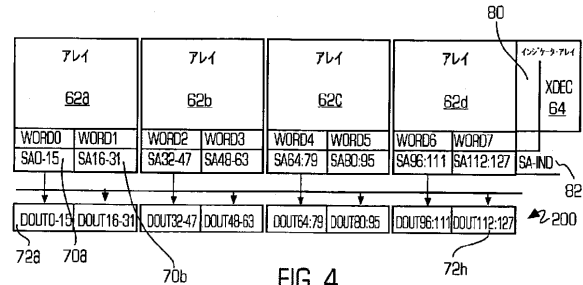


FIG. 4

【図 5】

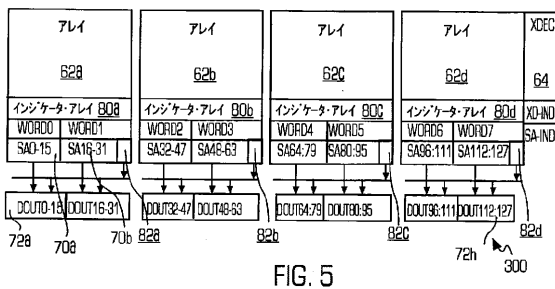


FIG. 5

【図 6】

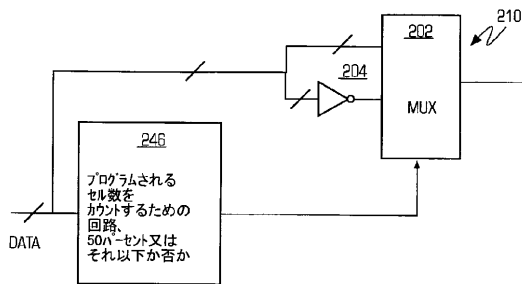


FIG. 6

【図 7】

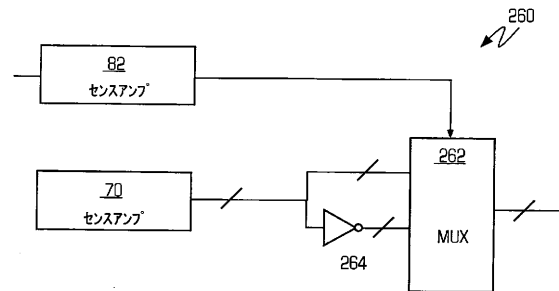


FIG. 7

【図 8】

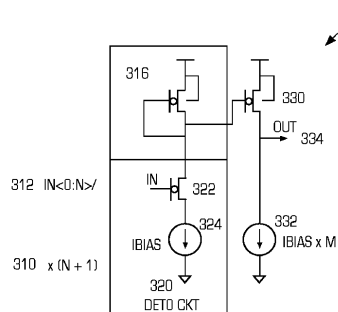
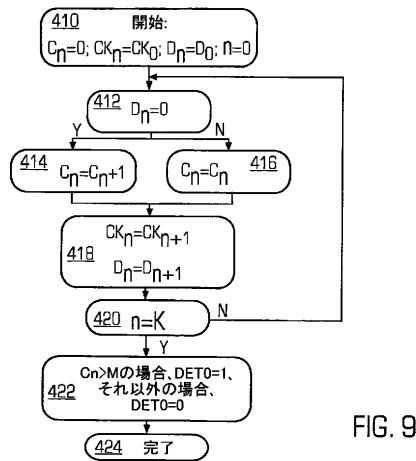
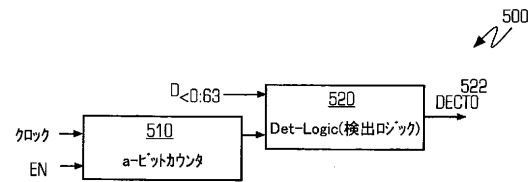


FIG. 8

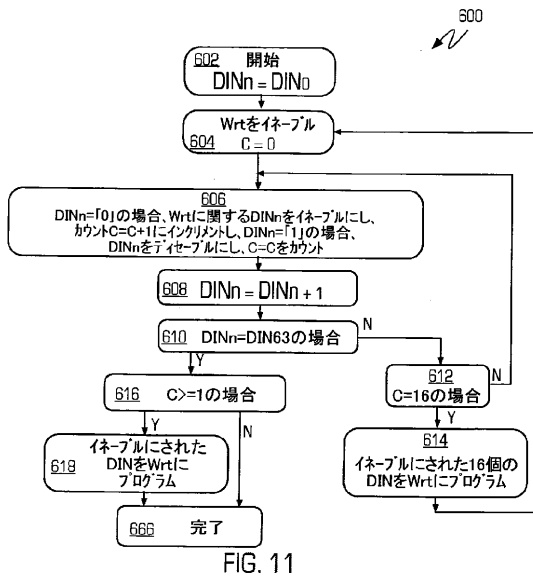
【図 9】



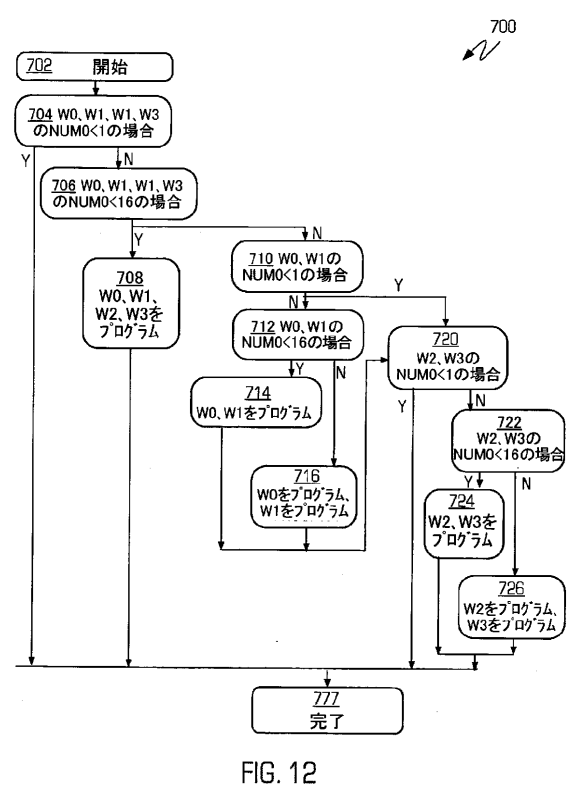
【図 10】



【図 11】



【図 12】





【図 13】

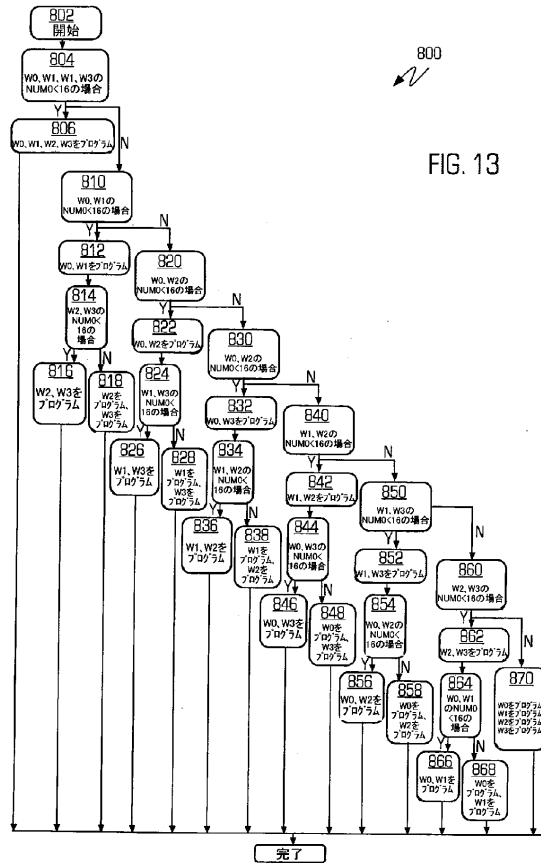


FIG. 13

## 【手続補正書】

【提出日】平成26年8月6日(2014.8.6)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

プログラミング電流を供給するための電荷ポンプと、

各ユニットが複数のメモリセルを含む複数のユニットに分割され、各メモリセルが前記プログラミング電流によってプログラムされる不揮発性メモリセルアレイと、

前記不揮発性メモリセルの各ユニットに関連するインジケータ・メモリセルと、

クロックパルス発生器を含み、プログラムされるビットを「0」ビットに関して連続的にチェックするように構成された、デジタル「0」ビット検出器を備え、プログラムされる各ユニットの前記メモリセル数をカウントするためのカウンタ回路と、

前記カウンタ回路の出力が、各ユニットの前記メモリセルの特定の割合又はそれ以下がプログラムされることになることを示す場合には、前記プログラミング電流を用いて各ユニットの前記メモリセルをプログラムし、前記カウンタ回路の前記出力が、各ユニットの前記メモリセルの前記特定の割合よりも多くがプログラムされることになることを示す場合には、前記プログラミング電流を用いて、各ユニットの前記メモリセル及び各ユニットに関連する前記インジケータ・メモリセルの反転をプログラムするためのプログラミング回路と、

を備える不揮発性メモリデバイス。

【請求項2】

前記不揮発性メモリセルの状態を検知するために、１つがユニットの各不揮発性メモリセルに接続された複数のセンスアンプと、

前記検知されたユニットに関連する前記インジケータ・メモリセルの状態を検知するために、前記インジケータ・メモリセルに接続されたインジケータ・センスアンプと、

前記インジケータ・センスアンプが、前記インジケータ・メモリセルの状態が特定の１つの状態にあることを検知した場合には、前記複数のセンスアンプの状態を出力し、前記インジケータ・センスアンプが、前記インジケータ・メモリセルの状態が別の状態にあることを検知した場合には、前記複数のセンスアンプの反転状態を出力するための論理回路と、

を更に備える、請求項１に記載のメモリデバイス。

【請求項３】

前記不揮発性メモリセルアレイは、複数のロー及びカラムに配列され、インジケータ・メモリセルアレイは、前記不揮発性メモリセルアレイにロー方向で隣接して位置し、１つのインジケータ・メモリセルが前記同じロー内の複数のメモリセルに関連する、請求項１に記載のメモリデバイス。

【請求項４】

前記不揮発性メモリセルアレイは、複数のロー及びカラムに配列され、インジケータ・メモリセルアレイは、前記不揮発性メモリセルアレイにカラム方向で隣接して位置し、１つのインジケータ・メモリセルが前記同じカラム内の複数のメモリセルに関連する、請求項１に記載のメモリデバイス。

【請求項５】

前記メモリセルの各々は、

平面を有する第１の導電型の半導体基板と、

前記平面上の第２の導電型の第１の領域と、

前記第１の領域から間隔を置いて配置され、チャネル領域が該間隔に含まれている、前記平面上の前記第２の導電型の第２の領域と、

前記チャネル領域の第１の部分から間隔を置いて配置された浮遊ゲートと、

前記浮遊ゲートの一方の側面で前記浮遊ゲートに隣接し、前記浮遊ゲートから絶縁されており、更に前記チャネル領域の第２の部分から間隔を置いて配置されているワード線と、

前記浮遊ゲートの他方の側面で前記浮遊ゲートに隣接し、前記浮遊ゲートから絶縁されており、更に前記第２の領域から間隔を置いて配置されている消去ゲートと、

前記浮遊ゲートから間隔を置いて配置され、前記ワード線と前記消去ゲートとの間に存在しており、更にそれらから絶縁された前記浮遊ゲート上のカップリングゲートと、を備える、請求項１に記載のメモリデバイス。

【請求項６】

前記特定の割合は５０パーセントである、請求項１に記載のメモリデバイス。

【請求項７】

デジタル「０」ビット検出器を更に備える、請求項１に記載のメモリデバイス。

【請求項８】

プログラミング電流を供給するための電荷ポンプと、

各ユニットが複数のメモリセルを含む複数のユニットに分割され、各メモリセルが前記プログラミング電流によってプログラムされる不揮発性メモリセルアレイと、

前記不揮発性メモリセルの各ユニットに関連するインジケータ・メモリセルと、

各ユニットの前記メモリセルの特定の割合又はそれ以下がプログラムされることになる場合には、前記プログラミング電流を用いて各ユニットの前記メモリセルをプログラムし、各ユニットの前記メモリセルの前記特定の割合よりも多くがプログラムされることになる場合には、前記プログラミング電流を用いて、各ユニットの前記メモリセル及び各ユニットに関連する前記インジケータ・メモリセルの反転をプログラムするためのプログラミング回路と、

クロックパルス発生器を含み、連続的にクロック制御されたデジタル「0」ビット検出に基づく、デジタル「0」ビット検出器と、  
を備える不揮発性メモリデバイス。

【請求項 9】

アナログ「0」ビット検出器を更に備える、請求項 1 に記載のメモリデバイス。

【請求項 10】

前記アナログ「0」ビット検出器は、電流バイアスのユニットに基づいて検出する、請求項 9 に記載のメモリデバイス。

【請求項 11】

前記電流バイアスは、マイクロアンペアである、請求項 10 に記載のメモリデバイス。

【請求項 12】

前記メモリアレイは更に、複数のメモリサブアレイを含む、請求項 1 に記載のメモリデバイス。

【請求項 13】

プログラミングに関するメモリセルを有さない各サブアレイは、プログラミングバイアスをディセーブルにする、請求項 12 に記載のメモリデバイス。

【請求項 14】

不揮発性メモリデバイスをプログラミングする方法であって、

前記メモリデバイスは、各メモリユニットが、複数のメモリセルを有し関連するインジケータ・メモリセルを含む、複数のメモリユニットを備え、前記ユニットの複数のメモリセル及び前記関連するインジケータ・メモリセルは、電荷ポンプからのプログラミング電流によってプログラムされ、

前記方法は、

プログラムされる前記ビットを「0」ビットに関して連続的にチェックすることによって、前記ユニット内のメモリセルの特定の割合又はそれ以下が前記プログラミング電流によってプログラムされることになるか否かを、クロックパルス発生器を含むデジタル「0」ビット検出器を備えたカウンタ回路を用いて判定する段階と、

プログラムされる場合には、前記プログラミング電流によって前記メモリセルをプログラムする段階と、

プログラムされない場合には、前記メモリセル及び前記関連するインジケータ・メモリセルの反転を前記プログラミング電流によってプログラムする段階と、  
を含む方法。

【請求項 15】

同じユニットからの前記メモリセルの各々の状態を検知する段階と、

同じユニットに関連する前記インジケータ・メモリセルの状態を検知する段階と、

前記関連するインジケータ・メモリセルが特定の 1 つの状態にある場合には、前記同じユニットからのメモリセルの各々の状態を出力する段階と、

前記関連するメモリセルが別の状態にある場合には、前記同じユニットからのメモリセルの各々の反転状態を出力する段階と、

を更に含む、請求項 14 に記載の方法。

【請求項 16】

前記特定の割合は、約 50 パーセントである、請求項 14 に記載の方法。

【請求項 17】

インジケータ・メモリセルは、複数の基本メモリセルを含む、請求項 14 に記載の方法。

【請求項 18】

インジケータ・メモリは、ローデコードに隣接する、請求項 14 に記載の方法。

【請求項 19】

不揮発性メモリデバイスをプログラミングする方法であって、

前記メモリデバイスは、各メモリユニットが複数のメモリセルを有する複数のメモリユ

ニットを含み、前記ユニットの複数のメモリセルは、高電圧電荷ポンプからのプログラミング電流によってプログラムされ、

前記方法は、

前記高電圧電荷ポンプによって消去状態からプログラム状態に記憶状態が変化することになる前記ユニット内のメモリセルの数が、所定の数に達しているか否かを、クロックパルス発生器を含むデジタル「0」ビット検出器を備えたカウンタ回路を用いて、ユニット内のメモリセルの最初から最後まで連続的に判定する段階と、

前記所定の数に達している場合には、前記判定された数の前記メモリセルを前記高電圧電荷ポンプによってプログラムする段階と、

前記所定の数に達しない場合には、前記ユニット内の全てのメモリセルをプログラムするか又はプログラムしないかが判定されるまで、プログラムされる前記ユニット内のメモリセル数の残りを判定することを継続する段階と、

を含む方法。

【請求項 20】

前記判定する段階は、ビット単位に基づく、請求項 19 に記載の方法。

【請求項 21】

前記判定する段階は、ワード単位に基づく、請求項 19 に記載の方法。

【請求項 22】

各メモリユニットは更に、関連するインジケータ・メモリセルを含む、請求項 19 に記載の方法。

【請求項 23】

プログラミングに関して判断された前記メモリセルは、datain ビット「0」に対応する、請求項 19 に記載の方法。

## 【国際調査報告】

<b>INTERNATIONAL SEARCH REPORT</b>		International application No. PCT/US 12/64881												
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(8) - G11C 11/00 (2012.01) USPC - 365/189.16 According to International Patent Classification (IPC) or to both national classification and IPC														
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC(8): G11C 11/00 (2012.01) USPC: 365/189.16 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched IPC(8): G11C 11/00 (2012.01) (keyword limited - see terms below) USPC: 365/189.16, 189.011, 185.23; 711/100 (keyword limited - see terms below) Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) PubWEST (PGPB, USPT, USOC, EPAB, JPAB), PatBase(All), Google Patent, Google Scholar Search Terms: Non-volatile memory, charge pump, semiconductor substrate, cells, array, bit, gate, analog, digital														
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%; padding: 5px;">Category*</th> <th style="width: 70%; padding: 5px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width: 20%; padding: 5px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="text-align: center; vertical-align: top; padding: 5px;">Y</td> <td style="padding: 5px;">US 6,438,032 B1 (Pekny et al.) 20 August 2002 (20.08.2002); see especially Fig. 11; col 3, ln 60-61; col 4, ln 11-12, ln 23; col 5, para 58-60; col 6, ln 56-57</td> <td style="text-align: center; vertical-align: top; padding: 5px;">1-23</td> </tr> <tr> <td style="text-align: center; vertical-align: top; padding: 5px;">Y</td> <td style="padding: 5px;">US 2006/0259847 A1 (Villa) 16 November 2006 (16.11.2006); see para [0024]-[0025], [0037]-[0039], [0040]-[0041], [0051]-[0052], [0056], [0064], [0070]</td> <td style="text-align: center; vertical-align: top; padding: 5px;">1-23</td> </tr> <tr> <td style="text-align: center; vertical-align: top; padding: 5px;">Y</td> <td style="padding: 5px;">US 2009/0108328 A1 (Widjaja et al.) 30 April 2009 (30.04.2009); see para [0003], [0013]</td> <td style="text-align: center; vertical-align: top; padding: 5px;">5</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	US 6,438,032 B1 (Pekny et al.) 20 August 2002 (20.08.2002); see especially Fig. 11; col 3, ln 60-61; col 4, ln 11-12, ln 23; col 5, para 58-60; col 6, ln 56-57	1-23	Y	US 2006/0259847 A1 (Villa) 16 November 2006 (16.11.2006); see para [0024]-[0025], [0037]-[0039], [0040]-[0041], [0051]-[0052], [0056], [0064], [0070]	1-23	Y	US 2009/0108328 A1 (Widjaja et al.) 30 April 2009 (30.04.2009); see para [0003], [0013]	5
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
Y	US 6,438,032 B1 (Pekny et al.) 20 August 2002 (20.08.2002); see especially Fig. 11; col 3, ln 60-61; col 4, ln 11-12, ln 23; col 5, para 58-60; col 6, ln 56-57	1-23												
Y	US 2006/0259847 A1 (Villa) 16 November 2006 (16.11.2006); see para [0024]-[0025], [0037]-[0039], [0040]-[0041], [0051]-[0052], [0056], [0064], [0070]	1-23												
Y	US 2009/0108328 A1 (Widjaja et al.) 30 April 2009 (30.04.2009); see para [0003], [0013]	5												
<input type="checkbox"/> Further documents are listed in the continuation of Box C.														
<table style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;">           * Special categories of cited documents:            "A" document defining the general state of the art which is not considered to be of particular relevance            "E" earlier application or patent but published on or after the international filing date            "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)            "O" document referring to an oral disclosure, use, exhibition or other means            "P" document published prior to the international filing date but later than the priority date claimed         </td> <td style="width: 50%; vertical-align: top;">           "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention            "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone            "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art            "&amp;" document member of the same patent family         </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family										
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family													
Date of the actual completion of the international search 04 January 2013 (04.01.2013)		Date of mailing of the international search report <div style="font-size: 1.2em; font-weight: bold;">26 MAR 2013</div>												
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201		Authorized officer: Lee W. Young PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774												

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(74)代理人 100086771

弁理士 西島 孝喜

(74)代理人 100109070

弁理士 須田 洋之

(74)代理人 100109335

弁理士 上杉 浩

(74)代理人 100120525

弁理士 近藤 直樹

(72)発明者 トラン ヒュー ヴァン

アメリカ合衆国 カリフォルニア州 9 5 1 3 5 サンノゼ ゲイリー プレイス 2 6 4 2

(72)発明者 グエン フン クオック

アメリカ合衆国 カリフォルニア州 9 4 5 3 9 フリーモント ウィンディング ヴィスタ コモン 3 2 7 2

(72)発明者 リ アイン

アメリカ合衆国 カリフォルニア州 9 5 1 2 1 サンノゼ リンドミュア ドライブ 3 3 8 5

(72)発明者 ヴー トゥアン

アメリカ合衆国 カリフォルニア州 9 5 1 3 8 サンノゼ ダンナ コート 4 3 1

Fターム(参考) 5B125 BA01 CA04 CA25 DB15 DE11 EA10 EG04 EH04 FA01