



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0085497
(43) 공개일자 2014년07월07일

- (51) 국제특허분류(Int. Cl.)
H01L 25/065 (2006.01) *H01L 23/498* (2006.01)
H01L 25/10 (2006.01)
- (21) 출원번호 10-2014-7012149
- (22) 출원일자(국제) 2012년10월03일
심사청구일자 없음
- (85) 번역문제출일자 2014년05월02일
- (86) 국제출원번호 PCT/US2012/000425
- (87) 국제공개번호 WO 2013/052080
국제공개일자 2013년04월11일
- (30) 우선권주장
13/337,565 2011년12월27일 미국(US)
(뒷면에 계속)

- (71) 출원인
인벤파스 코포레이션
미국 캘리포니아 산 호세 오처드 파크웨이 3025
(우편번호 95134)
- (72) 발명자
크리스프 리차드 드윗
미국 95134 캘리포니아주 샌 호제 오처드 파크웨이 3025
조니 와엘
미국 95134 캘리포니아주 샌 호제 오처드 파크웨이 3025
(뒷면에 계속)
- (74) 대리인
유미특허법인

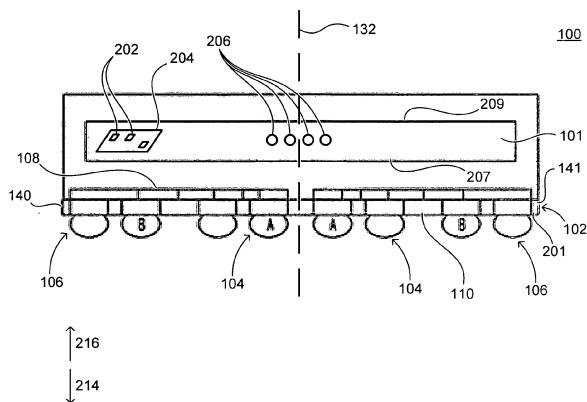
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 직교 윈도가 있는 멀티-다이 와이어본드 어셈블리를 위한 스타브 최소화

(57) 요 약

마이크로전자 구조(100)는 메모리 스토리지 어레이(204)를 정의하는 능동 소자(202), 및 스토리지 어레이 내의 위치를 특정하는 어드레스 정보의 수신을 위한 어드레스 입력(206)을 가진다. 이 구조는 제 1 표면(201)을 가지며 제 1 표면에서 노출된 단자(104, 106)를 가질 수 있다. 이 단자는 제 1 단자(104)를 포함할 수도 있고 이 구조는 제 1 단자에서 수신된 어드레스 정보를 어드레스 입력으로 전송하도록 구성될 수도 있다. 각각의 제 1 단자는 어드레스 입력 중 하나 이상을 포함하는 신호 할당을 가질 수 있다. 제 1 단자는 제 1 표면에 직각인 이론적 평면(132)의 제 1 및 제 2 반대면 상에 배치되고, 제 1 면 상에 배치된 제 1 단자의 신호 할당은 이론적 평면의 제 2 면 상에 배치된 제 1 단자의 신호 할당의 미러 이미지이다.

대 표 도 - 도5



(72) 발명자

하바 벨가셈미국 95070 캘리포니아주 사라토가 밀러 코트
19487**람브레히트 프랭크**미국 94040 캘리포니아주 마운틴 뷰 캘리포니아
#23 2025

(30) 우선권주장

13/337,575	2011년12월27일	미국(US)
13/354,747	2012년01월20일	미국(US)
13/354,772	2012년01월20일	미국(US)
13/439,228	2012년04월04일	미국(US)
13/439,273	2012년04월04일	미국(US)
13/439,317	2012년04월04일	미국(US)
13/440,199	2012년04월05일	미국(US)
13/440,212	2012년04월05일	미국(US)
13/440,280	2012년04월05일	미국(US)
13/440,515	2012년04월05일	미국(US)
13/595,486	2012년08월27일	미국(US)
61/542,488	2011년10월03일	미국(US)
61/542,495	2011년10월03일	미국(US)
61/542,553	2011년10월03일	미국(US)
61/600,483	2012년02월17일	미국(US)
61/600,527	2012년02월17일	미국(US)

특허청구의 범위

청구항 1

마이크로전자 구조로서,

메모리 스토리지 어레이를 정의하는 능동 소자; 및

상기 스토리지 어레이 내의 위치를 특정하는 어드레스 정보의 수신을 위한 어드레스 입력을 포함하고,

상기 구조는 제 1 표면 및 상기 제 1 표면에서 노출된 단자를 가지고,

상기 단자는 제 1 단자를 포함하며,

상기 구조는 상기 제 1 단자에서 수신된 어드레스 정보를 상기 어드레스 입력으로 제공하도록 구성되고,

상기 제 1 단자 중 적어도 몇몇의 각각은 상기 어드레스 입력 중 하나 이상으로 전송될 정보를 포함하는 신호 할당(signal assignment)을 가지며,

상기 제 1 단자는 상기 제 1 표면에 직각(normal)인 이론적 평면의 제 1 및 제 2 반대면들 상에 배치되고,

상기 제 1 면 상에 배치된 제 1 단자의 신호 할당은 상기 이론적 평면을 중심으로 상기 제 2 면 상에 배치된 제 1 단자의 신호 할당과 대칭인, 마이크로전자 구조.

청구항 2

제 1 항에 있어서,

상기 제 1 면 상의 각각의 제 1 단자의 신호 할당은 상기 제 2 면 상의 각각의 제 1 단자의 신호 할당의 미러 이미지인, 마이크로전자 구조.

청구항 3

제 1 항에 있어서,

상기 제 1 단자의 제 1 및 제 2 세트 각각은 상기 메모리 스토리지 어레이 내의 위치를 특정하기에 충분한 어드레스 정보를 운반하도록 구성되고,

상기 마이크로전자 구조는 상기 제 1 표면에서 노출된 복수 개의 비접속 단자를 더 포함하며,

상기 제 1 면 상의 각각의 제 1 단자의 포지션은 상기 이론적 평면을 중심으로 상기 제 2 면 상의 비접속 단자의 포지션과 대칭이고,

상기 제 2 면 상의 각각의 제 1 단자의 포지션은 상기 대칭적 이론적 평면을 중심으로 상기 제 1 면 상의 비접속 단자의 포지션과 대칭인, 마이크로전자 구조.

청구항 4

제 1 항에 있어서,

상기 제 1 및 제 2 면의 각각 상의 제 1 단자는 상기 스토리지 어레이 내의 단일 스토리지 위치를 고유하게 특정하기에 필요한 어드레스 정보를 수신하도록 구성되는, 마이크로전자 구조.

청구항 5

제 1 항에 있어서,

상기 제 1 및 제 2 면의 각각 상의 제 1 단자는 상기 스토리지 어레이 내의 단일 스토리지 위치를 고유하게 특정하기에 필요한 어드레스 정보의 다수를 수신하도록 구성되는, 마이크로전자 구조.

청구항 6

제 1 항에 있어서,

상기 단자는 상기 마이크로전자 구조를 회로 패널의 대응하는 콘택에 전기적으로 접속하도록 구성되는, 마이크로전자 구조.

청구항 7

제 1 항에 있어서,

상기 스토리지 어레이에 관련된 하나 이상의 동작 파라미터를 비휘발적으로 저장하도록 구성되는 직렬 프레즌스 검출(serial presence detect; SPD) 소자를 더 포함하는, 마이크로전자 구조.

청구항 8

제 1 항에 있어서,

상기 마이크로전자 구조의 제 1 표면은 제 1 방향을 대향하고,

상기 구조는 하나 이상의 반도체 칩을 포함하며,

상기 어드레스 입력은 상기 하나 이상의 반도체 칩 중 적어도 하나의 표면에서 노출되고,

상기 구조는 상기 제 1 방향을 대향하는 제 1 표면 및 상기 제 1 방향에 반대인 방향을 대향하는 제 2 표면을 가지는 기판을 더 포함하며,

상기 하나 이상의 반도체 칩은 상기 기판의 제 1 또는 제 2 표면 중 적어도 하나에 상재(overlie)하는, 마이크로전자 구조.

청구항 9

제 8 항에 있어서,

시리얼 번호, 또는 상기 스토리지 어레이의 결합 위치 중 하나 이상을 비휘발적으로 저장하도록 구성되는 직렬 프레즌스 검출(SPD) 소자를 더 포함하는, 마이크로전자 구조.

청구항 10

제 8 항에 있어서,

상기 마이크로전자 구조의 제 1 표면은 제 1 방향을 대향하고,

상기 구조는 상기 제 1 방향에서 대향하는 제 1 표면 및 상기 제 1 방향에 반대인 방향에서 대향하는 제 2 표면을 가지는 기판을 포함하며,

상기 하나 이상의 반도체 칩의 적어도 하나는 상기 기판의 제 1 표면에 상재하는, 마이크로전자 구조.

청구항 11

제 1 항에 있어서,

상기 이론적 평면은 상기 제 1 방향에서 연장하는 라인을 따라 상기 제 1 표면과 교차하는 제 1 이론적 평면이고,

상기 단자는 상기 제 1 표면에 직각이고 상기 제 1 방향을 가로지르는 제 2 방향에서 제 2 라인을 따라 상기 제 1 표면과 교차하는 제 2 이론적 평면의 제 1 및 제 2 반대면 상에 배치된 복수 개의 제 2 단자를 포함하며,

상기 제 2 이론적 평면의 제 1 면 상에 배치된 제 2 단자의 신호 할당은 상기 제 2 이론적 평면의 제 2 면 상에 배치된 제 2 단자의 신호 할당의 미리 이미지인, 마이크로전자 구조.

청구항 12

제 1 항에 있어서,

복수 개의 제 2 능동 소자를 가지는 버퍼 소자를 더 포함하고,

상기 버퍼 소자는 적어도 몇몇 어드레스 입력으로의 전송을 위하여 상기 어드레스 정보를 재생, 부분적 디코딩

또는 풀 디코딩하는 것 중 적어도 하나를 수행하도록 구성되는, 마이크로전자 구조.

청구항 13

제 1 항에 있어서,

상기 스토리지 어레이는 적어도 부분적으로 서로 상재하는 복수 개의 수직으로 적층된 반도체 칩 중 하나 이상 내에 통합되는, 마이크로전자 구조.

청구항 14

제 13 항에 있어서,

상기 마이크로전자 구조는 제 1 표면을 가지는 기판을 포함하고,

상기 기판의 제 1 표면 및 상기 마이크로전자 구조는 제 1 방향에서 대향하며,

상기 복수 개의 수직으로 적층된 반도체 칩은 상기 제 1 방향에 반대인 제 2 방향에서 대향하는 기판의 제 2 표면에 상재하는, 마이크로전자 구조.

청구항 15

제 1 항에 있어서,

상기 마이크로전자 구조는 제 1 및 제 2 반도체 칩을 포함하고,

각각의 반도체 칩은 상기 제 1 표면에 평행인 단일 평면에 배치되며,

상기 어드레스 입력 중 적어도 몇몇은 상기 제 1 반도체 칩의 페이스에서 노출되고, 상기 어드레스 입력 중 적어도 몇몇은 상기 제 2 반도체 칩의 페이스에서 노출되는, 마이크로전자 구조.

청구항 16

제 11 항에 있어서,

상기 마이크로전자 구조는 하나 이상의 반도체 칩을 포함하고 상기 하나 이상의 반도체 칩 중 적어도 하나의 페이스에 상재하는 표면을 가지는 유전체 층을 포함하며,

상기 유전체 층의 표면은 상기 하나 이상의 반도체 칩의 페이스로부터 멀어지게 대향하고,

상기 구조는 상기 유전체 층을 따라 연장하는 트레이스 및 상기 트레이스로부터 연장하고 상기 적어도 하나의 반도체 칩의 표면에서 노출된 어드레스 입력과 전기적으로 접속된 금속화된 비아를 포함하며,

상기 구조는 상기 단자에서 수신된 어드레스 정보를 상기 트레이스 및 금속화된 비아를 통해 상기 어드레스 입력으로 커플링하도록 구성되는, 마이크로전자 구조.

청구항 17

제 1 항에 있어서,

상기 메모리 스토리지 어레이는 제 1 및 제 2 메모리 스토리지 어레이를 포함하고,

상기 마이크로전자 구조는 상기 제 1 면 상의 제 1 단자에서 수신된 어드레스 정보를 상기 제 1 메모리 스토리지 어레이로 제공하고 그리고 상기 제 2 면 상의 제 1 단자에서 수신된 어드레스 정보를 상기 제 2 메모리 스토리지 어레이로 제공하여 듀얼 랭크 메모리 액세스를 제공하도록 구성되는, 마이크로전자 구조.

청구항 18

제 1 항에 있어서,

상기 마이크로전자 구조는 단일 랭크 메모리 액세스를 제공하도록 구성되는, 마이크로전자 구조.

청구항 19

마이크로전자 어셈블리로서,

제 1 및 제 2 반대로 대향하는 표면 및 상기 제 1 및 제 2 표면에 제 1 및 제 2 패널 콘택을 각각 가지는 회로 패널; 및

상기 제 1 패널 콘택 및 제 2 패널 콘택을 향해 각각 탑재되는 단자를 가지는 제 1 및 제 2 마이크로전자 구조를 포함하고,

각각의 마이크로전자 구조는,

메모리 스토리지 어레이를 정의하는 능동 소자; 및

상기 스토리지 어레이 내의 위치를 특정하는 어드레스 정보의 수신을 위한 어드레스 입력을 포함하고,

상기 구조는 제 1 표면 및 상기 제 1 표면에서 노출된 단자를 가지고,

상기 단자는 제 1 단자를 포함하며,

상기 구조는 상기 제 1 단자에서 수신된 어드레스 정보를 상기 어드레스 입력으로 전송하도록 구성되고,

상기 제 1 단자 중 적어도 몇몇의 각각은 상기 어드레스 입력 중 하나 이상으로 전송될 정보를 포함하는 신호 할당을 가지며,

상기 제 1 단자는 상기 제 1 표면에 직각인 이론적 평면의 제 1 및 제 2 반대면들 상에 배치되고,

상기 제 1 면 상에 배치된 제 1 단자의 신호 할당은 상기 이론적 평면을 중심으로 상기 제 2 면 상에 배치된 제 1 단자의 신호 할당과 대칭인, 마이크로전자 어셈블리.

청구항 20

제 19 항에 있어서,

각각의 마이크로전자 구조는 하나 이상의 반도체 칩을 포함하고,

각각의 마이크로전자 구조의 메모리 스토리지 어레이는 그것의 하나 이상의 반도체 칩 중 적어도 하나 내에 통합되며,

각각의 마이크로전자 구조의 제 1 단자는 상기 개별적인 마이크로전자 구조의 적어도 하나의 반도체 칩의 동작 모드를 제어하는 정보를 운반하도록 구성되는 단자를 포함하는, 마이크로전자 어셈블리.

청구항 21

제 19 항에 있어서,

각각의 마이크로전자 구조의 상기 제 1 면 상의 각각의 제 1 단자의 신호 할당은 각각의 마이크로전자 구조의 상기 제 2 면 상의 각각의 제 1 단자의 신호 할당의 미러 이미지인, 마이크로전자 어셈블리.

청구항 22

제 19 항에 있어서,

상기 제 1 마이크로전자 구조의 이론적 평면의 제 1 면 상의 제 1 단자는 상기 회로 패널을 통하여 상기 제 2 마이크로전자 구조의 이론적 평면의 제 2 면 상의 제 1 단자에 접속되고,

상기 제 1 마이크로전자 구조의 제 2 면 상의 제 1 단자는, 상기 회로 패널의 제 1 및 제 2 표면에 평행인 x 및 y 직교 방향에서, 상기 제 2 마이크로전자 구조의 제 1 면 상에서 그들이 접속되는 대응하는 제 1 단자의 하나의 볼 피치 내에서 정렬되는, 마이크로전자 어셈블리.

청구항 23

제 22 항에 있어서,

상기 제 1 마이크로전자 구조의 제 2 면 상의 제 1 단자는, 상기 회로 패널의 제 1 및 제 2 표면에 평행인 x 및 y 직교 방향에서, 그들이 접속되는 상기 제 2 마이크로전자 구조의 제 1 면 상의 제 1 단자와 일치하는, 마이크로전자 어셈블리.

청구항 24

제 19 항에 있어서,

상기 제 1 마이크로전자 구조의 제 1 단자 중 하나 및 상기 제 2 마이크로전자 구조의 제 1 단자 중 대응하는 하나 사이의 전기적 접속 중 적어도 하나의 스터브의 길이는 상기 마이크로전자 구조들 각각의 제 1 단자의 최소 피치의 7 배 미만인, 마이크로전자 어셈블리.

청구항 25

제 19 항에 있어서,

상기 제 1 및 제 2 마이크로전자 구조의 제 1 단자들 사이에서 상기 회로 패널을 관통하는 전기적 접속 중 적어도 몇몇은 근사적으로 상기 회로 패널의 두께의 전기적 길이를 가지는, 마이크로전자 어셈블리.

청구항 26

제 19 항에 있어서,

상기 회로 패널의 제 1 및 제 2 표면에서 노출된 전기적으로 커플링된 제 1 및 제 2 패널 콘택의 쌍을 접속시키는 도전성 소자의 총 결합 길이는 패널 콘택의 최소 피치의 7 배 미만인, 마이크로전자 어셈블리.

청구항 27

제 19 항에 있어서,

상기 회로 패널은 상기 마이크로전자 구조의 각각으로 전송되는 모든 어드레스 정보를 운반하도록 구성되는 복수 개의 도체를 가지는 버스를 포함하고,

상기 도체는 상기 회로 패널의 제 1 및 제 2 표면에 평행인 제 1 방향에서 연장하는, 마이크로전자 어셈블리.

청구항 28

제 19 항에 있어서,

상기 제 1 단자는 상기 이론적 평면의 제 1 및 제 2 면의 각각 상의 개개의 컬럼 내에 배치되고,

상기 회로 패널은, 상기 제 1 및 제 2 마이크로전자 구조의 제 1 단자가 전기적으로 접속되는 상기 회로 패널 상의 연결 사이트 및 적어도 제 3 마이크로전자 구조의 단자가 전기적으로 접속되는 상기 회로 패널 상의 상이한 연결 사이트 사이에서의 모든 어드레스 정보의 글로벌 라우팅을 위하여 하나 이하의 라우팅 층을 포함하는, 마이크로전자 어셈블리.

청구항 29

제 19 항에 있어서,

상기 이론적 평면의 제 1 및 제 2 면의 각각 상의 제 1 단자는 두 개의 평행 컬럼 내의 포지션에 배치되고,

상기 회로 패널은 마이크로전자 구조 중 하나 이상의 단자가 전기적으로 접속되는 상기 회로 패널 상의 개별적인 연결 사이트들 사이에서의 모든 어드레스 정보의 글로벌 라우팅을 위하여 두 개 이하의 라우팅 층을 포함하는, 마이크로전자 어셈블리.

청구항 30

제 29 항에 있어서,

상기 제 1 및 제 2 마이크로전자 구조의 제 1 단자가 전기적으로 접속되는 상기 회로 패널 상의 연결 사이트 및 적어도 제 3 마이크로전자 패키지의 단자가 전기적으로 접속되는 상기 회로 패널 상의 상이한 연결 사이트 사이에서의 모든 어드레스 정보의 글로벌 라우팅을 위하여 하나 이하의 라우팅 층이 존재하는, 마이크로전자 어셈블리.

명세서

기술 분야

[0001] 관련 출원들에의 상호-참조

[0002] 본 출원은 2012년 8월 27일에 출원된 미국 출원 번호 제 13/595,486 호의 계속 출원인데, 이것은 2012년 4월 4일에 각각 출원된 미국 출원 번호 제 13/439,317 호 및 제 13/439,273 호, 및 2012년 4월 5일에 각각 출원된 제 13/439,228 호; 제 13/440,212 호, 제 13/440,199, 및 제 13/440,280 호; 2011년 12월 27일에 출원된 제 13/337,565 호 및 제 13/337,575 호; 2012년 4월 5일에 출원된 제 13/440,515 호; 및 2012년 1월 20일에 출원된 제 13/354,772 호 및 제 13/354,747 호의 부분계속출원이고 2012년 2월 17일에 출원된 미국 가출원 번호 제 61/600,483 호 및 제 61/600,527 호의 출원의 정규 출원이고 이의 출원일에 대한 우선권을 주장한다. 본 출원은 또한 모두 2011년 10월 3일에 출원된 미국 가출원 번호 제 61/542,488 호 및 제 61/542,495 호, 및 제 61/542,553 호의 출원일에 대한 우선권을 주장한다. 모든 상기 이전 출원들의 개시물이 원용에 의해 본 명세서에 포함된다.

[0003] 본 출원의 기술 요지는 마이크로전자 구조, 예를 들어 적어도 하나의 반도체 칩 또는 적어도 하나의 반도체 칩의 일부를 포함하는 구조와 같이 능동 회로 소자를 통합하는 구조 및 마이크로전자 구조를 통합하는 어셈블리에 관련되는데, 하지만 이로 한정되는 것은 아니다.

배경 기술

[0004] 반도체 칩은 개개의, 사전패키지된 유닛으로서 공통적으로 제공된다. 표준 칩은 칩의 내부 회로부에 접속된 콘택트을 가지는 큰 전면을 가지는 평평한, 사각형 보디를 가진다. 각각의 개개의 칩은 통상적으로 칩의 콘택트에 접속된 외부 단자를 가지는 패키지 내에 들어있다. 차례대로, 단자, 즉, 패키지의 외부 접속 포인트가 인쇄 회로 보드와 같은 회로 패널에 전기적으로 접속하도록 구성된다. 많은 종래의 디자인에서, 칩 패키지는 칩 자체의 면적보다 훨씬 더 큰 회로 패널의 면적을 차지한다. 본 개시물에서 전면을 가지는 평면 칩에 대하여 사용될 때, "칩의 면적"은 전면의 면적을 지칭하는 것으로서 이해되어야 한다.

[0005] 사이즈는 칩의 임의의 물리적 배치에서 상당한 고려사항이다. 칩의 더 콤팩트한 물리적 배치에 대한 요구는 휴대용 전자 디바이스의 빠른 발전과 함께 더욱 커져 왔다. 단순히 예를 들자면, "스마트 폰"이라고 공통적으로 지칭되는 디바이스는 셀룰러 전화기의 기능과 강력한 데이터 프로세서, 메모리 및 보조 디바이스 예컨대 글로벌 포지셔닝 시스템 수신기, 전자 카메라, 및 근거리 네트워크 접속과 고-해상도 디스플레이 및 연관된 이미지 프로세싱 칩을 통합한다. 이러한 디바이스는 풀 인터넷 접속성, 풀-해상도 비디오를 포함하는 엔터테인먼트, 네비게이션, 전자 뱅크 및 그 이상과 같은 모든 성능을 포켓-크기의 디바이스 내에 제공할 수 있다. 복잡한 휴대용 디바이스는 다수의 칩을 작은 공간 내에 집어넣는 것을 요구한다. 더욱이, 칩의 몇몇은 많은 입력 및 출력 접속을 가지는데, 이것은 공통적으로 "I/O"라고 지칭된다. 이러한 I/O는 다른 칩의 I/O와 상호접속되어야 한다. 상호접속을 형성하는 컴포넌트는 어셈블리의 사이즈를 크게 증가시켜서는 안 된다. 유사한 요구가 예를 들어, 증가된 성능 및 사이즈 감소가 필요한 인터넷 탐색 엔진에서 사용되는 것들과 같은 데이터 서버 내에서와 같이 다른 애플리케이션에서도 대두된다.

[0006] 메모리 스토리지 어레이, 특히 동적 랜덤 액세스 메모리 칩(DRAM) 및 플래시 메모리 칩을 포함하는 반도체 칩과 같은 마이크로전자 소자는 단일-칩 또는 다중-칩 패키지 및 어셈블리 내에 공통적으로 패키지된다. 각각의 패키지는 신호, 전력 및 접지를 단자 및 마이크로전자 소자, 예를 들어 그 내부의 칩 사이에서 운반하기 위한 많은 전기적 접속을 가진다. 전기적 접속은 상이한 종류의 도체, 예컨대 수평 도체, 예를 들어 칩의 콘택트-베어링 면에 상대적인 수평 방향으로 연장하는 트레이스, 빔 리드, 등, 수직 도체, 예컨대 칩의 면에 상대적으로 수직 방향에서 연장하는 비아, 및 칩의 면에 상대적으로 수평 및 수직 방향 모두로 연장하는 와이어 본드를 포함할 수 있다.

[0007] 종래의 마이크로전자 패키지는 메모리 스토리지 어레이를 정의하는 능동 소자를 가지는 마이크로전자 소자를 통합할 수 있다. 따라서, 몇몇 종래의 마이크로전자 소자, 트랜지스터 또는 다른 능동 소자는 추가 소자와 함께 또는 이들이 없이 메모리 스토리지 어레이를 구성한다. 몇 가지 경우들에서는, 마이크로전자 소자는 메모리 스토리지 어레이 기능을 주로 제공하도록 구성될 수 있으며, 즉 이 경우에 마이크로전자 소자는 더 많은 개수의 능동 디바이스를 구현하여 임의의 다른 기능보다 메모리 스토리지 어레이 기능을 제공할 수도 있다. 몇 가지 경우들에서는, 마이크로전자 소자는 DRAM 칩이거나 이를 포함할 수도 있고, 또는 이러한 반도체 칩의 적층된 전기적으로 상호접속된 어셈블리일 수도 또는 이것을 포함할 수도 있다. 통상적으로, 이러한 패키지의 단자의 모두는 그 마이크로전자 소자가 탑재되는 패키지 기판의 하나 이상의 주변 에지에 인접한 컬럼의 세트 내에 배치

된다. 예를 들어, 도 1에 도시된 하나의 종래의 마이크로전자 패키지(12)에서는 단자의 3 개의 컬럼(14)이 패키지 기판(20)의 제 1 주변 에지(16)에 인접하게 배치될 수 있고, 단자의 3 개의 다른 컬럼(18)은 패키지 기판(20)의 제 2 주변 에지(22)에 인접하게 배치될 수 있다. 종래의 패키지에서 패키지 기판(20)의 중앙 지역(24)은 단자의 임의의 컬럼을 가지지 않는다. 도 1은 더 나아가, 패키지 기판(20)의 중앙 지역(24)에서 개구부, 예를 들어 결합 윈도우를 관통하여 연장하는 와이어 본드(30)를 통하여 패키지(12)의 단자의 컬럼(14, 18)과 전기적으로 상호접속된 소자 콘택(26)을 그의 페이스(28) 상에 가지는 패키지내의 반도체 칩(11)을 도시한다. 몇 가지 경우들에서, 접착층(32)은 마이크로전자 소자(11)의 페이스(28) 및 기판(20) 사이에 배치되어 마이크로전자 소자 및 기판 사이의 기계적 접속을 접착층(32) 내의 개구를 통과하여 연장하는 와이어 본드로써 강화시킬 수도 있다.

[0008] 앞선 내용에 비추어 볼 때, 마이크로전자 패키지 상의 단자의 포지셔닝에서의 어떤 개선이, 특히 이러한 패키지 및 이러한 패키지가 탑재되고 및 전기적으로 상호접속될 수 있는 회로 패널을 포함하는 어셈블리에서 전기적 성능을 개선하기 위하여 이루어질 수 있다.

발명의 내용

과제의 해결 수단

[0009] 본 발명의 일 양태는 메모리 스토리지 어레이를 정의하는 복수 개의 능동 소자를 포함할 수 있는 마이크로전자 구조를 제공한다. 마이크로전자 구조는 상기 스토리지 어레이 내의 위치를 특정하는 어드레스 정보의 수신을 위한 복수 개의 어드레스 입력을 포함한다. 상기 구조는 제 1 표면 및 상기 제 1 표면에서 노출된 단자를 가질 수도 있다. 상기 단자는 제 1 단자를 포함할 수도 있고, 상기 구조는 상기 제 1 단자에서 수신된 어드레스 정보를 상기 어드레스 입력으로 제공하도록 구성될 수 있다. 각각의 제 1 단자는 상기 어드레스 입력 중 하나 이상으로 전송될 정보를 포함하는 신호 할당(signal assignment)을 가질 수도 있다. 제 1 단자는 제 1 표면에 적각인 이론적 평면의 제 1 및 제 2 반대면 상에 배치되고, 제 1 면 상에 배치된 제 1 단자의 신호 할당은 제 2 면 상에 배치된 제 1 단자의 신호 할당과 이론적 평면을 중심으로 대칭적이다.

[0010] 이러한 마이크로전자 구조의 일 예에서, 상기 제 1 면 상의 각각의 제 1 단자의 신호 할당은 상기 제 2 면 상의 각각의 제 1 단자의 신호 할당의 미러 이미지이다.

[0011] 이러한 마이크로전자 구조의 다른 예에서, 상기 제 1 단자의 제 1 및 제 2 세트의 각각은 상기 메모리 스토리지 어레이 내의 위치를 특정하기에 충분한 어드레스 정보를 운반하도록 구성된다. 이러한 예에서, 상기 마이크로전자 구조는 상기 제 1 표면에서 노출된 복수 개의 비접속 단자를 더 포함할 수도 있다. 상기 제 1 면 상의 각각의 제 1 단자의 포지션은 상기 이론적 평면을 중심으로 상기 제 2 면 상의 비접속 단자의 포지션과 대칭일 수 있고, 상기 제 2 면 상의 각각의 제 1 단자의 포지션은 상기 대칭적 이론적 평면을 중심으로 상기 제 1 면 상의 비접속 단자의 포지션과 대칭일 수 있다.

[0012] 하나 이상의 예에 따르면, 상기 제 1 및 제 2 면의 각각 상의 제 1 단자는 상기 스토리지 어레이 내의 단일 스토리지 위치를 고유하게 특정하기에 필요한 어드레스 정보를 수신하도록 구성될 수도 있다.

[0013] 하나 이상의 예에 따르면, 상기 제 1 및 제 2 면의 각각 상의 제 1 단자는 상기 스토리지 어레이 내의 단일 스토리지 위치를 고유하게 특정하기에 필요한 어드레스 정보의 다수(majority)를 수신하도록 구성될 수 있다.

[0014] 하나 이상의 예에 따르면, 상기 단자는 상기 마이크로전자 구조를 회로 패널의 대응하는 콘택에 전기적으로 접속하도록 구성될 수 있다.

[0015] 하나 이상의 예에 따르면, 상기 단자는 상기 마이크로전자 구조를 본드 금속을 사용하여 회로 패널의 대응하는 콘택에 전기적으로 접속하도록 구성될 수 있다.

[0016] 하나 이상의 예에 따르면, 스토리지 어레이 내의 능동 소자의 개수는 상기 구조의 다른 컴포넌트 내의 능동 소자의 개수보다 더 클 수 있다.

[0017] 하나 이상의 예에 따르면, 상기 구조는 상기 스토리지 어레이에 관련된 하나 이상의 동작 파라미터를 비휘발적으로 저장하도록 구성되는 직렬 프레즌스 검출(serial presence detect; SPD) 소자를 더 포함할 수도 있다.

[0018] 하나 이상의 예에 따르면, 상기 구조는 스토리지 어레이의 시리얼 번호 또는 결합 위치 중 하나 이상을 비휘발적으로 저장하도록 구성되는 직렬 프레즌스 검출(SPD) 소자를 더 포함할 수도 있다.

- [0019] 하나 이상의 예에 따르면, 상기 마이크로전자 구조의 제 1 표면은 제 1 방향을 대향하고, 상기 구조는 하나 이상의 반도체 칩을 포함하며, 상기 어드레스 입력은 상기 하나 이상의 반도체 칩 중 적어도 하나의 표면에서 노출되고, 상기 구조는 상기 제 1 방향을 대향하는 제 1 표면 및 상기 제 1 방향에 반대인 방향을 대향하는 제 2 표면을 가지는 기판을 더 포함하며, 상기 하나 이상의 반도체 칩은 상기 기판의 제 1 또는 제 2 표면 중 적어도 하나에 상재(overlie)한다.
- [0020] 하나 이상의 예에 따르면, 상기 마이크로전자 구조의 제 1 표면은 제 1 방향을 대향하고, 상기 구조는 상기 제 1 방향에서 대향하는 제 1 표면 및 상기 제 1 방향에 반대인 방향에서 대향하는 제 2 표면을 가지는 기판을 포함하며, 상기 하나 이상의 반도체 칩의 적어도 하나는 상기 기판의 제 1 표면에 상재한다.
- [0021] 하나 이상의 예에 따르면, 상기 이론적 평면은 상기 제 1 방향에서 연장하는 라인을 따라 상기 제 1 표면과 교차하는 제 1 이론적 평면이고, 상기 단자들 중 적어도 일부는 상기 제 1 표면에 직각이고 상기 제 1 방향을 가로지르는 제 2 방향에서 제 2 라인을 따라 상기 제 1 표면과 교차하는 제 2 이론적 평면의 제 1 및 제 2 반대면 상에 배치되고, 상기 제 2 이론적 평면의 제 1 면 상에 배치된 적어도 일부의 단자의 신호 할당은 상기 제 2 이론적 평면의 제 2 면 상에 배치된 적어도 일부의 단자의 신호 할당의 미려 이미지이다.
- [0022] 하나 이상의 예에 따르면, 상기 마이크로전자 구조는 복수 개의 제 2 능동 소자를 가지는 버퍼 소자를 포함할 수도 있고, 상기 버퍼 소자는 적어도 몇몇 어드레스 입력으로의 전송을 위하여 상기 어드레스 정보를 재생(regenerate), 부분적 디코딩 또는 폴 디코딩하는 것 중 적어도 하나를 수행하도록 구성될 수 있다.
- [0023] 하나 이상의 예에 따르면, 상기 스토리지 어레이에는 적어도 부분적으로 서로 상재하는 복수 개의 수직으로 적층된 반도체 칩 중 하나 이상 내에 통합될 수 있다.
- [0024] 하나 이상의 예에 따르면, 상기 마이크로전자 구조는 제 1 표면을 가지는 기판을 포함할 수 있고, 상기 기판의 제 1 표면 및 상기 마이크로전자 구조는 제 1 방향에서 대향하며, 상기 복수 개의 수직으로 적층된 반도체 칩은 상기 제 1 방향에 반대인 제 2 방향에서 대향하는 기판의 제 2 표면에 상재한다.
- [0025] 하나 이상의 예에 따르면, 상기 마이크로전자 구조는 제 1 및 제 2 반도체 칩을 포함하고, 각각의 반도체 칩은 상기 제 1 표면에 평행인 단일 평면에 배치되며, 상기 어드레스 입력 중 적어도 몇몇은 상기 제 1 반도체 칩의 페이스에서 노출되고, 상기 어드레스 입력 중 적어도 몇몇은 상기 제 2 반도체 칩의 페이스에서 노출될 수 있다.
- [0026] 하나 이상의 예에 따르면, 상기 마이크로전자 구조는 하나 이상의 반도체 칩을 포함하고 상기 하나 이상의 반도체 칩 중 적어도 하나의 페이스에 상재하는 표면을 가지는 유전체 층을 포함하며, 상기 유전체 층의 표면은 상기 하나 이상의 반도체 칩의 페이스로부터 멀어지게 대향하고, 상기 구조는 상기 유전체 층을 따라 연장하는 트레이스 및 상기 트레이스로부터 연장하고 상기 적어도 하나의 반도체 칩의 표면에서 노출된 어드레스 입력과 전기적으로 접속된 금속화된 비아를 포함하며, 상기 구조는 상기 단자에서 수신된 어드레스 정보를 상기 트레이스 및 금속화된 비아를 통해 상기 어드레스 입력으로 커플링하도록 구성될 수 있다.
- [0027] 하나 이상의 예에 따르면, 상기 마이크로전자 구조의 메모리 스토리지 어레이에는 제 1 및 제 2 메모리 스토리지 어레이를 포함할 수 있고, 상기 마이크로전자 구조는 상기 제 1 면 상의 제 1 단자에서 수신된 어드레스 정보를 상기 제 1 메모리 스토리지 어레이로 제공하고 그리고 상기 제 2 면 상의 제 1 단자에서 수신된 어드레스 정보를 상기 제 2 메모리 스토리지 어레이로 제공하여 듀얼 랭크 메모리 액세스를 제공하도록 구성될 수도 있다.
- [0028] 하나 이상의 예에 따르면, 마이크로전자 구조는 단일 랭크 메모리 액세스를 제공하도록 구성될 수 있다.
- [0029] 본 발명의 다른 양태에 따르면, 제 1 및 제 2 반대로 대향하는 표면 및 상기 제 1 및 제 2 표면에 제 1 및 제 2 패널 콘택트를 각각 가지는 회로 패널; 및
- [0030] 상기 제 1 패널 콘택트 및 제 2 패널 콘택트으로 각각 탑재되는 단자를 가지는 제 1 및 제 2 마이크로전자 구조를 포함하는 회로 패널을 포함할 수 있는 마이크로전자 어셈블리가 제공된다. 이러한 양태에 따르면, 각각의 마이크로전자 구조는 메모리 스토리지 어레이를 정의하는 능동 소자, 및 상기 스토리지 어레이 내의 위치를 특정하는 어드레스 정보의 수신을 위한 어드레스 입력을 포함할 수도 있다. 상기 구조는 제 1 표면 및 상기 제 1 표면에서 노출된 단자를 가질 수도 있다. 상기 단자는 제 1 단자를 포함할 수도 있고, 상기 구조는 상기 제 1 단자에서 수신된 어드레스 정보를 상기 어드레스 입력으로 제공하도록 구성될 수도 있다. 일 예에서, 각각의 제 1 단자는 상기 어드레스 입력 중 하나 이상으로 전송될 정보를 포함하는 신호 할당(signal assignment)을 가질 수도 있다. 상기 제 1 단자는 상기 제 1 표면에 직각인 이론적 평면의 제 1 및 제 2 반대면들 상에 배치된다.

상기 제 1 면 상에 배치된 제 1 단자의 신호 할당은 상기 제 2 면 상에 배치된 제 1 단자의 신호 할당의 미리 이미지이다.

[0031] 하나 이상의 예에 따르면, 각각의 마이크로전자 구조는 하나 이상의 반도체 칩을 포함할 수도 있고, 각각의 마이크로전자 구조의 메모리 스토리지 어레이는 그것의 하나 이상의 반도체 칩 중 적어도 하나 내에 통합될 수 있다. 각각의 마이크로전자 구조의 제 1 단자는 상기 개별적인 마이크로전자 구조의 적어도 하나의 반도체 칩의 동작 모드를 제어하는 정보를 운반하도록 구성되는 단자를 포함할 수도 있다.

[0032] 하나 이상의 예에 따르면, 상기 이론적 평면의 제 1 면 및 제 2 면 각각 상의 제 1 단자는 상기 개별적인 마이크로전자 구조로 전달되는 모든 커맨드 신호를 운반하도록 구성될 수도 있다. 일 예에서, 커맨드 신호는 기록 이네이블(write enable), 로우 어드레스 스트로브, 및 컬럼 어드레스 스트로브 신호를 포함할 수도 있다.

[0033] 하나 이상의 예에 따르면, 상기 이론적 평면의 제 1 및 제 2 면의 각각 상의 제 1 단자는 상기 개별적인 마이크로전자 구조로 전송되는 클록 신호를 운반하도록 구성될 수 있고, 클록 신호는 어드레스 정보를 운반하는 신호를 샘플링하기 위하여 사용되는 클록을 포함한다.

[0034] 하나 이상의 예에 따르면, 각 마이크로전자 구조 상에서, 상기 이론적 평면의 제 1 면 및 제 2 면 각각 상의 제 1 단자는 이러한 마이크로전자 구조로 전달되는 모든 뱅크 어드레스 신호를 운반하도록 구성될 수도 있다.

[0035] 하나 이상의 예에 따르면, 상기 제 1 마이크로전자 구조의 이론적 평면의 제 1 면 상의 제 1 단자는 상기 회로 패널을 통하여 상기 제 2 마이크로전자 구조의 이론적 평면의 제 2 면 상의 제 1 단자에 접속될 수 있고, 상기 제 1 마이크로전자 구조의 제 2 면 상의 제 1 단자는, 상기 회로 패널의 제 1 및 제 2 표면에 평행인 x 및 y 직교 방향에서, 상기 제 2 마이크로전자 구조의 제 1 면 상에서 그들이 접속되는 대응하는 제 1 단자의 하나의 볼 피치 내에서 정렬될 수 있다.

[0036] 하나 이상의 예에 따르면, 상기 제 1 마이크로전자 구조의 제 2 면 상의 제 1 단자는, 상기 회로 패널의 제 1 및 제 2 표면에 평행인 x 및 y 직교 방향에서, 그들이 접속되는 상기 제 2 마이크로전자 구조의 제 1 면 상의 제 1 단자와 일치할 수 있다.

[0037] 하나 이상의 예에 따르면, 상기 제 1 마이크로전자 구조의 제 1 단자 중 하나 및 상기 제 2 마이크로전자 구조의 제 1 단자 중 대응하는 하나 사이의 전기적 접속 중 적어도 하나의 스터브의 길이는 상기 마이크로전자 구조들 각각의 제 1 단자의 최소 피치의 7 배 미만일 수 있다.

[0038] 하나 이상의 예에 따르면, 상기 제 1 및 제 2 마이크로전자 구조의 제 1 단자들 사이에서 상기 회로 패널을 관통하는 전기적 접속 중 적어도 몇몇은 근사적으로 상기 회로 패널의 두께의 전기적 길이를 가질 수도 있다.

[0039] 하나 이상의 예에 따르면, 상기 회로 패널의 제 1 및 제 2 표면에서 노출된 전기적으로 커플링된 제 1 및 제 2 패널 콘택의 쌍을 접속시키는 도전성 소자의 총 결합 길이는 패널 콘택의 최소 피치의 7 배 미만일 수 있다.

[0040] 하나 이상의 예에 따르면, 상기 회로 패널은 상기 마이크로전자 구조의 각각으로 전송되는 모든 어드레스 정보를 운반하도록 구성되는 복수 개의 도체를 가지는 버스를 포함할 수도 있다. 상기 도체는 상기 회로 패널의 제 1 및 제 2 표면에 평행인 제 1 방향에서 연장할 수도 있다.

[0041] 하나 이상의 예에 따르면, 상기 제 1 단자는 상기 이론적 평면의 제 1 및 제 2 면의 각각 상의 개개의 컬럼 내에 배치될 수 있다. 상기 회로 패널은 상기 제 1 및 제 2 마이크로전자 구조의 제 1 단자가 전기적으로 접속되는 상기 회로 패널 상의 연결 사이트 및 적어도 제 3 마이크로전자 패키지의 단자가 전기적으로 접속되는 상기 회로 패널 상의 상이한 연결 사이트 사이에서의 모든 어드레스 정보의 글로벌 라우팅을 위하여 하나 이하의 라우팅 층을 포함할 수도 있다.

[0042] 하나 이상의 예에 따르면, 상기 이론적 평면의 제 1 및 제 2 면의 각각 상의 제 1 단자는 두 개의 평행 컬럼 내의 포지션에서 배치될 수 있다. 상기 회로 패널은 마이크로전자 구조 중 하나 이상의 단자가 전기적으로 접속될 수 있는 상기 회로 패널 상의 개별적인 연결 사이트들 사이에서의 모든 어드레스 정보의 글로벌 라우팅을 위하여 두 개 이하의 라우팅 층을 포함할 수도 있다.

[0043] 하나 이상의 예에 따르면, 상기 제 1 및 제 2 마이크로전자 구조의 제 1 단자가 전기적으로 접속되는 상기 회로 패널 상의 연결 사이트 및 적어도 제 3 마이크로전자 패키지의 단자가 전기적으로 접속되는 상기 회로 패널 상의 상이한 연결 사이트 사이에서의 모든 어드레스 정보의 글로벌 라우팅을 위하여 하나 이하의 라우팅 층이 존재할 수도 있다.

도면의 간단한 설명

[0044]

도 1 은 종래의 마이크로전자 패키지를 도시하는 단면도이다.

도 2 는 본 명세서에서 언급되는 마이크로전자 어셈블리를 도시하는 개략 사시도이다.

도 3 은 본 명세서에서 언급되는 마이크로전자 어셈블리를 도시하는 개략 사시도이다.

도 4 는 도 3 에서 볼 수 있는 바와 같은 어셈블리 내의 마이크로전자 패키지의 쌍 사이의 전기적 상호접속을 도시하는 개략도이다.

도 5 는 본 발명의 일 실시예에 따른 마이크로전자 구조를 도시하는 단면도이다.

도 5a 는 본 발명의 일 실시예에 따른 마이크로전자 구조 상의 단자의 배치를 도시하는 평면도이다.

도 5b 는 도 5a 에서 볼 수 있는 바와 같은 패키지 상의 단자의 가능한 배치를 도시하는 다른 평면도이다.

도 5c 는 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 단면도이다.

도 5d 는 본 발명의 일 실시예에 따른 마이크로전자 구조를 도시하는 단면도이다.

도 5e 는 본 발명의 일 실시예에 따른 적층된 마이크로전자 구조를 도시하는 단면도이다.

도 5f 는 본 발명의 일 실시예에 따른 적층된 마이크로전자 구조를 도시하는 단면도이다.

도 5g 는 본 발명의 일 실시예에 따른 마이크로전자 구조를 도시하는 단면도이다.

도 5h 는 본 발명의 일 실시예에 따른 마이크로전자 구조 상의 단자의 배치를 도시하는 평면도이다.

도 6a, 도 6b 및 도 6c 는 본 발명의 일 실시예에 따른 패키지 내에 통합되는 마이크로전자 소자 상의 소자 콘택의 다양한 배치를 도시하는 평면도이다.

도 7a 는 본 발명의 일 실시예에 따른 마이크로전자 어셈블리를 도시하는 단면도이다.

도 7b 는 본 발명의 일 실시예에 따른 마이크로전자 어셈블리를 도시하는 개략 사시도이다.

도 8 은 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 단면도이다.

도 9 는 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 단면도이다.

도 10 은 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 단면도이다.

도 11 은 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 단면도이다.

도 12 는 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 평면도이다.

도 13 은 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 단면도이다.

도 14 는 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 단면도이다.

도 15a 는 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 단면도이다.

도 15b 는 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 단면도이다.

도 16 은 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 평면도이다.

도 17 은 도 16 에서 볼 수 있는 바와 같은 마이크로전자 패키지를 더욱 예시하는 단면도이다.

도 18 은 도 16 에 도시된 바와 같은 본 발명의 일 실시예에 따른 마이크로전자 패키지를 더욱 예시하는 평면도이다.

도 19 는 도 16 에서 볼 수 있는 바와 같은 제 1 및 제 2 마이크로전자 패키지를 통합하는 마이크로전자 어셈블리를 도시하는 단면도이다.

도 20 및 도 21 은 도 16 에서 볼 수 있는 바와 같은 본 발명의 일 실시예에 따르는 마이크로전자 패키지 내의 대안적 단자 배치를 도시한다.

도 22 는 도 16 에 도시된 본 발명의 실시예의 변형예에 따른 마이크로전자 패키지를 도시하는 단면도이다.

도 23 은 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 평면도이다.

도 24 는 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 평면도이다.

도 25 는 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 평면도이다.

도 26 은 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 평면도이다.

도 27 은 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 평면도이다.

도 28 은 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 평면도이다.

도 29 는 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 평면도이다.

도 30 은 본 발명의 일 실시예에 따른 마이크로전자 패키지를 도시하는 평면도이다.

도 31 은 본 발명의 일 실시예에 따른 시스템을 도시하는 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0045] 도 1 에 대하여 설명된 예시적인 종래의 마이크로전자 패키지(12)를 고려하여, 발명자들은 스토리지 어레이 칩을 통합하는 마이크로전자 구조의 및 이러한 마이크로전자 구조를 통합하는 어셈블리의 전기적 성능을 개선하는 것을 도울 수도 있으며 이루어질 수 있는 개선 사항들을 인식했다.

[0046] 개선 사항들은, 내부에 패키지(12A)가 회로 패널의 표면에 탑재되고 다른 패키지(12B) 그 회로 패널의 반대면 상에 이와 반대로 탑재되는, 예를 들어 도 2 내지 도 4 에 도시된 바와 같은 어셈블리 내에 제공될 때의, 패키지와 같은 마이크로전자 구조의 사용에 대하여 특히 이루어질 수 있다. 통상적으로 패키지(12A, 12B)는 기능적으로 그리고 기계적으로 서로 등가이다. 기능적으로 그리고 기계적으로 등가인 패키지의 다른 쌍(12C 및 12D); 및(12E 및 12F)도 역시 통상적으로 동일한 회로 패널(34)로 탑재된다. 회로 패널 및 이것에 조립된 패키지는 공통적으로 듀얼인-라인 메모리 모듈("DIMM(dual in-line memory module)")이라고 지칭되는 어셈블리의 일부를 형성할 수도 있다. 패키지의 각각 반대로 탑재된 쌍 중의 패키지들, 예를 들어 패키지(12A, 12B)는 회로 패널의 반대면 상의 콘택에 접속하여, 각각의 쌍 중의 패키지들이 통상적으로 그들의 개별적인 면적의 90% 초과에 의하여 서로 상재하게 한다. 회로 패널(34) 내의 로컬 배선은 각각의 패키지 상의 단자, 예를 들어 "1" 및 "5"로 표시된 단자를 회로 패널 상의 글로벌 배선으로 연결한다. 글로벌 배선은 몇몇 신호를 회로 패널(34) 상의 연결 사이트 I, II 및 III과 같은 연결 사이트(connection sites)로 통전시키기 위하여 사용되는 버스(36)의 신호 도체를 포함한다. 예를 들어, 패키지(12A, 12B)는 연결 사이트 I로 커플링된 로컬 배선에 의하여 버스(36)에 전기적으로 접속되고, 패키지(12C, 12D)는 연결 사이트 II로 커플링된 로컬 배선에 의하여 버스에 전기적으로 접속되며, 그리고 패키지(12E, 12F)는 연결 사이트 III로 커플링된 로컬 배선에 의하여 버스에 전기적으로 접속된다.

[0047] 회로 패널(34)은 개별적인 패키지(12A, 12B)의 단자들을 열십자(cross) 또는 "구두끈(shoelace)" 패턴에 유사하게 보이는 로컬 상호접속 배선을 사용하여 전기적으로 상호접속시키는데, 여기에서 패키지(12A)의 하나의 에지(16) 근처의 "1"로 표시된 단자가 회로 패널(34)을 통과하여 패키지(12B)의 동일한 에지(16) 근처의 "1"로 표시된 단자로 연결된다. 그러나, 회로 패널(34)로 조립된 바와 같은 패키지(12B)의 에지(16)는 패키지(12A)의 에지(16)로부터 멀다. 도 2 내지 도 4 는 패키지(12A)의 에지(22) 근처의 "5"로 표시된 단자가 회로 패널(34)을 통과하여 패키지(12B)의 동일한 에지(22) 근처의 패키지(12B)의 "5"로 표시된 단자에 연결되는 것을 보여준다. 어셈블리(38)에서, 패키지(12A)의 에지(22)는 패키지(12B)의 에지(22)로부터 멀다.

[0048] 각각의 패키지, 예를 들어 패키지(12A) 상의 단자의 그것에 반대로 탑재된 패키지, 즉 패키지(12B) 상의 대응하는 단자까지의 회로 패널을 통과한 접속은 매우 길다. 도 3 에서 더 도시된 바와 같이, 유사한 마이크로전자 패키지(12A, 12B)의 이러한 어셈블리에서, 회로 패널(34)은, 버스로부터의 동일한 신호가 각각의 패키지로 송신되어야 할 경우에, 버스(36)의 신호 도체를 패키지(12A)의 "1"로 표시된 단자 및 패키지(12B)의 "1"로 표시된 대응하는 단자와 전기적으로 상호접속시킬 수도 있다. 이와 유사하게, 회로 패널(34)은 버스(36)의 다른 신호 도체를 패키지(12A)의 "2"로 표시된 단자 및 패키지(12B)의 "2"로 표시된 대응하는 단자와 전기적으로 상호접속시킬 수도 있다. 동일한 내용이, 각각의 패키지(12A, 12B)의 "3"로 표시된 단자의 회로 패널(34)을 통과하는 전기적 접속에 대하여 참일 수 있다. 또한, 동일한 접속 장치가 버스의 다른 신호 도체 및 각각의 패키지의 대응하는 단자에 적용할 수도 있다. 회로 패널(34) 상의 버스(36) 및 패키지의 개별적인 쌍, 예를 들어 패키지(12A, 12B)(도 2)의 각각의 패키지 사이의 보드의 연결 사이트 I에서의 로컬 배선은 비종단(unterminated) 스터

브의 형태를 가질 수 있다. 이러한 로컬 배선은 상대적으로 긴 경우 몇 가지 경우들에서 아래에서 논의되는 바와 같이 어셈블리(38)의 성능에 영향을 줄 수도 있다. 더욱이, 회로 패널(34)은 또한 로컬 배선이 다른 패키지: 패키지(12C 및 12D)의 쌍, 및 패키지(12E 및 12F)의 쌍의 어떤 단자들을 버스(36)의 글로벌 배선으로 전기적으로 상호접속하도록 요구하며, 이러한 배선도 역시 동일한 방식으로 어셈블리의 성능에 영향을 줄 수 있다.

[0049] 도 4 는 신호 "1", "2", "3", "4", "5", "6", "7", 및 "8"을 운반하도록 할당된 단자의 개별적인 쌍의 마이크로전자 패키지(12A, 12B)들 사이에서의 상호접속을 더 도시한다. 도 4 에서 볼 수 있는 바와 같이, 단자의 컬럼(14, 18)이 각 패키지(12A, 12B)의 에지(16, 22)에 개별적으로 인접하기 때문에, 단자의 컬럼(14, 18)이 연장하는 방향(42)을 가로지르는 방향(40)에서 회로 패널(34)을 가로지를 필요가 있는 배선은 매우 길 수 있다. DRAM 칩과 같은 마이크로전자 소자의 길이가 각 측면에서 10 밀리미터의 범위에 있을 수 있다는 것을 인식하면, 도 2 내지 도 4 에서 도시되며 동일한 신호를 두 개의 반대로 탑재된 패키지(12A, 12B)의 대응하는 단자로 라우팅하기 위하여 요구되는 어셈블리(38) 내의 회로 패널(34) 내의 로컬 배선의 길이는 어떤 경우에는 5 내지 10 밀리미터까지의 범위를 가질 수 있고, 통상적으로는 약 7 밀리미터일 수도 있다.

[0050] 몇 가지 경우들에서, 이러한 반대로 탑재된 마이크로전자 패키지의 단자들을 연결시키기 위하여 요구되는 회로 패널 배선의 길이는 어셈블리의 전기적 성능에 치명적으로 영향을 주지 않을 수도 있다. 그러나, 패키지(12A, 12B) 상의 단자의 접속된 쌍에 의해 운반되는 신호가 버스(36)로부터의 어드레스 정보 또는 다른 정보, 예컨대 회로 패널에 연결된 복수 개의 패키지의 메모리 스토리지 어레이 기능의 동작에 공통적인, 어드레스 정보를 샘플링하는 데에 사용가능한 클록 정보라면, 발명자는 버스(36)로부터 각각의 패키지 상의 단자로 연장하는 배선 스터브의 길이가 성능에 크게 영향을 미칠 수도 있다는 것을 인식한다. 상호접속 배선이 상대적으로 긴다면, 더 심각한 영향이 발생하며, 이것은 안정화 시간, 링잉(ringing), 지터, 또는 송신된 신호에 대한 짐볼간 간섭을 수락불가능한 정도까지 증가시킬 수 있다.

[0051] 특정 실시예에서, 어드레스 정보를 운반하기 위하여 사용되는 버스(36)는 커맨드 정보, 어드레스 정보, 뱅크 어드레스 정보 및 클록 정보를 운반하도록 구성된 커맨드-어드레스 버스(36) 일 수 있다. 특정한 구현형태에서, 커맨드 정보는 커맨드 신호로서 회로 패널 상의 개별적인 신호 도체 상에서 송신될 수 있다. 또한 어드레스 정보가 어드레스 신호로서 개별적인 신호 도체 상에서 송신되는 것이 가능한데, 이것은 뱅크 어드레스 정보가 뱅크 어드레스 신호로서 개별적인 신호 도체 상에서 송신되는 것이 역시 가능하고 또한 클록 정보가 클록 신호로서 개별적인 신호 도체 상에서 송신되는 것이 가능한 것과 같다. DRAM 칩과 같은 메모리 스토리지 어레이를 가지는 마이크로전자 소자의 하나의 특정한 구현형태에서, 버스(36)에 의하여 운반될 수 있는 커맨드 신호는 기록 이네이블, 로우 어드레스 스트로브 및 컬럼 어드레스 스트로브일 수 있고, 버스(36)에 의하여 운반될 수 있는 클록 신호는 적어도 버스(36)에 의하여 운반되는 어드레스 신호를 샘플링하기 위하여 사용되는 클록 신호일 수 있다.

[0052] 이에 상응하여, 본 명세서에서 설명되는 몇몇 본 발명의 실시예는 제 1 및 제 2 의 이러한 패키지가 회로 패널, 예를 들어 회로 보드, 모듈 보드 또는 카드, 또는 가요성 회로 패널의 반대면 상에 서로 반대로 탑재될 때 회로 패널의 스터브의 길이가 감소되도록 허용하기 위하여 구성되는 마이크로전자 패키지를 제공한다. 회로 패널 상에 서로 반대로 탑재된 제 1 및 제 2 마이크로전자 패키지를 통합하는 어셈블리는 개별적인 패키지들 사이에서 상당히 감소된 스터브 길이를 가질 수 있다. 스터브 길이를 이러한 어셈블리 내에서 감소시키는 것은 전기적 성능을, 예컨대 다른 것들 중에서 안정화 시간, 링잉, 지터, 또는 짐볼간 간섭 중 하나 이상을 감소시킴으로써 개선할 수 있다. 더욱이, 다른 이점들, 예컨대 회로 패널의 구조를 단순화하는 것 또는 복잡성 및 회로 패널을 설계하거나 제조하는 비용 또는 및 회로 패널을 설계하고 제조하는 모든 비용을 감소시키는 것을 달성하는 것도 역시 가능할 수도 있다.

[0053] 따라서, 본 발명의 일 실시예에 따른 마이크로전자 구조(100)가 도 5 내지 도 5a 에 도시된다. 도 5 에서 볼 수 있는 바와 같이, 구조(100)는 제 1 표면(201) 및 복수 개의 단자, 예를 들어 제 1 표면에서 노출된 제 1 단자(104), 및 제 2 단자(106)를 가진다. 여기에서 사용될 때, 전기적으로 도전성인 소자가 어떤 구조의 면에 "노출된다"라는 진술은, 그 전기적으로 도전성인 소자가 그 구조의 외부로부터 그 면을 향하여 그 면에 수직인 방향으로 이동하는 이론적인 지점과 콘택트되기 위하여 가용이라는 것을 표시한다. 따라서, 어느 구조의 면에 노출된 단자 또는 다른 도전성 소자는 이러한 면으로부터 돌출될 수 있거나; 이러한 면과 같은 높이일 수 있거나; 또는 이러한 면에 상대적으로 리세싱되고 그 구조 내의 훌 또는 오목부를 통하여 노출될 수 있다.

[0054] 마이크로전자 구조(100)는 그 위에 능동 소자(202), 예를 들어 트랜지스터와 같은 능동 디바이스, 또는 추가적

소자와 함께 또는 추가적 소자 없이 메모리 스토리지 어레이(204)를 정의하는 다른 능동 소자를 포함할 수 있다. 일 예에서, 능동 소자에 의하여 정의되는 능동 소자(202) 및 메모리 스토리지 어레이(204)는 마이크로전자 소자 내에, 또는 마이크로전자 구조의 하나 이상의 마이크로전자 소자, 예를 들어 하나 이상의 반도체 칩 내에 통합될 수 있고, 또는 마이크로전자 구조의 하나 이상의 마이크로전자 패키지 또는 이것의 어셈블리 내에 통합될 수도 있다. 한정하는 것이 아닌 일 예에서, 마이크로전자 구조(100)는 예를 들어, 단자들이 패키지의 제1 표면에서 노출되는 마이크로전자 패키지 또는 그의 일부일 수도 있다. 다른 예에서, 마이크로전자 구조는 전기적으로 접속된 마이크로전자 소자, 반도체 칩, 또는 마이크로전자 소자 또는 반도체 칩의 일부, 또는 마이크로전자 패키지의 일부를 포함하는 복수 개의 전기적으로 접속된 마이크로전자 패키지 또는 구조를 포함하는 어셈블리일 수 있다.

[0055] 일 예에서, 메모리 스토리지 어레이(204)는 그것의 역할이 마이크로전자 구조의 다른 기능성 부분보다 부차적인 마이크로전자 구조의 기능성 부분을 포함한다. 예를 들어, 마이크로전자 구조는 포함 로직 기능성 부분, 예를 들어 프로세서 및 메모리 기능성 부분을 포함할 수도 있고, 메모리 기능성 부분은 로직 기능성 부분의 기능을 보조하거나 이를 서빙하는 것을 도울 수도 있다. 특정한 예에서는, 마이크로전자 구조는 메모리 스토리지 어레이 기능을 주로 제공하도록 구성될 수 있다. 후자의 경우에, 마이크로전자 구조는, 메모리 스토리지 어레이 기능이 아닌 기능을 제공하도록 구성되는 구조의 다른 컴포넌트 내의 능동 소자의 개수보다 더 많은 개수의, 메모리 스토리지 어레이 기능을 제공하도록 구성되는, 능동 소자(202), 예를 들어 트랜지스터와 같은 능동 디바이스를 가질 수도 있다.

[0056] 마이크로전자 구조는 메모리 스토리지 어레이(204)내의 위치를 특정하는 어드레스 정보의 수신을 위한 복수 개의 어드레스 입력(206)을 포함할 수도 있다. 따라서, 어드레스 입력은 위에서 설명된 바와 같은 마이크로전자 소자의 표면에서 노출된 콘택일 수도 있다. 마이크로전자 구조는 마이크로전자 구조의 특정 단자에서 수신된 어드레스 정보를 어드레스 입력(206)으로 전송하기 위하여 구성된다. 예를 들어, 마이크로전자 구조는 구조의 특정 단자에서 수신된 신호를 대응하는 특정 어드레스 입력(206)으로 커플링할 수도 있다. 하나의 특정한 예에서, 어드레스 입력은 마이크로전자 소자(101), 예를 들어 반도체 칩의 페이스(207)에서 노출될 수 있는데, 여기에서 페이스(207)는 마이크로전자 구조의 제1 표면(201)을 향하여 대향한다. 다른 예에서, 어드레스 입력(206)은 제1 표면(201)으로부터 멀리 대향하는 마이크로전자 소자(101)의 페이스(209)에서 노출될 수 있다. 일 예에서, 마이크로전자 구조는 단자, 예를 들어 "제1 단자"(104)의 세트를 구조의 대응하는 어드레스 입력과 직접적으로 전기적으로 커플링하는 배선을 그 안에 포함할 수도 있다. 본 명세서에서 사용될 때, 각각의 "제1 단자"(104)는 마이크로전자 구조 상에 어드레스 입력(206) 중 하나 이상을 포함하는 신호 할당을 가진다. 다른 예에서, 아래에서 더욱 설명되는 바와 같이, 마이크로전자 구조는 버퍼 소자, 예컨대 복수 개의 능동 소자를 그 위에 가지는 반도체 칩을 포함할 수도 있는데, 이러한 반도체 칩은 어드레스 입력으로의 마이크로전자 구조에 의한 전송을 위하여 제1 단자에서 수신된 어드레스 또는 커맨드 정보 중 적어도 하나를 재생, 또는 부분적으로 또는 완전히 디코딩하는 것 중의 적어도 하나를 하도록 구성된다. 커맨드 정보는 마이크로전자 구조 내의 메모리 스토리지 어레이 또는 그의 일부의 동작 모드를 제어하는 정보일 수도 있다.

[0057] 마이크로전자 구조는 마이크로전자 구조의 "SPD(serial presence detect) 소자"처럼 직렬 프레즌스 검출("SPD") 기능을 수행하도록 구성되는 그것의 일부를 가지는 비휘발성 메모리를 더 포함할 수도 있다. 이러한 SPD 소자는 마이크로전자 구조의 조직화(organization), 타이밍 또는 용량 중 적어도 하나에 관련되는 동작 파라미터를 포함할 수 있다. 일 실시예에서, SPD 소자는 내부에 메모리 스토리지 어레이가 제공되며 어드레스 정보가 어드레스 입력을 사용하여 제공되는 하나 이상의 반도체 칩이 아닌 반도체 칩 내에 통합될 수 있다. 일 예에서, 동작 파라미터는 로우 어드레스 스트로브 신호가 이네이블된 상태에서 마이크로전자 구조의 회로부에 의하여 검출된 이후의 레이턴시의 클록 사이클의 개수(이하, "RAS 레이턴시")와 같은 타이밍에 관련될 수도 있고, 또는 컬럼 어드레스 스트로브 신호가 마이크로전자 구조의 회로부에 의하여 이네이블된 상태에서 검출된 이후의 레이턴시의 클록 사이클의 개수에 관련될 수도 있으며, 또는 마이크로전자 구조의 용량, 예를 들어 예컨대 1 기가비트("1Gb"), 2 기가비트("2Gb") 등에 관련될 수도 있고, 또는 마이크로전자 구조의 조직화, 예컨대 "단일-랭크", "2-랭크", "4-랭크" 또는 다른 구조 등, 또는 다른 동작 파라미터, 또는 조합 앞선 동작 파라미터, 또는 다른 동작 파라미터의 조합에 관련될 수도 있다. 일 예에서, 비휘발성 메모리는 앞서 언급된 파라미터 중 하나의 정보를 저장할 수도 있고 또는 한정함이 없이 동작 파라미터의 임의의 조합의 정보를 저장할 수도 있다. 하나의 특정한 예에서, SPD는 마이크로전자 구조의 메모리 스토리지 어레이 내의 공지된 나쁜 메모리 위치를 포함할 수도 있는데, 이것은 판독 또는 메모리 스토리지 어레이로의 기록 액세스 도중에 회피되어야 한다.

[0058] 이론적 평면(132)은 마이크로전자 구조를 통하여 제1 표면(201)에 직각인 방향으로 마이크로전자 구조의 제

1 및 제 2 반대로-대향하는 에지(140, 141) 사이의 위치에서 연장한다. 이론적 평면 및 다른 구조 간의 관련성은 아래에 제공되는 예들로부터 명백해질 것이다. 도 5a에서 더 도시되는 바와 같이, 마이크로전자 구조(100)는 그 위에 이론적 평면(132)의 제 1 및 제 2 반대면 상에 배치된 복수 개의 제 1 단자, 예를 들어 단자(104)를 가진다. 단자는 제 1 표면에서 노출된 전기적으로 도전성 소자, 예를 들어 콘택, 패드, 포스트, 핀, 소켓, 배선일 수도 있다. 몇 가지 경우들에서, 단자는 다른 소자, 예를 들어 회로 패널의 대응하는 콘택으로 \$1 예컨대 몇 가지 경우들에서 무엇보다 솔더, 주석 또는 금과 같은 결합 금속일 수 있는 도전성 결합 재료에 의하여 도전성 결합되도록 구성될 수 있다. 이러한 경우에는, 단자는 가용성 도전 재료, 예컨대 솔더 볼, 금 범프, 금속 및 고분자 재료, 또는 앞선 것 중 하나 이상의 조합을 포함하는 전기적으로 도전성 매트릭스 재료의 조이닝(joining) 소자를 포함할 수도 있는데, 이것들은 단자의 금속성 소자, 예를 들어 패드 또는 포스트의 표면에 부착된다. 다른 경우, 단자들은 다른 컴포넌트의 대응하는 피쳐들을 \$1 예컨대 각각의 컴포넌트의 대응하는 도전성 소자들 사이의 압력 또는 억지끼워맞춤(interference fit)에 의하여 기계적으로 및 전기적으로 결합하도록 구성될 수 있는데, 이것은 몇 가지 경우들에서는 그들이 결합하는 대응하는 도전성 표면에 상대적으로 미끄러지거나 와이핑(wipe)할 수도 있다.

[0059] 도 5a 및 도 5b에서 더 도시되는 바와 같이, 제 1 단자(104)의 제 1 세트는 이론적 평면(132)의 제 1 면에 배치되고, 예를 들어 제 1 단자(104)의 복제 집합인 제 2 세트는 제 1 면에 반대인 이론적 평면(132)의 제 2 면 상에 배치된다. 마이크로전자 구조는 제 1 단자에서 수신된 어드레스 정보를 어드레스 입력으로 제공하도록 구성된다. 본 명세서에서 어드레스 정보 또는 커맨드 어드레스 버스 정보 또는 마이크로전자 소자의 신호 및 어드레스 입력 또는 그것의 일부의 콘텍스트에서 사용될 때, 단자의 어드레스 정보가 "어드레스 입력"으로 제공된다는 진술은, 그 단자의 어드레스 정보가 그들 간의 전기적 접속을 통하여거나 또는 그 단자에서 수신된 어드레스 정보를 재생하거나 부분 디코딩하거나 또는 디코딩하는 것 중 적어도 하나를 수행할 수도 있는 베퍼 소자를 통하여 그 어드레스 입력으로 전송된다는 것을 의미한다. 도 5a에서 더 도시되는 바와 같이, 제 1 단자(104)의 제 1 세트의 신호 할당은 제 1 단자(104)의 제 2 세트의 신호 할당의 미러 이미지이다.

[0060] 본 명세서에서 사용될 때, 이론적 평면(132)의 개별적인 반대면 상에 배치된 제 1 단자의 쌍의 신호 할당들은, 이 쌍의 각각의 단자로 할당된 신호들이 기능적으로 동일한 경우에는 서로의 미러 이미지이다. 어드레스 공간 내의 위치를 특정하는 데 있어서 다른 신호와 동일한 기능을 가지는 어드레스 신호는 다른 어드레스 신호에 기능적으로 동일하다. 이것은, 마이크로전자 구조 상의 어드레스 단자의 쌍, 예를 들어 "A2L(A2_Left)" 및 "A2R(A2_Right)"이 각각 동일한 어드레스 공간 내의 위치를 특정하기 위하여 사용되는 어드레스 내의 가중치의 비트 $2^{\wedge}2(2 \text{의 } 2 \text{ 제곱})$ 을 특정하는 예에서 가장 잘 도시될 수 있다. 신호(A2L 및 A2R)의 각각이 동일한 어드레스 공간 내의 또는 동가 어드레스 공간 내의 한 어드레스의 유사한 부분을 특정하기 위하여 사용될 수 있기 때문에 이러한 단자는 동일한 신호 할당을 가진다. 이에 따르는 일 예에서, 패키지의 단자(A2L 및 A2R) 중 하나의 또는 양자로 전송된 어드레스 정보가 대응하는 어드레스 입력, 예를 들어 마이크로전자 구조(100)(도 5) 내에 통합된 하나 이상의 마이크로전자 소자 상의 동일한 명칭 "A2"를 가지는 소자 콘택으로 전송될 수 있다는 것이 명백하다. 따라서, 일 예에서, 미러 이미지 신호 할당을 가지는 제 1 단자의 각각의 쌍으로 할당된 신호들, 예를 들어 제 1 단자의 제 1 세트 내의 신호(A2L) 및 제 2 세트 내의 신호(A2R)가 마이크로전자 구조 외부의 위치에 있는 드라이버 회로부의 동일한 출력으로부터 유래할 수 있다는 것이 가능하다. 더 나아가 이러한 예에서는, 그것을 통하여 신호(A2L 및 A2R)가 마이크로전자 구조의 단자에서 수신되는, 회로 패널의 외부에서 노출되는 패널 콘택들이 분리되는 반면에, 몇 가지 경우들에서는 패널 콘택은 회로 패널의 하나 이상의 다른 위치에서 서로 전기적으로 묶일 수도 있다. 따라서, 몇 가지 경우들에서, 동가 신호(A2L 및 A2R)의 쌍은 이러한 다른 회로 패널 위치에서 단일 신호로서 구동된다.

[0061] 다른 예에서, 마이크로전자 구조는, 그 내부에서 어드레스 정보가 동일한 구조의 마이크로전자 소자 중 상이한 하나 이상으로 제공되는 어드레스 정보와는 별개로 그 마이크로전자 구조 내의 마이크로전자 소자 중 하나 이상으로 제공되는 다중 마이크로전자 소자를 포함할 수도 있다. 이러한 경우에는, 비록 어드레스 정보가 이론적 평면의 제 1 및 제 2 면의 각각 상의 단자의 제 1 및 제 2 세트에서 수신되지만, 이론적 평면의 제 1 면 상의 제 1 단자에서 수신된 어드레스 정보는 마이크로전자 구조의 제 1 마이크로전자 소자 중 하나 이상의 어드레스 입력으로만 제공될 수도 있다. 반대로, 이론적 평면의 제 1 면과 반대인 제 2 면 상의 제 1 단자에서 수신된 어드레스 정보는 마이크로전자 구조의 제 2 마이크로전자 소자 중 하나 이상의 어드레스 입력으로만 제공될 수도 있다. 일 예에서, 하나 이상의 제 1 마이크로전자 소자는 이론적 평면의 제 1 면 상에 있을 수도 있고, 및 하나 이상의 제 2 마이크로전자 소자는 이론적 평면의 제 2 면 상에 있을 수도 있다. 이러한 경우에, 신호 할당 A2L을 가지는 패키지의 단자에서 수신된 어드레스 정보 및 이의 미러 이미지인 신호 할당 A2R을 가지는 패키지의 단자 상의 어드레스 정보는 마이크로전자 구조(100)의 개별적인 제 1 및 제 2 마이크로전자 소자의 동일한

명칭 "A2" 을 가지는 소자 콘택으로 각각 전송될 수 있다(도 5).

[0062] 개별적인 제 1 및 제 2 그리드(114, 124)에서 배치될 수도 있는 제 1 단자의 제 1 및 제 2 세트의 각각의 신호 할당은 이론적 평면(132)을 중심으로 대칭인 것으로 도시됨으로써, 신호 A15를 수신하도록 할당된 제 1 세트의 단자(114-1)가 이론적 평면(132)을 중심으로 신호 A15를 수신하도록 할당된 제 2 세트의 대응하는 단자(124-1)로부터 대칭이 되도록 한다. 이론적 평면(132)의 반대면들 상의 제 1 단자들 사이의 동일한 관련성이 도 5에서 그리고 이 출원의 다른 도면에서 제공되는 다양한 단면도에서 표현된다. 구체적으로 설명하면, 표시 "A"는 이러한 도면에서 그 어드레스 입력으로 전송될 어드레스 정보의 수신을 위한 동일한 신호 할당을 가지는 제 1 단자의 쌍의 포지션을 나타내며, 이러한 제 1 단자는 각각의 마이크로전자 구조(100) 내의 개별적인 미러 이미지 포지션에서 배치되는 등이다.

[0063] 몇 가지 경우들에서, 이론적 평면의 제 1 및 제 2 면의 각각 상의 제 1 단자는 스토리지 어레이 내의 단일 스토리지 위치를 고유하게 특정하기 위하여 필요한 신호들 각각을 수신하도록 구성될 수도 있다. 다른 경우에는, 제 1 및 제 2 면의 각각 상의 제 1 단자는 스토리지 어레이 내의 단일 스토리지 위치를 고유하게 특정하기에 필요한 다수의 신호만을 수신하도록 구성될 수도 있다.

[0064] 비록 이론적 평면(132)이 마이크로전자 구조를 통과하여 에지(141)보다 에지(140)에 더 가까울 수 있거나 또는 에지(140)보다 에지(141)에 더 가까울 수 있는 다수 개의 위치에서 연장할 수 있지만, 하나의 특정한 예에서는 그리고 도 5a 에 도시된 바와 같이, 이론적 평면은 구조(100)를 통과하여 에지(140, 141)들 사이의 중간 위치에서 연장할 수 있다.

[0065] 도 5a 에서 더 도시되는 바와 같은 하나의 특정한 예에서, 마이크로전자 구조의 제 1 표면(201)은 제 1 방향(214)에서 대향하고, 마이크로전자 구조(100)는 동일한 제 1 방향에서 대향하는 제 1 표면(110)을 가지는 기판(102)을 포함한다. 기판(102)의 제 2 표면(108)은 제 1 방향과 반대인 제 2 방향(216)에서 대향할 수도 있다.

[0066] 이러한 예에서는, 몇 가지 경우들에서 그 위에 능동 소자(202)의 일부 또는 전부가 제공되는 반도체 칩과 같은 마이크로전자 소자(101)는 기판(102)의 제 2 표면(108)으로부터 멀어지게 대향하는 페이스(209)를 가질 수도 있다. 도 5c 의 특정 예에서 더욱 도시되는 바와 같이, 마이크로전자 구조(100) 내에 통합된 마이크로전자 소자(101)는 기판(102)의 제 2 표면(108)에서 개별적인 기판 콘택(121, 123)으로 전기적으로 접속되는 소자 콘택(111, 113)을 그것의 전면 페이스(105)에서 가질 수도 있다. 예를 들어, 와이어본드(112)는 소자 콘택(111, 113)을 기판 콘택(121, 123)과 전기적으로 접속시킬 수도 있다. 대안적으로는, 다른 타입의 도체, 예를 들어 리드 프레임, 가요성 리본 결합 등의 일부가 콘택(111, 113)을 개별적인 기판 콘택(121, 123)과 전기적으로 접속시키기 위하여 사용될 수도 있는데, 이것은 몇 가지 경우들에서 소자 콘택(111, 113)을 마이크로전자 소자(101)의 전면 페이스(105) 보다 기판 표면(108)으로부터 더 높은 높이에서 배치되는 다른 도전성 소자와 연결시킬 수도 있다. 이러한 마이크로전자 소자(101)의 일 타입에서, 소자 콘택(111, 113) 중 몇몇 콘택의 각각의 하나는 마이크로전자 소자로 공급된 어드레스 정보 중 특정 어드레스 정보를 수신하도록 구성될 수도 있다. 특정 실시예에서, 이러한 콘택(111, 113)의 각각은 마이크로전자 소자 외부로부터 마이크로전자 소자(101)로 와이어 본드(112)와 같은 패키지의 배선을 통하여, 그리고 제 1 단자(104)를 통하여 공급된 어드레스 정보를 수신하도록 구성되는 어드레스 입력 일 수도 있다. 또한 콘택(111, 113)은 마이크로전자 소자 외부로부터 예컨대 제한하는 것이 아닌 와이어 본드(112) 및 제 2 단자(106)를 통하여 다른 정보 또는 신호를 수신하도록 구성될 수도 있다.

[0067] 이러한 마이크로전자 소자(101)의 하나의 특정한 예에서, 소자 콘택(111, 113)에서 존재하는 어드레스 정보는 개별적인 마이크로전자 소자에 의하여 사용되는 클록의 에지에 상대적으로, 즉, 제 1 및 제 2 상이한 전압 상태 사이에서의 클록의 천이 시에 샘플링될 수 있다. 즉, 각각의 어드레스 신호는 클록의 더 낮은 전압 상태 및 더 높은 전압 상태 사이의 상승 천이 시에, 또는 클록의 더 높은 전압 상태 및 더 낮은 전압 상태 사이의 하강 천이 시에 샘플링될 수 있다. 따라서, 복수 개의 어드레스 신호는 모두 클록의 상승 천이 시에 샘플링될 수도 있고, 또는 이러한 어드레스 신호는 모두 클록의 하강 천이 시에 샘플링될 수도 있으며, 또는 다른 예에서는, 소자 콘택(111, 113) 중 하나에서의 어드레스 신호는 클록의 상승 천이 시에 샘플링될 수 있고 그리고 하나의 다른 외부 콘택에서의 어드레스 신호는 클록의 하강 천이 시에 샘플링될 수 있다.

[0068] 주로 메모리 스토리지 어레이 기능을 제공하도록 구성될 수도 있는 다른 타입의 마이크로전자 소자(101)에서, 그 위의 어드레스 콘택 중 하나 이상은 다중화된 방식으로 사용될 수 있다. 이러한 예에서, 개별적인 마이크로전자 소자(101)의 특정 소자 콘택(111, 113)은 외부로부터 마이크로전자 소자로 공급되는 두 개 이상의 상이한 신호를 수신할 수 있다. 따라서, 제 1 어드레스 신호는 특정 콘택(111, 113)에서 제 1 및 제 2 상이한 전압 상

태들 사이의 클록의 제 1 천이(예를 들어, 상승 천이) 시에 샘플링될 수 있고, 제 1 어드레스 신호가 아닌 신호는 특정 콘택에서 제 1 천이와 반대인 제 1 및 제 2 전압 상태 사이의 클록의 제 2 천이(예를 들어, 하강 천이) 시에 샘플링될 수 있다.

[0069] 이러한 다중화된 방식에서, 두 개의 상이한 신호는 개별적인 마이크로전자 소자(101)의 동일한 소자 콘택(111, 113) 상에서 클록의 동일한 사이클을 내에 수신될 수 있다. 특정 케이스에서, 이러한 방식에서의 다중화는 제 1 어드레스 신호 및 상이한 신호가 개별적인 마이크로전자 소자(101)의 동일한 소자 콘택(111, 113) 상에서 동일한 클록 사이클에 수신되도록 허용할 수 있다. 또 다른 예에서는, 이러한 방식에서의 다중화는 제 1 어드레스 신호 및 상이한 제 2 어드레스 신호가 개별적인 마이크로전자 소자(101)의 동일한 소자 콘택(111, 113) 상에서 동일한 클록 사이클에 수신되도록 허용할 수 있다.

[0070] 몇 가지 실시예들에서, 기판(102)은 시트형 또는 보드형 유전체 소자를 포함할 수 있는데, 이것은 본질적으로 고분자 재료, 예를 들어 특히 수지 또는 폴리이미드로 이루어질 수도 있다. 대안적으로는, 기판은 유리-강화 에폭시, 예를 들어 BT 수지 또는 FR-4 구조와 같은 합성물 구조를 가지는 유전체 소자를 포함할 수 있다. 몇 가지 예들에서, 유전체 소자는 1 도당 백만 분의 30(이하, "ppm/°C")까지의, 유전체 소자의 평면에서의, 즉 그것의 제 1 표면(110)에 평행한 방향에서의 열팽창 계수를 가진다. 다른 예에서, 기판은 12 ppm/°C 보다 적은 열팽창 계수("CTE")를 가지는 재료의 지지 소자를 포함할 수 있으며, 이것 위에 단자 및 다른 도전성 구조가 배치된다. 예를 들어, 이러한 낮은 CTE 소자는 본질적으로 유리, 세라믹 또는 반도체 재료 또는 액정 폴리머 재료, 또는 이러한 재료의 조합으로 이루어질 수 있다.

[0071] 도 5c 에서 볼 수 있는 바와 같이, 기판 콘택의 제 1 세트(121) 및 제 2 세트(123)는 기판의 제 2 표면(108)에서 노출될 수 있다. 기판 콘택의 제 1 세트(121)는 마이크로전자 소자의 소자 콘택(132)의 컬럼(111)(도 6a)에, 예컨대 마이크로전자 소자의 페이스(105) 위로 연장하는 전기적으로 도전성 구조를 통하는 것에 의하여 전기적으로 접속될 수 있다. 예를 들어, 도전성 구조는 와이어 본드(112)일 수 있다. 몇 가지 경우들에서, 다이 부착 접착제가 마이크로전자 소자의 후면 페이스(107) 및 기판(102)의 제 2 표면(108) 사이에 배치될 수도 있는데, 이것은 마이크로전자 소자 및 기판 간의 접속을 기계적으로 강화할 수도 있다. 기판의 콘택의 제 2 세트(123)는 소자 콘택(131)의 컬럼(113)(도 6a)과 전기적으로 접속될 수 있다.

[0072] 도 6a 에서 더 도시되는 바와 같이, 마이크로전자 소자(130)의 에지(170)는 제 1 방향(142)에서 연장할 수 있고 에지(170)에 인접한 콘택(131)의 컬럼(111)은 페이스(105)를 따라서 동일한 제 1 방향(142)으로 연장할 수 있다. 에지(170)에 평행인 마이크로전자 소자(130)의 다른 에지(172)는 제 1 방향(142)에서 연장하고, 콘택(131)의 제 2 컬럼(113)은 에지(172)에 인접한 페이스(105)를 따라서 동일한 제 1 방향(142)에서 연장할 수도 있다. 도 6a 에 더 도시되는 바와 같이, 마이크로전자 소자 상의 콘택의 컬럼은 컬럼(111)에서의 경우와 같이 완전히 밀집될(populated) 수 있으며, 또는 콘택의 컬럼은 컬럼(113)의 경우에서와 같이 컬럼 내의 포지션들 중 몇 개에서만 콘택들을 가질 수도 있다. 와이어 본드(112)(도 5c)와 같은 도전성 구조는 콘택(111, 113)을 기판의 제 2 표면(108)에서 노출된 대응하는 콘택(121, 123)과 전기적으로 접속시킬 수도 있다.

[0073] 도 6b 는 도 6a 에 도시되는 실시예의 변형예를 도시하는데, 여기에서 마이크로전자 소자(180)의 콘택(131)은 마이크로전자 소자(180)의 개별적인 주변 에지(170, 172, 176, 178)에 인접하고 이와 정렬되는 컬럼 및 로우에서 배치될 수 있다. 에지(170, 172)는 평행하며 제 1 방향(142)에서 연장한다.

[0074] 도 6c 는 도 6a 에 도시되는 실시예의 다른 변형예를 도시하는데, 여기에서 마이크로전자 소자(190)의 콘택은 마이크로전자 소자의 에지(170, 172)에 인접한 컬럼(188 및 189) 내에 배치된다. 그러나, 이러한 경우에, 마이크로전자 소자(190)는 도전성 재배선 층을 그 위에 가지는 반도체 칩을 포함하고, 콘택(131)은 반도체 칩의 콘택(192, 194)에 도전성 트레이스 또는 반도체 칩의 콘택(192, 194)과 접촉하도록 형성되는 금속 비아에 의하여 연결되는(또는 금속 비아 및 트레이스 모두에 의해 칩의 콘택(192, 194)에 연결될 수 있는) 재배선 콘택의 컬럼(188, 189)을 포함할 수 있다. 이러한 경우에, 콘택(192, 194)은 몇 가지 경우들에서 반도체의 라인("BEOL") 배선의 백 엔드를 통하여 반도체 칩의 능동 디바이스와 연결될 수도 있는데, 이것은 비아 또는 다른 전기적으로 도전성 구조를 포함할 수도 있고 몇 가지 경우들에서는 콘택(192, 194) 하부에 배치될 수도 있다.

[0075] 특히 도 6a 내지 도 6c 에 도시되는 바와 같이, 몇 가지 실시예들에서, 마이크로전자 소자의 콘택은 콘택(192)의 컬럼과 같은 단일 컬럼에서 정렬될 수도 있고, 또는 콘택들은 콘택(111, 113) 들 모두에 대하여 도시된 복수 개의 컬럼 내에 정렬될 수도 있다. 각각의 컬럼은 방향(142)을 따라 컬럼의 각각의 수직 레이아웃 포지션에서 콘택을 포함할 수도 있고, 또는 콘택들은 콘택(113)의 컬럼 중 하나의 경우에서와 같이 컬럼의 하나 이상의 포지션에서 없을 수도 있다. 특정 실시예에서, 콘택들은 도 6a 에 도시된 바와 같은 배치 대신에, 마이크로전자

소자의 페이스(105)(도 5c) 상의 영역 어레이에서, 즉, 예컨대 도 6a에 도시되는 마이크로전자 소자의 페이스(105) 또는 페이스(105)의 몇몇 부분 상에 분산된 영역 어레이에서 정렬될 수도 있다. 다른 예에서, 마이크로전자 소자의 콘택은 도 5b에서 마이크로전자 소자의 경계를 표시하는 쇄선에 의하여 표시된 마이크로전자 소자의 하나 이상의 주변 에지에 인접한 콘택의 하나 이상의 세트 내에 정렬될 수 있다. 하나의 특정한 예에서, 마이크로전자 소자는 단일 반도체 칩일 수 있고 그 위의 콘택(111, 또는 113)은 반도체 칩의 콘택인 "칩 콘택" 일 수도 있다.

[0076] 다른 예에서, 도 6c를 참조하면, 특정 마이크로전자 소자(190)는 페이스(105)에서 노출된 칩 콘택(192)의 단일 컬럼을 가질 수도 있다. 칩 콘택(192)의 컬럼은 마이크로전자 소자의 제 1 및 제 2 반대 에지(170, 172)에 평행하고 이들 사이의 중간에 위치한 이론적 축(174)에서 또는 이에 근접하게 배치될 수 있고 축(174)에 평행인 방향으로 연장할 수 있다. 예를 들어, 페이스(105)는 마이크로전자 소자(190)의 제 1 및 제 2 에지(170, 172)에 각각 인접한 제 1 및 제 2 주변 지역을 가질 수도 있고, 칩 콘택(192)의 컬럼은 제 1 및 제 2 주변 지역(184, 186) 사이에서 발견되는 페이스(105)의 중앙 지역(181) 내에 배치될 수 있다. 중앙 지역은 제 1 및 제 2 에지(170, 172)에 평행인 이론적 경계(182, 183)에 의하여 정의되는 영역 내에 배치될 수 있다. 본 명세서에서 사용될 때, 마이크로전자 소자 또는 반도체 칩의 페이스의 "중앙 지역"은 페이스의 전체 치수를 통하여 페이스의 제 1 및 제 2 반대 에지에 평행인 방향에서 연장하는 평행 경계를 가지는 페이스의 영역을 의미하며, 여기에서 중앙 지역은 제 1 및 제 2 반대 에지 사이에서의 페이스의 최단 치수의 1/3의 중간에 걸친다. 이에 상응하여, 제 1 주변 지역은 중앙 지역 및 제 1 에지 사이의 페이스의 최단 치수의 1/3에 걸치고, 제 2 주변 지역은 중앙 지역 및 제 2 에지 사이의 최단 치수의 1/3에 걸친다.

[0077] 일 예에서, 와이어 본드(112)는 직접적으로 칩 콘택(192)의 이러한 컬럼으로부터 콘택(121)과 같은 기판 콘택으로, 또는 콘택(123)으로 연장할 수도 있다. 대안적으로는, 몇몇 와이어 본드(112)는 이러한 칩 콘택(192)으로부터 콘택(121)으로 연장할 수도 있고 몇몇 와이어 본드(112)는 이러한 칩 콘택(192)으로부터 콘택(123)으로 연장할 수도 있다.

[0078] 대안적으로는, 마이크로전자 소자는 칩 콘택의 두 개 이상의 컬럼을 가질 수도 있다. 예를 들어, 도 6c는 칩 콘택의 제 1 컬럼(192) 및 칩 콘택의 제 2 컬럼(194)을 가지는 마이크로전자 소자를 도시한다. 칩 콘택의 컬럼(192, 194)의 각각은, 예를 들어 축(174)에 가까이 근접하게, 즉, 중앙 지역(181) 내에 배치될 수 있다. 몇 가지 경우들에서 마이크로전자 소자는 콘택의 3개 이상의 컬럼을 가질 수도 있다.

[0079] 도 6c에 도시되는 특정 예에서, 마이크로전자 소자는 칩 콘택의 제 1 및 제 2 컬럼(192, 194)을 가질 수도 있고, 콘택(111, 또는 113)은 그것의 페이스(105) 상에 형성되며, 예를 들어 트레이스 및 비아와 같은 도전성 소자에 의하여 칩 콘택에 전기적으로 접속되는 재배선 콘택을 포함할 수도 있다. 달리 표시되지 않으면, 본 명세서의 예들 각각에서 마이크로전자 소자의 "콘택"은 이러한 설명된 방식 중 임의의 것으로 정렬될 수 있다.

[0080] 마이크로전자 소자는 또한 소자 콘택의 하나의 컬럼 내에 배치될지 않을 수도 있는 추가적 콘택을 포함할 수도 있다. 몇 가지 예들에서, 추가적 콘택은 파워, 접지로의 접속을 위하여 사용되거나 또는, 예컨대 테스팅을 위하여 사용될 수도 있는 프루빙(probing) 디바이스와의 접촉을 위하여 이용가능한 콘택으로서 사용될 수도 있다.

[0081] 도 5c에서 볼 수 있는 바와 같이, 패키지(100)는 패키지(100)를 패키지(100), 예컨대, 예를 들어 회로 패널 외부의 컴포넌트와 전기적으로 및 기계적으로 연결시키기 위한 제 1 단자(104) 및 제 2 단자(106)를 가질 수 있다. 단자(104, 106)는 전기적 도전성 패드, 포스트, 또는 다른 전기적으로 도전성 구조일 수 있다. 도 5c에서 도시된 바와 같이, 몇 가지 경우들에서 단자는 조이닝 소자(130)를 포함할 수도 있고, 예컨대 무보다도 솔더, 주석, 인듐, 금, 또는 공정 재료와 같은 결합 금속 또는 다른 도전성 결합 재료를 포함할 수도 있으며, 몇 가지 경우들에서는 기판의 도전성 구조, 예컨대 도전성 패드 또는 포스트에 부착되는 도전성 범프와 같은 추가적 구조를 더 포함할 수도 있다. 제 1 단자(104) 및 제 2 단자(106)는 예를 들어 트레이스 및 비아와 같은 기판 상의 도전성 구조를 통하여 기판 콘택(121, 123)과 전기적으로 접속될 수 있다. 하나의 특정한 예에서, 제 1 단자(104)의 제 1 세트는 제 2 표면(108)과 반대인 기판(102)의 제 1 표면(110)에서 노출되는 제 1 그리드(114) 내의 포지션에서 정렬될 수 있다. 제 1 단자(104)의 제 2 세트는 기판의 제 1 표면(110)에서 노출되며 제 1 단자의 제 1 세트로부터 반대인 이론적 평면(132)의 면에 배치된 제 2 그리드(124) 내의 포지션들에서 정렬될 수 있다. 비록, 몇몇 도면에서, 제 1 및 제 2 세트가 마이크로전자 소자의 전면 표면의 외부 경계를 넘어 연장하는 것으로 도시되지만, 이것은 반드시 그래야 하는 것은 아니다. 본 발명의 특정 실시예에서, 각각의 세트 내의 제 1 단자의 세트는 위에 언급된 어드레스 정보 또는, 특정 실시예에서는 위에 언급된 어드레스 정보 및 커맨드-어드레스 버스의 특정 신호를 운반하도록 구성될 수 있다.

- [0082] 예를 들어, 마이크로전자 소자(101)가 DRAM 반도체 칩을 포함하거나 이것인 경우, 제 1 및 제 2 세트의 각각은 패키지 내의 회로부, 예를 들어 로우 어드레스 및 컬럼 어드레스 디코더, 및 존재한다면 뱅크 선택 회로부에 의하여 그 패키지 내의 마이크로전자 소자 내의 메모리 스토리지 어레이의 모든 이용가능한 어드레싱 가능한 메모리 위치 중에서 어드레싱 가능한 메모리 위치를 결정하기 위하여 사용가능한, 마이크로전자 패키지(100)로 전송되는 어드레스 정보를 운반하도록 구성된다. 특정 실시예에서, 제 1 및 제 2 세트의 각각은 이러한 메모리 스토리지 어레이 내의 어드레싱 가능한 메모리 위치를 결정하기 위하여 마이크로전자 패키지(100) 내의 이러한 회로부에 의하여 사용되는 모든 어드레스 정보를 운반하도록 구성될 수 있다.
- [0083] 이러한 실시예의 변형예에서, 제 1 및 제 2 그리드(114, 124) 내의 포지션에서 배치된 제 1 단자는 이러한 메모리 스토리지 어레이 내의 어드레싱 가능한 메모리 위치를 결정하기 위하여 마이크로전자 패키지(100) 내의 이러한 회로부에 의하여 사용되는 어드레스 정보의 다수를 운반하도록 구성될 수 있고, 그러면 마이크로전자 패키지 상의 위에서 참조된 제 2 단자(106) 중 적어도 몇몇과 같은 다른 단자들은 이제 어드레스 정보의 잔여 부분을 운반하도록 구성될 것이다. 이러한 변형예에서, 제 1 및 제 2 세트의 각각 내의 제 1 단자는 이러한 메모리 스토리지 어레이 내의 어드레싱 가능한 메모리 위치를 결정하기 위하여 마이크로전자 패키지(100) 내의 이러한 회로부에 의하여 사용되는 어드레스 정보 중 3/4 이상을 운반하도록 구성된다.
- [0084] 특정 실시예에서, 제 1 및 제 2 세트 각각 내의 단자, 예를 들어 그리드(114, 124)는 칩 선택 정보, 예를 들어 칩 내의 메모리 스토리지 위치로의 액세스를 위하여 마이크로전자 패키지(100) 내의 특정 칩을 선택하기 위해 사용가능한 칩 선택 정보를 운반하도록 구성되지 않을 수도 있다. 다른 실시예에서, 제 1 및 제 2 세트 중 적어도 하나 내의 제 1 단자는 사실상 칩 선택 정보를 운반할 수도 있다.
- [0085] 통상적으로, 마이크로전자 패키지(100) 내의 마이크로전자 소자(101)가 DRAM 칩이거나 이를 포함할 경우에는, 일 실시예에서 어드레스 정보는 패키지, 예를 들어 아래에서 설명되는 회로 패널(154)(도 7a)과 같은 회로 패널 외부의 컴포넌트로부터 패키지로 전송되는 모든 어드레스 정보를 포함할 수 있는데, 이것은 그것으로의 판독 액세스를 위하여, 또는 판독 또는 그것으로의 기록 액세스 중 하나를 위하여 마이크로전자 패키지 내의 랜덤 액세스 어드레싱 가능한 메모리 위치를 결정하기 위하여 사용된다.
- [0086] 제 2 단자(106)의 적어도 몇몇은 제 1 및 제 2 세트의 제 1 단자(104)에 의하여 운반되는 어드레스 신호가 아닌 신호를 운반하도록 구성될 수 있다. 특정한 예에서, 제 2 단자(106)는 데이터, 데이터 스트로브 신호, 또는 다른 신호 또는 참조 포텐셜, 예컨대 칩 선택, 재설정, 전력 공급 전압, 예를 들어 Vdd, Vddq, 및 접지, 예를 들어 Vss 및 Vssq 중 하나 이상을 운반할 수도 있다. 제 2 단자의 일부 또는 모두는, 제 1 단자의 제 1 및 제 2 세트가 배치되는 동일한 제 1 및 제 2 그리드(114, 124) 내의 위치에서 배치될 수 있다. 이러한 경우에, 제 1 및 제 2 그리드(114, 124) 내의 위치에 배치된 일부 단자들은 데이터, 데이터 스트로브 신호, 또는 다른 신호 또는 참조 포텐셜, 예컨대 칩 선택, 재설정, 전력 공급 전압, 예를 들어 Vdd, Vddq, 및 접지, 예를 들어 Vss 및 Vssq 중 하나 이상을 운반하도록 구성될 수 있다. 제 3 및 제 4 그리드(116, 126) 내의 위치에 배치된 일부 단자들은 데이터, 데이터 스트로브 신호, 또는 다른 신호 또는 참조 포텐셜, 예컨대 칩 선택, 재설정, 전력 공급 전압, 예를 들어 Vdd, Vddq, 및 접지, 예를 들어 Vss 및 Vssq 중 하나 이상을 운반하도록 구성될 수 있다.
- [0087] 특정 실시예에서, 각각의 마이크로전자 패키지의 제 1 및 제 2 그리드(114, 124)에 배치된 제 1 단자는 마이크로전자 소자(101)의 동작 모드를 제어하는 정보를 운반하도록 구성될 수 있다. 좀 더 구체적으로는, 제 1 단자의 제 1 및 제 2 세트의 각각은 마이크로전자 패키지(100)로 전송된 커맨드 신호 및/또는 클록 신호의 특정 세트의 모두를 운반하도록 구성될 수도 있다. 일 실시예에서, 제 1 및 제 2 세트 각각의 제 1 단자(104)는 외부 컴포넌트, 예를 들어 회로 패널 또는 다른 디바이스로부터 마이크로전자 패키지(100)로 전송되는 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호의 모두를 운반하도록 구성될 수 있는데, 여기에서 커맨드 신호는 로우 어드레스 스트로브, 컬럼 어드레스 스트로브 및 기록 이네이블을 포함한다.
- [0088] 마이크로전자 소자 중 하나 이상이 동적 메모리 스토리지 어레이 기능\$1 예컨대 동적 랜덤 액세스 메모리 ("DRAM") 반도체 칩, 또는 DRAM 칩의 어셈블리에 의하여 제공되는 것을 제공하도록 구성되는 실시예에서는, 커맨드 신호는 기록 이네이블, 로우 어드레스 스트로브, 및 컬럼 어드레스 스트로브 신호일 수 있다. ODT(온다이 총단), 칩 선택, 클록 이네이블과 같은 다른 신호들은 제 1 및 제 2 세트 내에, 예컨대 그리드(114, 124) 내에 배치된 단자에 의하여 운반될 수도 운반되지 않을 수도 있다. 클록 신호는 어드레스 신호를 샘플링하기 위하여 마이크로전자 소자 중 하나 이상에 의하여 사용되는 클록일 수 있다. 예를 들어, 도 7의 그리고 더 나아가 도 5a에 도시되는 바와 같은 마이크로전자 패키지에서, 제 1 단자(104)는 클록 신호(CK 및 CKB), 로우 어드레스 스트로브(RAS), 컬럼 어드레스 스트로브(CAS) 및 기록 이네이블 신호(WE), 및 어드레스 신호(A0 내지

A15)(경계 포함), 및 뱅크 어드레스 신호(BA0, BA1 및 BA2)를 운반하도록 구성될 수 있다.

[0089] 마이크로전자 소자 중 하나 이상이 동적 메모리 스토리지 어레이 기능\$1 예컨대 동적 랜덤 액세스 메모리 ("DRAM") 반도체 칩, 또는 DRAM 칩의 어셈블리에 의하여 제공되는 것을 제공하도록 구성되는 실시예에서는, 커맨드 신호는 기록 이네이블, 로우 어드레스 스트로브, 및 컬럼 어드레스 스트로브 신호일 수 있다. ODT(온 다이 종단), 칩 선택, 클록 이네이블과 같은 다른 신호들은 제 1 및 제 2 세트 내에, 예컨대 그리드(114, 124) 내에 배치된 단자에 의하여 운반될 수도 운반되지 않을 수도 있다. 클록 신호는 어드레스 신호를 샘플링하기 위하여 마이크로전자 소자 중 하나 이상에 의하여 사용되는 클록일 수 있다. 예를 들어, 도 7a 에 도시되고 도 5a 에 더 도시되는 바와 같은 마이크로전자 패키지(100A)에서, 제 1 단자(104)는 클록 신호(CK 및 CKB), 로우 어드레스 스트로브(RAS), 컬럼 어드레스 스트로브(CAS) 및 기록 이네이블 신호(WE), 및 어드레스 신호(A0 내지 A15)(경계 포함), 및 뱅크 어드레스 신호(BA0, BA1 및 BA2)를 운반하도록 구성될 수 있다.

[0090] 일 실시예에서, 어드레스 신호가 아닌 신호를 운반하도록 구성되는 제 2 단자(106) 중 적어도 몇몇은 제 1 및 제 2 그리드(114, 124) 내의 포지션에서 정렬될 수 있다. 일 예에서, 커맨드 신호, 어드레스 신호, 및 클록 신호가 아닌 신호를 운반하도록 구성되는 제 2 단자(106) 중 적어도 몇몇은 제 1 및 제 2 그리드(114, 124) 내의 포지션에서 정렬될 수 있다. 비록 제 2 단자(106)의 특정 구성이 도면에 도시되지만, 도시된 특정 구성은 예시적인 목적을 위한 것이며 한정하려고 의도되는 것이 아니다. 예를 들어, 제 2 단자(106)는 전력 또는 접지 신호로 연결되도록 구성되는 단자를 더 포함할 수 있다.

[0091] 패키지의 제 1 및 제 2 그리드(114, 124) 내의 제 1 단자의 정렬상태가 특히 도 5a 및 도 5c 에서 도시된다. 일 예에서, 각각의 그리드(114, 124)는 단자들의 제 1 및 제 2 평행 컬럼(136)을 포함할 수도 있다. 각각의 그리드 내의 단자의 컬럼(136)은 서로 인접할 수 있다. 대안적으로는, 비록 도 5a 내지 도 5c 에는 도시되지 않지만, 적어도 하나의 단자가 단자의 제 1 및 제 2 컬럼 사이에 배치될 수도 있다. 도 5b 에서 볼 수 있는 바와 같은 다른 예에서, 그리드는 그에 대하여 컬럼 축(119)이 이러한 컬럼의 다수의 단자(104)를 통과하여 연장하는, 즉 거기에 대하여 상대적으로 센터링되는(centered) 단자의 컬럼을 포함할 수도 있다. 그러나, 이러한 컬럼에서, 단자 중 하나 이상은 단자(104')의 경우에서와 같이 컬럼 축(119)에 상대적으로 센터링되지 않을 수도 있다. 이러한 경우에, 이러한 단자(들)가 이들이 임의의 다른 컬럼의 축에 보다 특정 컬럼의 축(119)에 더 근접하기 때문에 이 축(119)에 상대적으로 센터링되지 않을 수도 있지만, 이러한 하나 이상의 단자는 특정 컬럼의 일부로 간주된다. 컬럼 축(119)은 컬럼 축에 상대적으로 센터링되지 않는 이러한 하나 이상의 단자를 통해서 연장할 수도 있고, 또는 몇 가지 경우들에서는, 비-센터링된 단자는 컬럼 축으로부터 얕으로써 컬럼 축(119)이 아예 그 컬럼의 이러한 비-센터링된 단자를 통하여 지나지 않을 수도 있게 할 수도 있다. 한 그리드 내의 개별적인 컬럼의 컬럼 축에 대하여 센터링되지 않는 하나의, 수 개의 또는 많은 단자들이 하나의 컬럼 내에 또는 심지어 두 개 이상의 컬럼 내에 존재할 수도 있다.

[0092] 패키지의 제 1 및 제 2 그리드(114, 124) 내의 제 1 단자의 정렬상태가 특히 도 5a 및 도 5c 에서 도시된다. 도 5b 에서 도시되는 바와 같은 일 예에서, 각각의 그리드(114, 124)는 단자들의 제 1 및 제 2 평행 컬럼(136)을 포함할 수도 있다. 각각의 그리드 내의 단자의 컬럼(136)은 서로 인접할 수 있다. 대안적으로는, 비록 도 5a 내지 도 5c 에는 도시되지 않지만, 적어도 하나의 단자가 단자의 제 1 및 제 2 컬럼 사이에 배치될 수도 있다. 도 5b 에서 볼 수 있는 바와 같은 다른 예에서, 그리드는 그에 대하여 컬럼 축(119)이 이러한 컬럼의 다수의 단자(104)를 통과하여 연장하는, 즉 거기에 대하여 상대적으로 센터링되는(centered) 단자의 컬럼을 포함할 수도 있다. 그러나, 이러한 컬럼에서, 단자 중 하나 이상은 단자(104')의 경우에서와 같이 컬럼 축(119)에 상대적으로 센터링되지 않을 수도 있다. 이러한 경우에, 이러한 단자(들)가 이들이 임의의 다른 컬럼의 축에 보다 특정 컬럼의 축(119)에 더 근접하기 때문에 이 축(119)에 상대적으로 센터링되지 않을 수도 있지만, 이러한 하나 이상의 단자는 특정 컬럼의 일부로 간주된다. 컬럼 축(119)은 컬럼 축에 상대적으로 센터링되지 않는 이러한 하나 이상의 단자를 통해서 연장할 수도 있고, 또는 몇 가지 경우들에서는, 비-센터링된 단자는 컬럼 축으로부터 얕으로써 컬럼 축(119)이 아예 그 컬럼의 이러한 비-센터링된 단자를 통하여 지나지 않을 수도 있게 할 수도 있다. 한 그리드 내의 개별적인 컬럼의 컬럼 축에 대하여 센터링되지 않는 하나의, 수 개의 또는 많은 단자들이 하나의 컬럼 내에 또는 심지어 두 개 이상의 컬럼 내에 존재할 수도 있다.

[0093] 도 5 에서 제공된 위의 예에서와 같이, 그리고 도 5a 에서 볼 수 있는 바와 같이, 제 2 그리드(124) 내의 제 1 단자의 신호 할당은 제 1 그리드(114) 내의 제 1 단자의 신호 할당(124)의 미러 이미지이다. 다른 방식으로 진술하면, 제 1 및 제 2 그리드 내의 제 1 단자의 신호 할당은 이론적 평면 또는 제 1 및 제 2 그리드(114, 124) 사이의 축(132)을 중심으로 대칭이며, 이러한 경우에 축(132)은 제 1 단자의 컬럼(136)이 연장하는 방향(142)으로 연장한다. 제 2 그리드(124) 내의 신호 할당이 제 1 그리드(114) 내의 그것들의 미러 이미지이기 때문에,

신호(A15)를 운반하도록 할당되는 제 1 그리드(114)의 제 1 단자(114-1)는 그리드 내에서 신호(A15)를 운반하도록 할당되는 제 2 그리드(124)의 대응하는 제 1 단자(124-1)와 동일한 상대적인 수직 포지션(방향 142에서)에 있다. 그러나, 제 1 그리드(114)가 두 개의 컬럼(136)을 포함하고 신호(A15)를 운반하도록 할당된 제 1 그리드(114)의 단자(114-1)가 제 1 그리드(114)의 두 개의 컬럼(136) 중 좌측 컬럼 내에 있기 때문에, 미리 이미지 배치 상태는 신호(A15)를 운반하도록 할당되는 제 2 그리드(124)의 대응하는 단자(124-1)가 제 2 그리드(124)의 두 개의 컬럼 중 우측 컬럼 내에 있을 것을 요구한다. 이러한 배치 상태의 다른 결과는 신호(A9)를 운반하도록 할당되는 단자도 역시 제 1 및 제 2 그리드(114, 124)의 각각 내의 그리드 내의 동일한 상대적인 수직 포지션에 있다는 것이다. 그러나, 제 1 그리드(114)에서, 신호(A9)를 운반하도록 할당된 제 1 단자(114-1)가 제 1 그리드(114)의 두 개의 컬럼(136) 중 우측 컬럼 내에 있으며, 그리고 미리 이미지 배치 상태는 신호(A9)를 운반하도록 할당되는 제 2 그리드(124)의 대응하는 단자(124-2)가 제 2 그리드(124)의 두 개의 컬럼 중 좌측 컬럼 내에 있을 것을 요구한다. 도 5a에서 알 수 있는 바와 같이, 동일한 관련성이 제 1 및 제 2 그리드의 각각 내의 각각의 제 1 단자에 대하여, 적어도 위에서 논의된 바와 같이 마이크로전자 구조의 어드레스 입력에 의한 수신을 위하여 어드레스 정보를 운반하도록 할당되는 각각의 제 1 단자에 대하여 적용된다.

[0094] 그 주위에서 제 1 단자의 신호 할당이 대칭적인 이론적 평면(132)은 기판 상의 다양한 포지션에 위치될 수 있다. 특히 제 1 단자의 컬럼(136)이 에지(140, 141)에 평행인 방향에서 연장하고 제 1 및 제 2 그리드가 이러한 중앙 축을 중심으로 대칭적인 위치에 배치되는 경우, 이론적 평면(132)은 축으로 간주될 수 있고, 몇 가지 실시예들에서 이것은 기판의 제 1 및 제 2 대향 에지(140, 141)로부터 등간격으로 위치된 패키지의 중앙 축일 수 있다. 일 예에서, 축(132)은 기판의 제 1 및 제 2 에지(140, 141)에 평행하며 이로부터 등간격인 라인으로부터, 단자의 임의의 두 개의 인접한 컬럼 사이의 최소 피치의 3.5 배 이하의 거리 내에서 위치될 수도 있다. 대안적으로는, 대칭성(132)의 이러한 축은 에지(140, 141)를 사이에서 등간격인 중앙 축으로부터 수평 방향(135)에서 오프셋될 수 있다.

[0095] 하나의 특정한 예에서, 제 1 및 제 2 그리드 내의 단자들은 패키지의 중앙 지역에 위치될 수 있다. 일 예에서, 제 1 및 제 2 그리드(114, 124)의 각각 내의 단자의 적어도 하나의 컬럼(136)은 기판의 제 1 및 제 2 에지(140, 141)에 평행하며 이로부터 등간격인 라인으로부터, 단자의 임의의 두 개의 인접한 평행 컬럼(136) 사이의 최소 피치의 3.5 배 이하의 거리 내에서 배치될 수도 있다.

[0096] 위에서 언급된 바와 같이, 제 2 단자(106)는 위에 언급된 어드레스 정보가 아닌 또는 위에 언급된 커맨드-어드레스 버스의 신호가 아닌 정보를 운반하도록 구성될 수 있다. 일 예에서, 제 2 단자(106)는 마이크로전자 소자로의 또는 이로부터의 단방향성 또는 양방향성 데이터 신호, 및 데이터 스트로브 신호, 및 데이터 마스크 및 종단 저항으로의 병렬 종단(parallel terminations)을 턴온 또는 오프하기 위하여 사용되는 ODT 또는 "온 다이 종단" 신호를 운반하기 위하여 사용되는 단자를 포함할 수 있다. 특정한 예에서, 제 2 단자는 칩 선택, 재설정, 클록 이네이블과 같은 신호, 및 전력 공급 전압, 예를 들어 Vdd, Vddq, 또는 접지, 예를 들어 Vss 및 Vssq와 같은 참조 포텐셜을 운반할 수도 있다. 몇 가지 실시예들에서, 커맨드-어드레스 버스 신호가 아닌 신호를 운반하도록 구성되는 일부 또는 전부 단자가, 패키지 상에서 이들이 적절하게 배치될 수 있는 어느 곳에서든 제 2 단자(106)로서 배치되는 것이 가능하다. 예를 들어, 제 2 단자(106)의 일부 또는 전부는 기판(102) 상에서 제 1 단자(104)가 배치되는 것과 동일한 그리드(114, 124) 내에 배치될 수 있다. 제 2 단자(106)의 일부 또는 전부는 제 1 단자(104)의 일부 또는 전부와 동일한 컬럼 내에 또는 상이한 컬럼 내에 배치될 수도 있다. 몇 가지 경우들에서, 하나 이상의 제 2 단자는 동일한 그리드 또는 그것의 컬럼 내에서 제 1 단자와 함께 산재될 수 있다.

[0097] 하나의 특정한 예에서, 제 2 단자(106)의 일부 또는 전부는 기판의 제 1 표면(110)에 노출된 제 3 영역 또는 그리드(116) 내에 배치될 수 있고, 제 2 단자의 다른 세트는 제 1 표면(110)에서 노출된 제 4 영역 또는 그리드(126) 내에 배치될 수 있다. 특정 케이스에서, 제 3 영역 또는 그리드(116) 내의 제 2 단자의 신호 할당은 제 1 및 제 2 그리드에 대하여 위에서 설명된 바와 유사한 방식으로 제 4 영역 또는 그리드(126)내의 제 2 단자의 신호 할당의 미리 이미지일 수 있다. 몇 가지 경우들에서 제 3 및 제 4 그리드(116, 126)는 제 1 및 제 2 그리드가 연장하는 방향(134)에서 연장할 수도 있고 서로 평행일 수 있다. 제 3 및 제 4 그리드도 역시 제 1 및 제 2 그리드(114, 124)에 평행일 수도 있다. 대안적으로는, 도 5a를 참조하면, 제 2 단자가 그 안에 배치되는 그리드(127, 137)는 방향(142)을 가로지르거나 심지어는 이에 직교하는 다른 방향(135)에서 연장할 수 있다. 다른 예에서, 몇몇 제 2 단자는 도 5a에 도시되는 그리드(116, 126, 127 및 137)의 각각 내에 배치될 수 있다. 또한, 몇몇 제 2 단자는 제 1 및 제 2 그리드(114, 124) 내의 포지션에서 배치되거나 또는 배치되지 않을 수도 있다.

[0098]

또한, 도 5a 에 도시된 바와 같이, 그리드(127) 내의 제 2 단자의 신호 클래스 할당은 수직 축(132)을 중심으로 대칭일 수 있고, 그리드(137) 내의 제 2 단자의 신호 클래스 할당은 수직 축(132)을 중심으로 대칭일 수 있다. 본 명세서에서 사용될 때, 두 개의 신호 클래스 할당은 비록 클래스 내의 숫자 인덱스가 다르더라도 신호 할당들이 할당의 동일한 클래스 내에 있다면 서로에 대해 대칭일 수 있다. 예시적인 신호 클래스 할당은 데이터 신호, 데이터 스트로브 신호, 데이터 스트로브 보충 신호, 및 데이터 마스크 신호를 포함할 수 있다. 하나의 특정한 예에서, 그리드(127) 내의, 신호 할당 DQSH 및 DQLS를 가지는 제 2 단자는 심지어 이러한 제 2 단자가 상이한 신호 할당을 가짐에도 불구하고 데이터 스트로브인 그들의 신호 클래스 할당에 대하여 수직 축(132)을 중심으로 대칭적이다.

[0099]

더 나아가 도 5a 에 도시되는 바와 같이, 예컨대 데이터 신호 DQ0, DQ1, ... 에 대한 마이크로전자 패키지상의 제 2 단자의 공간적 포지션에 대한 데이터 신호의 할당은, 예를 들어 수직 축(132)을 중심으로 모듈로-X 대칭성을 가질 수 있다. 모듈로-X 대칭성은 도 7a 및 도 7b 에서 볼 수 있는 바와 같은 어셈블리(200 또는 354) 내의 신호 무결성을 보전하는 것을 도울 수 있는데, 여기에서 제 1 및 제 2 패키지의 하나 이상의 쌍은 서로 반대로 회로 패널에 탑재되고, 이 회로 패널은 각각의 반대로 탑재된 패키지 쌍에 있는 그러한 제 1 및 제 2 패키지의 제 2 단자의 대응하는 쌍을 전기적으로 접속시킨다. 단자의 신호 할당이 축 중심으로 "모듈로-X 대칭성"을 가지는 경우, 동일한 번호 "모듈로-X"를 가지는 신호를 운반하는 단자는 그 축 중심으로 대칭인 포지션에 배치된다. 따라서, 도 7a 내지 도 7b 에서와 같은 이러한 어셈블리(200 또는 354)에서, 모듈로-X 대칭성은 제 1 패키지의 단자 DQ0가 회로 패널을 통과하여 동일한 번호 모듈로 X(X는 이러한 경우에 8 임)를 가지는 제 2 패키지의 단자 DQ8로 전기적으로 접속될 수 있도록 전기적 접속이 이루어지도록 허용할 수 있으며, 따라서 접속이 회로 패널의 두께를 본질적으로 직선으로 관통하는, 즉 이에 수직인 방향으로 이루어질 수 있게 한다. 따라서, 연산 8 모듈로 8 의 결과로 얻어지는 숫자는 0 이고 연산 9 모듈로 8 의 결과로 얻어지는 숫자는 1 이다. 그러므로, 신호 할당이 모듈로-8 대칭성을 가지는 경우, 그에 대한 모듈로 1 연산이 "1"의 결과를 주는 DQ1과 같은 신호를 운반하도록 구성되는 단자는, 그에 대한 모듈로 8 연산이 동일한 결과, 즉 "1"을 주는 DQ9 또는 DQ17 와 같은 신호를 운반하도록 구성되는 다른 단자와 축을 중심으로 대칭인 기판 상의 포지션에 배치된다.

[0100]

일 예에서, "X"는 숫자 2^n (n 제곱)일 수 있는데, 여기에서 n 은 2 이상이고, 또는 X는 N이 2 이상인 $8 \times N$ 일 수 있다. 따라서, 일 예에서, X는 하프-바이트(4 비트), 일 바이트(8 비트), 다중 바이트($8 \times N$, N은 2 이상), 워드(32 비트) 또는 다중 워드 내의 비트의 개수와 동일할 수도 있다. 이러한 방법에서, 도 5a 에 도시된 바와 같은 모듈로-8 대칭성이 존재하는 일 예에서, 데이터 신호 DQ0를 운반하도록 구성되는 다른 패키지 단자 DQ8의 신호 할당은 수직 축(132)을 중심으로 데이터 신호 DQ8을 운반하도록 구성되는 다른 패키지 단자 DQ8의 신호 할당과 대칭이다. 더욱이, 동일한 내용이 그리드(137) 내의 패키지 단자 DQ0 및 DQ8 의 신호 할당에 대해서도 수직 축 중심으로 참이며, 동일한 내용이 그리드(137)에 대해서도 역시 참이다. 본 명세서에서 설명된 바와 같은 모듈로-8 대칭성은 패키지 단자 DQ0 내지 DQ15의 신호 할당의 각각에 대하여 그리드(127, 137) 내에서 목격될 수 있다.

[0101]

비록 도시되지는 않지만, 모듈로 번호 "X"는 2^n (n 제곱)이 아닌 숫자일 수 있으며, 2 보다 더 큰 임의의 숫자일 수 있다는 것에 주의하는 것이 중요하다. 따라서, 대칭성이 기초하는 모듈로 번호 X는 그 패키지가 구성되고 구조된 대상인 한 데이터 사이즈 내에 얼마나 많은 비트가 존재하는지에 의존할 수 있다. 예를 들어, 데이터 사이즈가 8 대신에 10 비트인 경우, 그러면 신호 할당은 모듈로-10 대칭성을 가질 수도 있다. 데이터 사이즈가 비트의 홀수 개수를 가지는 경우, 모듈로 번호 X가 이러한 번호를 가질 수 있다는 것이 역시 가능할 수도 있다.

[0102]

도 5d 는 도 5 를 참조하여 위에서 설명된 마이크로전자 구조(100)의 다른 예를 도시한다. 도 5d 의 예에서, 마이크로전자 소자(101)의 페이스(207)는 위의 예에서와 같이 반대로 대향하는 제 2 표면(108)에 상재하는 것 대신에 기판(102)의 제 1 표면(110)에 상재할 수도 있다. 이러한 경우에서, 제 1 단자(104)의 제 1 및 제 2 세트(114, 124)는 마이크로전자 소자(101)의 영역 외부에 포지셔닝될 수 있다. 도 5d 에서 더 도시되는 바와 같이, 마이크로전자 구조(100)의 조이닝 소자(130)를 포함하는 제 1 단자(104)는 마이크로전자 소자(101)의 높이 H2 를 수용하기에 충분한 높이 H1을 제공하여 단자들이 회로 패널(90)의 표면(95)에서 노출되는 대응하는 콘택(92)과 정렬되고 조인되도록 허용한다. 도 5e 의 예에 도시된 바와 같이, 제 2 마이크로전자 구조(100B)는 제 1 마이크로전자 구조(100A)의 제 2 표면(108)에서 노출된 단자의 대응하는 세트(314, 316)에 조인되는 제 1 단자(104)를 가짐으로써, 제 1 및 제 2 마이크로전자 구조(100A, 100B)의 수직으로 적층된 어셈블리를 형성할 수 있다.

- [0103] 다른 예에서, 도 5f 에 도시된 바와 같이, 위에서 도 5 에 대하여 논의된 바와 같은 조직화를 가지는 마이크로전자 구조 또는 패키지(220)는 도 5d 에 대하여 위에서 설명된 바와 같은 마이크로전자 구조(100) 상에 수직으로 배치되는 것으로 도시된다. 마이크로전자 구조(220)의 단자(222)는 단자, 예를 들어 마이크로전자 구조(100)의 제 1 단자(104) 및 제 2 단자(106)에 대하여 위에서 도 5 및 도 5a 에서 도시되고 설명된 바와 같을 수도 있다. 단자(222)는 아래의 마이크로전자 구조(100)의 제 2 표면(108)에서 노출되는 단자(314, 316)와 정렬되고 조인되거나 또는 그렇지 않으면 전기적으로 상호접속될 수 있다.
- [0104] 다른 예에서, 도 5f 에 도시된 바와 같이, 위에서 도 5 에 대하여 논의된 바와 같은 조직화를 가지는 마이크로전자 구조 또는 패키지(220)는 도 5d 에 대하여 위에서 설명된 바와 같은 마이크로전자 구조(100) 상에 수직으로 배치되는 것으로 도시된다. 마이크로전자 구조(220)의 단자(222)는 단자, 그 안의 예를 들어 마이크로전자 구조(100)의 제 1 단자(104) 및 제 2 단자(106)에 대하여 위에서 도 5 및 도 5a 에서 도시되고 설명된 바와 같을 수도 있다. 단자(222)는 아래의 마이크로전자 구조(100)의 기판(102)의 제 2 표면(108)에서 노출되는 단자(314, 316)와 정렬되고 조인되거나 또는 그렇지 않으면 전기적으로 상호접속될 수 있다.
- [0105] 일 예에서, 볼-아웃, 즉 도 5a 에서 표현된 단자 구성을 가지는 마이크로전자 구조는 산업 표준 DDR3 또는 DDR4 사양에 따라서 동작하는 마이크로전자 소자를 포함하는 마이크로전자 구조에 대하여 사용될 수 있다.
- [0106] 도 5h 는 도 5, 도 5a 및 도 5b 에서 도시된 본 발명의 실시예의 변형예에 따르는 마이크로전자 구조에 대한 단자 구성을 도시한다. 도 5h 의 변형예는 대칭성이 마이크로전자 구조(240)의 이론적 평면(132)의 제 1 면(241) 상에 배치된 제 1 단자의 제 1 세트(242), 및 이론적 평면의 제 2 면(243) 상에 배치된 제 1 단자의 제 2 세트(244) 사이에 제공될 수 있는 다른 방식을 도시한다. 이러한 예에서, 상기 제 1 단자의 제 1 및 제 2 세트 각각은 메모리 스토리지 어레이 내의 위치를 특정하기에 충분한 어드레스 정보를 운반하도록 구성된다. 몇 가지 경우들에서, 각각의 세트(242, 244)는 메모리 스토리지 어레이 내의 위치를 특정하기 위하여 필요한 어드레스 정보의 다수만을 운반할 수도 있다.
- [0107] 도 5h 에 도시된 바와 같은 일 예에서, 어드레스 정보를 마이크로전자 구조 내의 하나 이상의 메모리 스토리지 어레이의 어드레스 입력으로 전송하기 위하여 필요하지 않을 수도 있는, 이론적 평면의 각 면 상에 비접속 단자의 세트가 존재할 수 있다. 본 명세서에서 사용될 때, 마이크로전자 구조의 "비접속 단자"는 이러한 비접속 단자 상에 존재하는 임의의 정보가 존재하거나 존재하지 않거나와 무관하게, 임의의 전기적 경로, 예를 들어 정보를 임의의 마이크로전자 소자, 예를 들어 마이크로전자 구조 내의 반도체 칩으로 통전시키기 위한 경로에 연결되지 않는 단자를 의미한다. 따라서, 심지어 정보가 비접속 단자에 접속된 마이크로전자 구조 외부의 다른 캠포넌트로부터 그것에 커플링될 수 있는 것과 같이 비접속 단자에 존재할 수도 있다면, 비접속 단자 상에 존재하는 이 정보는 마이크로전자 구조 내의 임의의 마이크로전자 소자로 제공될 임의의 경로에 존재하지 않는다.
- [0108] 이러한 경우에, 제 1 면 상의 각각의 제 1 단자의 포지션은 이론적 평면(132)을 중심으로 평면(132)의 제 2 면 상의 비접속 단자의 포지션과 대칭일 수 있고, 제 2 면 상의 각각의 제 1 단자의 포지션은 대칭적 이론적 평면을 중심으로 제 1 면 상의 비접속 단자의 포지션과 대칭이다. 따라서, 도 5h 에서 볼 수 있는 바와 같이, 예를 들어 Field0(242)이라고 표시되는 평면의 제 1 면(241) 상의 제 1 단자의 세트 내의 각각의 제 1 단자의 포지션은 Field0(NC)라고 표시되는 평면(132)의 제 2 면(243) 상에 배치된 비접속 단자의 세트 내의 비접속 단자의 포지션과 이론적 평면(132)을 중심으로 대칭이다. 또한, 도 5h 에서, Field1(244)이라고 표시되는 평면(132)의 제 2 면(243) 상의 그것의 세트 내의 각각의 제 1 단자의 포지션은 Field1(NC)라고 표시되는 평면의 제 1 면(241) 상에 배치된 비접속 단자의 세트 내의 비접속 단자의 포지션과 이론적 평면(132)을 중심으로 대칭이다.
- [0109] 평면의 동일 면(예를 들어 제 1 면(241)) 상의 제 1 단자의 세트 및 비접속 단자의 세트는, 일 면 상의 제 1 단자들 및 이에 대해 반대인 면 상의 비접속 단자 사이의 대칭성에 대한 위에서 설명된 요구 사항이 만족되기만 하면 임의의 적합한 포지션에 배치될 수 있다. 평면(132)의 일 면 상의 제 1 단자의 세트가 배치되는 공간은 인접할 필요가 없다. 평면(132)의 일 면 상의 비접속 단자의 세트가 배치되는 공간도 역시 인접할 필요가 없다. 따라서, Field0(242)에 대하여 표시된 제 1 단자의 세트 및 이론적 평면의 동일한 제 1 면(241) 상에서 Field1(NC)으로 표시된 비접속 단자의 세트의 포지션은 그 구조의 표면의 비중첩 영역을 점유할 필요는 없으며, 즉, 제 1 면(241) 상의 그것의 세트 내의 제 1 단자의 포지션은, 서로 상호혼합되는 것을 포함하여 제 1 면(241) 상의 비접속 단자에 상대적인 임의의 적합한 포지션에 배치될 수 있다. 더욱이, 동일한 관련성이 그 평면(132)의 제 2 면 상의 제 1 단자 및 비접속 단자에도 역시 적용될 수 있다. 일 예에서, 사실상 단자들 각각 및 그 평면의 일 면 상의 비접속 단자의 각각은 공통 그리드 내의 임의의 포지션에서 배치될 수도 있다.
- [0110] 일 예에서, 도 5h 에 따르는 마이크로전자 구조의 제 2 단자의 포지션은 도 5h 에서 더욱 도시되는 것과 같을

수 있다. 이러한 경우에, 제 2 단자의 세트(246, 248, 250, 및 252)는 도 5, 도 5a 및 도 5b 에 대하여 위에서 설명된 바와 같거나 본 명세서에서 더 도시되고 설명되는 것과 같을 수 있다.

[0111] 일 예에서, 볼-아웃, 즉 도 5h 에서 표현된 단자 구성을 가지는 마이크로전자 구조는 산업 표준 LPDDR3 사양을 준수하는 마이크로전자 소자를 포함하는 마이크로전자 구조에 대하여 사용될 수 있다.

[0112] 도 7a 는 회로 패널(154)의 제 1 및 제 2 반대면(150, 152)에 탑재될 때의 제 1 및 제 2 마이크로전자 패키지(100A, 100B)의 어셈블리(200)를 도시한다. 비록 특정한 내부 구조를 가지는 마이크로전자 구조가 도시되지만, 몇 가지 예들에서 각각의 마이크로전자 구조(100)는 도 5, 도 5a, 도 5a 내지 도 5c, 도 5d, 도 5e, 도 5f 또는 도 5g 를 참조하여 위에서 도시되고 설명된 바와 같거나 본 명세서에서 달리 도시되고 설명되는 바와 같을 수도 있다. 각각의 마이크로전자 구조(100A)는 그에 대해 반대로 탑재된 마이크로전자 구조(100B)와 동일한 내부 구조를 가질 수도 있고, 또는 마이크로전자 구조(100A)는 다른 마이크로전자 구조(100B)와는 상이한 내부 구조를 가질 수도 있다. 회로 패널은 다양한 타입, 예컨대 무엇보다 듀얼-인라인 메모리 모듈("DIMM") 모듈 내에서 사용되는 인쇄 회로 보드, 시스템 내의 다른 컴포넌트로 연결될 회로 보드 또는 패널, 또는 마더보드일 수 있다. 제 1 및 제 2 마이크로전자 구조(100A, 100B)는 회로 패널(154)의 제 1 및 제 2 표면(150, 152)에서 노출된 대응하는 콘택(160, 162) 각각으로 탑재될 수 있다.

[0113] 특히 도 7a 에 도시되는 바와 같이, 각각의 패키지의 제 2 그리드 내의 제 1 단자의 신호 할당이 각각의 패키지의 제 1 그리드 내의 제 1 단자의 신호 할당의 미러 이미지이기 때문에, 패키지(100A, 100B)가 서로 반대로 회로 패널에 탑재될 때, 제 1 패키지(100A)의 제 1 그리드(114A) 내의 각각의 제 1 단자는 동일한 신호 할당을 가지며 이것이 전기적으로 접속되는 제 2 패키지(100B)의 제 2 그리드(124B) 내의 대응하는 제 1 단자와 정렬될 수 있다. 더욱이, 제 1 패키지(100A)의 제 2 그리드(124A) 내의 각각의 제 1 단자는 동일한 신호 할당을 가지며 이것이 전기적으로 접속되는 제 1 그리드(114B) 내의 대응하는 제 1 단자와 정렬될 수 있다.

[0114] 확실하게, 접속된 단자의 각각의 쌍의 정렬은 오차 허용 범위 내일 수 있으며, 따라서 접속된 단자의 각각의 쌍이 서로의 하나의 볼 피치 내에서 회로 패널(154)의 제 1 표면(150)을 따라 직교 x 및 y 방향으로 정렬될 수 있다. 도 7a 로부터 명백한 바와 같이, 각각의 그리드의 제 1 단자는 서로의 하나의 볼 피치 내에서 회로 패널의 표면(350)에 평행하게 x 및 y 직교 방향으로 정렬될 수 있으며, 볼 피치는 어느 하나의 패키지 상의 단자의 임의의 두 개의 인접한 평행 컬럼 사이의 최소 피치 이하이다. 하나의 특정한 예에서, 그리드는 서로 x 및 y 방향으로 정렬됨으로써, 제 1 및 제 2 마이크로전자 패키지 상의 제 1 단자 중 적어도 몇몇이 서로 일치하게 할 수도 있다. 본 명세서에서 사용될 때, 회로 패널의 반대면에 있는 패키지의 제 1 단자들이 서로 "일치한다(coincident)"면, 정렬은 소비자 제조 허용 오차 내일 수 있고, 또는 제 1 및 제 2 회로 패널 표면에 평행인 x 및 y 직교 방향에서 서로의 하나의 볼 피치의 절반 보다 적은 허용 오차 내에 있을 수 있으며, 볼 피치는 위에서 설명된 바와 같다.

[0115] 하나의 특정한 예에서, 개별적인 제 1 및 제 2 패키지(100A, 100B)의 정렬된 그리드(예를 들어, 제 1 패키지의 제 1 그리드(114A) 및 제 2 패키지의 제 2 그리드(124B)) 포지션의 적어도 절반은 회로 패널(154)의 제 1 표면(150)을 따라서 서로 직교 x 및 y 방향으로 서로 정렬될 수 있다.

[0116] 따라서, 도 7a 에 더 도시되는 바와 같이, "A"로 마크된 신호를 제 1 패키지(100A)의 그리드(114A) 내에서 운반하는 특정한 제 1 단자는 동일한 신호 "A"를 운반하는 제 2 패키지(100B)의 그리드(124B)의 대응하는 제 1 단자와 정렬된다. 동일한 내용이 "A"로 마크된 신호를 제 1 패키지(100A)의 그리드(124A) 내에서 운반하며 동일한 신호 "A"를 운반하는 제 2 패키지(100B)의 그리드(114B)의 대응하는 제 1 단자와 정렬되는 특정한 제 1 단자에 관련하여 역시 참이다.

[0117] 이러한 방식으로, 도 7a 에 더 도시되는 바와 같이, 제 1 및 제 2 패키지(100A, 100B)의 전기적으로 접속된 제 1 단자의 각각의 쌍 사이의 회로 패널을 통과하는 전기적 접속의 길이는, 전기적으로 접속된 제 2 단자의 이러한 쌍의 각각 내의 단자가 서로 중첩할 수도 있고 또는 적어도 서로 하나의 볼 피치 내에서 정렬될 수도 있다는 점에서 크게 감소될 수 있다. 이러한 전기적 접속의 길이에서의 감소는 회로 패널 및 어셈블리 내의 스터브 길이를 감소시킬 수 있는데, 이것은 무엇보다도 안정화 시간을 줄이는 것, 링잉, 지터, 또는 심볼간 간섭을 제 1 단자에 의하여 운반되며 제 1 및 제 2 패키지 모두 내의 마이크로전자 소자로 전송되는 위에 언급된 신호에 대하여 감소시키는 것과 같은 전기적 성능을 개선하는 것을 도울 수 있다. 더욱이, 다른 이점들\$1 예컨대 회로 패널의 구조를 단순화하는 것 또는 복잡성 및 회로 패널을 설계하거나 제조하는 비용을 감소시키는 것을 달성하는 것도 역시 가능할 수도 있다.

[0118]

도 7a 에 더 도시되는 바와 같이, 각각의 패키지(100A, 100B)의 제 2 단자가 도 5, 도 5a 내지 도 5c 에 대하여 위에서 설명된 특정한 미려 이미지 배치 상태를 가지는 제 3 및 제 4 그리드에 배치되는 경우, 예를 들어 각각의 패키지의 제 3 그리드의 각각의 단자는 다른 패키지의 제 4 그리드의 대응하는 제 2 단자로서 동일한 신호 할당을 가지고 이것이 전기적으로 접속되는 제 2 단자와 정렬될 수 있다. 따라서, 도 7a 에서 볼 수 있는 바와 같이, 제 1 패키지(100A)의 제 3 그리드(116A) 내의 각각의 단자는 제 2 패키지(100B)의 제 4 그리드(126B) 내의 대응하는 단자로서 동일한 신호 할당을 가지며 이것이 전기적으로 접속되는 단자의 하나의 볼 피치 내에서 정렬될 수 있다. 더욱이, 제 1 패키지(100A)의 그리드(126A) 내의 각각의 단자는 동일한 신호 할당을 가지며 이것이 전기적으로 접속되는 제 3 그리드(116B) 내의 대응하는 제 1 단자의 하나의 볼 피치 내에서 정렬될 수 있다. 다시 말하건데, 접속된 단자의 각각의 쌍의 정렬은 오차 허용 범위 내이며, 따라서 접속된 단자의 각각의 쌍이 서로의 하나의 볼 피치 내에서 회로 패널(154)의 제 1 표면(150)을 따라 직교 x 및 y 방향으로 정렬될 수 있다. 특정 실시예에서, 정렬은 패키지(100A, 100B)의 대응하는 접속된 단자가 서로 일치하게 하는 것일 수 있다.

[0119]

따라서, 도 7a 에 더 도시되는 바와 같이, "B"로 마크된 신호를 제 1 패키지(100A)의 그리드(116A) 내에서 운반하는 특정한 제 1 단자는 동일한 신호 "B"를 운반하며 이것이 전기적으로 접속되는 제 2 패키지(100B)의 그리드(126B)의 대응하는 제 1 단자의 한 볼 피치 내에서 정렬될 수 있다. 동일한 신호 "B"를 운반하며 이것이 전기적으로 접속되는 제 2 패키지(100B)의 그리드(116B)의 대응하는 제 1 단자의 한 볼 피치 내에서 정렬될 수 있는, "B"로 마크된 신호를 제 1 패키지(100A)의 그리드(126A) 내에서 운반하는 특정한 제 1 단자에 관련하여 동일한 내용이 역시 참이다.

[0120]

위에서 설명된 바와 같은 제 1 및 제 2 패키지의 대응하는 제 1 단자(104) 사이의 접속과 유사하게, 이러한 실시예에서는, 제 1 및 제 2 패키지의 전기적으로 접속된 제 2 단자(106)의 쌍 사이의 회로 패널을 통과하는 전기적 접속의 길이는, 전기적으로 접속된 제 2 단자의 이러한 쌍의 각각 내의 단자가 서로 일치할 수도 있고 또는 적어도 회로 패널 표면에 평행한 직교 x 및 y 방향에서 서로의 하나의 볼 피치 내에서 정렬될 수도 있다는 점에서 크게 감소될 수 있다. 더욱이, 제 1 및 제 2 패키지 사이의 접속을 위하여 스터브 길이를 감소시키고 회로 패널의 구성을 단순화하기 위하여 위에서 설명된 것들과 유사한 이점들이, 마이크로전자 패키지의 제 2 단자, 즉 커맨드-어드레스 버스의 위에 언급된 신호가 아닌 신호를 운반하도록 할당될 수 있는 단자가 이러한 방식으로 정렬되는 경우 획득될 수도 있다.

[0121]

도 7b 는 더 나아가 각각 위에서 또는 아래에서 설명되는 바와 같은 구성을 가지는 마이크로전자 패키지의 쌍들의 두 개의 쌍(100A 및 100B) 또는 더 많은 개수의 쌍이 패키지(100A, 100B)와 유사한 방위에서 회로 패널(354), 예를 들어 듀얼-인라인 메모리 모듈("DIMM"), 의 보드 상의 개별적인 패널 콘택과 전기적으로 상호접속될 수 있다는 것을 예시한다. 따라서, 도 7b 는 각각의 쌍이 회로 패널(354)과 위에서 설명된 바와 같이 서로 대향하는 반대 방위에서 전기적으로 상호접속되는 패키지(100A 내지 100B)의 3 개의 쌍을 도시한다.

[0122]

도 7b 는 예를 들어 무엇보다도 회로 패널 및 그것의 제 1 및 제 2 반대면 상에 서로에 반대로 탑재되는 복수 개의 마이크로전자 패키지를 통합하는 DIMM과 같은 마이크로전자 어셈블리를 예시한다. 도 7b 에서 볼 수 있는 바와 같이, 위에 언급된 어드레스 정보 또는 몇 가지 경우들에서는 커맨드-어드레스 버스 신호는 버스(36), 예를 들어 회로 패널 또는 회로 보드(354) 상의 어드레스 버스 또는 커맨드-어드레스 버스 상에서 마이크로전자 패키지(100A 내지 100B)의 개별적인 쌍이 회로 패널의 반대면에 접속되는 연결 사이트 I, II 또는 III 사이의 적어도 하나의 방향(143)에서 라우팅될 수 있다. 이러한 버스(36)의 신호는 다소 상이한 시간에 개별적인 연결 사이트 I, II 또는 III에서 패키지의 각각의 쌍에 도착한다. 적어도 하나의 방향(143)은 각각의 패키지(100A 또는 100B) 내의 적어도 하나의 마이크로전자 소자 상의 복수 개의 콘택의 적어도 하나의 컬럼(111)이 연장하는 방향(142)을 가로지르거나 이에 직교일 수 있다. 이러한 방법에서, 회로 패널(354) 상의(즉, 상의 또는 그 안의) 버스(36)의 신호 도체는 몇 가지 경우들에서 회로 패널에 연결된 패키지(100A, 또는 100B) 내의 마이크로전자 소자 상의 콘택의 적어도 하나의 컬럼(111)에 평행인 방향(142)에서 서로 이격될 수 있다.

[0123]

이러한 구성은, 특히 각각의 마이크로전자 패키지의 제 1 그리드(104)의 단자가 이러한 방향(142)에서 연장하는 하나 이상의 컬럼 내이 정렬되는 경우, 버스(36)의 신호를 라우팅하도록 사용되는 회로 패널 상의 하나 이상의 글로벌 라우팅 층의 신호 도체의 라우팅을 단순화하는 것을 도울 수도 있다. 예를 들어, 상대적으로 적은 제 1 단자가 각각의 패키지 상의 동일한 수직 레이아웃 포지션에 배치되는 경우, 커맨드-어드레스 버스 신호의 회로 패널 상에서의 라우팅을 단순화하는 것이 가능할 수도 있다. 따라서, 도 5c 에 도시되는 예에서, 각각의 패키지의 제 1 및 제 2 그리드(114, 124)는 동일한 수직 레이아웃 포지션에서 배치되는 오직 4 개의 단자를, 예컨대, 예를 들어 도 5a 에서 더 도시되는 바와 같이 어드레스 신호 A3 및 A1을 수신하도록 구성되는 제 1 및

제 2 그리드(114, 124)의 단자를 가진다.

[0124] 일 실시예에서, 마이크로전자 어셈블리(354)는 어셈블리(354)의 마이크로전자 패키지(100A, 100B)로 전송된 적어도 몇몇 신호의 버퍼링을 수행하도록 구성되는 반도체 칩을 포함할 수 있는 마이크로전자 소자(358)를 가질 수 있다. 버퍼링 기능을 가지는 이러한 마이크로전자 소자(358)는 마이크로전자 패키지(100A 및 100B) 내의 마이크로전자 소자의 각각에 대하여 마이크로전자 어셈블리(354)의 외부에 있는 컴포넌트에 대한 임피던스 격리를 제공하는 것을 돋도록 구성될 수 있다.

[0125] 이러한 예시적 실시형태에서, 마이크로전자 어셈블리(354)는 주로 로직 기능을 수행하도록 구성되는 반도체 칩, 예컨대 고상 드라이브 제어기를 포함하는 마이크로전자 소자(358)를 가질 수 있고, 마이크로전자 패키지(100A 및 100B) 중 하나 이상은 각각 비휘발성 플래시 메모리와 같은 메모리 스토리지 소자를 포함할 수 있다. 마이크로전자 소자(358)는 시스템(2500)(도 31)과 같은 시스템의 중앙 처리 유닛을 마이크로전자 소자 내에 포함된 메모리 저장 소자로의 그리고 그로부터의 데이터의 전송의 감독으로부터 완화시키도록 구성된 특수 목적 프로세서를 포함할 수 있다. 고상 드라이브 제어기를 포함하는 이러한 마이크로전자 소자(354)는 시스템(2500)과 같은 시스템의 마더보드(예를 들어, 도 31에 도시된 회로 패널(2502)) 상의 데이터 버스로의 그리고 그로부터의 직접적 메모리 액세스를 제공할 수 있다.

[0126] 제어기 기능 및/또는 버퍼링 기능을 포함하는 마이크로전자 소자(358)를 가지는 마이크로전자 어셈블리(354)의 이러한 실시형태에서, 커맨드-어드레스 버스 신호는 개별적인 연결 사이트 I, II 또는 III에서 마이크로전자 소자(358) 및 패키지(100A 및 100B) 각각의 쌍 사이에서 라우팅될 수 있다. 도 7b에 도시되는 특정 예에서, 연결 사이트 I, II 또는 III을 지나서 연장하는 커맨드-어드레스 버스(36)의 부분은 방향(143)에서 또는 방향(143)을 가로지르는 다른 방향에서 연장하여 마이크로전자 소자(358)의 콘택에 도달할 수 있다. 일 실시예에서, 커맨드-어드레스 버스(36)는 방향(143)에서 연장하여 마이크로전자 소자(358)의 콘택에 도달할 수 있다.

[0127] 도 8은 위에서 도 5a 내지 도 7a에 관하여 설명된 실시예에 따르는 마이크로전자 패키지(200)를 도시하는데, 여기에서 마이크로전자 소자는 제 1 및 제 2 반도체 칩(101A, 101B)을 포함하는 합성물 구조를 가진다. 제 1 반도체 칩과 같은 제 2 반도체 칩(101B)도 역시 자신의 전면 페이스(105) 상에 기판 콘택(121, 123)과 전기적으로 접속되는 소자 콘택(111B, 113B)을 가진다. 특정 실시예에서, 스페이서 소자(103)는 제 1 반도체 칩의 전면 페이스(105) 및 제 2 반도체 칩의 후면 페이스(107) 사이에 배치될 수 있는데, 이것은 제 2 반도체 칩(101B)이 제 1 반도체 칩 상에서 스페이서 소자(103)와 함께 스택된 이후의 처리 스테이지에서 제 1 반도체 칩(101A)에 접속되는 와이어 본드(112)를 형성하는 것을 용이화할 수 있다.

[0128] 도 9는 도 8에 도시되는 실시예의 다른 변형예를 도시하는데, 여기에서 마이크로전자 소자는 기판의 제 2 표면(108) 및 제 1 반도체 칩(101A)의 후면 페이스(107) 사이에 배치된 다른 반도체 칩(109)을 더 포함한다. 반도체 칩(109)은 대응하는 콘택(115, 117)에 대향하며 거기에 조인되는 콘택(129)을 자신의 전면 페이스(125) 상에 가질 수 있다. 칩(109) 및 대응하는 기판 콘택(115, 117) 사이의 조인트는 결합 금속, 침착된 전기적으로 도전성 재료, 금속의 포스트 또는 필라, 예를 들어 구리, 니켈과 같은 단단한 금속 또는 이들의 조합을 포함할 수 있는 전기적으로 도전성인 조이닝 소자(118)를 사용하여 이루어질 수 있다. 하나의 특정한 예에서, 반도체 칩(109)은 베어(bare) 칩, 즉, 패키지되지 않은 칩일 수 있다. 대안적으로는, 반도체 칩(109)은 무엇보다도 리드, 트레이스, 또는 비아를 그 위에 포함할 수도 있고, 또는 패키지된 반도체 소자일 수도 있다.

[0129] 마이크로전자 패키지가 도 8 또는 도 9에서 볼 수 있는 바와 같이, 또는 후속하여 설명되는 예에서 볼 수 있는 바와 같이 반도체 칩의 수직으로 적층된 배치 상태를 포함하는 경우, 그 패키지 내의 칩 중 하나 이상은 패키지 내의 다른 반도체 칩으로의 전송을 위하여, 신호를 버퍼링하거나 그렇지 않으면 패키지의 단자(104 또는 106) 또는 이러한 단자 모두에서 수신된 정보를 재생하도록 구성, 예를 들어 설계, 구축(construct) 또는 셋업될 수 있다. 예를 들어, 도 8에 도시된 바와 같은 구성에서, 기판에 인접한 제 1 반도체 칩(101A)은 제 2 반도체 칩으로의 전송을 위하여 하나 이상의 신호 또는 정보를 버퍼링 또는 그렇지 않으면 재생할 수 있다. 도 9에서 볼 수 있는 바와 같은 구성에서, 반도체 칩(109)은 반도체 칩(101A, 101B) 중 하나 이상으로의 전송을 위하여 신호를 버퍼링하거나 또는 그렇지 않으면 정보를 재생할 수 있다. 대안적으로는 또는 이에 추가적으로, 반도체 칩(109)은 반도체 칩(101A, 101B) 중 하나 이상으로부터 수신된 신호를 단자(104, 106) 또는 104 및 106 모두로의 전송을 위하여 재생할 수 있고, 또는 단자로부터 반도체 칩(101A, 101B)으로 양 방향에서 전송되는 중인 신호; 또는 반도체 칩(101A, 101B)으로부터 마이크로전자 패키지의 단자로 전송되는 중인 신호를 재생할 수 있다.

- [0130] 대안적으로는 또는 위에서 설명된 바와 같이 신호를 재생하는 것에 추가하여, 일 예에서, 이러한 합성물 마이크로전자 소자 내의 제 1 칩은 마이크로전자 소자의 동작 모드를 제어하는 정보를 부분적으로 또는 완전히 디코딩하도록 구성될 수 있다. 하나의 특정한 예에서, 이러한 합성물 마이크로전자 소자 내의 제 1 반도체 칩은 단자에서, 예컨대 마이크로전자 패키지의 제 1 단자에서 수신된 어드레스 정보 또는 커맨드 정보 중 적어도 하나를 부분적으로 또는 완전히 디코딩하도록 구성될 수 있다. 그러면 제 1 칩은 이러한 부분적인 또는 완전한 디코딩의 결과를 하나 이상의 제 2 반도체 칩(101A, 101B)으로의 전송을 위하여 출력할 수 있다.
- [0131] 패키지의 단자에서 수신된 신호 또는 정보는 기판 콘택(115)으로 그리고 조이닝 소자(118)를 거쳐 반도체 칩(109)으로 라우팅될 수 있다. 그러면 반도체 칩(109)은 수신된 신호 또는 정보를 기판 콘택(117)으로 재생 및 전송할 수 있다. 기판 콘택(117)으로부터, 신호 또는 정보는, 예컨대 그 위의 도전성 트레이스를 통하여 기판 콘택(111, 113)으로 기판에 의하여 라우팅될 수도 있고, 여기서 이들은 와이어본드(112)를 통해서 반도체 칩(101A, 101B)으로 라우팅된다. 하나의 특정한 예에서, 반도체 칩(109)은 반도체 칩(101A, 101B)으로 전송된 위에 언급된 커맨드 신호, 어드레스 신호 및 클록 신호를 베퍼링하도록 구성될 수 있다.
- [0132] 도 10 은 특정 예에 따른 마이크로전자 패키지(600)를 도시하는데, 여기에서 마이크로전자 소자는 전기적으로 상호접속된 제 1 반도체 칩(632) 및 복수 개의 제 2 반도체 칩(634)의 수직 적층(630)을 포함하며, 이들 각각은 기판(602)으로부터 멀리 대향하는 콘택-베어링 페이스(631)를 가진다. 와이어 본드(635)는 반도체 칩(632, 634) 상의 콘택(626)을 기판 상의 대응하는 콘택(636)에 전기적으로 상호접속시킨다. 스페이서(638) 반도체 칩(634)의 인접한 페이스들 사이에 배치될 수 있고, 스페이서(638)는 반도체 칩(632)의 콘택-베어링 페이스(631) 및 반도체 칩(634)의 후면 페이스 사이에 배치될 수 있다. 몇 가지 경우들에서, 접착층(미도시)이 각각의 스페이서 및 이러한 스페이서에 인접한 반도체 칩의 페이스 사이에 제공될 수 있다. 도 10 에 도시된 바와 같이, 하나 이상의 제 2 반도체 칩(634)은 제 1 반도체 칩(632)과 전기적으로 상호접속된다. 예를 들어, 도 10 에서 볼 수 있는 바와 같이, 그 안에서 그것의 페이스(631)가 서로 평행인 3 개의 수직으로 적층된 제 2 반도체 칩(634)이 존재한다.
- [0133] 도 10 에서 도시되는 마이크로전자 패키지(600)에서, 제 1 및 제 2 반도체 칩(632, 634)의 각각은 각각의 이러한 반도체 칩이 더 많은 개수의 능동 디바이스를 구현하여 임의의 다른 기능보다 메모리 스토리지 어레이 기능을 제공하도록 하게 구성될 수 있다. 예를 들어, 제 1 및 제 2 반도체 칩의 각각은 메모리 스토리지 어레이 및 메모리 스토리지 어레이에 데이터를 입력하거나 이로부터 데이터를 출력하기 위하여 요구되는 모든 회로부를 포함할 수도 있다. 예를 들어, 각각의 반도체 칩 내의 메모리 스토리지 어레이가 쓰기 가능한 경우, 반도체 칩의 각각은 외부 데이터 입력을 패키지의 단자로부터 수신하도록 구성되는 회로부, 및 이러한 반도체 칩으로부터의 데이터 출력을 패키지의 단자로 전송하도록 구성되는 회로부를 포함할 수도 있다. 따라서, 각각의 제 1 및 각각의 제 2 반도체 칩(632, 634)은 동적 랜덤 액세스 메모리("DRAM") 칩 또는 이러한 반도체 칩 내의 메모리 스토리지 어레이에 데이터를 입력하거나 이로부터 데이터를 출력하고 이러한 데이터를 수신하고 마이크로전자 패키지 외부의 컴퓨트로 송신할 수 있는 다른 메모리 칩일 수 있다. 다른 방식으로 진술된다면, 이러한 케이스에서, 각각의 DRAM 칩 또는 다른 메모리 칩 내의 메모리 스토리지 어레이로의 그리고 그로부터의 신호는 마이크로전자 패키지 내의 추가적 반도체 칩에 의한 베퍼링을 요구하지 않는다.
- [0134] 대안적으로는, 다른 예에서, 하나 이상의 제 2 반도체 칩(634)은 더 많은 개수의 능동 디바이스를 구현하여 임의의 다른 기능보다 메모리 스토리지 어레이 기능을 제공할 수도 있으며, 하지만 제 1 반도체 칩(632)은 칩의 상이한 탑재일 수도 있다. 이러한 경우에, 제 1 반도체 칩(632)은 하나 이상의 제 2 반도체 칩(634)으로의 전송을 위하여 단자에서 수신된 신호를 베퍼링, 즉 재생하도록, 또는 제 2 반도체 칩(634) 중 하나 이상으로부터 수신된 신호를 단자로의 전송을 위하여 재생하도록, 또는 단자로부터 하나 이상의 제 2 반도체 칩(634)으로의 두 방향 모두에서 전송되는 중인; 그리고 하나 이상의 반도체 칩으로부터 마이크로전자 패키지의 단자로 전송되는 중인 신호를 재생하도록 구조, 예를 들어 설계, 구축, 또는 셋업될 수 있다.
- [0135] 하나의 특정한 예에서, 제 1 반도체 칩은 어드레스 정보를 베퍼링하도록 구성될 수 있고 또는 하나 이상의 제 2 반도체 칩으로 전송되는 커맨드 신호, 어드레스 신호 및 클록 신호를 베퍼링하도록 구성될 수 있다. 예를 들어, 제 1 반도체 칩(632)은 더 많은 개수의 능동 디바이스를 구현하여 신호를 다른 디바이스로, 예를 들어 하나 이상의 제 2 반도체 칩(634)으로 전송하는 데 있어서 임의의 다른 기능에 대한 것보다 베퍼링 기능을 제공하는 베퍼 칩일 수 있다. 그러면, 하나 이상의 제 2 반도체 칩은 메모리 스토리지 어레이를 가지지만 DRAM 칩에 공통된 회로부, 예컨대 무엇보다도 베퍼 회로부, 디코더 또는 프리디코더 또는 워드라인 드라이버를 생략할 수 있는 감소된 기능 칩일 수도 있다. 그 경우에, 제 1 칩(632)은 적층 내의 "마스터" 칩으로서 그리고 제 2 반도체 칩(634)의 각각 내에서 동작을 제어하도록 기능할 수도 있다. 하나의 특정한 예에서, 제 2 반도체 칩은

이들이 베피링 기능을 수행할 수 없도록 구성될 수도 있고, 따라서 제 1 및 제 2 반도체 칩의 적층된 배치 상태는 마이크로전자 패키지에서 요구되는 베피링 기능이 제 1 반도체 칩에 의하여 수행될 수 있고 적층된 배치 상태 내의 제 2 반도체 칩 중 임의의 것에 의하여 수행될 수 없도록 구성될 수도 있다. 위에서 설명된 것과 유사하게, 제 1 반도체 칩은 제 1 및 제 2 반도체 칩으로 구성된 마이크로전자 소자의 동작 모드를 제어하는, 제 1 단자에서 수신된 정보를 부분적으로 또는 완전히 디코딩하도록 구성될 수도 있다. 대안적으로는, 또는 이것에 추가적으로, 제 1 반도체 칩은 제 1 단자에서 수신된 어드레스 또는 커맨드 정보 중 적어도 하나를 부분적으로 또는 완전히 디코딩하도록 구성될 수도 있다. 하나의 특정한 예에서, 제 2 반도체 칩 중 하나 이상은 마이크로전자 패키지의 제 1 단자에서 수신된 정보, 예컨대 어드레스 정보, 커맨드 정보 또는 마이크로전자 소자의 동작 모드를 제어하는 정보를 완전히 디코딩하도록 구성되지 않을 수도 있다.

[0136] 본 명세서에서 설명되는 실시예 중 임의의 것에서, 하나 이상의 제 2 반도체 칩은 후속하는 기술 중 하나 이상에서 구현될 수 있다: 무엇보다도 DRAM, NAND 플래시 메모리, RRAM("저항성 RAM" 또는 "저항성 랜덤 액세스 메모리), 상변화 메모리("PCM(phase-change memory)"), 예를 들어 터널 정션 디바이스, 스피-토크 RAM, 또는 콘텐츠-어드레싱 가능한 메모리를 구현할 수도 있는 것과 같은 자기저항성 랜덤 액세스 메모리.

[0137] 도 11 은 다른 변형예에 따른 마이크로전자 패키지(660)를 도시하는 단면도이고 도 12 는 대응하는 평면도이며, 여기에서 제 2 반도체 칩(634)은 계단 방식으로 서로에 대하여 탑재되어 제 1 반도체 칩(632)의 콘택이 제 1 반도체 칩(632) 바로 위에서 제 2 반도체 칩(634A)의 에지(618)를 넘어 노출되고, 그 반도체 칩(634A)의 콘택이 그 제 2 반도체 칩 바로 위에서 제 2 반도체 칩(634B)의 에지(618)를 넘어 노출되게 한다. 제 1 및 제 2 칩 및 기판 사이 및 칩들 사이의 전기적 접속은 반도체 칩의 적층 내의 인접한 칩들을 전기적으로 접속시키는 와이어 본드(635), 또는 칩을 직접적으로 패키지 기판(662)으로 전기적으로 접속시키는 와이어 본드(637)에 의하여 제공될 수 있다.

[0138] 도 13 은 위에서 설명된 도 10 에 대하여 설명된 실시예의 다른 변형예에 따른 마이크로전자 패키지(670)를 도시하는데, 여기에서 하나 이상의 제 2 반도체 칩(634)의 콘택들 사이의 접속은 적층된 반도체 칩(630)의 유닛의 하나 이상의 에지를 따라서, 즉, 이러한 유닛(630) 내의 반도체 칩(634)의 에지를 따라서 연장하는 트레이스 또는 리드(640)를 포함할 수 있다. 유닛(630) 제 1 반도체 칩(632)의 콘택(627)과, 예컨대 결합 금속, 예를 들어 솔더, 주석, 금, 인듐, 공정(eutectic), 또는 전기적으로 도전성 범프, 또는 두 가지 모두로써 탑재되고 전기적으로 상호접속될 수도 있는데, 이것들은 몇 가지 경우에서 도전성 포스트, 예를 들어 마이크로필러(micropillars)를 포함할 수도 있다. 트레이스(654)는 제 1 반도체 칩의 페이스(631)를 따라서 콘택(627)으로부터 제 2 콘택(626)까지 연장할 수도 있는데, 이것은 이제 와이어 본드(645) 같은 것을 통하여 기판(602)에 전기적으로 접속될 수 있다.

[0139] 제 2 반도체 칩(634) 들 사이의 전기적 접속은 제 2 반도체 칩(634)의 전면 페이스와 나란하게 연장하는 트레이스(644)를 더 포함할 수도 있다. 도 13 에 더 도시되는 바와 같이, 제 2 반도체 칩의 전면 페이스(642)는 기판(602)으로부터 상향으로 또는 기판(602)을 향하여 하향으로 대향할 수도 있다.

[0140] 도 14 는 마이크로전자 패키지(680)를 더 도시하는데, 여기에서 제 2 반도체 칩(634)은 제 1 칩의 콘택(627)에 대향하며 예컨대 결합 금속, 예를 들어 솔더, 주석, 금, 인듐, 공정, 또는 전기적으로 도전성 범프, 또는 두 가지 모두를 통하는 것과 같이 플립-칩 방식으로 이것에 조인되는 콘택(647)을 가진다. 트레이스(654)는 콘택(627)을 예컨대 와이어 본드(645)를 통하여 기판에 전기적으로 접속된 제 1 칩 상의 다른 콘택(626)과 전기적으로 접속시킬 수도 있다.

[0141] 도 15a 는 특정 예에 따른 마이크로전자 패키지(690)를 더 도시하는데, 여기에서 하나 이상의 제 2 반도체 칩(634)은 제 2 반도체 칩(634) 중 적어도 몇몇의 두께(652)의 방향에서, 즉, 칩(634)의 페이스(642)에 직각인 방향으로 연장하는 관통-실리콘-비아("TSVs(through-silicon-vias)") (650)에 의하여 서로 전기적으로 접속된다. 도 15a 에서 볼 수 있는 바와 같이, 일 예에서, TSV(650)는 제 1 반도체 칩(632)의 콘택(627)과, 예컨대 결합 금속, 예를 들어 솔더, 주석, 금, 인듐, 공정, 또는 전기적으로 도전성 범프, 또는 두 가지 모두를 통하여 전기적으로 접속될 수 있는데, 몇 가지 경우들에서 이것들은 도전성 포스트, 예를 들어 마이크로필러를 포함할 수도 있다. 트레이스(654)는 제 1 반도체 칩의 페이스(631)를 따라서 콘택(627)으로부터 제 2 콘택(626)까지 연장할 수도 있는데, 이것은 이제 와이어 본드(645)를 통하여 기판에 전기적으로 접속될 수 있다.

[0142] 일 예에서, 패키지(690)의 단자에서, 예컨대 제 1 단자, 제 2 단자, 또는 이들 모두에서 수신된 정보 또는 신호는 기판 콘택(636)에 조인된 와이어 본드(645)를 통하여 제 1 반도체 칩(632)에 의하여 수신될 수 있고, 이것은 이제 마이크로전자 패키지의 이러한 단자에 조인된다. 베피 소자로서 동작하는 제 1 반도체 칩(632)은 그러면

수신된 정보 또는 신호하고 그리고 이제 재생된 정보 또는 신호를 하나 이상의 제 2 반도체 칩으로, 예를 들어 제 1 및 제 2 칩(632, 634) 사이의 접속을 통하여 및 제 2 칩(634)의 적층 내의 TSV(650)를 통하여 전송할 수 있다. 일 예에서, 제 1 반도체는 이것의 마이크로전자 구조 내의 하나 이상의 제 2 반도체 칩(634)으로의 전송을 위하여 어드레스 정보를 재생하거나 또는 부분적으로 또는 완전히 디코딩하는 것 중 적어도 하나를 수행할 수도 있다.

[0143] 도 15b 는 도 15a 에 도시되는 마이크로전자 패키지의 변형예를 도시한다. 도 15a 에 도시되는 패키지와 달리, 어드레스 정보 또는 다른 정보를 재생하거나 또는 부분적으로 또는 완전히 디코딩하도록, 예를 들어 패키지 내의 다른 반도체 칩으로의 전송을 위하여 신호를 재생하도록 구성되는 반도체 칩(664)은 기판(602)의 제 2 표면(108)에 인접하게 위치되지 않는다. 오히려, 이러한 경우에, 반도체 칩(664)은 하나 이상의 다른 반도체 칩에 상재하는 패키지 내의 포지션에서 배치될 수 있다. 예를 들어, 도 15b 에 도시된 바와 같이, 칩(664)은 기판(602)의 제 2 표면(108)에 인접하게 배치되는 반도체 칩(662)에 적어도 부분적으로 상재하고, 칩(664)은 및 반도체 칩(662) 상에 배치된 반도체 칩(663A, 663B 및 663C)에 적어도 부분적으로 상재한다. 일 예에서, 반도체 칩(662 및 663A, 663B 및 663C)은 메모리 스토리지 어레이를 포함할 수도 있다. 위에서 설명된 예에서와 같이, 이러한 칩(662, 및 663A, 663B 및 663C)은 각각 이러한 칩에 기록될 데이터, 또는 이러한 칩으로부터 판독되는 중인 데이터, 또는 이를 모두를 베퍼링, 예를 들어 일시적으로 저장하도록 구성되는 회로를 통합할 수도 있다. 대안적으로는, 칩(662, 및 663A, 663B 및 663C)은 기능에 있어서 더 제한될 수도 있고 이러한 칩에 기록될 데이터, 또는 이러한 칩으로부터 판독되는 중인 데이터, 또는 이를 모두를 일시적으로 저장하도록 구성되는 적어도 하나의 다른 칩과 함께 사용될 필요가 있을 수도 있다.

[0144] 반도체 칩(664)은 마이크로전자 패키지의 단자에, 예를 들어 제 1 단자(604)의 세트 및 제 2 단자(606)의 세트에, 전기적으로 도전성 구조, 예를 들어 반도체 칩(663A)의 전면 페이스(631)에 부분적으로 상재하며 기판의 제 2 표면(108)에 노출되는 콘택(636)을 연결하는 와이어 본드(665)를 통하여 전기적으로 접속될 수 있다. 전기적으로 도전성 구조, 예를 들어 와이어 본드(665)는 칩(663A) 상의 콘택(638)을 통하여 그리고 칩(663A)의 페이스(631)를 따라 또는 칩(664)의 대면(confronting) 페이스(641)를 따라서 연장하는, 또는 칩(663A, 664) 모두의 페이스(631, 641)를 따라 연장하는 도체(미도시)를 통하여 반도체 칩(664)에 전기적으로 접속될 수 있다. 위에서 표시된 바와 같이, 반도체 칩(664)은 이것이 도전성 구조, 예를 들어 와이어 본드(665)를 통하여 수신하는 신호 또는 정보를 재생 또는 적어도 부분적으로 디코딩하는 것 중 적어도 하나를 수행하도록 구성될 수도 있고, 이러한 케이스에는 재생되거나 적어도 부분적으로 디코딩된 신호 또는 정보를 패키지내의 다른 칩으로, 예컨대 칩(662, 및 663A, 663B 및 663C)으로 전송하도록 구성될 수도 있다.

[0145] 도 15b 에서 더 도시되는 바와 같이, 반도체 칩(662, 663A, 663B 및 663C)은 반도체 칩(664)에 그리고 서로에 이러한 칩들 중 하나, 두 개 또는 세 개 이상을 통하여 연장할 수 있는 복수 개의 관통 실리콘 비아(672, 674 및 676)에 의하여 전기적으로 접속될 수 있다. 각각의 이러한 관통 실리콘 비아는 배선, 예를 들어 패키지 내의 반도체 칩(662, 663A, 663B 및 663C 및 664) 중 두 개 이상의 도전성 패드 또는 트레이스와 전기적으로 접속될 수도 있다. 하나의 특정한 예에서(미도시), 비록 각각의 관통 실리콘 비아가 이것이 통하여 연장하는 각각의 이러한 반도체 칩과 전기적으로 접속되지 않을 수도 있지만, 관통 실리콘 비아는 모든 반도체 칩(662, 663A, 663B 및 663C)의 두께를 관통하여 연장할 수도 있다.

[0146] 도 15b 에서 더 도시되는 바와 같이, 복수 개의 핀(fins; 671)을 포함할 수도 있는 히트 싱크 또는 열 확산기(668)는 반도체 칩(664)의 페이스, 예를 들어 이것의 후면 페이스(633)에, 예컨대 무엇보다도 열적 접착제, 열전도성 구리스(grease), 또는 솔더와 같은 열전도성 재료(669)를 통해서 열적으로 커플링될 수 있다.

[0147] 도 15b 에 도시되는 마이크로전자 어셈블리(695)는 기판 상에 이를 위하여 제공된 제 1 및 제 2 단자를 통하여 마이크로전자 패키지에 또는 그로부터 사이클 당 데이터 비트의 지정된 개수를 전송할 수 있는 메모리 모듈로서 동작하도록 구성될 수도 있다. 예를 들어, 마이크로전자 어셈블리는 단자(604, 606)와 전기적으로 접속된 회로 패널과 같은 외부 컴포넌트로 또는 그로부터 다수 개의 데이터 비트, 예컨대 다른 가능한 구성들 중에서 32 개의 데이터 비트, 64 개의 데이터 비트, 또는 96 개의 데이터 비트를 전송하도록 구성될 수도 있다. 다른 예에서, 이 패키지로 전송되거나 이로부터 전송된 비트가 여러 정정 코드 비트를 포함하는 경우, 사이클 당 패키지로 또는 그로부터 전송되는 비트의 개수는 36 개의 비트, 72 개의 비트, 또는 108 개의 비트일 수도 있다. 여기에서 구체적으로 설명되는 것들과 다른 데이터 폭들도 가능하다.

[0148] 도 16 내지 도 18 은 본 발명의 다른 실시예에 따르는 마이크로전자 구조(1400)를 도시하는데, 여기에서 마이크로전자 구조는 패키지의 제 1 표면(1410)에 평행인 방향(1435)에서 서로로부터 이격되는 에지를 가지는 제 1 및

제 2 마이크로전자 소자(1401, 1403)를 포함할 수 있다. 마이크로전자 구조 내의 마이크로전자 소자는 이제 적어도 두 개의 마이크로전자 소자(1401, 1403)가 도 16 내지 도 18 에 도시되는 예의 마이크로전자 구조 내에 존재한다는 것을 제외하고는, 앞선 설명 및 도면 중 임의의 것에 대하여 위에서 도시되고 설명된 것과 같은 단자와 임의의 방위 또는 전기적 상호접속을 가질 수도 있다.

[0149] 도 16 에서 볼 수 있는 바와 같이, 패키지 상의 제 1 단자는 이론적 평면(1432)의 반대면 상의 위치에서 제 1 및 제 2 세트 내에 배치되는데, 여기에서 그것의 각각의 세트 내의 제 1 단자는 각 면들 상의 그리드(1414, 1424) 내의 위치에 배치될 수도 있다. 제 1 및 제 2 세트 각각 내의 제 1 단자는, 위에서 설명된 바와 같은 이론적 평면의 이에 대해 반대인 면 상의 제 1 단자의 신호 할당의 미려 이미지인 신호 할당을 가질 수도 있다. 위에서 설명된 실시예에서와 같이, 몇 가지 예들에서, 제 1 단자의 세트(1414, 1424)는 제 1 및 제 2 평행 그리드 내에 배치될 수 있고, 각각의 그리드는 마이크로전자 구조의 메모리 스토리지 어레이 내의 위치를 특정하기 위하여 어드레스 입력에 의해 수신되기 위한 위에 언급된 어드레스 정보를 운반하도록 구성된다. 위에서 설명된 실시예에서와 같이, 제 1 단자의 각각의 세트는 메모리 스토리지 어레이 내의 스토리지 위치를 고유하게 특정하기에 충분한 어드레스 정보를 운반하도록 구성될 수 있다.

[0150] 하나의 특정한 실시예에서, 각 그리드 내의 제 1 단자는 커맨드-어드레스 버스 신호의 그룹의 모두: 즉, 마이크로전자 패키지로 전달되는 커맨드 신호, 어드레스 신호, 뱅크 어드레스 신호, 및 클록 신호를 운반하도록 구성될 수 있는데, 커맨드 신호는 쓰기 이네이블, 행 어드레스 스트로브, 및 컬럼 어드레스 스트로브 신호를 포함하고, 클록 신호는 어드레스 신호를 샘플링하기 위하여 사용될 수 있다. 그리드(1414, 1424) 내의 단자는 패키지(1400) 내의 마이크로전자 소자(1401, 1403)의 대응하는 콘택과 전기적으로 접속되고, 각각의 그리드는 커맨드-어드레스 버스의 위에 언급된 신호 모두를 패키지 내의 마이크로전자 소자로 통전하도록 구성된다. 추가적으로, 도 16 에서 구체적으로 도시되는 바와 같이, 그리고 아래에서 더욱 설명되는 바와 같이, 제 1 그리드(1414) 내의 단자의 신호 할당은 제 2 그리드(1424) 내의 단자의 신호 할당의 미려 이미지이다.

[0151] 제 1 및 제 2 세트 내의 제 1 단자의 사본 세트를, 예를 들어 하나의 그리드 내의 신호 할당이 다른 그리드 내의 신호 할당의 미려 이미지인 평행 그리드를 제공하는 것은 회로 패널에 서로에 반대로 탑재된 제 1 및 제 2 마이크로전자 패키지의 어셈블리 내의 스터브의 길이를 감소시키는 것을 도울 수 있다. 제 1 및 제 2 마이크로전자 패키지가 회로 패널의 반대 탑재면에 연결되고 회로 패널이 패키지들을 전기적으로 상호접속한다면, 제 1 마이크로전자 구조, 또는 패키지의 제 1 단자 각각은 이것이 전기적으로 접속되는 제 2 마이크로전자 구조 패키지의 제 2의 미려 이미지 세트의 대응하는 제 1 단자의 하나의 볼 피치 내에서 정렬될 수 있다. 추가적으로, 제 2 마이크로전자 구조 또는 패키지의 제 1 세트 또는 그리드의 제 1 단자 각각은 이와 같이 이것이 전기적으로 연결되는 제 1 마이크로전자 구조 또는 패키지의 제 2의 미려 이미지 세트 또는 그리드의 대응하는 제 1 단자의 하나의 볼 피치 내에서 정렬될 수 있다. 결과적으로, 제 1 구조 또는 패키지의 각각의 제 1 단자는 제 2 구조 또는 패키지의 대응하는 제 1 단자와 전기적으로 접속될 수 있는데, 반대 회로 패널 표면 상의 단자의 각각의 쌍의 탑재 위치는 회로 패널의 표면 중 하나에 평행인 직교 x 및 y 방향에서 서로 하나의 볼 피치 내에 있다. 몇 가지 경우들에서, 반대 회로 패널 표면 상의 접속된 단자의 각각의 쌍의 탑재 위치는 심지어 서로 일치할 수도 있다. 이에 상응하여, 제 1 및 제 2 패키지의 전기적으로 접속된 제 1 단자의 쌍들 사이의 회로 패널을 통과하는 전기적 접속의 길이는, 전기적으로 접속된 제 1 단자의 이러한 쌍의 각각 내의 단자가 서로 일치할 수도 있고 또는 그렇지 않다면 제 1 회로 패널 표면과 나란한 x 및 y 직교 방향에서 서로의 하나의 볼 피치 내에서 정렬될 수도 있다는 점에서 크게 감소될 수 있다.

[0152] 회로 패널 구성은 또한 이러한 구성을 가지는 어셈블리에서 단순화될 수도 있는데, 이것은 제 1 단자의 각각의 전기적으로 접속된 쌍 사이의 라우팅이 거의 수직 방향, 즉 회로 패널의 두께를 통과하는 방향일 수 있기 때문이다. 즉, 회로 패널 상의 비아 접속은 회로 패널의 반대면에 탑재된 패키지의 대응하는 제 1 단자의 각각의 쌍을 전기적으로 접속시키기 위하여 필요한 모든 것일 수도 있다.

[0153] 마이크로전자 구조(1400)의 다른 피처는 도 16 내지 도 20 을 참조하여 그리고 또한 마이크로전자 구조(도 17)의 제 1 표면(1410)에 평행인 방향에서 서로 이격되는 제 1 및 제 2 마이크로전자 소자(1401, 1403)를 적어도 가지는 도 21 내지 도 30 에서 묘사되는 구조들의 각각을 참조하여 이해될 수 있다. 이러한 경우에, 메모리 스토리지 어레이에는 제 1 및 제 2 메모리 스토리지 어레이를 포함할 수 있다. 이러한 마이크로전자 구조(1400)에서, 도 19로부터 이해될 수 있는 바와 같이, 구조(1400A)는, 제 1 세트 예를 들어, 제 1 단자의 그리드(1414A) 상의 어드레스 정보를 그 안에 제 2 메모리 스토리지 어레이를 가지는 제 2 마이크로전자 소자(1403A)의 어드레스 입력으로 제공하도록 구성되지 않고, 제 1 세트, 예를 들어 그것의 제 1 단자의 그리드(1414A) 상의 어드레스 정보를 그 안에 제 1 메모리 스토리지 어레이를 가지는 제 1 마이크로전자 소자(1401A)의 어드레스 입력으로

제공하도록 구성될 수 있다. 이와 유사하게, 구조(1400A)는, 제 2 세트, 예를 들어 제 1 단자의 그리드(1424A) 상의 어드레스 정보를 제 1 마이크로전자 소자(1401A)로 제공하도록 구성되지 않고, 제 2 세트, 예를 들어 그것의 제 1 단자의 그리드(1424A) 상의 어드레스 정보를 그 안의 제 2 마이크로전자 소자(1403A)의 어드레스 입력으로 제공하도록 구성될 수 있다.

[0154] 이러한 개념은 더 많은 개수의 마이크로전자 소자를 포함하는 마이크로전자 구조에서도 역시 구현될 수 있다. 따라서, 마이크로전자 구조(1400A)는 제 1 세트, 예를 들어 그것의 제 1 단자의 그리드(1414A) 상에서 수신된 어드레스 정보를 제 1 단자의 제 2 세트 상에서 수신된 어드레스 정보를 그러한 두 개 이상의 마이크로전자 소자로 제공하지 않으면서, 그 안의 두 개 이상의 마이크로전자 소자의 어드레스 입력으로 전달하도록 구성될 수 있다. 반대로, 이 구조는 제 1 세트, 예를 들어 그것의 제 1 단자의 그리드(1414A) 상에서 수신된 어드레스 정보를 제 1 단자의 제 2 세트 상에서 수신된 어드레스 정보를 그러한 두 개 이상의 마이크로전자 소자로 제공하지 않으면서, 그 안의 두 개 이상의 마이크로전자 소자의 어드레스 입력으로 전달하도록 구성될 수 있다.

[0155] 추가적으로, 제 1 단자의 제 1 및 제 2 세트가 적어도 어드레스 정보를 제 1 및 제 2 마이크로전자 소자의 각각으로 개별적으로 전송하도록 구성되는 마이크로전자 구조 내의 이러한 조직화는 마이크로전자 구조가 그 안에 메모리 액세스의 두 개 이상의 랭크를 제공하는 것을 가능하게 할 수 있다. 구체적으로 설명하면, 제 1 단자의 제 1 및 제 2 세트를 통한 마이크로전자 구조에 의한 상이한 어드레스 정보의 수신은 단일 마이크로전자 구조로부터의 메모리 액세스의 둘째 랭크를 가능하게 한다. 한정함이 없이, 하나의 이러한 예에서 각각 16 비트 폭의 데이터 경로를 가지는 4 개의 마이크로전자 소자를 통합하는 단일 마이크로전자 구조는 32-비트 폭의 메모리 액세스의 둘째 랭크를 제공할 수도 있다. 이러한 방식으로, 마이크로전자 구조는 예를 들어 둘째 랭크 메모리 액세스, 예컨대 예를 들어 제 1 및 제 2 메모리 채널의 각각이 N 비트의 데이터 폭을 가질 수도 있는 두 개의 채널 메모리 액세스를 제공하도록 구성될 수 있는데, 여기에서, 한정함이 없이 N 개의 비트는 메모리 채널을 위하여 통상적 데이터 버스 폭, 예컨대 16 비트, 32 비트, 또는 64 비트(예러 검출 또는 정정 비트 없는 경우 통상적임)를 가질 수 있거나 또는 18 비트, 36 비트 또는 72 비트(예러 검출 또는 정정 비트가 있는 버스에 대해 통상적임)의 폭을 가질 수도 있다.

[0156] 대안적으로는, 제 1 단자의 제 1 및 제 2 세트의 각각이 동일한 어드레스 정보를 제 1 및 제 2 마이크로전자 소자 각각으로 전송하도록 구성되는 경우, 이러한 케이스에서의 마이크로전자 구조는 상대적으로 넓은 데이터 경로를 가지는 메모리 액세스의 랭크를 제공할 수도 있다. 구체적으로 설명하면, 제 1 단자의 제 1 및 제 2 세트의 각각을 통한 마이크로전자 구조에 의한 동일한 어드레스 정보의 수신은 위에서 설명된 바와 같은 둘째 랭크 액세스 마이크로전자 구조의 데이터 경로의 폭의 두 배일 수 있는 데이터 경로를 가지는 메모리 액세스의 단일 랭크를 가능하게 할 수도 있다. 한정함이 없이, 하나의 이러한 예에서 각각 16 비트 폭의 데이터 경로를 가지는 4 개의 마이크로전자 소자를 통합하는 단일 마이크로전자 구조는 64-비트 폭의 메모리 액세스의 단일 랭크를 제공할 수도 있다. 따라서, 일 예에서, 도 16 내지 도 20 을 참조하여 또는 도 21 내지 도 30 중 하나 이상을 참고하여 설명된 마이크로전자 구조(1400) 중 임의의 것 내의 적어도 두 개의 마이크로전자 소자의 각각이 단일 랭크 메모리 액세스를 제공하도록 함께 기능할 수도 있는 것이 가능하다. 이러한 경우에, 데이터 버스 폭은 둘째 랭크 메모리 액세스를 가지는 마이크로전자 구조에서 보다 더 클 수도 있다. 이러한 경우에, 2N 비트의 데이터 버스 폭(둘째 랭크 경우에 대한 N 비트와 비교됨)을 가지는 메모리 채널은 메모리 스토리지 어레이 기능을 제공하는 마이크로전자 구조 내의 마이크로전자 소자의 각각 내의 위치에 액세스할 수 있다. 더욱이, 마이크로전자 구조에 의하여 제공되는 단일 랭크 메모리 액세스는 예를 들어 2N 비트, 예를 들어 32, 64 또는 128 비트(예러 검출 없음)의 데이터 버스 폭을 가질 수도 있고, 2N 비트, 예를 들어 32, 64 또는 128 비트(예러 검출 없음)의 데이터 버스 폭을 가질 수도 있으며, 또는 2N 비트, 예를 들어 36, 72 또는 144 비트(예러 검출없음)의 데이터 버스 폭을 가질 수도 있다.

[0157] 더욱이, 위에 언급된 어드레스 정보를 버스(36)(도 7b)에서 마이크로전자 패키지의 개별적인 쌍이 연결되는 연결 사이트들 사이에서 회로 패널을 따라 라우팅하기 위하여 요구되는 회로 패널 상의 배선의 글로벌 라우팅 층의 개수는, 이것에 부착된 마이크로전자 패키지가 본 명세서의 원리에 따라서 구성된다면 역시 감소될 수 있다. 구체적으로 설명하면, 이러한 신호를 회로 패널을 따라서 라우팅하기 위하여 요구되는 글로벌 라우팅 층의 개수는 어떤 경우에는 두 개의 또는 더 적은 라우팅 층으로 감소될 수도 있다. 그러나, 회로 패널 상에는, 버스(36) 상의 위에 언급된 어드레스 정보 또는 신호가 아닌 신호를 운반하는 더 많은 개수의 글로벌 라우팅 층이 존재할 수도 있다.

[0158] 마이크로전자 패키지는 또한 제 1 단자가 아닌 제 2 단자를 가질 수도 있는데, 이러한 단자는 통상적으로 위에 언급된 커맨드-어드레스 버스 신호가 아닌 신호를 운반하도록 구성된다. 일 예에서, 제 2 단자는 마이크로전자

소자로의 또는 이로부터의 단방향성 또는 양방향성 데이터 신호, 및 데이터 스트로브 신호, 및 데이터 마스크 및 종단 저항으로의 병렬 종단(parallel terminations)을 턴온 또는 오프하기 위하여 사용되는 ODT 또는 "온 다이 종단" 신호를 운반하기 위하여 사용되는 단자를 포함할 수 있다. 신호 또는 참조 포텐셜, 예컨대 칩 선택, 재설정, 파워 서플라이 전압, 예를 들어 Vdd, Vddq, 및 접지, 예를 들어 Vss 및 Vssq는 제 2 단자에 의하여 역시 운반될 수도 있다; 이러한 신호 또는 참조 포텐셜의 어느 것도 제 1 단자에 의하여 운반될 필요가 없다. 몇 가지 실시예들에서, 커맨드-어드레스 버스 신호가 아닌 신호를 운반하도록 구성되는 몇몇 또는 모든 단자가, 패키지 상의 임의의 위치에서 제 2 단자로서 배치되는 것이 가능하다.

[0159] 대안적으로는, 몇 가지 실시예들에서 커맨드-어드레스 버스 신호가 아닌 신호를 운반하도록 구성되는 몇몇 또는 모든 단자도 역시 제 1 그리드 내에 그리고 패키지 상의 제 1 단자의 제 2의 미러 이미지 그리드 내에 배치되는 것이 가능하다. 이러한 방식으로, 위에서 설명된 바와 같은 이러한 대응하는 제 1 단자들 사이에서 회로 패널 상에 제공된 전기적 접속에서의 스터브 길이를 감소시키는 것이 가능할 수도 있다.

[0160] 다른 실시예들에서, 커맨드-어드레스 버스 신호가 아닌 신호를 운반하도록 구성되는 단자의 일부 또는 전부는 패키지 표면 상의 제 3 그리드 내의 제 2 단자의 세트로서 정렬될 수 있고, 제 2 단자의 다른 세트는 동일한 패키지 표면 상의 제 4 그리드 내에 정렬될 수 있는데, 여기에서 제 3 그리드 내의 제 2 단자의 신호 할당은 제 4 그리드 내의 제 2 단자의 신호 할당의 미러 이미지이다. 이러한 방식으로, 위에서 설명된 바와 같은 제 1 및 제 2 패키지의 대응하는 제 1 단자 사이의 접속과 유사하게, 제 1 및 제 2 패키지의 전기적으로 접속된 제 2 단자의 쌍 사이의 회로 패널을 통과하는 전기적 접속의 길이는, 전기적으로 접속된 제 2 단자의 이러한 쌍의 각각 내의 단자가 서로 일치할 수도 있고 또는 그렇지 않으면 서로의 하나의 불 피치 내에서 정렬될 수도 있다는 점에서 크게 감소될 수 있다. 더욱이, 제 1 및 제 2 패키지 사이의 접속을 위하여 스터브 길이를 감소시키고 회로 패널의 구성을 단순화하기 위하여 위에서 설명된 것들과 유사한 이점들이, 마이크로전자 패키지의 제 2 단자가 이러한 방식으로 정렬되는 경우 획득될 수도 있다.

[0161] 도 17 을 참조하면, 제 1 및 제 2 마이크로전자 소자(1401, 1403)는 각각 내부의 능동 소자에 의하여 정의되는 메모리 스토리지 어레이를 각각 포함할 수도 있고, 스토리지 어레이 내의 위치를 특정하는 어드레스 정보의 수신을 위한 어드레스 입력을 가진다. 하나의 특정한 예에서, 마이크로전자 소자(1401, 1403)의 각각은, 제 1 및 제 2 마이크로전자 소자(1401, 1403)의 각각이 더 많은 개수의 능동 디바이스, 예컨대 위에서 표시된 바와 같은 임의의 다른 기능이 아닌 메모리 스토리지 어레이 기능을 주로 제공하도록 구성되는 트랜지스터를 가진다는 점에서, 메모리 스토리지 어레이 기능을 주로 제공하도록 구성, 즉 구축될 수도 있다.

[0162] 도 17 에 도시되는 특정 예에서, 제 1 및 제 2 마이크로전자 소자(1401, 1403)는 기판(1402)으로부터 멀리 대향 하며 도 17 에서 볼 수 있는 바와 같이 기판의 제 2 표면(1408)에서 노출되는 대응하는 기판 콘택(1446)과 전기적으로 접속되는 마이크로전자 소자의 페이스(1431)에서 소자 콘택(1436)을 가질 수도 있다. 그러나, 마이크로전자 소자는 상이하게 지향될 수 있고, 이것은 몇 가지 경우에는 아래로 지향됨으로써, 도 5g 의 위에서 설명된 예에서와 같이 그리고 동일인 소유의 미국 출원 제 13/439,317 호에서 역시 도시된 바와 같이 소자 콘택(1436)이 기판(1402)의 제 2 표면(1408)을 향해 대향할 수도 있게 할 수도 있으며, 그 개시물은 특히 그 안의 도 6 및 그 이하(et seq.)가 참조에 의하여 본 명세서에 통합된다.

[0163] 도 16 내지 도 18 에서 볼 수 있는 바와 같이, 패키지(1400)는 패키지(1400)를 패키지(1400), 예컨대, 예를 들어 회로 패널 외부의 컴포넌트와 전기적으로 및 기계적으로 연결시키기 위한 제 1 단자(1414, 1424) 및 제 2 단자(106)를 가질 수 있다. 단자들은 전기적으로 도전성인 패드, 포스트, 또는 다른 전기적으로 도전성인 구조일 수 있다. 도 17 에서 도시된 예에서, 무엇보다도 솔더, 주석, 인듐, 금, 또는 공정 재료, 또는 다른 도전성 결합 재료와 같은 결합 금속을 포함할 수도 있는 조이닝 소자(1430)는 단자의 제 1 및 제 2 그리드(1404, 1406)에 부착될 수도 있다. 제 1 단자(1404) 및 제 2 단자(1406)는 예를 들어 트레이스 및 비아와 같은 기판 상의 도전성 구조를 통하여 기판 콘택(1446)과 전기적으로 접속될 수 있다.

[0164] 패키지의 제 1 및 제 2 그리드(1414, 1424) 내의 제 1 단자의 정렬상태가 특히 도 16 에서 도시되는 것과 같을 수 있다. 일 예에서, 각각의 그리드(1414, 1424)는 단자들의 제 1 및 제 2 평행 컬럼(1438)을 포함할 수도 있다. 각각의 그리드 내의 단자의 컬럼(1438)은 서로 인접할 수 있다. 대안적으로는, 비록 도 16 에는 도시되지 않지만, 적어도 하나의 단자가 단자의 제 1 및 제 2 컬럼 사이에 배치될 수도 있다. 도 16 에 도시되는 바와 같이, 제 2 그리드(1424) 내의 제 1 단자의 신호 할당은 제 1 그리드(1414) 내의 제 1 단자의 신호 할당(1424)의 미러 이미지이다. 다른 방법으로 진술하면, 제 1 및 제 2 그리드 내의 제 1 단자의 신호 할당은 기판의 표면(1410)에 직교하는 방향으로 연장하며 제 1 및 제 2 그리드(1414, 1424) 사이에 센터링된 라인을 따라 표면

(1410)과 교차하는 축상 평면(1432)을 중심으로 대칭인데, 축상 평면(1432)은 이러한 경우에 제 1 단자의 컬럼(1438)이 연장하는 방향(1434)에서 연장한다. 제 2 그리드(1424) 내의 신호 할당이 제 1 그리드(1414) 내의 그것들의 미러 이미지이기 때문에, 신호 CK(클록)를 운반하도록 할당되는 제 1 그리드(1414)의 제 1 단자(1404)는 그리드 내에서 신호(CK)를 운반하도록 할당되는 제 2 그리드(1414)의 대응하는 제 1 단자(1404)와 동일한 상대적인 수직 포지션(방향 1434에서)에 있다. 그러나, 제 1 그리드(1414)가 두 개의 컬럼(1438)을 포함하기 때문에 신호(CK)를 운반하도록 할당되는 제 1 그리드(1414)의 단자의 단자는 제 1 그리드의 두 개의 컬럼(1438) 중에서 그것의 좌측 컬럼 내에 있다. 미러 이미지 신호 할당은 신호(CK)를 운반하도록 할당되는 제 2 그리드(1424)의 대응하는 단자가 제 2 그리드의 두 개의 컬럼 중에서 우측 컬럼(1438)에 있을 것을 요구한다. 이러한 배치 상태의 다른 결과는 신호(WE; 기록 이네이블)를 운반하도록 할당되는 단자도 역시 제 1 및 제 2 그리드(1414, 1424)의 각각 내의 그리드 내의 동일한 상대적인 수직 포지션에 있다는 것이다. 그러나, 제 1 그리드(1414)에서, 신호(WE)를 운반하도록 할당된 단자는 제 1 그리드의 두 개의 컬럼(1438) 중 우측 컬럼 내에 있으며, 그리고 미러 이미지 배치 상태는 신호(WE)를 운반하도록 할당되는 제 2 그리드(1424)의 대응하는 단자가 제 2 그리드(1424)의 두 개의 컬럼 중 좌측 컬럼(1438) 내에 있을 것을 요구한다. 도 16에서 알 수 있는 바와 같이, 동일한 관련성이 제 1 및 제 2 그리드의 각각 내의 각각의 제 1 단자에 대하여, 적어도 위에서 논의된 바와 같이 공통-어드레스 버스 신호를 운반하도록 할당되는 각각의 제 1 단자에 대하여 적용된다.

[0165]

그 주위에서 제 1 단자의 이론적 평면(1432)이 대칭적인 이론적인, 즉 "축상" 평면(1432)은 기판 상의 다양한 포지션에 위치될 수 있다. 특정 실시예에서, 특히 제 1 단자의 컬럼(1438)이 에지(1440, 1442)에 평행인 방향에서 연장하고 제 1 및 제 2 그리드가 이러한 중앙 축을 중심으로 대칭적인 위치에 배치되는 경우, 축상 평면은 기판의 제 1 및 제 2 대향 에지(1440, 1442)로부터 등간격으로 위치된 표면 상의 라인을 따라 기판의 표면(1410)과 교차할 수 있다.

[0166]

하나의 특정한 예에서, 제 1 그리드(1414)의 제 1 단자(1404)는 제 1 마이크로전자 소자(1401)와 전기적으로 접속될 수 있고, 제 2 그리드(1424)의 제 1 단자(1404)는 제 2 마이크로전자 소자(1403)와 전기적으로 접속될 수 있다. 이러한 경우에, 제 1 그리드(1414)의 제 1 단자(1404)는 또한 제 2 마이크로전자 소자(1403)와 전기적으로 접속되지 않을 수도 있고, 패키지(1400)의 제 2 그리드(1424)의 제 1 단자(1404)는 또한 제 1 마이크로전자 소자(1401)와 전기적으로 접속되지 않을 수도 있다. 또 다른 예에서, 제 1 및 제 2 그리드(1414)의 각각의 제 1 단자(1404)는 제 1 및 제 2 마이크로전자 소자(1401, 1403)의 각각과 전기적으로 접속될 수 있다.

[0167]

위에서 언급된 바와 같이, 제 2 단자(1406)는 위에 언급된 어드레스 정보가 아닌 또는 커맨드-어드레스 버스의 신호가 아닌 정보 또는 신호를 운반하도록 구성될 수 있다. 일 예에서, 제 2 단자(1406)는 마이크로전자 소자로의 또는 이로부터의 단방향성 또는 양방향성 데이터 신호, 및 데이터 스트로브 신호, 및 데이터 마스크 및 종단 저항으로의 병렬 종단(parallel terminations)을 터온 또는 오프하기 위하여 칩에 의하여 사용되는 ODT 또는 "온 다이 종단" 신호를 운반하기 위하여 사용되는 단자를 포함할 수 있다. 칩 선택, 재설정, 클록 이네이블과 같은 신호, 및 전력 공급 전압, 예를 들어 Vdd, Vddq, 또는 접지, 예를 들어 Vss 및 Vssq와 같은 참조 포텐셜은 제 1 단자(1404) 또는 제 2 단자(1406) 중 하나에 의하여 운반되는 신호들 중에 있을 수 있다. 그러나, 이러한 신호 또는 참조 포텐셜 중 어느 것도 제 1 단자(1404)에 의하여 운반될 필요가 없다. 도 16 내지 도 18에 더 도시되는 바와 같이, 제 2 단자(1406)(도 16 및 도 18에 더하여 도 17 만을 체크)는 기판의 제 1 표면(1410)에서 노출된 제 3 그리드(1416)의 위치에서 배치될 수 있고 제 2 단자의 다른 세트는 제 1 표면(1410)에서 노출된 제 4 그리드(1426)에서 배치될 수 있다. 특정 케이스에서, 제 3 그리드(1416) 내의 제 2 단자의 신호 할당은 제 1 및 제 2 그리드에 대하여 위에서 설명된 바와 유사한 방식으로 제 4 그리드(1426)내의 제 2 단자의 신호 할당의 미러 이미지일 수 있다. 제 3 및 제 4 그리드(1416, 1426)는 제 1 및 제 2 그리드가 연장하는 방향(1434)에서 연장할 수도 있고 서로 평행일 수 있다. 제 3 및 제 4 그리드도 역시 제 1 및 제 2 그리드(1414, 1424)에 평행일 수도 있다. 대안적으로는, 제 3 및 제 4 그리드(1416, 1426)의 각각은 방향(1434)에 직교하는 다른 방향(1435)에서 연장할 수 있다.

[0168]

도 17에 도시된 바와 같이, 봉합재(1448)가 기판의 제 2 표면(1408)에 상재할 수도 있고 그리고 그 안의 마이크로전자 소자(1401, 1403) 접촉할 수도 있다. 몇 가지 경우들에서, 봉합재는 기판(1402)으로부터 멀리 대향하는 마이크로전자 소자(1401, 1403)의 표면(1431)에 상재할 수도 있다.

[0169]

다른 변형예에서, 마이크로전자 구조의 제 1 및 제 2 마이크로전자 소자는 대안적으로는 동일한 소유의 미국 출원 제 13/337,565 호("565 출원"); 및 제 13/440,515 호("515 출원")에 도시된 바와 같이 정렬될 수도 있는데, 이들의 개시물은 본 명세서에서 원용에 의하여 통합된다. 예를 들어, 패키지의 기판은 그 안의 마이크로전자 소자의 페이스 상의 콘택이 '565 및 '515 출원의 도 7a 및 도 7b, 및 도 10b에서 볼 수 있는 바와 같이 기

판의 제 2 표면(1408)을 향하여 대향할 수도 있는 결합 원도우일 수도 있는 다중 개구부를 포함할 수도 있고, 마이크로전자 소자의 콘택-베어링 전면 페이스는 그 안에서 마이크로전자 소자의 각각이 메모리 스토리지 어레이의 능동 소자를 통합할 수 있는 다른 마이크로전자 소자의 후면 페이스에 상재할 수 있다. 이러한 실시예에서의 마이크로전자 소자는 마이크로전자 구조, 예를 들어 패키지의 단자와 '565 또는 '515 출원 중 하나에서 도시되고 설명된 바와 같이 전기적으로 상호접속될 수 있다.

[0170] 다른 변형예에서, 마이크로전자 구조는 '565 또는 '515 출원의 도 8a 내지 도 8b 또는 도 11에서 도시되는 바와 같이 그 안에 정렬될 수 있는 3 개의 마이크로전자 소자를 포함할 수 있다.

[0171] 도 19 는 제 1 및 제 2 마이크로전자 패키지(1400A, 1400B)의 어셈블리(1450)를 도시하는데, 각각은 회로 패널(1464)의 제 1 및 제 2 반대면(1460, 1462)에 탑재될 때 위에서 도 16 내지 도 18 을 참조하여 설명된 바와 같은 마이크로전자 패키지(1400)이다. 회로 패널은 다양한 타입, 예컨대 무엇보다 듀얼-인라인 메모리 모듈("DIMM") 모듈 내에서 사용되는 인쇄 회로 보드, 시스템 내의 다른 컴포넌트로 연결될 회로 보드 또는 패널, 또는 마더보드일 수 있다. 제 1 및 제 2 마이크로전자 패키지(1400A, 1400B)는 회로 패널(1464)의 제 1 및 제 2 표면(1460, 1462)에서 노출된 대응하는 콘택(1470, 1472)에 탑재될 수 있다.

[0172] 특히 도 16 에 도시되는 바와 같이, 각각의 패키지의 제 2 그리드(1424) 내의 제 1 단자의 신호 할당이 각각의 패키지의 제 1 그리드(1414) 내의 제 1 단자의 신호 할당의 미러 이미지이기 때문에, 패키지(1400A, 1400B)가 도 19 에서와 같이 서로 반대로 회로 패널에 탑재될 때, 제 1 패키지(1400A)의 제 1 그리드(1414A) 내의 각각의 제 1 단자는 동일한 신호 할당을 가지며 이것이 전기적으로 접속되는 제 2 패키지(1400B)의 제 2 그리드(1424B) 내의 대응하는 제 1 단자와 정렬된다. 더욱이, 제 1 패키지(1400A)의 제 2 그리드(1424A) 내의 각각의 제 1 단자는 동일한 신호 할당을 가지며 이것이 전기적으로 접속되는 제 1 그리드(1414B) 내의 대응하는 제 1 단자와 정렬된다. 확실하게, 접속된 단자의 각각의 쌍의 정렬은 오차 허용 범위 내임으로써, 접속된 단자의 각각의 쌍이 서로의 하나의 볼 피치 내에서 회로 패널(1464)의 제 1 표면(1460)을 따라 직교 x 및 y 방향으로 정렬될 수 있게 한다.

[0173] 따라서, 도 19 에 더 도시되는 바와 같이, "A"로 마크된 신호를 제 1 패키지(1400A)의 그리드(1414A) 내에서 운반하는 특정한 제 1 단자는 동일한 신호 "A"를 운반하는 제 2 패키지(1400B)의 그리드(1424B)의 대응하는 제 1 단자와 정렬된다. 동일한 내용이 "A"로 마크된 신호를 제 1 패키지(1400A)의 그리드(1424A) 내에서 운반하며 동일한 신호 "A"를 운반하는 제 2 패키지(1400B)의 그리드(1414B)의 대응하는 제 1 단자와 정렬되는 특정한 제 1 단자에 관련하여 역시 참이다.

[0174] 이러한 방식으로, 도 19 에 더 도시되는 바와 같이, 제 1 및 제 2 패키지(1400A, 1400B)의 전기적으로 접속된 제 1 단자의 각각의 쌍 사이의 회로 패널을 통과하는 전기적 접속의 길이는, 전기적으로 접속된 제 2 단자의 이러한 쌍의 각각 내의 단자가 서로 중첩될 수도 있고 또는 적어도 서로 하나의 볼 피치 내에서 정렬될 수도 있다는 점에서 크게 감소될 수 있다. 이러한 전기적 접속의 길이에서의 감소는 회로 패널 및 어셈블리 내의 스터브 길이를 감소시킬 수 있는데, 이것은 무엇보다도 안정화 시간을 줄이는 것, 렇팅, 지터, 또는 심볼간 간섭을 제 1 단자에 의하여 운반되며 제 1 및 제 2 패키지 모두 내의 마이크로전자 소자로 전송되는 위에 언급된 신호에 대하여 감소시키는 것과 같은 전기적 성능을 개선하는 것을 도울 수 있다. 더욱이, 다른 이점들, 예컨대 회로 패널의 구조를 단순화하는 것 또는 복잡성 및 회로 패널을 설계하거나 제조하는 비용을 감소시키는 것을 달성하는 것도 역시 가능할 수도 있다.

[0175] 도 19 에 더 도시되는 바와 같이, 각각의 패키지(1400A, 1400B)의 제 2 단자가 도 16 내지 도 18 에 대하여 위에서 설명된 특정한 미러 이미지 배치 상태를 가지는 제 3 및 제 4 그리드에 배치되는 경우, 각각의 패키지의 제 1 그리드의 각각의 제 2 단자는 다른 패키지의 제 2 그리드의 대응하는 제 2 단자로서 동일한 신호 할당을 가지고 이것이 전기적으로 접속되는 제 2 단자와 정렬될 수 있다. 따라서, 도 19 에서 볼 수 있는 바와 같이, 제 1 패키지(1400A)의 제 3 그리드(1416A) 내의 각각의 제 2 단자(1406)는 제 2 패키지(1400B)의 제 4 그리드(1426B) 내의 대응하는 제 2 단자로서 동일한 신호 할당을 가지며 이것이 전기적으로 접속되는 단자와 정렬된다. 더욱이, 제 1 패키지(1400A)의 제 4 그리드(1426A) 내의 각각의 제 2 단자는 동일한 신호 할당을 가지고 이것이 전기적으로 접속되는 제 3 그리드(1416B) 내의 대응하는 제 2 단자와 정렬된다. 다시 말하건데, 접속된 단자의 각각의 쌍의 정렬은 오차 허용 범위 내이며, 따라서 접속된 단자의 각각의 쌍이 서로의 하나의 볼 피치 내에서 회로 패널(1464)의 제 1 표면(1460)을 따라 직교 x 및 y 방향으로 정렬될 수 있다.

[0176] 따라서, 도 19 에 더 도시되는 바와 같이, "B"로 마크된 신호를 제 1 패키지(1400A)의 그리드(1416A) 내에서 운반하는 특정한 제 1 단자는 동일한 신호 "B"를 운반하며 이것이 전기적으로 접속되는 제 2 패키지(1400B)의 그

리드(1426B)의 대응하는 제 1 단자와 정렬된다. 동일한 신호 "B"를 운반하며 이것이 전기적으로 접속되는 제 2 패키지(1400B)의 그리드(1416B)의 대응하는 제 1 단자와 정렬되는, "B"로 마크된 신호를 제 1 패키지(1400A)의 그리드(1426A) 내에서 운반하는 특정한 제 1 단자에 관련하여 동일한 내용이 역시 참이다.

[0177] 위에서 설명된 바와 같은 제 1 및 제 2 패키지의 대응하는 제 1 단자(1404) 사이의 접속과 유사하게, 이러한 실시예에서는, 제 1 및 제 2 패키지의 전기적으로 접속된 제 2 단자(1406)의 쌍 사이의 회로 패널을 통과하는 전기적 접속의 길이는, 전기적으로 접속된 제 2 단자의 이러한 쌍의 각각 내의 단자가 서로 상재할 수도 있고 또는 적어도 회로 패널 표면에 평행한 직교 x 및 y 방향에서 서로의 하나의 볼 피치 내에서 정렬될 수도 있다는 점에서 크게 감소될 수 있다. 더욱이, 제 1 및 제 2 패키지 사이의 접속을 위하여 스터브 길이를 감소시키고 회로 패널의 구성을 단순화하기 위하여 위에서 설명된 것들과 유사한 이점들이, 마이크로전자 패키지의 제 2 단자, 즉 커맨드-어드레스 버스의 위에 언급된 신호가 아닌 신호를 운반하도록 할당될 수 있는 단자가 이러한 방식으로 정렬되는 경우 획득될 수도 있다.

[0178] 도 20 은 패키지(1480)의 개별적인 제 1 그리드(1474, 1484), 및 제 2 그리드(1476, 1486) 내의 단자의 특정 배치 상태를 도시하며, 각각의 그리드 내의 인접한 컬럼(1438, 1439) 내의 동일한 상대적인 수직 포지션에 있는 단자들이 패키지의 방향(1434)에서 서로 오프셋되는 포지션에 배치될 수도 있는 엇갈린 배치 상태를 도시한다.

[0179] 도 21 은 마이크로전자 패키지 상의 제 1 및 제 2 평행 그리드(1478, 1488) 내의 제 1 단자의 특정 배치 상태를 도시하는데, 여기에서 각각의 그리드는 단자의 3 개의 인접한 컬럼을 포함한다. 위에서 언급된 바와 같이, 몇 가지 실시예들에서 위에 언급된 커맨드-어드레스 버스 신호가 아닌 신호가 위에 언급된 커맨드-어드레스 버스 신호를 역시 운반하는 동일한 그리드 내의 단자로 할당되는 것이 가능할 수도 있다. 위에서 설명된 바와 같은 미러 이미지 신호 할당을 가지는 그리드(1478, 1488)의 쌍의 각각이 두 개의 또는 세 개가 아니라 단자의 네 개의 컬럼을 가지는 다른 배치 상태가 역시 제공될 수도 있다.

[0180] 도 16 내지 도 18 에 도시되는 실시예의 다른 변형예에서, 위에 언급된 커맨드-어드레스 버스 신호를 운반하도록 구현되는 제 1 단자가 단자의 제 1 및 제 2 개개의 컬럼 내에서 제공되는 것이 가능한데, 여기에서 각각의 개별적인 개개의 컬럼은 위에 언급된 커맨드 어드레스 버스 신호들 모두를 운반하도록 구성되는 제 1 단자의 세트를 포함한다. 제 1 단자는 더 나아가, 신호 할당이 제 1 및 제 2 컬럼이 연장하는 동일한 방향에서 연장하는 축을 중심으로 대칭이라는 점에서, 제 1 및 제 2 컬럼 내의 신호 할당이 서로의 미러 이미지가 되도록 정렬될 수 있다. 이러한 방식으로, 제 1 컬럼 내의 제 1 단자의 신호 할당은 패키지 상의 제 2 컬럼 내의 동일한 상대적인 수직 포지션에서 제 1 단자의 신호 할당과 동일하다.

[0181] 도 22 는 마이크로전자 소자(1401, 1403)가 반도체 칩의 수직으로 적층된 어셈블리인 또 다른 변형예에 따른 마이크로전자 패키지(1490)를 도시한다. 따라서, 도 22 에서 볼 수 있는 바와 같이, 마이크로전자 소자(1401, 1403) 중 하나 이상은 기판(1402)으로부터 멀어지게 대향하는 콘택-베어링 페이스(1431) 및 위에서 도 16 내지 도 18 에 대하여 설명된 바와 같이 기판(1402) 상의 기판 콘택에 와이어-본딩되는 페이스(1431) 상의 콘택(1436)을 가지는 제 1 반도체 칩(1451)을 포함할 수 있다. 일 예에서, 이러한 마이크로전자 소자의 제 2 반도체 칩(1453)은 제 1 반도체 칩(1451)의 대응하는 콘택(1445)에 대향하며, 예컨대 전기적으로 도전성 범프, 예를 들어 위에서 설명된 바와 같은 결합 금속을 통하여 이에 조인되는 콘택(1455)을 가질 수 있다.

[0182] 다른 변형예에서, 패키지(1490) 내의 마이크로전자 소자(1401, 1403) 중 하나 이상은 도 10 도 11 내지 도 12, 도 13, 도 14 또는 도 15 를 참조하여 위에서 설명된 바와 같이 구성될 수 있다.

[0183] 또 다른 변형예에서, 마이크로전자 구조는 자신의 페이스 상에 콘택을 가지고 기판의 제 2 표면을 향하여 하향 대향하도록 지향되는 3 개의 마이크로전자 소자를 포함할 수도 있는데, 콘택은 예를 들어 '515 및 '565 출원의 도 8a 내지 도 8b, 및 도 11 에 대하여 도시되고 설명된 바와 같이, 또는 예를 들어 동일한 소유의 미국 출원 제 13/354,747 호)(("747 출원")의 도 9a 및 도 15a 에 대하여 도시되고 설명되는 바와 같이 기판 내의 개구부, 예를 들어 결합 원도우에 의하여 노출되는데, 이 개시물은 원용에 의해 본 명세서에 포함된다.

[0184] 도 23 은 도 16 내지 도 18 의 위에서 설명된 실시예의 변형예에 따른 마이크로전자 구조(1500)를 도시하는데, 여기에서 제 1, 제 2, 제 3 및 제 4 마이크로전자 소자(1501, 1503, 1505 및 1507)가 그 안에 통합된다. 이 패키지는 제 1 단자의 4 개의 세트(1514, 1524, 1534, 1544), 예를 들어 위에 언급된 어드레스 정보를 운반하도록 할당되며 이에 대하여 제 1 단자의 몇몇 세트의 신호 할당이 제 1 단자의 다른 세트의 신호 할당의 미러 이미지인 4 개의 그리드를 더 묘사한다. 하나의 특정한 예에서, 제 1 단자는 커맨드-어드레스 버스의 신호를 운반하도록 할당될 수 있다. 위에서 설명된 예에서와 같이, 제 1 단자의 각각의 세트 또는 그리드는

마이크로전자 소자 중 오직 하나와 전기적으로 접속될 수 있거나, 마이크로전자 소자의 두 개 이상에 접속될 수 있다. 도 23 은 제 1 단자의 그리드(1514, 1524, 1534, 및 1544) 및 제 2 단자의 그리드(1516, 1526, 1536, 및 1546)의 하나의 가능한 배치 상태를 도시하는 패키지(1500)의 하나의 가능한 배치 상태를 도시한다.

[0185] 도 23 에 도시된 바와 같이, 마이크로전자 소자의 각각은 통상적으로 두 개의 "긴" 평행 에지(1510)를 가지는데, 이것은 마이크로전자 소자 상의 콘택의 하나 이상의 컬럼이 도 6b, 도 6c, 도 6d, 및 도 7a 에 대하여 위에서 설명된 바와 같이 연장하는 방향과 동일한 방향에서 연장한다. 일 예에서, 이러한 "긴" 에지는 각각 각각의 마이크로전자 소자의 두 개의 짧은 평행 에지(1512)보다 더 길 수도 있다. 다른 예에서, 이러한 "긴" 에지(1510)는 콘택의 하나 이상의 컬럼과 동일한 방향에서만 연장할 수도 있는데, 반면에 사실상 동일한 마이크로전자 소자의 "짧은" 에지(1512) 보다 더 짧을 수도 있다. 아래에서 설명되는 패키지 각각 내의 마이크로전자 소자의 "긴" 및 "짧은" 에지라는 언급은 이러한 정의를 내포한다.

[0186] 도 23 에서 더 도시되는 바와 같이, 이러한 특정 변형예에서는, 그리드(1524, 1534) 중 두 개가 마이크로전자 소자(1503, 1505)를 분리시키는 패키지의 중앙선(1530)에 근접하게 배치될 수 있는 반면에 다른 그리드(1514, 1544)는 패키지의 주변 에지(1550, 1552) 근처에 배치될 수 있다.

[0187] 도 24 는 도 23 에 도시되는 것의 변형예에 따른 패키지(1560)를 도시하는 평면도인데, 여기에서 패키지 상의 제 1 단자의 그리드의 포지션이 변동된다. 이러한 경우에, 도 23 의 패키지(1560) 및 패키지(1500) 사이의 차분을 고려하면, 패키지(1560) 내의 그리드(1534)의 포지션은 제 2 단자의 그리드(1536)의 포지션과 교환됨으로써, 그리드(1536)가 이제 제 1 단자의 그리드(1524, 1534) 사이에서 배치되게 한다. 추가적으로, 패키지(1560) 내의 그리드(1544)의 포지션은 제 2 단자의 그리드(1546)의 포지션과 교환됨으로써, 그리드(1546)가 이제 제 1 단자의 그리드(1534, 1544) 사이에서 배치되게 한다.

[0188] 도 25 는 도 23 에 도시되는 것의 다른 변형예에 따른 패키지(1570)를 도시하는 평면도인데, 여기에서 제 1 단자의 그리드의 포지션이 변동된다. 이러한 경우에, 도 23 의 패키지(1570) 및 패키지(1500) 사이의 차분을 고려하면, 패키지(1570) 내의 제 1 단자의 그리드(1524)의 포지션은 제 2 단자의 그리드(1526)의 포지션과 교환됨으로써, 그리드(1524)가 이제 그리드(1514, 1526) 사이에서 그리고 이에 인접하게 배치되게 한다. 추가적으로, 패키지(1570) 내의 그리드(1534)의 포지션은 도 23 에서 도시된 것에 상대적인 제 2 단자의 그리드(1536)의 포지션과 교환됨으로써, 그리드(1534)가 이제 그리드(1536, 1544) 사이에서 그리고 이에 인접하게 배치되게 한다.

[0189] 도 26 은 도 16 내지 도 18 의 위에서 설명된 실시예의 다른 변형예에 따르는 패키지(1600)를 도시하는 평면도인데, 여기에서 제 1, 제 2, 제 3 및 제 4 마이크로전자 소자(1601, 1603, 1605, 1607)가 기판 상에 매트릭스로 정렬되고, 각각의 마이크로전자 소자는 제 1 방향(1620)에서 연장하는 평행 제 1 에지(1610) 및 기판의 제 2 표면(1408)(도 17)에 평행하며 제 1 방향을 가로지르는, 예컨대 제 1 방향(1620)에 직교하는 제 2 방향(1622)에서 연장하는 평행 제 2 에지(1612)를 가진다. 제 1 에지(1610)는 이러한 에지가 개별적인 마이크로전자 소자의 길이의 치수를 나타낼 경우에는 "긴 에지"일 수도 있고, 제 2 에지(1612)는 이러한 에지가 그 길이보다 더 짧은 개별적인 마이크로전자 소자의 치수를 나타내는 경우에는 "짧은 에지"일 수도 있다. 대안적으로는, 제 2 에지(1612)는 이러한 에지가 개별적인 마이크로전자 소자의 길이의 치수를 나타낼 경우에는 "긴 에지"일 수도 있고, 제 1 에지(1610)는 이러한 에지가 그 길이보다 더 짧은 개별적인 마이크로전자 소자의 치수를 나타내는 경우에는 "짧은 에지"일 수도 있다.

[0190] 도 26 에서 볼 수 있는 바와 같이, 마이크로전자 소자는 서로에 대해 인접하고 평행인 마이크로전자 소자(1601, 1603)의 제 1 에지(1610)와 정렬될 수 있다. 마이크로전자 소자(1605, 1607)의 제 1 에지(1610)도 역시 서로에 대해 인접하고 평행일 수 있다. 마이크로전자 소자는 또한, 마이크로전자 소자(1601)의 하나의 제 2 에지(1612)가 다른 마이크로전자 소자(1607)의 제 2 에지(1612)에 인접하고 평행이 되도록, 그리고 마이크로전자 소자(1603)의 하나의 제 2 에지(1612)가 다른 마이크로전자 소자(1605)의 하나의 제 2 에지(1612)에 인접하고 평행이 되도록 구현된다. 마이크로전자 소자(1601)의 제 1 에지(1610)의 각각은 몇 가지 경우들에서 마이크로전자 소자(1607)의 제 1 에지(1610)와 동일선 상에 있을(collinear) 수 있다. 이와 유사하게, 마이크로전자 소자(1603)의 제 1 에지(1610)의 각각은 몇 가지 경우들에서 마이크로전자 소자(1605)의 제 1 에지(1610)와 동일선 상에 있을 수 있다.

[0191] 개별적인 마이크로전자 소자(1601, 1603, 1605, 1607)의 일부에 상재할 수도 있고 이것과 전기적으로 접속되는 제 2 단자의 그리드(1651, 1653, 1655, 1657)는 임의의 적합한 배치 상태에서 배치되는 단자를 가질 수 있는데, 이러한 제 2 단자를 그 안에서 그리드(1651, 1653, 1655, 또는 1657) 중 임의의 하나 내의 신호 할당이 다른 그리드(1651, 1653, 1655, 또는 1657) 중 임의의 하나 내의 단자의 신호 할당의 미러 이미지인 그리드 내에 배치

하라는 요구 사항이 없다.

[0192] 하나의 특정한 예에서, 그리드(1651, 1653, 1655, 또는 1657) 중 임의의 하나 내의 제 2 단자의 신호 할당은, 그리드의 임의의 하나의 신호 할당이 수직 축(1680)을 중심으로 다른 그리드의 신호 할당에 대하여 마이크로전자 구조의 제 1 표면(1602)에 평행인 수직 레이아웃 방향에서 대칭일 수 있다는 점에서, 그리드(1651, 1653, 1655, 또는 1657)의 하나의 또는 두 개의 다른 것들 내의 제 2 단자의 신호 할당의 미러 이미지일 수 있다. 대안적으로는, 또는 이것에 추가적으로, 그리드의 임의의 하나의 신호 할당은 수평 축(1682)을 중심으로 다른 그리드의 신호 할당에 대하여 대칭일 수 있다.

[0193] 예를 들어, 도 26 에 도시된 바와 같이, 그리드(1651)의 신호 할당은 마이크로전자 구조의 제 1 표면(1602)에 평행인 수직 축(1680)을 중심으로 그리드(1653)의 신호 할당에 대하여 대칭인데, 여기에서 수직 축(1680)은 도시된 예에서는 그리드(1651 및 1653)의 사이에 있는 수직 레이아웃 방향(1620)에서 연장한다. 또한, 그리드(1651)의 신호 할당은 수평 축(1682)을 중심으로 그리드(1657)의 신호 할당에 대해 수직인데, 여기에서 수평 축(1682)은 마이크로전자 구조의 제 1 표면(1602)에 평행인 수평 레이아웃 방향(1622)에서 연장할 수 있고, 이것은 도시된 예에서는 그리드(1651 및 1657) 사이에 있다. 대안적 배치 상태에서, 그리드(1651 및 1657)의 각각은 기판의 표면의 일부로 수평 축(1682)의 양면 상에서 연장할 수도 있고, 그렇지 않으면 위에서 설명된 관련성이 존재할 수 있다. 이와 유사하게, 이러한 배치 상태가 그리드(1653 및 1655)에 대하여 존재할 수도 있다.

[0194] 도 26 에 도시되는 특정 예에서, 그리드(1651 및 1657)의 신호 할당은 제 1 이론적 평면(1680), 즉 수직 축을 중심으로 개별적인 그리드(1653 및 1655)의 신호 할당에 대해 대칭적이다. 또한, 그리드(1651 및 1653)의 신호 할당은 수평 축을 중심으로 개별적인 그리드(1657 및 1655)의 신호 할당에 대칭적이다. 수평 축(1682)은 마이크로전자 구조의 제 1 표면(1602)에 직각인 제 2 이론적 평면이다. 수평 축은 그 안에서 제 1 이론적 평면(1680)이 연장하는 구조의 제 1 표면에 평행한 다른 방향을 가로지른다.

[0195] 도 27 은 위에서 설명된 실시예(도 23)의 다른 변형예에 따르는 마이크로전자 패키지(1700)를 도시하는 평면도인데, 여기에서 제 1 및 제 2 마이크로전자 소자(1701, 1703)의 제 1 에지(1710)는 단자-베어링 기판 표면(1704)의 제 1 주변 에지(1740)에 평행인 제 1 방향(1720)에서 연장하고, 여기에서 마이크로전자 소자(1701, 1703)의 제 2 에지(1712)는 기판의 단자-베어링 표면(1704)에 평행인 제 2 방향(1722)에서 연장한다. 패키지(1700)는 제 3 및 제 4 마이크로전자 소자(1705, 1707)를 더 포함한다. 그러나, 제 3 및 제 4 마이크로전자 소자(1705, 1707)의 제 1 에지(1730)는 제 2 방향(1722)에서 연장하며, 제 3 및 제 4 마이크로전자 소자(1705, 1707)의 제 2 에지(1732)는 제 1 방향(1720)에서 연장한다. 도 27 에서 더 도시된 바와 같이, 위에 언급된 커맨드-어드레스 버스 신호를 운반하도록 구성되는 제 1 단자의 제 1 및 제 2 그리드(1714, 1724)는 기판 표면의 중앙 지역에서, 제 2 그리드(1724) 내의 신호 할당이 위에서 설명된 바와 같이 제 1 그리드(1714) 내의 신호 할당의 미러 이미지인 기판의 제 1 및 제 2 주변 에지(1740, 1742)로부터 멀어지게 제공될 수 있다. 도 27 에 도시된 바와 같은 일 예에서, 제 1 단자의 제 1 및 제 2 그리드(1714, 1724)는 제 1 및 제 2 마이크로전자 소자(1701, 1703)의 인접한 제 1 에지(1710) 사이에 배치될 수도 있고 제 3 및 제 4 마이크로전자 소자(1705, 1707)의 일부에 상재할 수도 있다. 제 2 단자(1751, 1753, 1755, 1757)의 그리드는 그 내부의 제 2 단자가 거기에 전기적으로 접속하는 개별적인 마이크로전자 소자(1701, 1703, 1705, 1707)에 적어도 부분적으로 상재할 수도 있다. 도 27 에서 볼 수 있는 바와 같이, 그리드(1753) 내의 제 2 단자의 신호 할당은 그리드(1751) 내의 제 2 단자의 신호 할당의 미러 이미지일 수 있다. 그리드(1714, 1724), 및 그리드(1751, 1753) 내의 단자의 미러 이미지 신호 할당은, 회로 패널 내의 스터브 길이에서의 위에서 설명된 감소가 유사한 구성의 두 개의 패키지(1700)가 회로 패널의 반대면 상에서 서로에 반대되게 탑재되는 경우에 달성되도록 허용할 수도 있다.

[0196] 마이크로전자 소자(1705, 1707)의 일부에 상재할 수도 있고 이것과 전기적으로 접속되는 제 2 단자의 그리드(1755, 1757)는 임의의 적합한 배치 상태에서 배치되는 단자를 가질 수 있는데, 이러한 제 2 단자를 그 안에서 그리드(1755) 중 하나 내의 신호 할당이 다른 그리드(1757) 내의 단자의 신호 할당의 미러 이미지인 그리드 내에 배치하라는 요구 사항이 없다. 그러나, 하나의 특정한 예에서, 그리드(1755) 내의 제 2 단자의 신호 할당은, 신호 할당이 그리드(1755 및 1758) 사이의 방향(1722)에서 연장하는 축(1735)을 중심으로 대칭일 수 있다는 점에서 다른 그러나(1757) 내의 제 2 단자의 신호 할당의 미러 이미지일 수 있다. 이러한 경우에, 그리드(1755, 1757) 내의 이러한 제 2 단자에 대하여 도 27 의 수평 방향에서 연장하는 축(1735)을 중심으로 대칭성이 존재할 수 있다.

[0197] 더욱이, 이러한 구성은 그 안에서 제 1 단자의 그리드들 사이의 또는 제 2 단자의 다른 그리드(1751, 1753) 사이의 신호 할당이 선택적으로 제공될 수 있다. 도 17 에서 더 도시되는 바와 같이, 단자의 세트 내의 단자, 예

를 들어 그리드(1755, 1757)는 위에서 도 5a 를 참조하여 설명된 바와 같은 신호 클래스 대칭성 또는 모듈로-X 대칭성 중 하나 이상을 가질 수도 있다.

[0198] 도 27 은 하나 이상의 베퍼 소자(1750)가, 마이크로전자 구조 또는 패키지(1700)의 중앙 지역 내에서 제 1, 제 2, 제 3 및 제 4 마이크로전자 소자(1701, 1703, 1705, 및 1707)의 인접한 에지(1730, 1710) 사이에 배치된 마이크로전자 소자로서 제공될 수 있다는 것을 더 도시한다. 각각의 이러한 베퍼 소자는, 특히 패키지의 제 1 단자에서 수신된 위에 언급된 커맨드 어드레스 버스 신호에 대하여, 이 구조의 단자들 및 이 패키지 내의 마이크로전자 소자 중 하나 이상 사이에 신호 격리를 제공하기 위하여 사용될 수 있다. 하나 이상의 베퍼 소자는 제 1 단자에서 수신되거나 제 2 단자에서 수신된 신호를 재생하고 재생된 신호를 패키지 내의 마이크로전자 소자 중 하나 이상으로 전송한다.

[0199] 대안적으로는 또는 이것에 추가적으로, 마이크로전자 소자의 인접한 에지(1710, 1730) 사이의 기판의 영역(1702)은 패키지의 내부 전력 공급부 또는 접지 버스로 접속되는 하나 이상의 디커플링 커패시터가 패키지 상에 또는 내부에 제공되도록 허용할 수도 있다.

[0200] 도 28 은 도 27 에서 도시된 실시예의 변형예를 도시하는데, 여기에서 제 1 및 제 2 그리드(1714, 1724)의 포지션은 제 1 및 제 2 마이크로전자 소자(1701, 1703)의 적어도 일부에서 상재하도록 변동될 수 있다. 이러한 경우에, 제 3 및 제 4 마이크로전자 소자(1705, 1707)의 포지션도, 제 3 및 제 4 마이크로전자 소자(1705, 1707)의 제 1 에지(1730)의 일부가 패키지의 중심으로부터 멀어지게 이동될 수도 있게 역시 변할 수도 있다. 이러한 경우에, 제 3 및 제 4 마이크로전자 소자의 제 1 에지(1730)는 제 1 및 제 2 마이크로전자 소자의 제 2 에지(1712)의 일부와 평행하고 이로부터 방향(1720)에서 이격된다. 결과적으로, 하나 이상의 베퍼 소자 또는 디커플링 커패시터, 또는 다른 디바이스의 접속을 위하여 가용인 패키지의 중앙에서의 면적(1760)의 양은 도 27 에 도시되는 것보다 더 클 수도 있다. 도 28 은 기판의 제 1 및 제 2 에지(1736, 1738)에 인접한 그리드 내의 포지션에서 배치될 수도 있는, 제 2 단자의 세트의 신호 할당이 에지(1736, 1738)에 평행인 제 1 방향(1720)에서 연장하는 축(미도시)을 중심으로 대칭성을 보일 수 있는 배치 상태를 더 도시한다. 대안적으로는, 또는 이것에 추가적으로, 기판의 제 3 및 제 4 에지(1737, 1739)에 인접한 그리드 내에 배치될 수도 있는 제 2 단자의 세트의 신호 할당은 제 1 방향(1720), 예를 들어 제 3 및 제 4 에지(1737, 1739)에 평행일 수 있는 것을 가로지르는 제 2 방향(1722)에서 연장하는 축(미도시)을 중심으로 대칭성을 보일 수 있다.

[0201] 도 29 는 위에서 설명된 실시예(도 28)의 변형예에 따른 마이크로전자 패키지(1800)를 도시한다. 이러한 변형 예에서, 마이크로전자 소자(1801, 1803, 1805, 1807)는 마이크로전자 소자(1801, 1803)의 제 1 에지(1810)가 마이크로전자 소자(1805, 1807)의 제 2 에지(1830)와 동일한 방향(1820)에서 연장하는 핀휠(pinwheel)-유사 구성을 내에 배치된다. 추가적으로, 마이크로전자 소자(1805, 1807)의 제 1 에지(1830)는 마이크로전자 소자(1801, 1803)의 제 2 에지(1812)와 동일한 방향(1822)에서 연장한다. 마이크로전자 소자(1801)의 제 1 에지(1810) 중 하나의 일부는 마이크로전자 소자(1807)의 인접한 제 2 에지(1832)의 일부로부터 이격되고 이것에 대해 평행하다. 이와 유사하게, 마이크로전자 소자(1805)의 제 1 에지(1830) 중 하나의 일부는 마이크로전자 소자(1801)의 인접한 제 2 에지(1812)로부터 이격되고 이것에 대해 평행하다. 이러한 관련성은 마이크로전자 소자(1803)의 제 1 에지(1810) 중 하나의 일부 및 마이크로전자 소자(1805)의 제 2 에지(1832) 중 하나의 일부, 및 마이크로전자 소자(1807)의 제 1 에지(1830) 중 하나의 일부 및 마이크로전자 소자(1803)의 제 2 에지(1812) 중 하나의 일부에 대하여 패키지 내에서 반복될 수 있다.

[0202] 추가적으로, 마이크로전자 소자(1801)의 제 1 에지(1810) 중 하나를 포함하는 기판에 직각이며 다른 마이크로전자 소자(1805)의 제 1 에지(1830)와 교차하는 평면(1840)이 존재한다는 것이 더 도시된다. 이와 유사하게, 마이크로전자 소자(1805)의 제 1 에지(1830) 중 하나를 포함하는 기판에 직각이며 다른 마이크로전자 소자(1803)의 제 1 에지(1810)와 교차하는 평면(1842)이 존재한다. 도 29 의 관찰로부터, 마이크로전자 소자(1807)의 제 1 에지의 하나를 포함하는 유사한 평면이 마이크로전자 소자(1801)의 제 1 에지에 교차할 것이고, 마이크로전자 소자(1803)의 제 1 에지의 하나를 포함하는 유사한 평면이 마이크로전자 소자(1807)의 제 1 에지를 교차할 것이라는 것을 알 수 있다. 패키지는 하나의 마이크로전자 소자의 제 1 에지를 포함하는 평면이 패키지 내의 고작 하나의 다른 마이크로전자 소자의 제 1 에지에 교차하도록 구성될 수 있다.

[0203] 도 29 는 세트, 예를 들어 미러 이미지 신호 할당을 가지는 제 1 단자의 그리드(1814, 1824)가 패키지(1800) 내의 마이크로전자 소자 중 하나 이상에 각각 부분적으로 또는 완전히 상재할 수도 있다는 것을 더 예시한다. 제 1 단자를 포함하는 그리드 및 제 2 단자를 포함하는 그리드 내의 신호 할당은 도 27 또는 도 28 에 대하여 위에서 설명된 바와 같을 수 있다. 추가적으로, 마이크로전자 소자의 인접한 에지(1810, 1832) 사이에 배치되며 그

위에 마이크로전자 소자의 페이스 중 어느 것도 배치되지 않는 기판의 중앙 영역(1850)은 위에서 도 27 내지 도 28 에 대하여 설명된 바와 같은 하나 이상의 버퍼 소자 또는 디커플링 커패시터 또는 이들 모두를 수용할 수도 있다.

[0204] 도 30 은 4 개의 마이크로전자 소자 대신에 기판(1902) 상에서 서로 이격되는 3 개의 마이크로전자 소자(1901A, 1902B, 및 1902C)를 포함하는, 도 25 에 대하여 위에서 설명된 마이크로전자 패키지(1570)의 변형예에 따르는 마이크로전자 패키지를 도시한다. 도 25 에서 도시되는 실시예 내의 제 1 및 제 2 그리드(1514, 1524) 및 제 3 및 제 4 그리드(1534, 1544)의 경우에서와 같이, 패키지(1900)의 제 1 그리드(1914) 내의 제 1 단자의 신호 할당은 제 2 그리드(1924) 내의 제 1 단자의 신호 할당의 미러 이미지일 수 있다. 더욱이, 패키지(1900)의 제 3 그리드(1934) 내의 제 1 단자의 신호 할당에 대해서도 같은 내용이 역시 참일 수 있는데, 이것은 제 4 그리드(1944) 내의 제 1 단자의 신호 할당의 미러 이미지일 수 있다. 추가적으로, 도 30 에서 볼 수 있는 바와 같이, 하나의 특정한 예에서, 제 1 그리드(1914)는 제 1 마이크로전자 소자(1901A)에 상재할 수도 있는 반면에 제 2 그리드(1924)는 제 2 마이크로전자 소자(1901B)에 상재할 수도 있다. 도 30 에서 더 도시되는 바와 같이, 제 3 그리드(1934)는 제 3 마이크로전자 소자(1901C)에 상재할 수도 있다. 제 4 그리드(1944)는 도 30 에서 볼 수 있는 바와 같이, 제 3 마이크로전자 소자(1901C)의 에지(1942)를 넘어 기판의(1902)의 표면의 일부에 상재할 수도 있다. 대안적으로는, 비록 도시되지는 않지만 제 4 그리드(1944)도 역시 제 3 마이크로전자 소자(1901C)에 상재할 수도 있다.

[0205] 위에서 도 23 내지 도 30 을 참조하여 예시되고 논의된 예들의 각각은, 그 안에 마이크로전자 구조의 제 1 표면이 대향하는 것과 동일한 방향에서 대향하거나 또는 마이크로전자 구조의 제 1 표면이 대향하는 방향으로부터 멀어지게 대향할 수 있는 콘택을 자신의 페이스에 가지는 마이크로전자 소자로써 구현될 수 있다. 따라서, 특정한 예에서, 동일인 소유의 미국 출원 제 13/439,317 호의 도 13 내지 도 20 중 임의의 것의 예에서 도시되고 설명되는 바와 같을 수도 있는데, 그 개시물은 본 명세서에서 원용에 의해 통합된다.

[0206] 비록 도 23 내지 도 30 에서 설명되는 예들이 기판에 상재하는 마이크로전자 소자를 참조하고 있지만, 기판은 적합한 경우에는 생략될 수도 있는데, 이것은 마이크로전자 소자가 물당된 유닛, 예를 들어 웨이퍼-레벨 유닛 내에서 함께 구현되는 경우에 유전체 층은 그 상부의 트레이스 및 전기적 상호접속을 지지하기 위하여 마이크로전자 소자의 위의 콘택-베어링 페이스 상에 또는 그 위에 형성될 수도 있기 때문이다.

[0207] 다른 예들에서, 내부에 다중 적층된 마이크로전자 소자를 가지는 마이크로전자 구조는 동일인 소유의 미국 출원 제 13/439,317 호의 도 21 내지 도 25 를 참조하여 도시되고 및/또는 설명된 바와 같은 단일 또는 다중 적층 구현형태일 수도 있고, 이것의 개시물은 본 명세서에서 원용에 의해 통합된다.

[0208] 또 다른 예들에서, 내부에 4 개의 마이크로전자 소자를 가지는 마이크로전자 구조는 '515 또는 '565 출원의 도 9a 내지 도 9b, 도 9c, 도 9d, 도 9f, 도 9g, 도 9h, 도 12b, 도 12c 또는 도 12d 에서 도시되고 설명된 바와 같을 수도 있고, 또는 '747 출원의 도 7a 내지 도 7b, 도 8, 도 11a, 도 11b, 도 11c, 도 11d, 도 12, 도 13b, 도 14b, 또는 도 14c 에서 도시되고 설명된 바와 같을 수도 있다.

[0209] 위에서 도 5 내지 도 30 을 참조하여 설명된 마이크로전자 패키지 및 마이크로전자 어셈블리는 다양한 전자 시스템, 예컨대 도 31 에 도시되는 시스템(2500)을 구성하는 데에 이용될 수 있다. 예를 들어, 본 발명의 다른 실시예에 따르는 시스템(2500)은 다른 전자적 컴포넌트(2508, 2510 및 2511)와 공동으로 위에서 설명된 바와 같은 마이크로전자 패키지 및 마이크로전자 어셈블리와 같은 복수 개의 모듈 또는 컴포넌트(2506)를 포함한다.

[0210] 도시된 예시적인 시스템(2500)에서, 시스템은 회로 패널, 마더보드, 또는 가요성 인쇄 회로 보드와 같은 라이저 패널(riser panel; 2502)을 포함할 수 있는데, 회로 패널은 다수의 도체(2504)를 포함할 수 있고, 이를 중에서 오직 하나가 도 31 에서 모듈 또는 컴포넌트(2506, 2508, 2510)를 서로 상호접속하는 것으로 묘사된다. 이러한 회로 패널(2502)은 신호를 시스템(2500) 내에 포함된 마이크로전자 패키지 및/또는 마이크로전자 어셈블리의 각각으로 또는 그로부터 전송할 수 있다. 그러나, 이것은 단순히 예시적인 것일 뿐이다; 모듈들 또는 컴포넌트들(2506) 사이에 전기적 접속을 이루기 위한 임의의 적합한 구조가 사용될 수 있다.

[0211] 특정 실시예에서, 시스템(2500)은 반도체 칩(2508)과 같은 프로세서를 더 포함할 수 있음으로써, 각각의 모듈 또는 컴포넌트(2506)가 개수 N 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성될 수 있고, 프로세서는 개수 M 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성될 수 있도록 할 수 있는데, M은 N 이상이다.

[0212] 일 예에서, 시스템(2500)은 32 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성되는 프로세

서 칩(2508)을 포함할 수 있고, 시스템은 4 개의 모듈(2506), 예컨대 도 5a 내지 도 5c 를 참조하여 설명된 마이크로전자 패키지(100)를 더 포함할 수 있는데, 각각의 모듈(2506)은 8 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성된다(즉, 각각의 모듈(2506)은 제 1 및 제 2 마이크로전자 소자를 포함할 수 있고, 두 개의 마이크로전자 소자 각각은 4 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성된다).

[0213] 다른 예에서, 시스템(2500)은 64 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성되는 프로세서 칩(2508)을 포함할 수 있고, 시스템은 4 개의 모듈(2506), 예컨대 도 23 내지 도 29 중 임의의 것을 참조하여 설명된 마이크로전자 패키지를 더 포함할 수 있는데, 각각의 모듈(2506)은 16 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성된다(즉, 각각의 모듈(2506)은 제 1 및 제 2 마이크로전자 소자의 두 세트를 포함할 수 있고, 네 개의 마이크로전자 소자 각각은 4 개의 데이터 비트를 한 클록 사이클에서 병렬적으로 전송하도록 구성된다).

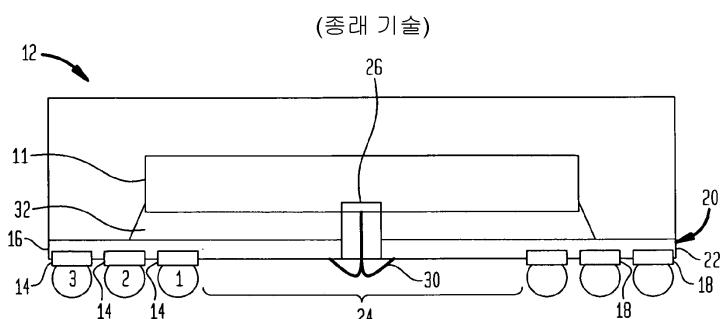
[0214] 도 31 에서 묘사된 예에서, 컴포넌트(2508)는 반도체 칩이고 컴포넌트(2510)는 디스플레이 스크린인데, 하지만 임의의 다른 컴포넌트도 시스템(2500) 내에서 사용될 수 있다. 물론, 비록 오직 두 개의 추가적 컴포넌트(2508 및 2511)가 도 31 에서 예시의 명확화를 위하여 묘사되지만, 시스템(2500)은 임의의 개수의 이러한 컴포넌트를 포함할 수 있다.

[0215] 모듈 또는 컴포넌트(2506) 및 컴포넌트(2508 및 2511)는, 개략적으로 과선으로 묘사된 공통 하우징(2501) 내에 탑재될 수 있고, 필요에 따라 서로 전기적으로 상호접속되어 원하는 회로를 형성할 수 있다. 하우징(2501)은, 예를 들어 셀룰러 전화기 또는 개인 휴대정보 단말기 내에서 사용가능한 타입의 휴대용 하우징으로서 묘사되며, 스크린(2510)은 하우징의 표면에서 노출될 수 있다. 구조(2506)가 이미징 칩과 같은 광-감응 소자를 포함하는 실시예에서는, 렌즈(2511) 또는 다른 광학적 디바이스가 광을 그 구조로 라우팅하기 위하여 역시 제공될 수 있다. 다시 말하건대, 도 31 에 도시된 단순화된 시스템은 단순히 예시적인 것이다; 공통적으로 고정된 구조라고 간주되는 시스템을 포함하는 다른 시스템, 예컨대 데스크탑 컴퓨터, 라우터 등도 위에서 논의된 구조를 사용하여 제작될 수 있다.

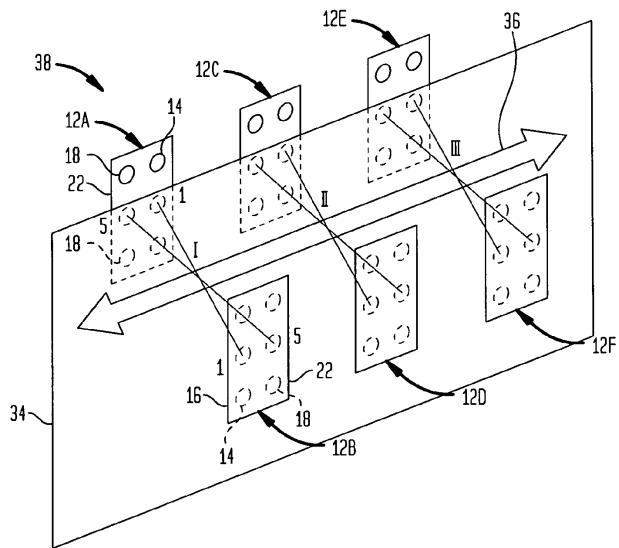
[0216] 위에서 설명된 본 발명의 실시예의 다양한 피쳐는 본 발명의 범위 또는 사상에서 벗어나지 않으면서 위에서 특정하게 설명된 바와 다른 방식으로 결합될 수 있다. 본 개시물이 위에서 설명된 본 발명의 실시예 모든 이러한 조합 및 변형예를 커버하게 하는 것이 의도된다.

도면

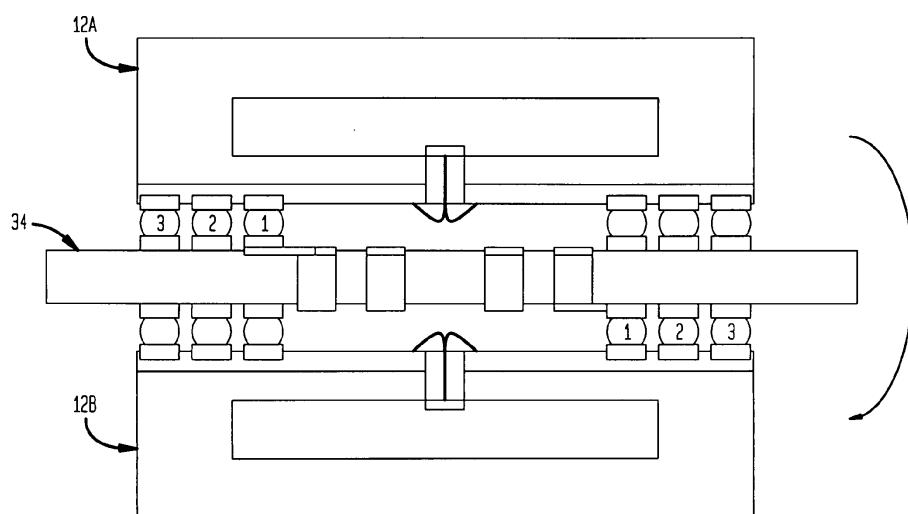
도면1



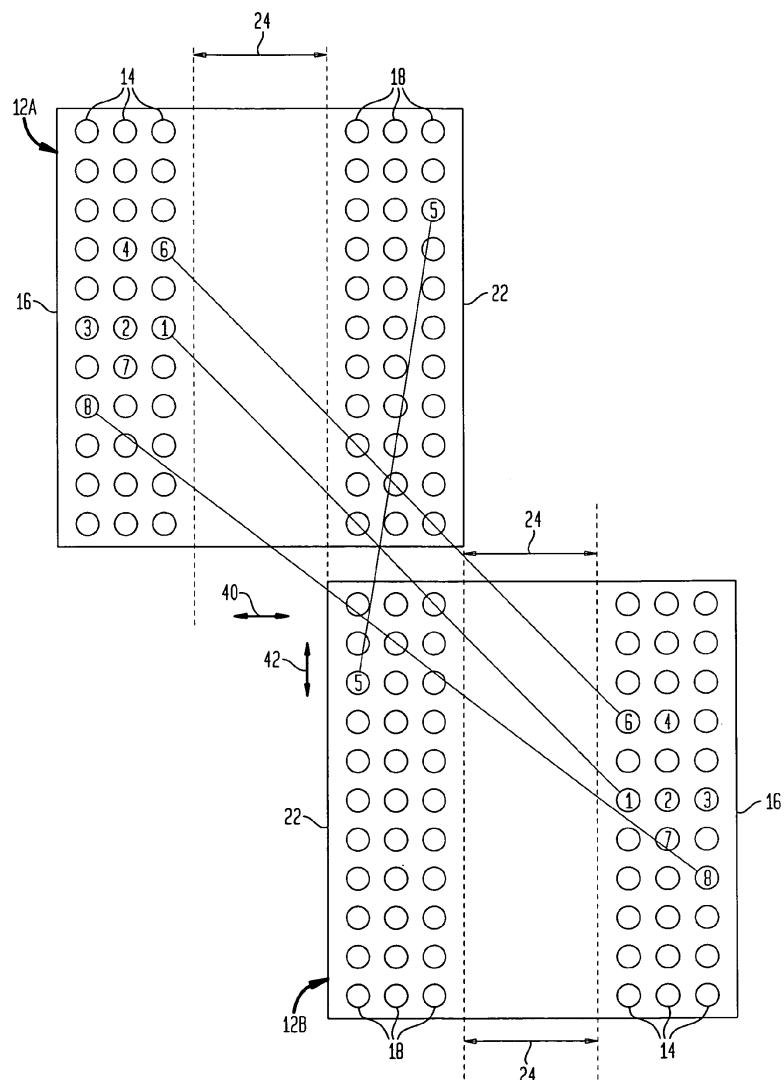
도면2



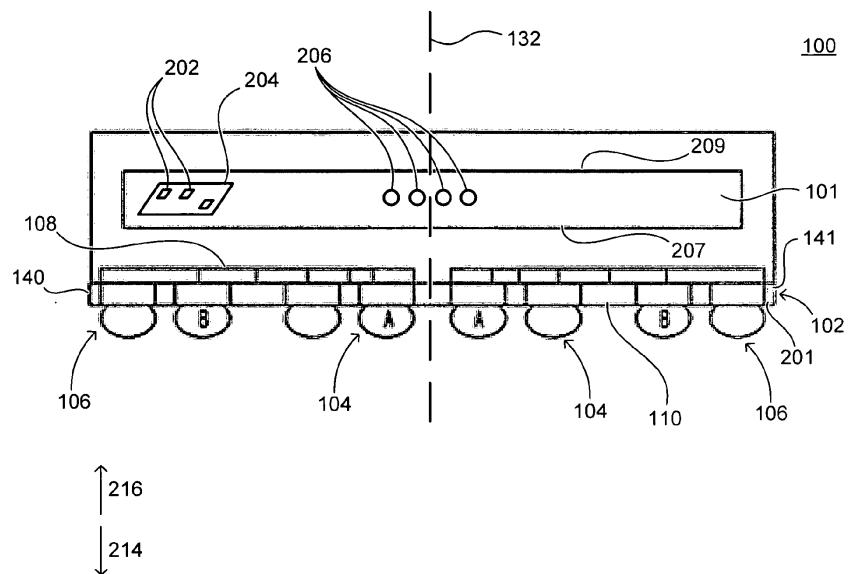
도면3



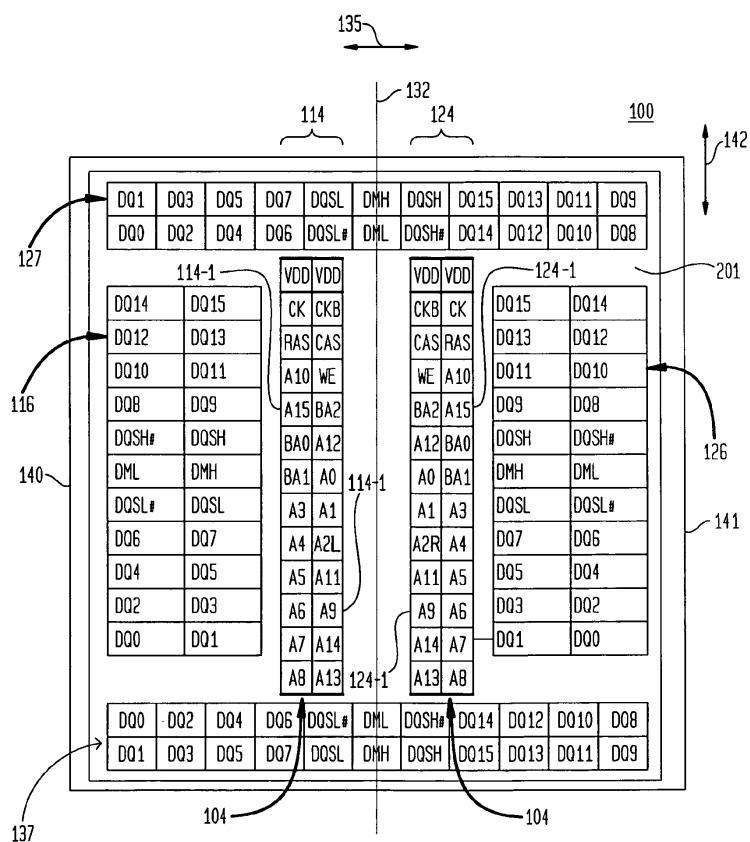
도면4



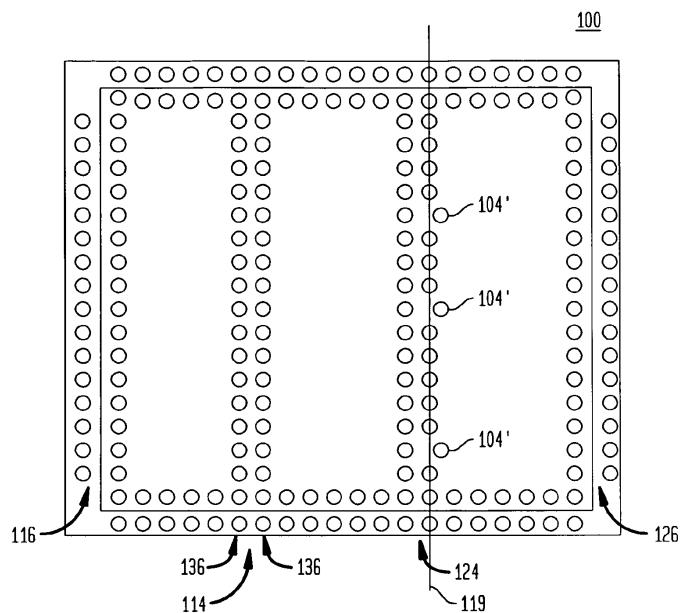
도면5



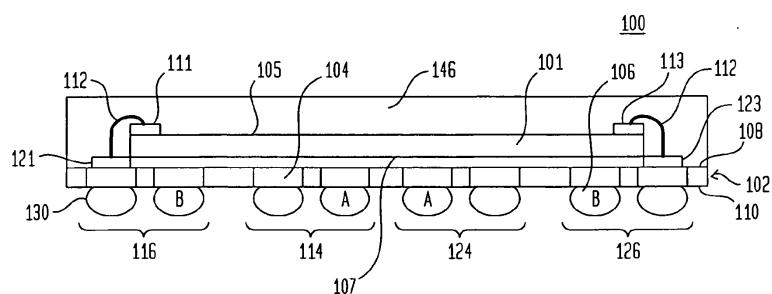
도면5a



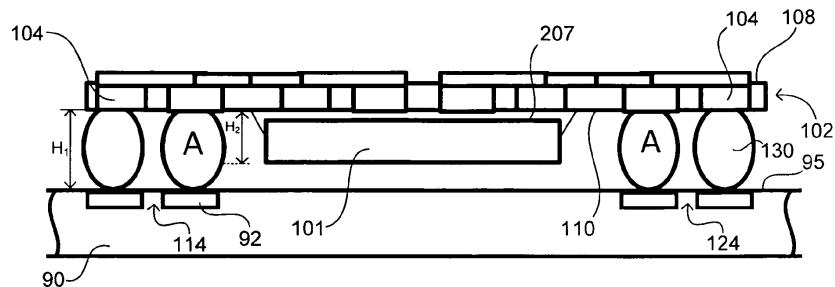
도면5b



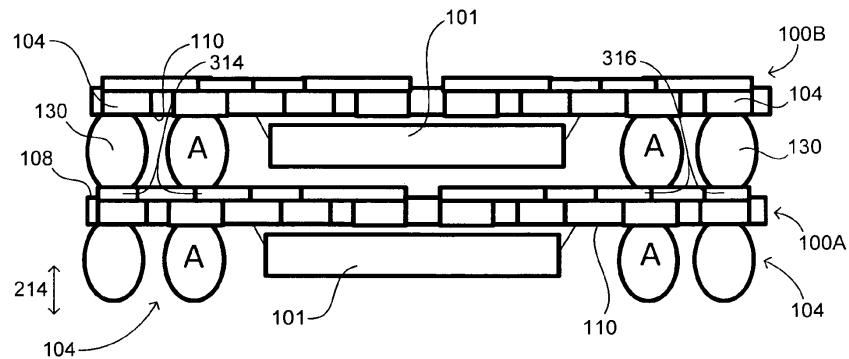
도면5c



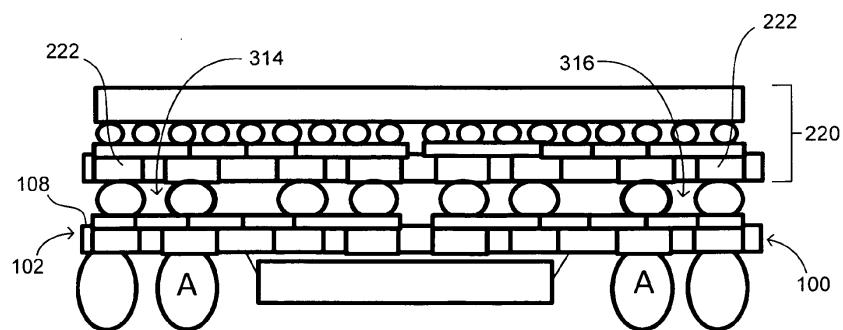
도면5d



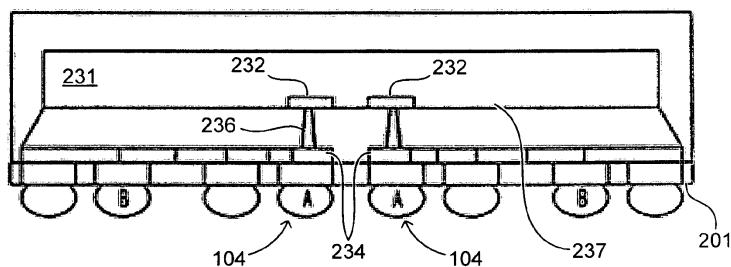
도면5e



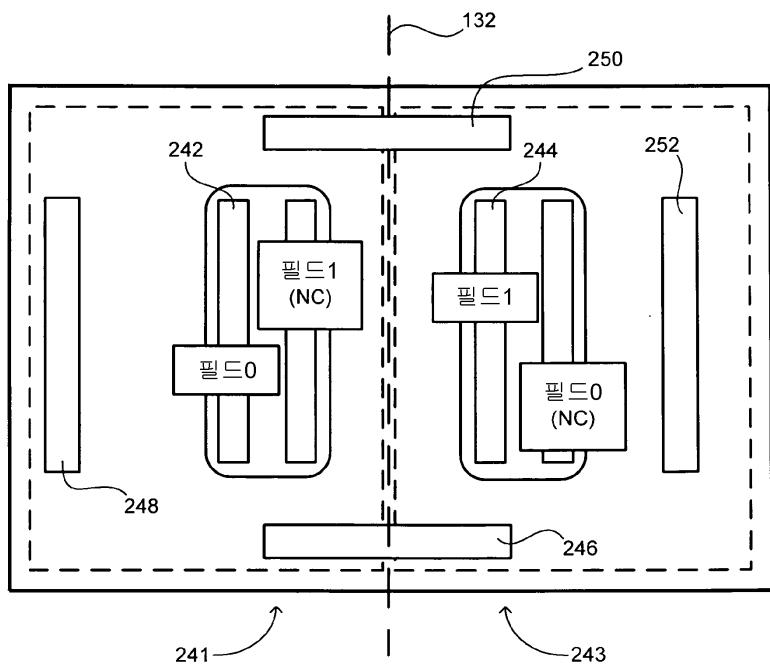
도면5f



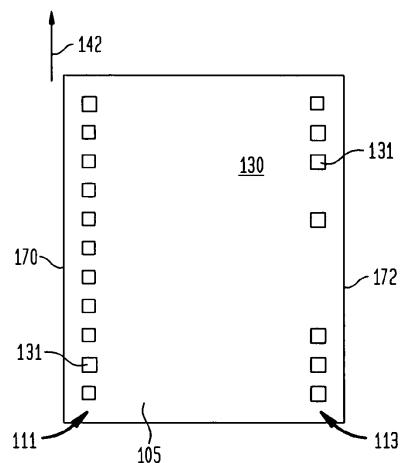
도면5g

230

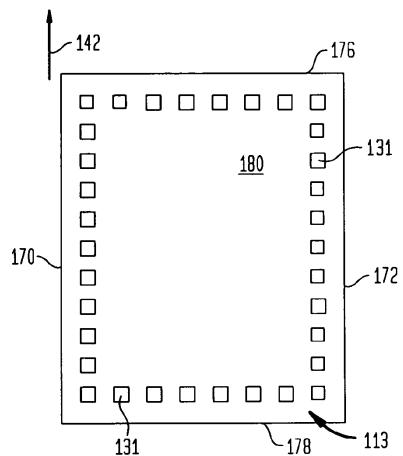
도면5h



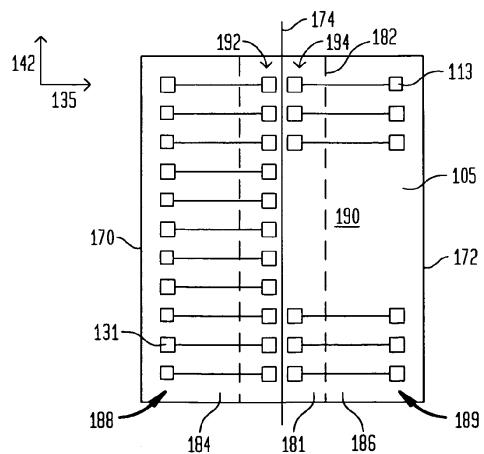
도면6a



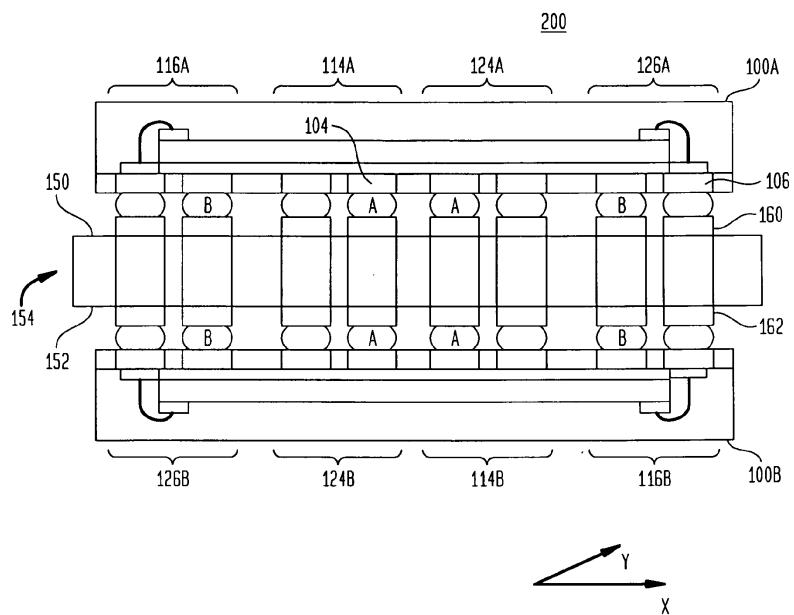
도면6b



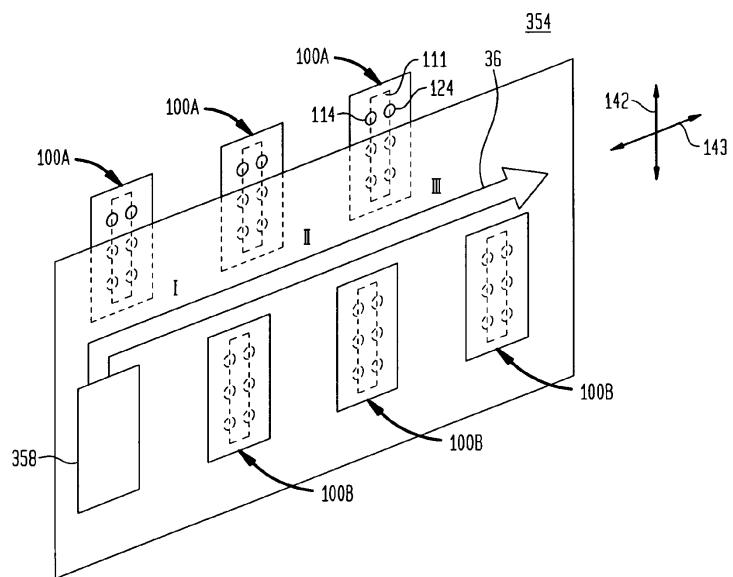
도면6c



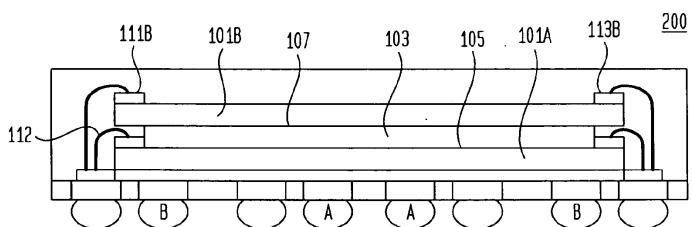
도면7a



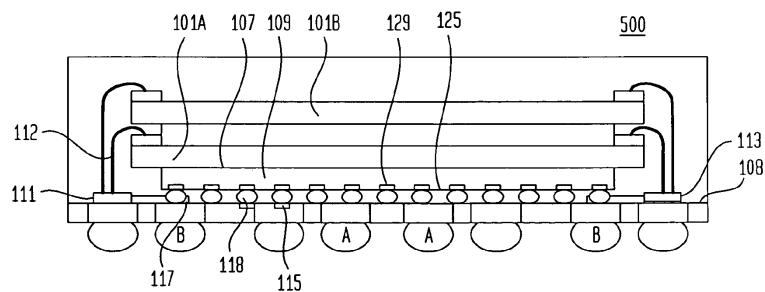
도면7b



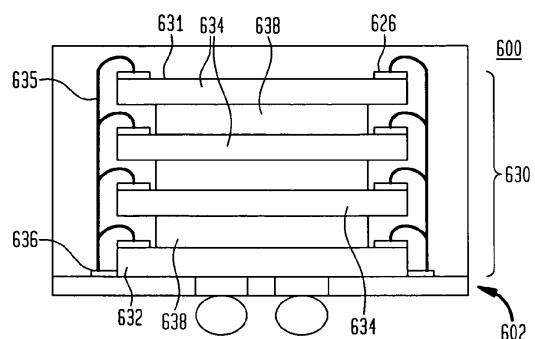
도면8



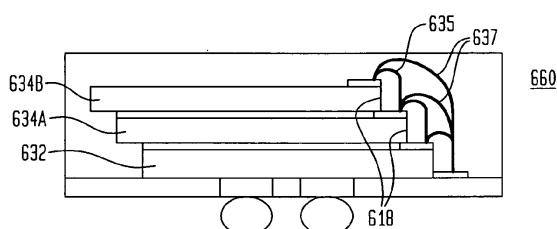
도면9



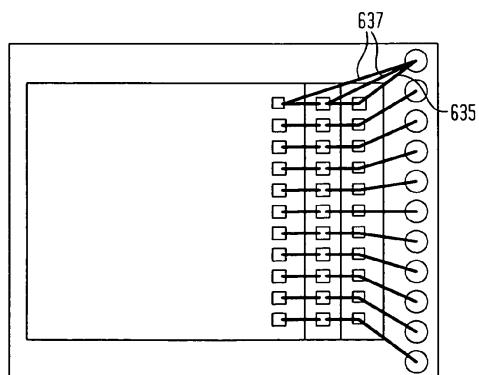
도면10



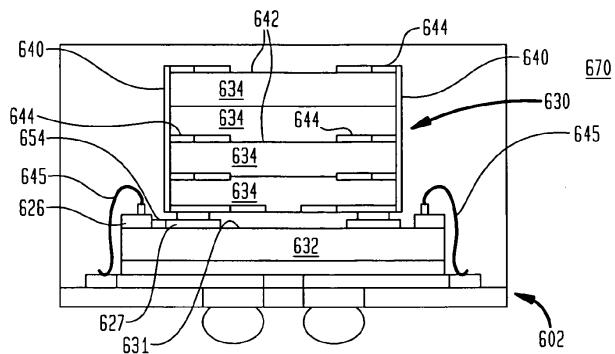
도면11



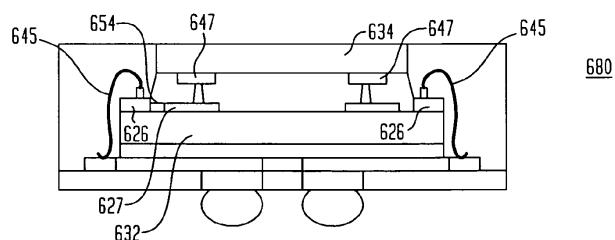
도면12



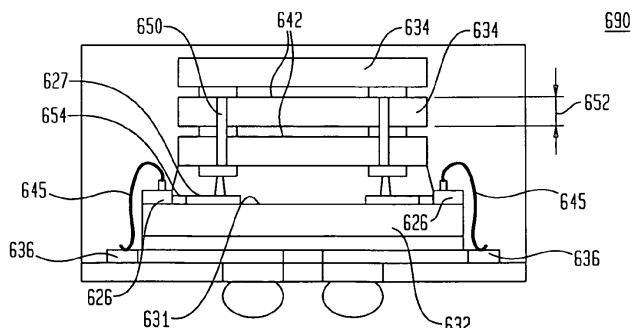
도면13



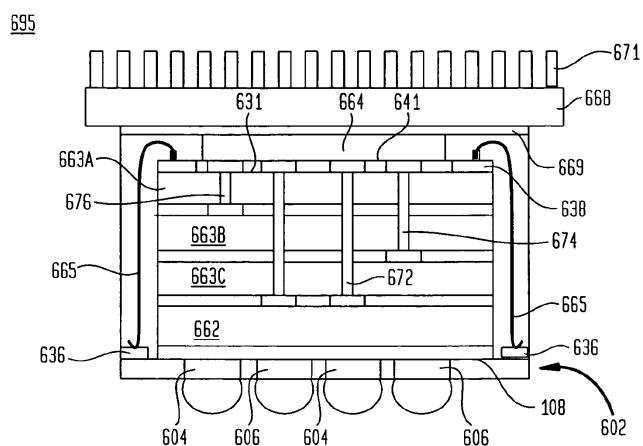
도면14



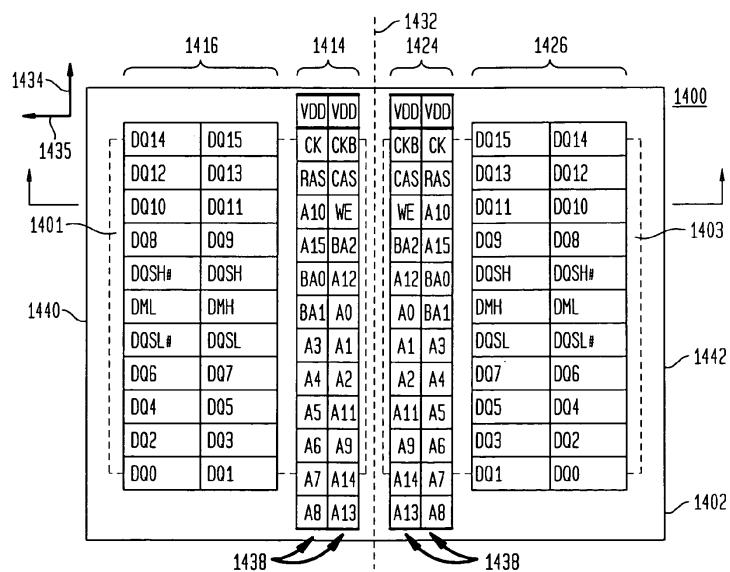
도면15a



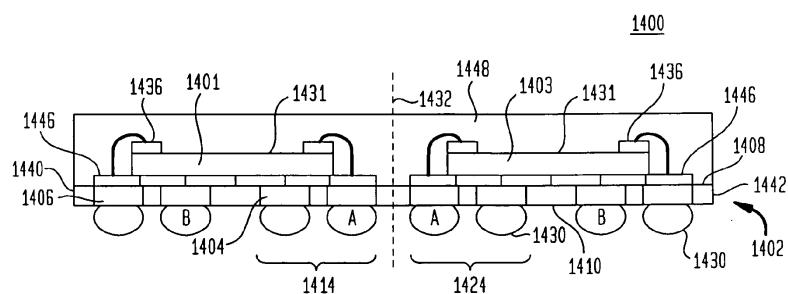
도면15b



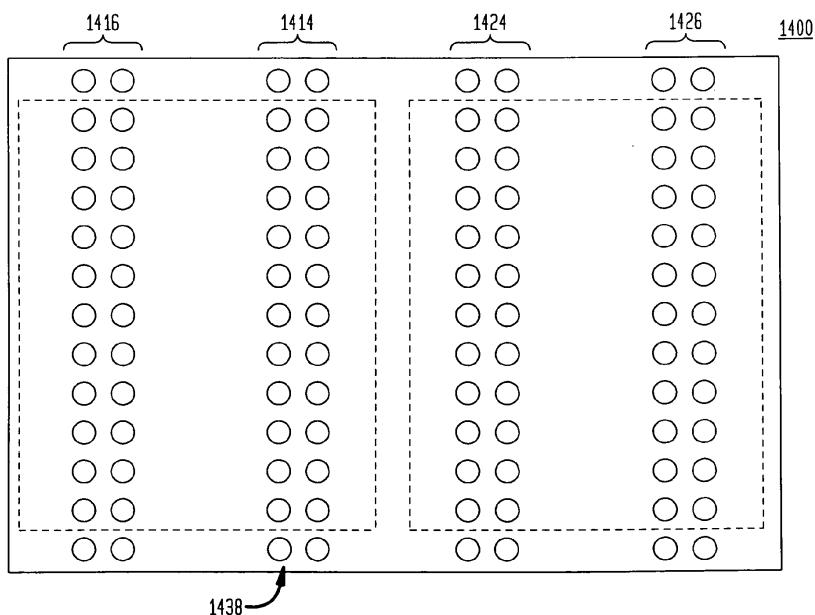
도면16



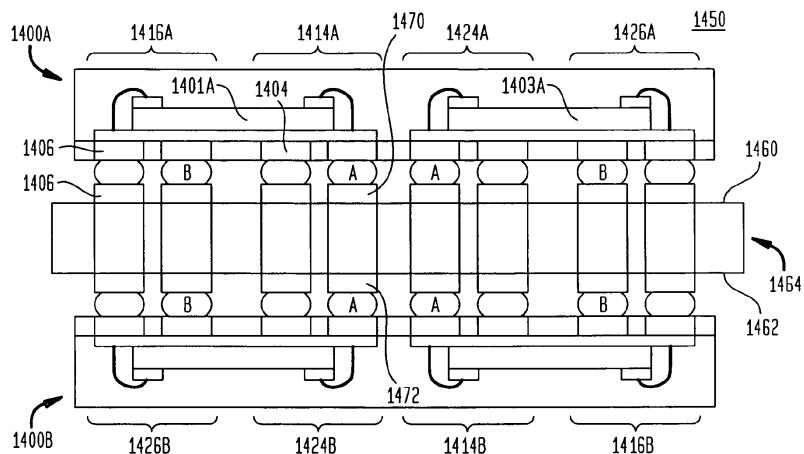
도면17



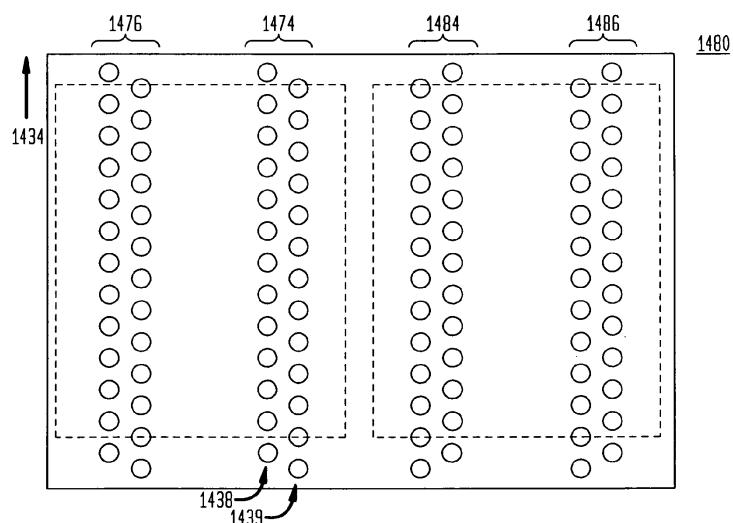
도면18



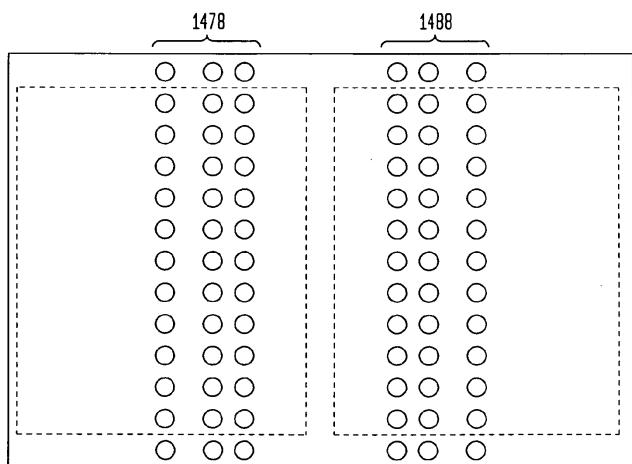
도면19



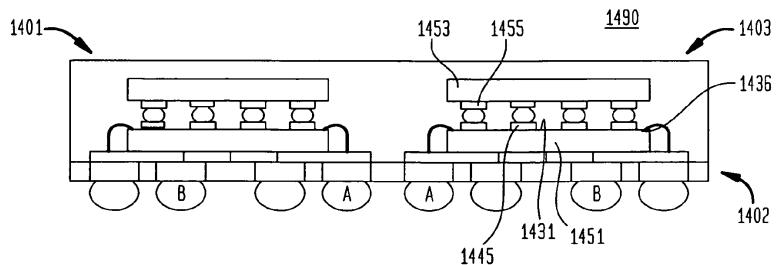
도면20



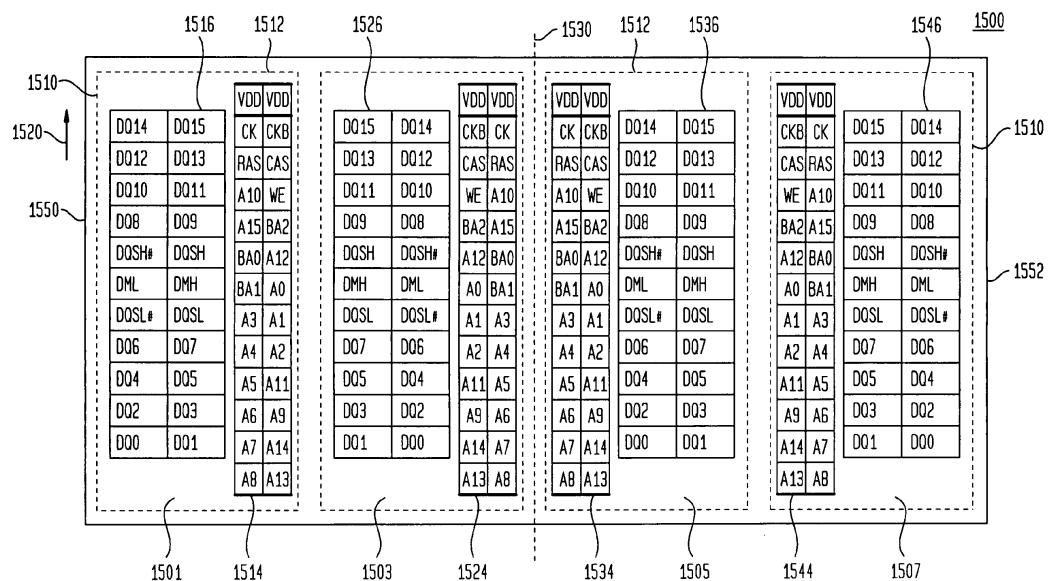
도면21



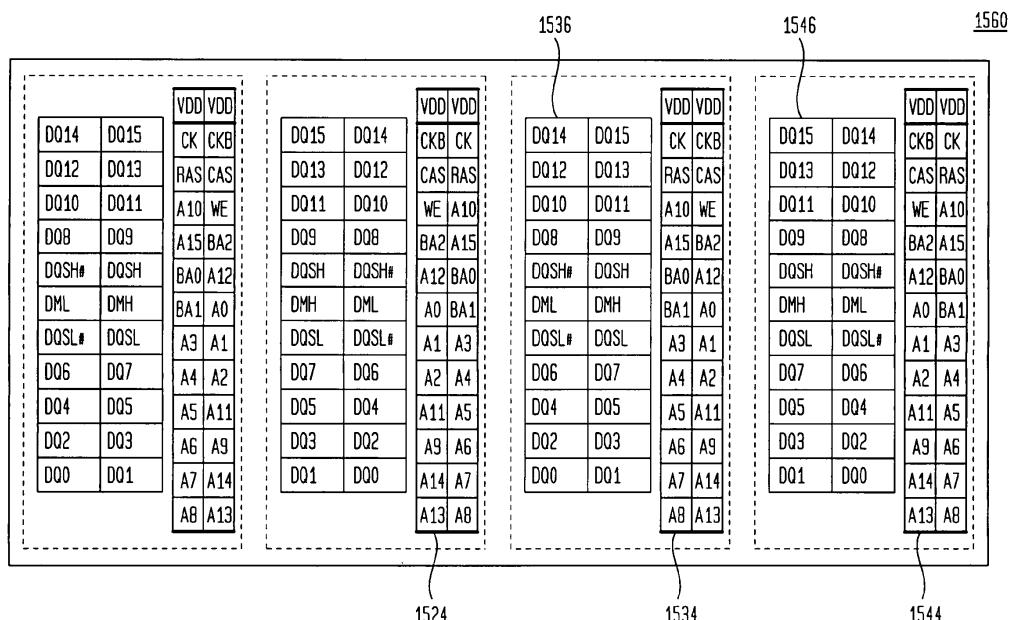
도면22



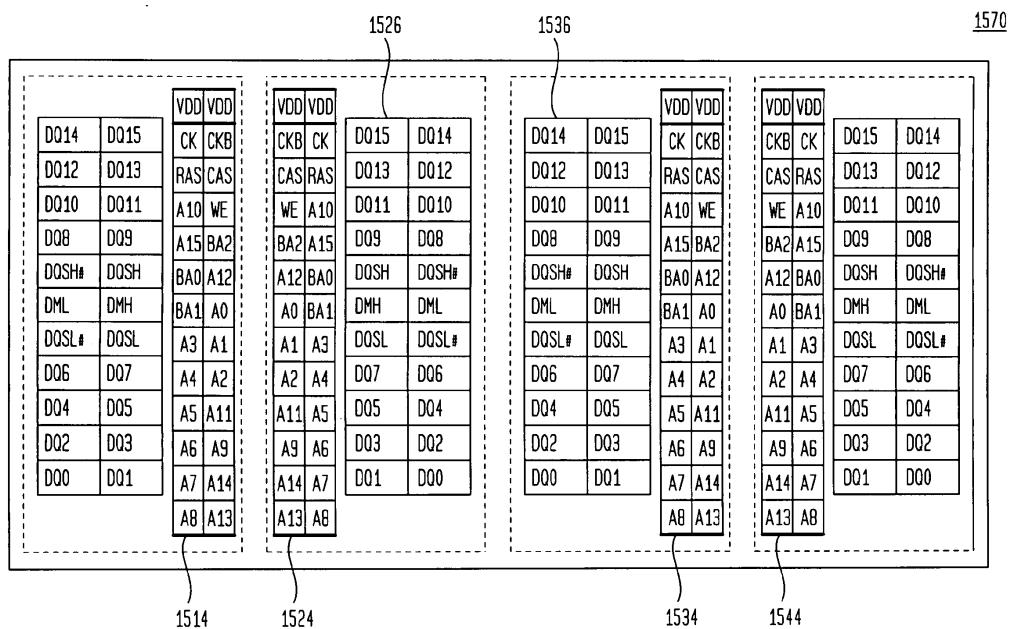
도면23



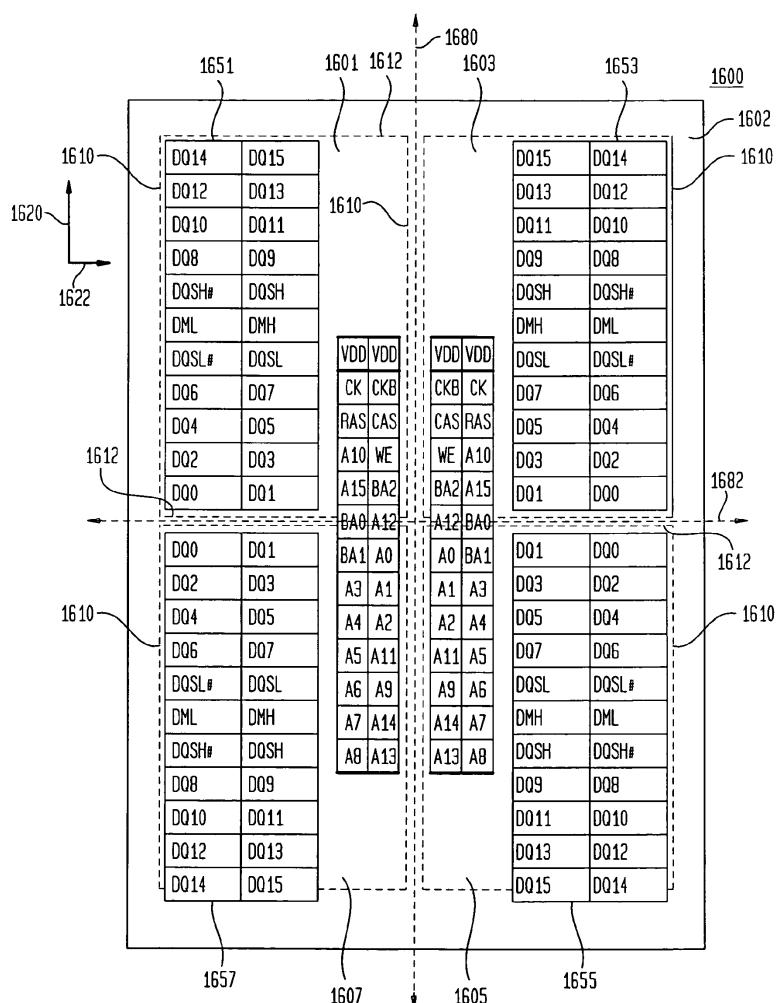
도면24



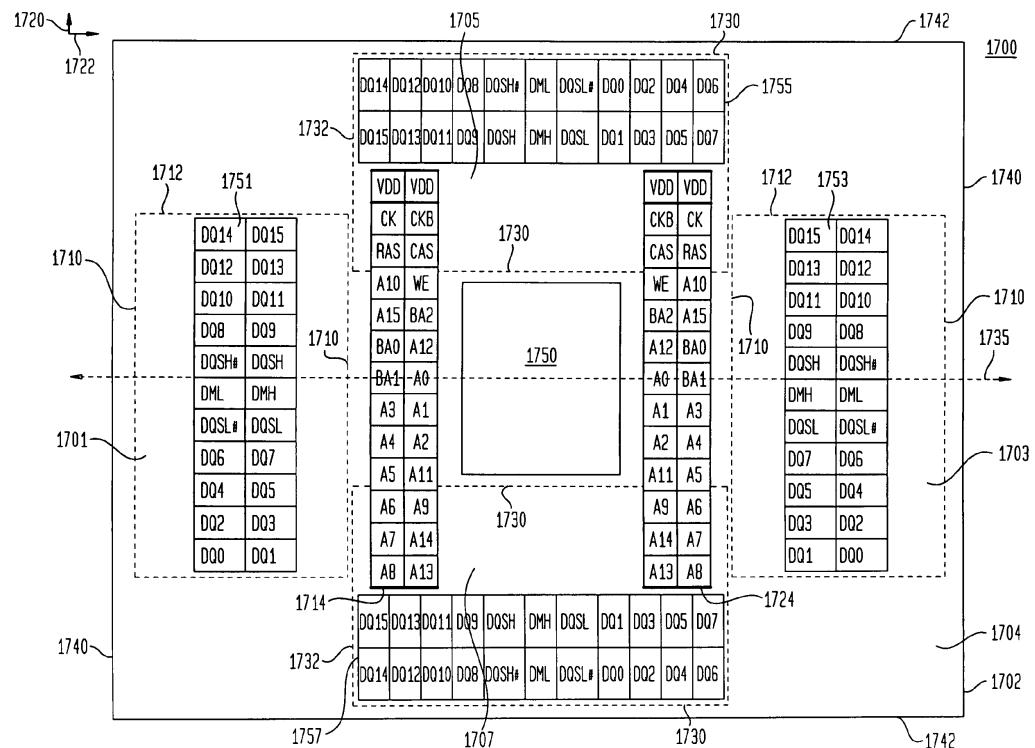
도면25



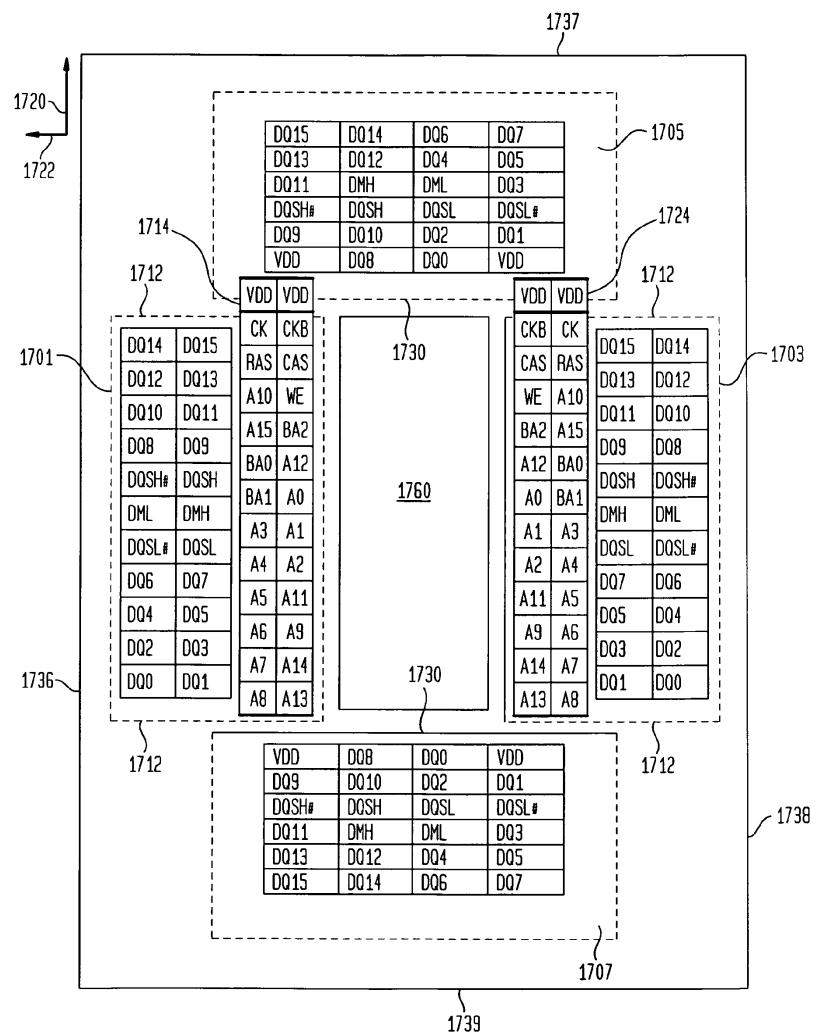
도면26



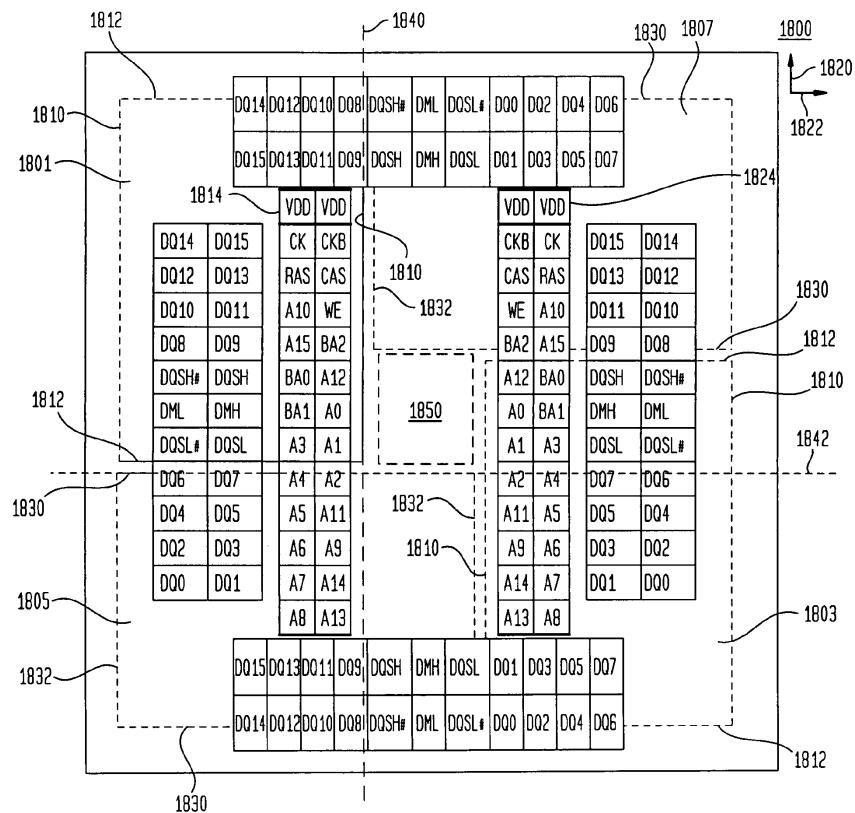
도면27



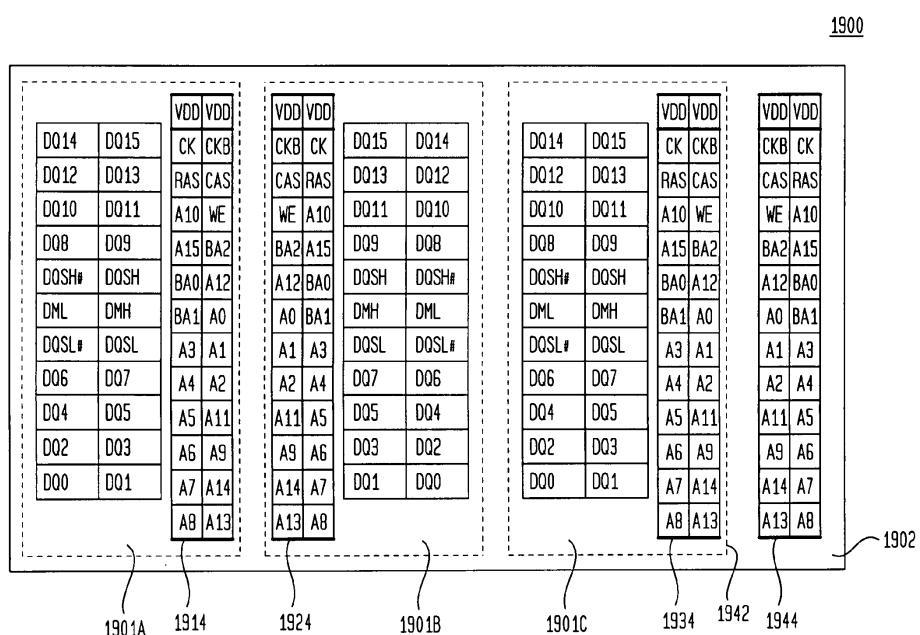
도면28



도면29



도면30



도면31

