

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5380306号
(P5380306)

(45) 発行日 平成26年1月8日(2014.1.8)

(24) 登録日 平成25年10月4日(2013.10.4)

(51) Int. Cl.		F I	
HO 1 L 21/20	(2006.01)	HO 1 L 21/20	
HO 1 L 21/205	(2006.01)	HO 1 L 21/205	
B 3 2 B 9/00	(2006.01)	B 3 2 B 9/00	A
B 3 2 B 18/00	(2006.01)	B 3 2 B 18/00	A
HO 1 L 21/02	(2006.01)	HO 1 L 27/12	B

請求項の数 11 (全 11 頁) 最終頁に続く

(21) 出願番号	特願2009-549858 (P2009-549858)	(73) 特許権者	507088071 ソイテック
(86) (22) 出願日	平成20年1月28日(2008.1.28)		フランス 38190 ベルナン パルク テクノロジー デ フォンティエヌ シュマン デ フランク (番地なし)
(65) 公表番号	特表2010-519741 (P2010-519741A)	(74) 代理人	100077481 弁理士 谷 義一
(43) 公表日	平成22年6月3日(2010.6.3)	(74) 代理人	100088915 弁理士 阿部 和夫
(86) 国際出願番号	PCT/IB2008/000201	(72) 発明者	ファブリス レテュルトル フランス エフ-38240 メイラン シュマン デ ブクロ 40
(87) 国際公開番号	W02008/099246		審査官 河合 俊英
(87) 国際公開日	平成20年8月21日(2008.8.21)		最終頁に続く
審査請求日	平成23年1月28日(2011.1.28)		
(31) 優先権主張番号	0753260		
(32) 優先日	平成19年2月14日(2007.2.14)		
(33) 優先権主張国	フランス (FR)		

(54) 【発明の名称】 多層構造及びその製造プロセス

(57) 【特許請求の範囲】

【請求項 1】

多層構造を製造するためのプロセスであって、

- a) シリコン基板(1)上で成長層(2)をエピタキシャル成長するステップと、
 - b) 前記成長層(2)において少なくとも1つのパターン(20)を形成するステップと、
 - c) 前記シリコン基板(1)上に酸化層(3)を堆積するステップと、
 - d) シリコン活性層(41)を前記酸化層(3)上へ転移するステップと、
 - e) 各パターン(20)の上の前記シリコン活性層(41)及び前記酸化層(3)内にキャビティ(12)を形成するステップと、
 - f) III-V族の物質の前記キャビティ(12)を前記成長層(2)の各々の暴露されたパターン(20)から成長させるステップと
- を少なくとも備えることを特徴とするプロセス。

【請求項 2】

ステップ b) において、各パターン(20)は、前記成長層に適合される開口マスク(10)を介して前記成長層(2)をケミカルエッチングすることによって製造されることを特徴とする請求項 1 に記載のプロセス。

【請求項 3】

ステップ e) において、前記キャビティ(12)は、前記シリコン活性層(41)と前記酸化層(3)とを前記シリコン活性層に適合される開口マスク(11)を介してケミカ

ルエッチングすることによって製造され、前記マスクは前記成長層(2)の各パターン(20)に関して整列されることを特徴とする請求項1又は2に記載のプロセス。

【請求項4】

ステップd)において、前記シリコン活性層(41)は、SOI構造(4)を結合することによって前記酸化層(3)上へ転移され、前記SOI構造(4)のベース基板(43)は、結合後に除去されることを特徴とする請求項1から3のいずれかに記載のプロセス。

【請求項5】

前記シリコン基板(1)は、配向ミス(misoriented)シリコン基板であることを特徴とする請求項1から4のいずれかに記載のプロセス。

10

【請求項6】

前記成長層(2)は、ゲルマニウム層であることを特徴とする請求項1から5のいずれかに記載のプロセス。

【請求項7】

ステップb)の後及びステップc)の前に、転位が各パターンの端に対して移動することを可能にするために、及び転位を消滅(annihilation)するために少なくとも1つの熱処理ステップをさらに含むことを特徴とする請求項6に記載のプロセス。

【請求項8】

前記III-V族の物質は、ヒ化ガリウム(GaAs)、AlGaAs及びInGaAsのうちの少なくとも1つから選択されることを特徴とする請求項6又は7に記載のプロセス。

20

【請求項9】

前記成長層は、窒化アルミニウム層であることを特徴とする請求項1から5のいずれかに記載のプロセス。

【請求項10】

前記III-V族の物質は、GaN、AlGaN、InGaN及びZnGaNのうちの少なくとも1つから選択されることを特徴とする請求項9に記載のプロセス。

【請求項11】

シリコン基板(1)と、
III-V族の物質の成長層(2)における少なくとも1つのパターン(20)と、
前記シリコン基板(1)上に堆積された酸化層(3)と、
前記酸化層(3)上に転移されたシリコン活性層(41)とを備え、
各パターン(20)の上の前記酸化層(3)及び前記シリコン活性層(41)内にキャビティ(12)が形成されており、前記キャビティはIII-V族の物質(5)で満たされることを特徴とする多層構造。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子的、光電子的及び/又は電力的コンポーネント/機能性を統合することを容易にする多層複合構造の製造プロセスに関する。

40

【背景技術】

【0002】

1つ及び同じ基板(platform)上で、MOS型の電子的コンポーネント(例えば、CMOS回路)及びIII-V族の電子的、光電子的及び/又は電力的コンポーネント(例えば、トランジスタ又は光源/光学検波器)を統合するための構造の製造は、同じ基板上で、MOS型電子的コンポーネントの製造を可能にする高い結晶品質の単結晶シリコン層と、III-V族の電子的、光電子的及び/又は電力的コンポーネントの製造のためのIII-V族の物質(GaAs、InP及びそれらの合金)とを組み合わせる機能に依存している。

【0003】

50

これらの層を製造する十分な方法を見つけるために多くの技術が研究チームによって研究されてきた。

【0004】

CVD (化学気相蒸着; Chemical Vapor Deposition) 技術又はMBE (分子線エピタキシー; Molecular Beam Epitaxy) 技術によるシリコン上でのIII-V族の物質 (GaAs、InP、合金等) の直接エピタキシャル成長は、しかしながら、結晶品質 (突発的な転位、逆位相領域、点欠陥等の問題) に関してよい結果を得ずに、ここ10年以上研究されてきた。

【0005】

他の周知の技術によると、例えば、非特許文献1の文書に説明されているように、これらの膜の固有の結晶品質を著しく損なわずに、シリコン基板上へInP又はGaAs物質の単結晶薄膜を物理的に転移することが可能である。この膜転移は、周知のSmart-Cut (登録商標) 技術を使用して実行され、特に、特許文献1又は非特許文献2の文書で説明されている実装例である。

10

【0006】

さらに、同じ力学的基板 (mechanical platform) 上でシリコンとIII-V族の物質とを統合するために成長技術と膜転移技術とを組み合わせることが可能であることが実証された。

【0007】

実装の第1の方法によると、GaAsドナー基板を有することなく、直径200mmのシリコンウエハ上でGaAsを得る一つの方法は、単結晶ゲルマニウム (Ge) 基板上でGaAsを成長させることから成る。ゲルマニウム上でGaAsを成長させることは、これらの2つの物質間の非常に小さな格子定数の不整合による非常に高い結晶品質の薄膜を得ることを可能にする。しかしながら、これらのバルク基板のコスト及び力学的脆弱性のために、シリコン上のゲルマニウム薄膜 (GaAs及びInPなど) を転移し、次いでGaAsの結晶成長を実行することにより有利である。このようにして得られたGaAsは、バルクGaAs基板上のGaAsエピタキシャル成長と同等の品質を有する。

20

【0008】

GeOI構造 (中間絶縁膜を有するシリコン上のゲルマニウム) は、大きな直径、すなわち最大200mmの直径を実現した。今までで、これがシリコンとGaAsとを組み合わせるための最も直接的な方法である。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】米国特許第5374564号明細書

【特許文献2】米国特許第6645829号明細書

【特許文献3】米国特許第6677655号明細書

【特許文献4】米国特許出願第2004/0252931号明細書

【非特許文献】

【0010】

【非特許文献1】“Transfer of 3 in GaAs film on silicon substrate”, Electronic Letters, February 19, 1998, Vol. 34, No. 4, pp.408-409

【非特許文献2】“Why can Smart-Cut change the future of microelectronics?”, A. J. Auberton-Herve et al., International Journal of High-speed Electronics and systems, Vol. 10, No.1, 2000, pp.131-146

【非特許文献3】“High-quality Ge epilayers on Si with low threading-dislocation densities”, Luan et al., APL 75 No, 19, November 1999, pp. 2909-2911

【発明の概要】

【発明が解決しようとする課題】

【0011】

40

50

しかしながら、本発明において対象とされる用途に関して、すなわちシリコン及びIII-V族の物質上のマイクロ電子的、光電子的及び/又は電力的機能の統合に関して、この構造は、実現しうる最高のものではない。これは構造を転移されたGaAs/Geのエピタキシャル成長を用いるためであって、それら上に回路を作成するために局所的にシリコンを暴露する必要が第1にあるため、シリコン支持基板上にCMOSコンポーネントを製造することは困難である。

【0012】

この技術を実装する第2の方法によると、表面CMOSコンポーネントのためのシリコン活性層及びシリコン層の下の光学的な活性層を有する構造は、従って、これらの欠点を克服するために開発されてきた。

10

【0013】

従って、特許文献2及び特許文献3の文書は、[Si基板/SiO₂酸化物/Ge層/Si層]又は他に[Si基板/SiO₂酸化物/Si層/Ge層/SiO₂酸化物/Si層]などの埋め込み活性光学層を含む構造の製造を説明する。

【0014】

しかしながら、このタイプのそのような構造において、光学的な活性層は、このシリコン層を製造するために用いられる製造方法(エピタキシー又は結合形成)に依存して、より良い又はより悪い品質のシリコン層と常に直接接触している。

【0015】

さらに、特許文献3の文書は、多層モノリシック電子素子を結合することによって多層構造を形成することを提案する。多層モノリシック電子素子は、他の基板上に、電子的な活性層及び光学的な活性層を含み、電子的及び光学的層は場合によっては支持基板上に転移されたSOI層となる。

20

【課題を解決するための手段】

【0016】

上記の欠点を回避するために、本発明は、均一的にIII-V族の物質とシリコン活性層を統合する一方で、生産量を向上させるために、同時に必要とされるステップの数を簡略化する多層構造を製造する解決策を提案する。

【0017】

この目的のために、本発明は、多層構造を製造するためのプロセスであって、a)シリコン基板上で成長層をエピタキシャル成長するステップと、b)成長層において少なくとも1つのパターンを形成するステップと、c)シリコン基板上に酸化層を堆積するステップと、d)シリコン層を酸化層上へ転移するステップと、e)各パターンの上のシリコン層及び酸化層内にキャビティを形成するステップと、f)III-V族の物質のキャビティを成長層の各々の暴露されたパターンから成長させるステップとを少なくとも備えるプロセスに関する。

30

【0018】

本発明のプロセスは、表面上に直接、MOSコンポーネントのための活性シリコン層と、電子的、光電子的及び/又は電力コンポーネントのためのIII-V族の物質の島との両方を備える。この構造はさらに、特に本発明のプロセスが全体の製造サイクルを介して転移された単一の層だけを含むという事実によって、従前の技術を用いるよりもより簡単に製造される。

40

【0019】

本発明の1つの態様によると、ステップb)において、各パターンは、成長層に適合される第1の開口マスクを介して成長層をケミカルエッチングすることによって製造される。パターンの数及び形態は、可変とすることができる。複数のパターンを形成する場合において、これらは、互いに離れて均一に間隔を空けることが好ましい。

【0020】

本発明の他の態様によると、ステップe)において、キャビティはシリコン活性層と酸化層とをシリコン活性層に適合される第2の開口マスクを介してケミカルエッチングする

50

ことによって製造され、マスクは成長層の各パターンに関して整列される。

【0021】

ステップd)において、シリコン活性層は、SOI構造を結合することによって酸化層上へ転移され、SOI構造のベース基板は、結合後に除去される。

【0022】

好ましくは、シリコン基板は、排他的でないが、配向ミス(misoriented)シリコン基板である。

【0023】

成長層は、ゲルマニウム層とすることができ、III-V族の物質は、少なくともヒ化ガリウム(GaAs)、AlGaAs及びInGaAsから選択された物質とすることができる。

10

【0024】

さらに、成長層は、アルミニウム窒化物層(AlN)とすることもできる。この場合において、III-V族の物質は、少なくともGaN、AlGaN、InGaN及びZnGaNから選択された物質とすることができる。

【0025】

本プロセスは、ステップb)の後及びステップc)の前に、転位が各パターンの端に対して移動することを可能にするために、及び転位を消滅(annihilation)することを可能にするために、少なくとも1つの熱処理ステップをさらに含むことができる。

【0026】

20

本発明は、シリコン基板と、III-V族の物質の成長層における少なくとも1つのパターンと、シリコン基板上の酸化層と、シリコン酸化層上のシリコン活性層とを備え、酸化層及びシリコン活性層は、成長層の各パターンの上にキャビティを有し、キャビティはIII-V族の物質で満たされる、多層構造にも関する。

【図面の簡単な説明】

【0027】

本発明の特徴及び利点は、添付の図面と併せて、限定されない表示の目的で与えられる以下の説明からより明らかになるであろう。

【図1A】本発明の一実装方法にかかる多層構造の製造を示す概略断面図である。

【図1B】本発明の一実装方法にかかる多層構造の製造を示す概略断面図である。

30

【図1C】本発明の一実装方法にかかる多層構造の製造を示す概略断面図である。

【図1D】本発明の一実装方法にかかる多層構造の製造を示す概略断面図である。

【図1E】本発明の一実装方法にかかる多層構造の製造を示す概略断面図である。

【図1F】本発明の一実装方法にかかる多層構造の製造を示す概略断面図である。

【図1G】本発明の一実装方法にかかる多層構造の製造を示す概略断面図である。

【図1H】本発明の一実装方法にかかる多層構造の製造を示す概略断面図である。

【図1I】本発明の一実装方法にかかる多層構造の製造を示す概略断面図である。

【図1J】本発明の一実装方法にかかる多層構造の製造を示す概略断面図である。

【図1K】本発明の一実装方法にかかる多層構造の製造を示す概略断面図である。

【図2】図1Aから図1Kにおいて実装されるステップのフローチャートを示す図である

40

【発明を実施するための形態】

【0028】

本発明は、一般的に多層構造の製造に適用し、好ましくはウエハの形成において、シリコン技術に基づくマイクロ電子回路上のIII-V族の物質に基づく電子的コンポーネント(例えば、FET、MOSFET又はHBTトランジスタ)、光電子的コンポーネント(例えば、光源/光学検波器)及び/又は電力コンポーネント(例えば、HEMT(高電子移動度トランジスタ; high electron mobility transistor)の容易な統合を可能にする。このタイプの回路は、例えば論理機能及び/又はアナログ機能、メモリ機能などのシリコン技術において通常用いられる全てのコンポーネントを備えることができる。

50

【0029】

この目的のために、本発明の多層構造は、活性シリコン表面層及びこのシリコン層から現れるIII-V族の物質の1つ又は複数の島を含む。

【0030】

本発明の一実施形態にかかる多層構造を製造するための1つのプロセスは、図1Aから1K及び図2を参照してここで説明されることになる。

【0031】

第1のステップは、エピタキシャル成長によって、シリコン基板1（ステップS1、図1A）上のゲルマニウム層2を形成することからなる。ゲルマニウム層2は、成長層と対応する、すなわちIII-V族の物質が選択的なエピタキシャル再成長によって次々に形成されることになる核生成成長又はシード層と対応する。エピタキシャル成長は周知の技術であり、結果的に詳しく説明されないであろう。

10

【0032】

このように形成されたゲルマニウム層2は、約100ナノメートルから10ミクロンの間の厚さを有し、約 $1 \times 10^6 / \text{cm}^2$ から $1 \times 10^8 / \text{cm}^2$ の間の転位密度を有する。

【0033】

シリコン基板1は、配向シリコン基板（結晶軸及び（100）面法線は整列される）又は配向ミスシリコン基板（結晶軸と（100）面法線との間で「ミスカット（miscut）」又は「オフカット（offcut）」とも呼ばれる角度がある）から形成することができる。好ましくは、基板1は、必要ではないが、エピタキシャル成長層が非常に少ない欠陥で得られることを可能にするような配向ミスシリコン基板である。

20

【0034】

第2のステップは、ゲルマニウム層2から1つ又は複数のゲルマニウムパターンを形成することからなる。ここで説明される例において、マスク10は、例えば、リソグラフィ（ステップS2、図1B）によって、ゲルマニウム層2上に適合され、その後、マスク10の開口を介して暴露されたゲルマニウム層2のこれらの部分がケミカルエッチングされる（ステップS3、図1C）。エッチングが完了してマスクが除去されると、図1Cに示されるように、ゲルマニウムパターン20はシリコン基板1上に残る。

【0035】

ここで説明される例において、単一のゲルマニウムパターンのみが形成される。しかしながら、本発明によると、いくつかのパターンを成長層から形成することができる。同様に、各パターンは、特定の形態に限定されない。パターンは、必要に応じて、任意の形態（四角、丸、環状など）とすることができる。1つ又は複数のパターンの形成は、例えば、プラズマエッチング又はイオンエッチングなどの他のエッチング技術を使用してさらに得ることができる。

30

【0036】

いくつかのパターンが形成されるとき、これらはシリコン基板1上で離れて均一に間隔を空けることが好ましい。ゲルマニウムパターン20を有するシリコン基板1は、消滅に続くパターンの端に対して移動する転位によってパターン20で全ての転位を実質的に除去するための熱循環をさらに経ることができる（ステップS4）。そのような熱循環は例えば非特許文献3に説明される。この循環は、800から1000の温度で、数十分から数時間実行される。いくつかの熱循環が何回か必要となる場合がある。

40

【0037】

次に、厚い酸化結合層3は、シリコン基板1及びゲルマニウムパターン20上に堆積される（ステップS5、図1D）。ゲルマニウム層3がパターン付けされない場合（すなわちパターンが形成されない）、酸化結合層は、例えば数百ナノメートルの厚さを有する SiO_2 層である。そうでなければ、 SiO_2 層は、形成されたゲルマニウムパターンの高さの約3倍の厚さを有する。酸化結合層3は、例えばCMP（化学機械研磨；chemical mechanical polishing）によって平坦化される（ステップS6）。

【0038】

50

その後、SOI構造4は、酸化結合層3の表面上に結合される(ステップS7、図1E)。SOI構造4は、周知のように、シリコン基板43と、埋め込み酸化(SiO₂)層42と、シリコン活性層41とを備える。すなわち、高い結晶品質の単結晶シリコン層であって、MOS電子的コンポーネントの製造を可能にする。そのようなSOI(シリコンオンインシュレータ; silicon-on-insulator)構造を、周知の用法において、Smart Cut(登録商標)技術を用いて製造することができる。Smart Cut(登録商標)技術は、基板に弱い領域を形成するために第1の酸化シリコン層にガス種(H、Heなど、別々に又は組み合わせて)を注入して、ドナーシリコンウエハを定めるステップと、例えば分子付着(molecular adhesion)によって、第1のシリコン基板を上記で説明されたように準備された支持基板に対応する第2のシリコン基板に結合するステップと、注入するステップによって弱い領域でドナーシリコンウエハを(熱的及び/又は力学的に)分割するステップと、ケミカルエッチング、研磨/平坦化及び/又は熱処理によって終了するステップとを備える。

10

【0039】

埋め込み酸化層(埋め込み酸化(SiO₂)層42を有するシリコン基板43と同一)を有するシリコン支持基板と、ドナーシリコンウエハ(シリコン活性層41に対応する)を転移することによって得られるシリコン膜とを備えるSOI構造(構造4と同一)は、このようにして得られる。

【0040】

SOI構造4は、例えばプラズマ活性(酸素プラズマ、窒素プラズマなど)を介して結合する分子付着を用いて達成される非常に低温の結合によって酸化結合層3と結合される。約600 から1100 の間の温度でのアニーリングは、酸化結合層3とSOI構造4との間の結合中間体を強化し(ステップS8)、シリコンの初期の特性を修復するためにも適用することができる。

20

【0041】

次に、シリコン基板43は、ウエハ研削(wafer grinding)、研磨(CMP)及びケミカルエッチング(ステップS9、図1F)によって除去される。埋め込み酸化層も、例えばドライケミカルエッチング(例えばプラズマエッチング)又はウェットケミカルエッチングによって除去され(ステップ10、図1G)、又は他にはTMAH(水酸化テトラメチルアンモニウム; tetramethylammonium hydroxide)を用いて選択的にエッチングすることによって除去される。

30

【0042】

図10Gにおいて示されるように、このようにして得られるものは、ゲルマニウムパターン20を含むシリコン基板型上のSOIの二重層である。

【0043】

次の2つのステップは、ゲルマニウムパターン20の上の構造を開放するためのキャビティを形成するステップからなる。ステップS3中のように、開口マスク11は、例えばリソグラフィによって、シリコン活性層41(ステップS11、図1H)に適合され、次にマスク11の開口を介して暴露されたシリコン活性層41のこれらの部分がケミカルエッチングされる(ステップS12、図1I)。開口マスク11は、ゲルマニウムパターン20の上の層41を開放するために整列しなければならない。マスク11は、ステップS3において用いられるマスク10の対応する型に対応する。エッチングが完了してマスクが除去されると、シリコン活性層41は、図1Iに示すように、ゲルマニウムパターン20の上にあるキャビティを有する。次に、ゲルマニウムパターン20とキャビティ12との間にある酸化層3の一部は、キャビティをパターン20まで拡張するために(ステップS13、図1J)、ドライエッチング(例えばプラズマエッチング)又はウェットエッチングによって除去される。

40

【0044】

ゲルマニウムパターン20が暴露されると、ヒ化ガリウム(GaAs)の選択的なエピタキシャル再成長が実行される(ステップS14、図1K)。この再成長によって、キャ

50

ピティ 1 2 が、ここでシリコン活性層 4 1 の表面の高さで出現するヒ化ガリウム (G a A s) からなる、G a A s の島又はパターン 5 で満たされることを可能にする。

【 0 0 4 5 】

G a A s は、再成長によるゲルマニウム層又はパターン上に形成することができる I I I - V 族の物質だけではない。例えば、A l G a A s 又は I n G a A s を、ゲルマニウム成長層から形成することもできる。

【 0 0 4 6 】

さらに、成長層の物質は、ゲルマニウムだけに限定されない。成長層は (1 1 0) 又は (1 0 0) シリコン基板上に形成された窒化アルミニウム (A l N) とすることもでき、G a N 及び / 又は A l G a N 及び / 又は I n G a N 及び / 又は Z n G a N などの I I I - V 族の物質を形成することが可能である。

10

【 0 0 4 7 】

本発明の製造プロセスによって、例えば直径 2 0 0 m m 又は 3 0 0 m m のウエハなど、製造されるウエハのサイズに関わらず、I I I - V 族の物質及びシリコンが 1 つ及び同一のメカニカルサポートで均一的に統合されることを可能にする。

【 0 0 4 8 】

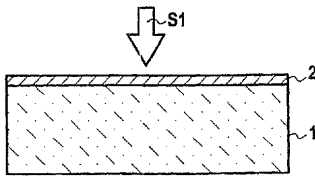
多くの利益的な適用は、本発明の多層構造を用いて可能になる。特に、形成された I I I - V 族の物質の島を用いて、接続手段として用いることができる光源又は光検波器型の光電子的コンポーネントを製造することができる。その後、そのような構造から製造される電子的チップは、光リンクを介して外部素子と接続することができ、電気的接続及び電気的結合を用いるよりも大きな帯域幅及びデータレートを得ることができる。

20

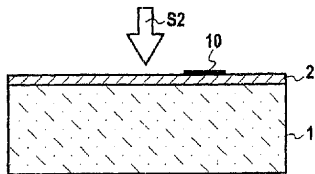
【 0 0 4 9 】

他の利益的な適用によると、本発明の構造は、シリコン回路内で、M O S トランジスタよりも大きな固有の性能の I I I - V 族の物質に基づくトランジスタのセットを配置するために用いることができる。

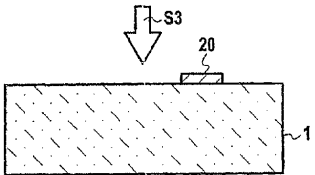
【 図 1 A 】



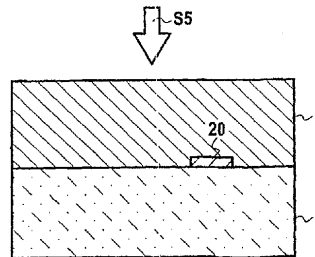
【 図 1 B 】



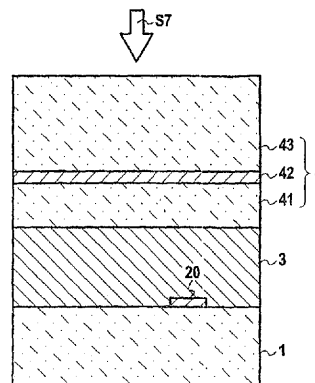
【 図 1 C 】



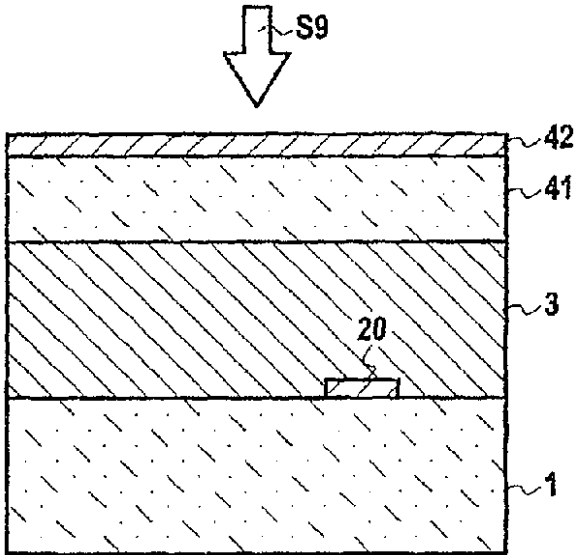
【 図 1 D 】



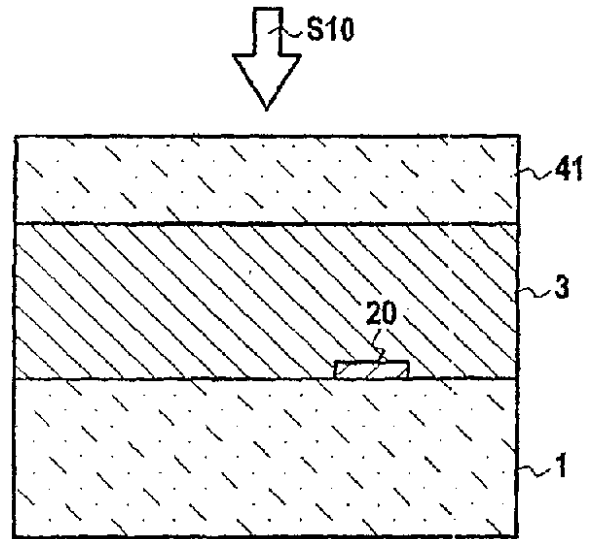
【 図 1 E 】



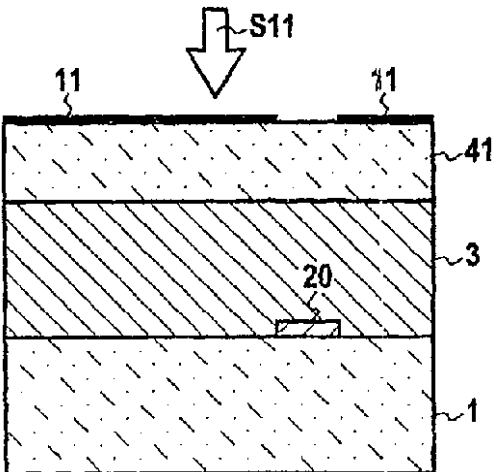
【図1F】



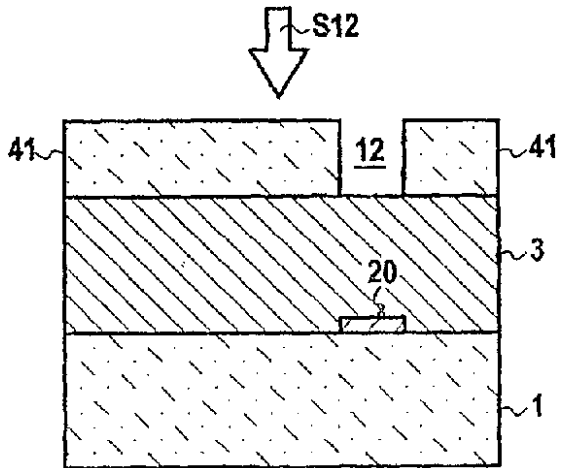
【図1G】



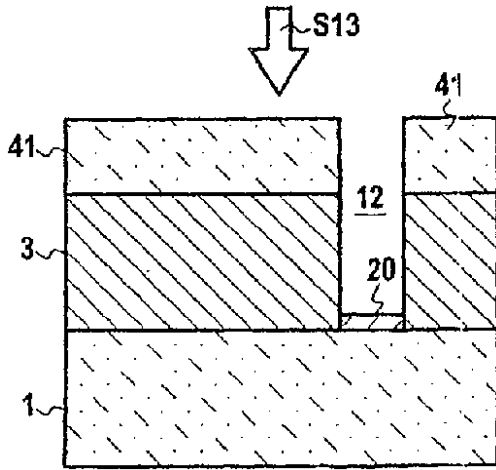
【図1H】



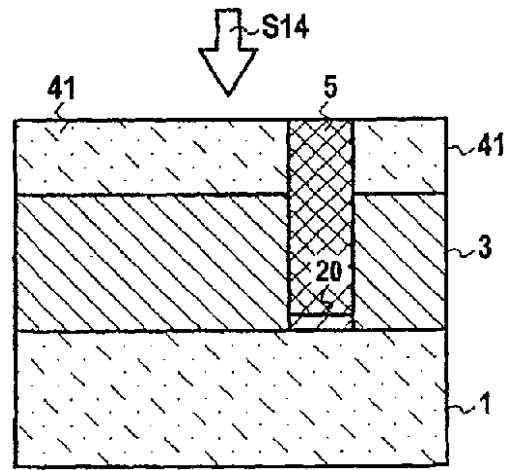
【図1I】



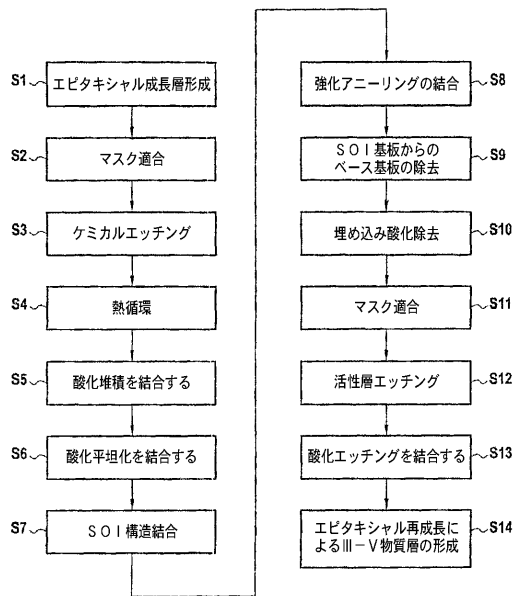
【図1J】



【図1K】



【図2】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/12 (2006.01) H 0 1 L 27/12 L
H 0 1 L 27/15 (2006.01) H 0 1 L 27/15 T

(56)参考文献 米国特許出願公開第2004/0012037(US,A1)
特開昭49-019028(JP,A)
特開昭60-210832(JP,A)
特開2004-335837(JP,A)

(58)調査した分野(Int.Cl.,DB名)
H 0 1 L 2 1 / 2 0
B 3 2 B 9 / 0 0
B 3 2 B 1 8 / 0 0
H 0 1 L 2 1 / 0 2
H 0 1 L 2 1 / 2 0 5
H 0 1 L 2 7 / 1 2
H 0 1 L 2 7 / 1 5