

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5858695号  
(P5858695)

(45) 発行日 平成28年2月10日 (2016. 2. 10)

(24) 登録日 平成27年12月25日 (2015. 12. 25)

(51) Int. Cl.		F I			
HO4N	5/357	(2011.01)	HO4N	5/335	570
HO4N	5/374	(2011.01)	HO4N	5/335	740
HO4N	5/378	(2011.01)	HO4N	5/335	780

請求項の数 12 (全 10 頁)

(21) 出願番号	特願2011-196058 (P2011-196058)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成23年9月8日 (2011. 9. 8)	(74) 代理人	100090273 弁理士 園分 孝悦
(65) 公開番号	特開2013-58909 (P2013-58909A)	(72) 発明者	斉藤 和宏 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43) 公開日	平成25年3月28日 (2013. 3. 28)	(72) 発明者	樋山 拓己 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成26年9月2日 (2014. 9. 2)	(72) 発明者	板野 哲也 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置及び固体撮像装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

光電変換信号を生成する画素と、  
カウント値を生成するカウンタと、

前記カウント値の変化の開始から終了までの期間である第1のアナログデジタル変換期間に渡って電位が変化する第1のランプ信号と、前記カウント値の変化の開始から終了までの期間である第2のアナログデジタル変換期間に渡って電位が変化する第2のランプ信号とを生成するランプ信号源と、

前記光電変換信号に基づく信号が入力される入力部を備えるとともに、前記第1のアナログデジタル変換期間に前記入力部のリセットレベルの電位と前記第1のランプ信号とを比較し、前記第2のアナログデジタル変換期間に前記光電変換信号に基づく信号と前記第2のランプ信号とを比較する比較部とを有し、

前記ランプ信号源は、電流源と、スイッチと、前記電流源から前記スイッチを介して電流が供給される第1の容量素子とを有し、

前記第1の容量素子は、前記スイッチがオンからオフとなることによって、前記電流源から供給される電流に基づく電圧を第1のタイミングにホールドし、

前記第1の容量素子は、前記第1のアナログデジタル変換期間及び前記第2のアナログデジタル変換期間に渡って、前記第1のタイミングにホールドした前記電圧をホールドし続け、

前記ランプ信号源の生成する前記第1のランプ信号及び前記第2のランプ信号が、前記

10

20

第 1 のタイミングで前記第 1 の容量素子にホールドされた前記電圧によって、それぞれ生成されることを特徴とする固体撮像装置。

【請求項 2】

前記ランプ信号源は、第 1 のトランジスタ及び第 2 のトランジスタを含むカレントミラー回路を有し、前記電流源は前記第 1 のトランジスタに接続され、前記第 1 の容量素子は前記第 2 のトランジスタのゲート端子に接続され、前記スイッチは前記第 1 及び第 2 のトランジスタのゲート端子間に接続されることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】

前記ランプ信号源は、前記第 2 のトランジスタを並列に接続する数を切り替えることができることを特徴とする請求項 2 記載の固体撮像装置。

10

【請求項 4】

前記ランプ信号源は、前記第 2 のトランジスタの出力電流に基づく電圧をバッファリングすることにより前記第 1 のランプ信号及び前記第 2 のランプ信号を出力するバッファ回路を有することを特徴とする請求項 2 又は 3 記載の固体撮像装置。

【請求項 5】

前記ランプ信号源は、前記第 2 のトランジスタ及び前記バッファ回路の入力端子に接続され、前記第 2 のトランジスタの出力電流を電圧に変換する第 2 の容量素子を有することを特徴とする請求項 4 記載の固体撮像装置。

【請求項 6】

前記ランプ信号源は、前記第 2 のトランジスタ及び前記バッファ回路の入力端子に接続され、前記第 2 のトランジスタの出力電流を電圧に変換する抵抗素子を有することを特徴とする請求項 4 記載の固体撮像装置。

20

【請求項 7】

前記ランプ信号源は、  
前記第 2 のトランジスタの出力及び基準電圧を入力して前記第 1 のランプ信号及び前記第 2 のランプ信号を出力する差動増幅器と、  
前記差動増幅器の入力端子及び出力端子間に接続される帰還容量と、  
前記帰還容量をリセットするためのリセットスイッチとを有することを特徴とする請求項 2 又は 3 記載の固体撮像装置。

【請求項 8】

30

前記第 1 のアナログデジタル変換期間で前記第 1 のランプ信号が変化を開始してから前記比較部の出力が反転するまでのカウント値を第 1 のデジタルデータとして記憶し、前記第 2 のアナログデジタル変換期間で前記第 2 のランプ信号が変化を開始してから前記比較部の出力が反転するまでのカウント値を第 2 のデジタルデータとして記憶する記憶部を有することを特徴とする請求項 1 ~ 7 のいずれかに記載の固体撮像装置。

【請求項 9】

前記画素は、光電変換により電荷を生成する光電変換素子と、前記電荷が与えられるゲートを備えるとともに、前記電荷に基づく信号である前記光電変換信号を出力する第 3 のトランジスタとを有し、

前記リセットレベルの信号が、リセットされた前記第 3 のトランジスタのゲートの電位に基づいて前記第 3 のトランジスタが出力する信号に基づく信号であることを特徴とする請求項 1 ~ 8 のいずれかに記載の固体撮像装置。

40

【請求項 10】

前記光電変換信号を増幅した信号を前記比較部に出力するアンプを有し、  
前記リセットレベルの信号が、リセットされた前記アンプが出力する信号であることを特徴とする請求項 1 ~ 8 のいずれかに記載の固体撮像装置。

【請求項 11】

前記リセットレベルの信号が、前記入力部がリセットされることによって前記入力部に表れる信号であることを特徴とする請求項 1 ~ 8 のいずれかに記載の固体撮像装置。

【請求項 12】

50

光電変換信号を生成する画素と、  
 カウント値を生成するカウンタと、  
前記カウント値の変化の開始から終了までの期間である第1のアナログデジタル変換期間に渡って電位が変化する第1のランプ信号と、前記カウント値の変化の開始から終了までの期間である第2のアナログデジタル変換期間に渡って電位が変化する第2のランプ信号とを生成するランプ信号源と、

前記光電変換信号に基づく信号が入力される入力部を備える比較部とを有し、  
 前記ランプ信号源は、電流源と、第1の容量素子とを有する固体撮像装置の駆動方法であって、

前記比較部は、前記第1のアナログデジタル変換期間に前記入力部のリセットレベルの電位と前記第1のランプ信号とを比較し、

前記比較部は、第2のアナログデジタル変換期間に前記光電変換信号と前記第2のランプ信号とを比較し、

前記第1の容量素子は、前記電流源から供給される電流に基づく電圧を第1のタイミングにホールドし、

前記第1の容量素子は、前記第1のアナログデジタル変換期間及び前記第2のアナログデジタル変換期間に渡って、前記第1のタイミングにホールドした前記電圧をホールドし続け、

前記ランプ信号源が、前記第1のタイミングで前記第1の容量素子にホールドされた電圧によって、前記第1のランプ信号及び前記第2のランプ信号をそれぞれ生成することを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置及び固体撮像装置の駆動方法に関する。

【背景技術】

【0002】

アナログデジタル（AD）変換回路を内蔵したCMOSイメージセンサがデジタルカメラなどの画像入力機器に利用されている。AD変換回路では画像信号と参照信号とが比較処理され、デジタルデータを得ている。参照信号として、信号レベルが時間に伴って変化するランプ信号を、容量素子に対する充電電流を制御して生成するものが特許文献1に記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-33305号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、各列に設けられたAD変換回路に対して共通に供給されるランプ信号に重畳するノイズが画像では横線状のノイズに見える問題があった。特許文献1に開示されているランプ信号（参照電圧）発生回路の、外部から供給される基準電圧、もしくは内蔵のバンドギャップ基準電圧から生成される基準電流にはノイズ成分が含まれる。基準電流を容量に充電したことに対応する電圧がランプ信号となるが、この時、特にノイズの低周波成分の影響により、ランプ信号のそれぞれの傾きが行によって異なり、この傾きの差が、画像上は横線上のノイズとなって検知される。

【0005】

本発明の目的は、ランプ信号の生成に起因する画像上の横線状ノイズを低減することができる固体撮像装置及び固体撮像装置の駆動方法を提供することである。

【課題を解決するための手段】

10

20

30

40

50

## 【 0 0 0 6 】

本発明の固体撮像装置は、光電変換信号を生成する画素と、カウント値を生成するカウンタと、前記カウント値の変化の開始から終了までの期間である第1のアナログデジタル変換期間に渡って電位が変化する第1のランプ信号と、前記カウント値の変化の開始から終了までの期間である第2のアナログデジタル変換期間に渡って電位が変化する第2のランプ信号とを生成するランプ信号源と、前記光電変換信号に基づく信号が入力される入力部を備えるとともに、前記第1のアナログデジタル変換期間に前記入力部のリセットレベルの電位と前記第1のランプ信号とを比較し、前記第2のアナログデジタル変換期間に前記光電変換信号に基づく信号と前記第2のランプ信号とを比較する比較部とを有し、前記ランプ信号源は、電流源と、スイッチと、前記電流源から前記スイッチを介して電流が供給される第1の容量素子とを有し、前記第1の容量素子は、前記スイッチがオンからオフとなることによって、前記電流源から供給される電流に基づく電圧を第1のタイミングにホールドし、前記第1の容量素子は、前記第1のアナログデジタル変換期間及び前記第2のアナログデジタル変換期間に渡って、前記第1のタイミングにホールドした前記電圧をホールドし続け、前記ランプ信号源の生成する前記第1のランプ信号及び前記第2のランプ信号が、前記第1のタイミングで前記第1の容量素子にホールドされた前記電圧によって、それぞれ生成されることを特徴とする。

10

## 【発明の効果】

## 【 0 0 0 7 】

第1の容量素子にホールドされた同じバイアス電圧を基に第1のランプ信号及び第2のランプ信号を生成することにより、画像上の横線状ノイズを低減することができる。

20

## 【図面の簡単な説明】

## 【 0 0 0 8 】

【図1】本発明の第1の実施形態に係る固体撮像装置の回路構成例を示す図である。

【図2】本発明の第1の実施形態に係るランプ信号源の構成例を示す図である。

【図3】本発明の第1の実施形態に係る画素部の構成例を示す図である。

【図4】ランプ信号源及び画素部の駆動タイミング図である。

【図5】本発明の第2の実施形態に係るランプ信号源の構成例を示す図である。

【図6】本発明の第3の実施形態に係るランプ信号源の構成例を示す図である。

## 【発明を実施するための形態】

30

## 【 0 0 0 9 】

## (第1の実施形態)

図1は、本発明の第1の実施形態に係る固体撮像装置の回路構成例を示す図である。固体撮像装置は、画素部1と、増幅回路2と、比較部3と、ランプ信号源4と、記憶部5と、カウンタ回路6と、水平走査回路7と、垂直走査回路8と、信号処理回路9とを有する。画素部1は、2次元行列状に配列され、光電変換により信号を生成する複数の画素を含む。各画素は、光電変換素子の光電変換によりアナログの画素信号を生成する。増幅回路2は、画素部1の列毎に配置され、画素部1の信号を増幅する。ランプ信号源4は、複数の比較部3に共通に接続され、ランプ信号を供給する。図4に示すように、ランプ信号V R A M Pは、時間経過と共に変化するランプ状の信号である。比較部3は、差動入力型比較器を含み、かつ画素部1の列毎に配置され、増幅回路2の出力信号とランプ信号とを比較する。カウンタ回路6は、複数列の記憶部5に共通に接続され、ランプ信号の生成が開始されるとカウントを開始する。記憶部5は、列毎に配置される。比較部3は、増幅回路2の出力信号と、ランプ信号源4より生成されるランプ信号とを比較する。増幅回路2の出力信号とランプ信号との電位の大小関係が反転する時、比較部3の出力はハイレベルからローレベルもしくはローレベルからハイレベルに遷移する。この遷移するタイミングで、記憶部5がカウンタ回路6から出力されるカウンタ値をデジタルデータとして記憶する。このデジタルデータは、画素信号がアナログからデジタルに変換されたデータである。記憶部5に記憶されたデジタルデータは、水平走査回路7から出力される信号によって、列毎に信号処理回路9に順次転送される。信号処理回路9は、信号処理を行い、信号を出

40

50

力する。また、記憶部 5 は、基準信号用のデジタルデータと画像信号用のデジタルデータとを記憶する。記憶部 5 が記憶できるデータ数は、構成によって 1 つでもよいし、複数であってもよい。これらの一連の動作は、垂直走査回路 8 により、画素部 1 の画素行を適宜選択しながら行われる。

#### 【 0 0 1 0 】

図 2 は、本発明の第 1 の実施形態に係るランプ信号源 4 の回路構成例を示す図である。定電流源 20 は固体撮像装置の外部もしくは内部で基準電流を生成し、カレントミラー回路に供給される。カレントミラー回路は、ドレイン端子及びゲート端子が接続され、バイアス電圧を供給する第 1 の NMOS トランジスタ (第 1 のトランジスタ) 21 と、バイアス電圧をゲート端子で受けた第 2 の NMOS トランジスタ (第 2 のトランジスタ) 22 を含む。電流源 20 は、第 1 の NMOS トランジスタ 21 のドレイン端子及びゲート端子に接続される。第 1 の容量素子 26 は、第 2 の NMOS トランジスタ 22 のゲート端子及びソース端子間に接続される。スイッチ用 NMOS トランジスタ 27 は、第 1 の NMOS トランジスタ 21 のゲート端子及び第 2 の NMOS トランジスタ 22 のゲート端子間に接続される。第 2 の容量素子 23 は、第 2 の NMOS トランジスタ 22 のドレイン端子及びバッファ回路 25 の入力端子に接続され、第 2 の NMOS トランジスタ 22 のドレイン端子の出力電流を電圧に変換し、ランプ電圧を生成する。リセット用 PMOS スイッチ 24 は、信号 PRMP\_RSTB により、第 2 の容量素子 23 に蓄積された電荷をリセットする。バッファ回路 25 は、第 2 の容量素子 23 により生成されるランプ電圧をバッファリングし、時間的に変化するランプ信号 VRAMP を出力する。第 1 の容量素子 26 及びスイッチ用 NMOS トランジスタ 27 は、信号 PCL\_RBIA S により、NMOS トランジスタ 22 のゲート端子のバイアス電圧をサンプルホールドするためのサンプルホールド用スイッチである。

#### 【 0 0 1 1 】

図 3 は、画素部 1 内で、光電変換素子 30 と 4 つのトランジスタで構成された 1 画素の回路概略図である。30 は光電変換素子である。31 はリセット用 MOS トランジスタである。32 は選択用 MOS トランジスタである。33 は画素信号出力線である。34 はソースフォロア用定電流源である。35 はソースフォロア用 MOS トランジスタである。36 は転送用 MOS トランジスタである。光電変換素子 30 は、例えばフォトダイオードであり、光電変換により電気信号を生成する。転送用 MOS トランジスタ 36 は、信号 PTX がハイレベルになるとオンし、光電変換素子 30 の信号をフローティングディフュージョン FD に転送する。選択用 MOS トランジスタ 32 は、信号 PSEL がハイレベルになるとオンし、ソースフォロア用 MOS トランジスタ 35 のソース端子を画素信号出力線 33 に接続する。ソースフォロア用 MOS トランジスタ 35 は、フローティングディフュージョン FD の電圧を増幅してソース端子から出力する。リセット用 MOS トランジスタ 31 は、信号 PRES がハイレベルになるとオンし、フローティングディフュージョン FD 及び / 又は光電変換素子 30 の電圧をリセットする。増幅回路 2 は、画素信号出力線 33 に接続されるソースフォロア用定電流源 34 を有する。

#### 【 0 0 1 2 】

図 4 は、図 3 の画素の回路動作と図 2 のランプ信号源 4 の回路動作を説明するための画素 1 行分のタイミングチャートである。なお、図 3 の画素選択信号 PSEL は画素信号を読み出す行に該当した場合にハイレベルとなり、図 4 のタイミングチャートでは省略している。1 行動作の先頭で、ランプ信号源 4 は、信号 PCL\_RBIA S のハイレベルパルスにより、スイッチ用 NMOS トランジスタ 27 をオンさせる。これにより、ランプ信号源 4 は、定電流源 20 より供給される電流値とカレントミラー用 NMOS トランジスタ 21 で決まるランプ電流用バイアス電圧のサンプルホールド動作を行う。具体的には、信号 PCL\_RBIA S のハイレベルでスイッチ用 NMOS トランジスタ 27 がオンしてランプ電流用バイアス電圧をサンプリングし、第 1 の容量素子 26 に蓄積する。その後の信号 PCL\_RBIA S のローレベルでスイッチ用 NMOS トランジスタ 27 がオフして第 1 の容量素子 26 にランプ電流用バイアス電圧がホールドされる。このサンプルホールド動

10

20

30

40

50

作は、数行に一度でもよいし、1行毎に行ってもよい。電流源20からの基準電流にノイズが重畳していても、第1の容量素子26でランプ電流用バイアス電圧をホールドすることによりバイアス電圧が固定電圧となる。これにより、後述の画素からの基準信号41と画素信号42のアナログデジタル変換時のランプ信号の傾きは同一になり、画像上の横線状ノイズは低減される。

#### 【0013】

カレントミラー用NMOSTランジスタ22は、このサンプルホールドされたバイアス電圧で決まるランプ用電流を第2の容量素子23に供給する。AD変換動作を行う前の状態の期間T1では、制御信号PRMP\_RSTBがローレベルであり、リセット用PMOSスイッチ24がオンし、第2の容量素子23はランプ基準電圧VREFにリセットされている状態である。画素部1では、読み出し時、時刻t1に、信号PRESがハイレベルになり、リセットトランジスタ31がオンし、フローティングディフュージョンFDが電圧VDDにリセットされる。その後、信号PRESがローレベルになり、リセットトランジスタ31がオフし、増幅回路2の後段の画素信号出力線33には、画素部1の画素のリセット解除時の画素の信号(以下、基準信号という)41が出力される。なお、上記のリセット解除時は、画素のリセット解除時に限定されない。上記のリセット解除時は、例えば、画素とアナログデジタル変換回路との間にアンプが介在する場合には、アンプのリセット解除時であったり、また、比較部3の入出力端子をリセットする場合には、そのリセット解除時であってもよい。この基準信号41に対して、第1のアナログデジタル変換期間T2では、第1のアナログデジタル変換を行う。第1のアナログデジタル変換期間T2の初期に、信号PRMP\_RSTBがハイレベルになり、リセット用PMOSスイッチ24がオフし、第2の容量素子23のリセットが解除される。すると、第2の容量素子23とNMOSTランジスタ22から供給されるランプ用電流で決まる傾きを持ったランプ信号がランプ基準電圧VREFから第2の容量素子23に充電される。バッファ回路25は、そのランプ信号をバッファリングし、時間的に変化する第1のランプ信号VRAMPを生成する。比較部3は、バッファ回路25が出力する第1のランプ信号VRAMPと基準信号41とを比較し、両者の電位の大小関係が反転する時、比較部3の出力信号がハイレベルからローレベルもしくはローレベルからハイレベルに反転遷移する。この比較部3の出力電位が遷移するタイミングで、記憶部5はカウンタ回路6から出力されるカウンタ値を第1のデジタルデータとして記憶する。第1のデジタルデータは、第1のランプ信号VRAMPが変化を開始してから比較部3の出力電位が反転するまでのカウント値であり、基準信号41をアナログからデジタルに変換したデータである。

#### 【0014】

続いて、光電変換信号のための第2のAD変換を行うため、時刻t2で、信号PRMP\_RSTBがローレベルになり、リセット用PMOSスイッチ24がオンし、第2の容量素子23はランプ基準電圧VREFにリセットされる。その後、画素部1では、信号PTXがハイレベルになり、転送用MOSTランジスタ36がオンになり、光電変換素子30に蓄えられた電荷がフローティングディフュージョンFDに転送される。この時、増幅回路2の後段の画素信号出力線33には、光電変換素子30の光電変換信号が基準信号41に重畳されて、画素信号42として出力される。画素信号42は、画素部1の画素の画素信号の出力時の画素の信号である。第2のアナログデジタル変換期間T3では、第1のアナログデジタル変換期間T2と同様に、信号PRMP\_RSTBがハイレベルになり、画素信号42に対して第2のAD変換が行われ、記憶部5に第2のデジタルデータが記憶される。すなわち、バッファ回路25は、時間的に変化する第2のランプ信号VRAMPを生成する。比較部3は、バッファ回路25が生成した第2のランプ信号VRAMPと画素信号42とを比較し、両者の電位の大小関係が反転する時、比較部3の出力信号がハイレベルからローレベルもしくはローレベルからハイレベルに遷移する。この比較部3の出力電位が遷移するタイミングで、記憶部5はカウンタ回路6から出力されるカウンタ値を第2のデジタルデータとして記憶する。第2のデジタルデータは、第2のランプ信号VRAMPが変化を開始してから比較部3の出力電位が反転するまでのカウント値であり、画素

10

20

30

40

50

信号 4 2 をアナログからデジタルに変換したデータである。

【 0 0 1 5 】

各列の記憶部 5 に記憶された第 1 及び第 2 のデジタルデータは、水平走査回路 7 により信号処理回路 9 に転送される。この時、第 1 及び第 2 のデジタルデータは、サンプルホールドされた同じバイアス電圧から生じる電流により決まったランプ信号で A D 変換されている。ランプ信号源 4 は、信号 P C L \_ R B I A S のハイレベルパルスに応じて、スイッチ 2 7 のサンプルホールド動作により電流源 2 0 からの電流を第 1 の容量素子 2 6 に供給する。そして、ランプ信号源 4 は、第 1 の容量素子 2 6 にホールドされた同じバイアス電圧を基に、第 1 のアナログデジタル変換期間 T 2 の第 1 のランプ信号 V R A M P 及び第 2 のアナログデジタル変換期間 T 3 の第 2 のランプ信号 V R A M P を生成する。電流源 2 0 からの基準電流にノイズが重畳していても、第 1 の容量素子 2 6 でランプ電流用バイアス電圧をホールドすることによりバイアス電圧が固定電圧となる。これにより、基準信号 4 1 と画素信号 4 2 の A D 変換時のランプ信号の傾きは同一になり、画像上の横線状ノイズは低減される。信号処理回路 9 は、第 1 及び第 2 のデジタルデータの相関二重サンプリング ( C D S : Correlated Double Sampling ) により、第 1 及び第 2 のデジタルデータの差分を出力する。これにより、画素信号 4 2 からリセット時の基準信号 4 1 の成分を除去することができるので、特に暗信号近辺において、目立つ横線状のノイズを低減できる。なお、信号処理回路 9 で第 1 及び第 2 のデジタルデータの差分処理を行わず、固体撮像装置の外部で差分処理を行ってもよい。

10

【 0 0 1 6 】

( 第 2 の実施形態 )

図 5 は、本発明の第 2 の実施形態に係るランプ信号源 4 の回路構成例を示す図である。以下、本実施形態が第 1 の実施形態と異なる点を説明する。図 5 の回路は、図 2 の回路に対して、N M O S トランジスタ 2 2、第 2 の容量素子 2 3 及び P M O S スイッチ 2 4 の代わりに、複数のカレントミラー用 N M O S トランジスタ 5 0、複数の切替え用 M O S トランジスタ 5 1 及び抵抗素子 5 2 を設けたものである。図 5 において、図 2 と同符号のものは同じ意味を表し、説明を省略する。第 2 の N M O S トランジスタ 5 0 は、図 2 の第 2 の N M O S トランジスタ 2 2 に対応する。複数の切替え用 M O S トランジスタ 5 1 は、それぞれ複数の第 2 の N M O S トランジスタ 5 0 に接続される。複数の第 2 の N M O S トランジスタ 5 0 と複数の切替え用 M O S トランジスタ 5 1 との直列接続回路は、基準電位ノード及びバッファ回路 2 5 の入力端子間に接続される。複数の第 2 の N M O S トランジスタ 5 0 のゲート端子は、第 1 の容量素子 2 6 のバイアス電圧を入力し、ランプ電流を抵抗素子 5 2 に供給する。抵抗素子 5 2 は、切替え用 M O S トランジスタ 5 1 を介して第 2 の N M O S トランジスタ 5 0 に接続され、バッファ回路 2 5 の入力端子に接続され、第 2 の N M O S トランジスタ 5 0 の出力電流を電圧に変換し、ランプ電圧を生成する。バッファ回路 2 5 は、抵抗素子 5 2 により生成されたランプ電圧をバッファリングし、ランプ信号 V R A M P を出力する。ランプ信号源 4 は、複数の切替え用 M O S トランジスタ 5 1 のスイッチングにより、バッファ回路 2 5 の入力端子に対して並列に接続する第 2 の N M O S トランジスタ 5 0 の数を切り替えることができる。これにより、簡単にランプ信号 N R A M P の傾きを変えることができるので、画像信号のゲイン制御が可能となる。複数の切替え用 M O S トランジスタ 5 1 のゲート端子には、図 2 の信号 P R M P \_ R S T B が入力される。

20

30

40

【 0 0 1 7 】

( 第 3 の実施形態 )

図 6 は、本発明の第 3 の実施形態に係るランプ信号源 4 の回路構成例を示す図である。以下、本実施形態が第 1 の実施形態と異なる点を説明する。図 6 において、図 2 と同符号のものは同じ意味を表し、説明を省略する。本実施形態は、ランプ電流を生成するカレントミラー用回路を P M O S トランジスタ 6 1 及び 6 2 で形成した実施形態である。第 1 の P M O S トランジスタ 6 1 は図 2 の第 1 の N M O S トランジスタ 2 1 に対応し、第 2 の P M O S トランジスタ 6 2 は図 2 の第 2 の N M O S トランジスタ 2 2 に対応し、P M O S トラ

50

ンジスタ67は図2のNMOSTランジスタ27に対応する。PMOSTランジスタ67のゲート端子は、信号PCL\_RBIBASBを入力する。信号PCL\_RBIBASBは、図4に示すように、信号PCL\_RBIBASの論理反転信号である。PMOSTランジスタ67がオンすることによりランプ電流用バイアス電圧がサンプリングされ、その後PMOSTランジスタ67がオフすることにより第1の容量素子26にランプ電流用バイアス電圧がホールドされる。電流源20からの基準電流にノイズが重畳していても、第1の容量素子26でランプ電流用バイアス電圧をホールドすることにより固定電圧となり、基準信号41と画素信号42のAD変換時のランプ信号の傾きは同一になり、画像上の横線状ノイズは低減される。ランプ信号VRAMPは、積分アンプを構成する差動増幅器65と、ランプ電流を電圧に変換しランプ信号を生成する帰還容量63、帰還容量63の電荷をリセットするリセット用MOSTランジスタ64により生成される。差動増幅器65は、反転入力端子に第2のPMOSTランジスタ62の出力を入力し、非反転入力端子に基準電圧VREFを入力し、出力端子からランプ信号VRAMPを出力する。帰還容量63は、差動増幅器65の反転入力端子及び出力端子間に接続される。リセット用MOSTランジスタ64のゲート端子には、信号PRMP\_RSTBが入力される。リセット用MOSTランジスタ64は、帰還容量63をリセットするためのリセットスイッチである。図6の構成により、図4と同様に、ランプ信号源4は、第1のアナログデジタル変換期間T2では第1のランプ信号VRAMPを生成し、第2のアナログデジタル変換期間T3では第2のランプ信号VRAMPを生成することができる。なお、図5の複数の第2のNMOSTランジスタ50及び複数の切替え用MOSTランジスタ51と同様に、第2のPMOSTランジスタ62の代わりに、複数の第2のPMOSTランジスタ及び複数の切替え用MOSTランジスタを設け、ゲイン制御してもよい。

10

20

#### 【0018】

図1では、図面の画素部1の下側にのみ、増幅回路2や比較部3等の回路を配置した構成であるが、本発明はそれに限定されない。画素部1の上側にも下側と同じ回路を配置する構成でもよい。その場合は、列毎に画素信号を上側に読み出すか、下側に読み出すかが決定されることが望ましい。

#### 【0019】

各実施形態において列毎に記憶部5を設け、複数列の記憶部5に共通に入力されるカウンタ回路6を設ける構成として説明したが、本発明はそれに限らない。例えば、列毎にカウンタ回路6を配置する構成でもよい。また、各実施形態において画素部1からの画素信号を増幅回路2に入力する構成としたが、本発明はそれに限らない。例えば、画素信号を容量素子を通して、比較部3へ直接入力する構成であってもよい。

30

#### 【0020】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

#### 【符号の説明】

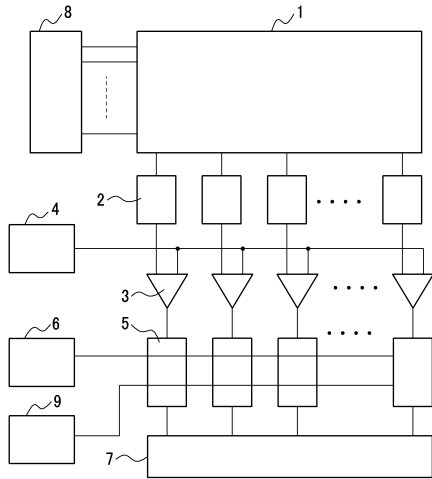
#### 【0021】

1 画素部、3 比較部、4 ランプ信号源、5 記憶部、20 定電流源、26 第1の容量素子、27 サンプルホールド用スイッチ

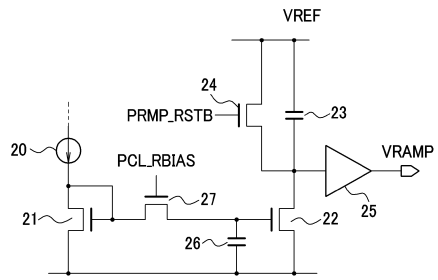
40



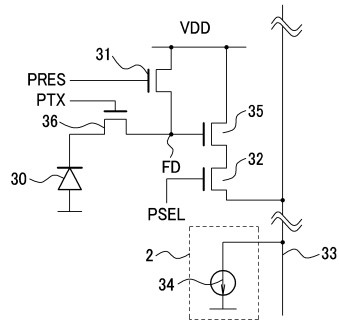
【 図 1 】



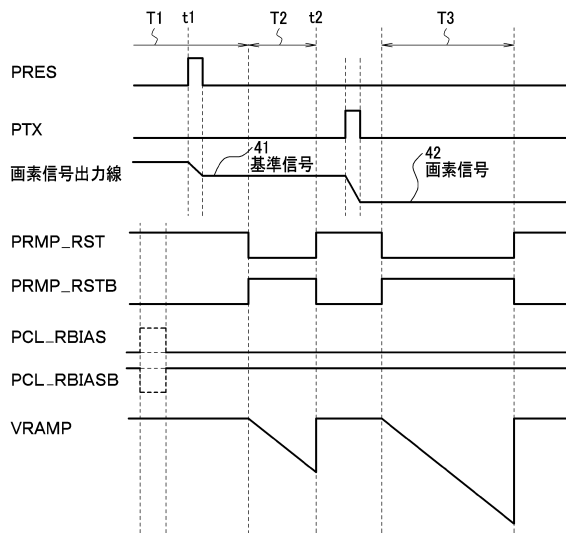
【 図 2 】



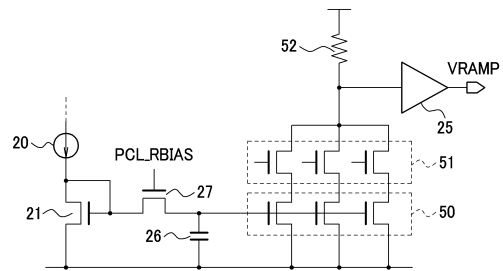
【 図 3 】



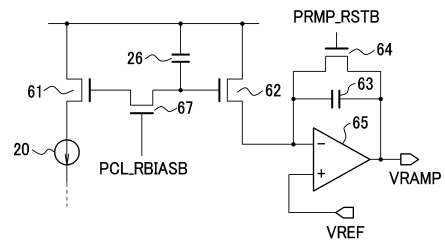
【 図 4 】



【 図 5 】



【 図 6 】



---

フロントページの続き

(72)発明者 中村 恒一  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 明

(56)参考文献 特開2010-258737(JP,A)  
特開2009-033305(JP,A)  
特開2008-187420(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H04N 5/30-5/378