

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 24.04.14.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 30.10.15 Bulletin 15/44.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

71 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATO-
MIQUE ET AUX ENERGIES ALTERNATIVES Etablis-
sement public — FR et STMICROELECTRONICS
(CROLLES 2) SAS Société par actions simplifiée — FR.

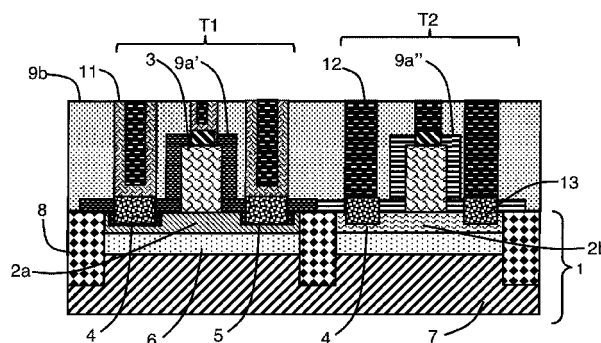
72 Inventeur(s) : NEMOUCHI FABRICE et BOURJOT
EMILIE.

73 Titulaire(s) : COMMISSARIAT A L'ENERGIE ATO-
MIQUE ET AUX ENERGIES ALTERNATIVES Etablis-
sement public, STMICROELECTRONICS (CROLLES
2) SAS Société par actions simplifiée.

74 Mandataire(s) : CABINET HECKE Société anonyme.

54 PROCEDE DE FABRICATION D'UN TRANSISTOR A EFFET DE CHAMP AMELIORE.

57 La fabrication d'un transistor à effet de champ est réa-
lisée sur un substrat (1) comportant un film (2a) en premier
matériau semi-conducteur, un diélectrique de grille recou-
vert par une électrode de grille (3), des zones de source et
de drain (4, 5) séparées par l'électrode de grille (3), une
couche de protection (9a', 9b) recouvrant, l'électrode de
grille (3), les zones de source et de drain (4, 5), un trou d'ac-
cès à la zone de source (4) et/ou à la zone de drain (5). Un
matériau métallique est déposé dans le trou d'accès en
contact avec le premier matériau semi-conducteur de la
zone de source et/ou de drain (4, 5). Une couche barrière
(11) électriquement conductrice et non réactive avec le pre-
mier matériau semi-conducteur et avec le matériau métal-
lique est déposée avant réaction du matériau métallique
avec le premier matériau semi-conducteur. Un traitement
thermique de transformation du matériau métallique avec le
matériau semi-conducteur est réalisé pour former un maté-
riau métallique à base de matériau semi-conducteur (13)
générant un jeu de contraintes sur un canal de conduction
disposé entre les zones de source et de drain (4, 5).



Procédé de fabrication d'un transistor à effet de champ amélioré

Domaine de l'invention

5

L'invention est relative à un procédé de fabrication d'un transistor à effet de champ.

Etat de la technique

10

L'augmentation continue des performances des circuits intégrés, par exemple, en termes de consommation et/ou de fréquence de fonctionnement, se traduit inéluctablement par une diminution constante de la taille de ses composants. Afin de réaliser des dispositifs toujours plus performants, de nouvelles architectures et/ou de nouveaux matériaux ont été intégrés dans les transistors.

15

Une manière d'augmenter les performances électriques des transistors consiste à accroître la mobilité des porteurs de charges. De cette manière, il est possible de faire passer plus de courant à travers un transistor, tous les autres paramètres ayant été conservés. Afin de modifier la mobilité des porteurs de charge, il est possible de modifier le paramètre cristallin du matériau formant le canal. La modification du paramètre cristallin peut être obtenue par application d'une contrainte sur le canal de conduction.

20

Il a été reporté dans de nombreux documents, l'utilisation de zones de source et drain en alliage de silicium-germanium dans un substrat en silicium. L'alliage de silicium-germanium ayant un paramètre de maille plus important, son introduction dans les zones de source/drain engendre l'application d'une contrainte en compression dans le canal de conduction. Cette technique est particulièrement avantageuse pour les transistors de type pMOS.

30

De la même manière, pour les transistors de type nMos, il est également connu de remplacer le silicium dopé de type n par un dépôt de silicium contenant des atomes de Carbone. L'alliage formé présente un paramètre de maille inférieur à celui du silicium. Dans ces conditions, une contrainte en tension est appliquée sur le canal de conduction.

Il existe également d'autres possibilités pour appliquer de la contrainte au canal de conduction. Dans un mode de réalisation, lors de la fabrication du dispositif, les conditions de dépôt des films d'oxyde de silicium et/ou de nitrure de silicium sont choisies de manière à déposer des films contraints en tension ou contraints en compression. Comme le film contraint est en contact mécanique avec le canal du transistor et plus particulièrement sur le canal de conduction, une partie de la contrainte est également appliquée sur le canal. Néanmoins, cette couche est partiellement gravée au fur et à mesure de la formation du transistor.

Objet de l'invention

20

L'invention a pour objet de fournir un procédé de fabrication d'un transistor à effet de champ qui présente des performances électriques améliorées et est facile à mettre en œuvre.

25 On tend à atteindre ce résultat au moyen d'un procédé comportant :

- fournir un substrat comportant :
 - un film en premier matériau semi-conducteur
 - un diélectrique de grille recouvert par une électrode de grille,
 - des zones de source et de drain séparées par l'électrode de grille,
 - une couche de protection recouvrant l'électrode de grille et les zones de source et de drain,

30

- un trou d'accès à la zone de source et/ou à la zone de drain,
- déposer un matériau métallique, dans le trou d'accès, en contact avec le premier matériau semi-conducteur de la zone de source et/ou de drain,

5 et qui comporte avant réaction du matériau métallique avec le premier matériau semi-conducteur :

- déposer une couche barrière électriquement conductrice, la couche barrière étant non réactive avec le premier matériau semi-conducteur et non réactive avec le matériau métallique,
- 10 - réaliser un traitement thermique de transformation du matériau métallique avec le matériau semi-conducteur pour former un alliage du matériau métallique et du matériau semi-conducteur générant un jeu de contraintes sur un canal de conduction disposé entre les zones de source et de drain.

15

Dans un mode de réalisation privilégié, le trou d'accès est rempli successivement par la couche barrière et par un deuxième métal.

20 Dans un autre mode de réalisation privilégié, le matériau métallique est déposé au moyen d'un dépôt sélectif ou directif selon une direction perpendiculaire à la surface du substrat.

Dans une variante de réalisation, le dépôt de la couche barrière est un dépôt isotrope.

25

Il est particulièrement avantageux de prévoir que le procédé comporte une étape de polissage mécano-chimique configurée pour éliminer le matériau métallique déposé sur la couche de protection.

30 Dans un mode de réalisation privilégié, le premier matériau semi-conducteur est majoritairement à base de silicium et le matériau métallique est choisi parmi le

titane, le palladium, le platine, le cobalt, le nickel, le tantale, le molybdène et le tungstène et leurs alliages de sorte que le jeu de contraintes soit un jeu de contraintes en tension du canal de conduction.

- 5 Dans un autre mode de réalisation privilégié, la zone de source et/ou de drain est une solution solide de silicium/carbone et le matériau métallique est choisi parmi le titane, le palladium, le platine, le cobalt, le nickel, le tantale, le molybdène et le tungstène et leurs alliages.
- 10 Dans un autre mode de réalisation remarquable, le procédé comporte une étape d'aplanissement de la couche de protection configurée de manière à libérer l'électrode grille. Il comporte avantageusement la formation des trous d'accès aux zones de source et de drain au moyen d'un masque qui comporte une cavité s'étendant de chaque côté de l'électrode de grille.

15

Description sommaire des dessins

D'autres avantages et caractéristiques ressortiront plus clairement de la description qui va suivre de modes particuliers de réalisation de l'invention
20 donnés à titre d'exemples non limitatifs et représentés aux dessins annexés, dans lesquels :

- les figures 1 à 5 représentent, de manière schématique, en coupe transversale un enchainement d'étapes technologiques d'un procédé de fabrication avec co-intégration de deux transistors,
- 25 - la figure 6 représente, de manière schématique, en coupe transversale une variante de réalisation d'un substrat avec co-intégration de deux transistors,
- les figures 7 et 8 représentent, de manière schématique, en vue de dessus deux masques de définition des trous de contact dans la couche
30 de protection.

Description détaillée

La figure 1 montre un substrat 1 comportant un film 2 en premier matériau semi-conducteur (noté ici 2a et 2b) sur lequel sont déjà formés un diélectrique de grille (non représenté) et une électrode de grille 3. L'électrode de grille 3 est séparée du film 2 en premier matériau semi-conducteur par le diélectrique de grille. Les zones de source 4 et de drain 5 peuvent être formées dans le film 2 en premier matériau semi-conducteur et sont séparées par l'électrode de grille 3. Les zones de source et drain 4 et 5 sont connectées par un canal de conduction formé dans le film 2. Le canal de conduction est disposé sous l'électrode de grille 3. Le film 2 est monocristallin. Le film 2 est par exemple en silicium, mais il est également possible d'utiliser d'autres matériaux semi-conducteurs de valence IV ou alors d'autres matériaux adaptés. Le mode de réalisation illustré à la figure 1 représente une co-intégration de deux transistors T1 et T2 pour lesquels, les premiers matériaux semi-conducteurs sont différents et notés 2a et 2b. En variante, les deux matériaux sont identiques.

Le substrat 1 peut être un substrat massif de matériau semi-conducteur ou un substrat plus complexe, par exemple un substrat de type semi-conducteur sur isolant. Dans le cas d'un substrat de type semi-conducteur sur isolant, le substrat 1 comporte successivement un film 2 en premier matériau semi-conducteur, une couche électriquement isolante 6 et un support 7 qui peut être un deuxième film semi-conducteur. La couche électriquement isolante 6 peut être formée par tout matériau adapté, par exemple par un oxyde, un nitrure, un mélange de ces derniers. A titre d'exemple, la couche électriquement isolante 6 peut être en oxyde de silicium ou en nitrure de silicium. Il est particulièrement avantageux d'utiliser un substrat de type semi-conducteur sur isolant et plus particulièrement un substrat dont l'épaisseur du film semi-conducteur est inférieur ou égale à 10nm afin d'avoir une contrainte mécanique importante.

Le transistor à effet de champ peut être seul ou plusieurs transistors peuvent être formés sur le substrat 1. De manière avantageuse, si plusieurs transistors sont formés, il est préférable d'utiliser un motif d'isolation 8, par exemple un motif en matériau électriquement isolant qui s'enfonce dans le substrat également appelé tranchée d'isolation notamment une tranchée dite STI pour Shallow Trench Isolation en anglais.

Les zones de source et/ou de drain 4 et 5 sont formées dans un matériau électriquement conducteur, de préférence un matériau semi-conducteur dopé. Différents matériaux sont utilisables. Les zones de source et de drain 4 et 5 peuvent être formées dans le même matériau que celui qui forme le canal de conduction comme cela est illustré pour le transistor T2. En variante, il est également possible de former les zones de source et drain dans un matériau qui possède un paramètre de maille différent de celui qui forme le canal de conduction afin d'appliquer de la contrainte dans le canal de conduction comme cela est illustré pour le transistor T1. Une configuration opposée peut également être appliquée. Dans un mode de réalisation particulier, les zones de source et/ou de drain 4 et 5 sont réalisées avec une solution solide de silicium/carbone. Ce matériau présente un paramètre de maille inférieur à celui du silicium ce qui permet d'appliquer un jeu de contraintes en tension sur le canal de conduction.

Si plusieurs transistors sont intégrés sur le substrat, il est possible d'avoir des matériaux différents entre les transistors, par exemple des matériaux différents entre les transistors nMOS et les transistors pMOS.

Dans un mode de réalisation particulier, l'épaisseur des zones de source et drain 4 et 5 est comprise entre 5nm et 50nm. De manière avantageuse, l'épaisseur des zones de source et drain est égale ou de l'ordre de 20nm.

Les zones de source et drain peuvent être des zones dont le sommet est dans le prolongement de l'interface entre le film 2 en premier matériau semi-conducteur et le diélectrique de grille. En variante, il est possible de former des zones de source et drain 4 et 5 qui sont surélevées, c'est-à-dire qu'un apport de

5 matière a été effectué par exemple pour faciliter l'étape de siliciuration à venir et avantageusement pour optimiser les contraintes dans le canal de conduction. Dans un autre mode de réalisation, il est également possible de former des zones de source et drain gravées dans le film en matériau semi-conducteur, en sous-épaisseur par rapport au canal de conduction.

10

Le substrat est également recouvert d'une couche de protection 9 (notée ici 9a', 9a'' et 9b) réalisée dans un matériau électriquement isolant. La couche de protection 9 recouvre l'électrode de grille 3 et les zones de source et de drain 4 et 5. La couche de protection 9 peut être une couche de protection contrainte

15 en compression, contrainte en tension ou une couche neutre.

La couche de protection 9 peut être réalisée en différents type d'oxyde de silicium, en nitrure de silicium ou d'en un autre matériau électriquement isolant.

20 Dans un mode de réalisation particulièrement avantageux, il est intéressant de réaliser la couche de protection 9 avec un empilement de deux couches différentes 9a et 9b. La première couche de protection 9a est en contact avec les zones de source et drain 4 et 5 et avec l'électrode de grille 3. La première couche de protection 9a est avantageusement une couche qui est contrainte.

25

Dans le cas où plusieurs transistors différents sont intégrés, il est avantageux d'utiliser une couche de protection 9 formée d'au moins deux couches 9a et 9b. La couche de protection 9a est une couche contrainte qui est en contact avec le transistor T1 et qui est spécifique au transistor utilisé. A titre d'exemple, la

30 première couche de protection 9a' est en contact avec le transistor T2 et configurée pour appliquer une contrainte en tension sur le canal d'un transistor

nMOS. En revanche, la première couche de protection 9a'' est en contact avec le transistor et configurée pour appliquer une contrainte en compression sur le canal d'un transistor pMOS. Une configuration opposée pour les transistors T1 et T2 est également possible.

5

La première couche de protection 9a est recouverte par une deuxième couche de protection 9b qui peut être neutre ou qui est moins contrainte. Dans le cas d'une co-intégration, la deuxième couche 9b est avantageusement commune à tous les transistors.

10

Au moins un trou est présent dans la couche de protection 9 pour accéder à la zone de source 4 et/ou à la zone de drain 5.

Les première et deuxième couches de protection 9a et 9b peuvent être réalisées dans le même matériau, mais il est intéressant d'utiliser deux matériaux différents afin de faciliter la formation d'un trou d'accès à la zone de source 4, d'un trou d'accès à la zone de drain 5 et d'un trou d'accès à l'électrode de grille 3. L'utilisation de deux matériaux différents permet de mieux détecter le changement de matériau lors de l'étape de gravure formant le trou d'accès.

20

A titre d'exemple, la première couche de protection 9a a une épaisseur comprise entre 2nm et 50nm. Dans un mode de réalisation préférentiel, la couche de protection 9a est réalisée en nitrure de silicium. Il est avantageux de moduler la teneur en azote et les conditions du dépôt pour former une couche contrainte en compression ou une couche contrainte en tension. La deuxième couche de protection 9b peut avoir une épaisseur comprise entre 2nm et 150nm. Dans un mode de réalisation particulier, la deuxième couche de protection 9b est elle-même formée par deux couches élémentaires (non représentées). La première couche élémentaire de la couche 9b est un matériau apte à s'écouler et déposé par dépôt chimique en phase vapeur par

25

30

exemple un oxyde de silicium. Il est avantageux d'utiliser une technique de dépôt choisie parmi le dépôt chimique en phase vapeur fluide ou FCVD pour Flowable Chemical Vapor Deposition et le dépôt chimique en phase vapeur sub-atmosphérique ou SACVD pour Sub-Atmospheric Chemical Vapor Deposition. La deuxième couche élémentaire de la couche 9b est un autre matériau déposé par dépôt chimique en phase vapeur. La première couche élémentaire 9a est un matériau qui remplit facilement les trous ce qui est particulièrement intéressant pour les dispositifs de faibles dimensions. L'épaisseur de la première couche élémentaire 9a est avantageusement inférieure à 50nm.

La deuxième couche élémentaire 9b est par exemple une couche de TEOS (tetraethylorthosilicate) ou un oxyde de silicium qui peut être déposé par un plasma à haute densité ou HDP pour High Density plasma, son épaisseur est avantageusement inférieure à 100nm et avantageusement supérieure à 10nm.

Comme indiqué précédemment, la couche de protection 9 est ajourée : elle comporte un trou d'accès à la zone de source 4 et/ou à la zone de drain 5. La couche de protection 9 peut recouvrir la grille comme cela est représenté sur la figure 1, mais il est également possible de choisir l'épaisseur de la couche de protection de manière à affleurer avec la partie supérieure de la grille (figure 6).

Dans un mode de réalisation avantageux, la couche de protection 9 comporte un trou d'accès aux zones de source et drain et un trou d'accès à l'électrode de grille. Les trous d'accès peuvent être réalisés par toute technique adaptée, par exemple par une étape de photolithographie associée à une étape de gravure. Un trou peut être réalisé pour chaque électrode (figure 7) ou il est possible de réaliser un trou pour l'ensemble des électrodes (figure 8) et d'utiliser les espaceurs latéraux de l'électrode de grille comme isolant électrique entre les électrodes. Un exemple de réalisation des trous d'accès est illustré dans les documents US2013/0295734 et US 2013/0252412.

De manière particulièrement avantageuse, il est intéressant de former tous les trous d'accès dans une seule et même étape de gravure. La forme des trous d'accès peut être quelconque. La plus petite dimension latérale du trou, c'est-à-dire dans un plan parallèle à la surface du substrat 1, est comprise entre 5 et 30nm.

Comme illustré à la figure 2, le dépôt d'un matériau métallique 10 est réalisé dans les trous d'accès afin de former une interface entre le matériau métallique 10 et les matériaux semi-conducteurs formant les zones de source 4, de drain 5 et éventuellement de l'électrode de grille 3. Le matériau métallique 10 peut être déposé par toute technique adaptée, par exemple par dépôt chimique en phase vapeur (CVD), par dépôt physique en phase vapeur (PVD) ou par dépôt électrochimique. Le matériau métallique 10 peut être un élément pur ou un alliage métallique, par exemple un alliage de 90% de Nickel et 10% de Platine (en pourcentage atomique).

De manière avantageuse, le dépôt du matériau métallique 10 est réalisé par une technique de dépôt directif ou sélectif ce qui permet de localiser le matériau métallique 10 dans le fond des trous d'accès ainsi que sur le dessus de la couche de protection 9. Le dépôt est réalisé avantageusement selon une direction perpendiculaire à la surface du substrat, ici perpendiculaire à l'interface entre le diélectrique de grille et le premier matériau semi-conducteur. L'utilisation d'un dépôt directif ou sélectif permet de réduire voire d'éviter le dépôt du matériau métallique sur les flancs des trous et donc d'éviter les courts-circuits.

L'épaisseur du dépôt du matériau métallique 10 ainsi que les conditions du recuit sont configurées de manière à définir la quantité de matériau semi-conducteur et de matériau métallique qui vont réagir. Selon les modes de réalisation, il est possible d'obtenir la réaction partielle ou totale des zones de

source et/ou de drain. Il est également possible de prévoir la réaction de la grille 3. Cependant, il est intéressant de ne pas transformer le canal.

Dans un mode de réalisation avantageux, l'épaisseur déposée de matériau métallique 10 est comprise entre 0,5nm et 10nm et avantageusement égale à 4nm. A titre d'exemple, pour un dépôt de 4nm de nickel, un recuit à 400°C peut être utilisé pour former une phase de NiSi. Un dépôt de titane ou de cobalt peut également être réalisé et un recuit à 600°C peut être utilisé.

- 10 Comme illustré à la figure 3, le dépôt du matériau métallique 10 est suivi du dépôt d'une couche barrière 11. La couche barrière 11 est par exemple en TiN. La couche barrière 11 est une couche électriquement conductrice. La couche barrière 11 est réalisée dans un matériau qui ne réagit pas avec les matériaux semi-conducteurs formant les zones de source et de drain 4 et 5, ni avec le
- 15 matériau semi-conducteur formant l'électrode de grille 3. La couche barrière 11 est réalisée dans un matériau qui ne réagit pas avec le matériau métallique 10.

- La couche barrière est avantageusement une couche qui bloque les atomes de Cu, W et O afin d'obtenir un dispositif électriquement performant. Il est
- 20 avantageux de former une couche barrière conforme et continue. De manière particulièrement avantageuse, le matériau barrière est un matériau plus rigide que le matériau semi-conducteur 2 afin de limiter la déformation de la couche barrière 11 au cours du procédé de fabrication.

- 25 Le dépôt de la couche barrière 11 peut être réalisé au moyen d'une technique de dépôt non directif ou au moyen d'une autre technique. Dans l'exemple illustré, le dépôt réalisé est un dépôt isotrope, c'est-à-dire selon une technique qui dépose la même épaisseur quelle que soit l'orientation de la face à recouvrir. A titre d'exemple, il est possible d'utiliser un dépôt par couche
- 30 atomique (ALD) ou un dépôt chimique en phase vapeur aux métallorganiques (MOCVD). Cependant, une technique anisotrope peut être également utilisée.

De manière avantageuse, il faut éviter de remplir le trou uniquement avec un matériau tel que TiN qui va absorber une partie des contraintes. Il est préférable d'utiliser un remplissage partiel par du tungstène qui est plus rigide.

5

Comme illustré à la figure 4, le dépôt de la couche barrière 11 est avantageusement suivi du dépôt d'un conducteur électrique 12 qui va venir remplir les trous d'accès. Ce conducteur électrique 12 peut être déposé par toute technique adaptée. Ce conducteur électrique 12 est par exemple du tungstène ou du cuivre. Selon les modes de réalisation, le trou d'accès peut être complètement rempli par la couche barrière 11 ou par un empilement de plusieurs matériaux électriquement conducteurs. De manière avantageuse, les matériaux recouvrant la couche barrière 11 sont des matériaux métalliques, par exemple des métaux purs ou des alliages. Dans un mode de réalisation particulier, le module de Young du conducteur électrique 12 est supérieur au module de Young du matériau semi-conducteur pour accroître le transfert de contrainte. A titre d'exemple, dans le cas où le matériau semi-conducteur est en silicium (le module de Young est égal à 130 GPa), il est avantageux d'utiliser du tungstène qui possède un module de Young égal à 406 GPa.

20

Dans un mode de réalisation avantageux, il est possible de moduler l'écart de rigidité entre le matériau semi-conducteur 2 et le conducteur électrique 12 en réalisant une amorphisation du matériau semi-conducteur par exemple par une implantation ionique. Il est également possible d'ajouter un élément visant à former un matériau plus rigide avant de déposer le conducteur électrique 12. Par exemple, si le matériau semi-conducteur 2 est en germanium ou à base de germanium, il est avantageux de rajouter du silicium pour former un alliage de SiGe qui est plus rigide.

25

Le mode de réalisation illustré à la figure 4 représente une co-intégration d'un transistor T1 muni jeu de contraintes accru et un transistor T2 dépourvu de ce jeu de contraintes accru car il n'a pas de couche barrière 11.

- 5 Dans le cas où la couche barrière 11 est associée au dépôt du conducteur électrique 12, l'épaisseur de la couche barrière 11 est avantageusement comprise entre 1 et 10nm. L'épaisseur du conducteur électrique 12 est avantageusement comprise entre 1 et 25nm. De manière avantageuse, le conducteur électrique 12 remplit complètement le trou, c'est-à-dire jusqu'en
10 haut.

Comme indiqué précédemment, le dépôt du matériau métallique 10 est suivi du dépôt de la couche barrière 11. Cet enchainement est dépourvu d'une étape de recuit à basse température qui entraine la réaction du matériau métallique 10
15 avec le matériau semi-conducteur 2 en contact. Cet enchainement est également dépourvu d'une étape de retrait sélectif du matériau métallique 10 qui n'a pas réagi avec le matériau semi-conducteur 2. La température de dépôt de la couche barrière 11 est donc inférieure à la température de formation de l'alliage entre le matériau métallique 10 et le matériau semi-conducteur 2. De
20 manière avantageuse, la température de dépôt du conducteur électrique 12 est inférieure à la température de formation du matériau métallique à base de matériau semi-conducteur 13. La température de formation de l'alliage entre le matériau métallique et le matériau semi-conducteur dépend des matériaux utilisés.

25

Dans cette configuration particulière illustrée à la figure 3, on trouve l'empilement successif suivant au niveau de la zone de source 4 et/ou de drain 5 et éventuellement au niveau de l'électrode de grille 3 : matériau semi-conducteur 2, matériau métallique 10 non réagi et couche barrière 11.

30

Comme illustré à la figure 5, un traitement thermique est réalisé et configuré pour faire réagir le matériau métallique 10 avec le ou les matériaux semi-conducteurs après le dépôt de la couche barrière 11 et de préférence après le remplissage des trous d'accès. Dans cette configuration, la réaction de formation d'un alliage 13 entre le matériau métallique 10 et le matériau semi-conducteur 2 (par exemple un siliciure ou un germaniure) est réalisée dans un environnement confiné. L'alliage 13 est électriquement conducteur.

La formation de l'alliage 13 ayant un comportement métallique à base de matériau semi-conducteur et d'un métal se traduit par une diminution de volume. En d'autres termes, le volume occupé par l'alliage 13 est inférieur au volume initialement occupé par le matériau métallique 10 et le matériau semi-conducteur 2 avant réaction.

Comme la réaction a lieu à l'état solide et dans un environnement confiné, la diminution de volume se traduit par l'apparition d'un jeu de contraintes sur le canal de conduction. La contrainte peut être appliquée depuis la zone de source 4 et/ou depuis la zone de drain 5. Il est particulièrement avantageux de réaliser la formation de l'alliage 13 dans les zones de source et de drain 4 et 5 pour avoir une contrainte maximale sur le canal de conduction.

La siliciuration du matériau semi-conducteur formant l'électrode de grille 3 a un effet relativement faible sur la mobilité des porteurs. Il est donc possible de réaliser la siliciuration de la grille de manière différente à ce qui est fait pour les électrodes de source et de drain 4 et 5. Il est également possible de prévoir, plus tard dans le procédé, le remplacement du matériau délimitant l'électrode de grille 3 par un autre matériau plus adapté.

Si les zones de source et de drain 4 et 5 sont formées par du silicium ou par un matériau comportant majoritairement du silicium, il est avantageux d'utiliser un matériau métallique 10 choisi parmi le titane, le palladium, le platine, le cobalt,

le nickel, le tantale, le molybdène et le tungstène et leurs alliages. De manière particulièrement avantageuse, le nickel et les alliages de nickel seront utilisés car la différence de volume est importante lors de la formation d'un siliciure. Ce procédé de fabrication est particulièrement avantageux pour la formation des transistors de type nMOS car la contrainte appliquée est une contrainte en tension sur le canal de conduction. Cet effet peut être associé avec l'utilisation de zones de source et de drain 4 et 5 en solution solide de silicium/carbone.

Dans le cas où les trous d'accès sont complètement remplis, il y a un risque de court-circuit entre les différentes électrodes du transistor. Il est alors particulièrement avantageux de localiser les matériaux électriquement conducteurs dans les trous d'accès.

De manière avantageuse, une étape de localisation des différents matériaux notamment métalliques dans les trous d'accès est réalisée avant d'effectuer le traitement thermique de formation de l'alliage 13. La localisation est réalisée par exemple au moyen d'une étape de polissage mécano-chimique.

Dans un mode de réalisation particulièrement avantageux, plusieurs transistors sont formés et seulement une partie de ces transistors présente une contrainte en tension appliquée à partir de la formation de l'alliage 13.

Une manière de réaliser la co-intégration est de protéger certains transistors lors des dépôts des métaux et matériaux métalliques afin d'éviter la génération de contraintes à partir de l'alliage 13. Un matériau sacrificiel est déposé pour recouvrir et protéger le deuxième transistor T2. Le premier transistor T1 est laissé découvert. Un premier métal et au moins une couche barrière sont déposés. Un traitement thermique est réalisé de manière à faire réagir le matériau métallique avec le matériau semi-conducteur. Ensuite, le matériau sacrificiel est éliminé. Le premier transistor est éventuellement protégé. Un deuxième métal est déposé et réagit avec le matériau semi-conducteur pour

former un deuxième transistor à effet de champ. Le deuxième métal peut être identique ou non au premier métal.

En variante, il est également possible de déposer la couche barrière 11 sur
5 plusieurs transistors et d'éliminer cette couche barrière là où elle n'est pas recherchée, par exemple sur le transistor T2 de la figure 4.

Pour le deuxième transistor T2, il est possible de réaliser un procédé de transformation plus conventionnel en appliquant un premier recuit configuré
10 pour faire réagir le matériau métallique avec le matériau semi-conducteur 2 formant les zones de source/drain 4 et 5. Ensuite, le matériau métallique en surplus est éliminé et un deuxième recuit est réalisé de manière à former le composé défini qui présente les caractéristiques électriques recherchées. A titre
15 d'exemple, si le matériau métallique est du cobalt, le premier recuit va former un alliage ayant sensiblement la composition CoSi et le deuxième recuit va former l'alliage CoSi_2 .

Le recuit de formation de l'alliage 13 pour le transistor T1 peut être commun avec le recuit destiné à former un autre alliage entre un matériau semi-
20 conducteur et un matériau métallique sur le transistor T2.

Dans une autre configuration, le même matériau métallique est déposé pour les deux transistors. Pour le premier transistor T1, le matériau métallique est recouvert par la couche barrière 11 pour l'application de la contrainte. Pour le
25 deuxième transistor T2, la couche barrière est absente. Dans ces conditions, lors du recuit, la contrainte en tension n'est pas appliquée car le volume de l'alliage peut évoluer librement sans générer une quantité importante de contraintes sur le canal de conduction.

30 Dans cette configuration, il est particulièrement avantageux de prévoir une couche de blocage de l'oxygène, par exemple une fine couche de nitrure de

silicium qui ne sera pas en mesure d'appliquer la contrainte sur les zones source/drain du transistor.

Dans le cas d'une co-intégration, il peut être aisé de différencier visuellement le transistor T1 et le transistor T2. Dans le cas où le matériau métallique est déposé par une technique de dépôt physique en phase vapeur, une partie du matériau métallique est présent sur les bords des trous formés dans la couche de protection 9. Ce dépôt est encapsulé par la couche barrière 11 et il reste présent tout au long du procédé. Dans le cas d'une siliciuration conventionnelle, le matériau métallique présent sur les flancs des trous ne réagit pas et est éliminé lors du retrait du matériau métallique qui n'a pas réagit.

Cette configuration est particulièrement avantageuse car elle est compatible avec l'utilisation de zones de source et drain contraintes et elle est également compatible avec l'utilisation de couches de protection contraintes.

Dans le cas où les zones de source/drain sont réalisées en alliage de silicium-germanium, une contrainte de compression peut être présente. L'utilisation du procédé présenté plus haut permet de réduire cette contrainte en compression. Il est alors avantageux de former deux transistors dont l'un utilise la couche barrière et l'autre est dépourvu de la couche barrière. Dans ce cas, il est possible de moduler la contrainte en compression dans le transistor. Par exemple, si la couche barrière présente un module de Young inférieur à celui du matériau formant le conducteur 12, l'élimination de la couche barrière peut entraîner une augmentation de la contrainte en tension. Il sera alors préférable d'orienter ce mode de réalisation préférentiellement vers la réalisation de transistor nMOS.

Comme indiqué précédemment, dans un mode de réalisation préférentiel, une étape d'aplanissement est réalisée après le dépôt de la couche de protection 9 et plus particulièrement après le dépôt de la couche 9b. L'étape

d'aplanissement est configurée de manière à ce que la surface de l'empilement soit plane et qu'elle comporte des zones en couche de protection 9 et des zones en motif de grille. De cette manière, l'accès au motif de grille 3 est assuré.

5

De manière avantageuse illustrée à la figure 6, l'empilement formant le motif de grille comporte une couche d'arrêt de gravure 14 par exemple en nitrure de silicium. De cette manière, la surface comporte des zones en couche de protection 9 et des zones en nitrure de silicium.

10

L'accès aux zones de source et/ou de drain peut être réalisé au moyen d'un masque spécifique définissant les contacts comme cela est illustré à la figure 7. Dans l'exemple illustré, le masque comporte deux cavités 15a et 15b qui sont destinées à former deux trous de contact circulaires dans la couche de protection 9.

15

Cependant comme illustré à la figure 8, il est avantageux d'utiliser un masque présentant une cavité 15 qui reprend la forme de la zone active ou sensiblement la forme de la zone active pour libérer une surface importante des zones de source et de drain. Le masque est configuré pour accéder à la zone de source 4 et à la zone de drain 5 au moyen d'une même cavité. La cavité s'étend de chaque côté de l'électrode de grille 3. De préférence, la cavité s'étend sur toute la dimension de la zone active, c'est-à-dire de manière à atteindre le motif d'isolation 8. La cavité du masque s'étend avantageusement selon l'autre dimension pour libérer toute la zone active selon l'axe longitudinal de l'électrode de grille 3. La cavité du masque peut déborder sur le motif d'isolation en prenant garde de ne pas court-circuiter les zones de source et de drain. Dans l'exemple illustré à la figure 8, la cavité débord sur le motif d'isolation dans la direction perpendiculaire à l'axe longitudinal de l'électrode de grille. Selon l'axe longitudinal de l'électrode de grille, la cavité ne vient pas atteindre le motif d'isolation.

20

25

30

Comme dans les modes de réalisation précédents, une couche de matériau métallique 10 est déposée sur les zones de source et de drain. La couche barrière 11 puis éventuellement le conducteur électrique 12 sont déposés. Le

5 recuit configuré pour former l'alliage 13 est réalisé.

Revendications

1. Procédé de fabrication d'un transistor à effet de champ, comportant les étapes consécutives suivantes :

- 5 - fournir un substrat (1) comportant :
 - un film (2a) en premier matériau semi-conducteur,
 - un diélectrique de grille recouvert par une électrode de grille (3),
 - des zones de source et de drain (4, 5) séparées par l'électrode de grille (3),
 - 10 ○ une couche de protection (9a', 9b) recouvrant l'électrode de grille (3) et les zones de source et de drain (4, 5),
 - un trou d'accès à la zone de source (4) et/ou à la zone de drain (5),
- 15 - déposer un matériau métallique (10) dans le trou d'accès en contact avec le premier matériau semi-conducteur (2a) de la zone de source et/ou de drain (4, 5)

procédé caractérisé en ce qu'il comporte avant réaction du matériau métallique (10) avec le premier matériau semi-conducteur (2a) :

- 20 - déposer une couche barrière (11) électriquement conductrice, la couche barrière (11) étant non réactive avec le premier matériau semi-conducteur (2) et non réactive avec le matériau métallique (10),
- 25 - réaliser un traitement thermique de transformation du matériau métallique (10) avec le matériau semi-conducteur (2) pour former un alliage (13) entre un matériau métallique et un matériau semi-conducteur générant un jeu de contraintes sur un canal de conduction disposé entre les zones de source et de drain (4, 5).

2. Procédé de fabrication selon la revendication 1, caractérisé en ce que le trou d'accès est rempli successivement par la couche barrière (11) et par un conducteur électrique (12).

3. Procédé de fabrication selon la revendication 2, caractérisé en ce que le conducteur électrique (12) présente un module de Young supérieur au module de Young du premier matériau semi-conducteur (2).
- 5 4. Procédé de fabrication selon l'une quelconque des revendications 1 à 3, caractérisé en ce que le matériau métallique (10) est déposé au moyen d'un dépôt sélectif ou directif selon une direction perpendiculaire à la surface du substrat (1).
- 10 5. Procédé de fabrication selon l'une quelconque des revendications 1 à 4, caractérisé en ce que le dépôt de la couche barrière (11) est un dépôt isotrope.
- 15 6. Procédé de fabrication selon l'une quelconque des revendications 1 à 5, caractérisé en ce qu'il comporte une étape de polissage mécano-chimique configurée pour éliminer le conducteur électrique (12) déposé sur la couche de protection (9a', 9b).
- 20 7. Procédé de fabrication selon l'une quelconque des revendications 1 à 6, caractérisé en ce que le premier matériau semi-conducteur (2a) est majoritairement à base de silicium et en ce que le matériau métallique (10) est choisi parmi le titane, le palladium, le platine, le cobalt, le nickel, le tantale, le molybdène et le tungstène et leurs alliages de sorte que le jeu de contraintes soit un jeu de contraintes en tension du canal de
25 conduction.
- 30 8. Procédé de fabrication selon l'une quelconque des revendications 1 à 7, caractérisé en ce que la zone de source et/ou de drain (4, 5) est une solution solide de silicium/carbone et en ce que le matériau métallique (10) est choisi parmi le titane, le palladium, le platine, le cobalt, le nickel, le tantale, le molybdène et le tungstène et leurs alliages.

- 5 9. Procédé de fabrication selon l'une quelconque des revendications 1 à 8, caractérisé en ce qu'il comporte une étape d'aplanissement de la couche de protection (9a', 9b) configurée de manière à libérer l'électrode grille (3) et en ce qu'il comporte la formation des trous d'accès aux zones de source et de drain au moyen d'un masque qui comporte une cavité s'étendant de chaque côté de l'électrode de grille (3).

1/4

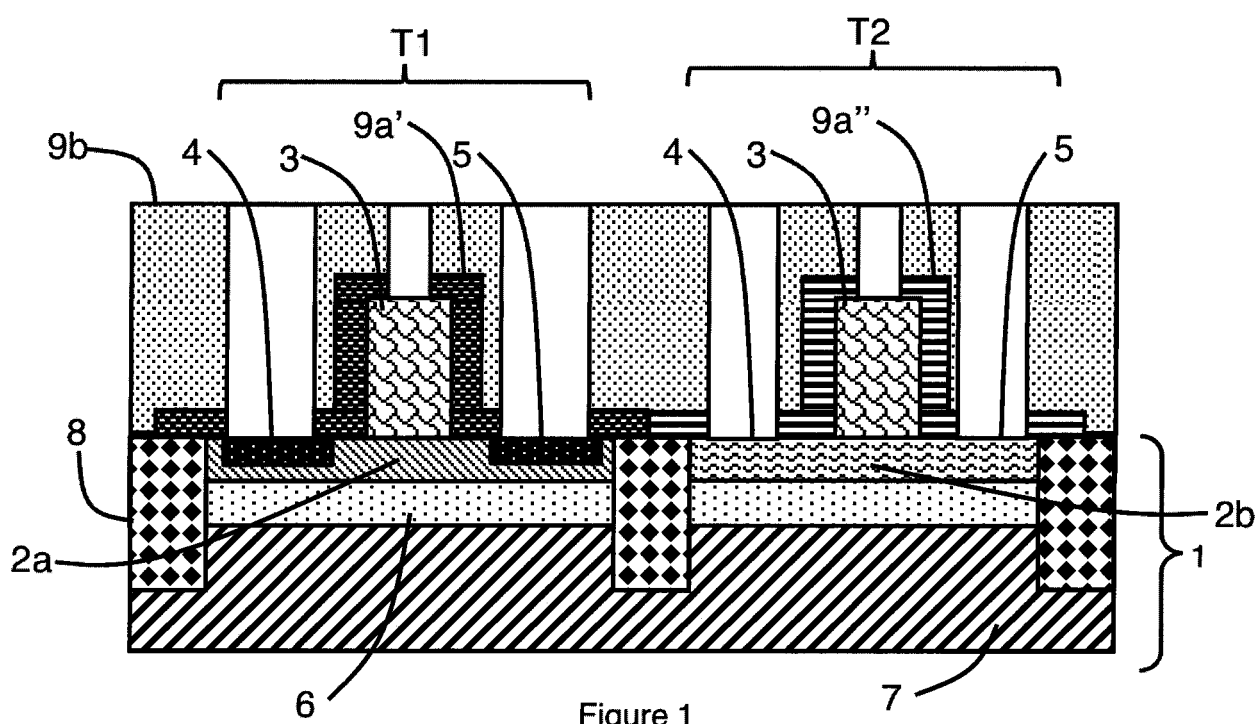


Figure 1

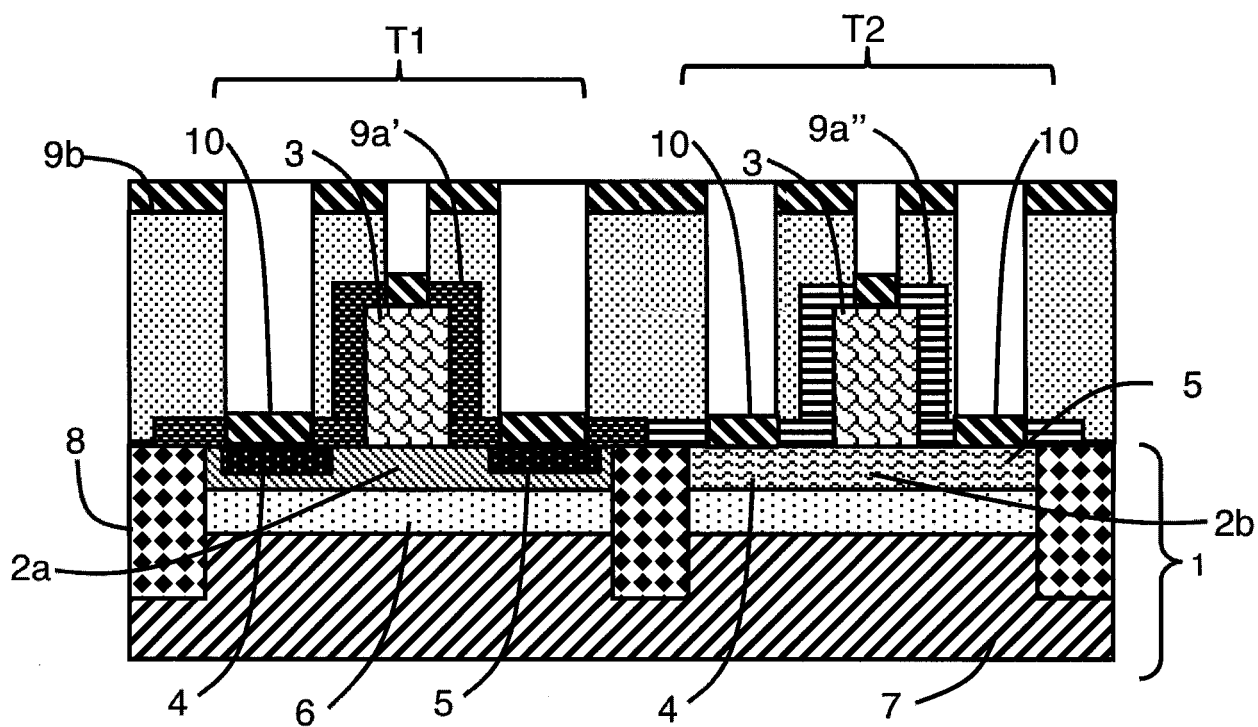


Figure 2

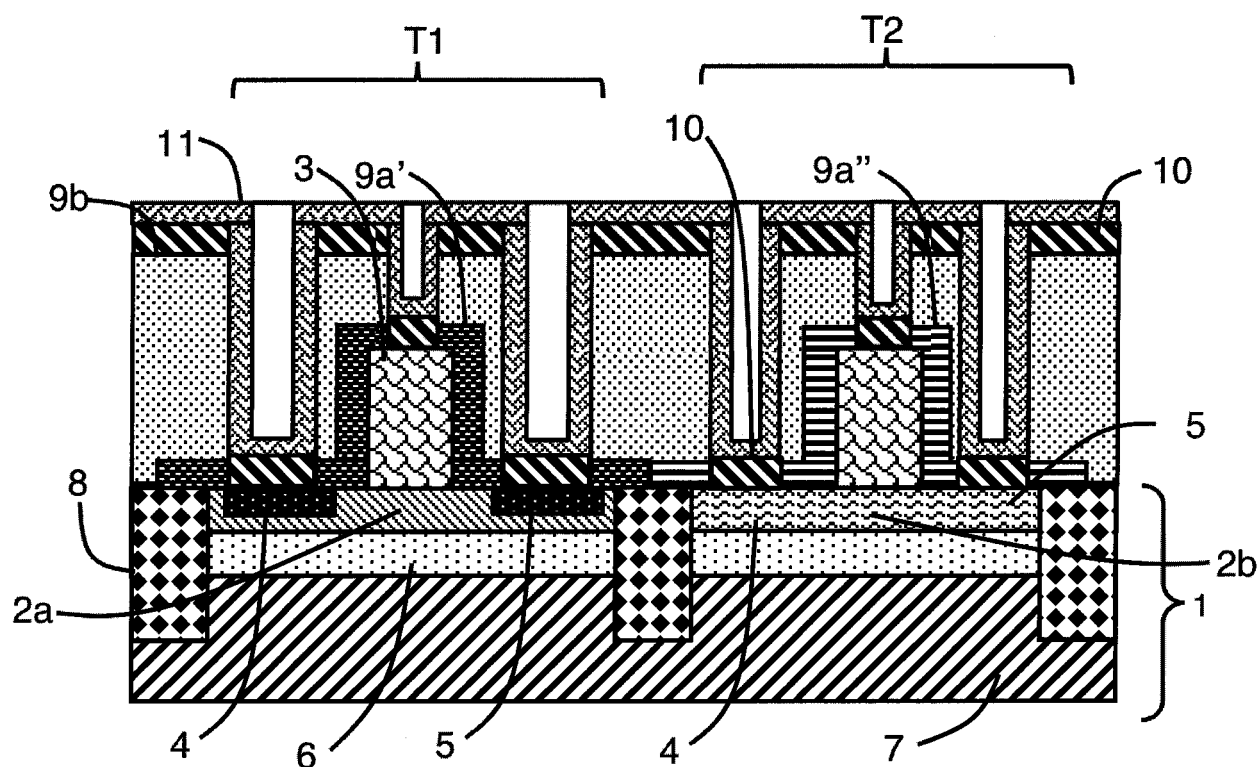


Figure 3

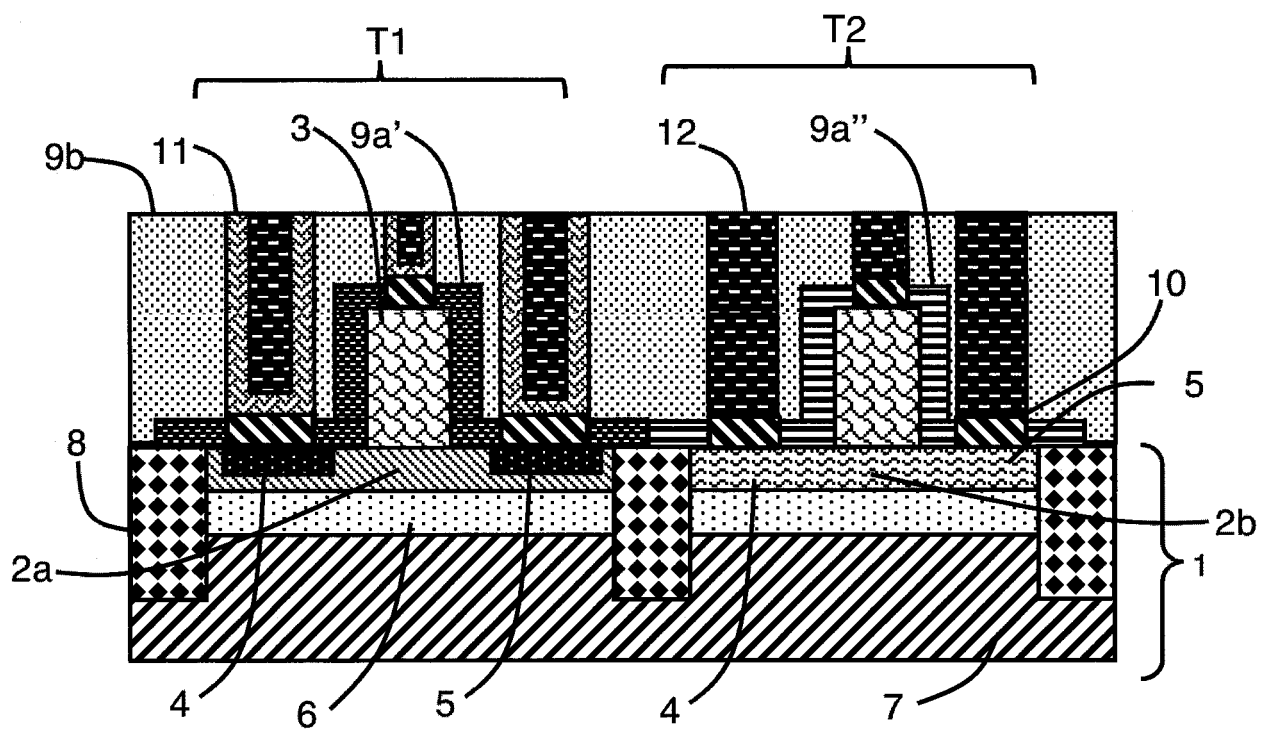


Figure 4

3/4

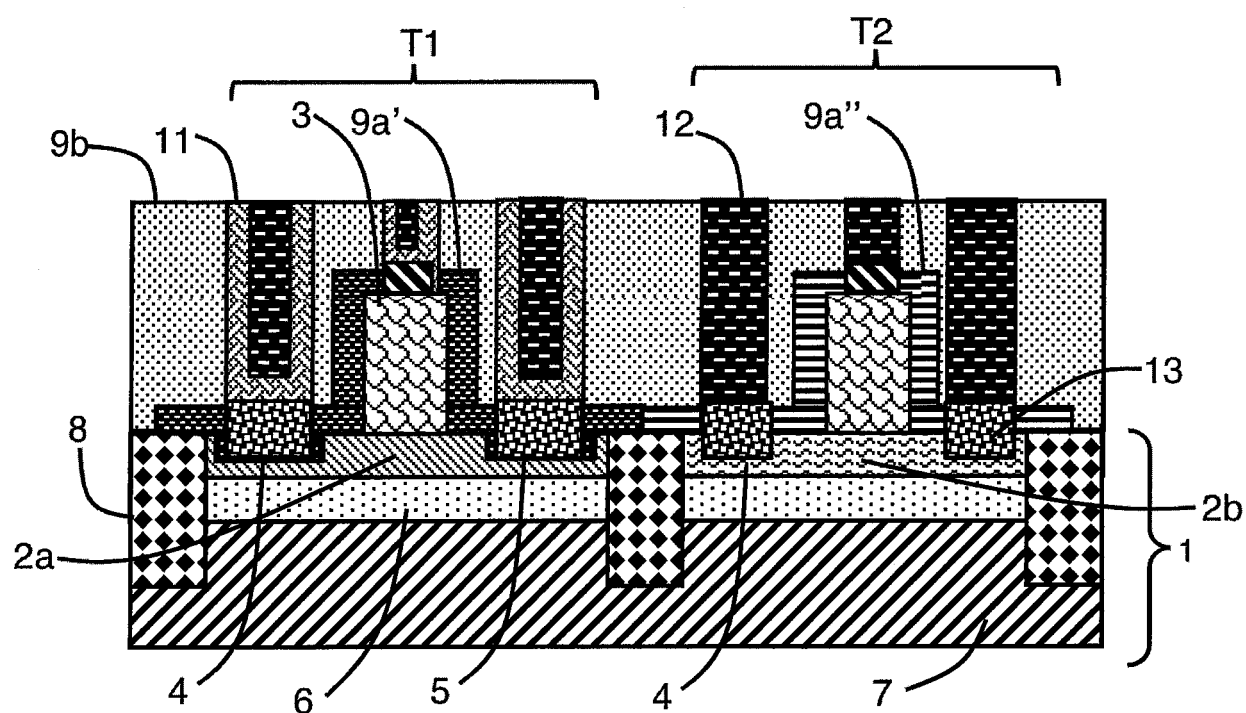


Figure 5

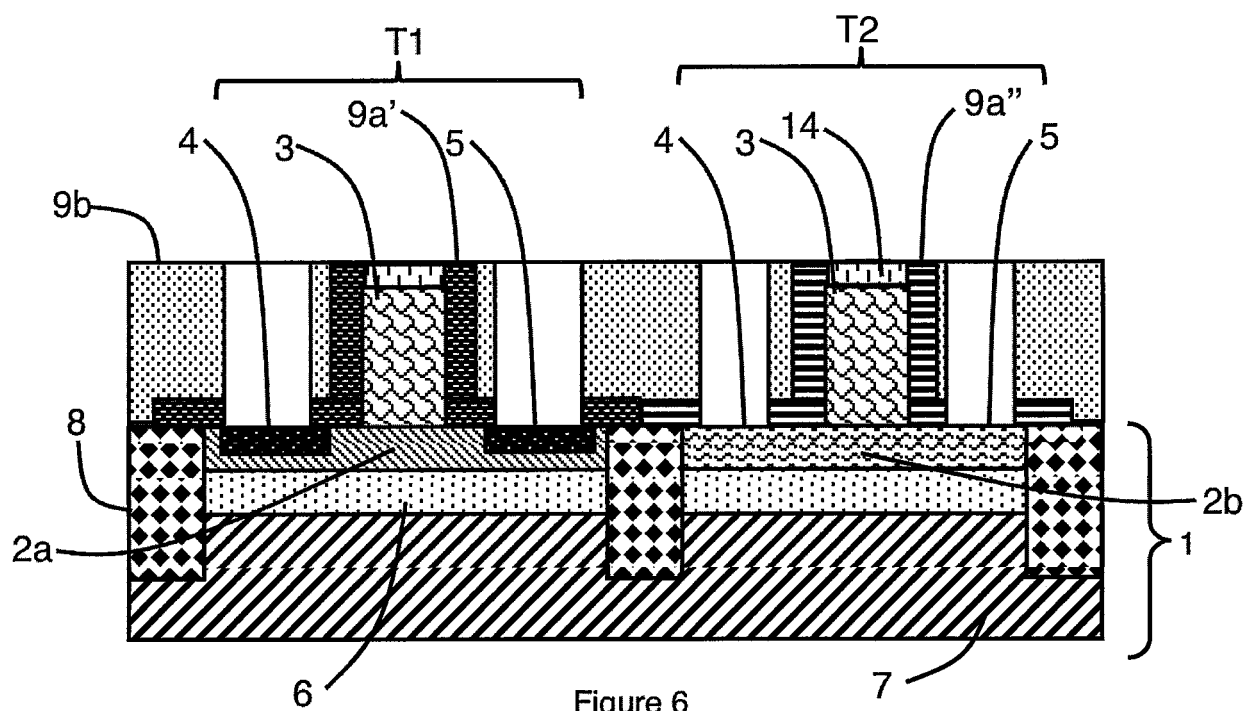


Figure 6

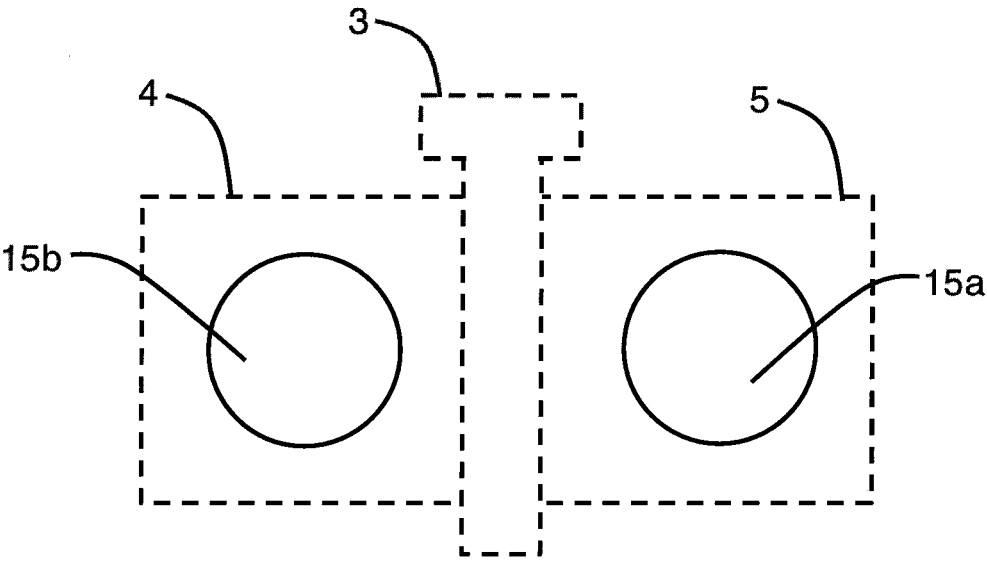


Figure 7

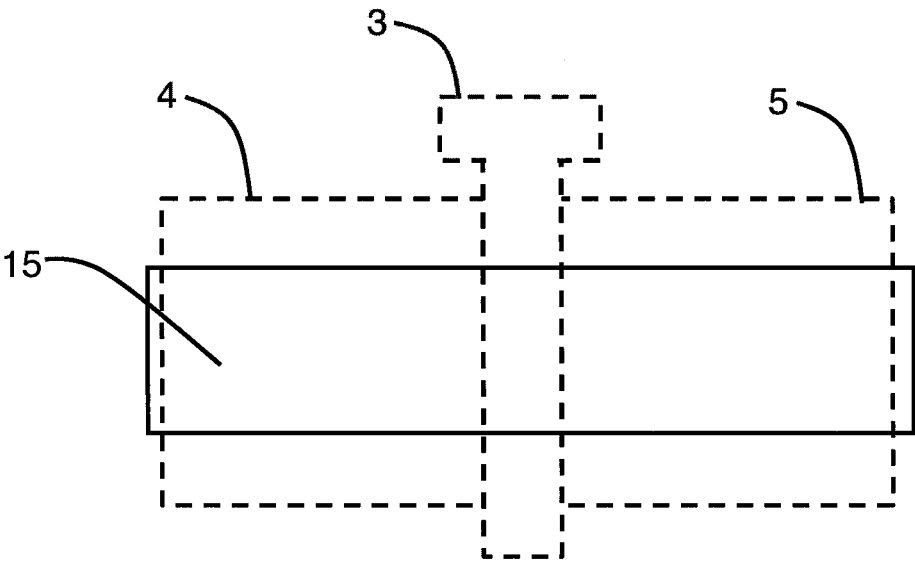


Figure 8



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 793988
FR 1400969

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2013/193577 A1 (TSENG I-MING [TW] ET AL) 1 août 2013 (2013-08-01)	1-3,5-7, 9	H01L29/10
Y	* figures 5, 6, 8-10 *	4,8	
Y	US 2001/016417 A1 (THAKUR RANDHIR P S [US] ET AL) 23 août 2001 (2001-08-23)	4	
Y	* alinéa [0026] *	8	
X	US 5 998 873 A (BLAIR CHRISTOPHER S [US] ET AL) 7 décembre 1999 (1999-12-07)	1-3,5-7	
A	US 2007/269970 A1 (PURTELL ROBERT J [US] ET AL) 22 novembre 2007 (2007-11-22)	1	
A	US 2012/074502 A1 (ELLIS-MONAGHAN JOHN J [US] ET AL) 29 mars 2012 (2012-03-29)	1	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
A	US 2008/157208 A1 (FISCHER KEVIN J [US] ET AL) 3 juillet 2008 (2008-07-03)	1	H01L
A	US 2006/131662 A1 (YAMADA MASARU [JP] ET AL) 22 juin 2006 (2006-06-22)	1	
Date d'achèvement de la recherche		Examineur	
17 décembre 2014		Gélébart, Jacques	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1400969 FA 793988**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **17-12-2014**
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2013193577 A1	01-08-2013	US 2013193577 A1	01-08-2013
		US 2014225262 A1	14-08-2014

US 2001016417 A1	23-08-2001	US 6174806 B1	16-01-2001
		US 2001016417 A1	23-08-2001

US 2009152599 A1	18-06-2009	CN 101364545 A	11-02-2009
		US 2009152599 A1	18-06-2009

US 5998873 A	07-12-1999	DE 19960503 A1	21-06-2000
		KR 20000047632 A	25-07-2000
		US 5998873 A	07-12-1999

US 2007269970 A1	22-11-2007	CN 101075563 A	21-11-2007
		JP 2007311796 A	29-11-2007
		TW 200807630 A	01-02-2008
		US 2007269970 A1	22-11-2007

US 2012074502 A1	29-03-2012	AUCUN	

US 2008157208 A1	03-07-2008	US 2008157208 A1	03-07-2008
		US 2011133259 A1	09-06-2011
		US 2012068273 A1	22-03-2012

US 2006131662 A1	22-06-2006	JP 4833544 B2	07-12-2011
		JP 2006173468 A	29-06-2006
		US 2006131662 A1	22-06-2006
		US 2009200582 A1	13-08-2009
		US 2011001193 A1	06-01-2011
