



(12) 发明专利

(10) 授权公告号 CN 109241641 B

(45) 授权公告日 2022. 09. 13

(21) 申请号 201811089164.0

G06F 115/02 (2020.01)

(22) 申请日 2018.09.18

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 107329872 A, 2017.11.07

申请公布号 CN 109241641 A

CN 101354674 A, 2009.01.28

(43) 申请公布日 2019.01.18

KR 20060067036 A, 2006.06.19

(73) 专利权人 西安微电子技术研究所

王梦等. DDR2 SDRAM控制器接口的FPGA设计及实现.《计算机测量与控制》.2016,第24卷(第12期),

地址 710065 陕西省西安市碑林区太乙路189号

审查员 李邵飞

(72) 发明人 张群

(74) 专利代理机构 西安通大专利代理有限责任公司 61200

专利代理师 徐文权

(51) Int. Cl.

G06F 30/33 (2020.01)

G06F 11/36 (2006.01)

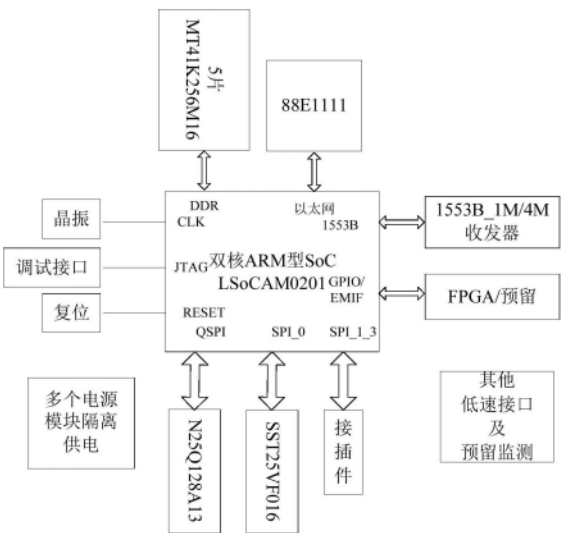
权利要求书2页 说明书6页 附图4页

(54) 发明名称

一种双核ARM型SoC应用验证实现方法及应用验证板

(57) 摘要

本发明公开了一种双核ARM型SoC应用验证实现方法及应用验证板,应用验证板包括LS0CAM0201、5片MT41K256M16、以太网收发器、1M收发器、4M收发器、第一串行PROM、第二串行PROM、接插件、FPGA和拨码开关;应用验证实现方法通过5片MT41K256M16实现对双核ARM型SoC集成的DDR控制器设计功能的应用验证和性能的评估;通过以太网收发器实现以太网接口可配置的应用验证;通过1M/4M收发器实现1553B模块的1M/4M工作模式的应用验证;通过第一串行PROM、第二串行PROM和接插件实现QSPI/SPI与串行PROM的集成应用和通信功能预留;通过FPGA和拨码开关实现GPIO/EMIF管脚复用等设计功能的应用验证。本发明解决了非ARM型SoC应用验证板SDRAM接口速率低、低速通用接口集成和外设接口功能单一等问题,确保了对双核ARM型SoC设计功能的全面验证。



1. 一种双核ARM型SoC应用验证实现方法,其特征在于,包括以下步骤:

将LSoCAM0201的DDR控制器模块与5片MT41K256M16互联,用于进行DDR控制器存储空间的全遍历和校验功能的应用验证的步骤;

将LSoCAM0201的10M/100M/1000M以太网接口连接至以太网收发器,同时将以太网收发器的配置接口预留,用于进行LSoCAM0201的10M/100M/1000M以太网接口兼容工作模式的应用验证的步骤;

将LSoCAM0201的1553B模块的2路总线接口中一路接口连接1M收发器,另一路接口连接4M收发器,用于进行1553B模块的1M或4M工作模式的应用验证的步骤;

将LSoCAM0201的QSPI端外接第一串行PROM,4路SPI中的1路SPI端外接第二串行PROM,另外3路SPI端外接至接插件,用于进行读写串行PROM和SPI通信功能的应用验证的步骤;

将LSoCAM0201的40路GPIO/EMIF通过拨码开关进行上下拉预留设置后接至接插件,同时将LSoCAM0201的40路GPIO/EMIF连入FPGA;分别用于进行LSoCAM0201的GPIO功能和EMIF功能验证的步骤;

上述步骤从任一开始或任几同时开始进行,当上述步骤均完成时结束。

2. 根据权利要求1所述的双核ARM型SoC应用验证实现方法,其特征在于,所述用于进行DDR控制器存储空间的全遍历和校验功能的应用验证的具体方法为:

将5片MT41K256M16分成两组,第一组3片,第二组2片;第一组的3片分成两个部分,第一部分为2片,组成32位数据位,第二部分1片,只用低八位作为校验位;第一组的3片使用同一组地址、片选和时钟信号;第二组为2片,由2片16位存储器颗粒组成32位数据位;地址线、读信号、写信号和复位信号与第一组相同,但时钟、时钟使能、片选信号与第一组不同;第一组和第二组的DQS信号和DM信号均按与8位数据位为一组进行设计;完成LSoCAM0201的存储空间的全遍历和校验功能的应用验证。

3. 根据权利要求1所述的双核ARM型SoC应用验证实现方法,其特征在于,所述用于进行LSoCAM0201的10M/100M/1000M以太网接口兼容工作模式的应用验证的具体方法为:

将LSoCAM0201的10M/100M/1000M以太网接口连接至以太网收发器上,通过25MHz晶体为以太网收发器提供25MHz频率的时钟,作为以太网收发器的基频,使用以太网收发器发送或接收数据的低4位,以太网收发器的配置接口预留,输出信号通过阻抗匹配和滤波抗干扰设计后,接至J0G-0009NL接插件,由J0G-0009NL接插件连接标准以太网通信设备。

4. 根据权利要求3所述的双核ARM型SoC应用验证实现方法,其特征在于,所述以太网收发器为88E1111以太网收发器。

5. 根据权利要求4所述的双核ARM型SoC应用验证实现方法,其特征在于,所述88E1111以太网收发器的配置接口预留的具体方法为:

将88E1111的CONFIG0-CONFIG6接出,CONFIG0通过0 Ω 电阻接地,并通过0 Ω 电阻连接至LED_TX,0 Ω 电阻作为预留配置;CONFIG1通过0 Ω 电阻接地,并通过0 Ω 电阻连接至LED_LINK1000,0 Ω 电阻作为预留配置;CONFIG2通过0 Ω 电阻接VCC_2.5V,并通过0 Ω 电阻连接至CONFIG5,0 Ω 电阻作为预留配置;CONFIG3通过0 Ω 电阻接VCC_2.5V,并通过0 Ω 电阻连接至CONFIG4,然后共同接至LED_DUPLEX,0 Ω 电阻作为预留配置;CONFIG6通过0 Ω 电阻接地,并通过0 Ω 电阻连接至LED_RX和通过0 Ω 电阻连接至LED_LINK10,0 Ω 电阻作为预留配置。

6. 根据权利要求1所述的双核ARM型SoC应用验证实现方法,其特征在于,所述用于进行

1553B模块的1M或4M工作模式的应用验证的具体方法为：

通过64MHz晶振为1553B工作模块提供64MHz频率的时钟，作为1553B工作模块的基频，1553B工作模块的一路接口连接至164245电平转换器进行电平转换，然后接1M收发器HI-1567和变压器，引出信号端，用于进行1553B模块的1M工作模式的应用验证；另一路接口连接2片4M收发器LRT2004和变压器，引出信号端，用于进行1553B模块的4M工作模式的应用验证。

7. 根据权利要求1所述的双核ARM型SoC应用验证实现方法，其特征在于，所述第一串行PROM为N25Q128A13ESF40E串行PROM，接口为QSPI接口；第二串行PROM为SST25VF016B串行PROM，接口为SPI接口。

8. 一种实施权利要求1所述方法的双核ARM型SoC应用验证板，其特征在于，包括LS0CAM0201以及与LS0CAM0201的DDR控制器模块连接的5片MT41K256M16、以太网模块连接的以太网收发器、1553B模块的2路接口分别连接的1M收发器和4M收发器、QSPI接口连接的第一串行PROM、一路SPI接口连接的第二串行PROM、其余三路SPI接口连接的接插件以及GPIO/EMIF接口连接的FPGA和拨码开关；其中：

5片MT41K256M16用于DDR控制器的遍历和校验功能的应用验证；

以太网收发器用于以太网接口兼容工作模式的应用验证；

1M收发器和4M收发器分别用于1553B模块的1M工作模式和4M工作模式的应用验证；

第一串行PROM和第二串行PROM用于QSPI接口和SPI接口读写串行PROM的应用验证；

其余三路SPI接口连接的接插件用于SPI通信功能的应用验证或进行环测应用验证；

FPGA用于EMIF功能应用验证，拨码开关用于GPIO功能应用验证。

一种双核ARM型SoC应用验证实现方法及应用验证板

技术领域

[0001] 本发明属于集成电路应用验证和应用开发领域,涉及一种双核ARM型SoC应用验证实现方法及应用验证板。

背景技术

[0002] LSoCAM0201由2个核心处理器ARM Cortex-A9、片上缓存、监听控制单元(SCU)、内存管理单元(MMU)、UART控制器、SPI控制器、CAN2.0B控制器、片上互连模块及外部接口控制器等组成,可满足飞行控制、导航解算、流程管理等应用需求。但现有的非ARM核型SoC的应用验证板因设计功能有限和性能不高,不能对LSoCAM0201展开应用验证,非ARM核型SoC应用验证板的原理框图如图1所示。首先,非ARM核型SoC设计主频不高,一般在200MHz以下,对应的存储器接口如SDRAM等只有100MHz及以下的工作频率,只能使用低频并行存储器,在应用验证中也只能设计与之对应的低速存储实现;其次,非ARM核型SoC虽然也集成了一些通用接口,但受限于工作主频,集成的外设接口一般为低速接口,在应用验证中只能设计低速接口应用;最后,非ARM核型SoC集成的接口功能比较单一,不能兼容不同的工作模式或不同的工作频率,其对应的应用验证设计也相对单一,不能兼容不同工作模式。

发明内容

[0003] 本发明的目的在于克服上述现有技术的缺点,提供一种双核ARM型SoC应用验证实现方法及应用验证板。

[0004] 为达到上述目的,本发明采用以下技术方案予以实现:

[0005] 一种双核ARM型SoC应用验证实现方法,包括以下步骤:

[0006] 将LSoCAM0201的DDR控制器模块与5片MT41K256M16互联,用于进行DDR控制器存储空间的全遍历和校验功能的应用验证的步骤;

[0007] 将LSoCAM0201的10M/100M/1000M以太网接口连接至以太网收发器,同时将以太网收发器的配置接口预留,用于进行LSoCAM0201的10M/100M/1000M以太网接口兼容工作模式的应用验证的步骤;

[0008] 将LSoCAM0201的1553B模块的2路总线接口中一路接口连接1M收发器,另一路接口连接4M收发器,用于进行1553B模块的1M或4M工作模式的应用验证的步骤;

[0009] 将LSoCAM0201的QSPI端外接第一串行PROM,4路SPI中的1路SPI端外接第二串行PROM,另外3路SPI端外接至接插件,用于进行读写串行PROM和SPI通信功能的应用验证的步骤;

[0010] 将LSoCAM0201的40路GPIO/EMIF通过拨码开关进行上下拉预留设置后接至接插件,同时将LSoCAM0201的40路GPIO/EMIF连入FPGA;分别用于进行LSoCAM0201的GPIO功能和EMIF功能验证的步骤;

[0011] 上述步骤从任一开始或任几同时开始进行,当上述步骤均完成时结束。

[0012] 本发明进一步的改进在于:

[0013] 用于进行DDR控制器存储空间的全遍历和校验功能的应用验证的具体方法为:

[0014] 将5片MT41K256M16分成两组,第一组3片,第二组2片;第一组的3片分成两个部分,第一部分为2片,组成32位数据位,第二部分1片,只用低八位作为校验位;第一组的3片使用同一组地址、片选和时钟信号;第二组为2片,由2片16位存储器颗粒组成32位数据位;地址线、读信号、写信号和复位信号与第一组相同,但时钟、时钟使能、片选信号与第一组不同;第一组和第二组的DQS信号和DM信号均按与8位数据位为一组进行设计;完成LSoCAM0201的存储空间的全遍历和校验功能的应用验证。

[0015] 用于进行LSoCAM0201的10M/100M/1000M以太网接口兼容工作模式的应用验证的具体方法为:

[0016] 将LSoCAM0201的10M/100M/1000M以太网接口连接至以太网收发器上,通过25MHz晶体为以太网收发器提供25MHz频率的时钟,作为以太网收发器的基频,使用以太网收发器发送或接收数据的低4位,以太网收发器的配置接口预留,输出信号通过阻抗匹配和滤波抗干扰设计后,接至J0G-0009NL接插件,由J0G-0009NL接插件连接标准以太网通信设备。

[0017] 以太网收发器为88E1111以太网收发器。

[0018] 88E1111以太网收发器的配置接口预留的具体方法为:

[0019] 将88E1111的CONFIG0-CONFIG6接出,CONFIG0通过0 Ω 电阻接地,并通过0 Ω 电阻连接至LED_TX,0 Ω 电阻作为预留配置;CONFIG1通过0 Ω 电阻接地,并通过0 Ω 电阻连接至LED_LINK1000,0 Ω 电阻作为预留配置;CONFIG2通过0 Ω 电阻接VCC_2.5V,并通过0 Ω 电阻连接至CONFIG5,0 Ω 电阻作为预留配置;CONFIG3通过0 Ω 电阻接VCC_2.5V,并通过0 Ω 电阻连接至CONFIG4,然后共同接至LED_DUPLEX,0 Ω 电阻作为预留配置;CONFIG6通过0 Ω 电阻接地,并通过0 Ω 电阻连接至LED_RX和通过0 Ω 电阻连接至LED_LINK10,0 Ω 电阻作为预留配置。

[0020] 用于进行1553B模块的1M或4M工作模式的应用验证的具体方法为:

[0021] 通过64MHz晶振为1553B工作模块提供64MHz频率的时钟,作为1553B工作模块的基频,1553B工作模块的一路接口连接至164245电平转换器进行电平转换,然后接1M收发器HI-1567和变压器,引出信号端,用于进行1553B模块的1M工作模式的应用验证;另一路接口连接2片4M收发器LRT2004和变压器,引出信号端,用于进行1553B模块的4M工作模式的应用验证。

[0022] 第一串行PROM为N25Q128A13ESF40E串行PROM,接口为QSPI接口;第二串行PROM为SST25VF016B串行PROM,接口为SPI接口。

[0023] 一种双核ARM型SoC应用验证板,其特征在于,包括LSoCAM0201以及与LSoCAM0201的DDR控制器模块连接的5片MT41K256M16、以太网模块连接的以太网收发器、1553B模块的2路接口分别连接的1M收发器和4M收发器、QSPI接口连接的第一串行PROM、一路SPI接口连接的第二串行PROM、其余三路SPI接口连接的接插件以及GPIO/EMIF接口连接的FPGA和拨码开关;其中:

[0024] 5片MT41K256M16用于DDR控制器的遍历和校验功能的应用验证;

[0025] 以太网收发器用于以太网接口兼容工作模式的应用验证;

[0026] 1M收发器和4M收发器分别用于1553B模块的1M工作模式和4M工作模式的应用验证;

[0027] 第一串行PROM和第二串行PROM用于QSPI接口和SPI接口读写串行PROM的应用验证

证；

[0028] 其余三路SPI接口连接的接插件用于SPI通信功能的应用验证或进行环测应用验证；

[0029] FPGA用于EMIF功能应用验证,拨码开关用于GPIO功能应用验证。

[0030] 与现有技术相比,本发明具有以下有益效果:

[0031] 本发明采用LSoCAM0201与5片MT41K256M16的集成设计,替代非ARM型SoC与低速存储器的互联,相较于常规,该种方式不仅可以验证DDR控制器的设计功能和验证功能,还可以遍历DDR控制器的存储空间,极大地提高了应用验证的覆盖性;通过将LSoCAM0201的10M/100M/1000M以太网接口连接至以太网收发器,同时将以太网收发器的配置接口预留,用于进行LSoCAM0201的10M/100M/1000M以太网接口兼容工作模式的应用验证,预留的配置设计还可以覆盖10M/100M/1000M以太网接口设计功能;通过将LSoCAM0201的1553B模块的2路总线接口中一路接口连接1M收发器,另一路接口连接4M收发器,用于进行1553B模块的1M或4M工作模式的应用验证;将LSoCAM0201的QSPI端外接第一串行PROM,4路SPI中的1路SPI端外接第二串行PROM,另外3路SPI端外接至接插件,用于进行读写串行PROM和SPI通信功能的应用验证;将LSoCAM0201的40路GPIO/EMIF接口通过拨码开关进行上下拉预留设置后,接至接插件,或者将LSoCAM0201的40路GPIO/EMIF连入FPGA,不仅验证了LSoCAM0201的GPIO功能,还验证了管脚复用设计中的EMIF功能,提高了应用验证的覆盖性,最大程度发挥应用验证板的功能。确保了对双核ARM型SoC设计功能的全面验证,为其设计功能提供验证依据,并为后续的系统集成奠定基础。

附图说明

[0032] 图1为非ARM型SoC应用验证原理设计框图；

[0033] 图2为本发明的LSoCAM0201应用验证板原理框图；

[0034] 图3为本发明的LSoCAM0201的DDR应用验证原理框图；

[0035] 图4为本发明的LSoCAM0201的以太网应用验证原理框图；

[0036] 图5为本发明的LSoCAM0201的1553B应用验证原理框图；

[0037] 图6为本发明的LSoCAM0201的QSPI/SPI应用验证原理框图；

[0038] 图7为本发明的LSoCAM0201的GPIO/EMIF应用验证原理框图。

具体实施方式

[0039] 为了使本技术领域的人员更好地理解本发明方案,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。显然,所描述的实施例仅仅是本发明一部分的实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都应当属于本发明保护的范围。

[0040] 需要说明的是,本发明的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换,以便这里描述的本发明的实施例能够以除了在这里图示或描述的那些以外的顺序实施。此外,术语“包括”和“具有”以及他们的任何变形,意图在于覆

盖不排除他的包含,例如,包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元,而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

[0041] 下面结合附图对本发明做进一步详细描述:

[0042] 针对如何提供一种相较现有非ARM核型SoC的应用验证,既能满足LSoCAM0201的DDR控制器存储空间遍历的应用验证,又能完成千兆以太网等高速接口的应用验证,还能实现1553B的1M/4M兼容、SPI/QSPI接口以及复用管脚的功能验证的问题,本发明采用如下解决方法。

[0043] LSoCAM0201的DDR控制器共40位数据宽度,其中低32位为数据位,高8位为校验位,且拥有2个独立的片选信号。将5片MT41K256M16分成两组,其中第一组3片,第二组2片。第一组的3片分成两个部分,第一部分为2片,组成32位数据位,第二部分1片只用低8位作为校验位,第一组的3片使用同一组地址、片选和时钟信号,DQS信号和DM信号按与8位数据位为一组进行设计;第二组为2片,使用方法与第一组的第一部分类似,由2片16位存储器颗粒组成32位数据位,地址线、读信号、写信号、复位信号等相同,但时钟、时钟使能、片选信号与第一组不同,DQS和DM信号按与8位数据位为一组进行设计,因在第一组中已经进行了校验功能验证设计,在此高位校验位不用。通过以上设计,完成LSoCAM0201设计的16Gb存储空间的全遍历和校验功能的应用验证。

[0044] 在LSoCAM0201上集成了一个10M/100M/1000M以太网接口,兼容10M/100M/1000M工作模式。将其连接至88E1111上,只使用88E1111发送/接收数据的低4位,输出信号通过阻抗匹配和滤波等抗干扰设计后,接至J0G-0009NL接插件,验证时接至标准以太网通信设备。通过25MHz晶体为88E1111提供25MHz频率的时钟,作为88E1111的基频,将88E1111的CONFIG0-CONFIG6接出,CONFIG0通过0 Ω 电阻接地,并通过0 Ω 电阻连接至LED_TX,0 Ω 电阻作为预留配置;CONFIG1通过0 Ω 电阻接地,并通过0 Ω 电阻连接至LED_LINK1000,0 Ω 电阻作为预留配置;CONFIG2通过0 Ω 电阻接VCC_2.5V,并通过0 Ω 电阻连接至CONFIG5,0 Ω 电阻作为预留配置;CONFIG3通过0 Ω 电阻接VCC_2.5V,并通过0 Ω 电阻连接至CONFIG4,然后共同接至LED_DUPLEX,0 Ω 电阻作为预留配置;CONFIG6通过0 Ω 电阻接地,并通过0 Ω 电阻连接至LED_RX和通过0 Ω 电阻连接至LED_LINK10,0 Ω 电阻作为预留配置。完成了LSoCAM0201的10M/100M/1000M以太网接口兼容设计的应用验证。

[0045] 在LSoCAM0201上集成了2路1553B总线接口,都可以工作在1M/4M模式下。将1553B工作模块的晶振换成64MHz,0路1153B接口外接电平转换器164245进行电平转换,然后接1M收发器HI-1567和变压器,引出信号端,完成1M工作模式的应用验证集成;1路1553B接口外接4M收发器LRT2004和变压器,引出信号端,完成4M工作模式的应用验证集成。在LSoCAM0201上集成了1路QSPI和4路SPI,在QSPI端外接N25Q128A13ESF40E,完成外接串行PROM的应用验证集成;第1路SPI端外接SST25VF016B,完成外接串行PROM的应用验证集成,其余3路SPI外接至接插件,并在接口管脚定义上考虑环测设计。在LSoCAM0201上集成了40路GPIO,且与EMIF接口管脚复用,将40路GPIO通过拨码开关进行上下拉预留设置后,接至接插件备用;同时将EMIF接口连入FPGA,可以验证EMIF设计功能,增加设计开发的灵活性。

[0046] 本发明所提供的双核ARM型SoC应用验证板原理结构和应用条件:

[0047] (一)应用验证板原理结构

[0048] 如图2所示,本发明双核ARM型SoC应用验证板包括LSoCAM0201、5片MT41K256M16、1片以太网收发器、1553B的1M/4M收发器、两片串行PROM和FPGA;5片MT41K256M16与LSoCAM0201的DDR控制器模块连接,以太网收发器与LSoCAM0201的以太网模块连接,1553B的1M收发器和4M收发器分别与LSoCAM0201的2路1553B接口连接,一片串行PROM连接LSoCAM0201的QSPI接口,另一片串行PROM连接LSoCAM0201的0路SPI接口,LSoCAM0201的其余SPI接口分别连接接插件,FPGA连接LSoCAM0201的GPIO/EMIF接口,同时,LSoCAM0201的GPIO/EMIF接口连接预先配置的拨码开关。

[0049] 其中,LSoCAM0201的DDR控制器与5片MT41K256M16相连,5片MT41K256M16分两组进行集成,第一组为3片,其中2片组成32位数据位,第3片的低8位与DDR控制器的高8位相连,进行校验功能的验证,以上3片MT41K256M16使用同一组片选、时钟和时钟使能等控制信号;第二组为2片MT41K256M16,组成32位数据位,使用另外一组片选、时钟和时钟使能等信号,如图3所示。LSoCAM0201的以太网模块与1片以太网收发器88E1111互联,为88E1111提供25MHz晶体作为参考时钟输入,将CONFIG0-6通过0 Ω 电阻接出,进行预留可配置设计,并把88E1111的通信信号接至J0G-0009NL接插件,完成以太网模块的应用验证设计,如图4所示。针对LSoCAM0201的两路1553B模块,通过64MHz晶振为1553B模块提供64MHz频率的时钟,并分别对0路和1路进行1M和4M工作模式的集成设计,如图5所示。在LSoCAM0201的QSPI接口处连接N25Q128A13ESF40E,0路SPI接SST25VF016B,其余3SPI路和选择信号连接至通用接插件,完成读写串行PROM和SPI通信功能的应用验证设计,如图6所示。将LSoCAM0201的GPIO/EMIF接口信号连至FPGA,通过设计FPGA代码,完成对EMIF接口的访问和控制,并将其连接至预先配置的拨码开关处,实现对GPIO功能的引出和应用验证,如图7所示。

[0050] (二)应用条件

[0051] 该发明的应用验证实现方法可应用在双核ARM型SoC的典型芯片LSoCAM0201的应用验证和应用开发中。当LSoCAM0201完成流片、中测、封装和成测后,可通过本发明的应用验证实现方法完成应用验证,也可为用户提供学习和开发的环境,为双核ARM型SoC的用户推广提供技术支撑。其中,针对DDR控制器的应用验证设计提供了全覆盖存储空间应用验证模式和校验工作模式的兼容性设计,可直接应用于系统集成,也可根据实际应用对存储空间进行裁剪;以太网接口的设计实现验证了接口兼容10M/100M/1000M的设计功能,为后续的应用提供了参考;针对1553B模块的1M/4M兼容设计,可直接根据系统需求进行集成设计;QSPI/SPI采用不同的串行PROM进行集成设计,并预留不同工作模式的管脚,可进行不同应用模式的设计参考;GPIO/EMIF复用管脚的接口设计,在不影响应用的前提下对设计功能进行了全面的验证,为LSoCAM0201的系统集成提供设计范本。以上的设计可应用于具有相同接口的相关器件的应用验证和应用开发中。

[0052] 实施例1

[0053] 基于自立项目“低成本火箭弹SoC”芯片LSoCAM0201的设计功能,进行应用验证和应用开发的设计。LSoCAM0201集成了1个DDR3控制器接口,工作主频480MHz,针对存储器颗粒应用的最大寻址空间16Gb,并集成了校验功能;集成了1路以太网接口,可兼容10M/100M/1000M工作模式;集成了2路1553B接口,兼容1M/4M工作模式;其设计的QSPI/SPI功能模块设计灵活,不仅可以作为串行PROM的控制接口,也可以进行数据通信;还设计了GPIO/EMIF接口复用相同的管脚。根据其设计功能和性能,应用本发明的应用验证方法进行应用验证设

计,可全覆盖其设计功能,评估其设计性能参数,验证了兼容性设计,为用户推广和应用开发提供了参考依据和调试开发环境。

[0054] 通过对基于LSoCAM0201的应用验证板的调试和使用,该实现方法全面验证了LSoCAM0201的设计功能,并完成了对设计性能指标参数的测试和验证,将应用验证板推广至应用软件开发人员和国内其他单位的用户,可在应用验证板上进行应用软件的开发和验证,可根据用户的需求进行基于LSoCAM0201的应用开发,为其应用验证和应用开发提供了优良的平台,也为后续项目的顺利推进奠定了坚实的基础。

[0055] 以上内容仅为说明本发明的技术思想,不能以此限定本发明的保护范围,凡是按照本发明提出的技术思想,在技术方案基础上所做的任何改动,均落入本发明权利要求书的保护范围之内。

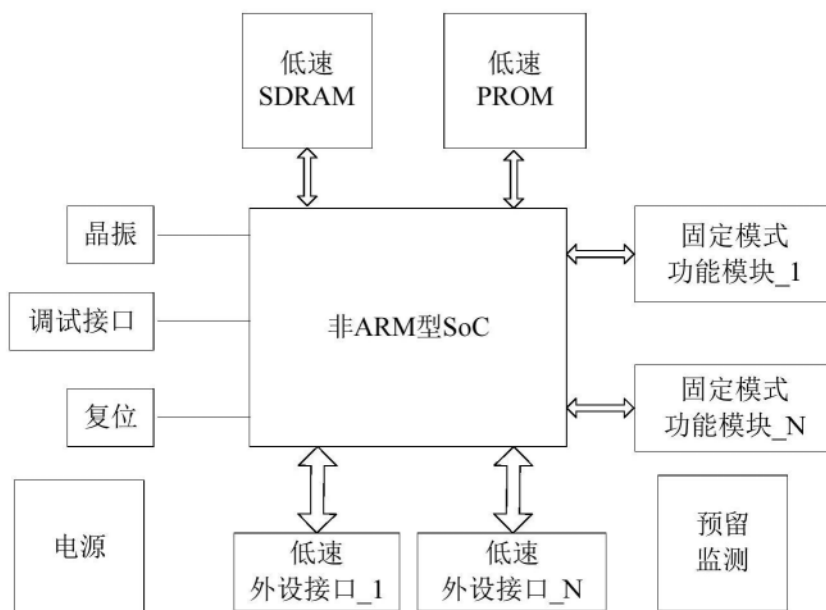


图1

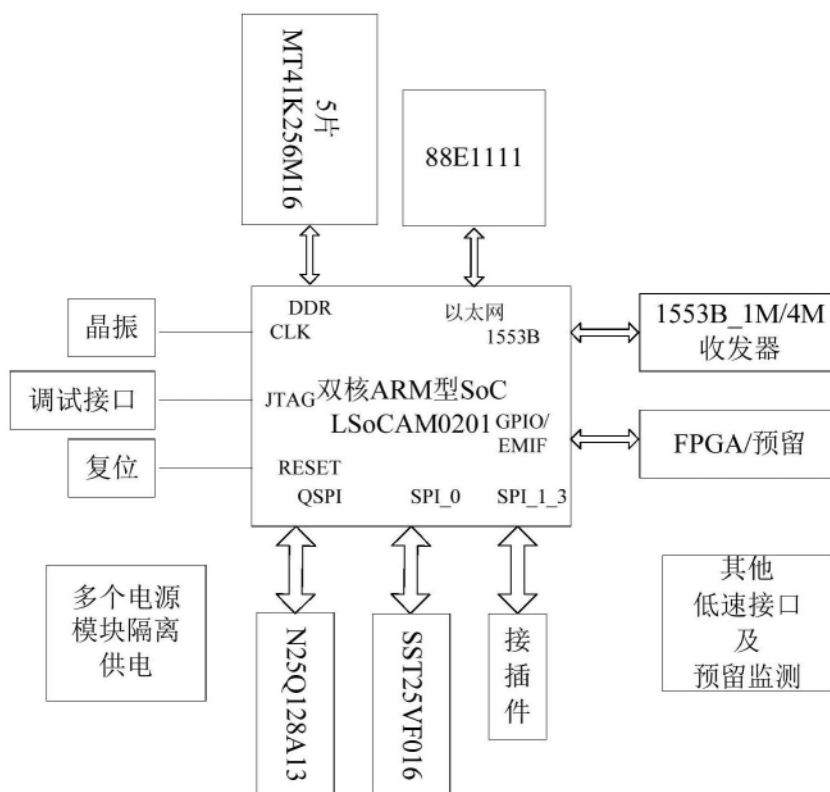


图2

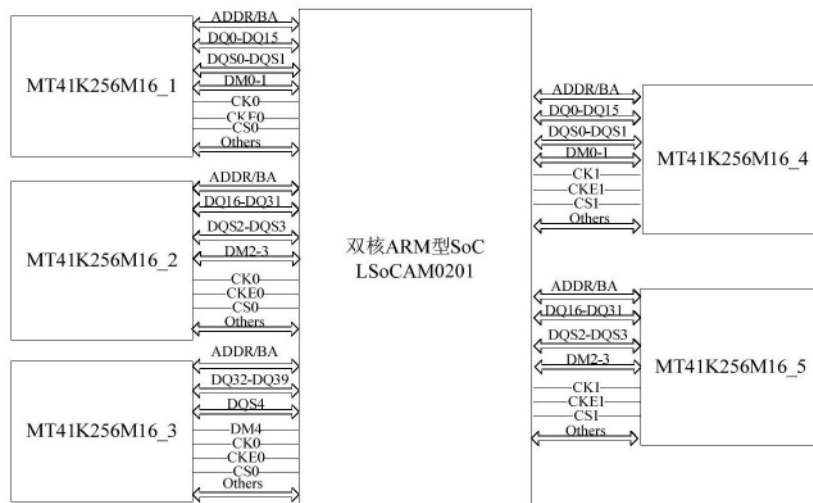


图3

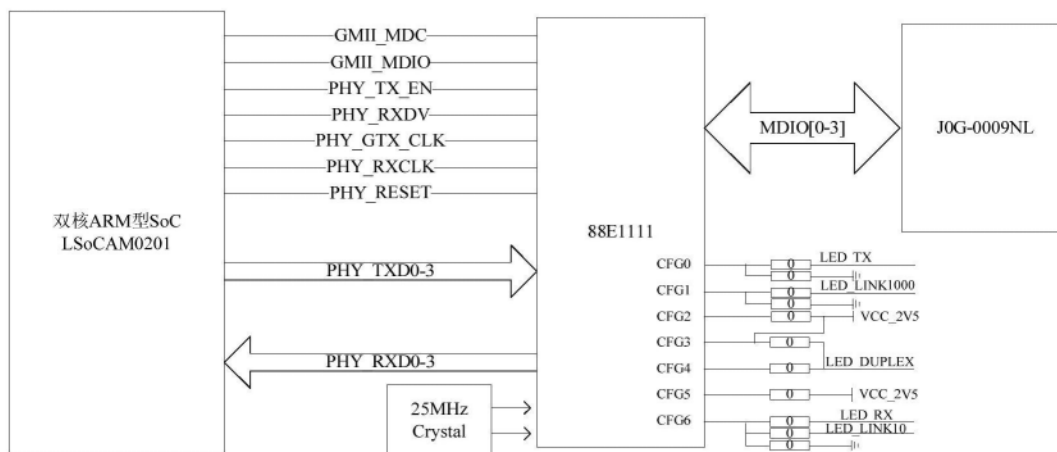


图4

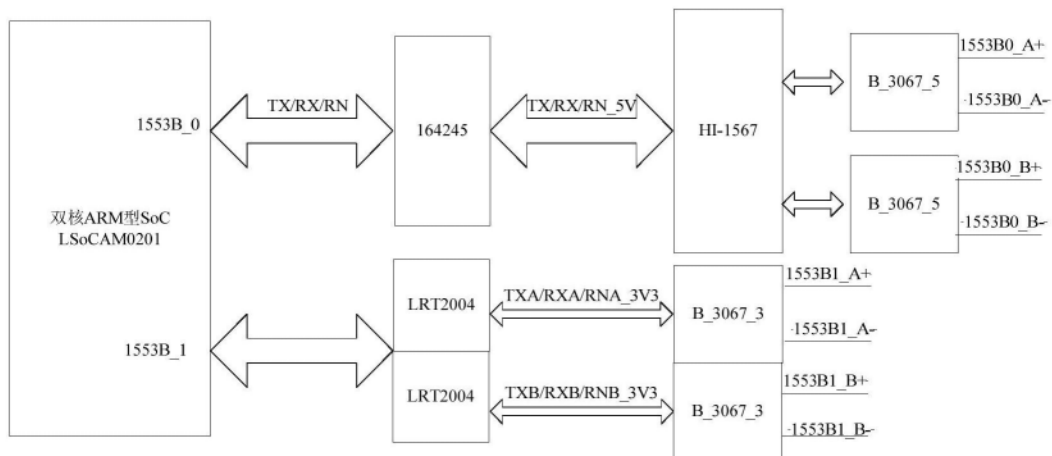


图5

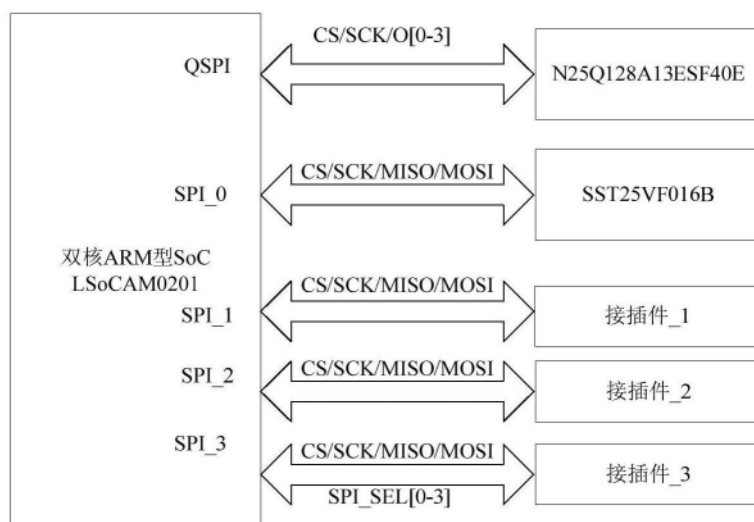


图6

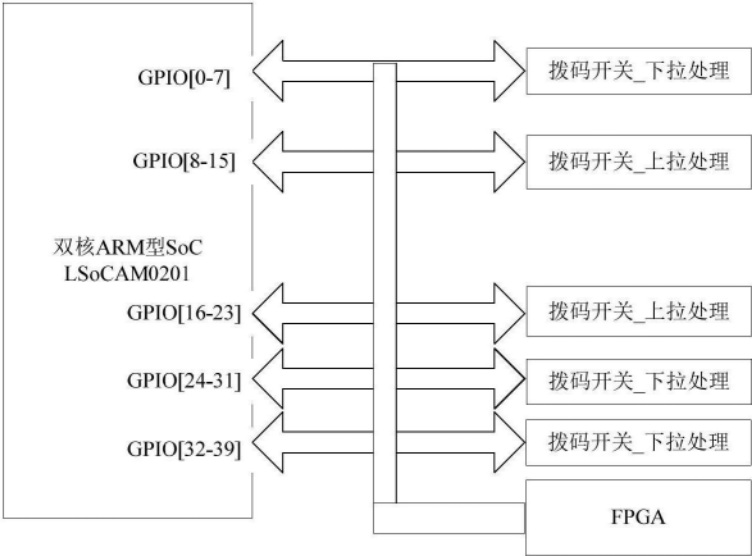


图7