

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 17 年 12 月 22 日 (2005.12.22)

【公表番号】特表 2004-525473(P2004-525473A)
 【公表日】平成 16 年 8 月 19 日 (2004.8.19)
 【年通号数】公開・登録公報 2004-032
 【出願番号】特願 2002-561835(P2002-561835)
 【国際特許分類第 7 版】

G 1 1 C 15/02

G 1 1 C 11/15

【F I】

G 1 1 C 15/02

G 1 1 C 11/15 1 7 0

【誤訳訂正書】
 【提出日】平成 16 年 10 月 27 日 (2004.10.27)

【誤訳訂正 1】
 【訂正対象書類名】特許請求の範囲
 【訂正対象項目名】全文
 【訂正方法】変更
 【訂正の内容】
 【特許請求の範囲】
 【請求項 1】

差動接続された対をなす磁気トンネル接合と、

その差動接続された対に接続され、かつ差動ビットライン、差動プログラムビットライン、イネーブルライン、ワードライン、及びデジットラインを含む書き込み及び検出回路とを有する、磁気ランダムアクセスメモリセル。

【請求項 2】

差動接続された対をなす磁気トンネル接合と、

その差動接続の対に接続され、かつ差動タグビットライン、差動タグプログラムビットライン、イネーブルライン、ワードライン、デジットライン、及びマッチラインを含む比較及び一致検出回路とを有し、前記マッチラインは前記差動タグビットラインに入力された入力データと、セルに保存されたデータとの間の一致の表示を提供する、コンテンツ・アドレスサブル・磁気ランダムアクセスメモリセル。

【請求項 3】

第 1 の側が第 1 の直列接続された対をなすトランジスタを通して第 1 接点に接続される第 1 磁気トンネル接合と、第 1 の側が第 2 の直列接続された対をなすトランジスタを通して第 2 接点に接続される第 2 磁気トンネル接合と、前記第 1 磁気トンネル接合の第 2 の側がプログラミングビットラインに接続され、前記第 2 磁気トンネル接合の第 2 の側が反転プログラミングビットラインに接続され、前記第 1 の直列接続された対をなすトランジスタの内の第 1 のトランジスタの制御端子がイネーブルラインに接続され、前記第 2 の直列接続された対をなすトランジスタの内の第 1 のトランジスタの制御端子が前記イネーブルラインに接続されることと、

前記第 1 接点は第 1 トランジスタを通してビットラインに接続され、第 1 トランジスタの制御端子はワードラインに接続され、前記第 2 接点は第 2 トランジスタを通して反転ビットラインに接続され、第 2 トランジスタの制御端子は前記ワードラインに接続されることと、

前記第 1 接点は第 1 イネーブルトランジスタを通して電源入力端子に接続され、第 1 イネーブルトランジスタの制御端子は前記イネーブルラインに接続され、前記第 2 接点は第

２ イネーブルトランジスタを通して前記電源入力端子に接続され、第２ イネーブルトランジスタの制御端子が前記イネーブルラインに接続されることと、

前記第１接点は第１差動トランジスタを通して前記電源入力端子に接続され、第１差動トランジスタの制御端子は前記第１の直列接続された対をなすトランジスタの内の第２のトランジスタの制御端子と前記第２接点とに接続され、前記第２接点は第２差動トランジスタを通して前記電源入力端子に接続され、第２差動トランジスタの制御端子は前記第２の直列接続された対をなすトランジスタの内の第２のトランジスタの制御端子と前記第１接点に接続されることと、

前記電源入力端子とマッチラインとの間に接続される第１の直列接続された対をなすマッチトランジスタと、その第１の直列接続された対をなすマッチトランジスタのうちの第１のマッチトランジスタの制御端子が前記ビットラインに接続され、前記第１の直列接続された対をなすマッチトランジスタのうちの第２のマッチトランジスタの制御端子が前記第２接点に接続されることと、前記電源入力端子と前記マッチラインとの間に接続される第２の直列接続された対をなすマッチトランジスタと、その第２の直列接続された対をなすマッチトランジスタうちの第１のマッチトランジスタの制御端子が前記反転ビットラインに接続され、前記第２の直列接続された対をなすマッチトランジスタうちの第２のマッチトランジスタの制御端子が前記第１接点に接続されることとを含む、コンテンツ・アドレスサブル・磁気ランダムアクセスメモリセル。

【請求項４】

コンテンツ・アドレスサブル不揮発性メモリを形成するために接続されるメモリセルアレイであって、

行および列に配置される複数のメモリセルと、

各メモリセルは差動接続された対をなす磁気トンネル接合、タグビットライン、反転タグビットライン、タグプログラムビットライン、反転タグプログラムビットライン、イネーブルライン、ワードライン、デジットライン、及びマッチラインを含み、前記マッチラインは前記差動タグビットラインに入力される入力データと前記セルに保存されたデータとの間の一致の表示を提供することと、

ある列の各メモリセル用の前記タグビットライン、反転タグビットライン、タグプログラムビットライン、反転タグプログラムビットライン、及びイネーブルラインは、その列の他のそれぞれのメモリセル用の前記タグビットライン、反転タグビットライン、タグプログラムビットライン、反転タグプログラムビットライン、及びイネーブルラインにそれぞれ接続されることと、

ある行の各メモリセル用の前記ワードライン、デジットライン、及びマッチラインは、その行の他のそれぞれのメモリセル用の前記ワードライン、デジットライン、及びマッチラインにそれぞれ接続されることと、

各行のマッチラインに接続される一致検出回路とを含む、メモリセルアレイ。