

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年12月22日(2005.12.22)

【公表番号】特表2004-525473(P2004-525473A)

【公表日】平成16年8月19日(2004.8.19)

【年通号数】公開・登録公報2004-032

【出願番号】特願2002-561835(P2002-561835)

【国際特許分類第7版】

G 1 1 C 15/02

G 1 1 C 11/15

【F I】

G 1 1 C 15/02

G 1 1 C 11/15 170

【誤訳訂正書】

【提出日】平成16年10月27日(2004.10.27)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

差動接続された対をなす磁気トンネル接合と、

その差動接続された対に接続され、かつ差動ビットライン、差動プログラムビットライン、イネーブルライン、ワードライン、及びデジットラインを含む書き込み及び検出回路とを有する、磁気ランダムアクセスメモリセル。

【請求項2】

差動接続された対をなす磁気トンネル接合と、

その差動接続の対に接続され、かつ差動タグビットライン、差動タグプログラムビットライン、イネーブルライン、ワードライン、デジットライン、及びマッチラインを含む比較及び一致検出回路とを有し、前記マッチラインは前記差動タグビットラインに入力された入力データと、セルに保存されたデータとの間の一一致の表示を提供する、コンテンツ・アドレッサブル・磁気ランダムアクセスメモリセル。

【請求項3】

第1の側が第1の直列接続された対をなすトランジスタを通して第1接点に接続される第1磁気トンネル接合と、第1の側が第2の直列接続された対をなすトランジスタを通して第2接点に接続される第2磁気トンネル接合と、前記第1磁気トンネル接合の第2の側がプログラミングビットラインに接続され、前記第2磁気トンネル接合の第2の側が反転プログラミングビットラインに接続され、前記第1の直列接続された対をなすトランジスタの内の第1のトランジスタの制御端子がイネーブルラインに接続され、前記第2の直列接続された対をなすトランジスタの内の第1のトランジスタの制御端子が前記イネーブルラインに接続されることと、

前記第1接点は第1トランジスタを通してビットラインに接続され、第1トランジスタの制御端子はワードラインに接続され、前記第2接点は第2トランジスタを通して反転ビットラインに接続され、第2トランジスタの制御端子は前記ワードラインに接続されることと、

前記第1接点は第1イネーブルトランジスタを通して電源入力端子に接続され、第1イネーブルトランジスタの制御端子は前記イネーブルラインに接続され、前記第2接点は第

2イネーブルトランジスタを通して前記電源入力端子に接続され、第2イネーブルトランジスタの制御端子が前記イネーブルラインに接続されることと、

前記第1接点は第1差動トランジスタを通して前記電源入力端子に接続され、第1差動トランジスタの制御端子は前記第1の直列接続された対をなすトランジスタの内の第2のトランジスタの制御端子と前記第2接点とに接続され、前記第2接点は第2差動トランジスタを通して前記電源入力端子に接続され、第2差動トランジスタの制御端子は前記第2の直列接続された対をなすトランジスタの内の第2のトランジスタの制御端子と前記第1接点に接続されることと、

前記電源入力端子とマッチラインとの間に接続される第1の直列接続された対をなすマッチトランジスタと、その第1の直列接続された対をなすマッチトランジスタのうちの第1のマッチトランジスタの制御端子が前記ビットラインに接続され、前記第1の直列接続された対をなすマッチトランジスタのうちの第2のマッチトランジスタの制御端子が前記第2接点に接続されることと、前記電源入力端子と前記マッチラインとの間に接続される第2の直列接続された対をなすマッチトランジスタと、その第2の直列接続された対をなすマッチトランジスタうちの第1のマッチトランジスタの制御端子が前記反転ビットラインに接続され、前記第2の直列接続された対をなすマッチトランジスタうちの第2のマッチトランジスタの制御端子が前記第1接点に接続されることとを含む、コンテンツ・アドレッサブル・磁気ランダムアクセスメモリセル。

【請求項4】

コンテンツ・アドレッサブル不揮発性メモリを形成するために接続されるメモリセルアレイであって、

行および列に配置される複数のメモリセルと、

各メモリセルは差動接続された対をなす磁気トンネル接合、タグビットライン、反転タグビットライン、タグプログラムビットライン、反転タグプログラムビットライン、イネーブルライン、ワードライン、デジットライン、及びマッチラインを含み、前記マッチラインは前記差動タグビットラインに入力される入力データと前記セルに保存されたデータとの間の一一致の表示を提供することと、

ある列の各メモリセル用の前記タグビットライン、反転タグビットライン、タグプログラムビットライン、反転タグプログラムビットライン、及びイネーブルラインは、その列の他のそれぞれのメモリセル用の前記タグビットライン、反転タグビットライン、タグプログラムビットライン、反転タグプログラムビットライン、及びイネーブルラインにそれ接続されることと、

ある行の各メモリセル用の前記ワードライン、デジットライン、及びマッチラインは、その行の他のそれぞれのメモリセル用の前記ワードライン、デジットライン、及びマッチラインにそれぞれ接続されることと、

各行のマッチラインに接続される一致検出回路とを含む、メモリセルアレイ。